

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE
À L'OBTENTION DE LA
MAÎTRISE EN GÉNIE ÉLECTRIQUE
M. Ing.

PAR
Guy François Valery AYISSI EYEBE

RÉGULATEUR DE TENSION CMOS À FAIBLE CONSOMMATION DE COURANT ET
BAS VOLTAGE POUR AMPLIFICATEURS RF INTÉGRÉS

MONTRÉAL, LE 18 AVRIL 2012



Guy François Valery Ayissi Eyebe, 2012



Cette licence [Creative Commons](https://creativecommons.org/licenses/by-nc-nd/4.0/) signifie qu'il est permis de diffuser, d'imprimer ou de sauvegarder sur un autre support une partie ou la totalité de cette œuvre à condition de mentionner l'auteur, que ces utilisations soient faites à des fins non commerciales et que le contenu de l'œuvre n'ait pas été modifié.

PRÉSENTATION DU JURY

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE :

M. Nicolas Constantin, directeur de mémoire
Département de génie électrique à l'école de technologie supérieure

M. Vahé Nerguizian, codirecteur de mémoire
Département de génie électrique à l'école de technologie supérieure

Mme Lyne Woodward, présidente du jury
Département de génie électrique à l'école de technologie supérieure

M. Guy Gauthier, membre du jury
Département de génie de la production automatisée à l'école de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 22 MARS 2012

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

Ce mémoire est une étape majeure sur la voie de mon affirmation professionnelle, et celle de mon accomplissement personnel. Il me plaît de saisir l'occasion qui m'est ainsi offerte pour témoigner ma reconnaissance à toutes les personnes dont la participation ou la présence effectives auront été indispensables à l'achèvement de ce travail de recherche. Sans préjudice envers aucune contribution, qu'il me soit permis d'en nommer quelques acteurs.

L'école de technologie supérieure de Montréal qui m'a offert l'opportunité de faire des études de haut niveau dans le domaine technologique, et qui m'aura accompagné le long de ces études avec les ressources appropriées. En particulier, je remercie le département de génie électrique et le LACIME (Laboratoire de Communication et d'Intégration de la Microélectronique).

Les professeurs Nicolas Constantin et Vahé Nerguizian pour l'excellente supervision de ce travail de recherche de par leur disponibilité, leur rigueur et leurs encouragements.

La Canadian Microelectronics Corporation (CMC) pour son support technique.

Toutes les personnes associées au plan technique à l'avancée de ce travail de recherche, ainsi qu'à la rédaction et la relecture de ce mémoire. En particulier Normand Gravel, Kuan-Yu Lin, Mehdi Si Moussa, Nicole Sauvé du décanat des cycles supérieurs et Diane Girard.

Toutes les organisations telles que l'association étudiante et le service aux étudiants ayant enrichi ma formation à titre complémentaire, concourant ainsi à entretenir ma motivation et augmenter mon efficacité. En particulier, Martin Minville et Annick Martinez.

Tous mes proches, mes collègues de laboratoire, et surtout les membres de ma famille pour leur soutien permanent et leurs contributions multiformes. En particulier, M. Henri Eyebe Ayissi et Madame, M. Salomon Azoh-Mbi et Madame, ainsi que Mustafa Rafaf.

RÉGULATEUR DE TENSION CMOS À FAIBLE CONSOMMATION DE COURANT ET BAS VOLTAGE POUR AMPLIFICATEURS RF INTÉGRÉS

Guy François Valery AYISSI EYEBE

RÉSUMÉ

Les régulateurs de tension CMOS destinés aux amplificateurs de type RFIC GaAs HBT doivent fonctionner dans des conditions particulières. Avec une faible consommation de courant et une basse tension d'alimentation, ils doivent être capables de fournir de forts courants aux amplificateurs, tout en restant insensibles aux perturbations RF. La structure "Recycled Folded-Cascode" (RFC) permet un fonctionnement à basse tension avec de bonnes performances AC, mais certaines améliorations ont été nécessaires pour qu'elle réponde à cette problématique. Alimentée à 1.8V, son courant de polarisation a été ramené de 800 μ A à 135 μ A, et l'ajout d'un buffer a été nécessaire pour qu'elle puisse fournir un courant de 20 mA. La structure RFC ainsi améliorée a été utilisée dans une configuration de rétraction pour réguler à 1.4V, la tension d'entrée appliquée à une charge émulant le comportement d'un transistor GaAs HBT. Les effets néfastes de l'infiltration RF à travers une inductance d'isolation séparant ces deux circuits ont été étudiés (infiltration RF dans les circuits de polarisation). La technique de désensibilisation proposée permet de réduire l'inductance d'isolation à 6 nH, ce qui favorise l'intégration sur puce. Elle permet également de réduire la chute de tension de sortie par 100 mV avec un courant de 20 mA dans la charge, afin de retrouver une régulation à 97%. La méthodologie employée tient compte d'un signal RF de 1.88 GHz, avec une puissance disponible de 20 dBm.

Ce mémoire comporte aussi un volet pédagogique, présentant un outil simple et facilement accessible, afin d'améliorer la formation d'élèves ingénieurs dans un cheminement en électronique analogique.

Mots clés : Régulateur, CMOS, RFIC, Désensibilisation RF

RÉGULATEUR DE TENSION CMOS À FAIBLE CONSOMMATION DE COURANT ET BAS VOLTAGE POUR AMPLIFICATEURS RF INTÉGRÉS

Guy François Valery AYISSI EYEBE

ABSTRACT

CMOS voltage regulators intended for GaAs HBT RFIC power amplifiers must operate under specific conditions. With low current consumption and low supply voltage, they must be able to provide high currents to these amplifiers, while remaining insensitive to RF perturbations. The « Recycled Folded-Cascode » structure allows low voltage operation and exhibit good AC performance. However, some improvements have been made so that it can address this problem. Powered at 1.8 V, the bias current was reduced from 800 μA to 135 μA , and the addition of a buffer was required to increase the current capability up to 20 mA. The RFC structure thus improved was used in a feedback configuration, to regulate the voltage applied to a load emulating GaAs HBT transistor behavior at 1.4V. The adverse effects of RF infiltration through the isolation inductor separating these two circuits were studied (RF leakage in the bias circuits). The proposed desensitization technique reduces the isolation inductor to 6 nH, which favours integration on chip. It also reduces the fall in output voltage by 100 mV while the regulator provides 20 mA to the load, so that it achieves 97% voltage regulation. The methodology used takes into account an RF signal of 1.88 GHz, with an available power of 20 dBm.

This thesis also includes an educational component, in the form of a simple and easily accessible educational tool, in order to improve the training of engineering students in analog electronics.

Keywords : Regulator, CMOS, RFIC, RF desensitization

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 DIMENSION PEDAGOGIQUE DE LA RECHERCHE	11
1.1 Les MOSFET	11
1.1.1 Physique et caractérisation.....	12
1.1.1.1 Structure.....	12
1.1.1.2 Approche qualitative du fonctionnement du MOSFET	13
1.1.1.3 Approche quantitative et formalisme de base du MOSFET	15
1.1.1.4 Caractéristiques intrinsèques du NMOS.....	18
1.1.1.5 Cas du PMOS.....	20
1.1.1.6 En résumé.....	21
1.1.2 Modèle petit signal BF et HF.....	22
1.1.2.1 Modèle petit-signal	22
1.1.2.2 Résistances aux électrodes du MOSFET	23
1.1.2.3 Modèle petit signal hautes fréquences.....	25
1.1.3 Polarisation active.....	27
1.2 Revue des amplificateurs de base	30
1.2.1 Montage source commune (Figure 1.20).....	30
1.2.2 Montage source commune avec dégénération (Figure 1.21).....	31
1.2.3 Montage grille commune (Figure 1.22).....	32
1.2.4 Montage source suiveuse (Figure 1.23).....	33
1.2.5 Amplificateurs cascode (Figure 1.24).....	34
1.3 La régulation de tension par rétroaction négative.....	35
1.3.1 Justification et structure générale de la rétroaction négative	35
1.3.2 Effets statiques et dynamiques de la rétroaction négative	36
1.3.3 Stabilité du feed-back	38
1.3.4 Exemple d'un amplificateur opérationnel à gain positif.....	39
1.3.4.1 Gain en boucle fermée	40
1.3.4.2 Incertitude et gain minimal	40
1.3.4.3 Effet de charge du module de rétroaction	40
1.4 Banque de questions et module pédagogique	43
1.4.1 Mise en contexte	43
1.4.2 Ergonomie.....	44
1.4.3 Structuration.....	44
1.4.4 Types de questions.....	45
1.4.5 Les réponses.....	47
1.4.6 Stimulation pédagogique	49
CHAPITRE 2 ÉTAT DE L'ART DES RÉGULATEURS DE TENSION CMOS À BAS VOLTAGE DANS UN CONTEXTE D'INFILTRATION RF	51
2.1 La miniaturisation	52

2.1.1	Présentation du concept	52
2.1.2	Théorie de la mise à l'échelle et défis associés.....	52
2.1.3	Miniaturisation des inductances d'isolation et thématique CMOS-RF	53
2.2	Infiltration RF dans les MMIC	55
2.2.1	Position du problème	55
2.2.2	Techniques utilisées pour exploiter l'interaction RF	56
2.2.2.1	Pré-distorsion par réinjection de la puissance RF	56
2.2.2.2	Pré-distorsion par rectification du signal RF	58
2.2.3	Orientation de notre travail de recherche.....	59
2.3	OTA et régulateurs en opération bas voltage.....	60
2.3.1	Régulateurs dans la littérature.....	60
2.3.2	Les amplificateurs opérationnels fonctionnant à bas voltage	62
2.3.2.1	Structures d'origine et évolution.....	62
2.3.2.2	CFC à polarisation automatique.....	63
2.3.2.3	Performances actuelles.....	64
2.3.3	Recycled Folded Cascode	65
2.3.3.1	L'innovation technique	65
2.3.3.2	Recommandation sur la valeur de K.....	66
2.3.3.3	Amélioration des performances	67
2.3.3.4	Comparaison entre le RFC et les circuits de la littérature	68
2.4	Synthèse de l'état de l'art vis-à-vis de notre problématique de recherche	70
CHAPITRE 3 ÉTUDE THÉORIQUE DU RÉGULATEUR CMOS.....		73
3.1	Étude DC de l'étage de gain	74
3.1.1	Méthode de calcul.....	75
3.1.2	Plages dynamiques d'entrée et de sortie.....	76
3.1.2.1	Plage dynamique d'entrée en mode commun.....	76
3.1.2.2	Plage dynamique de sortie	79
3.1.3	Détermination des potentiels de polarisation.....	80
3.1.3.1	Calcul du potentiel V_{bp1}	80
3.1.3.2	Calcul du potentiel V_{bp2}	81
3.1.3.3	Calcul du potentiel V_{bn1}	83
3.1.3.4	Calcul du potentiel V_{bn2}	84
3.1.4	Plage de fonctionnement linéaire et performances du Recycled-FC	85
3.1.4.1	Comportement de V_{out_RFC} vis-à-vis de V_{in_CM}	86
3.1.4.2	PFL et réduction du courant de polarisation	88
3.1.4.3	PFL et augmentation du courant débité par le régulateur	89
3.2	Diminution du courant de polarisation et augmentation du courant de sortie	89
3.2.1	Augmentation du courant de sortie : étude du buffer	89
3.2.1.1	Type de MOSFET utilisé comme buffer	90
3.2.1.2	Compromis sur la taille du buffer	92
3.2.2	Diminution du courant de polarisation	94
3.2.2.1	Régulateur et baisse du courant de polarisation.....	94
3.2.2.2	Les méthodes de diminution du courant de polarisation	95
3.2.2.3	Effet d'un rétrécissement des transistors	96

	3.2.2.4	Solution adoptée.....	97
3.3		Étude AC de l'amplificateur opérationnel.....	97
	3.3.1	Résistance d'entrée de l'amplificateur opérationnel.....	98
	3.3.2	Résistance de sortie de l'étage de gain.....	98
	3.3.3	Résistance de sortie de l'amplificateur opérationnel.....	99
	3.3.4	Transconductance de l'étage de gain.....	100
	3.3.5	Gain DC.....	101
3.4		Étude de la rétroaction.....	102
	3.4.1	La référence de tension.....	102
	3.4.1.1	Référence 1 : Le pont diviseur CMOS.....	102
	3.4.1.2	Référence 2 : MOS-Résistance.....	104
	3.4.1.3	Référence 3 : MOS-Résistance à diviseur de tension.....	104
	3.4.2	La charge équivalente émulant le transistor RF de type GaAs HBT.....	105
	3.4.2.1	Comportement de la charge.....	105
	3.4.2.2	Courbe prévisionnelle.....	106
	3.4.2.3	Circuit électrique émulant la charge.....	108
	3.4.3	Présentation du bloc de rétroaction.....	109
	3.4.3.1	Ordre de grandeur des résistances.....	109
	3.4.3.2	Effets de charge sur l'amplificateur opérationnel.....	111
	3.4.4	Nature et performances du feed-back.....	111
	3.4.4.1	Polarité du feed-back.....	111
	3.4.4.2	Tendances des courants et des tensions en mode feed-back.....	112
	3.4.4.3	Plage dynamique de feed-back.....	114
3.5		Synthèse de l'étude théorique dans le cadre de notre problématique.....	114
CHAPITRE 4 SIMULATION DU RÉGULATEUR AVEC UNE CHARGE			
		ISOLÉE EN RF.....	117
4.1		Simulation DC de l'amplificateur opérationnel.....	118
	4.1.1	Détermination des tensions de seuil.....	118
	4.1.1.1	Présentation de la méthode.....	118
	4.1.1.2	La mesure des tensions de seuil.....	120
	4.1.2	Détermination de V_{DSsat}	122
	4.1.3	Valeurs des potentiels de polarisation.....	125
	4.1.3.1	Potentiel V_{bp1} pour la polarisation de M_0	125
	4.1.3.2	Calcul théorique.....	126
	4.1.3.3	Potentiel V_{bp2}	127
	4.1.3.4	Potentils V_{bn1} et V_{bn2}	128
	4.1.4	Circuit de polarisation.....	128
	4.1.4.1	Le circuit de polarisation proposé.....	129
	4.1.4.2	Robustesse du circuit de polarisation.....	131
	4.1.5	Plage de fonctionnement linéaire et calcul de la tension de référence ...	132
	4.1.5.1	État des transistors au sein de la PFL.....	133
	4.1.5.2	Détermination de V_{REF}	137
4.2		Augmentation du courant de sortie et baisse du courant de polarisation.....	137
	4.2.1	Augmentation du courant de sortie.....	137

	4.2.1.1	Circuit de test	137
	4.2.1.2	Choix du buffer	138
	4.2.1.3	Taille du buffer	139
	4.2.2	Baisse du courant de polarisation	140
	4.2.2.1	Application de la méthode de la section 3.2.2.4	141
	4.2.2.2	Effets DC de la baisse du courant de polarisation	142
4.3		Simulations AC	146
	4.3.1	Résistances de sortie de l'étage de gain	146
	4.3.2	Résistance de sortie de l'amplificateur opérationnel	148
	4.3.3	Taux de réjection en mode commun	149
4.4		Réponse en fréquence et stabilité du régulateur	151
	4.4.1	Réponse en fréquence du Recycled-Folded Cascode	151
	4.4.2	Réponse en fréquence de l'amplificateur opérationnel	152
	4.4.3	Réponse en fréquence et baisse du courant de polarisation	154
4.5		Simulation du feed-back	154
	4.5.1	Résistances du module de feed-back	155
	4.5.2	Stabilité du feed-back	156
	4.5.3	Variations de V _{dd}	158
	4.5.4	Variations de V _{REF}	160
	4.5.5	Variations de température	161
	4.5.6	Variations du courant de charge	163
	4.5.7	Influence de la fréquence du signal en bande de base	164
4.6		Synthèse de la simulation à charge RF isolée	165
CHAPITRE 5	SIMULATION DU RÉGULATEUR EN PRÉSENCE DE PERTURBATIONS RF		167
5.1		Processus de validation en présence de perturbations RF	167
	5.1.1	La référence	168
	5.1.2	Source RF – Puissance disponible	170
	5.1.3	Bobine d'isolation	172
	5.1.3.1	La bobine d'isolation dans le cadre de notre problématique ...	172
	5.1.3.2	Inductance d'isolation totale	173
	5.1.4	Description de la mesure par simulation	174
	5.1.4.1	Intervalle de mesure	175
	5.1.4.2	Instauration du régime permanent	176
	5.1.4.3	Harmoniques – Reconstitution du signal	177
	5.1.4.4	Échantillonnage	177
	5.1.5	La charge	178
	5.1.6	Validation de la régulation avec une bonne isolation RF	179
5.2		Effets de l'infiltration RF sur le régulateur	180
	5.2.1	Méthodologie	180
	5.2.2	Tendances des tensions du régulateur	180
	5.2.3	Tendances des courants du régulateur	182
	5.2.4	Puissance perturbatrice et injection RF	183
5.3		Désensibilisation par effet d'amortissement	184

5.3.1	La méthode.....	184
	5.3.1.1 Présentation.....	184
	5.3.1.2 Résultats attendus.....	185
5.3.2	Détermination de R_Damp	186
5.3.3	Effets de l'amortissement	189
	5.3.3.1 Procédure de test.....	189
	5.3.3.2 Effet sur les puissances – Diminution de RF-Choke	190
	5.3.3.3 Amélioration du gain RF	191
	5.3.3.4 Effet sur la tension de sortie.....	191
	5.3.3.5 Effet sur la tension de référence.....	192
	5.3.3.6 Effet sur les courants.....	193
	5.3.3.7 Effets sur les puissances - Comparaison des charges	194
CHAPITRE 6 LAYOUT, MISE EN MARCHÉ ET PROCÉDURE DE TEST.....		197
6.1	Stratégie de conception de la puce et points d'interface.....	197
	6.1.1 Principes.....	198
	6.1.2 Points d'interface	199
	6.1.2.1 Points de tests.....	199
	6.1.2.2 Points d'alimentation et de mise à la masse.....	201
	6.1.2.3 Points d'entrée AC.....	201
	6.1.2.4 Structure hiérarchique du régulateur.....	202
6.2	Mise en marche et procédure de test.....	203
	6.2.1 Mise en marche et procédure de test en DC	203
	6.2.2 Procédure de test en AC.....	205
6.3	Compensation d'un amplificateur RFIC de type W-CDMA	205
6.4	Présentation du Layout	208
	6.4.1 Directives générales de conception d'un layout avec CADENCE	208
	6.4.2 Le Layout.....	210
CONCLUSION.....		213
RECOMMANDATIONS		217
ANNEXE I	VARIATIONS DES POTENTIELS DE POLARISATION AVEC LA TENSION D'ALIMENTATION.....	219
ANNEXE II	VARIATIONS DES POTENTIELS DE POLARISATION AVEC LA TEMPÉRATURE	221
LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES.....		223

LISTE DES TABLEAUX

	Page
Tableau 1.1	États des transistors en fonction des tensions V_{GS} et V_{DS}22
Tableau 2.1	Comparaison de régulateurs à basse tension à bas courant de polarisation et à forts courants de sortie60
Tableau 2.2	Performances actuelles de circuits à CFC.....64
Tableau 2.3	Comparaison des régulateurs et du RFC.....69
Tableau 4.1	Table des valeurs de VOV dans le RFC124
Tableau 4.2	Coefficients de variation des potentiels de polarisation131
Tableau 4.3	Comparatif des résultats entre un PMOS et un NMOS comme buffer....139
Tableau 4.4	Dimensions finales des transistors de l'étage de gain suite au redimensionnement ayant permis la baisse du courant de polarisation ...143
Tableau 4.5	Valeurs des gains pour le calcul du TRMC150
Tableau 4.6	Comparaison des réponses en fréquence de Assaad et Silva-Martinez (2009) et du mémoire.....152
Tableau 4.7	Paramètres AC de la réponse en fréquence de l'ampli-op à pour divers courants de charge.....153
Tableau 4.8	RFC et baisse du courant de polarisation.....154
Tableau 4.9	Paramètres AC pour l'étude de la stabilité du régulateur156
Tableau 4.10	Réponse en fréquence à 20 mA dans la charge.....157
Tableau 5.1	Coefficients de variation des potentiels de polarisation170
Tableau 5.2	Nomenclature des charges pour les simulations RF179
Tableau 5.3	Récapitulatif des variations de tensions à 20 mA dans la charge pour différentes valeurs de RF-Choke181
Tableau 5.4	Récapitulatif des variations de courants à 20 mA dans la charge pour différentes valeurs de RF-Choke182
Tableau 5.5	Puissance RF perturbatrice dans le régulateur184

XVIII

Tableau 5.6	Comparatif des isolations minimales et des puissances à 20 mA dans les trois charges	194
Tableau 5.7	Effet de l'amortissement sur le régulateur	194
Tableau 6.1	Étapes de la mise en marche du régulateur	204
Tableau 6.2	Réponse en fréquence après compensation pour signaux WCDMA	206

LISTE DES FIGURES

		Page
Figure 1.1	Structure du transistor NMOS Adaptée de Razavi (2008, p. 290).....	12
Figure 1.2	Tensions et courants dans un NMOS Adaptée de Sedra et Smith (2010, p. 240 ; 254)	13
Figure 1.3	Représentation électrique des MOSFET Adaptée de Sedra et Smith (2010, p. 247;256)	14
Figure 1.4	Profil du potentiel dans le canal en fonction de V_{ds} Adaptée de Sedra et Smith (2010, p. 296)	15
Figure 1.5	Montage utilisé pour tracer la caractéristique de transfert du NMOS Adaptée de Sedra et Smith (2010, p. 249)	18
Figure 1.6	Caractéristique de transfert du NMOS Tirée de Sedra et Smith (2010, p. 251)	18
Figure 1.7	Montage utilisé pour tracer la caractéristique de sortie de NMOS.....	19
Figure 1.8	Caractéristique de sortie du NMOS	20
Figure 1.9	Modèle équivalent petit signal hybride en π du MOSFET Tirée de Sedra et Smith (2010, p. 290)	22
Figure 1.10	Modèle équivalent petit signal en T du MOSFET Tirée de Sedra et Smith (2010, p. 290)	23
Figure 1.11	Résistance vue de la grille d'un MOSFET Tirée de la deuxième page de couverture de Razavi (2008).....	24
Figure 1.12	Résistance vue du drain d'un MOSFET Tirée de la deuxième page de couverture de Razavi (2008).....	24
Figure 1.13	Résistance vue de la source d'un MOSFET Tirée de la deuxième page de couverture de Razavi (2008).....	24
Figure 1.14	Modèle équivalent petit signal HF du MOSFET Tirée de Sedra et Smith (2010, p. 704)	25
Figure 1.15	La source de courant simple à NMOS Adaptée de Razavi (2008, p. 334).....	28

Figure 1.16	Source de courant simple à PMOS Adaptée de Razavi (2008, p. 334).....	28
Figure 1.17	Miroir de courant PMOS Adaptée de Sedra et Smith (2010, p. 528)	28
Figure 1.18	Miroir de courant PMOS télescopique Adaptée de Sedra et Smith (2010, p. 1001)	29
Figure 1.19	Miroir de courant PMOS "wide-swing" Tirée de Sedra et Smith (2010, p. 1001)	30
Figure 1.20	Montage de principe d'une configuration source commune	30
Figure 1.21	Montage de principe d'une configuration source commune avec dégénération	32
Figure 1.22	Montage de principe d'une configuration grille commune	32
Figure 1.23	Montage de principe d'une configuration source suiveuse	33
Figure 1.24	Montage cascode Adapté de Sedra et Smith (2010, p. 506;511).....	34
Figure 1.25	Montage de principe de feed-back.....	35
Figure 1.26	Illustration de la marge de phase et de la marge de gain Adaptée de Kuo et Golnaraghi (2003, p. 457).....	39
Figure 1.27	Régulateur de tension à gain positif Adapté de Razavi (2008, p. 383)	39
Figure 1.28	Schéma de principe des résistances de l'ampli du régulateur de tension .	41
Figure 1.29	Schéma de principe pour déterminer la résistance R_{ψ_i}	41
Figure 1.30	Schéma de principe pour déterminer la résistance R_{ψ_o}	42
Figure 1.31	Circuit équivalent de l'ensemble	42
Figure 1.32	Mise en contexte pédagogique.....	43
Figure 1.33	Structuration des volets et des sections associées au sein du module pédagogique	44
Figure 1.34	Exemple de sous-thème présent dans le module pédagogique	45
Figure 1.35	Question de type VRAI/FAUX.....	46

Figure 1.36	Question graphique	46
Figure 1.37	Question d'application	47
Figure 1.38	Choix de l'étudiant à la fin du questionnaire	47
Figure 1.39	Réponses aux questions de type VRAI/FAUX.....	48
Figure 1.40	Réponse à une question graphique et commentaires	48
Figure 1.41	Réponse aux calculs dans le volet application, avec diagnostic	48
Figure 2.1	Illustration de la pré-distorsion Tirée de Shirvani Mahdavi (2003, p. 87).....	57
Figure 2.2	Pré-distorsion analogique de So-Bong et Sang-Gug (2000).....	58
Figure 2.3	Régulateur de tension de Chen, Bo et Zhiliang (2006).....	61
Figure 2.4	Montage de principe du Folded Cascode Tiré de Sedra et Smith (2010, p. 519).....	62
Figure 2.5	Passage du FC au RFC Tirée de Assaad et Silva-Martinez (2009)	65
Figure 3.1	Synoptique du montage.....	73
Figure 3.2	Circuit électrique de l'étage de gain Tirée de Assaad et Silva-Martinez (2009)	74
Figure 3.3	Plage dynamique d'entrée en mode commun.....	77
Figure 3.4	Plage dynamique de sortie	79
Figure 3.5	Polarisation de V_{bp1}	80
Figure 3.6	Polarisation V_{bp2}	82
Figure 3.7	Polarisation V_{bn1}	83
Figure 3.8	Polarisation V_{bn2}	84
Figure 3.9	Allure théorique de la variation de V_{out_RFC} en fonction de V_{in_CM} ...	86
Figure 3.10	PFL et baisse du courant de polarisation	88
Figure 3.11	Schéma bloc du buffer	90

Figure 3.12	Cas d'un transistor NMOS comme buffer	91
Figure 3.13	Avantages du PMOS comme buffer	92
Figure 3.14	Résistance d'entrée de l'étage de gain	98
Figure 3.15	Résistance de sortie de l'étage de gain	99
Figure 3.16	Calcul de la résistance de sortie de l'amplificateur opérationnel	99
Figure 3.17	Transconductance de l'étage de gain.....	100
Figure 3.18	Gain de l'amplificateur opérationnel.....	101
Figure 3.19	Référence de tension 1 Tiré de Baker (2010, p. 746).....	103
Figure 3.20	Référence de tension 2 Tiré de Baker (2010, p. 746).....	104
Figure 3.21	Référence de tension 3 Tiré de Baker (2010, p. 749).....	105
Figure 3.22	Forme temporelle du courant entrant dans la base du transistor GaAs HBT	106
Figure 3.23	Variation du courant moyen dans la charge en fonction de la puissance RF disponible	107
Figure 3.24	Circuit électrique émulant la charge	108
Figure 3.25	Bloc de rétroaction négative	109
Figure 3.26	Polarité de la rétroaction	112
Figure 4.1	Principe de mesure des tensions de seuil	119
Figure 4.2	Mesure de V_{THN}	121
Figure 4.3	Mesure de V_{THP}	121
Figure 4.4	Montage de détermination de β'_N	123
Figure 4.5	Montage de détermination de β'_P	123
Figure 4.6	Montage RFC avec dimensions et courants pour un budget de 800 μA Tirée de Assaad et Silva-Martinez (2009)	124

Figure 4.7	Détermination de la valeur finale de V_{bp1}	125
Figure 4.8	Montage RFC avec les valeurs provisoires de la polarisation	126
Figure 4.9	Encadrement des valeurs de V_{bp2}	127
Figure 4.10	Détermination de la valeur finale de V_{bn1} et V_{bn2}	128
Figure 4.11	Circuit de polarisation.....	129
Figure 4.12	Connexions entre le circuit de polarisation et l'étage de gain	130
Figure 4.21	Baisse du courant dans M0 avec la variation de la température	132
Figure 4.22	État du transistor M0 avec une variation de V_{in_CM}	133
Figure 4.23	État de M1a et M2a avec une variation de V_{in_CM}	134
Figure 4.24	État de M1b et M2b avec une variation de V_{in_CM}	134
Figure 4.25	État de M3a et M4a avec une variation de V_{in_CM}	134
Figure 4.26	État de M3b et M4b avec une variation de V_{in_CM}	135
Figure 4.27	État de M5 et M6 avec une variation de V_{in_CM}	135
Figure 4.28	État de M7 et M8 avec une variation de V_{in_CM}	135
Figure 4.29	État de M9 et M10 avec une variation de V_{in_CM}	136
Figure 4.30	État de M11 et M12 avec une variation une V_{in_CM}	136
Figure 4.31	Simulation du comportement de V_{out_RFC} avec une variation de V_{in_CM}	137
Figure 4.32	Structure de test sur le type et la taille du buffer	138
Figure 4.33	Détermination de la taille du buffer	140
Figure 4.34	Variation de V_{out_RFC} en fonction de <i>scale2</i>	141
Figure 4.35	Variation de V_{out_RFC} en fonction de <i>scale1</i>	142
Figure 4.36	Variation de V_{out} en fonction de dV_{in} suite à la réduction de courant polarisation.....	144
Figure 4.37	Intensités des courants du Recycled Folded Cascode avec un courant de polarisation de $130 \mu A$	144

Figure 4.38	Circuit de polarisation annoté DC.....	145
Figure 4.39	Mesure de la résistance de sortie du Recycled Folded-cascode	146
Figure 4.40	Mesure de la résistance de sortie de l'étage de gain.....	147
Figure 4.41	Détermination des résistances de sortie	148
Figure 4.42	Mesure de la résistance de sortie de l'ampli-op	148
Figure 4.43	Détermination du TRMC	150
Figure 4.44	Montage test pour la réponse en fréquence du Recycled Folded-Cascode.....	151
Figure 4.45	Réponse en fréquence du Recycled Folded-Cascode à 800 μ A	151
Figure 4.46	Montage de test pour la réponse en fréquence de l'ampli-op	153
Figure 4.47	Montage des tests en rétroaction avec une charge en courant isolée en RF.....	155
Figure 4.48	Ampli-op et module de feed-back pour l'étude de la stabilité.....	156
Figure 4.49	Montage de la réponse en fréquence de l'ampli-op avec émulation du feed-back.....	157
Figure 4.50	Variation de la tension de sortie pour diverses polarisations avec un courant de charge de 20 mA	158
Figure 4.51	Variation de la tension de sortie pour diverses polarisations avec un courant de charge de 1 mA	158
Figure 4.52	Variation de V_{out} en fonction de la tension d'alimentation.....	159
Figure 4.53	Variation de V_{out} suite à une variation de la référence.....	160
Figure 4.54	Comparatif des variations de V_{out} avec la température pour 1 mA et 20 mA	161
Figure 4.55	Variation de V_{out} en fonction de la température à 1 mA de charge pour divers courants de polarisation	162
Figure 4.56	Variation de V_{out} en fonction de la température à 20 mA de charge pour divers courants de polarisation	162
Figure 4.57	Variation de la tension de sortie en fonction du courant de charge	163

Figure 4.58	Variation de l'erreur statique en fonction du courant de charge.....	163
Figure 5.1	Circuits de référence	168
Figure 5.2	Circuits de références annotés DC	168
Figure 5.3	Variation des tensions de références avec la température	169
Figure 5.4	Variation des tensions de références avec la tension d'alimentation.....	169
Figure 5.5	Puissance disponible	171
Figure 5.6	Place du RF-Choke	172
Figure 5.7	Effet d'isolation de la bobine RF-Choke.....	174
Figure 5.8	Montage des tests RF	174
Figure 5.9	Variation du courant dans la charge pour diverses valeurs de R2.	178
Figure 5.10	Validation de la régulation avec le banc de simulation RF	179
Figure 5.11	Position de la résistance d'amortissement	185
Figure 5.12	Variation de V_{out} en fonction de R_{damp} pour 20 mA dans la charge..	187
Figure 5.13	Variation de la tension de sortie pour $R_{damp} = 50k\Omega$ et $R_{damp} = 1M\Omega$	188
Figure 5.14	Variation du courant I_{Load} par effet	190
Figure 5.15	Variation de la tension V_{out}	191
Figure 5.16	Stabilisation de la référence par effet de l'amortissement pour une isolation de 6 nH et un courant de 20 mA dans la charge.....	192
Figure 5.17	Variations de I_{M1a} et I_{M2a} par effet d'amortissement pour une isolation de 6 nH et un courant de 20 mA dans la charge.....	193
Figure 5.18	Variations de I_{M9} et I_{M10} par effet d'amortissement pour une isolation de 6 nH et un courant de 20 mA dans la charge.....	193
Figure 6.1	Structure hiérarchique du régulateur.....	202
Figure 6.2	Réponse en fréquence boucle ouverte et en boucle fermée dans le cas du W-CDMA	206
Figure 6.3	Capacités de filtrage au sein de l'ampli-op.....	207

Figure 6.4	Schéma test de la réponse en fréquence en boucle ouverte montrant la capacité de compensation dans le module de feed-back.....	207
Figure 6.5	Présentation de la fenêtre LSW.....	208
Figure 6.6	Insertion du Via.....	208
Figure 6.7	Cellule paramétrique NMOS	209
Figure 6.8	Cellule paramétrique PMOS	209
Figure 6.9	Cellule paramétrique de la capacité	209
Figure 6.10	Cellule paramétrique de la résistance	210
Figure 6.11	Layout complet	210
Figure 6.12	Layout sans pad.....	211
Figure 6.13	Layout du circuit CMOS et quelques capacités de compensation	211

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

AC	: Alternative Current
ACFAS	: Association Canadienne - Française pour l'Avancement des Sciences
CDMA	: Code Division Multiple Access
CEEA	: Canadian Engineering Education Association
CFC	: Complementary Folded Cascode
CMC	: Canadian Microelectronics Corporation
CMOS	: Complementary Metal – Oxide – Semiconductor
CRÉER	: Centre de recherche en électronique radiofréquence
DC	: Direct Current
DRC	: Design Rules Check
ÉTS	: École de Technologie Supérieure de Montréal
FC	: Folded-Cascode
GaAs	: Gallium Arsenide (Arséniure de Gallium)
GND	: Ground
HBT	: Heterojunction Bipolar Transistor (Transistor bipolaire à hétérojonction)
LSW	: Layout Window Screen
LVS	: Layout Versus Schematic
MCM	: Multi-Chip Module
MMIC	: Monolithic Microwave Integrated Circuit
MOS	: Metal – Oxide – Semiconductor
NMOS	: N- channel Metal – Oxide – Semiconductor

XXVIII

OTA	: Operational Transconductance Amplifier
PFL	: Plage de Fonctionnement Linéaire
PMOS	: P- channel Metal – Oxide – Semiconductor
PSIRE	: Programme de Support Institutionnel pour la Recherche et l'Enseignement
RF	: Radiofréquences
RFC	: Recycled Folded Cascode
RFIC	: RadioFrequency Integrated Circuit
TRMC	: Taux de Réjection en Mode Commun
TSMC	: Taiwan Semiconductor Manufacturing Company
VDD	: Tension d'alimentation
WCDMA	: Wide-band Code Division Multiple Access

LISTE DES SYMBOLES ET UNITÉS DE MESURE

A	: Ampère
V	: Volt
Hz	: Hertz
W	: Watt
Ω	: Ohm
°	: Degrés
°C	: Degrés Celsius
dB	: Décibel
dBm	: Décibel par milliwatt
H	: Henry

INTRODUCTION

Cette introduction est une mise en contexte qui développe la thématique et la pertinence scientifique de ce travail de recherche. Elle traite de la motivation, de la problématique et de la méthodologie applicable à chacune des dimensions de cette recherche, qui en compte deux. Il y a tout d'abord une dimension technique qui met à contribution des connaissances et des compétences techniques pour la conception d'un régulateur de tension destiné aux amplificateurs intégrés RF (section 0.1). Ensuite, il y a une dimension pédagogique qui rejoint les méthodes d'enseignement destinées à l'assimilation et l'application des concepts de l'électronique analogique par des élèves ingénieurs (section 0.2). Le travail réalisé dans ces deux volets de la recherche a débouché sur les contributions scientifiques présentées à la section 0.4. Juste avant, la section 0.3 présente l'organisation générale du mémoire.

0.1 Dimension technique de la recherche

0.1.1 Motivation

L'amélioration permanente des techniques de fabrication a grandement contribué aux énormes avancées réalisées dans le domaine de la microélectronique ces dernières décennies. En plus de la miniaturisation des composants micrométriques, elle a permis la diversification des composants et l'implantation de fonctions électroniques différentes sur un même module. Ainsi, les performances des transistors à hétérojonction aux hautes fréquences et le haut niveau d'intégration des transistors CMOS peuvent être simultanément exploitées sur des supports uniques appelés « Multi-Chip Module » (MCM). Ces supports sont capables de faire fonctionner sur le même substrat, des puces de technologies différentes ou des modules réalisant des fonctions différentes. Ils constituent une réponse aux exigences technologiques de plus en plus grandes dans le domaine de la microélectronique, et sont utilisés dans plusieurs domaines tels que l'électronique médicale et les télécommunications. Une représentation illustrative de composant MCM en lien avec notre travail de recherche est donnée à la Figure 0.1.

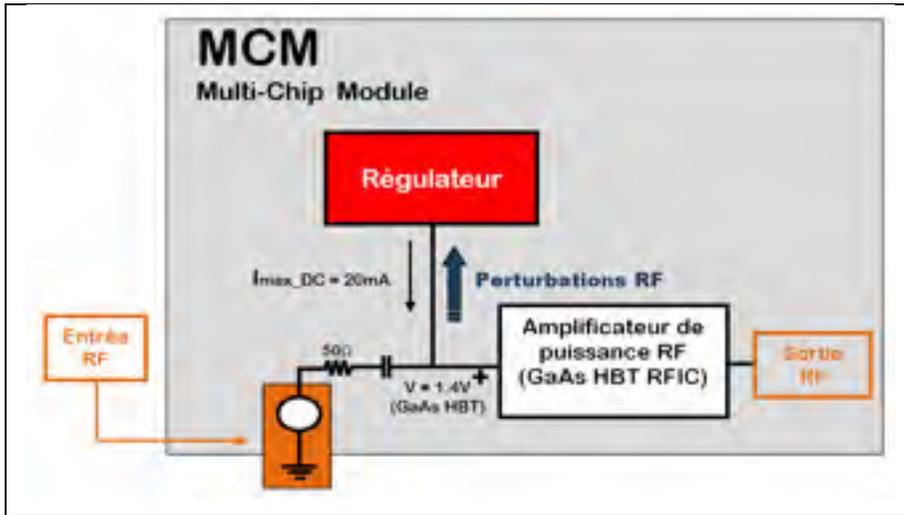


Figure 0.1 Illustration d'un composant MCM

L'une des puces sur ce module MCM est un amplificateur RF intégré en technologie GaAs HBT (Gallium Arsenide Heterojunction Bipolar Transistor). Le régulateur est un circuit analogique dont le rôle est de contrôler la tension à l'entrée de l'amplificateur. Des circuits analogiques comme ce régulateur, destinés à la polarisation et au contrôle d'amplificateurs intégrés RF sont soumis à l'effet perturbateur de la puissance RF, qui s'infiltré de façon non désirée dans le circuit. Cette infiltration est rendue possible par le manque d'isolation qui existe typiquement entre ces circuits et les sections de circuits RF de la puce GaAs HBT, et elle vient dégrader leurs performances. Il est donc pertinent d'étudier le comportement des circuits de polarisation et de contrôle d'amplificateurs intégrés dans un tel environnement, afin de proposer des techniques de circuits pertinentes pour les désensibiliser de ces effets nocifs, et optimiser leurs performances en présence de fortes perturbations RF.

0.1.2 Problématique

Dans la conception de circuits intégrés, la puissance consommée par un circuit et la surface de puce nécessaire pour l'implémenter sont deux aspects importants. Ils peuvent être critiques selon le type de transistor, le courant de polarisation ou la tension d'alimentation. Pour le type de transistors par exemple, en raison d'une forte capacité d'intégration, des coûts de fabrication relativement bas, et certaines considérations favorables dans le domaine de la

recherche, le transistor CMOS tend à s'imposer comme un candidat naturel. Il présente par ailleurs de bonnes performances dynamiques pour certaines applications telles que le régulateur de tension que nous nous proposons de concevoir. Il y a donc un intérêt à construire des circuits analogiques comme les régulateurs de tension en technologie CMOS. Ce choix comporte un bénéfice évident quant à la surface de la puce, mais comporte parallèlement des défis pour la réduction de la puissance consommée. Dans ce sens, des techniques permettant de réduire les budgets de courant consommés et d'abaisser la tension d'alimentation ont été développées. Dans un contexte d'infiltration RF, il faut en plus trouver des techniques qui permettent de désensibiliser ces régulateurs de perturbations RF.

La problématique technique de cette recherche est l'optimisation des régulateurs de tension CMOS avec une faible consommation de courant et fonctionnant à bas voltage, dans un contexte de perturbations RF provenant d'un défaut d'isolation entre ces régulateurs et les amplificateurs intégrés RF qu'ils contrôlent.

0.1.3 Objectifs

Du point de vue technique, l'objectif de ce travail de recherche est de concevoir un régulateur CMOS bénéficiant d'une forte désensibilisation par rapport aux perturbations RF, alimenté à bas voltage, consommant un faible courant de polarisation et destiné au contrôle d'amplificateurs de type RFIC GaAs HBT.

La technologie choisie est « TSMC CMOS 0.18 μm » car elle répond aux exigences bas voltage et bas courant de notre problématique de recherche. Elle offre aussi la possibilité de faire fabriquer la puce grâce à la « Canadian Microelectronics Corporation » (CMC). Avec ce procédé, la tension d'alimentation peut varier de 1.8V à 3.3V. Nous avons choisi la valeur minimale de 1.8V, pour favoriser l'opération à bas voltage. L'amplificateur étudié est de type GaAs HBT, choisi notamment pour ses performances avantageuses dans l'étage de puissance des téléphones portables traitant les signaux RF à modulation numérique tels que le signal « Wide-band CDMA ». La tension de seuil d'un transistor GaAs HBT (tension minimale

pour laquelle le transistor devient passant) est autour de 1.35V à température ambiante. En considérant l'augmentation de cette tension à basse température, nous fixons la tension de sortie du régulateur à 1.4V, et sa valeur minimale à 1.36V, correspondant à une chute maximale de 3% de la tension de sortie nominale. L'analyse est faite à l'aide d'un banc de simulation incluant le régulateur, une source RF d'une fréquence de 1.88 GHz et 20 dBm de puissance disponible, la bobine d'isolation, et une charge émulant le comportement d'amplificateur intégré de type GaAs HBT.

0.1.4 Méthodologie

La méthodologie suivie lors de cette recherche est constituée de trois phases.

Phase 1 : Régulateur débitant dans une charge isolée en RF

La première phase du travail consiste à concevoir un régulateur de tension CMOS ayant de bonnes performances avec une charge isolée, c'est-à-dire sans influence des signaux RF. Ce régulateur doit consommer un très faible courant de polarisation et être alimenté à bas voltage pour répondre à la problématique de cette recherche. Pour une variation du courant de charge allant de 1 mA (fonctionnement nominal) à 20 mA (condition d'opération extrême), l'objectif du régulateur est de maintenir la polarisation à 1.4V, avec une tolérance maximale de 10 mV. Cet objectif est raisonnable, puisque nous devons par la suite tenir compte des effets de charge et des perturbations RF.

Phase 2 : Étude des effets perturbateurs de la puissance RF sur le régulateur

La deuxième phase de ce travail consiste à identifier et à analyser l'effet perturbateur de la puissance RF sur le régulateur, pour le comprendre et le combattre efficacement. La charge est remplacée par un modèle qui émule le comportement d'un amplificateur GaAs HBT vu de sa base. Le courant dans la charge augmente ici avec la puissance RF appliquée à cette charge. Le régulateur est tout d'abord isolé de la charge par une forte inductance d'isolation. Ensuite, cette inductance est diminuée pour permettre l'infiltration de la puissance RF dans le régulateur. Dans les deux cas, nous allons analyser les variations des grandeurs électriques au

sein du régulateur. En les confrontant, nous pourrions repérer les tendances des tensions et des courants qui pourraient expliquer une baisse des performances du régulateur en présence de perturbations RF.

Phase 3 : Techniques de désensibilisation proposées

La troisième phase consiste justement à proposer des techniques de circuits efficaces pour annuler ou contrer les tendances défavorables identifiées lors de la deuxième phase, afin d'obtenir un fonctionnement optimal du régulateur en présence de perturbations RF.

0.2 Dimension pédagogique

0.2.1 Problématique pédagogique

La problématique pédagogique se situe au niveau du besoin identifié d'encourager l'utilisation de nouveaux outils dans une approche innovante, pour favoriser l'intégration efficace des concepts liés à l'électronique analogique, et aider au développement de compétences dans le cadre d'un cheminement universitaire dans ce domaine.

0.2.3 Objectifs

Du point de vue pédagogique, l'objectif de ce travail est de développer un nouvel outil éducatif pour la formation des élèves ingénieurs en électronique analogique à l'école de technologie supérieure (ÉTS). Pour créer plus de motivation et offrir un cadre agréable de travail aux enseignants et aux étudiants, cet outil doit utiliser des logiciels connus et d'utilisation simple. Il doit rester facilement accessible. Pour être efficace, il doit aborder les volets de la révision des connaissances, celui de l'approfondissement des connaissances, et enfin celui de l'application des connaissances.

0.2.4 Méthodologie

La méthodologie adoptée pour la réalisation de l'outil éducatif se décline en quatre phases formant un cycle dans le temps. L'accomplissement de ce cycle dans des intervalles de temps réguliers augmentera la productivité de l'outil. Seule la première phase de cette méthodologie a été traitée dans ce travail de recherche, à savoir la conception du module pédagogique proprement dit (première version). Elle a fait l'objet d'une subvention du programme de support institutionnel pour la recherche et l'enseignement (PSIRE) à l'ÉTS.

Phase 1 : Conception de l'outil pédagogique

La première phase est celle de la conception de l'outil éducatif proprement dit. Cette phase nécessite la création d'une banque de questions comprenant les trois volets présentés à la section 0.2.3, et leur mise en forme dans un module qui doit rester simple d'utilisation et accessible.

Phase 2 : Utilisation et évaluation continue

Une fois l'outil disponible créé, les étudiants vont le mettre à profit pour la révision des connaissances transmises lors du premier cours de niveau baccalauréat, et l'introduction aux notions des cours gradués en électronique analogique.

Phase 3 : Validation de l'efficacité de l'outil

L'outil pédagogique doit faire l'objet d'une évaluation permanente. Pour ce faire, il faut qu'il enregistre un bon nombre d'opérations et qu'il ait fonctionné sur une période assez longue. Des statistiques sur la fréquence d'utilisation, l'évolution des performances par étudiant, l'évolution moyenne des résultats et autres seront enregistrées et analysées pendant la phase de validation de l'outil. Les étudiants et les enseignants seront consultés au sujet de l'accessibilité, de l'ergonomie, de l'efficacité de l'outil, ainsi que de la stimulation pédagogique qu'il génère. Pendant cette phase, les points forts et les points faibles doivent être identifiés pour d'une part consolider les acquis bénéfiques de l'outil, et d'autre part proposer des solutions en vue d'améliorer l'efficacité de la méthode.

Phase 4 : Mise à jour de l'outil

Dans cette phase, il faut tenir compte des résultats de validation de l'efficacité de l'outil. Il y a une mise à jour pédagogique consistant à réviser la méthode, l'environnement et l'approche de la formation. Il y a également une mise à jour technique consistant à actualiser la banque de données, les tests et les outils utilisés par le module pédagogique. Au terme de la phase 4, le cycle reprend à la phase 1.

0.3 Organisation du mémoire

Ce mémoire contient six chapitres. Le chapitre 1 traite de la dimension pédagogique de ce travail de recherche. Il présente des notions analogiques qui seront nécessaires afin de comprendre les analyses présentées dans ce mémoire. Il comporte une section dédiée à la conception d'un outil pédagogique qui vise l'intégration efficace de ces notions chez des élèves ingénieurs. Le chapitre 2 fait l'état de l'art des dispositifs amplificateurs RF avec une contrainte d'opération bas voltage, et un souci d'efficacité énergétique. Il fait aussi l'état de l'art des techniques utilisées pour combattre les effets de l'interaction RF dans des circuits CMOS. L'orientation de notre travail de recherche y est justifiée, à la lumière de ces deux aspects. Le chapitre 3 présente une étude théorique détaillée du régulateur, dans une approche par schéma bloc qui couvre l'amplificateur opérationnel, puis les autres composantes du montage. Il contient aussi les analyses effectuées pour optimiser les performances du régulateur par rapport à notre problématique de recherche. Le chapitre 4 montre les résultats des simulations effectuées sur le régulateur en présence d'une charge isolée en RF, et constitue en fait une étape de validation des performances. Le chapitre 5 est consacré au régulateur en situation d'infiltration RF. Les tests effectués dans ce chapitre permettent d'évaluer l'effet de l'infiltration sur des circuits de type CMOS tels que ce régulateur, et de proposer une technique de désensibilisation efficace. Le chapitre 6 présente quant à lui le layout du régulateur, avec une compensation qui permet d'optimiser l'utilisation de la bande passante dans le cadre d'une transmission W-CDMA.

0.4 Contributions scientifiques de ce travail de recherche

0.4.1 Au plan pédagogique

Les contributions identifiées dans ce mémoire au plan pédagogique sont :

- proposition d'une nouvelle méthodologie d'intégration de concepts analogiques à l'ÉTS pour améliorer le cheminement d'élèves ingénieurs en électronique analogique ;
- montage d'une banque de questions permettant la révision, l'approfondissement et l'application des connaissances en électronique analogique ;
- implémentation de la banque de questions dans un outil pédagogique destiné à la formation d'élèves ingénieurs en électronique analogique (première version).

0.4.2 Au plan technique

Les contributions identifiées dans ce mémoire au plan technique sont :

- étude et simulation couvrant les domaines DC et AC d'une structure CMOS récente appelée «Recycled Folded-Cascode» ;
- design d'un circuit CMOS consommant un courant de 5 μA , destiné à la polarisation de la structure «Recycled Folded-Cascode» ;
- réduction drastique du courant de polarisation consommé par le montage «Recycled Folded-Cascode», passant de 800 μA (tel que proposé dans la littérature) à 135 μA ;
- proposition d'une méthodologie de simulation visant à évaluer les effets de l'infiltration RF dans des régulateurs de tension CMOS destinés aux amplificateurs intégrés RF ;
- design d'un circuit totalement en technologie CMOS, polarisé à bas voltage, consommant un très faible courant de polarisation et capable de réguler la tension base-émetteur d'un amplificateur RF intégré GaAs HBT consommant un courant de 20 mA, pour une puissance RF d'entrée d'environ 20 dBm ;

- désensibilisation des perturbations RF grâce à un effet d'amortissement et de filtrage permettant de limiter la chute de la tension de sortie de 100 mV avec un courant de 20 mA dans la charge, afin de retrouver une régulation à 97% ;
- diminution de la bobine d'isolation grâce à la technique de désensibilisation, ce qui favorise l'intégration sur puce ;
- conception de lay-out du régulateur (technologie TSMC CMOS 0.18 μm).

0.4.3 Communications et publications dans des conférences avec comité de lecture

Constantin, N., **G. Ayissi Eyebe** et V. Nerguizian. 2010. « A New Pedagogical Tool for the Training of Engineers in Analog Electronics ». *Proceedings of the Canadian Engineering Education Association*.

Constantin, N. , **G. Ayissi Eyebe** et V. Nerguizian. 2010. « Un nouvel outil éducatif pour la formation des ingénieur(e)s en électronique analogique ». In *78^e congrès de l'Association Canadienne et Française pour l'Avancement des Sciences (ACFAS)*. (Montréal, 10-14 mai 2010)

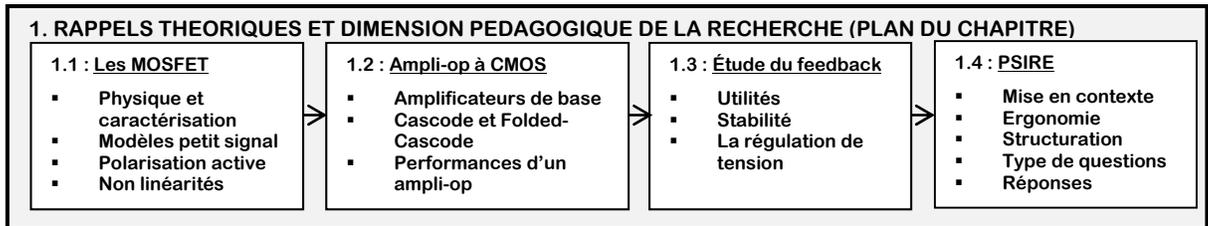
G. Ayissi Eyebe, V. Nerguizian et N. Constantin. 2011. « A very low current CMOS voltage regulator for RFIC power amplifiers ». In *symposium CREER (Centre de Recherche en Électronique et Radiofréquence du Québec)*. (Montreal, 14-15 septembre 2011)

G. Ayissi Eyebe, V. Nerguizian et N. Constantin. 2012. « Régulateur CMOS fonctionnant à basse tension et à faible consommation de courant pour amplificateurs RF intégrés ». In *80^e congrès de l'Association Canadienne et Française pour l'Avancement des Sciences (ACFAS)*. (Montréal, 7-11 mai 2012)

G. Ayissi Eyebe, V. Nerguizian et N. Constantin. « A low current CMOS voltage regulator including RF desensitization for RFIC power amplifiers ». (**accepté** au IEEE - Canadian Conference of Electrical and Computer Engineering. (CCECE) - 2012)

CHAPITRE 1

DIMENSION PEDAGOGIQUE DE LA RECHERCHE



Ce chapitre parle de la dimension pédagogique de notre travail de recherche. Il introduit des notions analogiques qui seront utiles pour la compréhension des analyses de ce mémoire. À la section 1.1, il présente le transistor MOSFET (de l'anglais Metal Oxide Field Effect Transistor), composant électronique de base utilisé dans les circuits étudiés dans ce travail de recherche. Son exploitation comme amplificateur et les circuits électroniques associés sont abordés à la section 1.2. Étant donné que nous ambitionnons de contrôler la tension de polarisation d'un amplificateur intégré RF, la section 1.3 parle des notions relatives à la régulation de tension. La section 1.4 qui clôtur ce chapitre traite de la mise en forme de la banque de questions dans un module pédagogique proposé dans la première partie de ce travail de recherche. Nous tenons à préciser que ce chapitre ne présente pas vraiment d'explication détaillée. Il contient par contre beaucoup de références, ce qui permettra aux lecteurs intéressés d'y trouver de plus amples explications.

1.1 Les MOSFET

La section 1.1.1 présente la structure du MOSFET et ses courbes d'analyses intrinsèques. La section 1.1.2 aborde son comportement dans un contexte de petit signal, et la section 1.1.3 est consacrée à la polarisation active.

1.1.1 Physique et caractérisation

1.1.1.1 Structure

Le transistor MOSFET présente une structure symétrique dans laquelle deux régions de dopage identique sont encastrées dans une région de dopage différent. Le dopage peut être défini comme étant l'action d'accroître la population des porteurs de charges libres positives ou négatives dans une région électriquement neutre, de telle sorte qu'ils deviennent majoritaires comparativement aux autres charges dans ladite région. Il est ainsi possible de former des régions de type N avec une prédominance de charges négatives appelées électrons, et des régions de type P avec une prédominance de charges positives appelées trous. Les transistors sont des composants électroniques formés de régions dopées N et P. Leur fonctionnement dépend des dimensions, de la disposition et des caractéristiques de ces régions, ainsi que de la polarité des tensions qui leur sont appliquées.

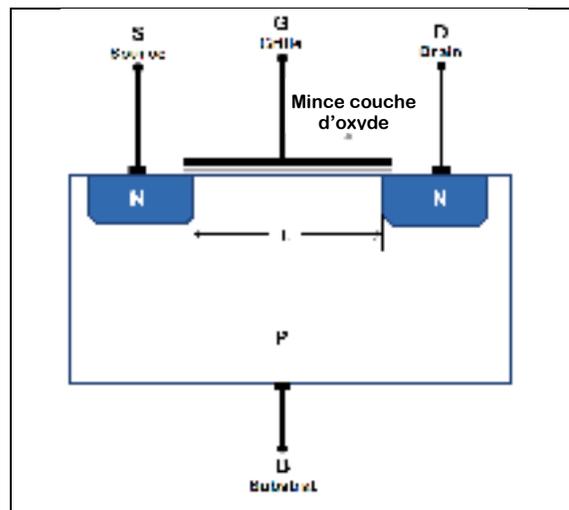


Figure 1.1 Structure du transistor NMOS
Adaptée de Razavi (2008, p. 290)

Supposons que nous ayons deux régions de type N encastrées dans une région de type P. L'une des régions N sera reliée à une électrode appelée source (S), et l'autre sera reliée à une électrode appelée drain (D). La région mitoyenne de type P est reliée à une électrode appelée

substrat (B, de l'anglais « Bulk »). La région du substrat qui sépare la source du drain est isolée de la quatrième électrode appelée grille (G), à l'aide d'une mince couche d'oxyde (Figure 1.1). L'agencement des couches donne une structure verticale de type Métal (électrode) – Oxyde – Semi-conducteur (substrat), laquelle justifie l'appellation MOS pour ce type de transistor.

1.1.1.2 Approche qualitative du fonctionnement du MOSFET

L'étude qualitative présentée ici est une analyse du comportement électrique du MOSFET, en fonction de la polarité des tensions grille-source (V_{GS}) et drain-source (V_{DS}) appliquées à ses électrodes, ainsi que le montre la Figure 1.2.

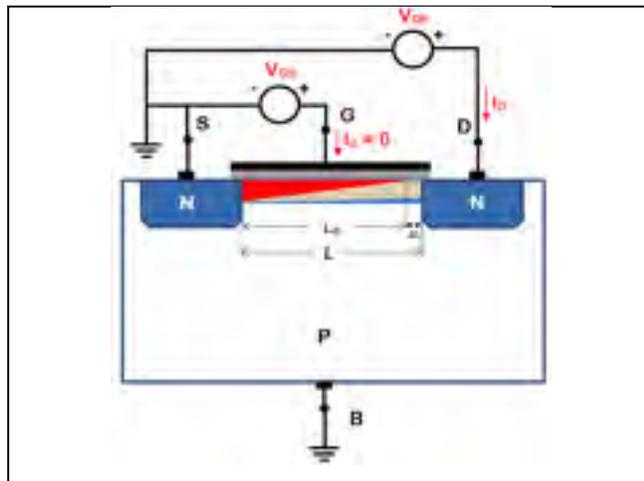


Figure 1.2 Tensions et courants dans un NMOS
Adaptée de Sedra et Smith (2010, p. 240 ; 254)

Le courant entrant dans la grille est nul, à cause de l'isolation apportée par la couche d'oxyde ($I_G = 0$). Suite à l'application d'une tension positive à la grille ($V_{GS} > 0$), les trous sont refoulés du haut vers le bas du substrat, à cause de l'effet capacitif de la couche d'oxyde. À l'inverse, quelques électrons sont attirés vers la grille. Lorsque la tension V_{GS} augmente, ces migrations s'accroissent et il se crée progressivement une région du substrat dans laquelle le dopage tend à s'uniformiser avec celui de la source et du drain. Cette région est appelée « canal », et elle détermine la typologie du transistor. Un transistor comme celui que nous

études, ayant un canal majoritairement formé d'électrons est de type NMOS (représenté à la Figure 1.3(a)). À l'inverse, il existe des transistors de type PMOS, avec un canal majoritairement formé de trous (représenté à la Figure 1.3(b)). De façon générale, le substrat n'apparaît pas dans la représentation électrique du transistor parce qu'il est connecté au potentiel le plus bas du circuit pour les NMOS, et au potentiel le plus haut du circuit pour les PMOS (Sedra et Smith, 2010, p. 256).

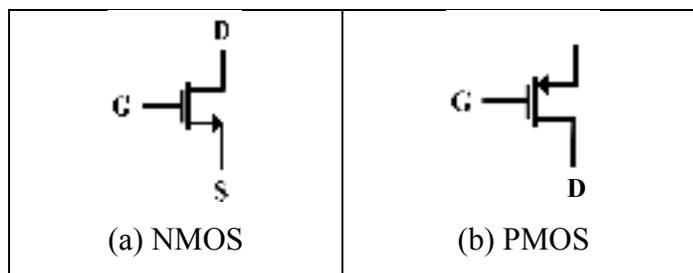


Figure 1.3 Représentation électrique des MOSFET
Adaptée de Sedra et Smith (2010, p. 247;256)

Revenons à la Figure 1.2. Lorsque la tension V_{GS} atteint une valeur V_{THN} appelée tension de seuil du transistor, la concentration des électrons devient suffisante pour qu'un courant circule à travers le canal (Gray, 2009, p. 39). Les phénomènes électriques dans le canal peuvent alors être étudiés en lui conférant une « profondeur » ($V_{GS} - V_{THN}$) (Sedra et Smith, 2010, p. 240). Contrairement à la tension V_{GS} qui tend à enrichir le canal en extirpant les électrons du bas du substrat, l'application d'une tension V_{DS} tend à l'appauvrir en balayant les électrons d'un bout à l'autre du canal, par l'action du champ électrique qui en découle. La tension V_{DS} induit en réalité un gradient de potentiel dont le profil est approché par la Figure 1.4 adaptée (Razavi, 2008, p. 296). Au point où la tension V_{DS} compense la profondeur du canal, on parle de "pincement du canal". Ce point survient lorsque la condition (1.1) est remplie, définissant au passage la tension de saturation du transistor $V_{DS,sat}$ ou la tension V_{OV} , de l'anglais « overdrive voltage » (Sedra et Smith, 2010, p. 235) :

$$V_{DS} = V_{DS,sat} = V_{OVN} = V_{GS} - V_{THN} \quad (1.1)$$

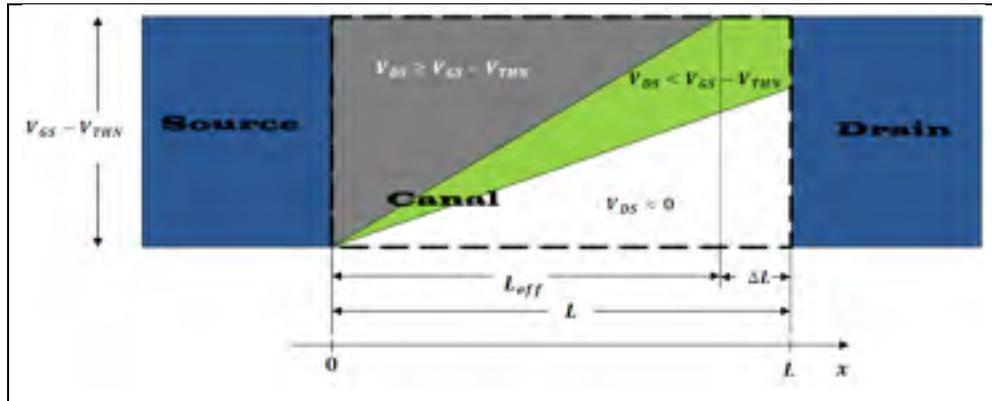


Figure 1.4 Profil du potentiel dans le canal en fonction de V_{ds}
Adaptée de Sedra et Smith (2010, p. 296)

Les électrons qui sont proches du drain subissent un champ électrique plus intense que ceux qui sont proches de la source. La circulation du courant entre le canal et le drain reste possible à travers le champ électrique qui prévaut dans cette région, suivant une loi indépendante de V_{DS} (Razavi, 2008, p. 297). Si le pincement se produit à une longueur du canal $L_{eff} < L$, la longueur résiduelle du canal ΔL provoque un effet de modulation qui a un impact sur l'intensité du courant (Sedra et Smith, 2010, p. 254). Cet aspect et bien d'autres sont abordés dans la section suivante, qui présente de façon quantitative les approches qualitatives précédentes.

1.1.1.3 Approche quantitative et formalisme de base du MOSFET

Soit I_D le courant à travers le canal, appelé aussi courant de drain. Nous l'appellerons aussi courant du transistor en raison du fait que $I_G = 0$. Son intensité peut être déterminée à partir de l'égalité (1.2), où Q_L est la charge par unité de longueur du canal et v_N est la vitesse de dérive des électrons (Razavi, 2008, p. 298) :

$$I_D = Q_L \times v_N \quad (1.2)$$

La couche d'oxyde a une épaisseur t_{ox} et une capacité par unité de surface C_{ox} . W étant la largeur du transistor, sa capacité par unité de longueur est de WC_{ox} . Le potentiel électrique

en un point d'abscisse x du canal est de $[(V_{GS} - V_{THN}) - V(x)]$. Ainsi, la charge par unité de longueur Q_L est donnée par :

$$Q_L = C_{ox}W[(V_{GS} - V_{THN}) - V(x)] \quad (1.3)$$

La vitesse des électrons est donnée par le produit de leur mobilité avec l'intensité du champ électrique (Razavi, 2008, p. 299) :

$$v_N = \mu_n|E| = \mu_n \frac{dV}{dx} \quad (1.4)$$

Compte tenu des équations (1.2), (1.3) et (1.4), le courant du transistor est tel que :

$$I_D = \mu_n C_{ox} W [(V_{GS} - V_{THN}) - V(x)] \frac{dV}{dx} \quad (1.5)$$

En intégrant sur l'ensemble du canal, c'est-à-dire une longueur L et une différence de potentiel V_{DS} , nous avons (Razavi, 2008, p. 299):

$$\int_{x=0}^{x=L} I_D dx = \int_{V(x)=0}^{V(x)=V_{DS}} \mu_n C_{ox} W [(V_{GS} - V_{THN}) - V(x)] dV \quad (1.6)$$

Par suite, nous obtenons (Razavi, 2008, p. 299) :

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} [2(V_{GS} - V_{THN})V_{DS} - V_{DS}^2] \quad (1.7)$$

Aux faibles valeurs de V_{DS} , le terme au carré est négligeable. Nous avons :

$$I_D = I_{D,triode} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THN})V_{DS} \quad (1.8)$$

Le MOSFET se comporte ainsi comme une résistance R_{ds} commandée par la tension V_{GS} (Razavi, 2008, p. 301) :

$$R_{ds} = \frac{V_{DS}}{I_{D,triode}} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THN})} \quad (1.9)$$

Cette situation correspond à la première partie de l'analyse qualitative, l'inversion progressive de polarité du canal par la tension V_{GS} diminuant sa "résistance" à la circulation du courant, à travers la concentration des électrons. *Le transistor est dit polarisé en région triode.* Par ailleurs, (Razavi, 2008, p. 303) démontre que l'intensité du courant I_D atteint une valeur constante et maximale au point de pincement du canal telle que :

$$I_D = I_{D,max} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THN})^2 \quad (1.10)$$

Le transistor est dit polarisé en région de saturation. Cette condition est valable pour des valeurs de V_{DS} respectant la condition (1.11) :

$$V_{DS} \geq (V_{GS} - V_{THN}) \quad (1.11)$$

En définissant le paramètre de transconductance du procédé β'_N et le paramètre de transconductance du MOSFET β_N respectivement aux égalités (1.12) et (1.13) (Sedra et Smith, 2010, p. 238), nous pouvons réécrire l'expression du courant I_D dans (1.10), à l'aide de l'expression (1.14) :

$$\beta'_N = \mu_n C_{ox} \quad (1.12)$$

$$\beta_N = \mu_n C_{ox} \frac{W}{L} \quad (1.13)$$

$$I_D = \frac{1}{2} \beta'_N \frac{W}{L} V_{OV}^2 = \frac{1}{2} \beta_N V_{OV}^2 \quad (1.14)$$

1.1.1.4 Caractéristiques intrinsèques du NMOS

Les caractéristiques intrinsèques abordées ici sont la caractéristique de transfert et la caractéristique de sortie.

Caractéristique de transfert

La caractéristique de transfert donne la variation du courant I_D en fonction de la tension V_{GS} . Elle peut être tracée à partir du montage de la Figure 1.5, et présente l'allure illustrée à la Figure 1.6.

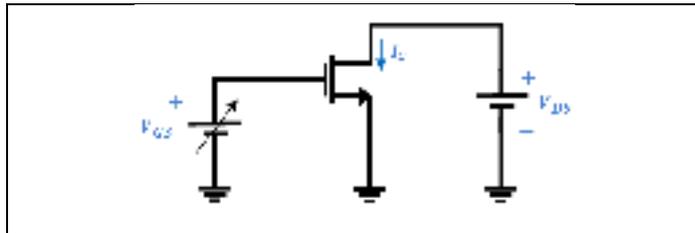


Figure 1.5 Montage utilisé pour tracer la caractéristique de transfert du NMOS
Adaptée de Sedra et Smith (2010, p. 249)

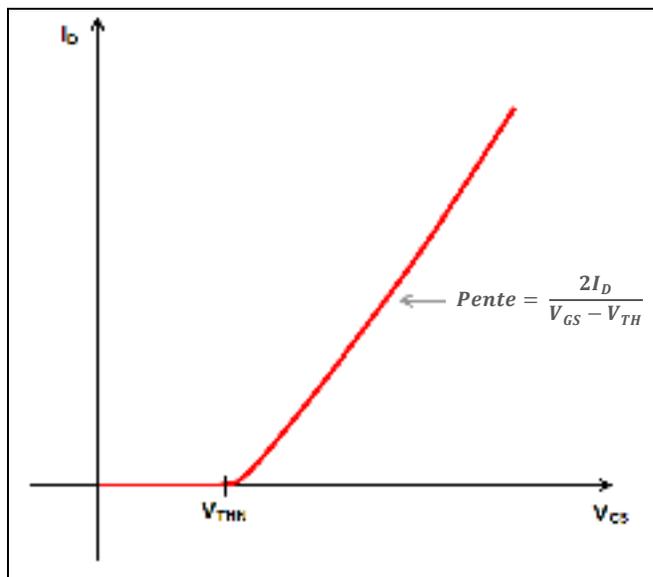


Figure 1.6 Caractéristique de transfert du NMOS
Tirée de Sedra et Smith (2010, p. 251)

La caractéristique de transfert montre bien que le courant circule dans le transistor à partir d'une tension $V_{GS} \geq V_{THN}$, d'où la courbe croît avec une pente $g_m = \partial I_D / \partial V_{GS}$, qui représente la transconductance du transistor (voir section 1.1.2.1)

Caractéristique de sortie

La caractéristique de sortie donne la variation du courant I_D en fonction de la tension V_{DS} . Elle peut être tracée à partir du montage de la Figure 1.7, et présente l'allure illustrée à la Figure 1.8 (Razavi, 2008, p. 306) :

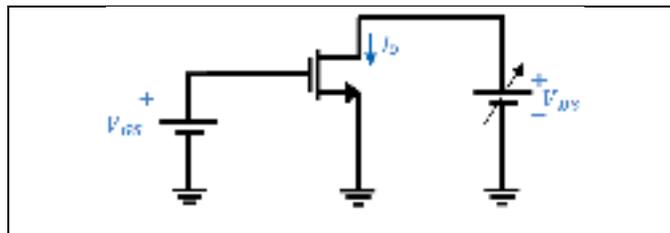


Figure 1.7 Montage utilisé pour tracer la caractéristique de sortie de NMOS
Tirée de Sedra et Smith (2010, p. 249)

La caractéristique de sortie délimite deux zones : la région triode dans laquelle le transistor se comporte comme une résistance R_{ds} , et la région de saturation dans laquelle le courant est pratiquement constant et égal à $I_{D,sat}$. La frontière entre les deux régions est à $V_{DS} = V_{GS} - V_{THN}$. La caractéristique de sortie met également en évidence l'effet Early associé à l'effet de modulation de canal, qui apparaît si le pincement du canal se produit à $L_{eff} < L$ (Figure 1.4). Il est caractérisé par un paramètre λ appelé coefficient de modulation du canal, qui peut être associé à une résistance équivalente de sortie r_o d'après la relation (1.15) tirée de (Sedra et Smith, 2010, p. 255) :

$$\frac{1}{r_o} = \lambda I_D \quad (1.15)$$

En tenant compte de l'effet de modulation du canal, l'intensité du courant I_D peut être réécrite de l'égalité (1.14) à l'égalité (1.16) ci-dessous :

$$I_D = \frac{1}{2} \beta'_N \frac{W}{L} V_{OV}^2 (1 + \lambda V_{DS}) \quad (1.16)$$

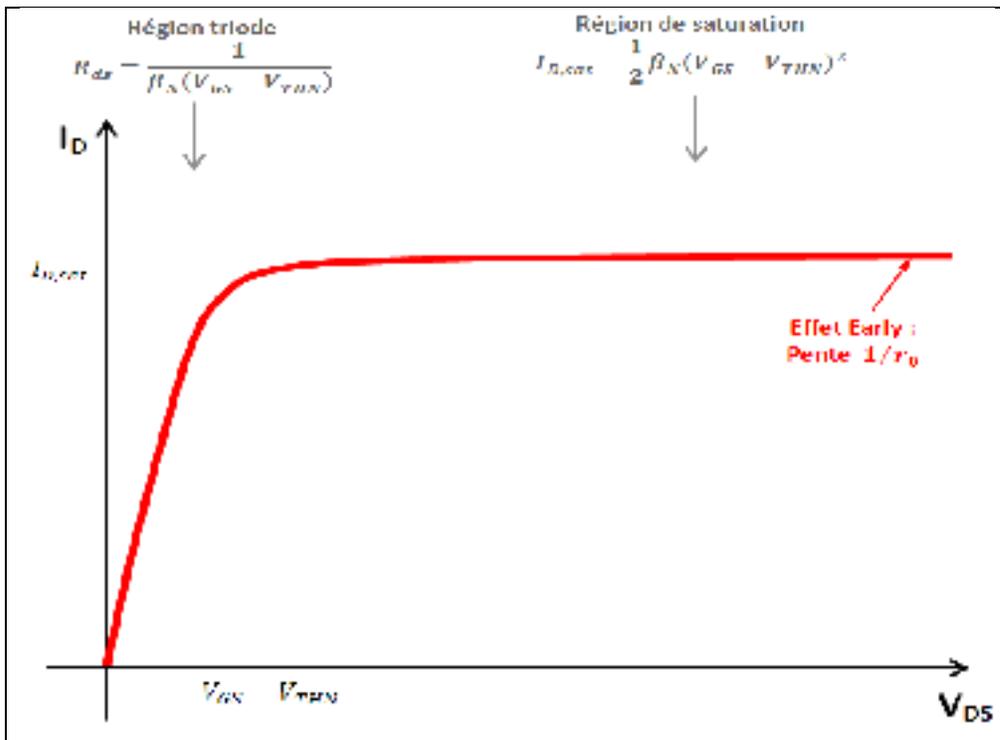


Figure 1.8 Caractéristique de sortie du NMOS

Adaptée de Razavi (2008, p. 306)

1.1.1.5 Cas du PMOS

Le comportement électrique du transistor PMOS peut être déduit de celui de NMOS par dualité. Il faut pour cela considérer deux différences majeures. La première est la polarité des tensions. En effet, le PMOS ayant un substrat de type N, il faut plutôt considérer des tensions V_{GS} , V_{DS} et V_{THP} négatives pour analyser son comportement. Ensuite, il faut tenir compte du fait que la source du PMOS est connectée au plus haut potentiel du circuit V_{DD} . Le formalisme correspondant est présenté aux équations (1.17) pour l'intensité du courant du

transistor, (1.18) pour la résistance du PMOS en région triode, et (1.19) pour la condition traduisant la condition d'opération en mode de saturation.

$$I_D = \frac{1}{2} \frac{W}{L} \beta'_P |V_{OV_P}|^2 = \frac{1}{2} \beta_P |V_{OV_P}|^2 \quad (1.17)$$

$$R_{ds} = \frac{V_{DS}}{I_{D,triode}} = \frac{1}{\beta'_P \frac{W}{L} |V_{OV_P}|} \quad (1.18)$$

$$V_{DS} \leq V_{GS} + |V_{THP}| \quad (1.19)$$

Nous définissons au passage les paramètres β'_P , β_P et V_{OV_P} aux équations respectives (1.20), (1.21) et (1.22), qui sont les équivalents respectifs des paramètres β'_N , β_N et V_{OV} pour les NMOS.

$$\beta'_P = \mu_P C_{ox} \quad (1.20)$$

$$\beta_P = \mu_P C_{ox} \frac{W}{L} \quad (1.21)$$

$$|V_{OV_P}| = |V_{GS}| - |V_{THP}| \quad (1.22)$$

1.1.1.6 En résumé

L'état d'un transistor dépend de V_{GS} qui fixe la profondeur du canal, et de V_{DS} qui fixe sa longueur effective. Le pincement du canal délimite la frontière entre un comportement résistif du CMOS commandé par la tension V_{GS} , et un comportement en source de courant. L'effet de modulation du canal intervient au cas où le pincement survient avant la fin du canal. Il introduit une légère variation du courant en fonction de V_{DS} . Le Tableau 1.1 récapitule le fonctionnement statique des MOSFET.

Tableau 1.1 États des transistors en fonction des tensions V_{GS} et V_{DS}

NMOS	$V_{GS} < V_{THN}$	BLOQUÉ		
PMOS	$ V_{GS} < V_{THP} $	BLOQUÉ		
NMOS	$V_{GS} \geq V_{THN}$	$V_{DS} < V_{GS} - V_{THN}$ $V_D < V_G - V_{THN}$	Triode	$R_{ds} = \frac{1}{\beta_N V_{OVN}}$
		$V_{DS} \geq V_{GS} - V_{THN}$ $V_D \geq V_G - V_{THN}$	Saturation	$I_D = \frac{1}{2} \beta_N V_{OVN}^2 (1 + \lambda V_{DS})$
PMOS	$ V_{GS} \geq V_{THP} $	$V_{DS} < V_{GS} + V_{THP} $ $V_D < V_G + V_{THP} $	Triode	$R_{ds} = \frac{1}{\beta_P V_{OVP} }$
		$V_{DS} \leq V_{GS} + V_{THP} $ $V_D \leq V_G + V_{THP} $	Saturation	$I_D = \frac{1}{2} \beta_P V_{OVP}^2 (1 + \lambda V_{DS})$

1.1.2 Modèle petit signal BF et HF

1.1.2.1 Modèle petit-signal

Le mode petit signal est valide pour un signal variable dont l'amplitude est inférieure au dixième de la valeur DC (Malvino et Bates, 2008, p. 306). Dans ces conditions, nous pouvons représenter le transistor soit par le modèle hybride en π de la Figure 1.9, ou le modèle en T de la Figure 1.10, tous les deux tirés de (Sedra et Smith, 2010, p. 290) :

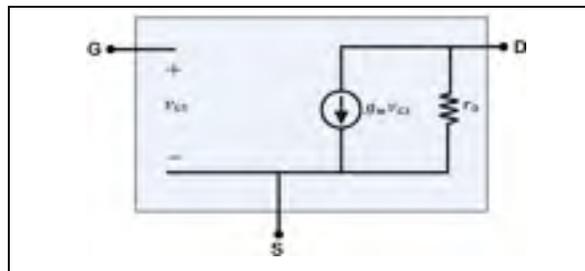


Figure 1.9 Modèle équivalent petit signal hybride en π du MOSFET
Tirée de Sedra et Smith (2010, p. 290)

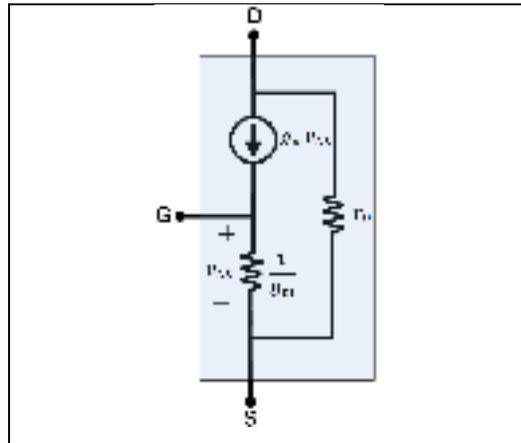


Figure 1.10 Modèle équivalent petit signal en T du MOSFET
Tirée de Sedra et Smith (2010, p. 290)

La résistance d'entrée est infinie à cause de l'isolation effectuée par la couche d'oxyde. La transconductance g_m traduit la capacité du transistor à transformer une variation de tension en entrée en variation de courant de sortie. Pour le MOSFET (Sedra et Smith, 2010, p. 290) :

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = 2\beta V_{OV} = \sqrt{2\beta I_D} = \frac{2I_D}{V_{OV}} \quad (1.23)$$

Comme nous le verrons par la suite dans ce mémoire, le choix du modèle équivalent dépend du type d'amplificateur étudié.

1.1.2.2 Résistances aux électrodes du MOSFET

La connaissance des résistances aux électrodes du MOSFET facilite le calcul du gain et l'analyse des effets de charge. Il est utile de connaître certaines de ces résistances illustrées de la Figure 1.11 à la Figure 1.13, dont nous rappelons les expressions ici. Ces figures sont tirées de la deuxième page de couverture du livre (Razavi, 2008).

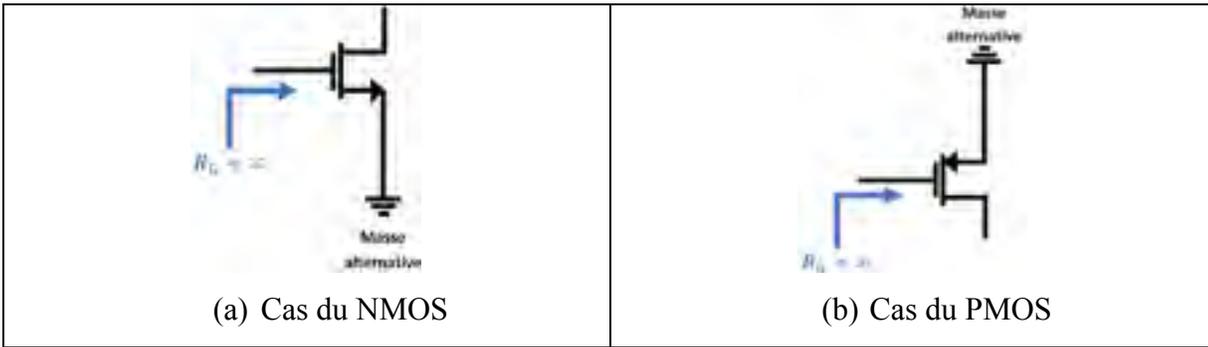


Figure 1.11 Résistance vue de la grille d'un MOSFET
Tirée de la deuxième page de couverture de Razavi (2008)

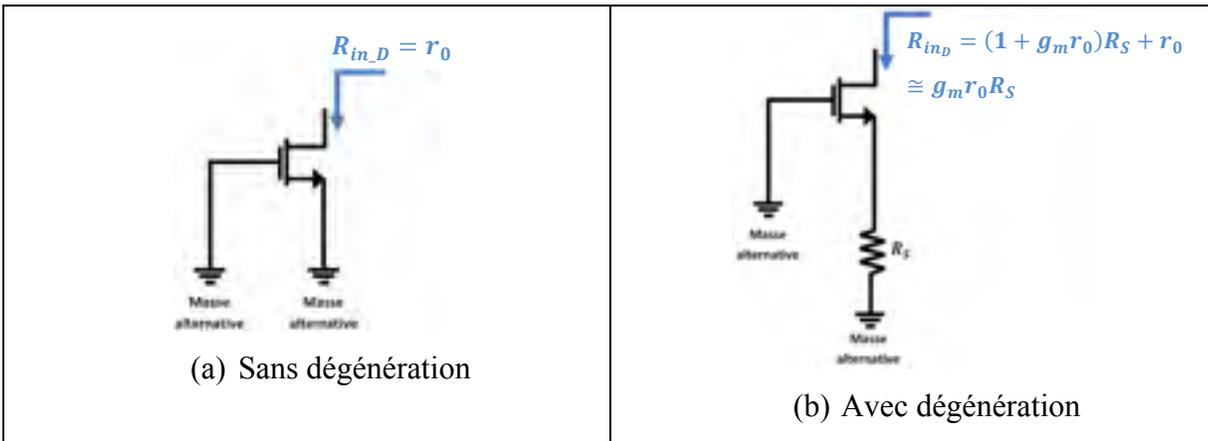


Figure 1.12 Résistance vue du drain d'un MOSFET
Tirée de la deuxième page de couverture de Razavi (2008)

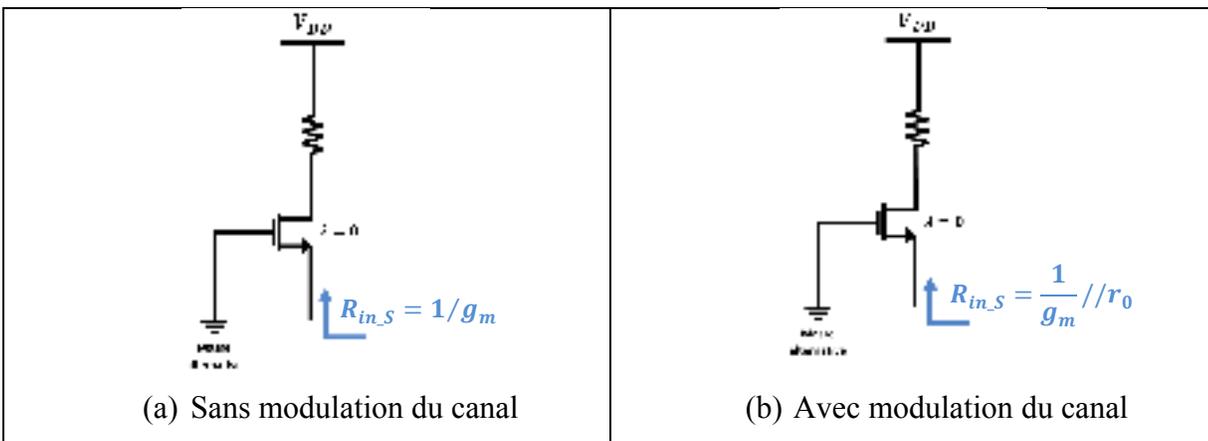


Figure 1.13 Résistance vue de la source d'un MOSFET
Tirée de la deuxième page de couverture de Razavi (2008)

Aux basses fréquences, nous pouvons retenir les faits suivants :

- La résistance d'entrée à la grille d'un MOSFET est infinie. Cette situation reste vraie tant qu'il n'y a pas de résistance de feed-back à la grille, tel que dans (Boylestad, 2010, p. 499) ;
- La résistance vue au drain d'un MOSFET est sa résistance r_0 ;
- L'effet de dégénération (présence d'une résistance connectée entre la source et la masse en AC) multiplie la résistance vue du drain d'un facteur $g_m r_0$ appelé gain intrinsèque du transistor (Gray, 2009, p. 199) ;
- La résistance vue à la source d'un MOSFET est proche de $1/g_m$.

1.1.2.3 Modèle petit signal hautes fréquences

Aux hautes fréquences, les modèles présentés à la section 1.1.2.1 ne sont plus valables. Le nouveau modèle doit tenir compte de deux phénomènes : l'effet capacitif de la grille et le l'effet capacitif du substrat, qui justifie sa séparation avec la source (Sedra et Smith, 2010, p. 701). Il est présenté à la Figure 1.14.

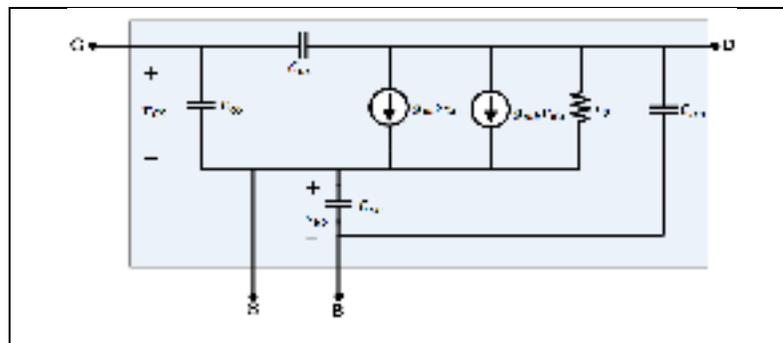


Figure 1.14 Modèle équivalent petit signal HF du MOSFET
Tirée de Sedra et Smith (2010, p. 704)

Avant tout chose, précisons qu'il faut tenir compte de la capacité de chevauchement de la couche d'oxyde, due au fait que la grille débord sur le drain et la source d'une longueur totale de L_{ov} (Figure 1.1), avec (Sedra et Smith, 2010, p. 702) :

$$0.05L \leq L_{ov} \leq 0.1L \quad (1.24)$$

La capacité associée à ce chevauchement est C_{ov} , qui se superpose à celles de l'effet capacitif à la grille.

$$C_{ov} = WL_{ov}C_{ox} \quad (1.25)$$

Effet capacitif de la grille

L'effet capacitif de la grille est modélisé par trois les capacités C_{GS} , C_{GD} et C_{GB} . La capacité C_{GB} couvre toute la couche d'oxyde, et prévaut uniquement lorsque le transistor est bloqué, c'est-à-dire en l'absence de canal. Elle n'apparaît pas dans le fonctionnement du transistor (Sedra et Smith, 2010, p. 702) :

$$\begin{cases} (C_{GB})_{blocage} = WLC_{ox} + C_{ov} \\ (C_{GS})_{blocage} = (C_{GD})_{blocage} = 0 \end{cases} \quad (1.26)$$

Pour un fonctionnement en zone triode, il existe une uniformité dans le canal qui permet de répartir la capacité de grille en deux parties égales (Sedra et Smith, 2010, p. 702) :

$$\begin{cases} (C_{GS})_{triode} = (C_{GD})_{triode} = \frac{1}{2}WLC_{ox} + C_{ov} \\ (C_{GB})_{triode} = 0 \end{cases} \quad (1.27)$$

Avec le pincement du canal, la capacité C_{GD} s'annule et la capacité C_{GS} est telle que (Sedra et Smith, 2010, p. 702) :

$$\begin{cases} (C_{GS})_{saturation} = \frac{2}{3}WLC_{ox} + C_{ov} \\ (C_{GB})_{saturation} = (C_{GD})_{saturation} = 0 \end{cases} \quad (1.28)$$

Effet capacitif du substrat

Cet effet traduit la contribution de capacités C_{DB0} et C_{SB0} associées aux jonctions PN inverses drain-substrat et source-substrat (Gray, 2009, p. 54). Dans les cas où la tension inverse de ces jonctions est non nulle, les expressions de C_{DB} et C_{SB} sont données par les égalités (1.29) et (1.30) suivantes (Sedra et Smith, 2010, p. 703) :

$$C_{DB} = \frac{C_{DB0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}} \quad (1.29)$$

$$C_{SB} = \frac{C_{SB0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}} \quad (1.30)$$

1.1.3 Polarisation active

La polarisation d'un transistor consiste à fixer son point de fonctionnement statique. Elle peut se faire de manière passive à l'aide de résistances ou de manière active à l'aide de sources de courant et de miroirs de courant par exemple. Dans le cadre de ce mémoire, nous utiliserons la polarisation active. Les deux types de polarisation sont néanmoins largement documentées dans des références telles que (Sedra et Smith, 2010), (Malvino et Bates, 2008), (Boylestad, 2010) ou (Razavi, 2008). Rappelons tout d'abord qu'une source de courant délivre un courant constant, indépendamment de la charge. Elle doit idéalement présenter une haute impédance de sortie relativement à sa charge (Baker, 2010, p. 270). La Figure 1.15 présente une source de courant NMOS simple. En effet, pour un transistor polarisé en zone de saturation, le courant de drain est constant et dépend uniquement de V_G , les autres paramètres étant fixés par la technologie. Il en est de même pour la Figure 1.16 qui présente une source de courant simple à PMOS. Les Figure 1.15 et 1.16 sont adaptées de la référence (Razavi, 2008, p. 334).

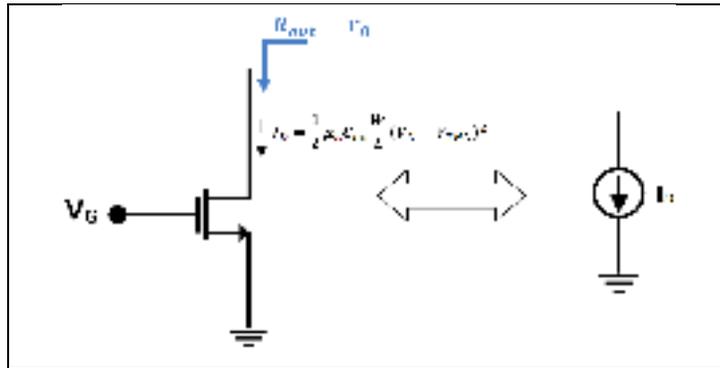


Figure 1.15 La source de courant simple à NMOS
Adaptée de Razavi (2008, p. 334)

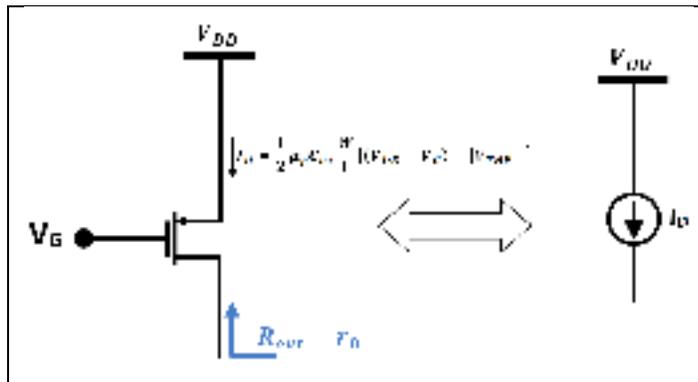


Figure 1.16 Source de courant simple à PMOS
Adaptée de Razavi (2008, p. 334)

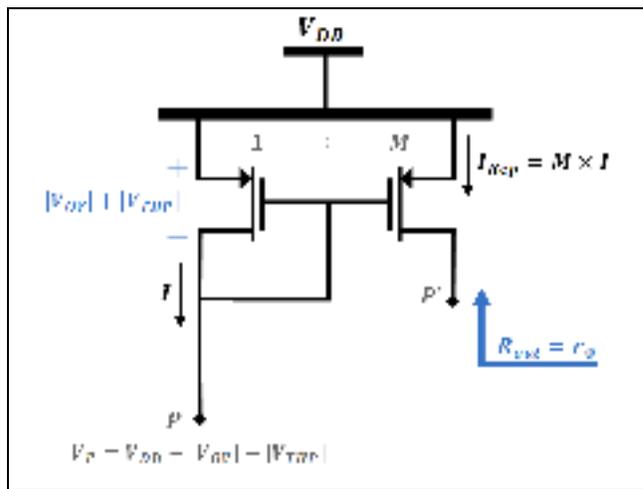


Figure 1.17 Miroir de courant PMOS
Adaptée de Sedra et Smith (2010, p. 528)

La Figure 1.17 présente un miroir de courant qui réplique en P' le courant circulant au point P, avec un facteur multiplicatif M :

$$I_{Rep} = M \times I \quad (1.31)$$

L'impédance de sortie de ce miroir de courant est $R_{out} = r_0$, ce qui est relativement faible. Pour l'augmenter, nous pouvons exploiter l'effet de dégénération présenté à la Figure 1.18, en superposant les transistors en sortie (Sedra et Smith, 2010, p. 538). Avec ce miroir de courant, la résistance de sortie augmente typiquement de $R_{out} = r_0$ à $R_{out} = g_m r_0^2$. La plage dynamique en sortie diminue cependant suivant la relation (1.32), avec la symétrie entre les potentiels V_P et $V_{P'}$:

$$V_P = V_{P'} = V_{DD} - 2|V_{OV}| - 2|V_{THP}| \quad (1.32)$$

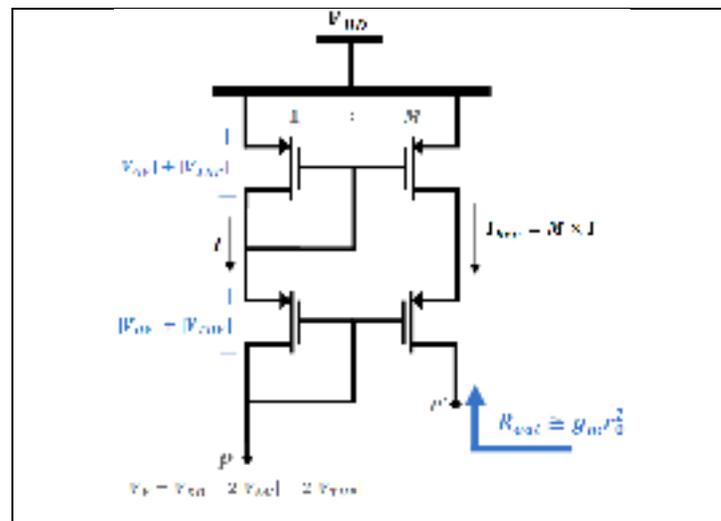


Figure 1.18 Miroir de courant PMOS télescopique
Adaptée de Sedra et Smith (2010, p. 1001)

Une diminution de $(2|V_{OV}| + 2|V_{THP}|)$ peut être critique dans le contexte de bas voltage. Ainsi, nous présentons le miroir de courant «wide-swing» à la Figure 1.19 qui, tout en conservant la même résistance de sortie que le miroir de la Figure 1.18, conserve la même plage dynamique que celui de la Figure 1.17 :

$$V_M = V_{M'} = V_{DD} - |V_{OV}| - |V_{THP}| \quad (1.33)$$

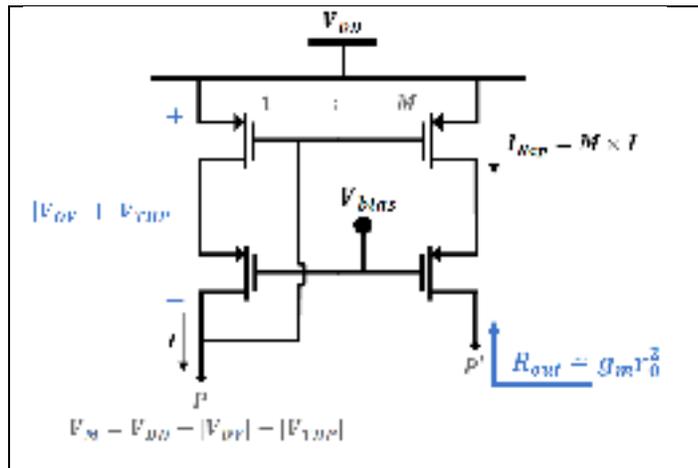


Figure 1.19 Miroir de courant PMOS "wide-swing"
Tirée de Sedra et Smith (2010, p. 1001)

1.2 Revue des amplificateurs de base

Il existe trois configurations de base pour les amplificateurs à MOSFET : le montage source commune, le montage grille commune et le montage source suiveuse. Pour chacune de ces configurations, nous allons présenter le schéma de principe, donner la résistance d'entrée R_{in} , la résistance de sortie R_{out} et le gain A_v . Nous évoquerons aussi le montage cascode.

1.2.1 Montage source commune (Figure 1.20)

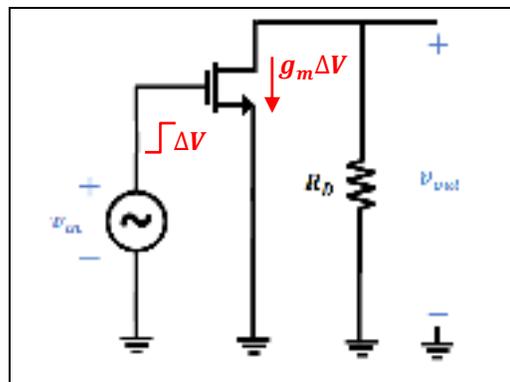


Figure 1.20 Montage de principe
d'une configuration source commune

La résistance d'entrée est infinie, à cause de l'isolation à la grille (Figure 1.11(a)) :

$$R_{in} \approx \infty \quad (1.34)$$

La résistance de sortie est constituée de la résistance R_D en parallèle avec la résistance r_0 au drain du transistor (Figure 1.12-a) :

$$R_{out} = R_D // r_0 \quad (1.35)$$

Enfin, le gain peut être déterminé en remarquant qu'une variation ΔV de la tension v_{in} cause un incément $g_m \Delta V$ du courant de drain, qui se traduit par une variation $-g_m R_D \Delta V$ de la tension de sortie. Le rapport entre les deux variations de tension donne le gain en tension A_v de la configuration source commune :

$$A_v = -g_m R_D \quad (1.36)$$

1.2.2 Montage source commune avec dégénération (Figure 1.21)

Comparativement au montage précédent, la résistance de dégénération ne modifie pas la résistance d'entrée :

$$R_{in} \approx \infty \quad (1.37)$$

La résistance de dégénération augmente la résistance de sortie (Figure 1.12(b)) :

$$R_{out} = R_D // (g_m r_0^2) \cong R_D \quad (1.38)$$

Pour le gain, la transconductance est réduite d'un facteur $(1 + g_m R_s)$ par effet de rétroaction série (Gray, 2009, p. 199) :

$$A_v = -\frac{g_m R_D}{1 + g_m R_s} \quad (1.39)$$

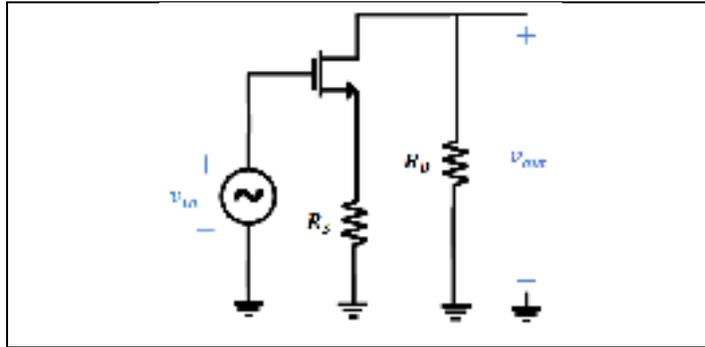


Figure 1.21 Montage de principe d'une configuration source commune avec dégénération

1.2.3 Montage grille commune (Figure 1.22)

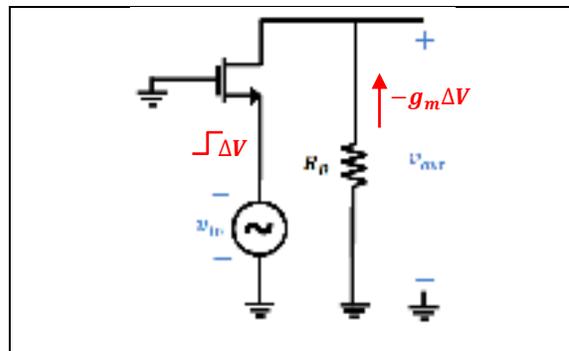


Figure 1.22 Montage de principe d'une configuration grille commune

Une variation ΔV de v_{in} provoque une variation $-\Delta V$ de v_{gs} . Il s'en suit une variation de $-g_m \Delta V$ du courant du transistor, et une variation $g_m R_D \Delta V$ de la tension de sortie. Le rapport entre les deux variations de tension est le gain en tension de la configuration grille commune:

$$A_v = g_m R_D \quad (1.40)$$

La résistance d'entrée est déterminée à partir de la Figure 1.13(b) :

$$R_{in} = \frac{1}{g_m} // r_0 \quad (1.41)$$

La résistance de sortie est la même que celle du montage source commune sans dégénération (Figure 1.13-b):

$$R_{out} = R_D // r_o \quad (1.42)$$

1.2.4 Montage source suiveuse (Figure 1.23)

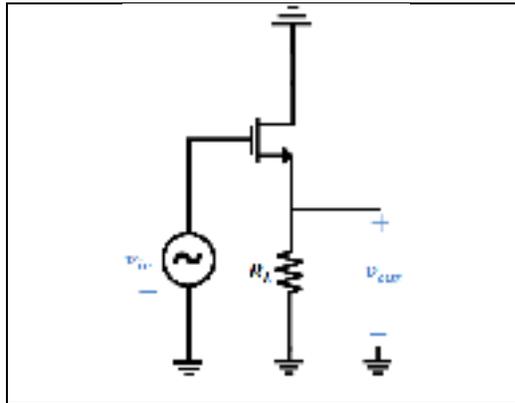


Figure 1.23 Montage de principe d'une configuration source suiveuse

La résistance d'entrée est déterminée à partir de la Figure 1.12(a) :

$$R_{in} \approx \infty \quad (1.43)$$

La résistance de sortie est déterminée à partir de la Figure 1.13(b) :

$$R_{out} = \frac{1}{g_m} // r_o \quad (1.44)$$

Le gain en tension dans cette configuration est donné par l'égalité (1.45) (Sedra et Smith, 2010, p. 303), généralement très proche de 1 car en général $R_L \gg 1/g_m$:

$$A_v = \frac{R_L}{R_L + \frac{1}{g_m}} \quad (1.45)$$

1.2.5 Amplificateurs cascode (Figure 1.24)

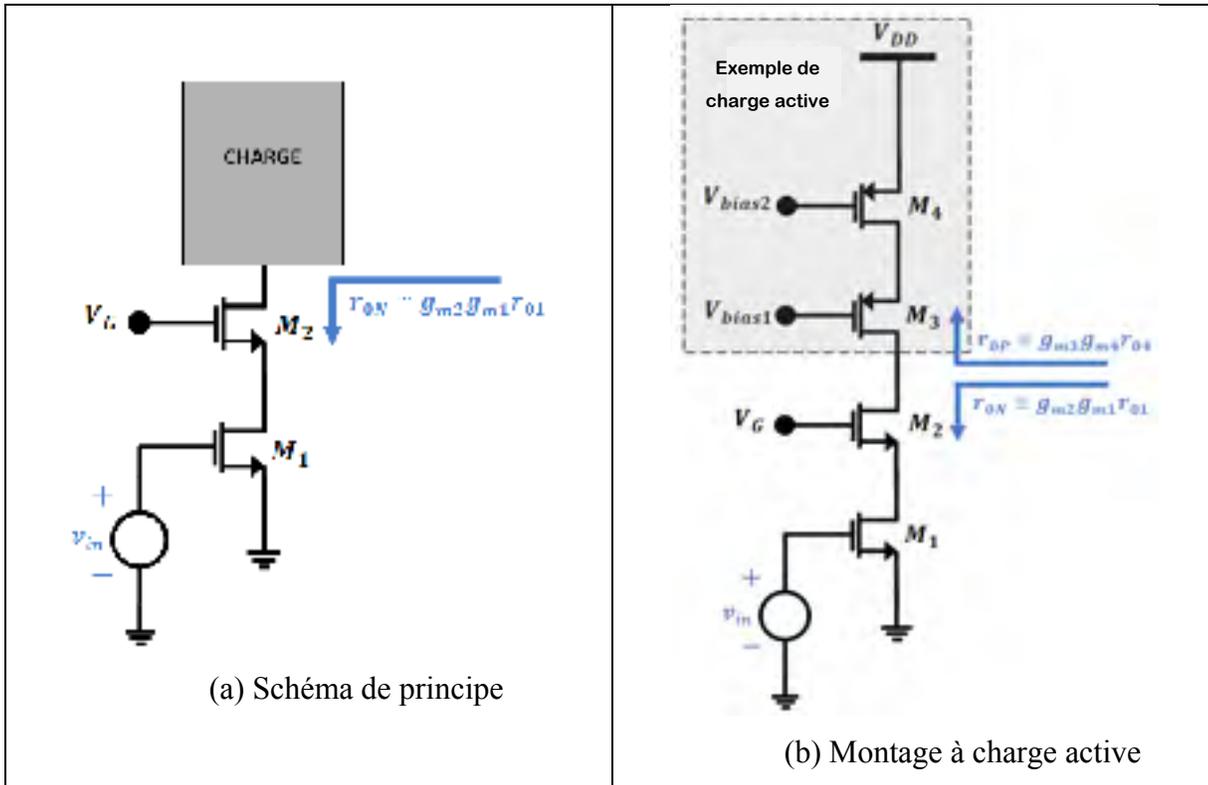


Figure 1.24 Montage cascode
Adapté de Sedra et Smith (2010, p. 506;511)

Le montage cascode utilise la méthode de la Figure 1.24(a) pour augmenter le gain (dégénération). Cette méthode peut être combinée avec le choix d’une source de courant comme charge active, ce qui contribue encore plus à augmenter le gain (Figure 1.24(b)). Dans ce cas, le gain est donné par la relation suivante :

$$A_v \cong -g_{m1}(r_{OP} // r_{ON}) = -g_{m1}\{[(g_{m2}r_{O2}) // r_{O1}][(g_{m3}r_{O3}) // r_{O4}]\} \quad (1.46)$$

L’un des inconvénients de cette méthode est que l’effet de dégenération utilisé pour augmenter le gain réduit malheureusement la plage dynamique de sortie. Cet aspect peut être critique dans le cadre de l’opération à bas voltage. La configuration Folded-Cascode est une configuration qui permet de combattre cette limite. Elle est présentée à la section 2.3.2.1.

1.3 La régulation de tension par rétroaction négative

1.3.1 Justification et structure générale de la rétroaction négative

La régulation par rétroaction négative consiste au contrôle d'une variable par un mécanisme qui tend à minimiser l'écart entre un échantillon de cette variable et une valeur de référence. Le schéma bloc d'un montage régulateur de tension inspiré de (Baker, 2010, p. 1100; Gray, 2009, p. 554; Sedra et Smith, 2010, p. 804) est présenté à la Figure 1.25. La chaîne directe (encore appelée boucle ouverte) est constituée d'un amplificateur opérationnel de gain A_{V_BO} . Le bloc de rétroaction négative ψ ramène une fraction ψV_{out} de la tension de sortie au comparateur Σ , qui évalue son écart vis-à-vis de la référence V_{REF} . Le mécanisme de rétroaction négative consiste à rapprocher ψV_{out} autant que possible de la référence V_{REF} (mécanisme de comparaison assurant la régulation).

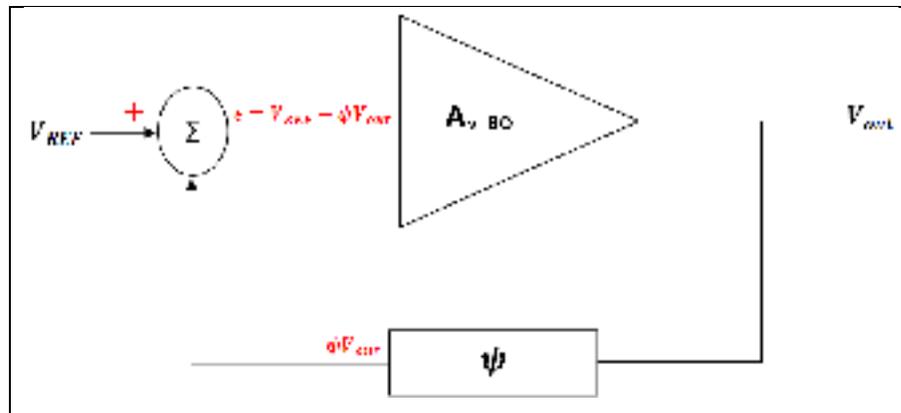


Figure 1.25 Montage de principe de feed-back
Adapté de Gray (2009, p. 554)

La relation entre le gain en boucle ouverte A_{V_BO} et le gain en boucle fermée A_{V_BF} du régulateur est donné à l'équation (1.47) (Baker, 2010, p. 1100) :

$$A_{V_BF} = \frac{V_{out}}{V_{REF}} = \frac{A_{V_BO}}{1 + \psi A_{V_BO}} \quad (1.47)$$

L'erreur statique du montage que nous appellerons ξ est donnée à l'équation (1.48) (Golnaraghi et Kuo, 2010, p. 261). Une faible erreur statique traduit une bonne qualité de la régulation.

$$\xi = V_{REF} - \psi V_{out} = \frac{V_{REF}}{1 + \psi A_{V_{B0}}} \quad (1.48)$$

1.3.2 Effets statiques et dynamiques de la rétroaction négative

Stabilisation du gain

Le gain en boucle fermée est donné à l'égalité (1.47). Avec un gain $A_{V_{B0}}$ suffisamment élevé, le gain $A_{V_{BF}}$ sera stable et égal à $1/\psi$ (Gray, 2009, p. 554). Ainsi, plus le gain en boucle ouverte est élevé, plus le gain en boucle fermée est stable.

$$A_{V_{BF}} = \frac{A_{V_{B0}}}{1 + \psi A_{V_{B0}}} \xrightarrow{A_{V_{B0}} \gg 1} A_{V_{BF}} = \frac{1}{\psi} \quad (1.49)$$

Désensibilisation du gain

La variation relative du gain en boucle fermée est donnée à (1.50) (Sedra page 809) :

$$\left(\frac{dA_{V_{BF}}}{A_{V_{BF}}} \right) = \frac{1}{1 + \psi A_{V_{B0}}} \left(\frac{dA_{V_{B0}}}{A_{V_{B0}}} \right) \quad (1.50)$$

Cette égalité montre que la sensibilité du montage en boucle fermée est inférieure de celle en boucle ouverte d'un facteur $(1 + \psi A_{V_{B0}})$, appelée facteur de désensibilisation.

Élargissement de la bande passante

En suivant l'approximation effectuée par (Baker, 2010, p. 1102) qui considère la tension en boucle ouverte et la tension en boucle fermée comme des systèmes du premier ordre, nous avons :

$$A_{V_{BO}}(s) = \frac{A_{V_{BO}}}{1 + \frac{s}{\omega_{0_{BO}}}} \quad (1.51)$$

$$A_{V_{BF}}(s) = \frac{A_{V_{BF}}}{1 + \frac{s}{\omega_{0_{BF}}}} \quad (1.52)$$

Une substitution de l'équation (1.51) dans l'équation (1.52) montre que le gain est diminué de $(1 + \psi A_{V_{BO}})$, et que la bande passante est augmentée de la même valeur :

$$A_{V_{BF}}(s) = \frac{A_{V_{BO}}(s)}{1 + \psi A_{V_{BO}}(s)} \xrightarrow{A_{V_{BO}}(s) = \frac{A_{V_{BO}}}{1 + \frac{s}{\omega_0}}} A_{V_{BF}}(s) = \frac{\frac{A_{V_{BO}}}{1 + \psi A_{V_{BO}}}}{1 + \frac{s}{(1 + \psi A_{V_{BO}})\omega_{0_{BO}}}} \quad (1.53)$$

En effet, par identification de l'égalité (1.52) à (1.53), nous obtenons :

$$A_{V_{BF}} = \frac{A_{V_{BO}}}{1 + \psi A_{V_{BO}}} \quad (1.54)$$

$$\omega_{0_{BF}} = (1 + \psi A_{V_{BO}})\omega_{0_{BO}} \quad (1.55)$$

Amélioration des résistances d'entrée et de sortie

Idéalement, un bon amplificateur de tension doit avoir une haute impédance d'entrée et une faible impédance de sortie (Razavi p. 623). La rétroaction négative tend à améliorer ces impédances. Dans le cas d'un amplificateur de tension, la résistance d'entrée est augmentée d'un facteur $(1 + \psi A_{V_{BO}})$, tandis que la résistance de sortie est diminuée du même facteur. Les deux résistances sont ainsi améliorées d'un facteur $(1 + \psi A_{V_{BO}})$ (Baker, 2010, p. 1105).

1.3.3 Stabilité du feed-back

Une rétroaction négative est un mécanisme de contrôle basé sur la différence entre la valeur échantillonnée et la référence. Avec une rétroaction positive, la valeur échantillonnée s'ajoute à la référence, ce qui par défaut de mécanisme de contrôle provoque une oscillation du système. Ainsi, deux contraintes appelées conditions de Barkhausen (Baker, 2010, p. 777) s'imposent pour maintenir la stabilité du feed-back :

$$|\psi_{A_V_{BO}}(j\omega)|=1 \quad (1.56)$$

$$\arg(\psi_{A_V_{BO}}(j\omega)) = -180^\circ \quad (1.57)$$

Parmi les critères permettant d'évaluer le degré de stabilité d'un système, la référence (Golnaraghi et Kuo, 2010, p. 77) en suggère trois : le critère de Nyquist, le critère de Routh-Hurwitz et l'analyse du diagramme de Bode. Nous avons choisi d'illustrer le dernier critère à la Figure 1.26. Le degré de stabilité peut ainsi être estimé sur le diagramme de Bode du système, à travers deux grandeurs appelées marge de phase (PM) et marge de gain (GM) (Golnaraghi et Kuo, 2010, p. 456). Elles donnent les écarts qui séparent la phase et le gain du système des conditions de Barkhausen :

$$GM = [\psi_{A_V_{BO}}(j\omega)] \Big|_{\arg(\psi_{A_V_{BO}}(j\omega)) = -180^\circ} \quad (1.58)$$

$$PM = [180^\circ - \arg(\psi_{A_V_{BO}}(j\omega))] \Big|_{|\psi_{A_V_{BO}}(j\omega)|=1} \quad (1.59)$$

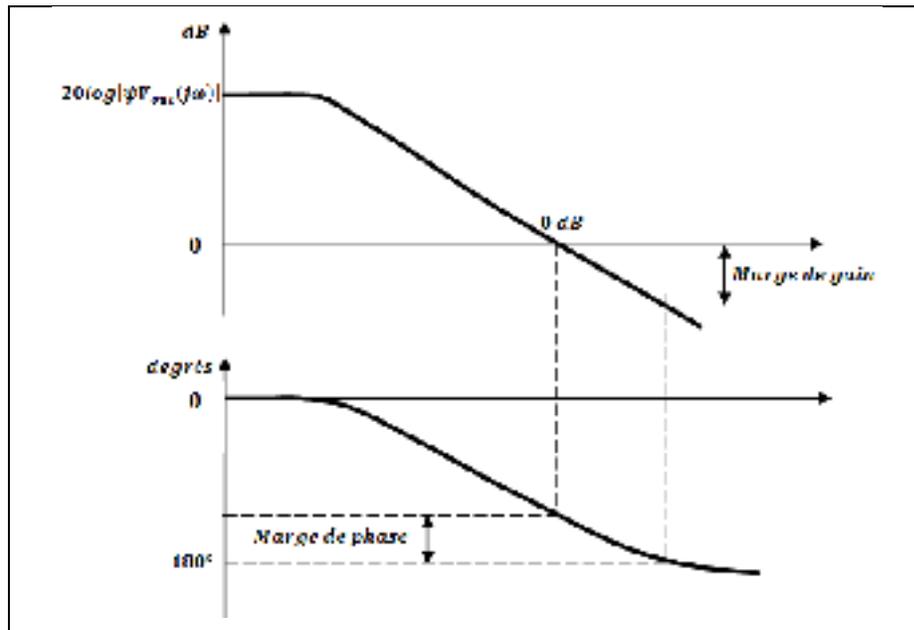


Figure 1.26 Illustration de la marge de phase et de la marge de gain
Adaptée de Kuo et Golnaraghi (2003, p. 457)

1.3.4 Exemple d'un amplificateur opérationnel à gain positif

L'exemple du montage à ampli-op à gain positif a été choisi car il s'agit du type de régulateur utilisé dans ce mémoire. Il est illustré à la Figure 1.27.

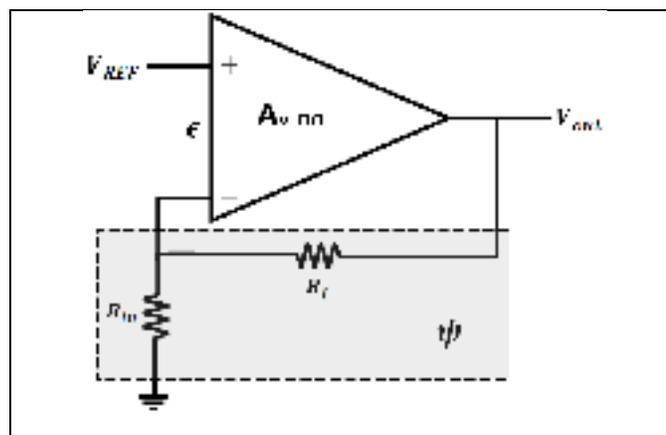


Figure 1.27 Régulateur de tension à gain positif
Adapté de Razavi (2008, p. 383)

1.3.4.1 Gain en boucle fermée

En considérant l'ampli op comme idéal, ($\epsilon \cong 0, v_{in+} = v_{in-} = V_{REF}$), la tension de sortie V_{out} et la tension de référence V_{REF} seront liées par une relation de diviseur de tension, qui donne le gain du montage en boucle fermée :

$$A_{V_BF} = \frac{V_{out}}{V_{REF}} = 1 + \frac{R_f}{R_{in}} \quad (1.60)$$

1.3.4.2 Incertitude et gain minimal

L'équation (1.60) donnant le gain du système en boucle fermée à la section précédente est valable avec une incertitude δ telles que (Malvino et Bates, 2008, p. 741) :

$$\delta = \frac{1}{1 + \psi A_{V_BO}} \times 100 \quad (1.61)$$

L'incertitude maximale correspond au gain minimal :

$$\delta_{max} = \frac{1}{1 + \psi (A_{V_BO})_{min}} \times 100 \quad (1.62)$$

Une incertitude de 0.1% par exemple correspond à un gain ψA_{V_BO} de 60 dB.

1.3.4.3 Effet de charge du module de rétroaction

L'effet de charge du module de feed-back est déterminé par le schéma de principe de la Figure 1.28 (Baker, 2010, p. 1113). R_i est la résistance d'entrée de l'ampli-op et R_{out} est la résistance de sortie de l'ampli-op. $R_{\psi i}$ est la résistance du bloc de feed-back vue de l'entrée et $R_{\psi o}$ est la résistance du bloc de feed-back vue de la sortie. Pour un circuit régulateur de

tension, elles sont déterminées par les schémas de la Figure 1.29 pour $R_{\psi i}$ et la Figure 1.30 pour $R_{\psi o}$, tous les deux tirés de (Baker, 2010, p. 1115) :

$$R_{\psi o} = R_f + R_{in} \quad (1.63)$$

$$R_{\psi i} = R_f // R_{in} \quad (1.64)$$

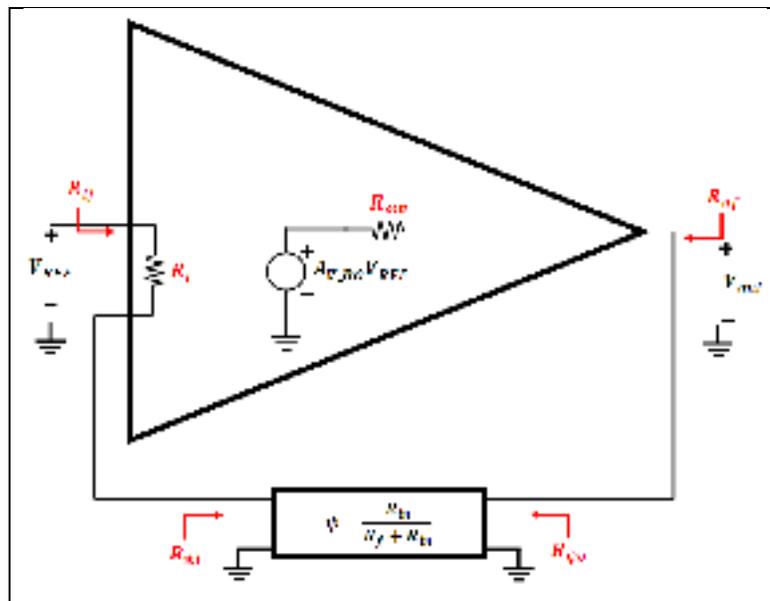


Figure 1.28 Schéma de principe des résistances de l'ampli du régulateur de tension
Adapté de Baker (2010, p. 1113)

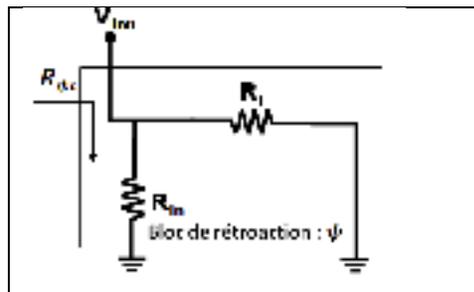


Figure 1.29 Schéma de principe pour déterminer la résistance $R_{\psi i}$
Tiré de Baker (2010, p. 1115)

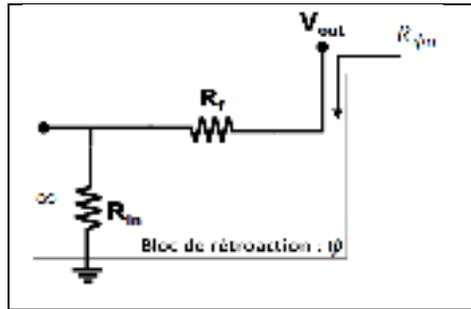


Figure 1.30 Schéma de principe pour déterminer la résistance R_{ψ_o}
Tiré de Baker (2010, p. 1115)

Le schéma équivalent total du régulateur tenant compte de l'effet de charge du module de rétroaction tiré de (Gray, 2009, p. 560; Malvino et Bates, 2008, p. 737; Sedra et Smith, 2010, p. 823) est donné à la Figure 1.31, où R_{if} est la résistance d'entrée du régulateur et R_{of} est la résistance de sortie du régulateur. Elles dépendent de R_i et R_{out} qui sont les respectivement la résistance d'entrée et de sortie du régulateur seul, ainsi que du module de feedback (R_{ψ_i} et R_{ψ_o}).

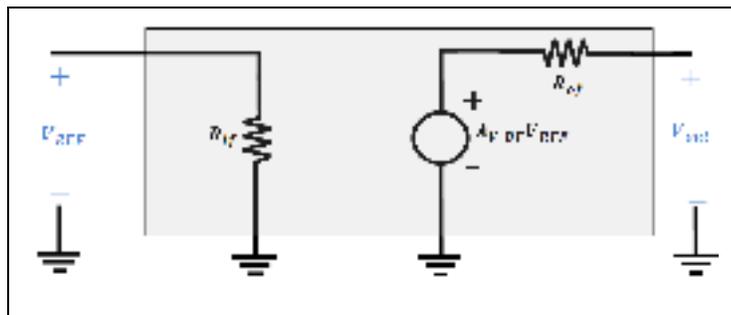


Figure 1.31 Circuit équivalent de l'ensemble
Tiré de Sedra et Smith (2010, p. 823)

R_{if} et R_{of} sont données par les équations (1.65) et (1.66), tirées des (Baker, 2010, p. 1112; Gray, 2009, p. 559)

$$R_{if} = R_i(1 + \psi A_{V_BO}) \tag{1.65}$$

$$R_{of} = \frac{R_{out}}{(1 + \psi A_{V_BO})} \tag{1.66}$$

1.4 Banque de questions et module pédagogique

1.4.1 Mise en contexte

À L'école de technologie supérieure (ÉTS), une période typique de deux ans sépare le cours d'électronique analogique du baccalauréat (ELE200 – Circuits électroniques) et celui de niveau maîtrise (SYS861 – Microélectronique Analogique) (Figure 1.32). Cette période est préjudiciable à l'assimilation des notions transmises lors du cours ELE200. Par ailleurs, certaines notions doivent être introduites auprès de l'étudiant avant de commencer le cours gradué SYS861. Il est donc important de réviser et d'approfondir les notions du premier cours, et d'encourager l'application de ces connaissances pour aider les étudiants à développer des compétences. Nous avons ainsi monté une banque de questions traitant de quelques thèmes relatifs à l'électronique analogique. Nous l'avons implémentée grâce à un outil pédagogique qui permet la révision permanente des notions enseignées lors du cours ELE200, et favorise une bonne préparation des étudiants intéressés par un cursus analogique, à passer le cours SYS861.

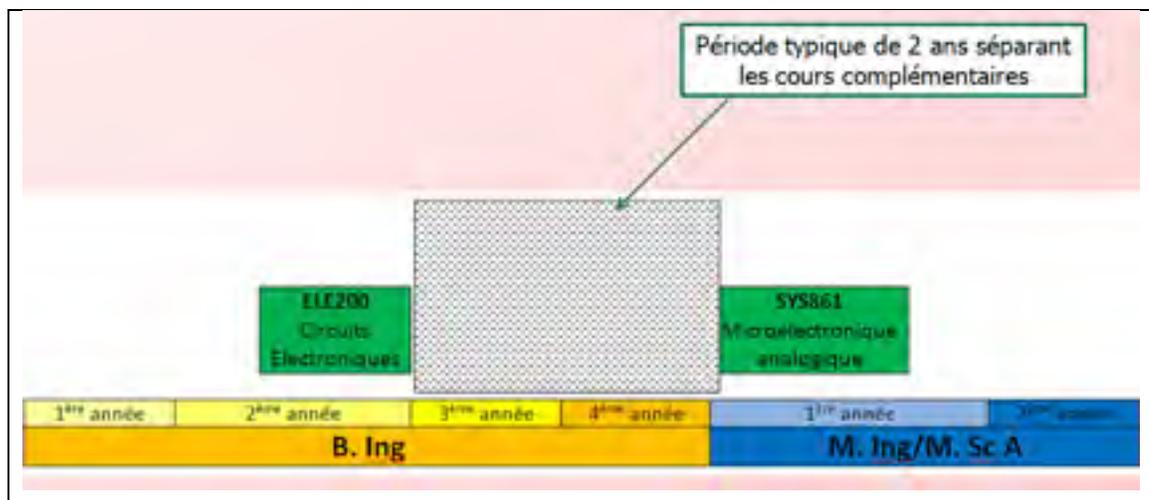


Figure 1.32 Mise en contexte pédagogique

1.4.2 Ergonomie

Pour être efficace, il est important que l'outil proposé soit simple d'utilisation et reste facile d'accès. Pour cette raison, nous avons choisi de l'implémenter grâce au logiciel Microsoft Excel, qui est assez répandu et utilisé dans de nombreuses applications. En plus, il permet le développement d'une interface simple, et dispose de commandes pour la collecte et l'analyse de statistiques nécessaires pour évaluer le module. Le module sera disponible au sein du réseau intranet de l'ÉTS, auquel ont accès tous les étudiants et les enseignants.

1.4.3 Structuration

L'outil pédagogique est divisé en trois volets :

- le volet révision destiné à la révision des notions de base en électronique ;
- le volet approfondissement destiné à consolider les notions acquises lors du cours ELE200 ;
- le volet application visant à développer des compétences par l'application des notions abordées dans les deux précédents volets.

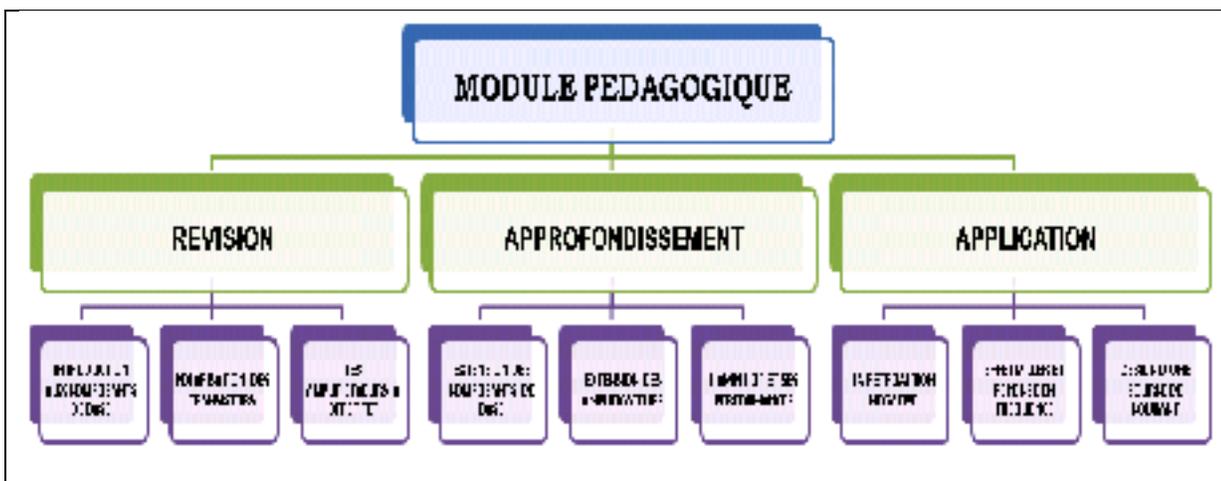


Figure 1.33 Structuration des volets et des sections associées au sein du module pédagogique

Chaque volet comporte trois sections, traitant de certaines notions d'électronique analogique (Figure 1.33). Chaque section comporte des sous-thèmes. À titre d'exemple, ceux de la section « Introduction aux composants de base » du volet « Révision » sont présentés à la Figure 1.34. Dans chaque sous-thème se trouvent des questions à travers lesquelles l'étudiant évalue son niveau de connaissances ou de compétences dans des domaines précis. Ainsi, les étudiants ont recours à cet outil non seulement en tant que moyen de révision, mais aussi en tant qu'outil d'autoévaluation. Les enseignants peuvent l'utiliser comme outil d'évaluation. Les types de questions auxquels ils peuvent avoir recours sont présentés à la section suivante.



Figure 1.34 Exemple de sous-thème présent dans le module pédagogique

1.4.4 Types de questions

Les Figure 1.35 à Figure 1.41 qui suivent sont présentées ici seulement dans le but de montrer l'allure générale de ce que l'étudiant voit sur l'écran d'ordinateur. Le type de questions dépend de la section concernée. Les questions de type VRAI/FAUX sont beaucoup utilisées indépendamment du volet (Figure 1.35). La complexité des questions augmente du volet « Révision » au volet « Approfondissement », et de ce dernier au volet « Application ». L'étudiant est ainsi amené à augmenter son niveau d'analyses d'un volet à l'autre.



Figure 1.35 Question de type VRAI/FAUX

Le volet approfondissement développe une approche plus analytique et plus documentée. Elle fait appel à des questions graphiques découlant de l'analyse du fonctionnement, des courants ou des tensions dans le circuit (Figure 1.36).

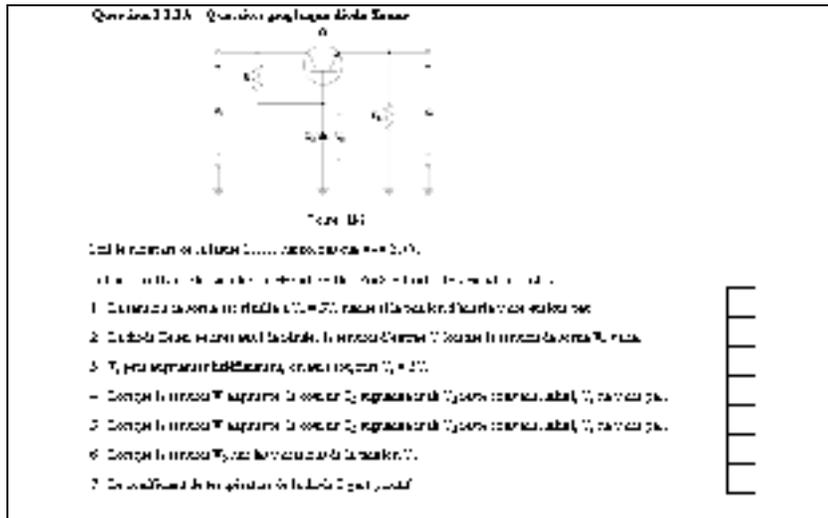


Figure 1.36 Question graphique

Le volet application encourage l'utilisation des notions acquises dans des problèmes réels, en déployant une approche plus interactive qui associe des calculs, des courbes, des graphiques et plus de commentaires (Figure 1.37).

Séquence 1 - 1A 2018

Module 1.1.2 - Les Vrai/faux

Marquer la réponse

1. L'ajout d'un gain à un système augmente toujours le bande passante du système.
2. Une courbe de Bode en phase est toujours croissante.
3. La bande passante d'un filtre passe-bas diminue à haute fréquence.
4. Pour un filtre passe-bas, la phase est toujours négative.
5. Pour un filtre passe-bas, la phase est toujours positive.
6. Pour un filtre passe-bas, la phase est toujours nulle.
7. Pour un filtre passe-bas, la phase est toujours négative.
8. Pour un filtre passe-bas, la phase est toujours positive.

Vrai	Vrai
X	
X	
X	
X	
X	
X	
X	X

Figure 1.39 Réponses aux questions de type VRAI/FAUX

Pour les montages suivants, choisir la représentation péri-signal correcte de l'amplificateur de la figure 1.2.3-1. Les capacités C_{gs} de BJT et C_{gs} de FET ne sont pas prises en compte.

a. [Commentaire](#)

b. [Commentaire](#)

c. [Commentaire](#)

Les circuits de type a, b et c, FET ont été mis à jour. Pour afficher le circuit 1.2.3-1, il faut cliquer sur le bouton "Afficher le circuit 1.2.3-1".

Figure 1.40 Réponse à une question graphique et commentaires

6. En calculant les capacités de Miller d'après les formules ci-dessous, donner les valeurs des différentes capacités (en pF)

$C_{in} = C_f \left(1 + \frac{A_v}{|A_v|} \right)$
 $C_{out} = C_f \left(1 + \frac{1}{|A_v|} \right)$

C_{in}	9.21	C_{out}	9.21
C_{in}	9.21	C_{out}	9.21
C_{in}	9.21	C_{out}	9.21
C_{in}	9.21	C_{out}	9.21
C_{in}	9.21	C_{out}	9.21
C_{in}	9.21	C_{out}	9.21

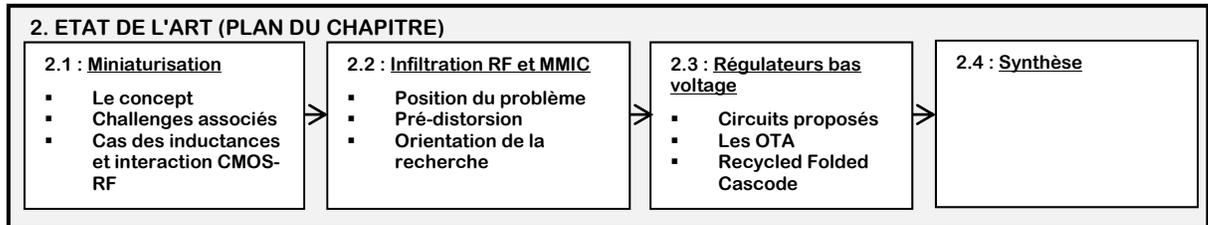
Figure 1.41 Réponse aux calculs dans le volet application, avec diagnostic

1.4.6 Stimulation pédagogique

L'outil pédagogique ainsi présenté permet à l'étudiant de faire une révision de certaines notions de base en électronique analogique, de les approfondir et de faire une application des connaissances. De nombreux tests sont disponibles pour lui permettre d'évaluer son niveau de connaissances ou de compétences. Le type de questions choisies quoique simple, demande un niveau d'analyse de plus en plus élevé dans le cadre de l'approfondissement, puis celui de l'application des connaissances. Les calculs du volet application encouragent l'utilisation directe des notions. Des commentaires sont disponibles pour clarifier certaines réponses auprès de l'étudiant en cas de besoin. Les étudiants sont accompagnés des enseignants en tant qu'évaluateurs mais aussi ressources d'appoint, pour les aider à mieux comprendre les réponses et les commentaires du module. La disponibilité permanente du module et sa simplicité peuvent concourir à une stimulation pédagogique autour des notions de l'électronique analogique. Pour évaluer l'efficacité du module, il est important de tenir des statistiques sur son utilisation et l'évolution moyenne des tests effectués.

CHAPITRE 2

ÉTAT DE L'ART DES RÉGULATEURS DE TENSION CMOS À BAS VOLTAGE DANS UN CONTEXTE D'INFILTRATION RF



L'une des productions scientifiques de base traitant du design des circuits intégrés de type MMIC (de l'anglais Monolithic Microwave Integrated Circuit) est (Pucel, 1981). Elle aborde non seulement le volet du design électrique, mais également celui de la fabrication. Il en ressort que l'approche monolithique, qui intègre les composants et les liaisons sur le même substrat ou la même surface de semi-conducteur, suscitait déjà des projections optimistes quant à la miniaturisation des composants, la fiabilité des circuits et l'efficacité du processus de fabrication. À l'inverse, certaines limites comme les difficultés de tests, les difficultés de déverminage, et surtout l'infiltration parasite des ondes RF au moyen du « cross-talk »¹ préoccupaient déjà les chercheurs. Par la suite, de nombreuses contraintes se sont imposées dans le cadre du design des MMIC, ainsi que le montre le diagramme des compromis et des interdépendances dans (Razavi, 1999). Ce chapitre présente certains aspects de l'évolution du design des MMIC, de façon à préciser les défis et les exigences actuelles en la matière, surtout par rapport à notre problématique de recherche. La section 2.1 traite de la miniaturisation des composants micrométriques. Au rang des défis créés par la miniaturisation des inductances d'isolation en particulier, la section 2.2 traite des problèmes d'infiltration RF, qui sont au cœur de ce travail de recherche. Dans des conditions d'opération à bas voltage et à bas courant, la section 2.3 présente des techniques de circuit utilisables à des fins de désensibilisation vis-à-vis des perturbations RF. Enfin, la section 2.4 clôture le chapitre en situant l'état de l'art relativement à notre problématique de recherche.

¹ Voir section 2.2.1

2.1 La miniaturisation

2.1.1 Présentation du concept

Avec l'implantation des composants électriques et de leurs connexions sur le même substrat, l'approche monolithique permet d'augmenter la fiabilité des circuits RF, en limitant les pertes en ligne et les problèmes rencontrés par l'utilisation de connexions externes (Pucel, 1981). Elle permet aussi de réduire les dimensions des circuits complexes et favorise à ce titre l'intégration d'un plus grand nombre de composants sur une surface réduite. Sur les gaufrettes servant à la fabrication, les composants peuvent ainsi être intégrés avec une plus grande densité. Conformément à une hypothèse énoncée en 1975 par Gordon Moore, cofondateur de la compagnie Intel, le nombre de transistors sur une même surface de puce pour les circuits numériques CMOS devait doubler tous les deux ans. La précision de cette théorie en a fait une loi. Elle a posé les jalons de la course à l'infiniment petit, et érigé le concept de miniaturisation au centre des préoccupations des chercheurs en microélectronique. Cette exigence est d'autant plus pertinente que le coût d'une puce est proportionnel à la surface qu'elle occupe sur la gaufrette de fabrication. Les concepteurs sont ainsi amenés à réduire au maximum les dimensions des puces, sans toutefois sacrifier ses performances. Ils font face pour cela à de nombreux défis regroupés au sein d'une théorie dite de la mise à l'échelle, présentée à la section suivante.

2.1.2 Théorie de la mise à l'échelle et défis associés

La théorie de la mise à l'échelle est applicable lorsque les dimensions des transistors sont diminués d'un facteur S tel que : $S < 1$ (Baker, 2010, p. 152). Elle comporte de nombreux défis pour les concepteurs. Le chapitre 2 de la thèse (Deshpande, 2002) évoque en détails les contraintes associées à la mise à l'échelle des transistors, relatives aux dimensions de la couche d'oxyde et du canal, ainsi qu'à la modélisation des effets électriques et du bruit.

Avec la diminution de la longueur du canal par exemple, la dynamique des porteurs de charges électriques dans le canal est modifiée de telle sorte que la relation strictement linéaire entre leur vitesse et leur mobilité donnée à l'équation (1.4) n'est plus valide, ébranlée par la saturation de leur vitesse. Ce phénomène influence les équations qui régissent le courant du transistor, sa fréquence de transition ou sa transconductance (Gray, 2009, pp. 59-65). Par ailleurs, la diminution de la longueur du canal augmente la proportion des courants de fuite, modifie la tension de seuil du CMOS et augmente la fragilité de la couche d'oxyde (Baker, 2010, p. 154). Évoquons aussi le fait que la mise à l'échelle des transistors s'accompagne d'une baisse des grandeurs électriques comme la tension d'alimentation ou la puissance consommée, ce qui réduit les plages dynamiques, et accentue la contrainte d'opération à bas voltage et bas courant d'une génération à l'autre. Toutes ces contraintes constituent de vrais défis pour les concepteurs de circuits analogiques. À l'inverse, la mise à l'échelle des transistors peut s'avérer bénéfique dans le cadre de l'électronique numérique. La réduction de la longueur du canal s'accompagne par exemple d'une augmentation de la vitesse des circuits (Gray, 2009, p. 59). La baisse de la tension d'alimentation permet de consommer moins de courant au repos et d'augmenter la vitesse de commutation (Deshpande, 2002).

Les incertitudes suscitées par la mise à l'échelle peuvent être limitées en optant pour un procédé de fabrication robuste. En effet, tous ces aspects font l'objet d'analyses et de tests dans le processus de maturation d'un procédé de fabrication. D'ailleurs, les remarquables performances atteintes en matière de miniaturisation sont largement tributaires de ces procédés (Gray, 2009, p. 59). Dans le cadre de ce mémoire, nous avons choisi le procédé TSMC 0.18 μm , qui est assez robuste, tout en offrant des performances de vitesse appropriée pour ce travail de recherche.

2.1.3 Miniaturisation des inductances d'isolation et thématique CMOS-RF

Le développement et l'amélioration des procédés de fabrication ont été déterminants pour répondre aux besoins technologiques de plus en plus croissants dans le domaine de la microélectronique. L'un des résultats probants obtenus dans ce cadre est la diversification

des composants micrométriques. Chacun d'entre eux comporte des forces et des faiblesses par rapport à la réalisation d'une fonction. Les transistors HBT par exemple s'imposent pour le traitement de la puissance RF, grâce à leur gain élevé en courant et leur robustesse aux hautes fréquences. Les transistors CMOS quant à eux sont utilisés pour l'implémentation des fonctions numériques, avantageés par la très haute densité d'intégration qu'ils offrent, leur faible consommation de courant statique et leur rapidité grandissante. Les techniques d'encapsulation unifiant ces types de composants ou des technologies différentes sur le même substrat ont favorisé l'émergence des systèmes mixtes. Par exemple, des circuits en technologie CMOS et des amplificateurs RF en technologie GaAs HBT peuvent être intégrés sur des supports uniques appelés MCM (de l'anglais Micro-Chip Module). La thèse (Noonan, 2005) présente et développe la thématique des MCM, avec les détails sur quelques procédés de fabrication.

Avec cette cohabitation, il existe donc une problématique CMOS-RF, émanant du manque d'isolation que nous avons précédemment évoqué, même avec les procédés de fabrication actuels (Lederer, 2006). Elle est renforcée par une tendance de la recherche qui ambitionne de faire du CMOS un composant capable de réaliser à la fois des fonctions analogiques (RF), et des fonctions numériques sans dégradation de performances de part et d'autre (Fong, 2002, p. 1). L'une des solutions apportées pour la résoudre est d'isoler les circuits CMOS des signaux RF, grâce à une inductance appelée RF-Choke. Dans les MCM, elle sert par exemple à isoler le circuit de polarisation de l'amplificateur intégré RF (Ferri, 2001, p. 23; Misra, 2004, p. 472). En effet, l'impédance du RF-Choke étant proportionnelle à la fréquence, elle se comporte comme un court-circuit pour les signaux DC, et comme un circuit ouvert pour les signaux RF. Cette inductance doit être suffisamment élevée pour bloquer le signal RF à la fréquence considérée. Pour ce faire, elle occupe malheureusement beaucoup d'espace, ce qui contraint les concepteurs à limiter ses dimensions. La thèse (Chirala, 2007, pp. 19-22) présente à cet effet quelques techniques de miniaturisation des inductances.

Cette miniaturisation des inductances s'accompagne d'une réduction de l'isolation, et favorise l'infiltration des signaux RF dans le circuit de polarisation. Il s'impose donc un

compromis entre la miniaturisation de l'inductance pour préserver la surface de puce et l'isolation pour laquelle les performances du système sont acceptables. *Ce compromis est au cœur de notre travail de recherche, dont l'un des objectifs sera de trouver l'inductance minimale qui permet d'optimiser les performances du régulateur dans un contexte de fortes perturbations RF.* La section suivante aborde plus en détails l'état de l'art de l'interaction RF dans les MMIC.

2.2 Infiltration RF dans les MMIC

2.2.1 Position du problème

Parmi tant d'autres publications scientifiques, le problème d'interaction RF dans les MMIC est abordé par (Pucel, 1981), qui situe sa cause dans la propagation des ondes à travers le substrat soit le mécanisme connu sous le nom de « crosstalk ». La thèse (Lederer, 2006, pp. 85-96) développe plus largement les causes et les impacts de cette thématique, et présente des modèles associés aux effets de ce phénomène. Les avancées en recherche dans la modélisation des transistors aux fréquences RF permettront de comprendre avec de plus en plus de précision les effets dus à l'infiltration non désirée des signaux RF dans les sections analogiques, tels que les circuits de polarisation. Dans cette logique, plusieurs modèles ont été proposés afin d'intégrer les non-linéarités, le bruit et les défauts qui apparaissent aux fréquences RF dans les transistors. Pour ce qui des HBT, citons (Degachi et Ghannouchi, 2008) qui a proposé une méthodologie d'extraction des paramètres petit signal basée sur la mesure et l'analyse des paramètres S (Abrie, 2009, p. 17), ainsi que (Chen, Bo et Zhiliang, 2006) qui a plutôt proposé une modélisation statistique robuste vis-à-vis des changements de procédé.

Dans le cas des transistors CMOS, (Enz, 2002) fait l'état de l'art dans ce domaine et propose un modèle valable dans toutes les régions d'opération DC du CMOS. Ce modèle intègre notamment l'effet nocif des dipôles internes aux fréquences RF, aspect également développé par (Gray, 2009, p. 31). Il intègre aussi les effets du bruit, tout comme (Minkyu et

Hyungcheol, 2003), qui ont étudié en particulier l'impact du bruit de substrat sur la tension de grille d'une MOSFET. En source commune, ce type de modèle permet de prévoir la sensibilité du signal d'excitation à la grille par exemple. Plus récemment, (Bronckers et al., 2009) ont proposé une méthodologie de prédiction de l'effet des perturbations RF, basée sur des simulations électromagnétiques.

En marge de la possibilité de prédire les effets de l'infiltration RF avec des modèles de transistors performants, deux possibilités s'offrent au concepteur. La première est celle de prévenir l'interaction RF entre le signal RF et la section des circuits analogiques de la polarisation, afin d'empêcher la dégradation des performances du régulateur. La deuxième possibilité est de favoriser cette interaction de façon contrôlée, dans le but de l'exploiter pour justement produire un effet de linéarisation de l'amplificateur par pré-distorsion. Nous abordons brièvement cette dernière approche dans la section 2.2.2, et nous justifions par la suite l'approche de désensibilisation qui a été retenue dans notre travail à la section 2.2.3.

2.2.2 Techniques utilisées pour exploiter l'interaction RF

Plusieurs techniques sont proposées dans la littérature pour exploiter les effets de l'interaction entre signaux RF et circuits de polarisation. Nous en évoquerons deux types : la pré-distorsion par la réinjection du signal RF dans le circuit de polarisation à travers un circuit de couplage (section 2.2.2.1), ainsi que la compensation et l'adaptation du signal RF infiltré de façon non désirée, afin de l'exploiter pour également produire un effet de pré-distorsion (section 2.2.2.2). La section 2.2.3 parle de l'orientation de ce travail de recherche vers la prévention de l'interaction RF par désensibilisation.

2.2.2.1 Pré-distorsion par réinjection de la puissance RF

Pour avoir une idée de la technique de pré-distorsion de signaux RF, on peut par exemple se référer à la thèse (Shirvani Mahdavi, 2003, pp. 86-87), qui en donne une illustration très accessible. Nous pouvons la résumer dans les termes suivants : connaissant la dégradation du

gain et de la phase provoquée par la distorsion au sein d'un circuit, la pré-distorsion consiste à introduire en amont, un bloc dont le comportement en gain et en phase est complémentaire de celui du système, afin d'aider l'ensemble à conserver son gain et sa phase (Figure 2.1).

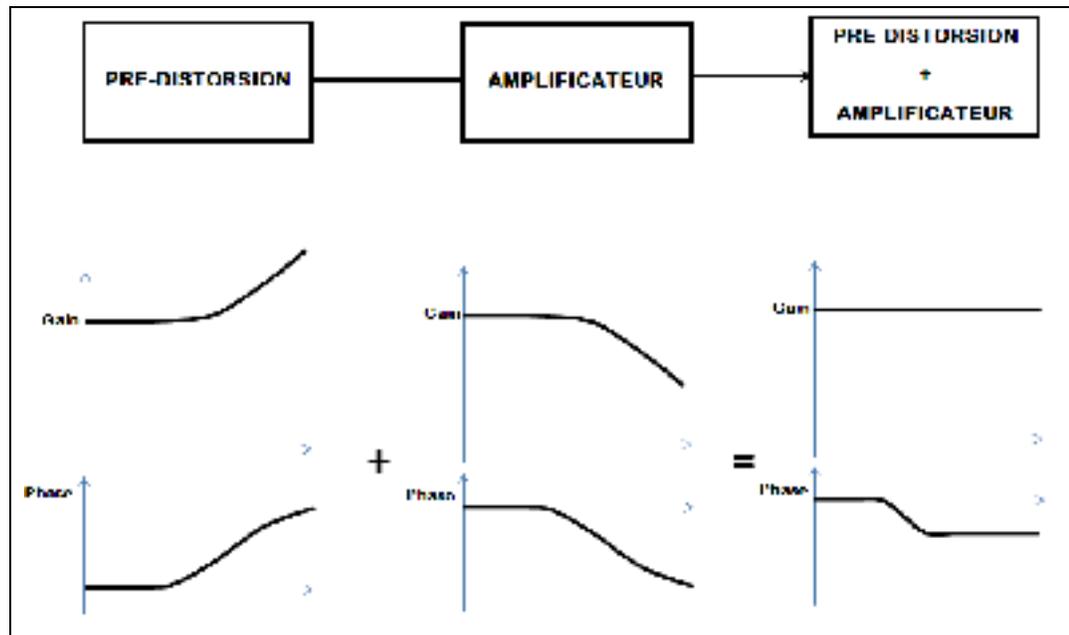


Figure 2.1 Illustration de la pré-distorsion
Tirée de Shirvani Mahdavi (2003, p. 87)

Dans cette section, nous présenterons certaines techniques de pré-distorsion qui utilisent une partie du signal RF. Nous commencerons par les transistors HBT, dont la chute du gain est en partie liée à la chute de la tension de polarisation base-émetteur V_{BE} , comme l'expliquent (Kim, Noh et Park, 2002). Ils proposent de la combattre à l'aide d'un circuit qui injecte dans le transistor actif, un courant dont l'intensité augmente avec la puissance RF, afin de contrecarrer la distorsion survenant au même moment dans ce transistor. Cette solution est implémentée grâce à un couplage capacitif, un circuit de polarisation et un autre transistor HBT. Elle permet de récupérer 18 dB de gain et de réduire la distorsion de phase de 20°. Ce concept de pré-distorsion par couplage capacitif a été étendu plus tard dans la publication (Kim, Noh et Park, 2003), en utilisant cette fois-ci une diode polarisée en inverse, dont la capacité augmente aux hautes fréquences. (Sowlati et Luo, 2000) pour leur part proposent une technique de pré-distorsion dans laquelle un transistor en parallèle avec le transistor

d'entrée prélève une partie du courant et la réinjecte dans le transistor actif, en fonction de la puissance incidente. Avec cette technique, l'efficacité énergétique augmente de 57.5% à 61.5%, et la puissance maximale de sortie de 1.6W à 2.2W.

Pour ce qui est des transistors CMOS, une technique a été proposée par (So-Bong et Sang-Gug, 2000). C'est un mécanisme qui contrôle la compression de la tension V_{GS} d'un amplificateur NMOS par l'effet inverse produit dans un transistor PMOS (Figure 2.2). Une fraction de la puissance d'entrée est détournée dans un circuit de pré-distorsion, qui la réinjecte de façon dynamique dans l'ampli. Cette technique utilise aussi le couplage RF, et arrive à augmenter l'efficacité énergétique du montage aux basses fréquences.

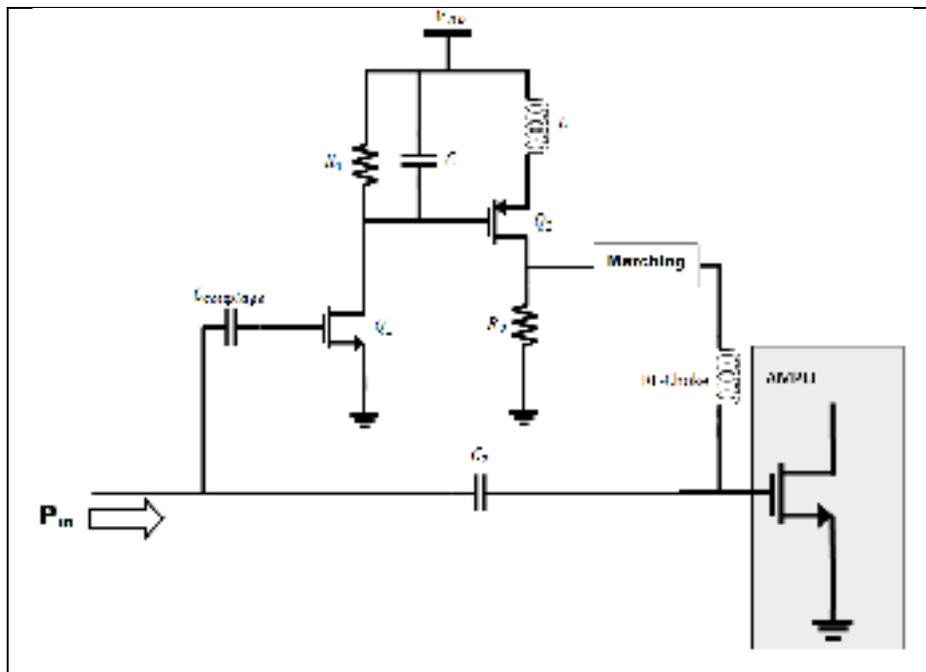


Figure 2.2 Pré-distorsion analogique de So-Bong et Sang-Gug (2000)

2.2.2.2 Pré-distorsion par rectification du signal RF

Les effets de pré-distorsion peuvent aussi être obtenus sans utiliser un effet de couplage entre le signal et le circuit de polarisation, comme dans les exemples précédents. Pour un circuit de polarisation à transistors bipolaires, il est démontré dans (Noh, Yom et Park, 2005) que la

rectification du signal infiltré à l'aide d'une jonction base-émetteur peut être contrôlée en ajustant le courant de polarisation du transistor, et en filtrant le signal RF à l'intérieur du circuit de polarisation.

2.2.3 Orientation de notre travail de recherche

La pré-distorsion par techniques de circuits présente des limites en termes d'amélioration des performances des amplificateurs MMIC (Cripps, 2006, p. 407). C'est en partie à cause des difficultés citées par (Shirvani Mahdavi, 2003, p. 86), qui parle des particularités de chaque design, des non-linéarités, et évoque les variations de température, du procédé ou de tension d'alimentation. La pré-distorsion par couplage capacitif RF a cependant produit de bons résultats avec le transistor HBT. Son utilisation avec le transistor CMOS ne concerne que l'efficacité énergétique aux faibles courants, qui sera traitée dans ce mémoire par d'autres moyens (voir section 3.2.2). La question de savoir si les résultats atteints dans le cadre du HBT peuvent être atteints avec un circuit de polarisation CMOS par un mécanisme équivalent à la rectification dans les jonctions base-émetteur reste posée (sans nécessiter un circuit de couplage). Mais il y a aussi un manque de résultats de recherche sur les techniques qui préviennent contre les effets d'interaction RF dans les circuits de polarisation CMOS.

Dans le présent travail de recherche, nous avons choisi d'améliorer cet aspect précis, en espérant que cela facilitera aussi les travaux futurs visant à exploiter l'interaction du signal RF injecté intentionnellement ou infiltré pour fins de pré-distorsion. La logique est que les effets négatifs de l'interaction d'un signal RF infiltré par un mécanisme de couplage non intentionnel ne doivent pas nuire aux effets de pré-distorsion recherchés à travers un circuit de couplage RF dédié. D'où l'importance d'investiguer sur les mécanismes d'interaction RF et les techniques pour les contrer. Or, l'approche qui consiste à contrer l'interaction RF dans le circuit de polarisation pour amplificateurs MMIC requiert des techniques de désensibilisation d'amplificateurs opérationnels CMOS à basse tension et à bas courant utilisées dans les structures de régulateurs de tension devant débiter des courants élevés, en présence de fortes perturbations RF. Là se positionne l'objectif de notre travail.

2.3 OTA et régulateurs en opération bas voltage

2.3.1 Régulateurs dans la littérature

Notre objectif de recherche est de concevoir un régulateur de tension fonctionnant à bas voltage et à bas courant, tout en étant capable de fournir un courant de 20 mA dans la charge, en présence de perturbations RF. Dans la littérature, il est difficile de trouver des montages avec des spécifications couvrant tous ces aspects à la fois. Nous avons cependant pu en trouver trois qui répondent à certains de ces aspects, dont les performances sont présentées au Tableau 2.1.

Tableau 2.1 Comparaison de régulateurs à basse tension à bas courant de polarisation et à forts courants de sortie

Circuit	V_{DD} (V)	Polar. (mA)	Techno. (μm)	Gain DC (dB)	PM (deg.)	Charge	I_{Load} (mA)
(Ferri, 2001)	± 1	-	-	60	58	1pF	0.4 – 6.6
(Balan, 2003)	1.8	-	0.18	100	-	200 Ω	0 – 5
(Chen, Bo et Zhiliang, 2006)	3.1	1.7	0.18	74	70	-	0.3 – 15

Tous ces montages sont implémentés en technologie de type CMOS 0.18 μm ou peuvent l'être. Le montage de (Ferri, 2001) est capable de débiter un courant maximal de 6.6 mA dans une charge. Ce courant dépend de la tension différentielle d'entrée du système, par rapport à une tension de référence. Ce circuit ne régule pas vraiment la tension. Il s'agit beaucoup plus d'un buffer de courant. L'intensité maximale reste cependant assez faible, comparativement aux 20 mA visés dans ce mémoire. Le circuit de (Balan, 2003) utilise pour sa part un mécanisme de feed-back en courant, afin de contrôler la tension et le courant dans une charge de type R-C. Son gain en boucle ouverte est assez élevé, de l'ordre de 100 dB. L'article ne donne cependant aucune précision sur la marge de phase. Il utilise un transistor

buffer pour fournir le courant de charge, mais son intensité maximale est de 5 mA, ce qui reste toujours faible par rapport à notre objectif.

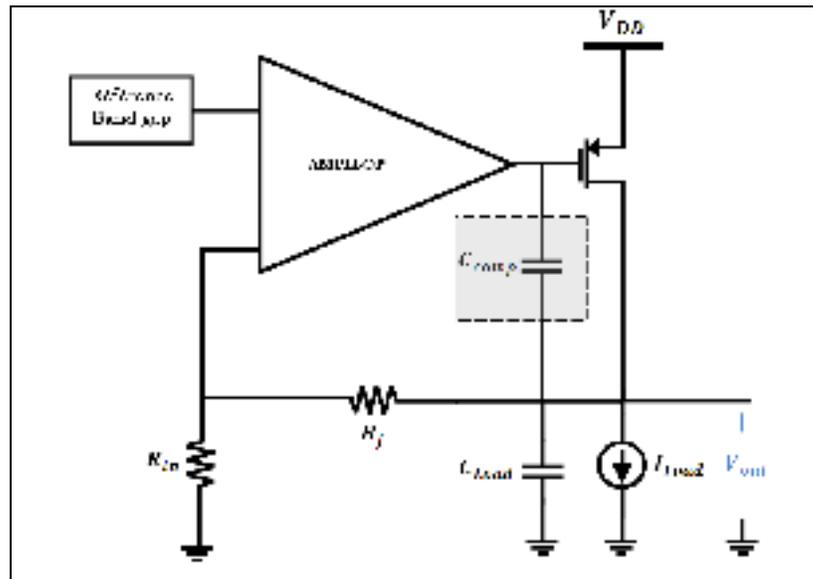


Figure 2.3 Régulateur de tension de Chen, Bo et Zhiliang (2006)

De son côté, (Chen, Bo et Zhiliang, 2006) utilise pratiquement le même circuit que celui de la Figure 1.27. Il est présenté à la Figure 2.3. La référence de tension est de type band-gap, qui sont des références dont la polarisation ne dépend pas de la tension d'alimentation, et qui sont extrêmement stables en température (Gray, 2009, p. 315). Pour augmenter le courant délivré à la charge, la structure dispose d'un PMOS agissant en buffer. Elle est ainsi capable de fournir un courant maximal de 15 mA à la charge, ce qui ne répond toujours pas à nos exigences. Aussi, elle fonctionne à 3.1 V, contre 1.8 V dans notre cas.

Le premier enseignement que nous pouvons tirer de cette revue est l'utilité d'un transistor buffer pour augmenter la capacité du courant de sortie. Nous n'avons cependant pas assez d'éléments pour faire le choix de notre ampli-op. En effet, les deux premières références occultent quelques informations sur les paramètres AC, et la troisième nécessite une capacité de compensation à la sortie de l'ampli-op. La section suivante présente des circuits d'amplificateurs opérationnels fonctionnant à bas voltage, et comportant certains intérêts vis-à-vis de nos besoins.

2.3.2 Les amplificateurs opérationnels fonctionnant à bas voltage

2.3.2.1 Structures d'origine et évolution

Le montage cascode présenté à la Figure 1.24 utilise des transistors du même type dans une configuration source commune, en cascade avec une configuration grille commune (PMOS ou NMOS seulement). Le montage « Folded Cascode » (FC) a été introduit par (Ribner et Copeland, 1984), suite aux recherches de (Jolly et McCharles, 1982) et (Allstot et Black, 1983). En intégrant des transistors complémentaires dans ses configurations source commune et grille commune, il améliore le processus d'amplification et la plage dynamique d'entrée du montage cascode (Figure 2.4).

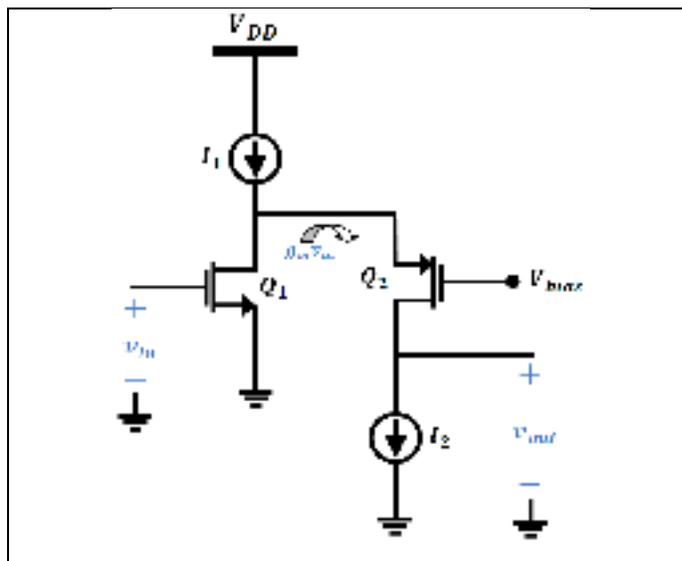


Figure 2.4 Montage de principe du Folded Cascode
Tiré de Sedra et Smith (2010, p. 519)

Le FC s'est imposé comme le circuit de référence dans le cadre de l'opération bas voltage. Dans la littérature, il est désigné par l'acronyme OTA, de l'anglais Operational Transconductance Amplifier. L'un des premiers champs d'investigation sur le FC concernait l'augmentation de sa plage dynamique d'entrée. C'est ainsi que la configuration CFC (de l'anglais Complementary Folded-Cascode) a été introduite par (Vallee et El-Masry, 1994).

Elle s'est avérée encore plus prometteuse dans le cadre de l'opération à bas courant et à bas voltage. Elle a fait l'objet de plusieurs recherches dédiées à l'amélioration de ses performances. (Roewer et Kleine, 2002) par exemple ont présenté trois configurations à CFC qui augmentent le gain DC, la bande passante et la plage dynamique d'entrée des OTA. L'une d'entre elles a été reprise par (Lipka et al., 2009) qui, en collaborant avec les auteurs de l'article précédent, a ajouté un circuit d'amorçage, pour empêcher le blocage de l'OTA. Plus récemment, (Enche Ab Rahim et al., 2010) ont fait des recherches axées beaucoup plus sur le produit gain-bande passante.

L'autre champ d'investigation sur le FC était l'amélioration de la plage dynamique de sortie et du gain dans une opération à bas voltage. Les miroirs de courant se sont révélés essentiels dans ce cadre, surtout avec leur utilisation comme charges actives. L'article (Rajput et Jamuar, 2004) fait à cet effet une revue des miroirs de courants utilisables dans le contexte de bas voltage. Il y propose un miroir de courant spécialement destiné à l'opération très bas voltage, repris par (Sai Praneeth et Saini, 2009), pour réaliser un OTA fonctionnant à 0.5V. Il présente également les miroirs de courants proposés aux publications (Rajput et Jamuar, 2000) et (Rajput et Jamuar, 2001), avec de fortes impédances de sorties et permettant de les utiliser comme charges actives, afin d'augmenter le gain.

La configuration CFC présente cependant une limitation majeure : elle exige beaucoup de potentiels externes au circuit pour être correctement polarisée. Cela crée des problèmes pratiques liés à l'espace des transistors du circuit de polarisation, le couplage entre les pistes sur le substrat, ou la sensibilité par rapport à la tension d'alimentation.

2.3.2.2 CFC à polarisation automatique

La première publication introduisant le concept de polarisation automatique afin de combattre la multitude des potentiels de polarisation du CFC est (Mandal et Visvanathan, 1997). Le circuit proposé dans cet article sacrifie quelque peu le slew-rate, mais fournit des performances proches du circuit de (Vallee et El-Masry, 1994). Il effectue même une

amélioration du gain DC de 50 à 99 dB, grâce à la technique de (Bult et Geelen, 1990), qui réalise l'effet de dégénération avec un amplificateur opérationnel et un transistor CMOS. Les travaux de (Mandal et Visvanathan, 1997) ont également été repris par (Song et al., 1999) qui a pu éliminer six potentiels de polarisation et abaisser le minimum d'opération à 1.8V contre 6V (3V symétrique). Ce résultat a été atteint sans générer de bruit supplémentaire, tout en conservant la même surface de puce, et à l'aide d'un miroir de courant « Wide-swing » (Figure 1.19) pour augmenter la plage dynamique de sortie. Il est cité à titre de comparaison dans plusieurs articles. Dans la suite des montages CFC à polarisation automatique, (Ceperic, Butkovic et Baric, 2006) ont proposé une version plus compacte, fonctionnant à plus faible puissance et désensibilisée des variations du procédé.

2.3.2.3 Performances actuelles

Tableau 2.2 Performances actuelles de circuits à CFC

Circuit	V_{DD} (V)	Polar. (μ A)	Techno. (μ m)	Gain DC (dB)	PM (degrés)	Charge (pF)
(Roewer et Kleine, 2002) ²	2.5	150	0.8	60.1	81.1	5
(Ceperic, Butkovic et Baric, 2006)	3.3	406	0.35	56.7	70	1
(Song et al., 1999)	1.8	135	0.6	80.8	71	20
(Lipka et al., 2009)	± 1.5	400	0.25	85	55	2

Le Tableau 2.2 présente les performances actuelles de quelques montages à CFC. Ce sont des montages avec de bons gains et une grande stabilité à en juger par la marge de phase (PM). La consommation de courant de polarisation reste raisonnable, allant de 135 μ A à 400 μ A. Cependant, ces montages sont implémentés dans des technologies plus anciennes que CMOS-0.18 μ m. Les tensions d'alimentation sont supérieures à 1.8V, ce qui ne favorise pas une opération à bas voltage. De plus, une configuration complémentaire tend à être optimale pour une référence symétrique des potentiels d'alimentation, ce qui peut être une limite pour

² Il y a trois circuits. Nous avons pris le b parce qu'il se rapproche le plus des exigences de notre recherche

le choix de référence à très bas voltage. Nous pouvons enfin remarquer que dans son fonctionnement, la structure CFC contient la même dynamique que la structure FC, chacune appliquée à une alternance du signal. Elles ont donc les mêmes limitations. L'une d'entre elles est l'exploitation insuffisante des transconductances du circuit, ainsi que l'a démontré une recherche à l'origine d'une configuration appelée « Recycled Folded-Cascode ».

2.3.3 Recycled Folded Cascode

Le montage « Recycled Folded-Cascode », que nous désignerons RFC, a été introduit par (Assaad et Silva-Martinez, 2009). Il peut être perçu comme étant une optimisation du FC classique, grâce à l'exploitation judicieuse des transconductances disponibles dans le montage à travers les caractéristiques avantageuses des miroirs de courants. La technique proprement dite est présentée à la section 2.3.3.1. Le facteur K , paramètre central du montage est abordé à la section 2.3.3.2. La section 2.3.3.3 présente l'amélioration des performances effectuées par ce circuit, ce que le RFC apporte de plus.

2.3.3.1 L'innovation technique

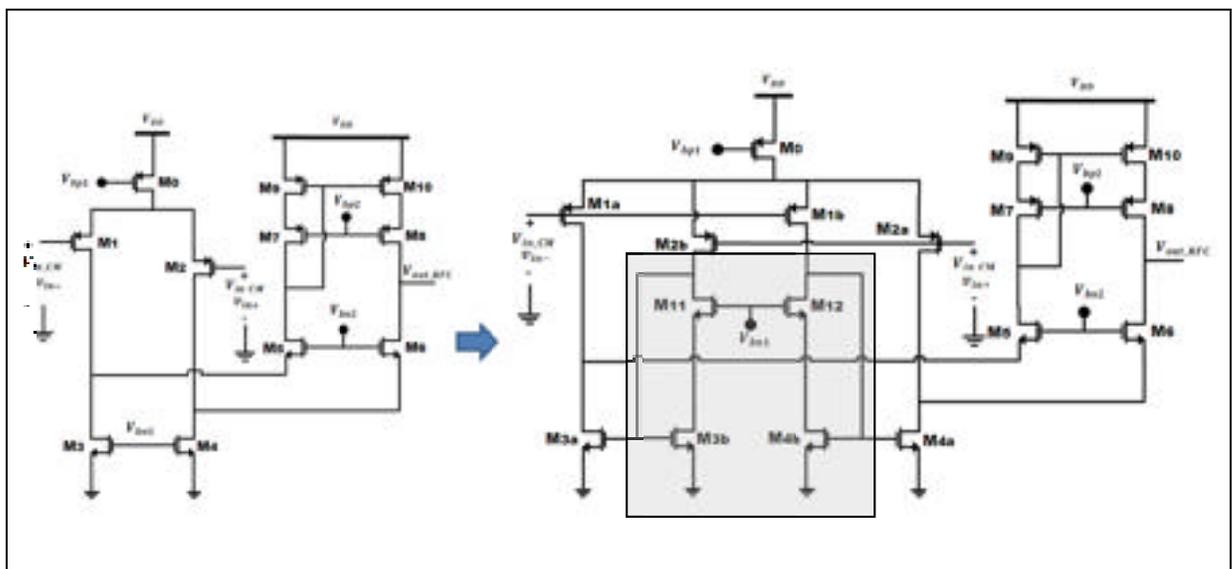


Figure 2.5 Passage du FC au RFC
Tirée de Assaad et Silva-Martinez (2009)

La Figure 2.5 présente la transition du montage FC au montage RFC. Dans le montage FC, les transistors M3 et M4 conduisent le plus de courant dans le circuit. Ils possèdent ainsi la plus grande transconductance, mais cet atout n'est pas exploité dans les processus AC. L'idée du RFC est justement de faire des transistors M3 et M4, les composants centraux dont vont dépendre les performances du montage. La démarche proposée est de diviser chacun des transistors M1 et M2 en deux transistors de dimensions égales, et les transistors M3 et M4 en deux transistors dont l'un est de dimensions K fois supérieur à l'autre. L'effet miroir ainsi produit fait du facteur K la donnée principale du montage RFC, qui détermine les performances de l'amplificateur. Il agit en effet comme un facteur multiplicatif qui vient accroître les valeurs du FC telles que la transconductance, la résistance de sortie, le slew-rate ou la réponse en fréquence de manière générale.

Le montage RFC comporte deux miroirs de courant NMOS, le premier étant constitué des transistors M3a/M3b, et le deuxième des transistors M4a/M4b. Il comporte un miroir de courant PMOS (M7 à M10) utilisé comme charge active, dont le rôle est de transformer les signaux de courants en mode différentiel aux sources de M5 et M6 en tension de sortie V_{out} en mode commun, tout en fournissant le surplus de courant demandé par les transistors M3a et M4a par rapport aux courants fournis par M1a et M2a. Pour cette raison, il faut que la condition $K > 1$ soit respectée.

2.3.3.2 Recommandation sur la valeur de K

Dans la thèse (Assaad, 2009), l'auteur formule des recommandations pour fixer la valeur du paramètre K . Suite à une analyse de la position des pôles, il indique qu'il faut situer $2 \leq K \leq 4$ (Assaad, 2009, p. 98) pour une bonne stabilité et une bonne rapidité des systèmes. En plus des avantages relatifs à la transconductance et au slew-rate, l'auteur indique que pour $K = 1$, la marge de phase, les tensions d'offset et le rapport signal/bruit sont meilleurs (Assaad, 2009, p. 112). Pourtant, ainsi que nous l'avons mentionné à la section 2.3.3.1, il

faut que $K > 1$ pour qu'un courant circule dans le miroir de courant PMOS. Il s'impose donc un compromis pour choisir la valeur optimale de K.

2.3.3.3 Amélioration des performances

Le passage du FC au RFC maintient les avantages DC du montage précédente, mais améliore certains de ses paramètres dynamiques, selon les formulations suivantes prises ou adaptées de (Assaad et Silva-Martinez, 2009).

Augmentation de la résistance de sortie

Le redimensionnement des transistors permettant le passage du FC au RFC crée une nouvelle répartition pour laquelle les courants dans M2a et M4a (RFC) sont plus faibles que les courants dans M2 et M4 (FC). Ainsi, d'après l'équation (1.15) les résistances r_{o2a} et r_{o4a} sont plus grandes que les résistances r_{o2} et r_{o4} respectivement. Le rapport entre la résistance de sortie du RFC R_{O_RFC} et la résistance de sortie du FC R_{O_FC} présenté à l'équation (2.1) s'avère donc supérieur à 1. Ainsi, le passage du FC au RFC améliore la résistance de sortie.

$$\frac{R_{O_RFC}}{R_{O_FC}} = \frac{g_{m6}r_{o6}(r_{o2a} \parallel r_{o4a}) \parallel g_{m8}r_{o8}r_{o10}}{g_{m6}r_{o6}(r_{o2} \parallel r_{o4}) \parallel g_{m8}r_{o8}r_{o10}} \quad (2.1)$$

Augmentation de la transconductance

Le rapport entre la transconductance du RFC g_{m_RFC} , et la transconductance du FC g_{m_FC} est présenté à l'équation (2.2). Ce résultat est démontré à la section 3.3.4, qui traite du calcul de g_{m_RFC} . Étant donné que K doit être supérieur à 1 et que g_{m1a} est deux fois plus petite g_{m1} (application de l'équation (1.23) avec des dimensions et un courant de M1a deux fois plus petits que ceux de M1), le passage du FC au RFC améliore la transconductance.

$$\frac{g_{m_RFC}}{g_{m_FC}} = \frac{g_{m1a}}{g_{m1}} (K + 1) = \frac{K + 1}{2} \quad (2.2)$$

Augmentation du gain en tension DC

Comme nous pouvons le voir les équations (2.1) et (2.2), l'augmentation de la résistance de sortie et celle de la transconductance se traduisent par une augmentation du gain en tension

Amélioration du slew-rate

Le slew-rate est une mesure du taux de variation maximal avec lequel un système est capable de restituer un échelon de tension. Il est proportionnel au courant de charge dans le cas d'un fonctionnement grand signal à l'entrée du système. Dans le cas du RFC, le slew-rate est K fois supérieur à celui de FC :

$$\frac{SR_{RFC}}{SR_{FC}} = \frac{2KI_B}{C_L} \times \frac{C_L}{2I_B} = K \quad (2.3)$$

Conservation de la surface de puce et de la puissance

Le RFC réalise un bon compromis entre la surface de puce et les performances du montage. Avec la même surface de puce qu'un montage FC classique, il a de meilleures performances AC, au rang desquelles les avantages cités plus haut dans cette section. Par ailleurs, avec une surface ramenée de $4958.2 \mu\text{m}^2$ à $3001.8 \mu\text{m}^2$ et une consommation de courant ramenée de $800 \mu\text{A}$ à $400 \mu\text{A}$, il est capable de produire les mêmes performances que le FC classique.

2.3.3.4 Comparaison entre le RFC et les circuits de la littérature

A la section 2.3.1, nous avons expliqué les raisons pour lesquelles nous nous sommes tournés vers les OTA, et à la section 2.3.2.3, celle justifiant l'option du montage RFC. Dans le Tableau 2.3, nous faisons la comparaison entre les différents montages.

Même si le gain du RFC est légèrement faible comparativement aux autres, il est cependant à un niveau raisonnable pour réaliser une régulation d'incertitude inférieure à 0.1% (voir section 1.3.4.2). De plus, avec la présence du buffer, le gain de l'ensemble augmente avec le courant dans la charge, ce qui renforce la régulation. Ce processus nécessite une marge de

phase suffisante. Or, nous constatons que le RFC possède l'une des meilleures marges de phase sur l'ensemble des références. Sa configuration est plus favorable à une opération bas voltage comparativement à une configuration complémentaire. Il consomme cependant un courant de polarisation qui est élevé par rapport à celui des autres (800 μA). L'un de nos objectifs sera de le réduire, pour atteindre des courants de l'ordre de 150 μA tel que (Song et al., 1999) ou (Roewer et Kleine, 2002). L'un des résultats les plus probants dans cette démarche a été obtenu par (Roh, 2006), qui est parvenu à une baisse de 360 μA . Pour y arriver, il a utilisé un mécanisme de feed-back en courants, contrôlé par les dimensions des transistors (effet miroir). Son courant de sortie plafonne cependant à 710 μA .

Tableau 2.3 Comparaison des régulateurs et du RFC

	Circuit	V_{DD} (V)	Polar. (μA)	Techno. (μm)	Gain DC (dB)	PM (deg.)	Charge	I_{Load} (mA)
Régulateurs	(Chen, Bo et Zhiliang, 2006)	3.3	1700	0.18	74	70	-	0.3 – 15
	(Balan, 2003)	1.8	-	0.18	100	-	200 Ω	3 – 5
	(Ferri, 2001)	± 1	-	-	60	58	1 pF	0.4 – 6.6
Montages à CFC	(Roewer et Kleine, 2002) ³	2.5	150	0.8	60.1	81.1	5 pF	
	(Ceperic, Butkovic et Baric, 2006)	3.3	406	0.35	56.7	70	1 pF	-
	(Song et al., 1999)	1.8	135	0.6	80.8	71	20 pF	-
	(Lipka et al., 2009)	± 1.5	400	0.25	85	55	2 pF	-
RFC	(Assaad, 2009)	1.8	800	0.18	60.9	70.6	5.6 pF	-

³ Il y a trois circuits. Nous avons pris le b, qui se rapprochent le plus des objectifs de notre recherche

Face à tous ces éléments, nous avons décidé de choisir le montage RFC comme ampli-op de notre régulateur. Son choix repose sur les arguments suivants :

- les performances dynamiques du RFC montrent une bonne stabilité (marge de phase) et un gain DC permettant une régulation suffisante (incertitude à moins de 0.1%) ;
- le montage RFC convient plus à une opération bas voltage ;
- les tests sur le RFC ont été effectués sur des circuits implémentés en technologie TSMC CMOS-0.18 μm , la même que nous avons choisi dans le cadre de ce mémoire ;
- le montage RFC a montré de bon résultats avec un fonctionnement avec une tension d'alimentation aussi basse que 1.8V ;
- le montage RFC permet d'envisager le choix de références à très bas voltage ;
- le montage RFC repose sur une technique novatrice tirant profit des transconductances pour optimiser les performances du circuit, ce qui offre également de belles perspectives de recherche.

A noter que le RFC a récemment été utilisé par (Zhou et al., 2011) pour aider au design d'un amplificateur ayant un gain de 100 dB de gain et une faible consommation de puissance.

2.4 Synthèse de l'état de l'art vis-à-vis de notre problématique de recherche

Au terme de cette revue de littérature, les concepts de miniaturisation, d'interaction CMOS-RF et de fonctionnement à bas courant et bas voltage ont largement été développés, pour clarifier notre problématique de recherche. Il en ressort que la miniaturisation des composants fait partie des priorités du design des MMIC, pour des raisons technologiques. L'interaction CMOS-RF est une thématique pertinente en recherche. Elle impose un compromis entre les dimensions de l'inductance d'isolation et les performances des circuits, spécialement dans le cas de régulateurs de tension pour amplificateurs RF intégrés. Enfin, la contrainte de fonctionnement à bas courant et bas voltage crée des défis lors du design des MMIC. Dans le cas des régulateurs de tension, elle est renforcée par le besoin des courants

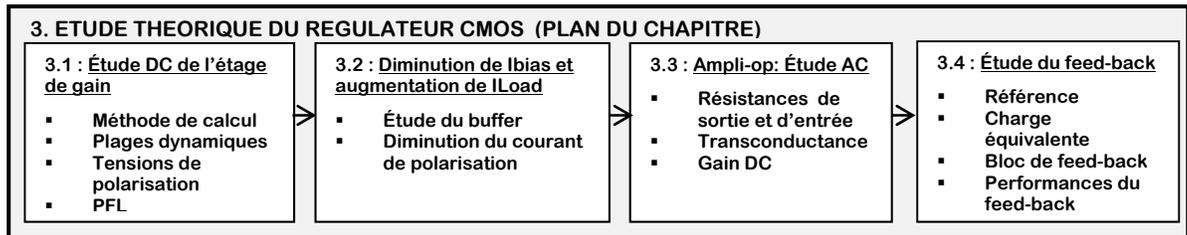
de charge pouvant aller jusqu'à 20 mA, et l'augmentation de l'efficacité énergétique aux faibles courants de charge.

Nous remarquons cependant qu'aucune de ces recherches n'est consacrée à l'effet de l'interaction CMOS-RF sur les performances d'amplificateurs bas voltages ou de régulateurs de tension bas voltage. Ce besoin nous a motivés à investiguer dans un nouvel axe : l'optimisation des circuits CMOS de hautes performances, dans un contexte d'interaction RF. Nous avons choisi d'appliquer ce concept à une structure novatrice et récente appelée Recycled Folded-Cascode, qui offre de bonnes perspectives quant à l'amélioration des performances des amplificateurs bas voltage. L'étude théorique destinée à l'intégrer dans un régulateur de tension fonctionnant à bas voltage est présentée au chapitre suivant. Trois canevas s'imposent à notre recherche :

- la réalisation de nos objectifs grâce à des composants micrométriques de dimensions raisonnables ;
- la minimisation de l'inductance RF-Choke dans le cadre du compromis entre l'infiltration RF et les performances des circuits CMOS ;
- l'amélioration de l'efficacité énergétique aux faibles courants et l'aptitude à délivrer de forts courants.

CHAPITRE 3

ÉTUDE THÉORIQUE DU RÉGULATEUR CMOS



Le régulateur CMOS est en fait un montage à amplificateur opérationnel utilisé dans une boucle de rétroaction à gain positif, semblable à celui de la Figure 1.27. L'amplificateur opérationnel est composé du Recycled Folded-Cascode (RFC) dont le choix en tant qu'étage de gain a été justifié au chapitre précédent, et d'un buffer pour répondre à la demande en courant de la charge, pouvant aller jusqu'à 20 mA (Figure 3.1). Ce chapitre est consacré à l'étude théorique du régulateur. Les analyses présentées pour la structure RFC sont dans leur très grande majorité peu traitées dans la littérature. Elles constituent une contribution scientifique à l'analyse de cette structure, et au design d'un régulateur fonctionnant à bas courant et à bas voltage, construit en technologie CMOS.

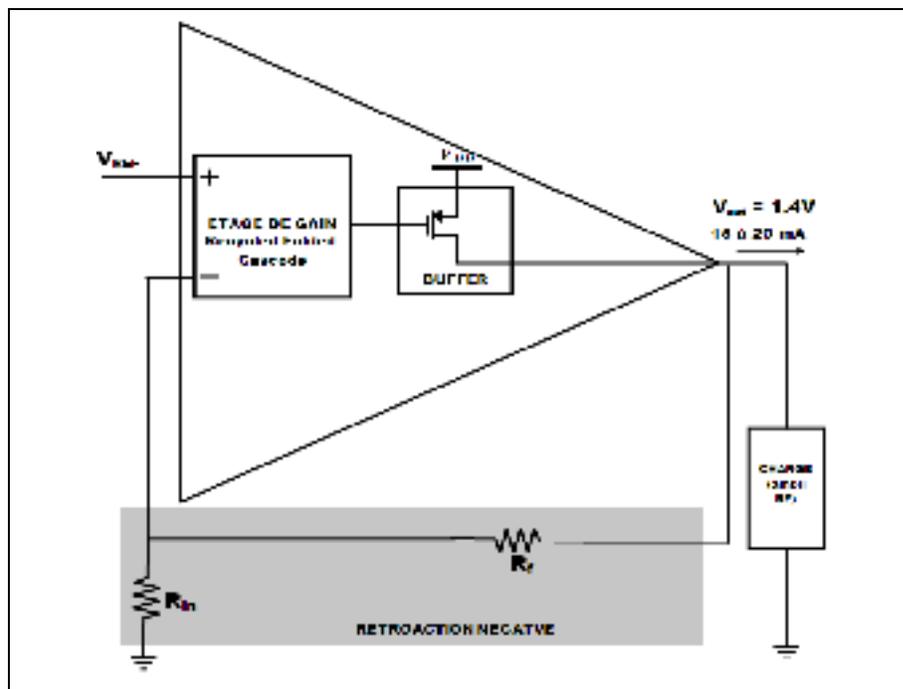


Figure 3.1 Synoptique du montage

En adoptant une approche par schéma bloc, le premier circuit étudié est le RFC qui, comme nous l'avons vu dans la revue de littérature, est un étage de gain tout à fait indiqué dans le cadre de notre problématique de bas voltage (section 3.1). Mais avec des performances AC qui contribuent à une bonne régulation, il consomme quand même un courant de polarisation de $800 \mu\text{A}$ et ne peut pas délivrer un courant de 20 mA vers une charge connectée à sa sortie. La deuxième partie de ce chapitre est donc consacrée aux principes qui seront utilisés pour abaisser le courant de polarisation et augmenter l'intensité du courant qu'il est capable de débiter (section 3.2). Une fois ces améliorations effectuées, l'ampli-op est inséré dans une boucle de rétroaction incluant une référence, une charge équivalente émulant le comportement d'un amplificateur RF intégré de type GaAs HBT, et un module de rétroaction négative. Tous ces blocs et d'autres aspects tels que les tendances et la stabilité du feedback sont étudiés à la section 3.4, précédée de la section 3.3 qui traite de l'étude AC de l'amplificateur opérationnel en boucle ouverte.

3.1 Étude DC de l'étage de gain

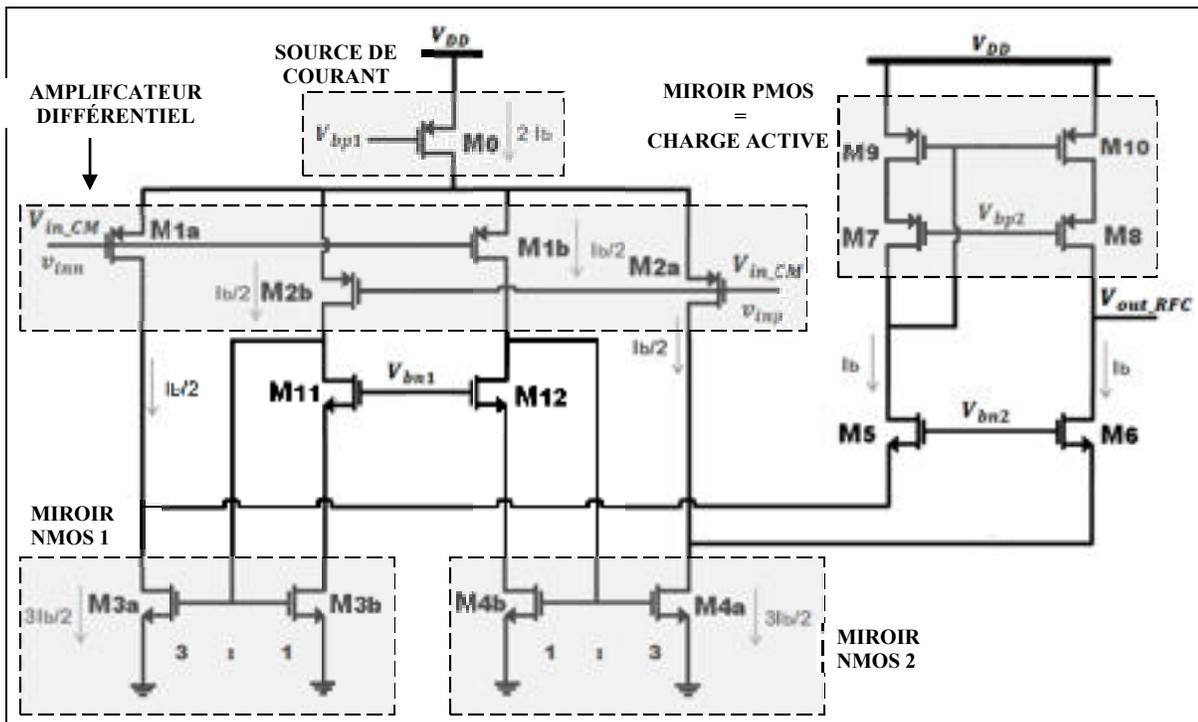


Figure 3.2 Circuit électrique de l'étage de gain
Tirée de Assaad et Silva-Martinez (2009)

Les analyses présentées dans cette section permettent de se familiariser avec le comportement DC de l'étage de gain, afin de trouver des techniques efficaces par atteindre l'un des objectifs principaux de ce mémoire : réduire sa consommation de courant. Cet objectif doit être atteint en maintenant tous les transistors de l'étage en zone de saturation. A cet effet, le circuit électrique de l'étage de gain avec la nomenclature utilisée dans ce mémoire est présenté à la Figure 3.2. La section 3.1.1 présente la méthode de calcul appliquée pour la détermination des potentiels sur chaque transistor. Les analyses comprennent : le calcul de la plage dynamique d'entrée et celui de la plage dynamique de sortie (section 3.1.2), le calcul des potentiels V_{bp1} , V_{bp2} , V_{bn1} et V_{bn2} qui doivent polariser tous les transistors de l'étage dans leur zone de saturation (section 3.1.3), et enfin la présentation de la plage de fonctionnement linéaire (section 3.1.4).

3.1.1 Méthode de calcul

Tout d'abord, rappelons que les critères qui garantissent la polarisation d'un transistor en zone de saturation sont donnés par l'équation (1.11) pour le type NMOS, et à l'équation (1.19) pour le type PMOS (section 1.1.1.3). Ils sont résumés dans le Tableau 1.1. En se plaçant au bord de cette zone, nous obtenons les équations (3.1) et (3.2) suivantes, applicables respectivement au type NMOS et au type PMOS :

$$V_G - V_D = V_{THN} \quad \text{NMOS} \quad (3.1)$$

$$V_D - V_G = |V_{THP}| \quad \text{PMOS} \quad (3.2)$$

La plupart des potentiels calculés dans les sections suivantes sont connectés à la grille de certains transistors du montage. Nous commencerons par repérer les transistors en question. Après avoir déterminé la valeur maximale et la valeur minimale de la tension de drain (V_D), nous nous placerons à la frontière (3.1) pour le NMOS et à la frontière (3.2) pour le PMOS, afin de trouver la valeur minimale et la valeur maximale du potentiel de grille (V_G). Elles

correspondent respectivement à la valeur maximale et à la valeur minimale du potentiel étudié. A noter que la valeur minimale associée à une tension grille-source est $(|V_{OV}| + |V_{TH}|)$, et que la valeur minimale associée à une tension drain-source est $|V_{OV}|$ (section 1.1.1.2). Ces conditions assurent respectivement que le transistor est passant, et que son canal est effectivement pincé.

3.1.2 Plages dynamiques d'entrée et de sortie

La plage dynamique d'entrée en mode commun dans laquelle sera choisie la tension de référence V_{REF} et la plage dynamique de sortie dans laquelle sera choisie la polarisation à la grille du buffer seront calculées dans cette section.

3.1.2.1 Plage dynamique d'entrée en mode commun

Pour calculer les valeurs plafond et plancher de la tension d'entrée en mode commun V_{in_CM} , les deux cas illustrés à la Figure 3.3 doivent être pris en compte : calculer suivant l'état de M1a/M2a⁴ (cas N°1) et calculer suivant l'état de M1b/M2b⁵ (cas N°2). Nous allons utiliser les relations du Tableau 1.1, les équations (3.1) et (3.2), la relation $V_{OV} = V_{GS} + |V_{TH}|$ pour établir les conditions qui garantissent le fonctionnement de M1a, M1b en zone de saturation, en appliquant la loi de Kirchoff des tensions à la Figure 3.3.

En considérant l'état de M1a :

$$\left. \begin{array}{l} V_{G1a} = V_{D1a} - |V_{THP}| \\ V_{G1a} = (V_{in_CM})_{1a} \\ V_{OV3a} \leq V_{D1a} \leq V_{DD} - |V_{OV0}| - |V_{OV1a}| \end{array} \right\} \Rightarrow \left\{ \begin{array}{l} [(V_{in_CM})_{1a}]_{min} = V_{OV3a} - |V_{THP}| \\ [(V_{in_CM})_{1a}]_{max} = V_{DD} - |V_{OV0}| - |V_{OV1a}| - |V_{THP}| \end{array} \right.$$

⁴ Les calculs sont présentés seulement avec M1a. Ils sont équivalents avec M2a, à condition de remplacer M4a par M3a.

⁵ Les calculs sont présentés seulement avec M1b. Ils sont équivalents avec M2b, à condition de remplacer M4b par M3b.

En se référant à la relation (3.2), M1b est au bord de la saturation si $V_{G1b} = V_{D1b} - |V_{THP}|$. En appliquant la loi de Kirchoff des tensions au cas N°2 de la Figure 3.3, nous avons $(V_{D1b})_{min} = V_{OV4b} + V_{THN}$ (en remontant de la masse à travers la tension grille-source du transistor M4b) et $(V_{D1b})_{max} = V_{DD} - |V_{OV0}| - |V_{OV1b}|$ (en descendant de V_{DD} à travers les tensions drain-source des transistors M0 et M1b). Par ailleurs, $V_{G1b} = (V_{in_CM})_{1b}$. Ainsi, en se plaçant au bord de la saturation de M1b, nous pouvons établir les limites sur $(V_{in_CM})_{1b}$ de la manière suivante :

$$V_{OV4b} + V_{THN} - |V_{THP}| \leq (V_{in_CM})_{1b} \leq V_{DD} - |V_{OV0}| - |V_{OV1b}| - |V_{THP}|$$

Remarquons ici que le transistor M1b entre en triode avant le transistor M1a avec la baisse de V_{in_CM} . Cet aspect sera utilisé dans l'explication de la plage de fonctionnement linéaire à la section 3.1.4.1.

En somme :

Pour tenir compte de toutes les contraintes applicables, la plage dynamique d'entrée en mode commun résultante doit être la plus restrictive des deux solutions précédentes. Ainsi, sa limite inférieure est la plus grande des valeurs minimales et sa limite supérieure est la plus petite des valeurs maximales calculées dans les deux cas :

$$(V_{in_CM})_{min} = \max \left\{ [(V_{in_CM})_{1a}]_{min} ; [(V_{in_CM})_{1b}]_{min} \right\} = V_{OV4b} + V_{THN} - |V_{THP}|$$

$$\begin{aligned} (V_{in_CM})_{max} &= \min \left\{ [(V_{in_CM})_{1a}]_{max} ; [(V_{in_CM})_{1b}]_{max} \right\} \\ &= V_{DD} - |V_{OV0}| - |V_{OV1b}| - |V_{THP}| = V_{DD} - |V_{OV0}| - |V_{OV1b}| - |V_{THP}| \end{aligned}$$

En définitive, l'équation (3.3) donne la plage dynamique d'entrée en mode commun :

$$V_{OV4b} + V_{THN} - |V_{THP}| \leq V_{in_CM} \leq V_{DD} - |V_{OV0}| - |V_{OV1b}| - |V_{THP}| \quad (3.3)$$

3.1.2.2 Plage dynamique de sortie

Pour calculer la plage dynamique de sortie, il faut se placer sur la branche M4a-M6-M8-M10 (Figure 3.4). On a $V_{out_RFC} = V_{D6} = V_{D8}$. Par application de la loi de Kirchoff des tensions, la limite inférieure de cette plage est calculée en remontant à V_{D6} depuis la masse, à travers les tensions drain-source de M4a et M6. Ainsi : $(V_{out_RFC})_{min} = V_{OV4a} + V_{OV6}$. Sa limite supérieure est calculée en descendant de V_{DD} vers V_{D8} , à travers les tensions drain-source de M10 et M8. Ainsi : $(V_{out_RFC})_{max} = V_{DD} - |V_{OV10}| - |V_{OV8}|$. En définitive, la plage dynamique de sortie de l'étage de gain est donnée par (3.4) l'équation suivante :

$$V_{OV4a} + V_{OV6} \leq V_{out_RFC} \leq V_{DD} - |V_{OV10}| - |V_{OV8}| \quad (3.4)$$

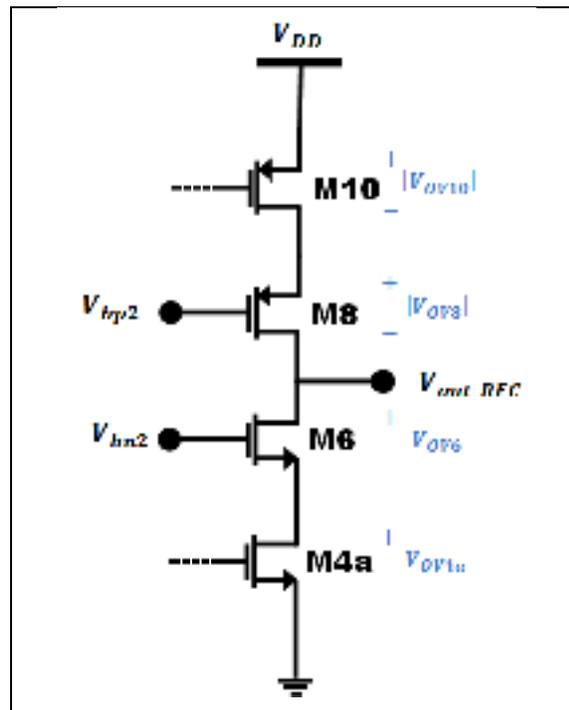


Figure 3.4 Plage dynamique de sortie

3.1.3 Détermination des potentiels de polarisation

La polarisation du montage Recycled Folded-cascode détermine les courants et les tensions dans le circuit. Elle affecte aussi le comportement dynamique du montage et son processus d'amplification, car ce sont les valeurs statiques qui fixent les résistances drain-source des transistors, la transconductance ou le gain. Cette section présente le calcul des valeurs extrémales des potentiels V_{bp1} , V_{bn1} , V_{bn2} et V_{bp2} , définissant la polarisation de l'étage de gain. Une recommandation est faite après chaque calcul pour une polarisation optimale.

3.1.3.1 Calcul du potentiel V_{bp1}

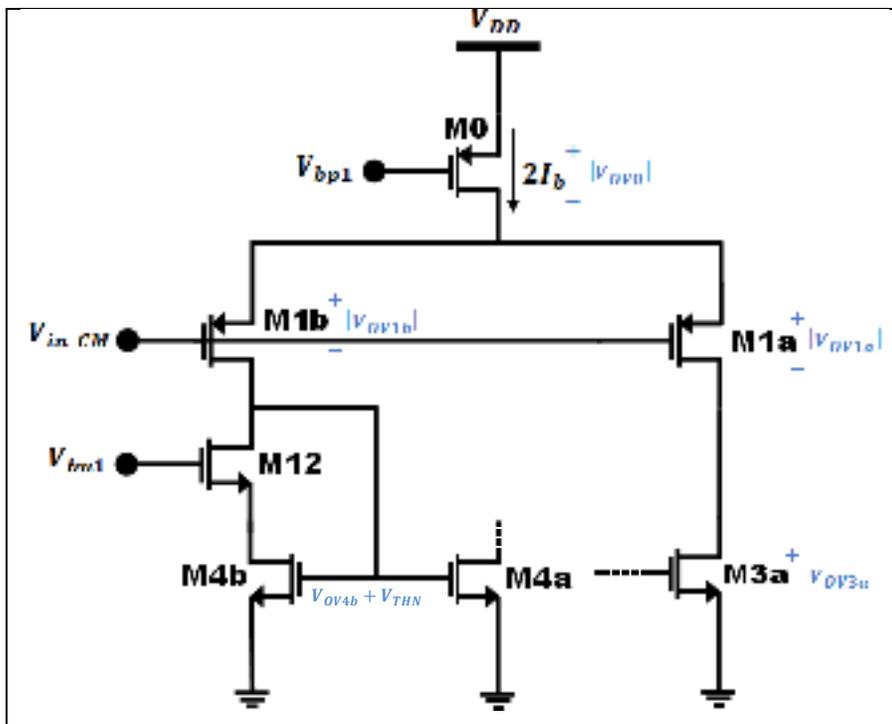


Figure 3.5 Polarisation de V_{bp1}

D'après la Figure 1.16, la source du transistor $M0$ étant reliée à l'alimentation et sa grille étant reliée au potentiel V_{bp1} , il se comporte comme une source de courant dont l'intensité $2I_b$ est fixée par le potentiel V_{bp1} (Figure 3.5). Son expression est déterminée en application de l'équation (1.17) de la section 1.1.1.5, avec β_p donné à l'équation (1.20) :

$$2I_b = \frac{\beta_P}{2} [(V_{DD} - V_{bp1}) - |V_{THP}|]^2 \Rightarrow V_{bp1} = V_{DD} - \sqrt{\frac{4I_b}{\beta_P}} - |V_{THP}| \quad (3.5)$$

L'équation (3.5) permet de déduire la valeur de V_{bp1} donnée à l'équation suivante :

$$V_{bp1} = V_{DD} - \sqrt{\frac{4I_b}{\beta_P}} - |V_{THP}| \quad (3.6)$$

Deux conditions s'imposent pour assurer le fonctionnement de M0 en zone de saturation. D'après l'équation (1.22), il faut que $(V_{GS})_0 - |V_{THP}| \leq V_{OV0}$. Or l'application de la loi de Kirchoff des tensions à la Figure 3.5 montre que $(V_{GS})_0 = V_{bp1} - V_{DD}$. Ainsi, une première condition est obtenue sur le potentiel V_{bp1} : $V_{bp1} - V_{DD} - |V_{THP}| \leq V_{OV0}$. Elle fixe la valeur maximale de V_{bp1} à $V_{bp1_max} = V_{DD} - |V_{OV0}| - |V_{THP}|$. Par ailleurs, d'après le Tableau 1.1, il faut $V_{bp1} \geq V_{D0} - |V_{THP}|$. Or, $(V_{D0})_{min} = V_{OV4b} + V_{THN} + |V_{OV1b}|$ en remontant de la masse à travers la tension grille-source de M4b, et la tension drain-source de M1b. En substituant dans l'équation précédente et en appliquant l'équation (3.2), nous avons $V_{bp1_min} = V_{OV4a} + V_{THN} + |V_{OV1b}| - |V_{THP}|$. Ainsi, le transistor M0 restera en saturation pour les valeurs de V_{bp1} délimitées par l'équation (3.7) :

$$V_{OV4a} + V_{THN} + |V_{OV1b}| - |V_{THP}| \leq V_{bp1} \leq V_{DD} - |V_{OV10}| - |V_{THP}| \quad (3.7)$$

Le potentiel V_{bp1} à l'équation (3.5) doit être dans la plage définie à l'équation (3.7).

3.1.3.2 Calcul du potentiel V_{bp2}

Le potentiel V_{bp2} doit polariser les transistors M7 à M10 dans la zone de saturation. Il assure le fonctionnement de M7 en saturation d'après la condition. Pour cela, deux conditions s'imposent de même qu'à la section précédente. Premièrement, d'après l'équation (1.22), il

faut que $(V_{GS})_7 - |V_{THP}| \leq V_{OV7}$. L'application de la loi de Kirchoff des tensions à la Figure 3.6 montre que $(V_{GS})_7 = V_{bp2} - (V_{DD} - |V_{OV9}|)$ (avec $|V_{OV9}|$ assurant la conduction de M9). La première condition sur V_{bp2} est : $V_{bp2} - V_{DD} + |V_{OV9}| \leq V_{OV8}$, fixant sa valeur maximale de V_{bp2} à $V_{bp2_max} = V_{DD} - |V_{OV9}| - |V_{OV7}| - |V_{THP}|$. Par ailleurs, d'après le Tableau 1.1, il faut $V_{bp2} \geq V_{D7} - |V_{THP}|$. Or, $(V_{D7})_{min} = V_{DD} - |V_{OV9}| - |V_{THP}|$, en remarquant que l'état de M7 est limité par le courant de branche, par rétroaction entre la grille de M9 et le drain de M7. En substituant dans l'équation précédente et en appliquant l'équation (3.2), nous avons $V_{bp2_min} = V_{DD} - |V_{OV9}| - 2|V_{THP}|$.

$$V_{DD} - |V_{OV9}| - 2|V_{THP}| \leq V_{bp2} \leq V_{DD} - |V_{OV10}| - |V_{OV8}| - |V_{THP}| \quad (3.8)$$

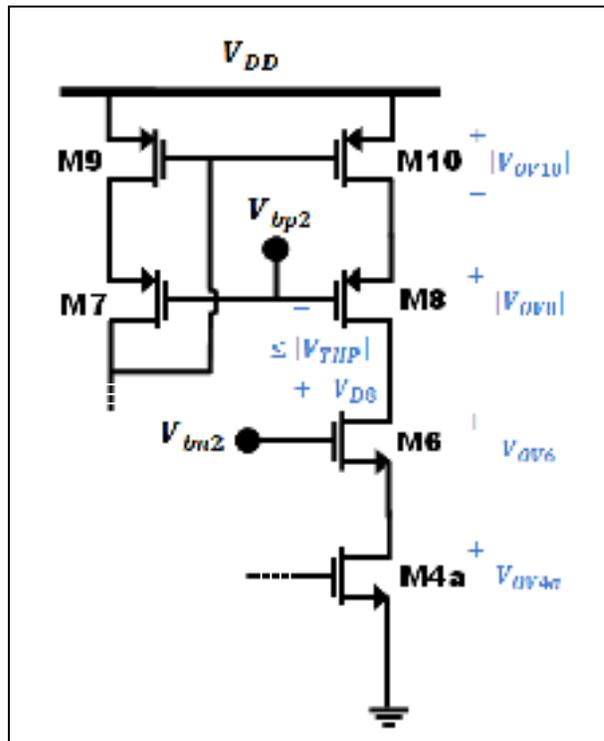


Figure 3.6 Polarisation V_{bp2}

Il faut placer V_{bp2} vers le milieu de cette plage pour établir une symétrie dans la variation des états de M7 et M9, M8 et M10.

3.1.3.3 Calcul du potentiel Vbn1

Le potentiel Vbn1 doit polariser les transistors M3b, M4b, M11 et M12 dans la zone saturation. Il est déterminé en plaçant par exemple au bord de la saturation de M12⁶ : $V_{bn1} - V_{D12} = V_{THN}$. En appliquant la loi de Kirchoff des tensions à la Figure 3.7, la valeur maximale V_{D12} est fixée par l'intensité du courant de branche, avec la rétroaction entre la grille de M4b et le drain de M12 : $V_{D12,max} = V_{OV4b} + V_{THN}$. Sa valeur minimale est calculée en remontant de la masse à travers les tensions drain-source des transistors M4b et M12 : $V_{D12,min} = V_{OV4b} + V_{OV12}$. Ainsi, Vbn1 est encadré par l'équation (3.9) suivante :

$$V_{OV4b} + V_{OV12} + V_{THN} \leq V_{bn1} \leq V_{OV4b} + 2V_{THN} \quad (3.9)$$

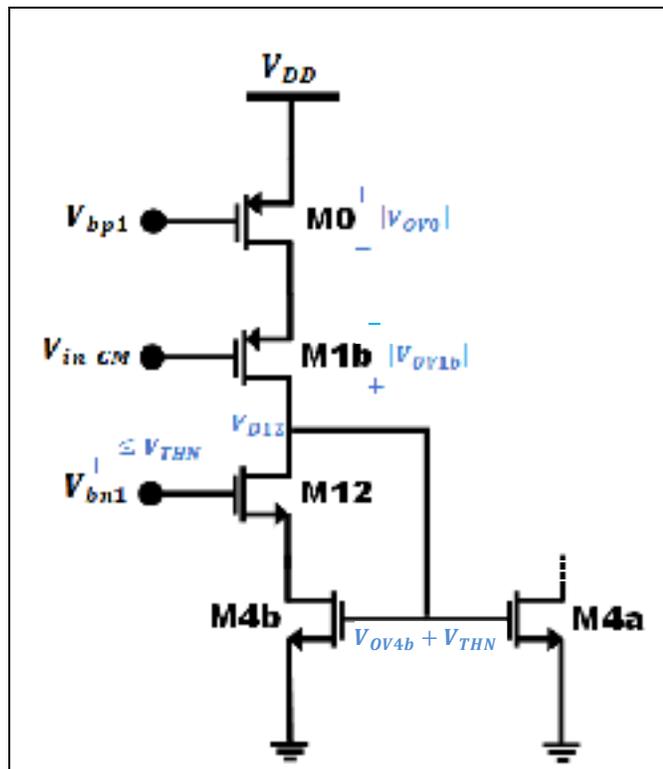


Figure 3.7 Polarisation Vbn1

⁶ Le calcul de V_{bn1} peut aussi se faire avec M11 au lieu M12, pour des raisons de symétrie. Dans ce cas, il faut remplacer M_{4a} par M_{3a} et M_{2a} par M_{1a} .

Il faut idéalement fixer V_{bn1} à une valeur de la plage (3.9) qui favorise une symétrie dans la variation des états de M3b/M11 et M4b/M12, ainsi que l'équilibre des courants abordé à la section suivante.

3.1.3.4 Calcul du potentiel V_{bn2}

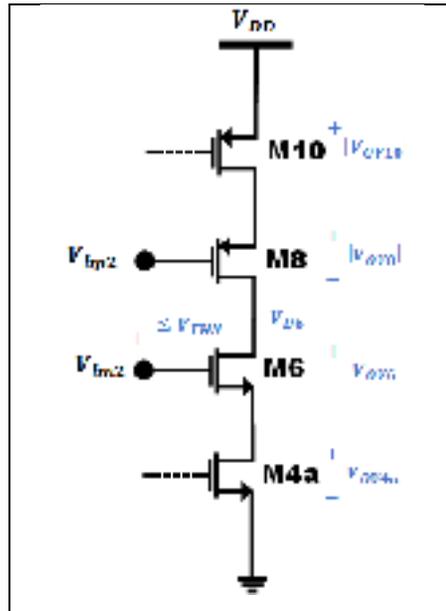


Figure 3.8 Polarisation V_{bn2}

Le potentiel V_{bn2} doit polariser les transistors M3a, M4a, M5 et M6 dans la zone de saturation (Figure 3.8). Sa valeur est déterminée par l'état du transistor M6⁷ conformément à l'équation (1.11) : $V_{bn2} - V_{D6} \leq V_{THN}$. La valeur minimale V_{D6} est déterminée sur la branche M4a-M6 à partir de la masse : $V_{D6_min} = V_{OV4a} + V_{OV6}$. Sa valeur maximale est calculée sur la branche M10-M8 à partir de l'alimentation ($V_{D6} = V_{D8}$). Elle est de : $V_{D6_max} = V_{DD} - |V_{OV9}| - |V_{THP}|$ par symétrie entre V_{D7} et V_{D8} . Ainsi, on a :

$$V_{OV4a} + V_{OV6} + V_{THN} \leq V_{bn2} \leq V_{DD} - |V_{OV9}| - |V_{THP}| + V_{THN} \quad (3.10)$$

⁷ Le calcul de V_{bn2} peut aussi se faire avec M5 au lieu de M6, pour des raisons de symétrie. Dans ce cas, il faut remplacer M_{4a} par M_{3a} .

Lorsque V_{bn2} augmente, les tensions aux sources de M5 et M6 augmentent dans la même proportion, étant donné les hautes impédances vues par ces terminaux de source (impédances Thévenin). L'effet de modulation de longueur du canal des transistors fait que les courants de M4a et M3a augmentent légèrement, tandis que les courants de M2a et M1a diminuent légèrement. Le courant augmente légèrement dans le miroir PMOS, et donc à travers M5 et M6. Il s'en suit une légère augmentation de l'effet miroir dans M4a/M4b et M3a/M3b, ce qui n'est pas souhaitable pour l'équilibre des courants entre les différents étages (Figure 4.2). Il faut donc placer V_{bn2} à une valeur qui favorise la précision de l'effet miroir introduit par le paramètre $K=3$ du Recycled Folded Cascode (Figure 4.2), ainsi que le maintien des transistors M5 et M6 en mode de saturation.

3.1.4 Plage de fonctionnement linéaire et performances du Recycled-FC

$$\begin{array}{l}
 \mathbf{PFL} \left\{ \begin{array}{l}
 V_{OV4a} + V_{THN} + |V_{OV1b}| - |V_{THP}| \leq V_{bp1} \leq V_{DD} - |V_{OV10}| - |V_{THP}| \\
 V_{DD} - |V_{OV9}| - 2|V_{THP}| \leq V_{bp2} \leq V_{DD} - |V_{OV9}| - |V_{OV7}| - |V_{THP}| \\
 V_{OV4b} + V_{OV12} + V_{THN} \leq V_{bn1} \leq V_{OV4b} + 2V_{THN} \\
 V_{OV4a} + V_{OV6} + V_{THN} \leq V_{bn2} \leq V_{DD} - |V_{OV10}| - |V_{THP}| + V_{THN} \\
 V_{OV4b} + V_{THN} - |V_{THP}| \leq V_{in_CM} \leq V_{DD} - |V_{OV0}| - |V_{OV1b}| - |V_{THP}| \\
 V_{OV4a} + V_{OV6} \leq V_{out} \leq V_{DD} - |V_{OV10}| - |V_{OV8}|
 \end{array} \right. \quad (3.11)
 \end{array}$$

En rassemblant les contraintes qui placent tous les transistors du montage dans la zone de saturation, nous définissons de fait ce qu'on peut appeler la plage de fonctionnement linéaire (PFL), caractérisée par la série d'équations d'inégalités (3.11). La PFL comporte trois propriétés intéressantes dans le cadre de la régulation. Tout d'abord, elle maintient une stabilité de la plage dynamique de rétroaction (V_{out_RFC}) sur une large plage de tensions V_{in_CM} (section 3.1.4.1). Ensuite, elle est favorable à une diminution du courant de

polarisation (section 3.1.4.2) et une augmentation du courant de sortie (section 3.1.4.3), deux aspects essentiels au regard de la problématique de recherche.

3.1.4.1 Comportement de V_{out_RFC} vis-à-vis de V_{in_CM}

Le potentiel V_{out_RFC} a une grande influence sur la régulation. Du point de vue DC, il constitue la plage dynamique à la sortie de l'étage de gain, ainsi que la tension de grille du buffer, qui détermine l'intensité du courant que peut fournir le régulateur. Par ailleurs, il influence l'état des transistors M4a, M6, M8 et M10. En maintenant ces transistors dans leur zone de saturation, il favorise la linéarité du gain en boucle ouverte et le bon fonctionnement de la charge active. L'analyse suivante permet de développer ces aspects.

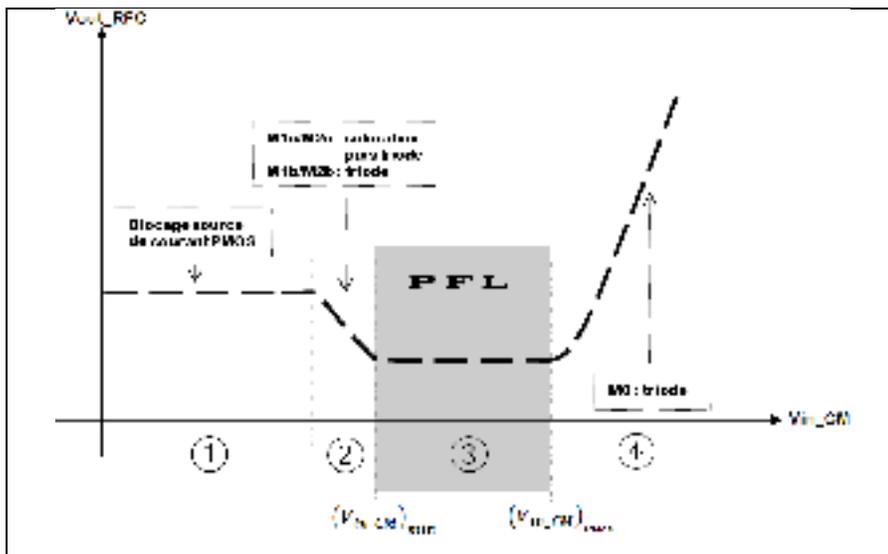


Figure 3.9 Allure théorique de la variation de V_{out_RFC} en fonction de V_{in_CM}

③ La Figure 3.9 présente les différents états possibles V_{out_RFC} en fonction de V_{in_CM} . Quatre des potentiels concernés par la PFL sont fixes : V_{bp1} , V_{bp2} , V_{bn1} et V_{bn2} . Les deux autres potentiels varient dépendamment des entrées, de la charge ou de la dynamique du feed-back. Étant donné la présence des miroirs de courants NMOS et le fait que les transistors M1a/ M1b et M2a/M2b sont des paires de transistors aux mêmes dimensions et de

même polarisation, la répartition des courants dans chacun de ces transistors est uniforme autour de $I_b/2$. Toute variation de V_{in_CM} (tension d'entrée en mode commun) est suivie d'une variation du potentiel V_{D0} , qui maintient le transistor M0 en saturation tant que la condition (3.7) est respectée. Il délivre un courant $2I_b$. Avec l'effet miroir $K=3$, la charge active (M7 à M10, Figure 3.2) délivre un courant I_b dans chaque branche. De par la symétrie du montage, la tension V_{out_RFC} est égale à la valeur de V_{G9} qui correspond au courant I_b . Elle reste fixe tant que le transistor M0 reste polarisé en région de saturation, c'est-à-dire tant que la source délivre un courant $2I_b$ et que la charge active délivre un courant I_b .

② Pour des valeurs de V_{in_CM} inférieures à $(V_{in_CM})_{min}$, les transistors M1b et M2b vont entrer en mode triode avant M1a et M2a (section 3.1.2.1). Dans ces conditions, le courant baisse dans les transistors M1b/M2b, et augmente dans les transistors M1a/M2a. Le courant dans le transistor M3a/M4a baisse dans une proportionnalité 3 : 1 par effet miroir. Le courant dans M1a/M2a quant à lui augmente dans une proportionnalité simple. Ces deux tendances contribuent à diminuer le courant dans les deux branches du miroir PMOS, ce qui cause une augmentation de V_{out_RFC} au fur et à mesure que V_{in_CM} baisse. Lorsque M1a/M2a entrent aussi en triode, les courants dans ces transistors baissent à leur tour, mais la tension V_{out_RFC} continue d'augmenter.

① Lorsque la tension V_{out_RFC} augmente (avec V_{in_CM} décroissant), le miroir de courant PMOS se rapproche du blocage avec le fait que M8 et M10 sortent de la région de saturation. Il se bloque lorsque $(V_{DD} - V_{out_RFC}) \leq (|V_{OV8}| + |V_{OV10}|)$. Avec l'absence du courant dans la branche, V_{out_RFC} n'augmente pratiquement plus.

④ Pour des tensions V_{in_CM} supérieures à $(V_{in_CM})_{max}$, le transistor M0 entre en triode. Son courant devient inférieur à $2I_b$. Le courant de polarisation dans les transistors M1a, M1b, M2a et M2b devient inférieur à $I_b/2$, causant une diminution du courant dans les transistors M3a/M4a. Le courant diminue ainsi dans la charge active PMOS, ce qui se traduit par une augmentation de V_{out_RFC} à mesure que V_{in_CM} augmente.

En conclusion, la tension V_{out_RFC} reste constante vis-à-vis des variations de V_{in_CM} dans la PFL. Cette propriété contribue à l'efficacité de l'ampli-op, qui opère une polarisation efficace du buffer (section 3.4.4.3). De plus, avec une valeur minimale d'environ 0.2V, la PFL permet de choisir des tensions de référence très faibles, ce qui est un avantage pour l'opération à bas voltage du régulateur.

3.1.4.2 PFL et réduction du courant de polarisation

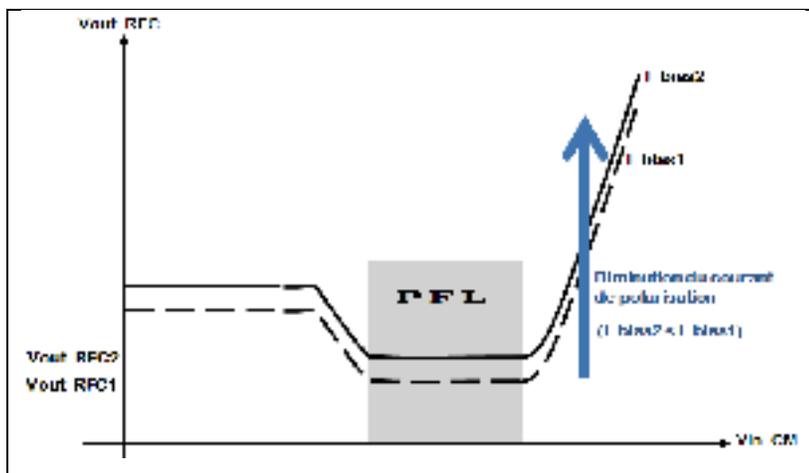


Figure 3.10 PFL et baisse du courant de polarisation

La réduction du courant de polarisation se traduit d'un point de vue DC par une augmentation de V_{out_RFC} . En effet, la baisse du courant dans le miroir PMOS induit une augmentation de la tension V_{G9} , suivie par la tension V_{out_RFC} avec la symétrie du montage. La baisse du courant de polarisation modifie juste le niveau de V_{out_RFC} , qui conserve toutefois sa constance (Figure 3.10). Dans une configuration de rétroaction, l'erreur statique vient se superposer à la valeur de V_{in_CM} en entrée, ce qui cause une diminution de la tension V_{out_RFC} obtenue avec V_{in_CM} seule. Cette diminution est plus accentuée en dehors de la PFL, car la variation de V_{out_RFC} elle-même s'ajoute à celle apportée par l'erreur statique (Figure 3.9). Elle correspond en fait à une diminution de la plage dynamique de feed-back, ce qui détériore les performances de l'ampli-op utilisé dans une configuration de rétroaction (section 3.4.4.3). Ainsi, en garantissant une certaine plage dynamique de feed-back, la PFL contribue aux bonnes performances du régulateur, malgré une baisse du courant de polarisation.

3.1.4.3 PFL et augmentation du courant débité par le régulateur

La tension V_{out_RFC} représente la sortie de l'étage de gain (Figure 3.2). Elle fait la liaison entre cet étage et le buffer qui s'en suit, ainsi que le montre la Figure 3.1. Elle fixe l'intensité du courant que peut fournir le buffer à la charge connectée à la sortie du régulateur. En négligeant l'effet de modulation du canal, I_{Load} est définie par l'application de l'équation (1.17) à la section 1.1.1.5 :

$$|I_{Load}| = \frac{\beta_{BUFFER}}{2} (V_{DD} - V_{out_RFC} - |V_{THP}|)^2 \quad (3.12)$$

La PFL peut ainsi accommoder une augmentation du courant I_{Load} car elle offre une grande plage de variation de V_{out_RFC} correspondant au fonctionnement de tous les transistors du montage en zone de saturation.

CAPSULE 3.1

Avec la section 3.1 s'achèvent les analyses DC grâce auxquelles les conditions de fonctionnement linéaire de l'ampli-op ont été identifiées, laissant apparaître des dispositions favorables pour l'arrimer à la problématique très bas courant et bas voltage.

3.2 Diminution du courant de polarisation et augmentation du courant de sortie

Dans cette section, nous allons expliquer les principes et les techniques qui ont permis d'augmenter l'intensité du courant délivré par le régulateur (section 3.2.1) et d'abaisser son courant de polarisation (section 3.2.2), afin qu'il réponde à la problématique de recherche.

3.2.1 Augmentation du courant de sortie : étude du buffer

Afin que le régulateur puisse fournir des courants de l'ordre de 20 mA à la charge, il est nécessaire d'ajouter un transistor buffer à la suite de l'étage de gain (Figure 3.1). Dans ce paragraphe, les analyses présentées vont justifier le type de transistor choisi pour réaliser le

buffer (section 3.2.1.1), ainsi que l'influence de ses dimensions sur le régulateur (section 3.2.1.2). Ces deux aspects sont illustrés à la Figure 3.11 qui situe le problème : PMOS ou NMOS pour le type de transistor, et la valeur du facteur multiplicatif a . En effet, le logiciel de simulation propose, par défaut, des transistors de dimensions $(W/L)_0=500\text{nm}/180\text{nm}$. En considérant que le buffer est un gros transistor de taille $a \times 500\text{nm}/180\text{nm}$, la question revient à trouver la valeur de a .

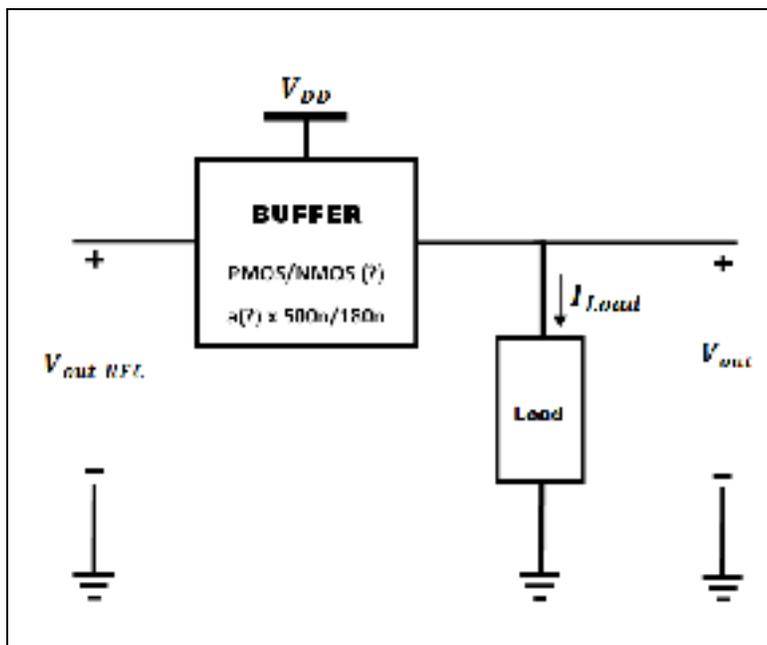


Figure 3.11 Schéma bloc du buffer

3.2.1.1 Type de MOSFET utilisé comme buffer

La tension V_{out_RFC} est connectée à la grille du buffer. En rétroaction, elle s'ajuste pour que la tension grille-source du buffer lui permette de fournir le courant I_{Load} demandé par la charge. Cela s'applique à un transistor de type NMOS ou à un transistor de type PMOS. Pour déterminer lequel de ces transistors est le meilleur candidat, il faut faire une analyse basée sur le cas critique à $I_{Load}=20\text{ mA}$, avec $V_{out}=1.4\text{V}$. Dans le cas d'un transistor de type NMOS, la source étant connectée à la sortie, il faut que la tension V_{out_RFC} soit suffisamment grande pour que le buffer débite des courants tels que 20 mA (Figure 3.12).

Or, la tension V_{out_RFC} ne peut prendre que les valeurs délimitées par l'équation (3.4) pour conserver le fonctionnement linéaire du montage. En particulier, selon la Figure 3.12 et étant donné $V_{DD}=1.8V$ et $V_S=1.4V$, la tension maximale grille-source du buffer NMOS est donnée par l'équation (3.13) :

$$(V_{GSB_NMOS})_{max} = 0.4V - |V_{OV10}| - |V_{OV8}| \quad (3.13)$$

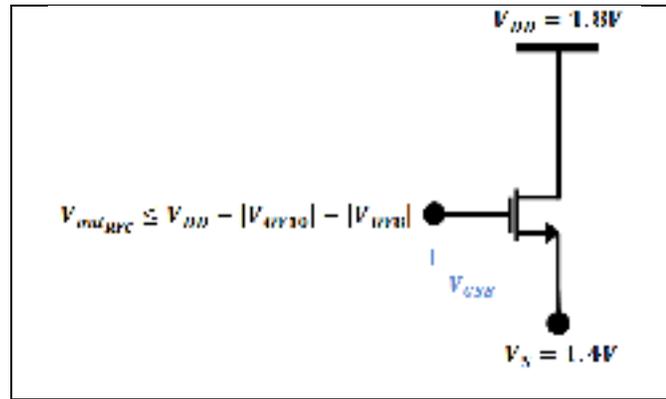


Figure 3.12 Cas d'un transistor NMOS comme buffer

$(V_{GSB_NMOS})_{max}$ est très faible. Cela montre que le transistor NMOS dans ce montage serait incapable de fournir un courant de l'ordre de 20 mA, à moins d'une dimension $(W/L)_B$ démesurément grande⁸, ce qui impliquerait des problèmes d'ordre pratique relatifs à la surface de la puce, aux capacités intrinsèques élevées ou la sensibilité aux variations des paramètres du procédé de semi-conducteur, etc.

À l'inverse, dans le cas d'un transistor de type PMOS (Figure 3.13), la source étant connectée au potentiel le plus haut du circuit, il faut que la tension V_{out_RFC} soit suffisamment basse pour que le buffer débite de tels courants. Or la tension de grille V_{out_RFC} ne peut prendre que les valeurs délimitées par l'équation (3.4) pour conserver le fonctionnement linéaire du montage, ce qui ne cause donc pas de problème au niveau de la valeur basse nécessaire pour V_{out_RFC} . Une autre considération avantageuse est que la tension maximale grille-source du buffer PMOS est donnée par l'équation (3.14) :

⁸ Voir section 3.2.1.2

$$|V_{GSB_PMOS}|_{max} = 1.8V - V_{OV4a} - V_{OV6} \quad (3.14)$$

$|V_{GSB_PMOS}|_{max}$ est donc suffisamment élevé pour que le buffer débite les courants escomptés vers la charge, sans qu'il soit surdimensionné. Par ailleurs, l'analyse du circuit en rétroaction montre qu'une baisse de V_{out_RFC} est cohérente avec une augmentation du courant I_{Load} (section 3.4.1).

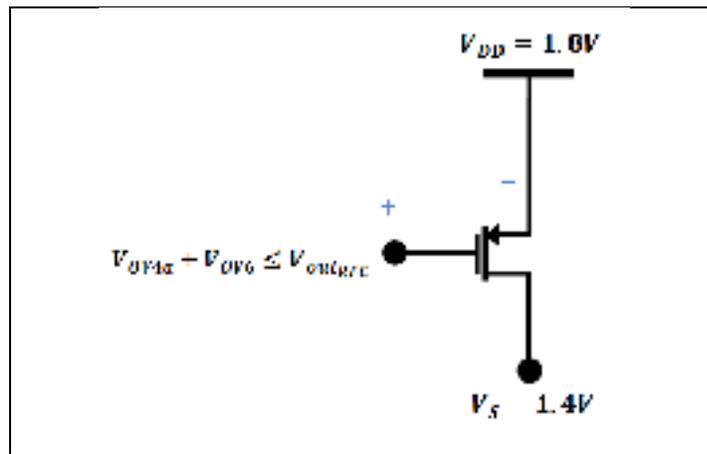


Figure 3.13 Avantages du PMOS comme buffer

En conclusion, le transistor PMOS se trouve être le meilleur buffer dans notre régulateur, au vu de son aptitude à débiter les courants de charge souhaités, avec des dimensions raisonnables, tout en agissant en accord avec les tendances de variation des différents points de tension lors de la régulation.

3.2.1.2 Compromis sur la taille du buffer

Pour étudier l'influence du buffer sur le régulateur, examinons l'aspect DC à travers la définition du courant de drain, l'aspect dynamique avec la réponse en fréquence et l'aspect du layout.

Concernant l'aspect DC :

Selon les équations (1.10) à (1.14), lorsque le buffer fonctionne dans la zone de saturation, l'intensité de son courant de drain est donnée par l'équation (3.15) :

$$I_{Load} = \frac{\beta_B}{2} (V_{DD} - V_{out_RFC} - |V_{THP}|)^2 \quad (3.15)$$

Pour une intensité de courant I_{Load} donnée, la variation de V_{out_RFC} dépend de la grandeur de β_B , donc de la dimension $(W/L)_B$. Selon (3.15) plus la dimension $(W/L)_B$ est grande, moins l'écart entre V_{DD} et V_{out_RFC} en fonction de I_{Load} sera grand, et vice-versa. Si le buffer fonctionne plutôt dans la zone triode, l'intensité de son courant est donnée en appliquant l'équation (1.7) au cas du buffer. Nous obtenons ainsi l'équation (3.16) :

$$I_{Load} = \beta_B |V_{DSB}| \left[V_{DD} - V_{out_RFC} - |V_{THP}| - \frac{|V_{DSB}|}{2} \right] \quad (3.16)$$

Même si l'équation (3.16) tient compte de $|V_{dsB}|$, le même raisonnement que celui d'un buffer polarisé dans sa zone de saturation est applicable, puisque $|V_{dsB}|$ est supposé pratiquement constant autour de 0.4V lorsque l'ampli-op fonctionne en rétroaction. L'écart entre V_{DD} et V_{out_RFC} est ainsi d'autant plus faible que la dimension $(W/L)_B$ est grande, tout comme dans le cas d'une polarisation du buffer dans la zone de saturation. On peut conclure qu'un buffer de taille suffisamment grande est capable de débiter les courants souhaités, tout en minimisant l'erreur statique à l'entrée de l'amplificateur opérationnel (voir aussi section 3.4.4.3).

Concernant l'aspect dynamique et la fabrication :

La Figure 1.14 montre les capacités parasites associées à un transistor MOS aux hautes fréquences. Avec un buffer de grandes dimensions, les capacités de jonctions augmentent (C_{GS} principalement), ce qui accentue l'effet parasite en hautes fréquences. Par ailleurs, un tel buffer occupe beaucoup d'espace sur la puce.

En conclusion, un compromis s'impose. La tension V_{out_RFC} doit être suffisamment faible pour que le buffer débite aisément des courants de l'ordre de 20 mA, avec des dimensions réduites permettant de préserver la surface de la puce, de limiter les parasites hautes

fréquences, et de minimiser l'erreur statique. Elle doit en même temps être suffisamment grande pour fournir une bonne dynamique de feed-back et préserver le gain en boucle ouverte.

3.2.2 Diminution du courant de polarisation

En diminuant la consommation de courant du circuit de polarisation, l'énergie consommée de l'alimentation est réduite. Cela se traduit par l'augmentation de l'efficacité énergétique du module amplificateur, en particulier aux basses puissances RF transmises, où le courant total consommé par le module amplificateur est déjà faible. Mais, dans une configuration de rétroaction, une diminution drastique du courant de polarisation peut détériorer les performances du régulateur de tension et par conséquent, celles de l'amplificateur RF. Le défi consiste donc à abaisser le courant de polarisation sans pénaliser les performances dynamiques. La section 3.2.2.1 développe d'avantage cette problématique, en faisant le lien avec le montage proposé dans ce mémoire. La section 3.2.2.2 parle des méthodes identifiées pour réaliser cette opération, et la section 3.2.2.3 parle des effets du rétrécissement des transistors. La section 3.2.2.4 présente la solution finalement adoptée.

3.2.2.1 Régulateur et baisse du courant de polarisation

Du point de vue DC, la baisse du courant de polarisation modifie les tensions du montage Recycled Folded-Cascode. En particulier, la baisse du courant dans le transistor M9 provoque une augmentation du potentiel V_{g9} , suivie par le potentiel V_{out_RFC} de par la symétrie du montage. Ce changement a un impact direct sur la régulation car V_{out_RFC} influence la plage dynamique de feed-back à travers la polarisation du buffer. La baisse du courant de polarisation augmente ainsi la plage dynamique de feed-back.

Du point de vue AC, la baisse du courant de polarisation abaisse la transconductance des transistors d'entrée (M1a-M1b-M2a-M2b), et donc celle de l'étage de gain (voir section 2.3.3.3). Il y aura moins de gain dans l'étage Recycled Folded-Cascode, ce qui peut être un

désavantage car la configuration de rétroaction nécessite du gain. En régime de repos (courant minimal dans la charge), la contribution du buffer dans le processus d'amplification est minimale. Il faut donc s'assurer que la diminution du gain de l'étage Recycled Folded-Cascode permette quand même de maintenir le minimum de gain requis pour une bonne régulation au repos (typiquement 60 dB d'après la section 1.3.4.2). Lorsque le courant dans la charge augmente, la transconductance du buffer augmente et fait croître celle du régulateur. Le gain maximal (associé à la transconductance maximale) correspond à une intensité de 20 mA. Dans cette condition, il faut contrôler la marge de phase et s'assurer que la stabilité du régulateur n'est pas compromise par l'augmentation du gain.

La diminution du courant de polarisation influence par ailleurs des grandeurs dynamiques (section 2.3.3.3). Pour que cette diminution de courant soit bénéfique, il faut prendre les précautions suivantes :

- viser une valeur de V_{out_RFC} aidant à minimiser la taille du buffer, tout en offrant une bonne plage dynamique à la régulation ;
- s'assurer que le montage présente un gain suffisant aux faibles courants de charge pour assurer la régulation ;
- garantir la stabilité du feed-back sur toute la plage des courants de charge étudiés, y compris pour 20 mA.

3.2.2.2 Les méthodes de diminution du courant de polarisation

Plusieurs méthodes peuvent être envisagées pour baisser le courant de polarisation. Tout d'abord, nous pouvons penser à une diminution indirecte en réduisant le paramètre K . L'intensité du courant va baisser dans le miroir PMOS, ce qui aura pour effet de réduire la consommation globale de l'étage. Mais le paramètre K joue aussi un rôle essentiel dans l'amélioration des performances AC de l'ampli-op telles que la transconductance, la réponse en fréquence ou le slew-rate (Assaad et Silva-Martinez, 2009). Cette méthode n'est donc pas indiquée. De plus, en changeant le paramètre K , le courant $2I_b$ fourni par M0 qui a une part importante dans le budget de courant du circuit, ne change pas.

La deuxième méthode proposée consiste justement à abaisser le courant de polarisation par une diminution directe de I_b . Elle peut se faire soit en changeant la polarisation du transistor M0 (augmentation de V_{bp1}), soit en le redimensionnant (diminution du rapport W/L). Avec cette méthode, le budget de courant diminue de façon plus notable car elle entraîne une diminution du courant dans les transistors d'entrée, et une diminution encore plus importante dans la source de courant PMOS avec l'action du paramètre K. Les tensions vont changer dans le montage. En particulier, V_{out_RFC} va augmenter. L'effet de modulation du canal s'accroît sur les transistors M6 et M4a, et cause une légère hausse du courant dans la source de courant PMOS (section 3.1.3.4).

3.2.2.3 Effet d'un rétrécissement des transistors

Le rétrécissement des transistors peut être envisagé, à condition qu'il n'altère pas les avantages acquis avec la diminution du courant de polarisation. Son intérêt est de réduire la surface de la puce électronique et l'effet des capacités de jonctions à hautes fréquences. En diminuant le rapport W/L des transistors, les tensions du circuit seront modifiées, cependant dans un sens contraire à celui de la deuxième méthode présentée à la section 3.2.2.2. En effet, si un transistor est rétréci sans modification du courant de drain, sa tension $|V_{GS}|$ augmente d'après l'équation (1.17). Pour les transistors NMOS référencés aux bas potentiels, la tension de grille augmente tandis que pour les potentiels PMOS référencés aux plus hauts potentiels, la tension de grille baisse. En particulier la baisse de la tension V_{G9} sera suivie de celle de V_{out_RFC} de par la symétrie du montage.

L'abaissement du courant de polarisation impose un compromis entre le redimensionnement des transistors et le redimensionnement de M0. Leurs effets sur la plage dynamique de sortie de l'étage de gain sont antagonistes, mais les avantages du point vue AC et de l'intégration sur puce sont intéressants. Elle est limitée par la technologie qui fixe une densité maximale de courant par surface de transistor.

3.2.2.4 Solution adoptée

Compte tenu des avantages et des limites observées pour chacune de ces méthodes, il convient de trouver une solution opérant un bon compromis pour arriver à réduire le budget de courant sans sacrifier les performances dynamiques. L'option d'abaisser le courant I_b a un impact évident quant à la consommation du courant. Nous l'adoptons dans un premier temps. Nous la réalisons en divisant le transistor M0 de sa dimension $(W/L)_0$ à une dimension $scale1 \times (W/L)_0$ où $scale1 \leq 1$. Dans un deuxième temps, les autres transistors du régulateur sont divisés à leur tour, cette fois-ci d'un facteur $scale2$ (rétrécissement). En compensant la diminution de V_{out_RFC} due à la baisse du courant I_b avec son augmentation due au redimensionnement des transistors, le circuit conserve sa plage dynamique de feedback, tout en observant une baisse drastique du courant et une réduction substantielle de la surface de la puce. L'implémentation de cette solution sera complétée par simulation à la section 4.2.2.

CAPSULE 3.2

Les techniques proposées dans cette section pour arrimer l'ampli-op à la problématique de très faible courant et bas voltage lui permettent de conserver des atouts AC qui l'aideront à performer dans une boucle de rétroaction, tout en contribuant à la miniaturisation.

3.3 Étude AC de l'amplificateur opérationnel

Dans cette section seront calculés quelques paramètres permettant d'évaluer les performances AC de l'ampli-op en boucle ouverte, et d'estimer l'efficacité de la régulation. Pour l'ampli-op, ces analyses concernent : la résistance d'entrée (section 3.3.1), la résistance de sortie (section 3.3.3), le gain DC (section 3.3.5). Les autres sections présentent le calcul des paramètres AC de l'étage Recycled Folded-Cascode seul : la résistance de sortie (section 3.3.2) et la transconductance (section 3.3.4) qui peuvent s'avérer utiles pour des analyses et des tests. Dans ces analyses, nous considérerons uniquement les basses fréquences, c'est-à-dire les composantes fréquentielles contenues dans les variations du courant tiré par la

charge, correspondant à l'information en bande de base du signal modulé (par exemple ~ 5 MHz pour le W-CDMA).

3.3.1 Résistance d'entrée de l'amplificateur opérationnel

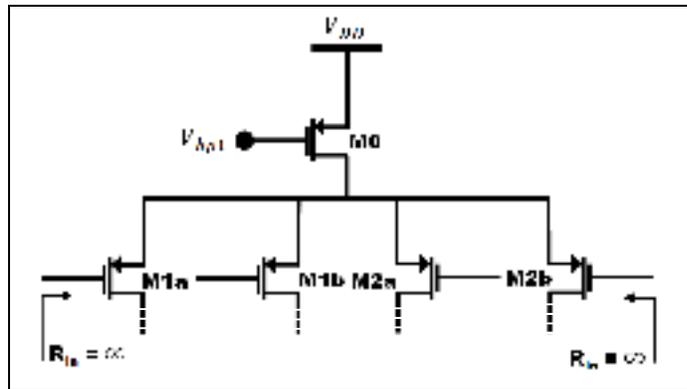


Figure 3.14 Résistance d'entrée de l'étage de gain

La résistance d'entrée de l'ampli-op dépend des transistors M1a, M1b, M2a et M2b. En référence à la section 1.1.2.2, ils présentent une impédance infinie aux basses fréquences (Figure 3.14) :

$$R_{in} \cong \infty \quad (3.17)$$

3.3.2 Résistance de sortie de l'étage de gain

La résistance de sortie de l'étage de gain est la mise en parallèle de la résistance R_{OP} correspondant à la cascade des transistors M8 et M10 de type PMOS, et la résistance R_{ON} correspondant à la cascade des transistors M4a et M6 de type NMOS (Figure 3.15). Tenant compte des résistances de la Figure 1.12(b), la valeur de R_{out_RFC} est donnée à (3.18) :

$$\left. \begin{array}{l} R_{OP} \cong g_{m8} r_{ds8} r_{ds10} \\ R_{ON} \cong g_{m6} r_{ds6} (r_{ds4a} \parallel r_{ds2a}) \\ R_{out_RFC} = R_{ON} \parallel R_{OP} \end{array} \right\} \Rightarrow R_{out_RFC} \cong [g_{m8} r_{ds8} r_{ds10}] \parallel [g_{m6} r_{ds6} (r_{ds4a} \parallel r_{ds2a})]$$

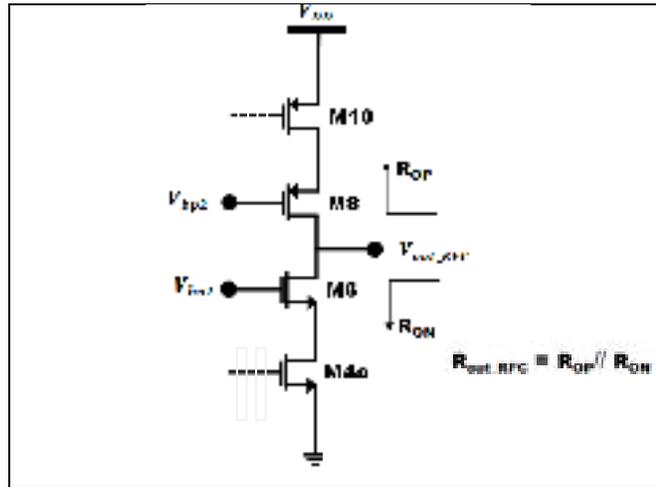


Figure 3.15 Résistance de sortie de l'étage de gain

$$R_{out_RFC} \cong [g_{m8}r_{ds8}r_{ds10}] || [g_{m6}r_{ds6}(r_{ds4a} || r_{ds2a})] \tag{3.18}$$

3.3.3 Résistance de sortie de l'amplificateur opérationnel

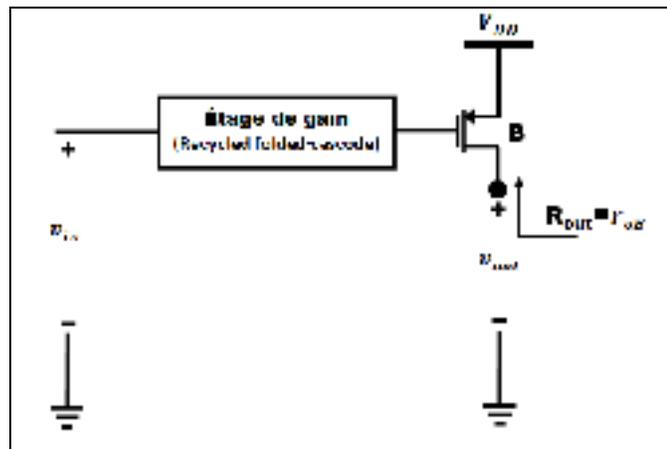


Figure 3.16 Calcul de la résistance de sortie de l'amplificateur opérationnel

La résistance de sortie de l'ampli-op est la résistance vue au drain du buffer B, en raison de l'isolation apportée par sa grille vis-à-vis de l'étage de gain aux basses fréquences (Figure 3.16) :

$$R_{out} = r_{oB} \tag{3.19}$$

3.3.4 Transconductance de l'étage de gain

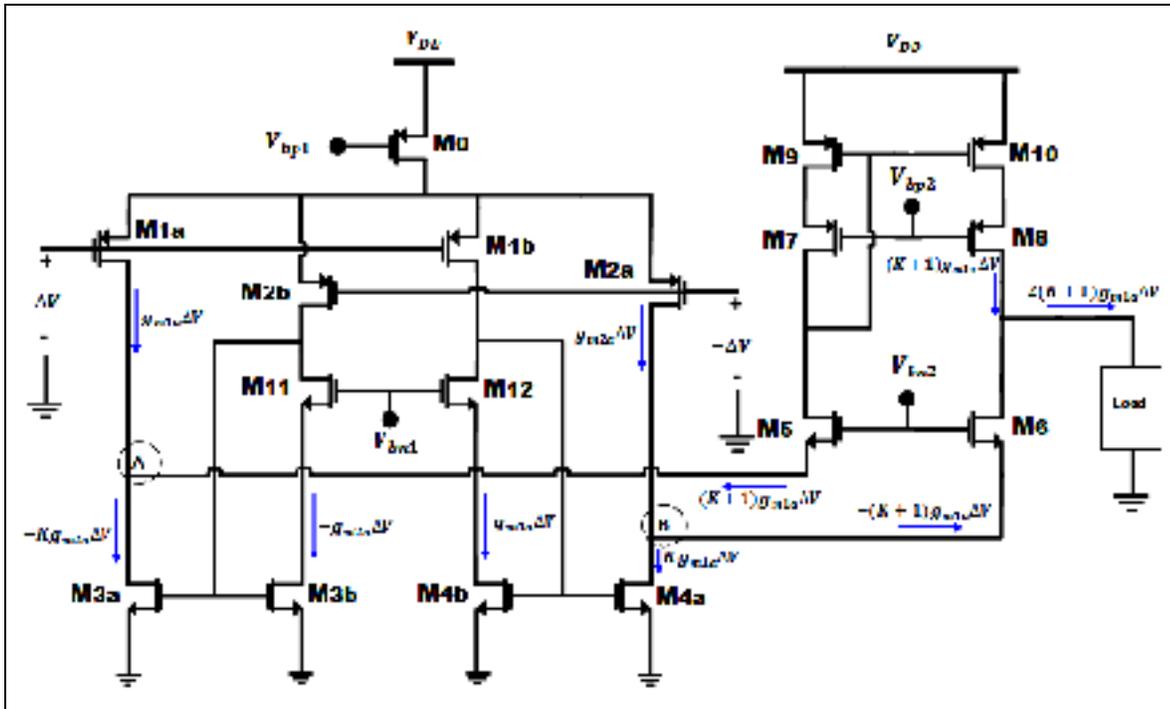


Figure 3.17 Transconductance de l'étage de gain

La transconductance de l'étage de gain a été évaluée par le rapport d'une variation de courant ΔI à la sortie résultant d'une variation $\Delta V_{in} = 2\Delta V$ en entrée, répartie en $+\Delta V$ à l'entrée V_{inp} et $-\Delta V$ à l'entrée V_{inn} (Figure 3.17). La variation ΔV à l'entrée V_{inp} crée une variation de courant $-g_{m2a}\Delta V$ dans les transistors M2a et M2b. Avec l'effet miroir M3b/M3a, une variation courant $-Kg_{m2a}\Delta V$ circule dans le transistor M3a. De même, la variation $-\Delta V$ à l'entrée V_{inn} crée une variation de courant $g_{m1a}\Delta V$ dans les transistors M1a et M1b, ainsi qu'une variation de courant $Kg_{m1a}\Delta V$ par effet miroir dans le transistor M4a. L'application de la loi des nœuds de Kirchoff à ces variations de courant (incrément de courant) montre qu'une variation $-(K+1)g_{m1a}\Delta V$ est délivrée par le miroir de courant PMOS vers le nœud A. Ce courant est dupliqué à la sortie. Par ailleurs, une variation $-(K+1)g_{m1a}\Delta V$ va du nœud B vers la sortie. La variation du courant de sortie est ainsi de $\Delta I = -2(K+1)g_{m1a}\Delta V$ pour une perturbation de $(\Delta V) - (-\Delta V) = 2\Delta V$ en entrée. Nous retrouvons ainsi la

transconductance du circuit RFC donnée dans (Assaad et Silva-Martinez, 2009) à l'équation (3.20) suivante :

$$g_{m_RFC} = \Delta I / \Delta V_{in} = -(K + 1)g_{m1a} \quad (3.20)$$

3.3.5 Gain DC

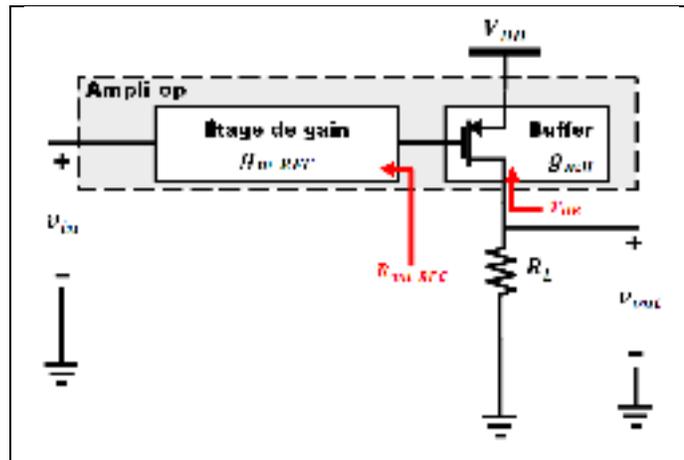


Figure 3.18 Gain de l'amplificateur opérationnel

Étant donné que l'amplificateur opérationnel est constitué du Recycled Folded Cascode suivi du buffer à très haute impédance d'entrée, son gain DC est le produit des gains associés aux deux étages. En considérant leurs transconductances et les résistances de sortie respectives, les gains en tensions sont donnés aux égalités (3.21) et (3.22), respectivement pour l'étage de gain et le buffer (Figure 3.18) :

$$A_{V_RFC} = -g_{m_RFC} R_{out_RFC} \quad (3.21)$$

$$A_{V_B} = -g_{mB} (r_{oB} // R_L) \quad (3.22)$$

Ainsi, le gain DC de l'amplificateur opérationnel est donné par (3.23) :

$$A_{V_DC} = g_{m_RFC} R_{out_RFC} \times g_{mB} (r_{oB} // R_L) \quad (3.23)$$

3.4 Étude de la rétroaction

Dans cette partie consacrée au bloc de rétroaction, il s'agit de présenter tout d'abord l'ensemble des blocs qui, en plus de l'amplificateur opérationnel, participent à la régulation : la référence de tension (section 3.4.1), la charge équivalente (section 3.4.2) et le module de rétroaction négative (section 3.4.3). Il s'agit ensuite d'analyser la nature et les performances du feed-back (section 3.4.4). Cette section permet d'examiner les caractéristiques avantageuses de l'ampli-op utilisé dans une boucle de rétroaction, et de compléter les analyses théoriques pour le banc de simulation du régulateur en présence de signaux RF.

3.4.1 La référence de tension

Pour maintenir la tension de sortie au potentiel désiré, le régulateur de tension a besoin d'une tension de référence en entrée, qui est V_{REF} (voir Figure 3.1). Une bonne tension de référence est un potentiel fixe, hautement désensibilisé des variations de la tension d'alimentation, de la température ou de celles du procédé (Baker, 2010, p. 744). Plusieurs circuits de référence de tension sont proposés dans la littérature. (Baker, 2010, p. 746 ; 749) présente trois circuits que nous considérerons dans le cadre de ce mémoire. Les sections de ce paragraphe présentent les circuits électriques et la sensibilité de ces références.

3.4.1.1 Référence 1 : Le pont diviseur CMOS

Le premier circuit de référence est présenté à la Figure 3.19. Il est assimilable à un diviseur de tension à résistances puisque chaque transistor présente une résistance $1/g_m$ lorsqu'il est connecté en diode. Les transistors MOS sont préférés aux résistances pour minimiser la surface de la puce et les pertes, ainsi que pour leur meilleure stabilité en température. Le courant I_{REF} est donné à l'équation (3.24) en appliquant les équations (1.14) et (1.17) :

$$I_{REF} = \frac{\beta_N}{2} (V_{REF} - V_{THN})^2 = \frac{\beta_P}{2} (V_{DD} - V_{REF} - |V_{THP}|)^2 \quad (3.24)$$

L'équation (3.25) donne l'expression de la tension V_{REF1} tirée de l'équation (3.24):

$$V_{REF1} = \frac{V_{DD} - |V_{THP}| + \sqrt{\frac{\beta_N}{\beta_P}} V_{THN}}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \quad (3.25)$$

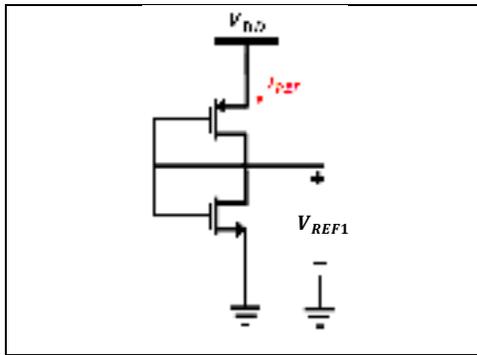


Figure 3.19 Référence de tension 1
Tiré de Baker (2010, p. 746)

Le coefficient de variation en température de la référence 1 (TCV_{REF1}) est donné à l'équation (3.26) (Baker, 2010, p. 749) :

$$TCV_{REF1} = \frac{1}{V_{REF1}} \frac{\partial V_{REF1}}{\partial T} = \frac{1}{V_{REF1}} \frac{1}{1 + \sqrt{\frac{\beta_N}{\beta_P}}} \left(-\frac{\partial V_{THP}}{\partial T} + \sqrt{\frac{\beta_N}{\beta_P}} \frac{\partial V_{THN}}{\partial T} \right) \quad (3.26)$$

Le rapport β_N/β_P joue ainsi un rôle important non seulement pour fixer la tension de référence, mais aussi vis-à-vis de sa sensibilité par rapport aux variations de la température. En effet, pour avoir $TCV_{REF1} = 0$, il faut respecter la condition (3.27) :

$$-\frac{\partial V_{THP}}{\partial T} + \sqrt{\frac{\beta_N}{\beta_P}} \frac{\partial V_{THN}}{\partial T} = 0 \quad (3.27)$$

3.4.1.2 Référence 2 : MOS-Résistance

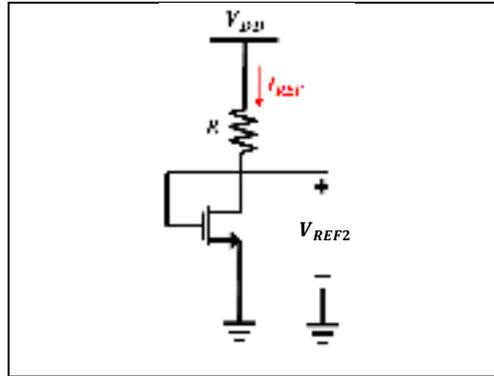


Figure 3.20 Référence de tension 2
Tiré de Baker (2010, p. 746)

Le deuxième circuit de référence est présenté à la Figure 3.20. L'intensité du courant est fixée par la résistance R , et la référence est la tension grille-source du transistor M correspondante, donnée à l'équation (3.28) :

$$V_{REF2} = V_{THN} + \sqrt{\frac{2(V_{DD} - V_{REF2})}{R \times \beta_2}} \quad (3.28)$$

3.4.1.3 Référence 3 : MOS-Résistance à diviseur de tension

La troisième référence est présentée à la Figure 3.21. Elle est semblable à la référence 2, mais compte en plus un pont diviseur de tension à la grille, qui établit une proportionnalité entre la valeur de la référence et la tension V_{GS3} , donnée à l'équation (3.29). Cette égalité démontre que cette référence est insensible aux variations de la tension d'alimentation :

$$V_{REF3} = V_{GS3} \left(1 + \frac{R_2}{R_1} \right) \quad (3.29)$$

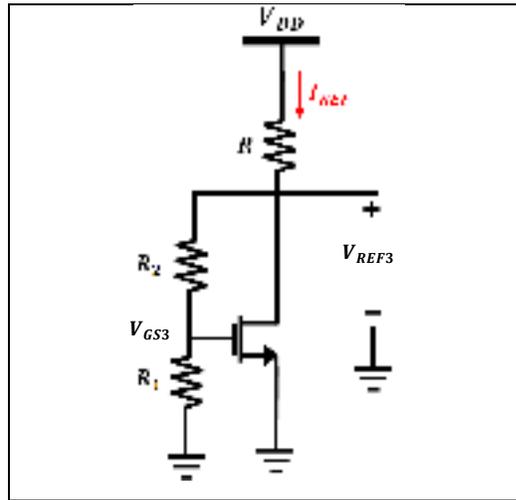


Figure 3.21 Référence de tension 3
Tiré de Baker (2010, p. 749)

Le choix final du circuit de référence sera effectué à la section 5.1.1 suite à des simulations testant leur sensibilité, et tenant compte des contraintes de la fabrication.

3.4.2 La charge équivalente émulant le transistor RF de type GaAs HBT

Pour assurer la validité des résultats par rapport à la problématique de recherche, il est important de concevoir le circuit d'une charge émulant le comportement réel d'un amplificateur de type GaAs HBT en présence de signal RF. Dans cette section, nous présentons le comportement théorique attendu d'un tel bloc (section 3.4.2.1), la courbe prévisionnelle associée (section 3.4.2.2) et le schéma électrique qui a été conçu pour l'émuler (section 3.4.2.3).

3.4.2.1 Comportement de la charge

Rappelons d'abord que la fonction du transistor GaAs HBT est d'amplifier un signal RF appliqué à la base du transistor. Le courant RF qui circule à travers la base sera de plus forte amplitude durant l'alternance positive du signal RF, qui tend à polariser davantage la

jonction base-émetteur en direct, comparativement à l'alternance négative qui tend à réduire sa polarisation. Cette variation asymétrique du courant de base engendre un processus de rectification du signal RF à la base, résultant en deux composantes de courant : (i) un courant RF entrant dans la base et qui doit être délivré par le circuit RF précédent le transistor GaAs HBT, et (ii) un courant moyen entrant dans la base et qui doit être fourni par le régulateur de tension DC alimentant la base. Ainsi, avec la rectification apportée par le transistor GaAs HBT, le courant total entrant dans la base du transistor présente des pointes de courant, comme le montre la Figure 3.22 (Cripps, 2006).

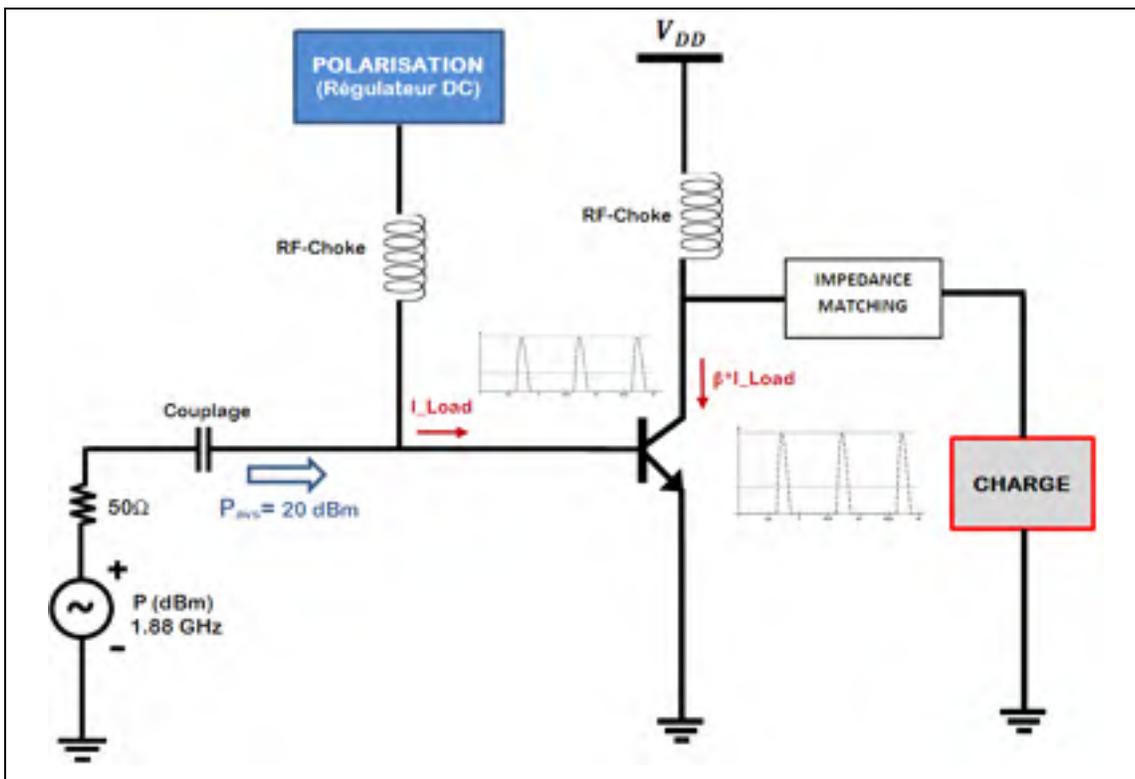


Figure 3.22 Forme temporelle du courant entrant dans la base du transistor GaAs HBT

3.4.2.2 Courbe prévisionnelle

L'amplitude du courant RF $i_{Load}(t)$ circulant dans la base est fonction de la puissance du signal RF amplifié par le transistor et délivré à la charge au collecteur, et dépend aussi du gain en courant du transistor, qui est en général de l'ordre de 120 pour les transistors GaAs

HBT intégrés sur puce. Notons que l'intensité du courant efficace (courant r.m.s.) au collecteur est typiquement de l'ordre de 1 A à 1.5 A dans les amplificateurs MMIC utilisés en téléphonie cellulaire. La valeur moyenne I_{Load} (composante DC) du courant à la base est la composante qui doit être fournie par le régulateur. Pour plus de fiabilité dans la validité du modèle équivalent, il faut faire une corrélation réaliste entre la puissance RF fournie par la source et le besoin en courant de la charge I_{Load} correspondant (Figure 3.23).

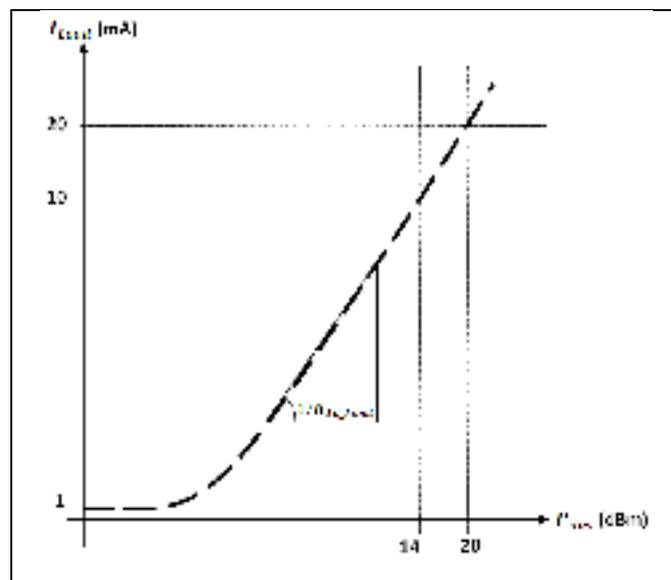


Figure 3.23 Variation du courant moyen dans la charge en fonction de la puissance RF disponible

En l'absence de signal RF, I_{Load} est assez faible, de l'ordre de 1 mA. À mesure que l'amplitude du signal RF augmente, la puissance RF et I_{Load} augmentent. Tenant compte des valeurs relevées sur les feuilles de spécification d'une quinzaine d'amplificateurs RFIC GaAs HBT disponibles sur le marché, la puissance maximale RF typiquement est de l'ordre de 15 dBm (<http://www.datasheetcatalog.com/>, 2011). Nous avons voulu étendre ce critère à 20 dBm, correspondant par ailleurs à la puissance maximale typique pour des transmissions en WCDMA. Cette puissance correspondra à un courant I_{Load} qui est typiquement de l'ordre de 20 mA. Le régulateur devra être capable de fournir ce courant pour le transistor RF puisse délivrer la puissance désirée au collecteur.

3.4.2.3 Circuit électrique émulant la charge

La Figure 3.24 présente un réseau de diodes et de résistances construit pour émuler la charge, c'est-à-dire le comportement électrique vu de la base du transistor RF GaAs HBT. Nous considérons une tension DC contenue dans le signal V_{out} et qui est tout juste suffisante pour polariser légèrement une diode en direct. En l'absence de puissance RF, la branche de R_1 est passante, mais il n'y a pratiquement pas de courant dans la branche de R_2 tant que $V_{out} \leq 3V_o$, où V_o est la tension de seuil d'une diode. La valeur du courant DC au repos I_1 est dépend ainsi de V_o , mais aussi la résistance R_1 permet de la fixer à $I_1 = 1$ mA. Lorsque les deux branches sont passantes, la résistance dynamique totale de la charge R_{AC_Load} est donnée par l'équation (3.30) où r_{d_Diode} est la résistance dynamique d'une diode.

$$R_{AC_Load} = (R_1 + r_{d_Diode}) // (R_2 + 3r_{d_Diode}) \quad (3.30)$$

R_{AC_Load} (Figure 3.23) détermine la croissance exponentielle de I_{Load} en fonction de la puissance RF incidente. Cet aspect et bien d'autres relatifs à la charge comme la détermination de R_1 et R_2 sont abordées à la section 5.1.5.

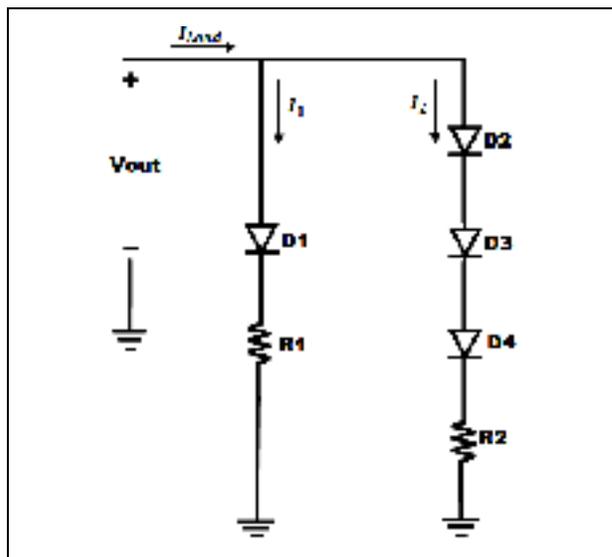


Figure 3.24 Circuit électrique émulant la charge

3.4.3 Présentation du bloc de rétroaction

Le bloc de rétroaction a été donné à la Figure 1.27. Il est repris à la Figure 3.25. Le bloc est composé de deux résistances R_f et R_{in} montées en pont diviseur, qui ramène une fraction de la tension de sortie à l'entrée V_{inn} de l'amplificateur opérationnel (Figure 3.2). Les transistors M1a, M1b, M2a et M2b jouent le rôle de comparateur. Le gain du bloc de rétroaction est donné à l'équation (3.31) :

$$\psi = \frac{V_{inn}}{V_{out}} = \frac{R_{in}}{R_f + R_{in}} \quad (3.31)$$

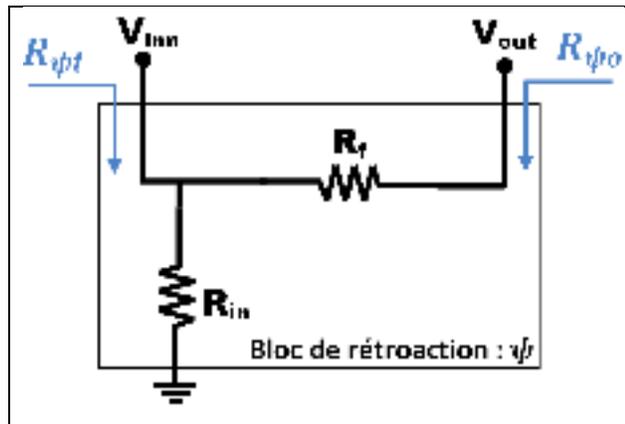


Figure 3.25 Bloc de rétroaction négative

3.4.3.1 Ordre de grandeur des résistances

Dans notre montage, I_{Load} varie entre 1 et 20 mA. Pour négliger au maximum l'effet du bloc de rétroaction sur le courant dans la charge, il faut que ce bloc détourne un courant I_β très faible comparativement au courant minimal dans la charge I_{Load_min} :

$$I_\beta = \frac{V_{out}}{R_f + R_{in}} \quad (3.32)$$

Supposons que I_β doive être au moins 20 fois plus petit que I_{Load_min} . Sachant que $V_{out}=1.4V$ et $I_{Load_min}= 1 \text{ mA}$ (section 3.4.2.3) :

$$I_\beta \leq 0.05 \times I_{Load_min} \Rightarrow \frac{1.4}{R_f + R_{in}} \leq 5 \times 10^{-5} \Rightarrow R_f + R_{in} \geq 28 \text{ k}\Omega$$

La valeur minimale de $(R_f + R_{in})$ dans un premier temps est donc :

$$\left[(R_f + R_{in})_{min} \right]_0 = 28 \text{ k}\Omega \quad (3.33)$$

La valeur de $(R_f + R_{in})_{min}$ doit aussi être suffisamment grande pour empêcher toute perturbation parasite de puissance ou de courant d'affecter l'architecture depuis la sortie du montage. C'est par exemple le cas de la puissance provenant de la source RF. Cette considération nous amène à décupler la valeur de $\left[(R_f + R_{in})_{min} \right]_0$ pour avoir finalement la valeur de $(R_f + R_{in})_{min}$ donnée à la condition (3.34) :

$$\boxed{(R_f + R_{in})_{min} = 280 \text{ k}\Omega} \quad (3.34)$$

La valeur de V_{REF} recherchée apportera la deuxième condition relative à la détermination de R_f et R_{in} :

$$\frac{1.4}{V_{REF}} = 1 + \frac{R_f}{R_{in}} \quad (3.35)$$

3.4.3.2 Effets de charge sur l'amplificateur opérationnel

L'effet de charge du bloc de rétroaction R_{ψ_i} (Figure 3.25) est négligeable à l'entrée en raison de l'isolation entre la grille et la source des transistors M1a, M1b, M2a et M2b, qui constitue une résistance infinie. À la sortie, l'effet de charge se résume à la mise en parallèle de la résistance R_{ψ_o} avec la charge.

CAPSULE 3.3

Toutes les analyses en vue de bâtir le régulateur de tension par insertion de l'ampli-op dans une boucle de rétroaction sont terminées. Les composants nécessaires sont désormais connus et ont été étudiés.

3.4.4 Nature et performances du feed-back

Dans cette section seront abordées la polarité du feed-back (section 3.4.4.1), les tendances des grandeurs électriques dans le circuit en dynamique de feed-back (section 3.4.4.2), et la plage dynamique de feed-back (section 3.4.4.3).

3.4.4.1 Polarité du feed-back

Pour examiner la polarité du feed-back, supposons par exemple une perturbation $\Delta V/\psi$ causée par un bruit électrique injecté à la sortie, qui entraîne une élévation du courant I_{Load} (Figure 3.26). Il s'en suit une augmentation ΔV de la tension V_{inn} , qui force une variation de courant $-g_{m1a}\Delta V$ (le signe négatif signifiant une réduction du courant) dans les transistors M1a et M1b, et une variation $-Kg_{m1a}\Delta V$ dans le transistors M4a. Les courants dans les transistors M1a, M1b, M2a et M2b provenant de la même source (M0), une variation de courant $-g_{m1a}\Delta V$ dans les transistors M1a et M1b se traduit par une variation $g_{m1a}\Delta V$ dans les transistors M2a et M2b, et une variation $Kg_{m1a}\Delta V$ dans le transistor M3a. L'application de la loi des nœuds indique qu'un courant $(K + 1)g_{m1a}\Delta V$ est fourni en A par le miroir PMOS. Ce courant est dupliqué à la sortie dans les transistors M10 et M8. De même,

l'application de la loi des nœuds en B indique qu'un courant $(K + 1)g_{m1a}\Delta V$ va de ce point vers la sortie. En supposant que le buffer présente une certaine impédance d'entrée, cette impédance tirerait un courant égal à $2(K + 1)g_{m1a}\Delta V$, ce qui indique que la tendance est à une augmentation du potentiel V_{out_RFC} et à une diminution de la tension $|V_{GSB}|$. Le courant I_{Load} diminue et par conséquent la tension de sortie V_{out} diminue aussi. Cette tendance vient donc contrer l'augmentation initialement supposée en ce point de tension et contribuer à la régulation de ce potentiel. Il s'agit donc bel et bien d'une rétroaction négative.

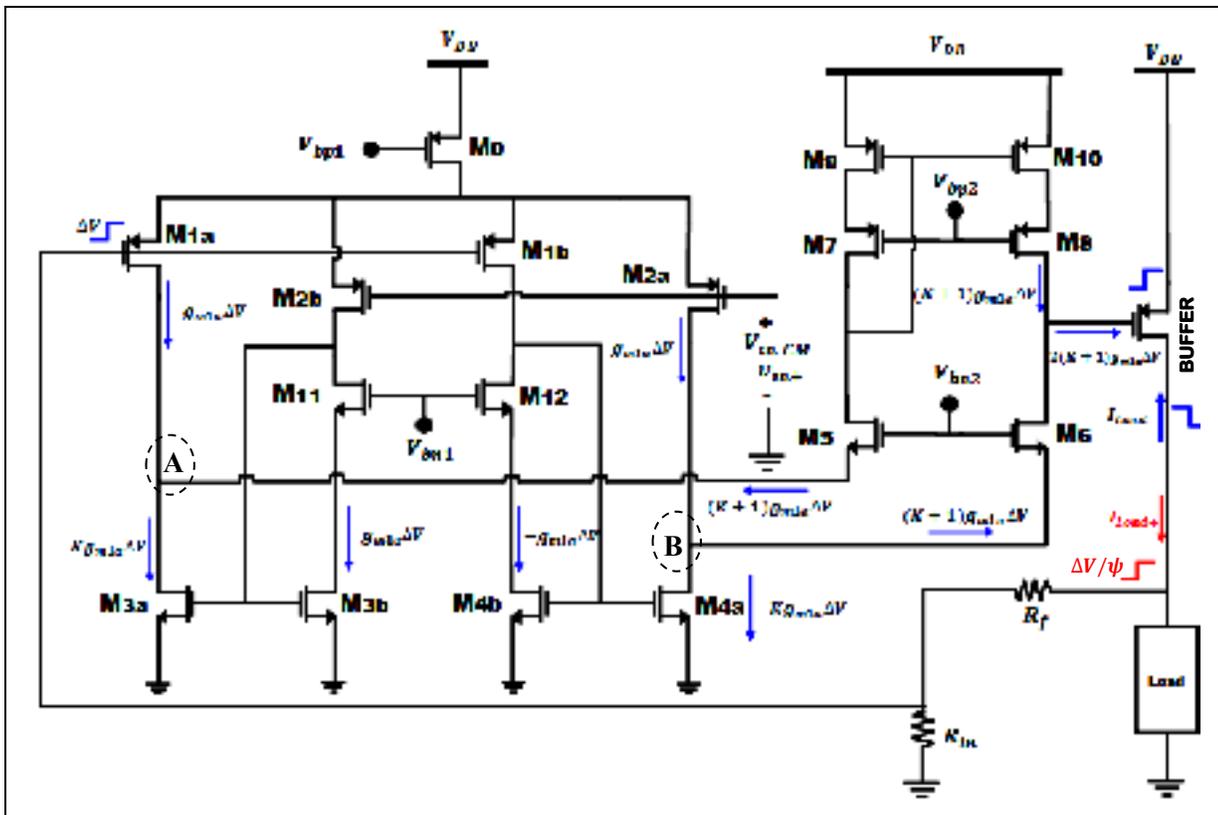


Figure 3.26 Polarité de la rétroaction

3.4.4.2 Tendances des courants et des tensions en mode feed-back

Pour prédire les tendances que suivront les tensions et les courants de l'ampli-op, il faut le soumettre à une perturbation réaliste et pertinente, et anticiper les variations qui seront apportées par le processus de régulation. À part la variation de la puissance RF, plusieurs

autres causes peuvent modifier l'intensité du courant I_{Load} parmi lesquelles : une variation de la température, une variation de la tension d'alimentation ou une variation de la charge. Cependant, à mesure que la puissance RF augmente, l'intensité de I_{Load} augmente (Figure 3.23), pouvant atteindre 20 mA. Le régulateur doit maintenir une tension de 1.4V dans la charge malgré cette variation. La variation du courant de sortie peut donc être considérée comme une perturbation réaliste et pertinente pour l'analyse des tendances au sein du régulateur par rapport à un large éventail de perturbations. L'étude de ces tendances permettra aussi de comprendre les causes éventuelles qui peuvent entraîner une perte de la régulation comme l'entrée d'un transistor en mode triode ou un court-circuit.

Comme point de départ, nous savons qu'à mesure que le courant I_{Load} augmente, la tension de sortie diminue. Il s'en suit une diminution de V_{inn} . Les courants DC étant fournis par la même source (M0), le courant dans les transistors M1a et M1b augmente, tandis que celui dans les transistors M2a et M2b diminue. L'effet miroir triple le courant des transistors M3b et M4b dans les transistors M3a et M4a respectivement. Le courant dans M3a est ainsi la somme du courant de M1a (augmentation) et du triple du courant de M2b (diminution). Le courant dans M4a est la somme du courant de M2a (diminution) et du triple du courant de M1b (augmentation). Au vu de la pondération de ces variations, le courant dans M3a devrait à priori diminuer tandis que le courant dans M4a devrait augmenter. $V_{g3a} = V_{g3b}$ tend donc à diminuer, alors que $V_{g4a} = V_{g4b}$ tend à augmenter. Les variations de courant sont supportées par le miroir PMOS, qui va fournir moins de courant vers le nœud A et plus de courant vers le nœud B. Étant donné que $V_{g5} = V_{g6} = V_{bn2}$ est fixe, $V_{s6} = V_{d4a}$ tend à diminuer tandis que $V_{s5} = V_{d3a}$ tend à augmenter. Par effet miroir de courant, la tendance vers une diminution du courant dans M5 entraîne une diminution du courant dans M8, en même temps qu'une augmentation du courant dans M6. Par conséquent, la tension de grille du buffer tend à diminuer et à polariser d'avantage le buffer pour fournir le courant supplémentaire à la charge comme supposé initialement.

3.4.4.3 Plage dynamique de feed-back

À la sortie du premier étage, $V_{out_RFC} = V_{g_buffer}$ tend à diminuer au fur et à mesure que I_{Load} augmente, pour que la polarisation du buffer s'ajuste au courant de charge demandé. En faisant référence à l'équation (3.4), il apparaît que cette tendance peut dégrader les performances du régulateur. En effet, avec la diminution de $V_{out_RFC} = V_{ds4a} + V_{ds6}$ le transistor M6 finit par entrer en région triode. Si I_{Load} continue d'augmenter, le transistor M4a entre en triode à son tour, ce qui a pour effet de diminuer le gain de l'amplificateur opérationnel en boucle ouverte. La régulation se détériore et finit par s'annuler lorsque le transistor M4a ou le transistor M6 se bloque. Pour cette raison, la variation négative de V_{out_RFC} nécessaire pour la régulation de V_{out} en présence d'un fort courant de charge constitue le principal facteur limitatif sur la plage dynamique de feed-back.

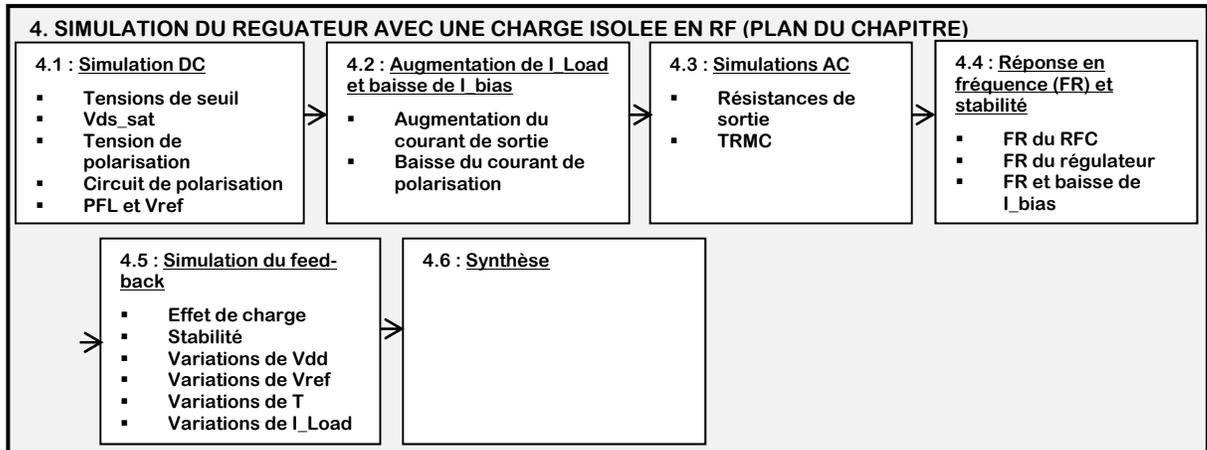
3.5 Synthèse de l'étude théorique dans le cadre de notre problématique

Au terme de ce chapitre, tous les aspects théoriques préliminaires au design d'un régulateur qui respecte notre problématique de recherche ont été explorés. En premier lieu, l'étude DC a défini les restrictions sur les potentiels de polarisation afin de garantir le fonctionnement de chaque transistor en région de saturation (donc un fonctionnement linéaire avec le maximum de gain en boucle ouverte). Elle a aussi démontré l'existence d'une plage de fonctionnement linéaire, avec des propriétés intéressantes vis-à-vis du processus d'amplification et de la dynamique de feed-back. Dans ce cadre, la plage dynamique de feed-back a été identifiée. Il est important qu'elle reste constante pour limiter les non-linéarités en mode de feed-back. Elle impose par ailleurs un compromis vis-à-vis des dimensions du buffer, pour allier une bonne qualité du feed-back et la capacité du régulateur à fournir des courants de l'ordre de 20 mA dans des limites de fabrication acceptables. Pour compléter les améliorations nécessaires à ce montage relativement à notre problématique, nous avons proposé une méthode de diminution du courant de polarisation, basée sur un redimensionnement des transistors.

Dans la partie consacrée au feed-back, nous avons examiné la polarité, les tendances et le module de feed-back lui-même. Il s'agit maintenant de faire des simulations afin de préciser ces analyses théoriques, et de définir les valeurs applicables au circuit.

CHAPITRE 4

SIMULATION DU RÉGULATEUR AVEC UNE CHARGE ISOLÉE EN RF



Ce chapitre présente les simulations effectuées sur le régulateur de tension proposé. Son but est tout d'abord de confirmer les analyses théoriques du chapitre 3, et de préciser les résultats de celles restées incomplètes. Il permet aussi d'évaluer les performances du régulateur en présence d'une charge isolée en RF, ce qui est une étape nécessaire avant d'évoluer vers une charge plus complexe et la prise en compte des problèmes d'interaction RF au chapitre suivant. Il commence avec la section 4.1 qui traite de l'étude DC, centrée sur la polarisation, la plage de fonctionnement linéaire et la tension de référence. La section 4.2 présente des simulations qui montrent la robustesse des améliorations apportées au montage Recycled Folded-Cascode vis-à-vis de la problématique de recherche : l'abaissement du courant de polarisation et l'augmentation du courant de sortie. La section 4.3 est consacrée aux paramètres AC. La section 4.4 traite de la réponse en fréquence et de l'analyse de la stabilité de l'ampli-op en boucle ouverte. Elle permet de justifier les performances du feed-back présentées à la section 4.5, où l'amplificateur opérationnel est utilisé en mode de rétroaction, et soumis à plusieurs types de perturbations. Toutes ces simulations et celles des chapitres suivants sont réalisées à l'aide du logiciel CADENCE, qui est mis à la disposition des institutions universitaires par la CMC, pour les besoins de la recherche.

4.1 Simulation DC de l'amplificateur opérationnel

Cette section s'articule en cinq points : la mesure des tensions de seuil de transistors PMOS et NMOS (section 4.1.1), le calcul de $V_{DS_{sat}}$ pour les transistors du montage (section 4.1.2), le choix des potentiels de polarisation correspondant aux niveaux des courants dans (Assaad et Silva-Martinez, 2009)(section 4.1.3), un circuit de polarisation approprié (section 4.1.4), la plage de fonctionnement linéaire et la détermination de la tension de référence (section 4.1.5). À la fin de cette section, la configuration DC de l'amplificateur opérationnel et la tension de référence seront connues, en prélude aux analyses subséquentes effectuées dans le domaine AC, et à celles sur la régulation.

4.1.1 Détermination des tensions de seuil

4.1.1.1 Présentation de la méthode

En premier lieu, la tension de seuil d'un transistor peut être déterminée par une lecture directe sur sa caractéristique d'entrée ou sa caractéristique de transfert, tracée à l'aide du simulateur. Cette mesure n'est pas très précise car les intensités de courant sont chiffrées même dans l'ordre des microampères. Il devient alors difficile de déterminer la tension de seuil grâce au critère selon lequel elle représente la limite où le courant du transistor devient supérieur à 0 (Figure 1.6). Plusieurs méthodes permettant l'extraction de ce paramètre ont ainsi été développées pour améliorer la précision et la fiabilité de cette mesure. En comparant certaines d'entre elles, (Dobrescu et al., 2000) ont montré qu'il y avait des méthodes plus précises que d'autres, suivant la longueur du canal du transistor (canal court, canal long). D'autres méthodes proposées par la suite utilisent des approches aussi diverses que les outils mathématiques (Picos et al., 2004; Woo Young et al., 2004), la définition d'un modèle de transistor incluant le calcul de la tension de seuil (Flandre, Kilchytska et Rudenko, 2010), ou des méthodes électriques (Anghel et al., 2006; Manaresi et al., 1995; Rami et al., 2010). Elles montrent que l'efficacité d'une méthode d'extraction dépend aussi des paramètres DC, parmi lesquels la tension d'alimentation. Dans ce mémoire, la méthode choisie pour la

détermination de la tension de seuil est celle proposée par (Rami et al., 2010), illustrée à la Figure 4.1. Elle est récente, d'implémentation simple, à lecture directe et indiquée pour les faibles tensions d'alimentation.

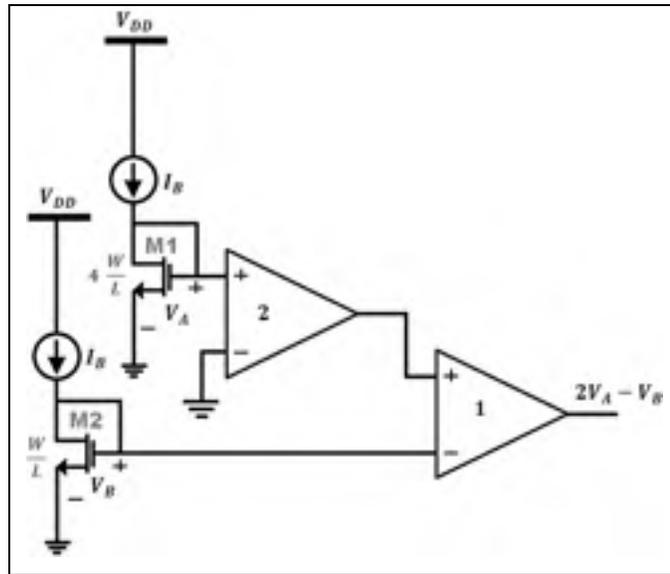


Figure 4.1 Principe de mesure des tensions de seuil

Tout d'abord, rappelons qu'à partir des équations (1.1) et (1.14), la tension V_{DSsat} d'un transistor NMOS peut être donnée par l'équation (4.1) :

$$V_{DSsat} = V_{GS} - V_{THN} = \sqrt{\frac{2I_D}{\beta}} \quad (4.1)$$

Pour le cas du NMOS, partant de l'hypothèse que V_{THN} est constant, un changement des dimensions du transistor ne modifie pas la valeur V_{GS} (qui est associée au courant), mais modifie la valeur de V_{DSsat} . Ainsi, d'après (4.1) : $\beta_1 = 4\beta_2 \Rightarrow V_{DSsat1} = 0.5V_{DSsat2}$. Les valeurs de potentiels V_A et V_B de la Figure 4.1 sont ainsi donnés à l'équation (4.2) suivante :

$$\begin{cases} V_A = V_{GS1} = V_{THN} + 0.5 \times V_{DSsat2} \\ V_B = V_{GS2} = V_{THN} + V_{DSsat2} \end{cases} \quad (4.2)$$

Avec une pondération adéquate des gains des amplificateurs de la Figure 4.1, la valeur de V_{DSsat2} disparaît et il ne reste que la valeur V_{THN} recherchée :

$$\boxed{2V_A - V_B = V_{THN}} \quad (4.3)$$

Le même raisonnement est applicable pour un transistor PMOS.

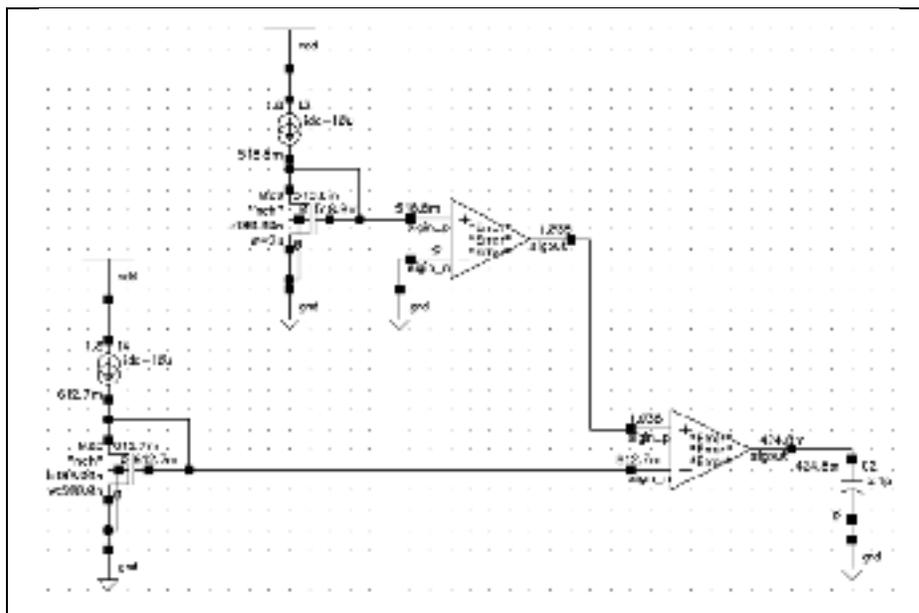
4.1.1.2 La mesure des tensions de seuil

La méthode choisie à la section 4.1.1.1 est tour à tour appliquée sur un transistor NMOS (Figure 4.2), puis sur un transistor PMOS (Figure 4.3). Le courant de polarisation I_B est de $10\mu\text{A}$. Les résultats présentés dans l'article de (Rami et al., 2010) sont valables pour des tensions d'alimentation de 1.4V à 2.5V et s'appliquent donc à l'alimentation de 1.8V que nous avons choisie. Dans le cas du transistor PMOS, il est nécessaire d'ajouter un offset de 1.8V dans le deuxième amplificateur pour faire une lecture directe puisque les potentiels sont référencés par rapport à la tension d'alimentation. Nous utiliserons les valeurs arrondies les plus proches des tensions mesurées, qui sont par ailleurs très proches de celles données dans la documentation de CADENCE⁹ :

$$\boxed{V_{THN} = 0.42 \text{ V}} \quad (4.4)$$

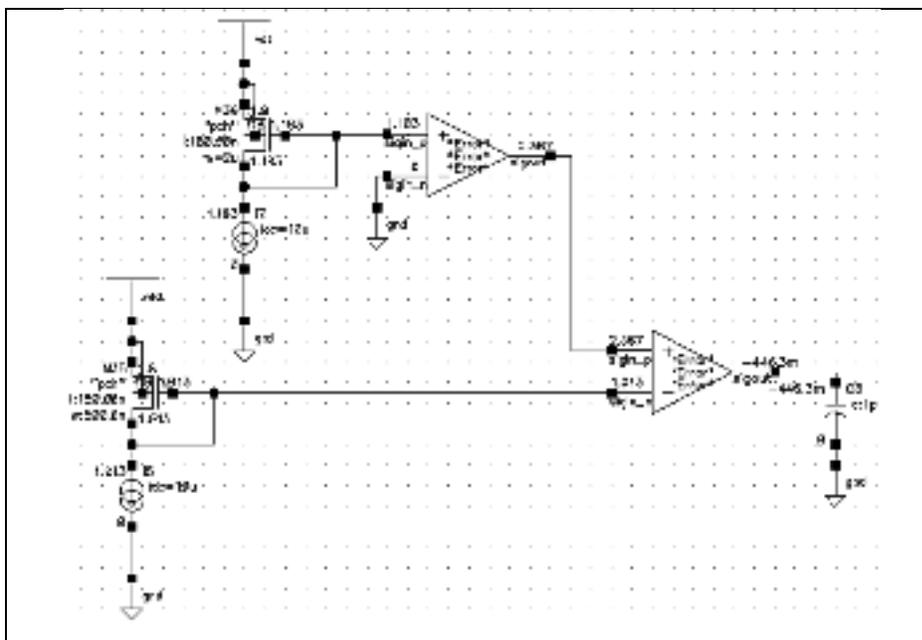
$$\boxed{V_{THP} = -0.5 \text{ V}} \quad (4.5)$$

⁹ T-018-MM-SP-002 : Modèles SPICE applicables à la technologie mixte TSMC 0.18 μm - page 54

Figure 4.2 Mesure de V_{THN}

$$V_{THN} = 424.8 \text{ mV}$$

(4.6)

Figure 4.3 Mesure de V_{THP}

$$V_{THN} = -496.3 \text{ mV}$$

(4.7)

4.1.2 Détermination de V_{DSSat}

D'après l'équation (1.14), la valeur de $V_{DSSat} = V_{OV}$ peut être déduite de celle du courant d'un transistor polarisé en zone de saturation, telle que le montre l'équation (4.8) :

$$I_D = \frac{\beta}{2} V_{OV}^2 \Rightarrow V_{OV} = \sqrt{\frac{I_D}{\left(\frac{\beta}{2}\right)}} \quad (4.8)$$

Afin de compléter la table des V_{OV} associée aux transistors du montage, il faut avant tout estimer $\left(\frac{\beta}{2}\right)$ pour les transistors PMOS et NMOS (Sedra et Smith, 2010, p. 243). Pour ce faire, rappelons que pour un transistor polarisé en triode profonde, V_{DS} est si faible que V_{DS}^2 est négligeable devant V_{DS} . La pente de la caractéristique de sortie ainsi obtenue à partir de l'équation (1.7) est proportionnelle à $|V_{OV}|$, ainsi que la montre l'équation (4.9) :

$$\left(\frac{\partial I_D}{\partial V_{DS}}\right)_{triode} = \beta' \frac{W}{L} |V_{OV}| \Rightarrow \beta' = \frac{\left(\frac{\partial I_D}{\partial V_{DS}}\right)_{triode}}{\frac{W}{L} |V_{OV}|} \quad (4.9)$$

Cas du NMOS :

La courbe permettant d'évaluer β'_N est tracée à partir du montage de la Figure 4.4, avec $V_{GS} = 1.02V$ et $W/L = 5$. La pente entre A (50mV ; 45.06μA) et B (51mV ; 45.91μA) est de 853.2μA/V. Par suite :

$$\beta'_N = \frac{853.2\mu A/V}{5(1.02 - 0.42)V} = 284.4\mu A/V^2 \quad (4.10)$$

Cas du PMOS :

La courbe permettant d'évaluer β'_P est tracée à partir du montage de la Figure 4.5, avec $|V_{GS}| = 1.1V$ et $W/L = 5$. La pente entre A (163mV ; 28.3μA) et B (164mV ; 28.45μA) est de 143.52μA/V. Par suite :

$$\beta'_P = \frac{143.52\mu A/V}{5(1.1 - 0.5)V} = 47.84\mu A/V^2 \quad (4.11)$$

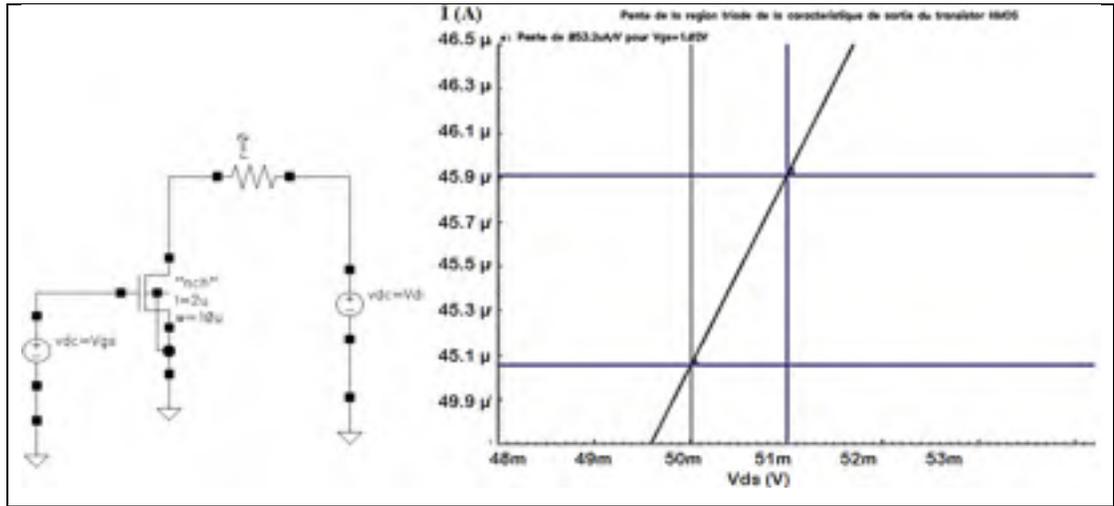


Figure 4.4 Montage de détermination de β'_N

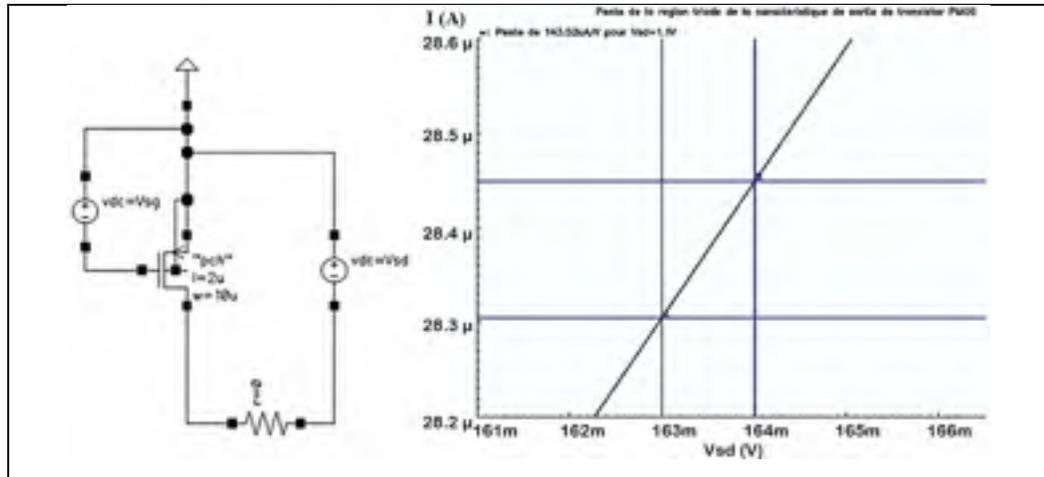


Figure 4.5 Montage de détermination de β'_P

À noter que la présence de la résistance $r = 0$ est nécessaire pour mesurer les courants de drain, puisque CADENCE ne permet pas une telle mesure directement sur les bornes du transistor. En conclusion :

$$\left(\frac{\beta'}{2}\right)_{NMOS} = 142.2\mu A/V^2 \tag{4.12}$$

$$\left(\frac{\beta'}{2}\right)_{PMOS} = 23.92\mu A/V^2 \tag{4.13}$$

Tableau 4.1 Table des valeurs de V_{ov} dans le RFC

Transistors	W/L	$\beta/2$ (mA/V ²)	I_D (μ A)	V_{ov} (V)
M0	128/0.5	6.123	400	0.256
M1a, M1b, M2a, M2b	64/0.36	4.252	100	0.153
M11, M12	8/0.18	6.320	100	0.126
M3a, M4a	24/0.5	6.826	300	0.209
M3b, M4b	8/0.5	2.276	100	0.209
M5, M6	16/0.18	12.640	200	0.126
M7, M8	64/0.18	8.505	200	0.153
M9, M10	64/0.5	3.062	200	0.256

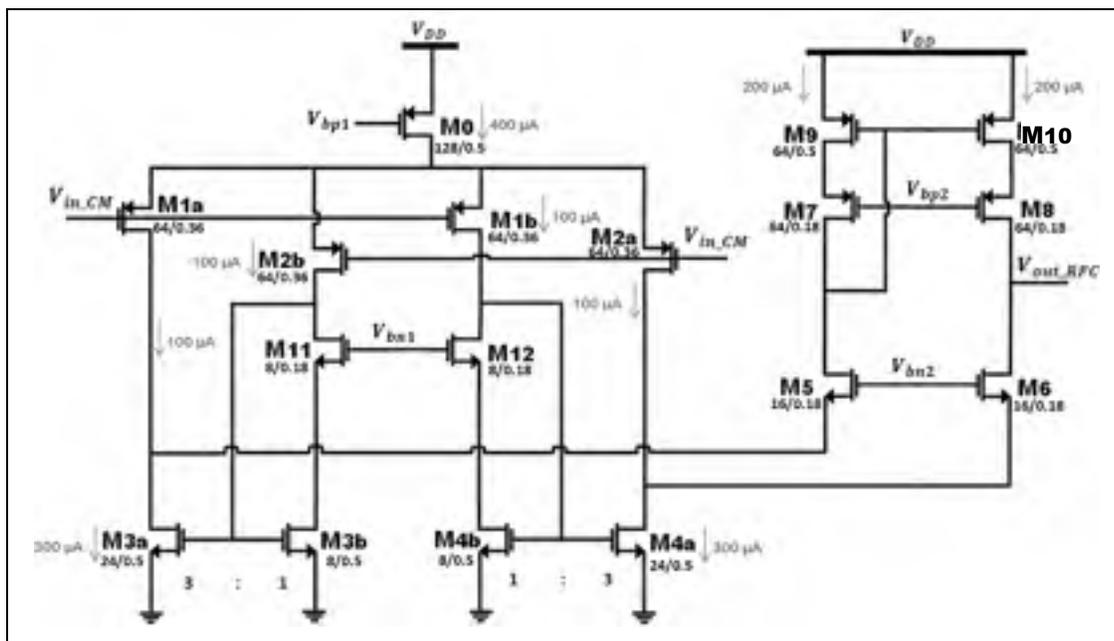


Figure 4.6 Montage RFC avec dimensions et courants pour un budget de 800 μ A
Tirée de Assaad et Silva-Martinez (2009)

Les dimensions des transistors et les intensités de courants initiales sont tirées de l'article (Assaad et Silva-Martinez, 2009), avec un budget de courant maximal qu'il fixe à 800 μ A (Figure 4.6). D'après cet article, le courant dans le miroir PMOS est de $(K - 1)I_b$ soit $2I_b$ pour $K = 3$, qui égale ainsi le courant dans le transistor M0. Une moitié du budget de courant total est consommé par M0, et l'autre moitié est débité par le miroir PMOS. Dans un premier temps, nous négligeons l'effet de modulation du canal. Les courants et les dimensions des

transistors correspondants sont présentés à la Figure 4.6. En utilisant l'équation (4.8), les valeurs de V_{OV} du montage sont données Tableau 4.1.

4.1.3 Valeurs des potentiels de polarisation

Comme point de départ, nous allons calculer les potentiels de polarisation qui correspondent aux valeurs initiales des courants dans (Assaad et Silva-Martinez, 2009) avec $K=3$. Pour calculer les potentiels de polarisation, il faut tout d'abord déterminer V_{bp1} , qui fixe les courants dans le circuit. Ensuite, nous ferons l'application numérique de la série d'équations (3.11), avec les valeurs de V_{OV} , V_{THN} et V_{THP} mesurées dans les deux sections précédentes. Nous nous servirons enfin des simulations et des recommandations faites à la section 3.1.3 pour fixer les valeurs finales des potentiels de polarisation.

4.1.3.1 Potentiel V_{bp1} pour la polarisation de M_0

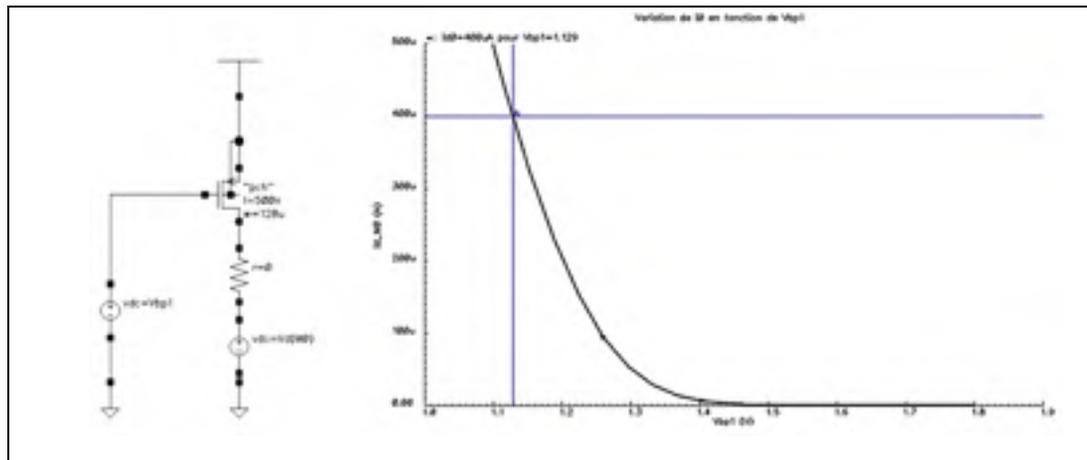


Figure 4.7 Détermination de la valeur finale de V_{bp1}

Le potentiel V_{bp1} a été déterminé par simulation, à partir du circuit de la Figure 4.7. Le traçage de la caractéristique de transfert donne sa valeur pour un courant de polarisation de $400\mu\text{A}$, correspondant à sa valeur nominale :

$$V_{bp1} = 1.129\text{V}$$

(4.14)

4.1.3.2 Calcul théorique

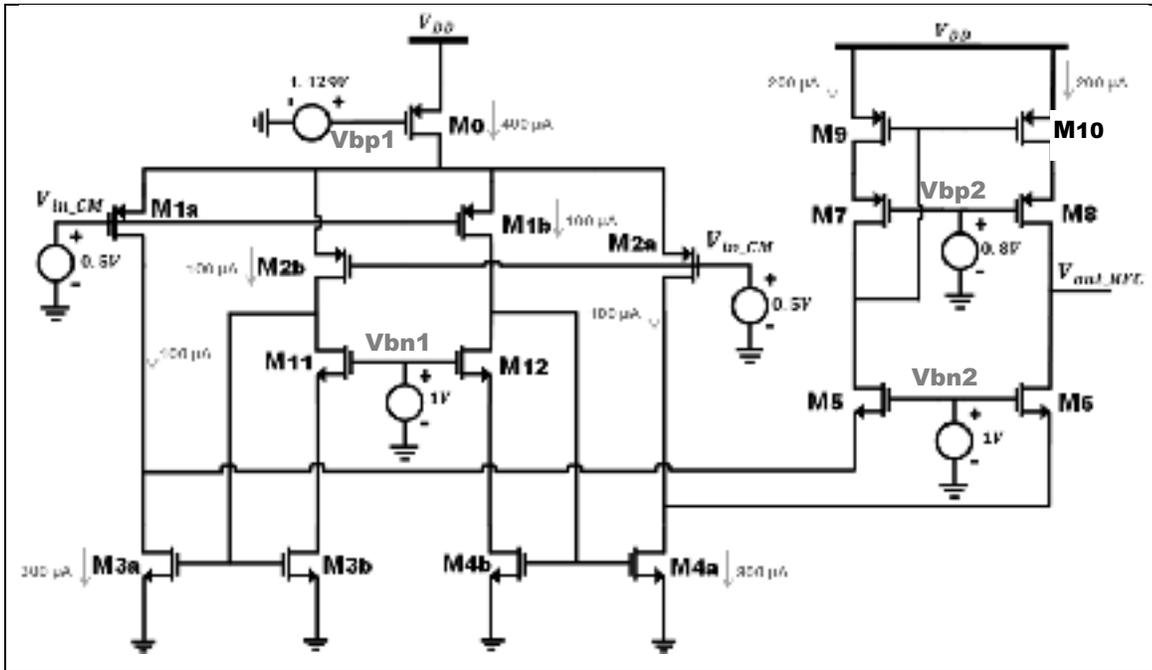


Figure 4.8 Montage RFC avec les valeurs provisoires de la polarisation

Pour les autres potentiels de polarisation, l'application numérique de la série d'équations (3.11) compte tenu du Tableau 4.1 et des équations (4.6), (4.7) débouche sur les équations (4.15) à (4.19) suivantes :

$$0.544V \leq V_{bp2} \leq 0.891V \quad (4.15)$$

$$0.755V \leq V_{bn1} \leq 1.049V \quad (4.16)$$

$$0.755V \leq V_{bn2} \leq 1.464V \quad (4.17)$$

$$0.129V \leq V_{in_CM} \leq 0.891V \quad (4.18)$$

$$0.335V \leq V_{out} \leq 1.391V \quad (4.19)$$

Suite à ce calcul, les transistors sont polarisés par des sources les plaçant dans la zone de saturation calculée : $V_{in_CM} = 0.5V$; $V_{bn1} = 1V$; $V_{bn2} = 1V$ et $V_{bp2} = 0.8V$ (Figure 4.8). Pour étudier l'influence d'un potentiel particulier, il suffit de faire varier la source de tension correspondante tout en maintenant les autres à la même valeur.

4.1.3.3 Potentiel Vbp2

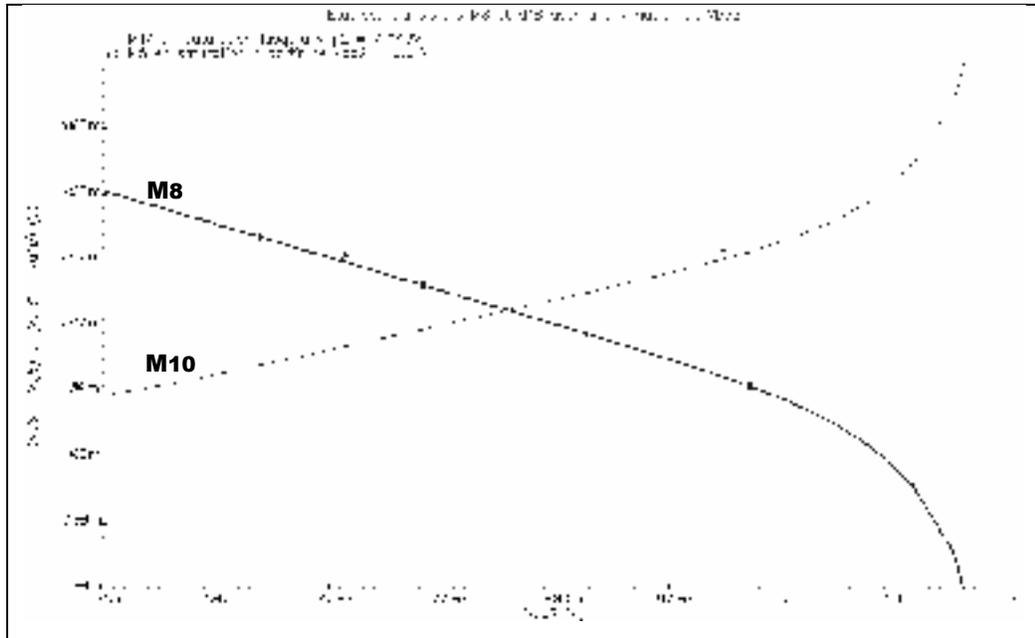


Figure 4.9 Encadrement des valeurs de Vbp2

Un balayage de la tension Vbp2 a été effectué en observant l'état des transistors M8 et M10, qui doivent tous les deux rester polarisés en zone de saturation, c'est-à-dire avec $V_D - V_G = 0.5V$ conformément au Tableau 1.1 et à l'équation (4.7). Le résultat est donné à la Figure 4.9. La plage des valeurs de Vbp2 correspondantes est donnée à l'équation (4.20) :

$$0.61V \leq V_{bp2} \leq 0.943V \quad (4.20)$$

Cette plage est proche de celle délimitée par l'équation (4.15), à une différence typique de 0.05V près, que nous attribuons à la précision sur la tension de seuil et l'effet de modulation du canal. Nous avons choisi de fixer Vbp2 au milieu de cette plage, suite à la recommandation faite à la section 3.1.3.2 :

$$V_{bp2} = 0.78V \quad (4.21)$$

4.1.3.4 Potentiels V_{bn1} et V_{bn2}

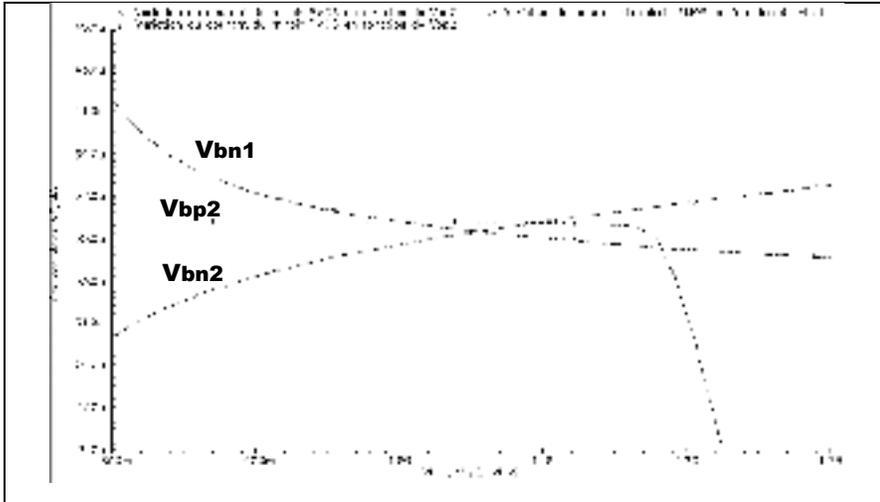


Figure 4.10 Détermination de la valeur finale de V_{bn1} et V_{bn2}

La Figure 4.10 montre les variations du courant dans M5 et M6 suite à un balayage de V_{bp2} , de V_{bn1} et de V_{bn2} . Dans la plage délimitée par l'équation (4.20), le courant dans les transistors M5 et M6 ne varie pratiquement pas avec V_{bp2} . Il varie par contre en sens inverses avec les potentiels V_{bn1} et V_{bn2} . Pour $V_{bn1}=1V$ et $V_{bn2}=1.1V$, l'intensité du courant est la même que la valeur mesurée avec le balayage de V_{bp2} . Cette condition garantit au mieux l'équilibre des courants dont l'importance a été abordée à la section 3.1.3.4. Nous avons ainsi choisi les valeurs de V_{bn1} et V_{bn2} données aux équations (4.22) et (4.23) :

$$V_{bn1} = 1V \quad (4.22)$$

$$V_{bn2} = 1.1V \quad (4.23)$$

4.1.4 Circuit de polarisation

Cette section traite de la présentation du circuit de polarisation proposé (section 4.1.4.1) et de l'étude de sa robustesse vis-à-vis de certaines variations (section 4.1.4.2). Elle constitue l'une des contributions scientifiques de ce mémoire. En effet, que ce soit dans l'article (Assaad et

Silva-Martinez, 2009) ou dans la thèse (Assaad, 2009), l'auteur du Recycled Folded-Cascode ne présente pas le circuit de polarisation qu'il a utilisé. L'étude réalisée ici s'avère pertinente et bien documentée pour la polarisation des amplificateurs CMOS de type Recycled Folded Cascode.

4.1.4.1 Le circuit de polarisation proposé

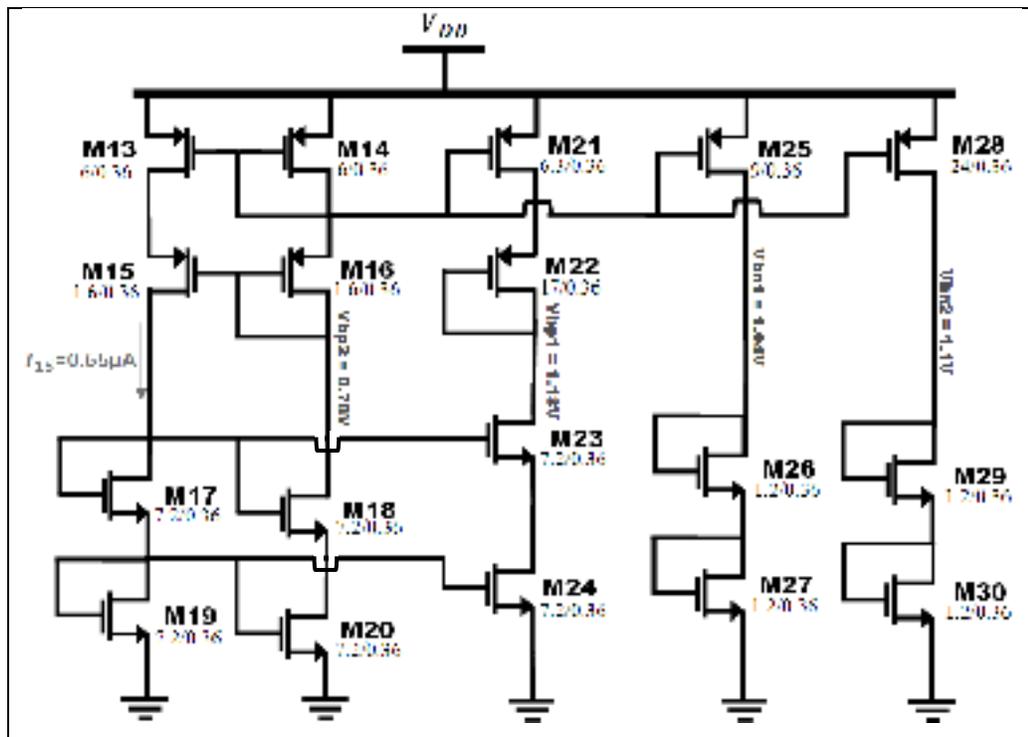


Figure 4.11 Circuit de polarisation

Le circuit proposé pour la polarisation du Recycled Folded-Cascode aux valeurs de la section 4.1.3 est présenté à la Figure 4.11. La source M13-M16 fixe un courant $I_{15} \cong 0.55 \mu\text{A}$. Avec les dimensions des transistors concernés, V_{bp2} est fixée autour de 0.78V. Le transistor M21 duplique le courant I_{15} dans les transistors M22, M23 et M24 par effet miroir. La connexion en diode de M22 permet de fixer le potentiel V_{bp1} autour de 1.13V. Le transistor M25 duplique également le courant I_{15} dans les transistors M26 et M27, de même que le transistor M28 le duplique dans les transistors M29 et M30. La présence des deux transistors connectés

en diode est nécessaire pour atteindre une tension de 1.04V pour V_{bn1} et une tension de 1.1V pour V_{bn2} . À noter qu'avec leurs dimensions différentes, les transistors M21, M25 et M28 dupliquent le courant I_{15} avec des ratios différents (voir Figure 1.17 sur l'effet miroir). Les potentiels ainsi fixés sont connectés aux transistors du Recycled Folded-Cascode, qui les transforment en courant de polarisation à travers leurs tensions grille-source respectives, par effet miroir (Figure 4.12). La consommation de courant du circuit de polarisation est de $4.915 \mu\text{A}$.

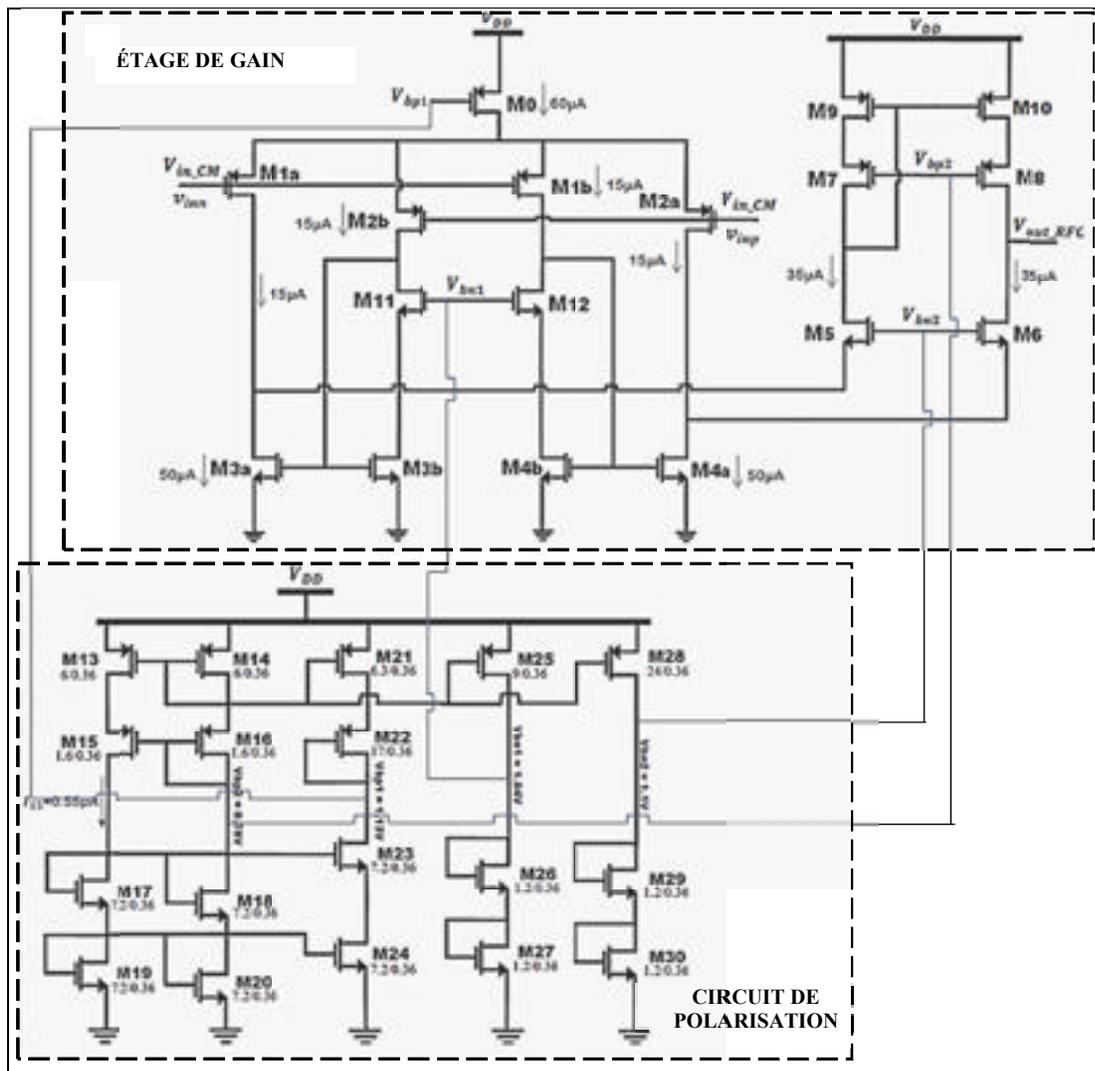


Figure 4.12 Connexions entre le circuit de polarisation et l'étage de gain

4.1.4.2 Robustesse du circuit de polarisation

Pour vérifier la robustesse de la polarisation, nous devons étudier son comportement en cas de variation de température ou en cas de variation de la tension d'alimentation (Baker, 2010, p. 744). Des simulations ont été effectuées pour une variation de 20°C à 100°C en température, et une variation de 1.6V à 2V pour la tension d'alimentation. Le Tableau 4.2 montre les coefficients de variation des potentiels vis-à-vis de chaque perturbation.

Tableau 4.2 Coefficients de variation des potentiels de polarisation

Potentiel de polarisation	Variation en température ($\mu\text{V}/^\circ\text{C}$)	Variation en V_{DD} (V/V)
Vbn1	489	0.526
Vbn2	1138	0.608
Vbp1	740.76	0.61
Vbp2	-48.8	0.454

Le potentiel Vbp2 semble est moins sensible que les autres. Les variations de Vbn1 et de Vbp2 n'ont pas vraiment d'incidence sur le fonctionnement du circuit car elles sont maintenues à l'intérieur la plage de saturation (voir section 4.1.3.2). Les variations du potentiel Vbp1 avec la température affecte l'intensité du courant qui passe de 405 μA à 370 μA dans le transistor M0 (Figure 4.13). Cette variation cause aussi une variation des courants du montage et de la tension V_{out_RFC} , qui reste cependant limitée à 10% entre 20 °C et 40 °C. Vbn2 est le potentiel est le plus sensible vis-à-vis de la tension d'alimentation. L'étude des performances du régulateur avec une variation de la tension d'alimentation nous permettra d'évaluer l'influence réelle de cette sensibilité.

CAPSULE 4.1

La conception d'un circuit CMOS réalisant la polarisation de l'ampli-op a été complétée, à la suite d'analyses et de simulations sur l'état DC du montage et les potentiels de polarisation.

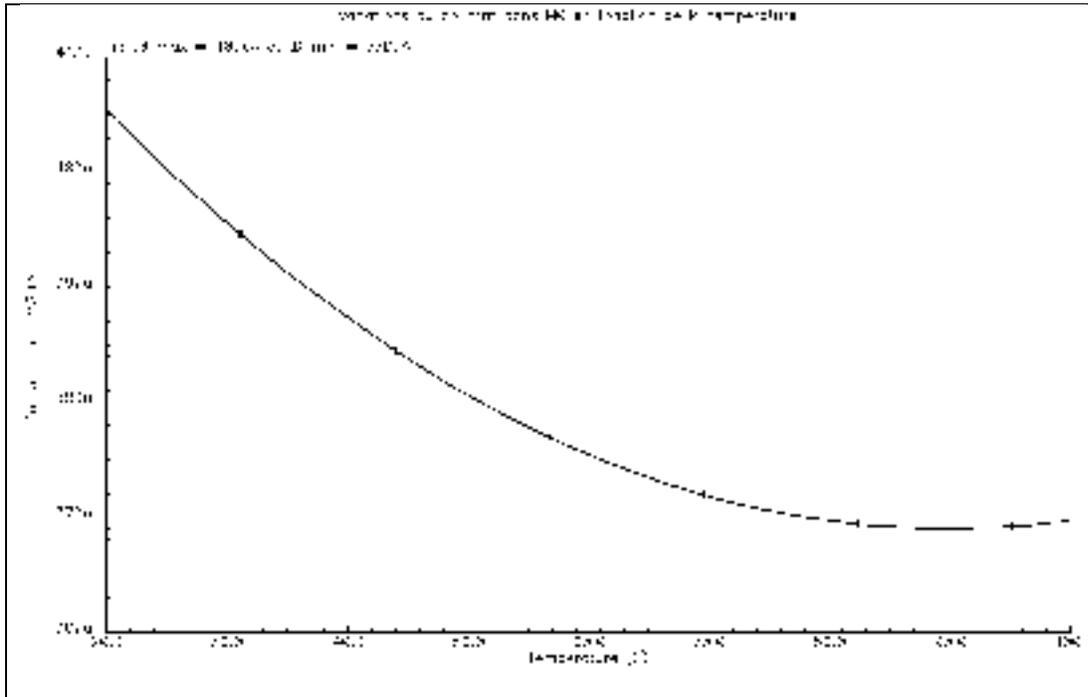


Figure 4.13 Baisse du courant dans M0 avec la variation de la température

4.1.5 Plage de fonctionnement linéaire et calcul de la tension de référence

La plage de fonctionnement linéaire (PFL) est définie par la série d'équations (3.11). Les conditions concernant les potentiels de polarisation de la PFL ont été traitées à la section 4.1.3, en fixant les potentiels V_{bp1} , V_{bp2} , V_{bn1} et V_{bn2} . La dernière condition et la plus importante concerne l'intervalle de V_{in_CM} pour lequel la plage de fonctionnement dynamique de feed-back reste constante (section 3.1.4.1). Cet intervalle est déterminant pour la PFL, car les autres potentiels sont fixés une fois pour toutes. La section 4.1.5.1 présente ainsi l'influence de V_{in_CM} sur l'état des transistors, afin de délimiter la PFL. La section 4.1.5.2 montre les avantages que présente le comportement de la plage dynamique de feed-back au sein de la PFL, vis-à-vis du processus de régulation. L'objectif par la suite est de fixer la tension de référence du régulateur.

4.1.5.1 État des transistors au sein de la PFL

Avec la symétrie du circuit, certains transistors tels que M1a et M2a se comportent de façon identique en DC. Il est de même pour M1b et M2b, M11 et M12, M3a et M4a, M3b et M4b, M5 et M6, M7 et M8, M9 et M10. Les Figure 4.14 à Figure 4.22 montrent que les transistors sont tous en saturation dans la PFL. Pour les transistors symétriques, un seul graphique est présenté. Pour rappel, le critère qui garantit la polarisation en zone de saturation est donné par les équations (4.24) et (4.25).

$$V_G - V_D \leq V_{THN} = 0.42V \quad \text{NMOS} \quad (4.24)$$

$$V_D - V_G \leq |V_{THP}| = 0.5V \quad \text{PMOS} \quad (4.25)$$

Lorsque c'est nécessaire, cette limite est tracée sur le graphique pour identifier la zone de saturation. Ces simulations viennent confirmer l'existence de la PFL, telle que décrite à la section 3.1.4.

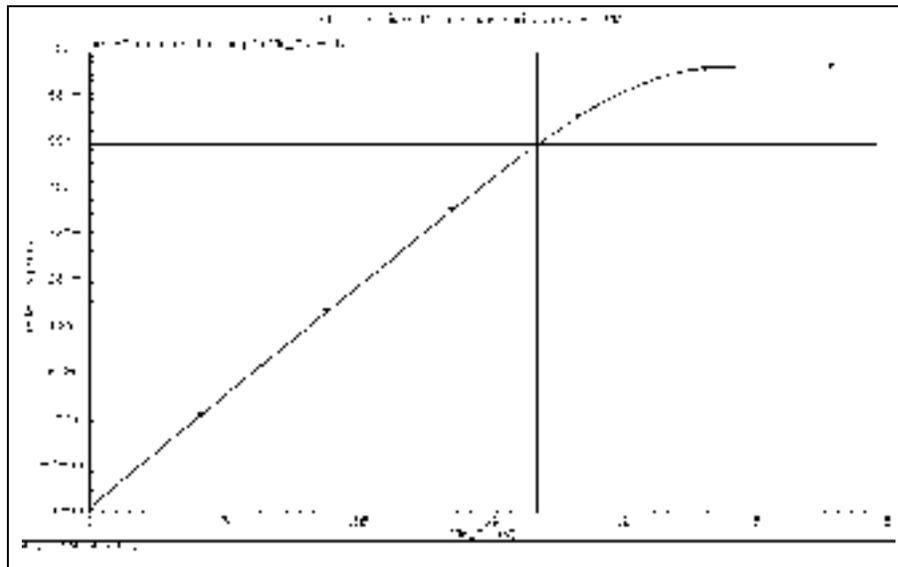


Figure 4.14 État du transistor M0 avec une variation de V_{in_CM}

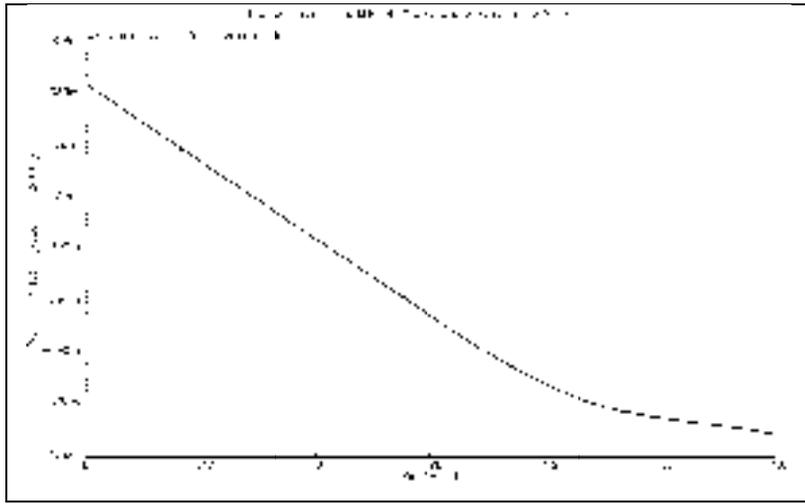


Figure 4.15 État de M1a et M2a avec une variation de V_{in_CM}

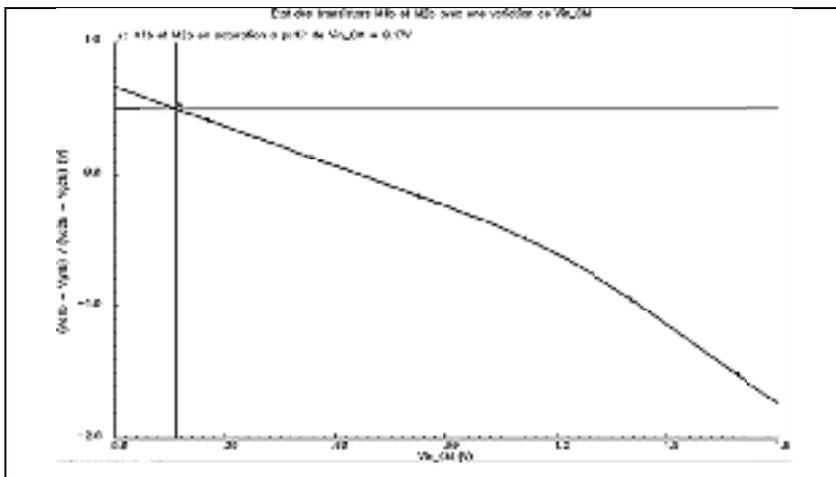


Figure 4.16 État de M1b et M2b avec une variation de V_{in_CM}

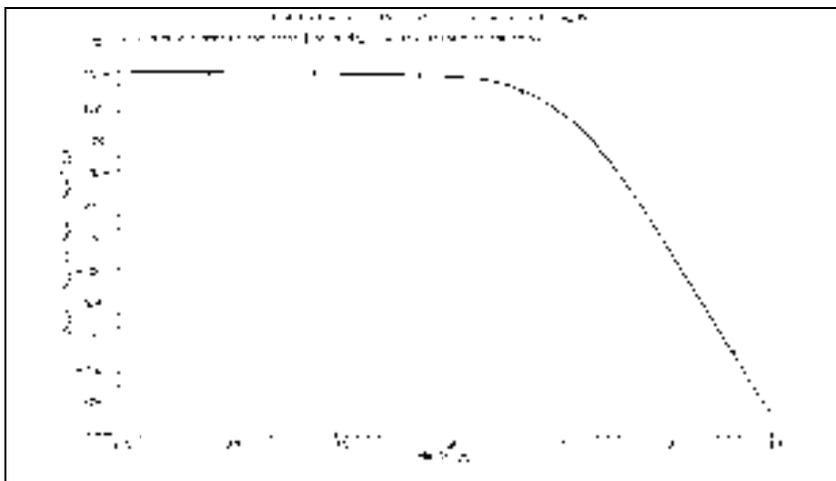
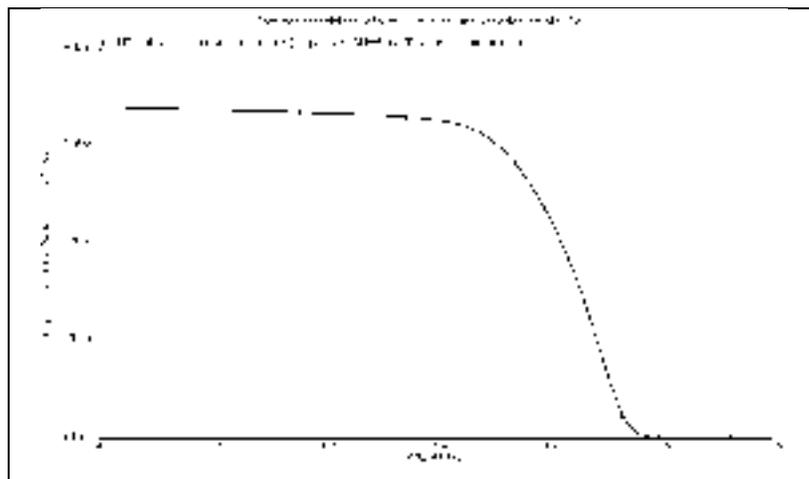
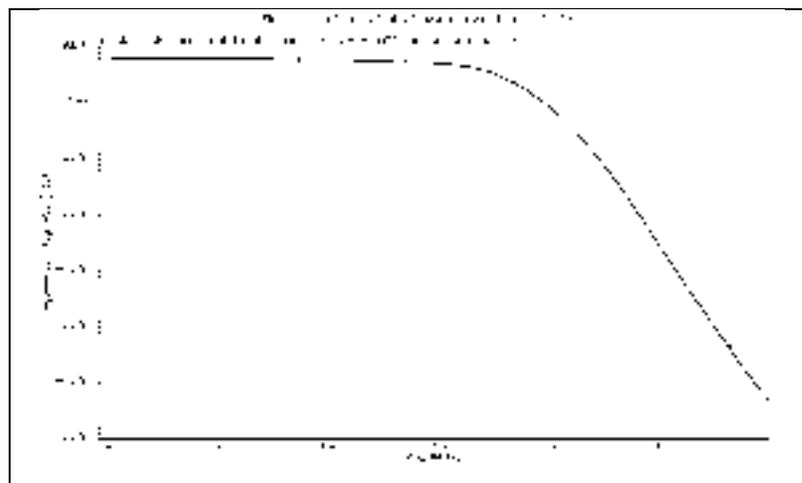
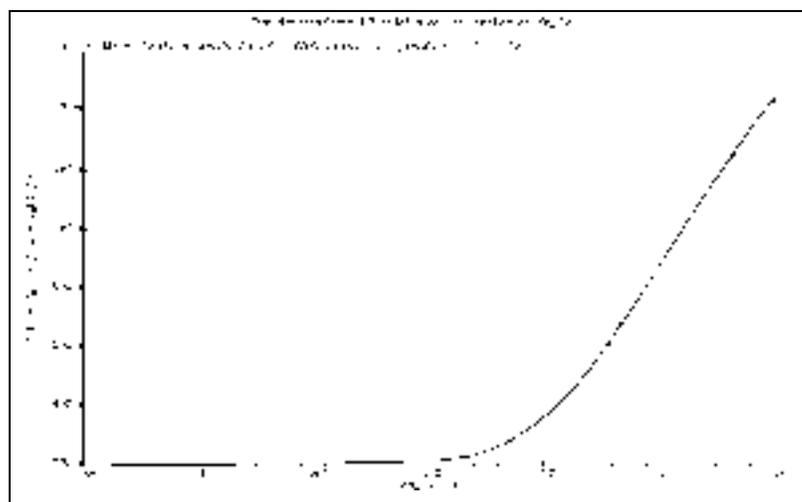
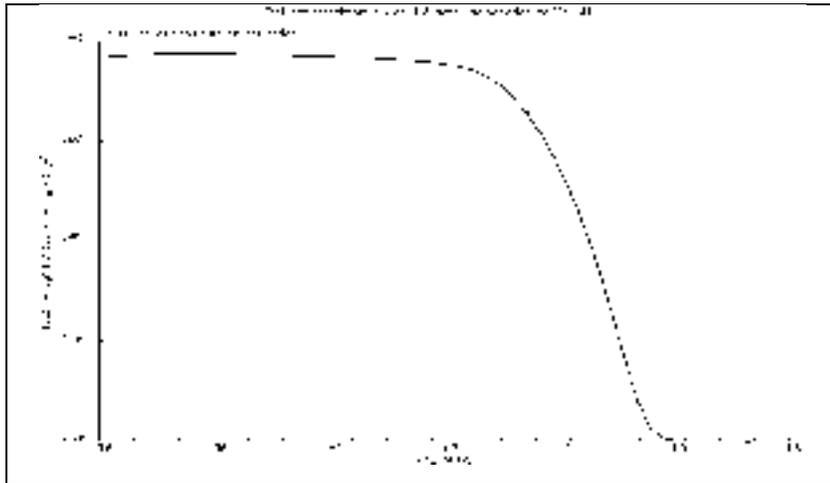
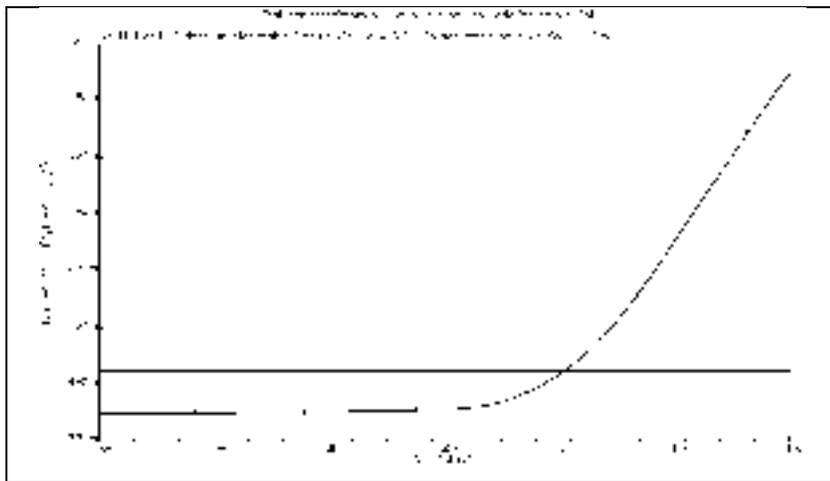


Figure 4.17 État de M3a et M4a avec une variation de V_{in_CM}

Figure 4.18 État de M3b et M4b avec une variation de V_{in_CM} Figure 4.19 État de M5 et M6 avec une variation de V_{in_CM} Figure 4.20 État de M7 et M8 avec une variation de V_{in_CM}

Figure 4.21 État de M9 et M10 avec une variation de V_{in_CM} Figure 4.22 État de M11 et M12 avec une variation une V_{in_CM}

La borne inférieure identifiée de V_{in_CM} est de 0.17V obtenue pour les transistors M1b et M2b (Figure 4.16). Sa borne supérieure est 1.02V obtenue dans le cas du transistor M0 Figure 4.14). Ainsi, après simulation, la PFL est caractérisée par l'équation (4.26) :

$$0.17V \leq V_{in_CM} \leq 1.02V$$

(4.26)

4.1.5.2 Détermination de V_{REF}

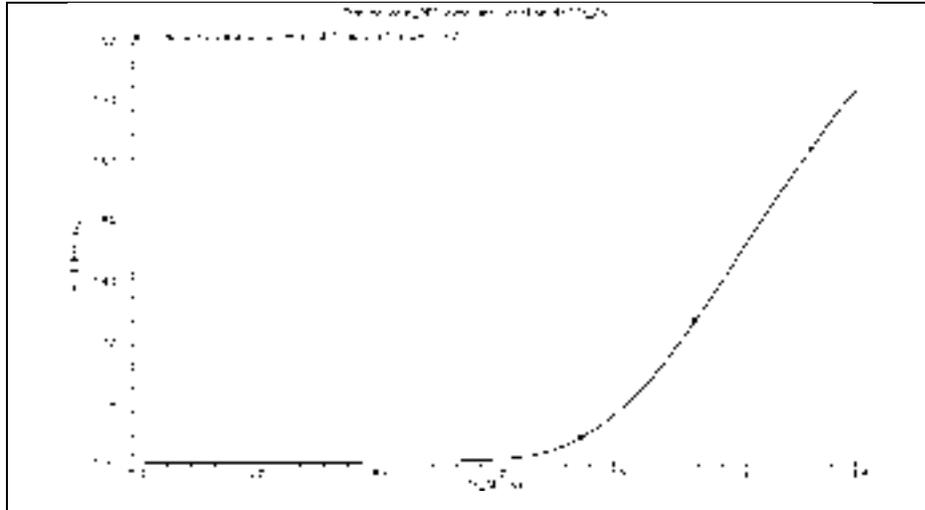


Figure 4.23 Simulation du comportement de V_{out_RFC} avec une variation de V_{in_CM}

Le comportement de V_{out_RFC} est semblable au comportement théorique décrit dans la section 3.1.4.1 (Figure 4.23). Elle est stable autour de 1.13V dans la PFL. Cette simulation confirme l'analyse de la section 3.1.4.1. Ainsi, pour conserver la linéarité du gain en boucle ouverte, nous avons situé la tension de référence au milieu de la PFL de l'équation (4.27), soit :

$$V_{REF} = 0.6 \text{ V} \quad (4.27)$$

4.2 Augmentation du courant de sortie et baisse du courant de polarisation

4.2.1 Augmentation du courant de sortie

4.2.1.1 Circuit de test

En mode de rétroaction, la variation de V_{out_RFC} permet au régulateur d'augmenter ou de diminuer le courant I_{Load} . Pour déterminer le type et la taille du buffer, il faut tenir compte de cette variation en émulant l'erreur statique correspondant à un courant de charge donné.

Nous avons ainsi rajouté à l'amplificateur opérationnel des sources de tension permettant de générer l'erreur statique ΔV_{in} en entrée, et une charge idéale permettant de fixer l'intensité du courant I_{Load} (Figure 4.24). $V_{out}=1.4V$ correspond à la tension nominale dans la charge en mode feed-back. L'erreur statique maximale dans ce test est fixée à $\Delta V_{in}=1mV$. Nous pensons qu'un critère aussi restrictif permettra d'optimiser les performances du régulateur, avec la prise en compte de l'effet de charge et de l'interaction RF pour $I_{Load} = 20\text{ mA}$.

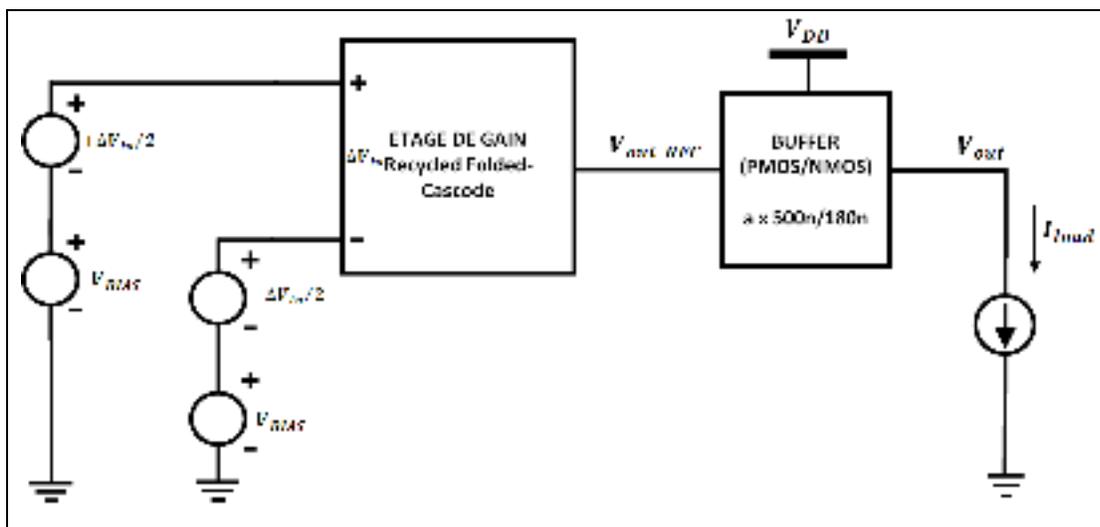


Figure 4.24 Structure de test sur le type et la taille du buffer

4.2.1.2 Choix du buffer

En fixant la taille du buffer et le courant dans la charge, nous pouvons départager le PMOS et le NMOS suivant l'erreur statique nécessaire pour atteindre la tension de 1.4 V en sortie, traduisant l'effectivité et la qualité de la régulation. $I_{Load} = 1\text{ mA}$ est choisie assez faible pour privilégier l'analyse des tendances observées sur l'erreur statique, par rapport à sa valeur proprement dite. À $\Delta V_{in} = 0$, $V_{out_RFC} = 1.13\text{ V}$. Les mesures sont prises pour chaque type de transistor, avec $a = 1500$ puis $a = 1000$ (Figure 4.24). Rappelons que a est le facteur multiplicatif de la cellule de base des transistors MOS dans CADENCE, amenant sa dimension de $(W/L)_0 = 500\mu\text{m}/180\mu\text{m}$ à $(W/L)_{\text{Buffer}} = a \times 500\mu\text{m}/180\mu\text{m}$ (section 3.2.1). Les résultats sont consignés dans le Tableau 4.3.

Tableau 4.3 Comparatif des résultats entre un PMOS et un NMOS comme buffer

	ΔV_{in}	a	V_{out_RFC}	V_{out}
PMOS	88.6 μ V	1000	1.249 V	1.398 V
	72.6 μ V	1500	1.273 V	1.401 V
NMOS	25 mV	1000	1.706 V	1.037 V
	25 mV	1500	1.706 V	1.053 V
	25 mV	1800	1.706 V	1.056 V

Pour le transistor PMOS, une variation ΔV_{in} autour de 75 μ V à 90 μ V permet d'obtenir la tension 1.4V ciblée à la sortie. Elle est très inférieure à la limite $(\Delta V_{in})_{max}=1\text{mV}$ que nous nous sommes fixés. Pour le transistor NMOS, avec une variation ΔV_{in} allant même jusqu'à 25 mV, la tension de sortie reste autour de 1.05V. La simulation montre également que la taille du buffer n'est pas suffisamment influente. Même avec $a=1800$, la tension de sortie stagne à 1.06V, avec au passage 1.053V pour $a = 1500$. Ces résultats font du NMOS un mauvais candidat pour atteindre la tension de 1.4V attendue en régulation. Le transistor PMOS est ainsi le meilleur buffer car il permet d'atteindre cette tension avec une erreur statique très faible et des dimensions raisonnables. Ce résultat confirme l'analyse de la section 3.2.1.1.

4.2.1.3 Taille du buffer

Une fois le transistor PMOS adopté comme type de buffer, il faut définir sa taille. Cette fois-ci, le courant de charge est choisi supérieur au courant maximal : $I_{Load}=25\text{ mA}$ pour étendre le critère de performance du buffer à des courants supérieurs à la limite de 20 mA initialement fixée. L'erreur statique a été évaluée à $\pm 1\text{ mV}$ puis à $\pm 25\text{ mV}$ pour estimer les tailles du buffer couvrant une large plage de ΔV_{in} . Le balayage est effectué sur la valeur de a , et la taille du buffer recherchée est celle donnant une tension de 1.4V à la sortie. Les courbes générées sont montrées à la Figure 4.25. La valeur de a est choisie pour $\Delta V_{in}=1\text{ mV}$.

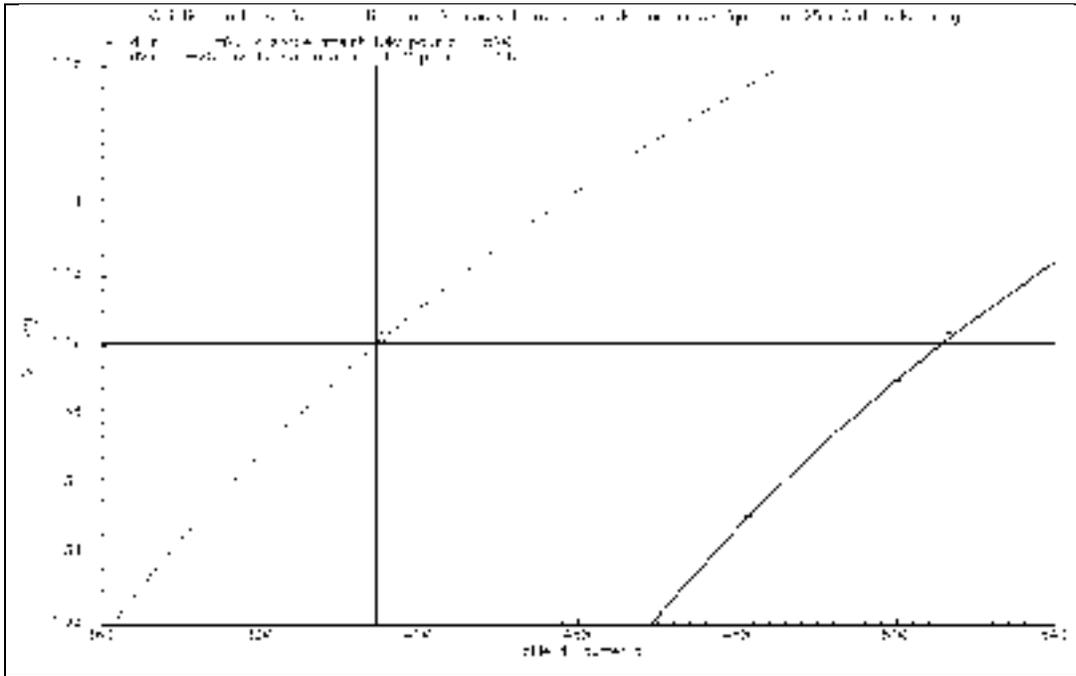


Figure 4.25 Détermination de la taille du buffer

D'après la Figure 3.11 et les détails donnés à la section 3.2.1, pour $a = 520$, la dimension du buffer est donnée à l'équation (4.28) suivante :

$$(W/L)_{\text{BUFFER}} = 260/0.18 \text{ (PMOS)} \quad (4.28)$$

4.2.2 Baisse du courant de polarisation

Nous allons appliquer la méthode proposée à la section 3.2.2.4 pour abaisser le courant de polarisation. Rappelons que *scale1* est le facteur d'échelle sur les dimensions du transistor M0, et *scale2* est le facteur d'échelle sur les autres transistors du circuit. L'approche ici est de trouver les valeurs de *scale1* et *scale2* pour lesquelles leurs effets antagonistes sur la plage dynamique de feed-back se compensent (section 4.2.2.1). La section 4.2.2.2 présente les effets DC observés sur le Recycled Folded Cascode suite à cette baisse du courant de polarisation. D'un point de vue de la réponse en fréquence, des vérifications devront être faites pour s'assurer que le gain DC minimum qui est requis est atteint, et que le circuit présente une bonne stabilité. Cet aspect est abordé à la section 4.4.3.

4.2.2.1 Application de la méthode de la section 3.2.2.4

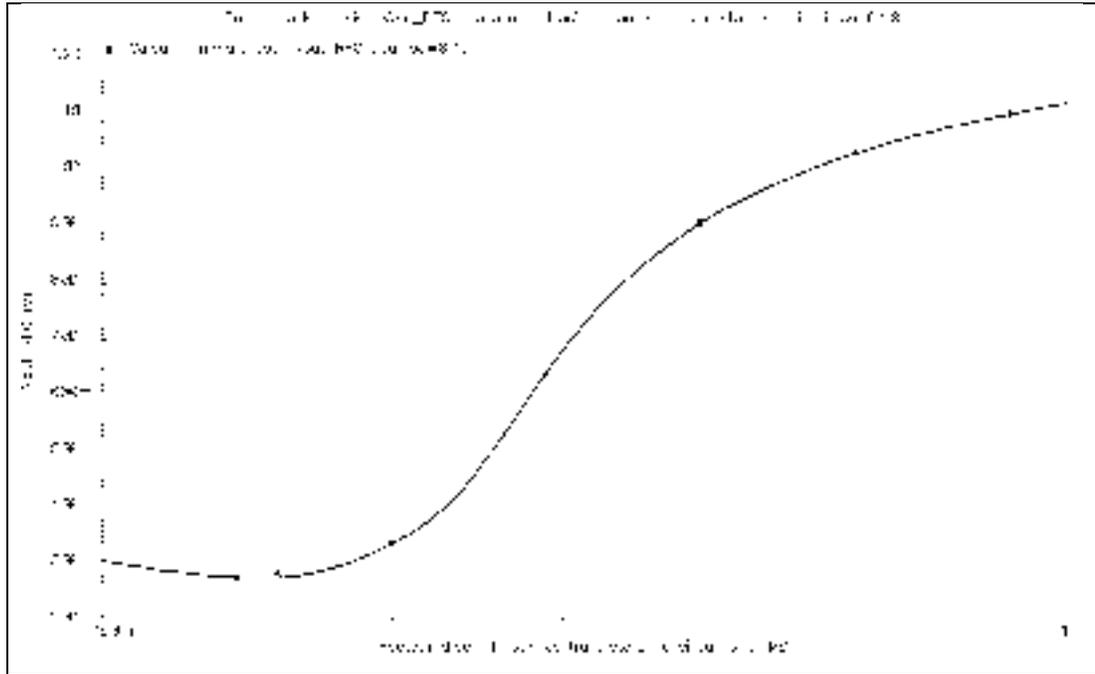


Figure 4.26 Variation de V_{out_RFC} en fonction de $scale2$

La plage dynamique initiale $V_{out_RFC}=1.13V$ correspond aux valeurs $scale1=1$ et $scale2=1$. Elle est obtenue en appliquant la polarisation calculée dans ce mémoire au montage de (Assaad et Silva-Martinez, 2009). En suivant la méthode adoptée à la section 3.2.2.4 pour diminuer la consommation de courant de l'étage de gain, la première étape consiste à diminuer de $scale2$. Cette diminution provoque une baisse de V_{out_RFC} , mesurée à la Figure 4.26 avec un balayage de $scale2$ allant de 1 à 0.1. La valeur minimale pour laquelle V_{out_RFC} présente une variation conforme à la théorie est $scale2 = 0.15$. À partir de là, la deuxième étape de la méthode proposée consiste à diminuer $scale1$, dont l'effet sera d'augmenter V_{out_RFC} afin de retrouver sa valeur initiale correspondant à $scale1=1$ et $scale2=1$. Avec un balayage de $scale1$ allant de 1 à 0.1, la valeur qui permet de retrouver la plage dynamique initiale est de $scale2=0.15$, ainsi que le montre la Figure 4.27.

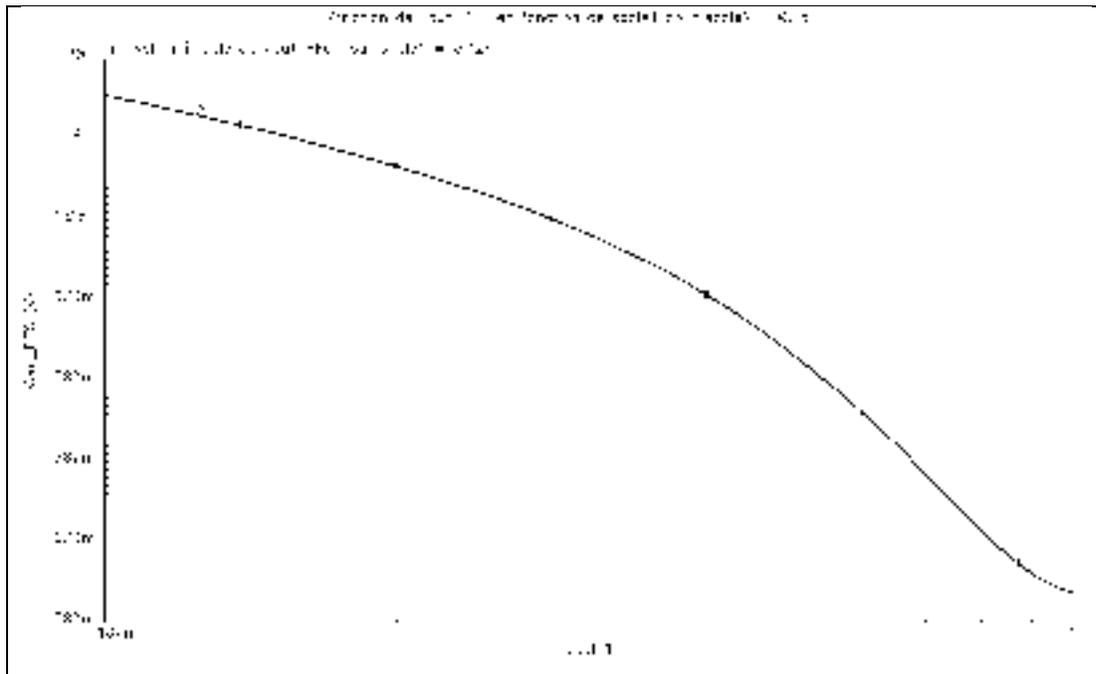


Figure 4.27 Variation de V_{out_RFC} en fonction de $scale1$

Ce paragraphe a permis de trouver les valeurs de $scale1$ et $scale2$ introduits à la section 3.2.2. Cette démarche a été effectuée tout en conservant la plage dynamique à la sortie de l'étage de gain, ce qui favorisera une linéarité du gain en boucle ouverte et un bon fonctionnement de la charge active. Finalement :

$$scale2 = 0.15 \quad (4.29)$$

$$scale1 = 0.15 \quad (4.30)$$

4.2.2.2 Effets DC de la baisse du courant de polarisation

Dimensions finales des transistors

Le redimensionnement des transistors ayant conduit à la baisse du courant de polarisation débouche sur les nouvelles dimensions présentées au Tableau 4.4. Il montre une réduction

des dimensions des transistors comparativement aux valeurs du Tableau 4.1, ce qui est un avantage considérable pour la miniaturisation de la puce.

Tableau 4.4 Dimensions finales des transistors de l'étage de gain suite au redimensionnement ayant permis la baisse du courant de polarisation

Transistors	W/L
M0	19.2/0.5
M1a, M1b, M2a, M2b	9.6/0.36
M11, M12	1.2/0.18
M3a, M4a	3.6/0.5
M3b, M4b	1.2/0.5
M5, M6	2.4/0.18
M7, M8	9.6/0.18
M9, M10	9.6/0.5

Erreur statique

La nouvelle estimation d'erreur statique effectuée à l'aide du montage de la Figure 4.24 permet d'observer les résultats de la Figure 4.28, qui indique une erreur statique de 315 μV pour atteindre 1.4V à la sortie, avec I_{Load} 20mA et $a = 520$. Cette valeur est inférieure à 1mV et montre que la régulation avec le plein courant de charge est possible avec le nouveau courant de polarisation.

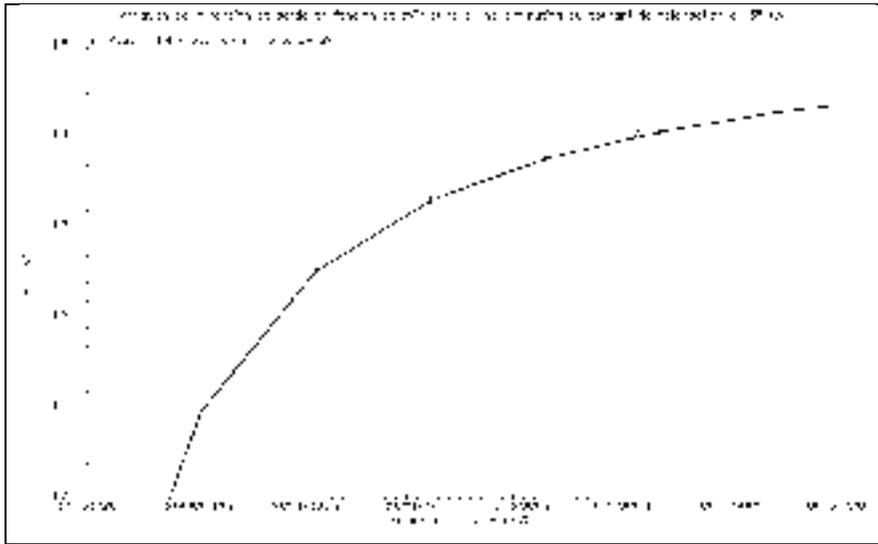


Figure 4.28 Variation de V_{out} en fonction de dV_{in} suite à la réduction de courant polarisation

Baisse drastique du courant de polarisation

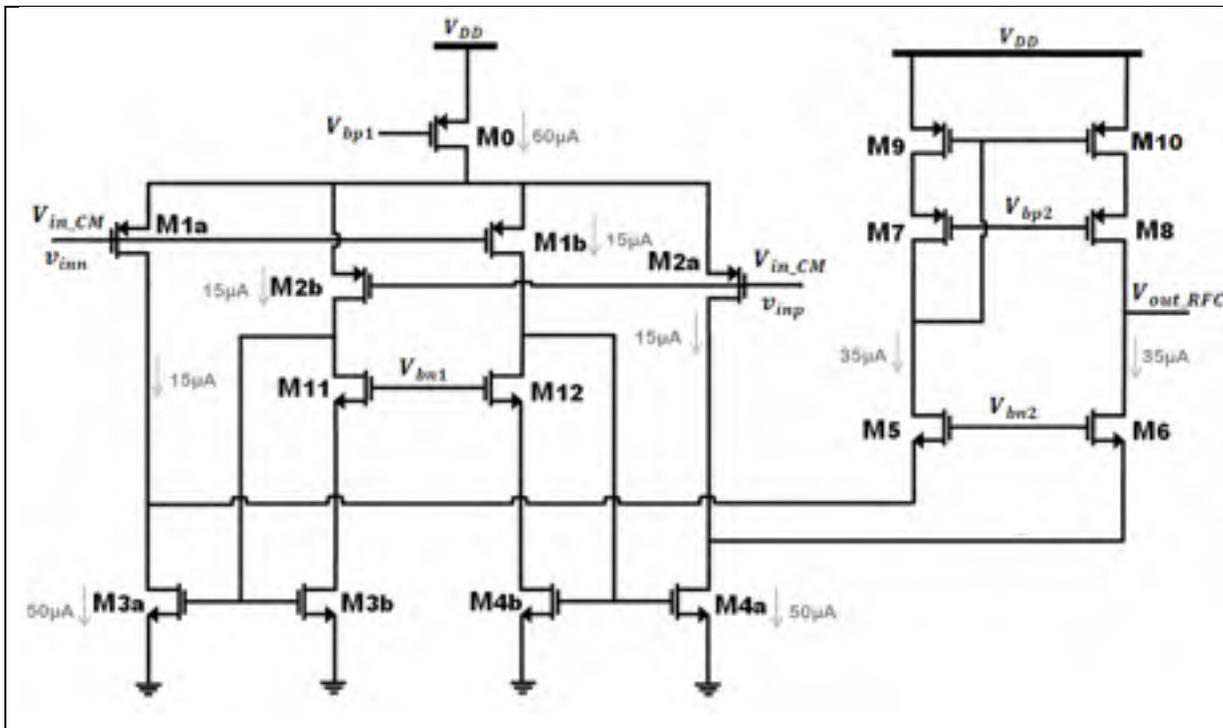


Figure 4.29 Intensités des courants du Recycled Folded Cascode avec un courant de polarisation de $130 \mu A$

Le courant de polarisation passe de **$800\mu\text{A}$ à $130\mu\text{A}$** dans le Recycled Folded-Cascode, tout en maintenant la même plage dynamique de feed-back qu'avant le redimensionnement des transistors (Figure 4.29). Ce résultat est l'une des principales contributions de ce mémoire.

État des transistors

Dans la condition d'opération fixée par les équations (4.29) et (4.30), nous avons vérifié par lecture directe que tous les transistors du montage sont polarisés dans leur zone de saturation (Figure 4.30). Les tensions indiquées pour les grilles, les drains et les sources des transistors peuvent être utilisées dans l'application des relations du Tableau 1.1 pour vérifier cela.

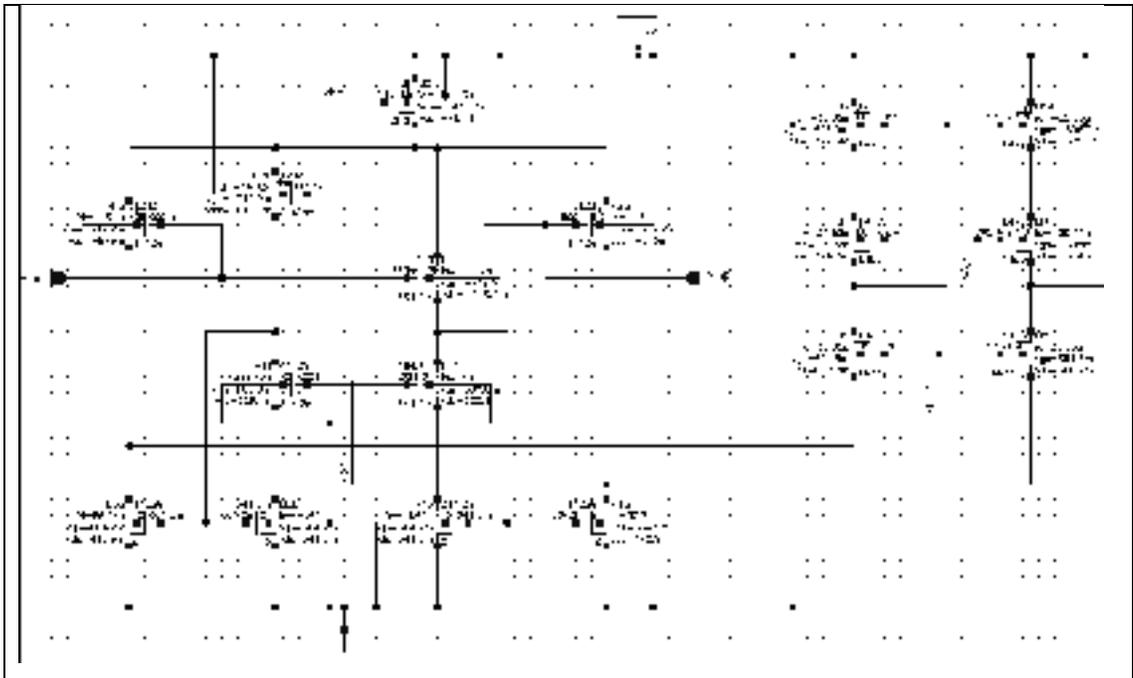


Figure 4.30 Circuit de polarisation annoté DC

CAPSULE 4.2

La réduction drastique du courant de polarisation et la capacité de l'ampli-op à fournir un courant de 20 mA confirment que ces résultats cadrent parfaitement avec notre problématique de recherche. La constance de la plage dynamique de feedback autour de la tension de référence choisie l'aide à fonctionner comme un bon régulateur

4.3 Simulations AC

Dans cette partie sont abordées les simulations de quelques paramètres AC. Les résistances d'entrée du régulateur sont supposées infinies et ne sont pas mesurées. L'information sur le gain DC et les fréquences de coupure est accessible sur la réponse en fréquence. Cette section présente la résistance de sortie de l'étage de gain (section 4.3.1), la résistance de sortie de l'ampli-op (section 4.3.2) et l'évaluation du TRMC (section 4.3.3).

4.3.1 Résistances de sortie de l'étage de gain

L'une des méthodes proposées pour évaluer la résistance de sortie est de mesurer l'appel en courant réalisé par le circuit, suite à une petite variation d'une source de tension connectée à sa sortie, lorsque les entrées sont en court-circuit (Razavi, 2008, p. 185). Les entrées doivent être à la masse alternative. Le rapport entre la variation de tension et la variation courant entrant dans le circuit constitue sa résistance de sortie. Dans le cadre de notre mémoire, la résistance de sortie de l'étage de gain a été évaluée d'après le circuit de la Figure 4.31.

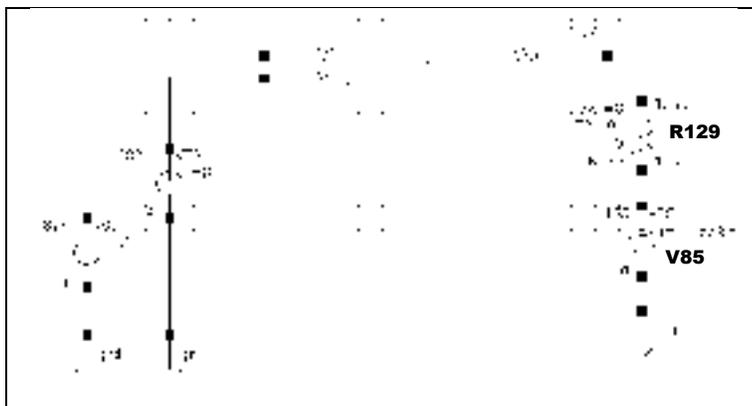


Figure 4.31 Mesure de la résistance de sortie du Recycled Folded-cascode

La tension $V85 = 1.105V$ est choisie pour ne pas perturber la polarisation du Recycled Folded Cascode au départ. Pour cette valeur, le courant entrant est pratiquement nul. Une variation de 3.12 mV est effectuée autour de ce potentiel. La variation de courant

correspondante mesurée à travers la résistance R129 est de 486.5 nA/V, ainsi que le montre la Figure 4.32. L'inverse de cette pente donne la résistance de sortie du Recycled Folded-Cascode :

$$R_{out_RFC} = 2.05M\Omega \quad (4.31)$$

Cette haute impédance s'explique par les hautes impédances généralement vues aux drains des MOS, et accentuées dans cette structure de circuit grâce à la dégénération de M6 et M8 par M4a et M10 respectivement (Figure 1.12).

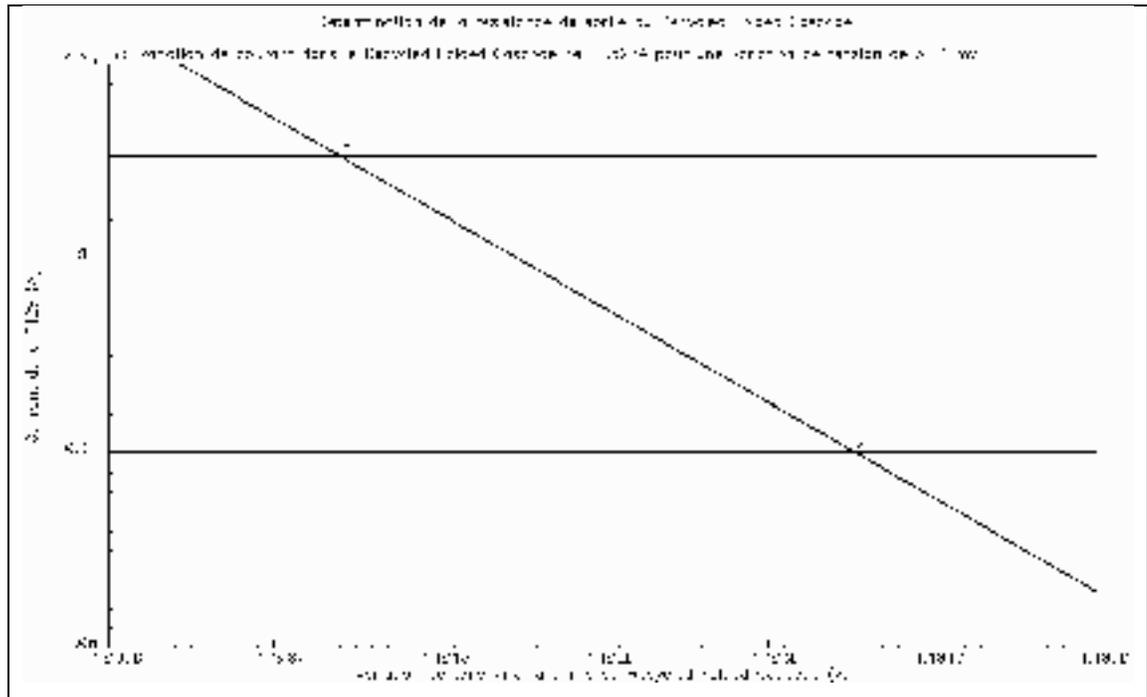


Figure 4.32 Mesure de la résistance de sortie de l'étage de gain

4.3.2 Résistance de sortie de l'amplificateur opérationnel

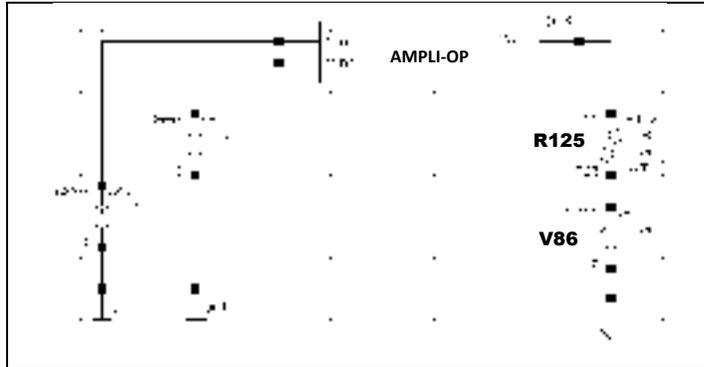


Figure 4.33 Détermination des résistances de sortie

La résistance de sortie de l'amplificateur opérationnel (incluant le buffer) est déterminée à partir du montage de la Figure 4.33. La tension initiale est $V86 = 1.325V$, pour polariser le buffer en région de saturation avec un courant de 3 mA dans la résistance R132. Une petite variation de 12 mV autour de cette tension provoque une variation de 13.72 μA dans la charge, ainsi que le montre la Figure 4.34 :

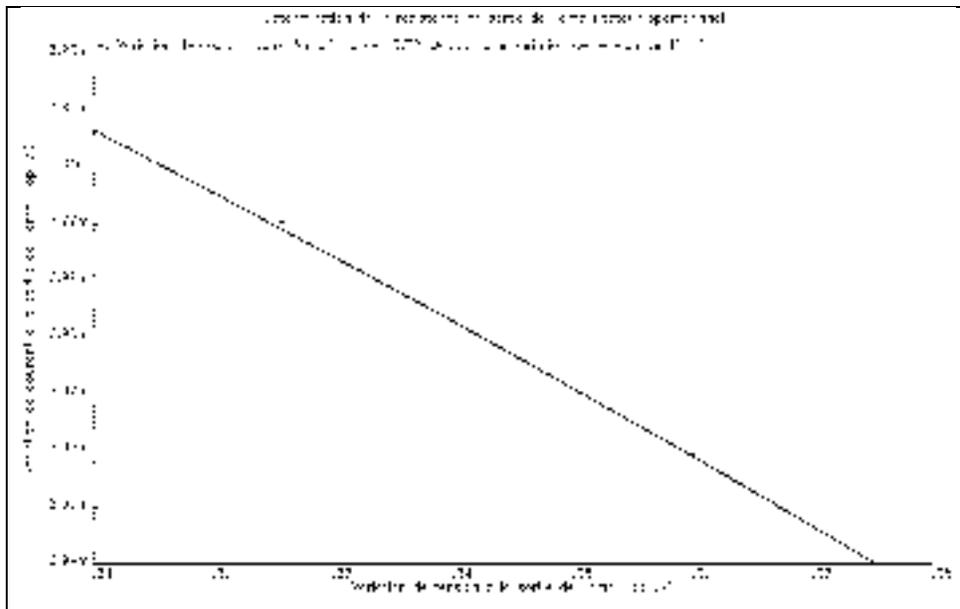


Figure 4.34 Mesure de la résistance de sortie de l'ampli-op

Ces variations décrivent une pente de $895.15 \mu\text{A/V}$, dont l'inverse correspond à la résistance de sortie de l'ampli-op donnée à (4.32) :

$$\boxed{R_{out} = 1.2 \text{ k}\Omega} \quad (4.32)$$

L'équation (1.5) donne la relation entre les résistances de type R_{out} et l'intensité du courant dans le transistor. Avec les courants généralement de l'ordre du μA , ces résistances atteignent quelques dizaines de $\text{k}\Omega$. Mais pour des courants de 20 mA , il n'est surprenant d'avoir une telle résistance.

4.3.3 Taux de réjection en mode commun

Le taux de réjection en mode commun (TRMC) est une mesure de performance des amplificateurs opérationnels. Il permet d'évaluer de quel ordre de grandeur l'amplification utile réalisée par le mode différentiel est meilleure par rapport à l'amplification non désirée des signaux aux entrées V_{inn} et V_{inp} effectuée en mode commun (Sedra et Smith, 2010, p. 71). Le TRMC est calculé d'après l'équation (4.33) :

$$TRMC = 20 \log \left| \frac{A_{V_d}}{A_{V_{MC}}} \right| \quad (4.33)$$

où A_{V_d} est le gain différentiel de l'ampli-op et $A_{V_{MC}}$ est le gain en mode commun de l'amplificateur opérationnel. Il a été évalué à partir du montage de la Figure 4.35.

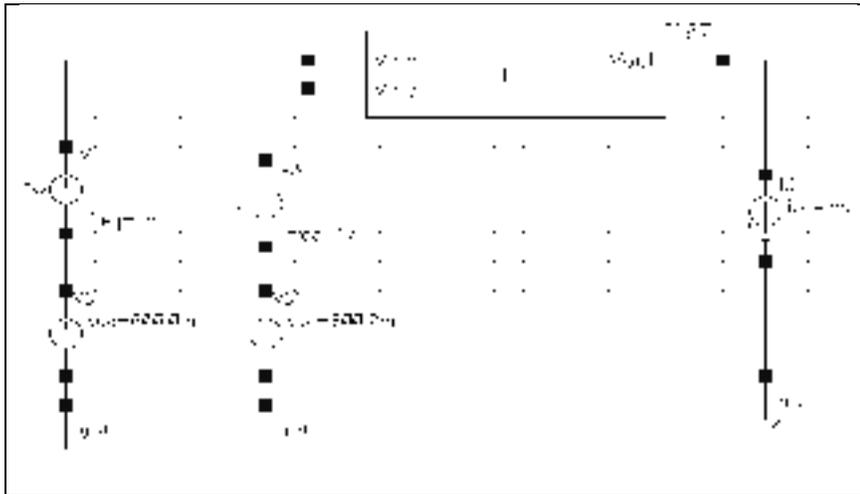


Figure 4.35 Détermination du TRMC

Pour la mesure de $A_{V_{MC}}$, les sources alternatives ont toutes les deux une amplitude AC égale soit : $V_{max3} = V_{max4} = 1\text{mV}$. Pour la mesure de A_{V_d} , les amplitudes sont en opposition de phase : $V_{max3} = -V_{max4} = 1\text{ mV}$. Les résultats sont présentés au Tableau 4.5 :

Tableau 4.5 Valeurs des gains pour le calcul du TRMC

A_{V_d} (V/V)	$A_{V_{MC}}$ (V/V)	TRMC (dB)
84.91	- 0.0152	74.94

Finalement, la valeur du TRMC est donnée à l'équation (4.34).

$$TRMC = 74.94 \text{ dB}$$

(4.34)

4.4 Réponse en fréquence et stabilité du régulateur

4.4.1 Réponse en fréquence du Recycled-Folded Cascode

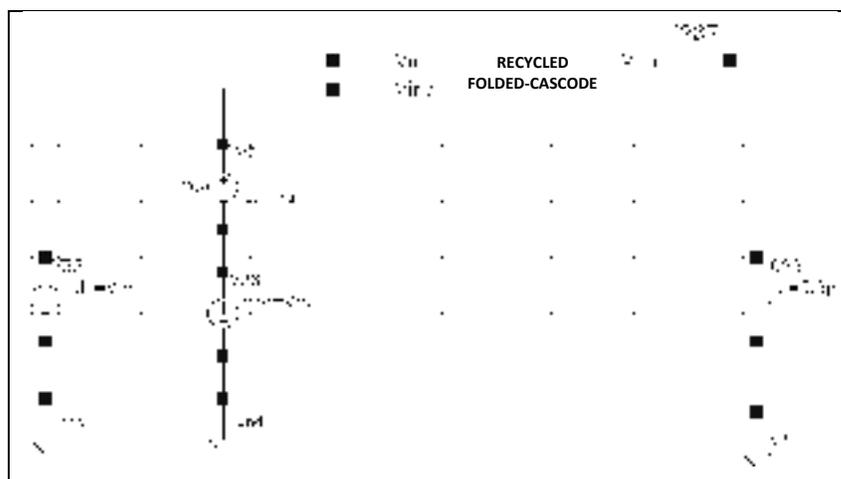


Figure 4.36 Montage test pour la réponse en fréquence du Recycled Folded-Cascode

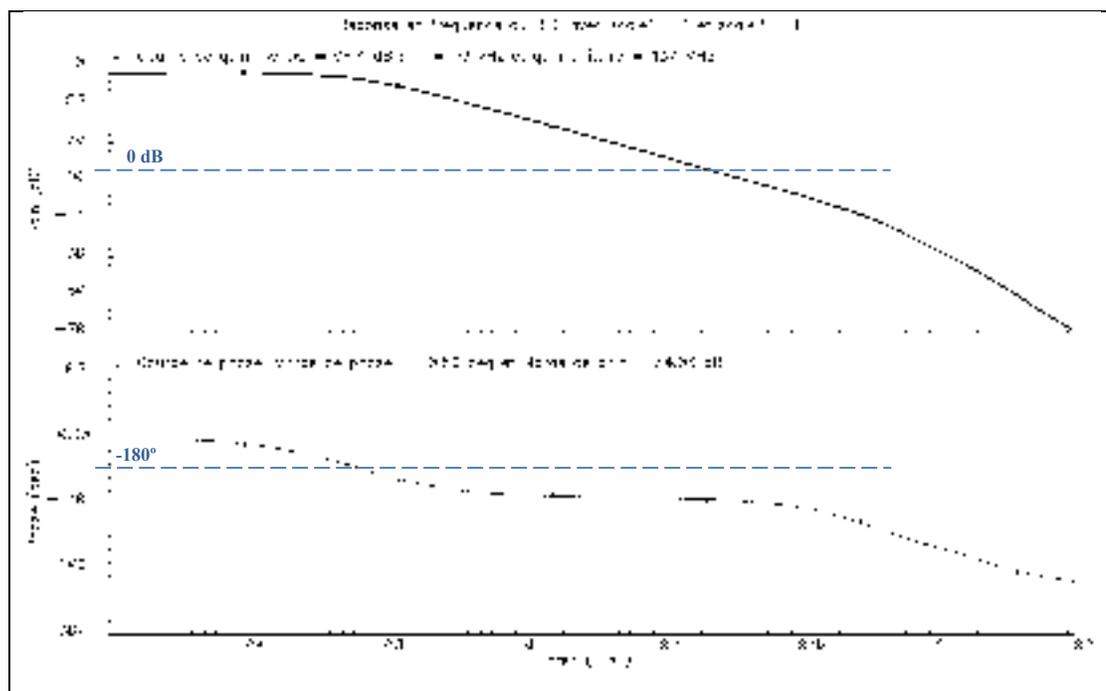


Figure 4.37 Réponse en fréquence du Recycled Folded-Cascode à $800\mu\text{A}$

La réponse en fréquence du Recycled Folded-Cascode est tracée à partir du montage de la Figure 4.36. La charge capacitive est choisie à 5.6 pF pour comparer les résultats de ce mémoire à ceux de l'article (Assaad et Silva-Martinez, 2009). Pour ce test, $V_{ref} = 0.6V$ et $V_{ac} = 1 mV$. Les réponses en fréquence sont tracées pour diverses valeurs du courant de polarisation. Celle tracée à 800 μA (cas de l'article) est donnée à la Figure 4.37 à titre d'exemple. Parmi les mesures présentées dans (Assaad et Silva-Martinez, 2009), trois d'entre elles sont pertinentes dans le design d'un circuit de feed-back : le gain DC, la fréquence de passage à 0 dB (GBW) et la marge de phase (PM, section 1.3.3). Le Tableau 4.6 compare les valeurs de ces paramètres données dans cet article, à celles obtenues par simulation dans ce mémoire (pour des courants de polarisation de 800 μA et 400 μA uniquement).

Tableau 4.6 Comparaison des réponses en fréquence de Assaad et Silva-Martinez (2009) et du mémoire

Polarisation	800 μA		400 μA	
	Article	Mémoire	Article	Mémoire
Gain (dB)	60.9	66.23	59.7	65.88
GBW (MHz)	134.2	138.8	70.4	73.67
PM (degrés)	70.6	70.53	79.8	79.58

Les gains obtenus dans le mémoire sont d'environ 6 dB supérieur à ceux de l'article. Nous attribuons cette différence aux effets combinés de la réduction de W/L et la réduction du courant de polarisation (Razavi, 2008, p. 337) découlant de l'analyse rigoureuse des potentiels de polarisation dans ce mémoire. Les fréquences de passage à 0 dB et les marges de phase sont semblables dans les deux circuits.

4.4.2 Réponse en fréquence de l'amplificateur opérationnel

Contrairement aux réponses en fréquence classiques, nous ne pouvons pas utiliser une charge capacitive seule comme à la Figure 4.36, parce que le buffer ne serait pas polarisé. Une façon de respecter la condition de charge infinie tout en polarisant le buffer est de le charger par

une source à courant idéale. Il faut cependant tenir compte de la zone d'opération du buffer. L'intensité du courant doit être de telle sorte que $V_{DB} - V_{GB} \leq |V_{THP}|$ pour maintenir le buffer en zone de saturation. D'après les simulations, cette condition est respectée pour I_{Load} compris entre 2.5mA à 3.55 mA. Sur cette base, nous avons choisi de tracer trois réponses en fréquences, pour les courants de 2.5 mA, 3 mA et 3.5 mA. Les mesures ont été faites à partir de la Figure 4.38. Les résultats sont consignés dans le Tableau 4.7, avec f_{0dB} = fréquence de gain unitaire, parfois désigné GBW (Sedra et Smith, 2010, p. 99).

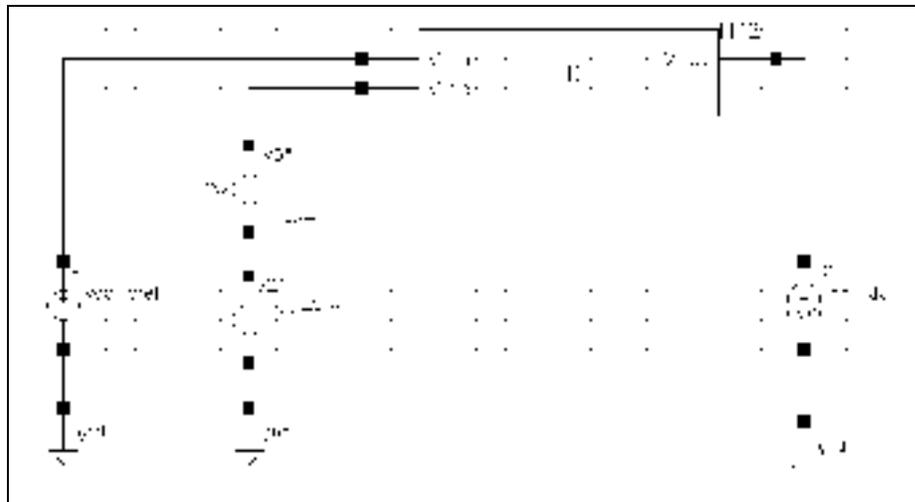


Figure 4.38 Montage de test pour la réponse en fréquence de l'ampli-op

Le gain total augmente avec le courant de charge. Cela est dû au fait que la contribution du buffer dans le gain de l'ampli-op augmente avec le courant dans la charge. Dans ces conditions, la stabilité de l'ampli-op est de plus en plus compromise, ainsi que le montrent la diminution de la marge de phase PM et la marge de gain GM (voir section 1.3.3).

Tableau 4.7 Paramètres AC de la réponse en fréquence de l'ampli-op à pour divers courants de charge

idc (mA)	Gain (dB)	f_c (kHz)	f_{0dB} (MHz)	PM (deg)	GM (dB)
2.5	79.21	84.07	496.9	21.29	-6.568
3.0	91.47	33.94	646.5	6.931	-1.645
3.5	98.76	16.67	655.5	5.822	-1.403

4.4.3 Réponse en fréquence et baisse du courant de polarisation

Dans le cadre de notre problématique, il est essentiel d'étudier l'influence de la baisse du courant de polarisation sur les paramètres AC. Ainsi, le Tableau 4.8 montre l'évolution de ces paramètres avec la baisse du courant de polarisation dans l'ampli-op. Le montage utilisé est celui de la Figure 4.38, avec un courant de charge de 2.5 mA. Au-delà du courant de charge, l'idée est surtout de repérer les tendances permettant d'analyser l'influence de la baisse du courant de polarisation sur les paramètres AC de l'ampli-op.

Tableau 4.8 RFC et baisse du courant de polarisation

Polarisation	Gain (dB)	fc (MHz)	f _{0dB} (GHz)	PM (deg.)	GM (dB)
800 μ A	95.68	126.4	1.377	-17.68	14.99
400 μ A	92.32	91.77	1.010	-13.37	8.381
200 μ A	84.18	78.47	0.646	6.984	-1.708
135 μ A	79.21	84.07	0.497	21.29	-6.568

Avec la baisse du courant de polarisation, la transconductance des transistors M1a, M1b, M2a et M2b diminue. Étant donné la proportionnalité entre ces transconductances et celle de l'ampli-op, le gain de l'ampli-op diminue (section 2.3.3.3). Il reste cependant à un niveau suffisant pour assurer une bonne régulation (section 1.3.4.2). Par ailleurs, la marge de phase augmente. Ainsi, la baisse du courant de polarisation diminue le gain mais améliore la stabilité de l'ampli-op.

4.5 Simulation du feed-back

Cette partie traite des performances du régulateur débitant dans une charge isolée en RF, lorsque des perturbations telles qu'une variation de la tension d'alimentation (section 4.5.3), une variation de la référence (section 4.5.4), une variation de la température (section 4.5.5), et une variation du courant de charge (section 4.5.6) sont enregistrées. Les variations sont émulées à travers des balayages effectués sur le paramètre concerné. Le but est d'éprouver la

qualité de la régulation pour diverses perturbations liées à l'état électrique de régulateur. Le calcul des résistances du module de rétroaction est présenté à la section 4.5.1.

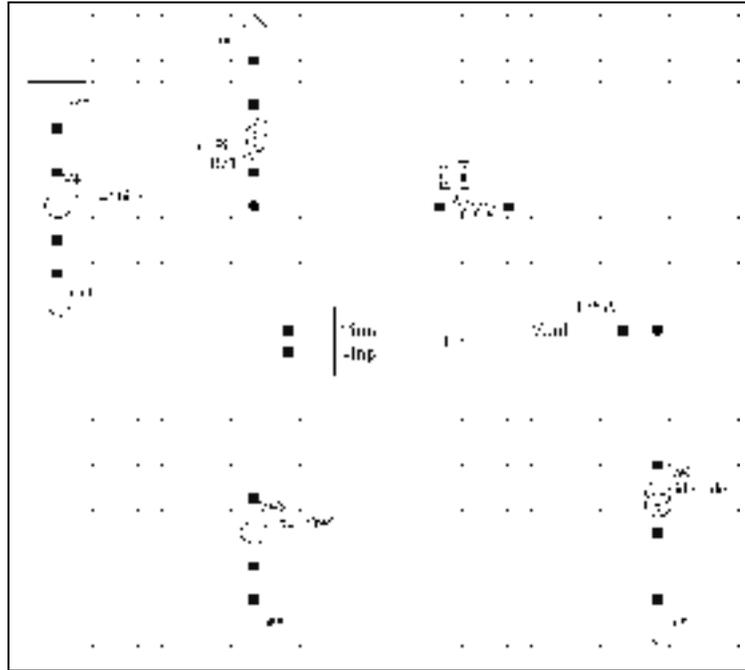


Figure 4.39 Montage des tests en rétroaction avec une charge en courant isolée en RF

4.5.1 Résistances du module de feed-back

Les résistances R_f et R_{in} sont calculées à partir des équations (3.35) et (4.27). Elles forment un système d'équations qui permet de trouver la relation entre R_f et R_{in} :

$$\left. \begin{array}{l} \frac{1.4}{V_{REF}} = 1 + \frac{R_f}{R_{in}} \\ V_{REF} = 0.6 \end{array} \right\} \Rightarrow R_{in} = 0.75R_f \quad (4.35)$$

En tenant compte de la condition (3.33), $(R_f + R_{in})_{min} = 280 \text{ k}\Omega$. Nous choisissons $R_f = 280 \text{ k}\Omega$, à la valeur limite pour nous assurer que la condition sera respectée. La valeur

de R_{in} correspondante est de 210 k Ω . Ainsi, les résistances du module de feed-back sont données par les équations (4.36) et (4.37) :

$$R_f = 280 \text{ k}\Omega \quad (4.36)$$

$$R_{in} = 210 \text{ k}\Omega \quad (4.37)$$

4.5.2 Stabilité du feed-back

Pour mesurer la stabilité du régulateur, il faut se placer à la sortie du module de rétroaction (V_f à la Figure 4.40) avant d'évaluer la marge de phase et la marge de gain. Le montage utilisé à ces fins est présenté à la Figure 4.40. Les mesures effectuées pour les mêmes courants qu'à la section 4.4.3 sont présentées dans le Tableau 4.9.

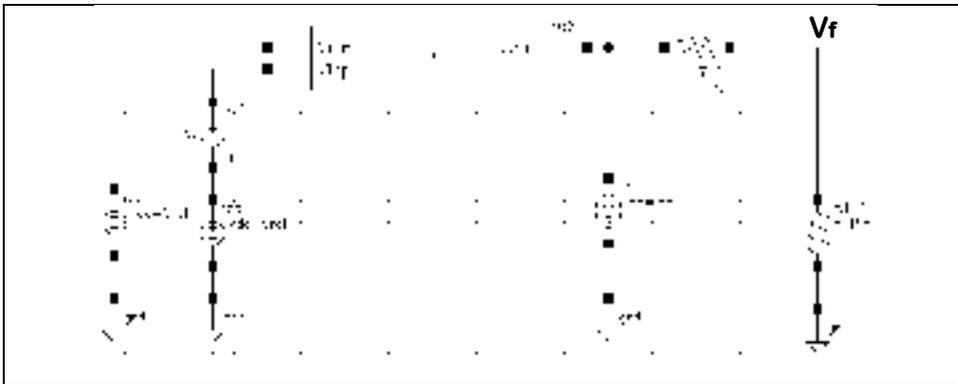


Figure 4.40 Ampli-op et module de feed-back pour l'étude de la stabilité

Tableau 4.9 Paramètres AC pour l'étude de la stabilité du régulateur

idc (mA)	Gain (dB)	f_{0dB} (MHz)	PM (deg)	GM (dB)
2.5	72.04	333.5	45.92	-13.8
3.0	84.18	546.7	29.91	-8.989
3.5	91.36	620.3	27.94	-8.766

Le module de rétroaction agit comme un atténuateur qui diminue le gain en boucle ouverte de l'ampli-op de 7.36 dBm. Cette diminution améliore la marge de phase et la marge de gain, ce qui accroît la stabilité du régulateur. Pour plus de fiabilité, nous avons évalué cette stabilité à la valeur maximale du courant de charge. Nous avons pour cela émulé l'opération du régulateur en mode de feed-back, en rajoutant la source dVin qui permet de maintenir une tension de sortie de 1.4V avec l'augmentation de courant (Figure 4.41).

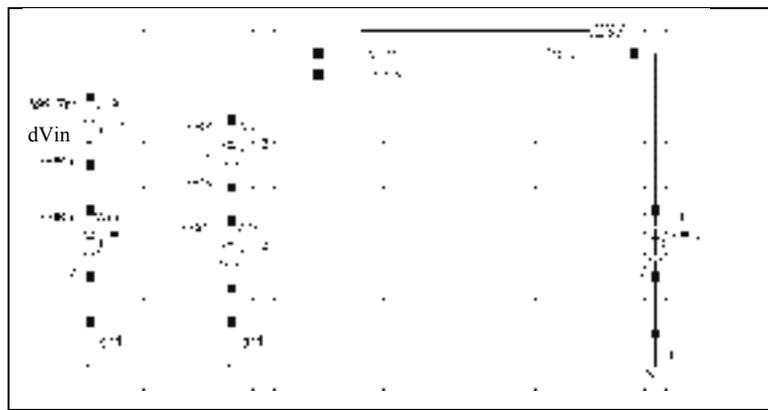


Figure 4.41 Montage de la réponse en fréquence de l'ampli-op avec émulation du feed-back

Tableau 4.10 Réponse en fréquence à 20 mA dans la charge

I_Load (mA)	dVin (μA)	Gain (dB)	f_{0dB} (MHz)	PM (deg)	GM (dB)
20	-315	62.53	248	54.08	-37.71
25	-794	40.79	166	66.32	42.96

Les mesures sont présentées au Tableau 4.10 pour $I_{Load} = 20$ mA et $I_{Load} = 25$ mA. En augmentant le courant de charge, le mécanisme de feed-back polarise M6 et M4a de plus en plus en région triode. Cette baisse du gain a pour conséquence l'amélioration de la marge de phase et celle de la marge de gain, ce qui rend plus stable le circuit de régulation. Ce résultat nous conforte quant à la stabilité du régulateur au-delà de 20 mA, tant que l'état de M6 et M4a le permet (section 3.4.4.3).

4.5.3 Variations de Vdd

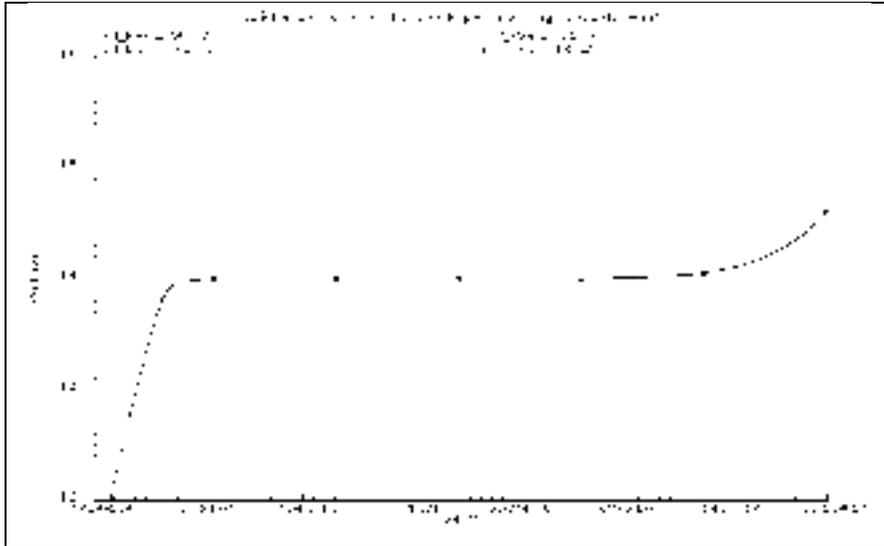


Figure 4.42 Variation de la tension de sortie pour diverses polarisations avec un courant de charge de 20 mA

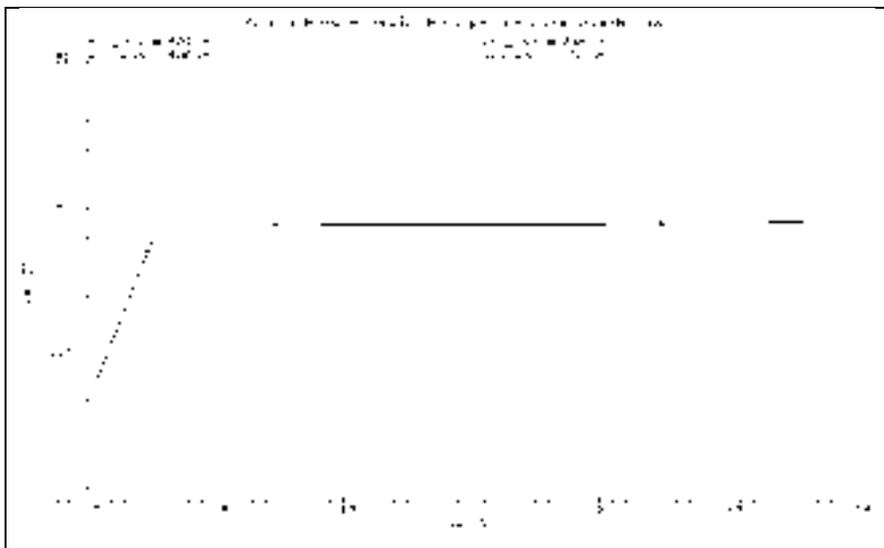


Figure 4.43 Variation de la tension de sortie pour diverses polarisations avec un courant de charge de 1 mA

La robustesse du régulateur vis-à-vis des variations de la tension d'alimentation a été étudiée avec un balayage de 1 V à 4 V. Le balayage a été effectué pour un courant de charge de 1 mA, puis un courant de charge de 20 mA, en changeant à chaque fois le courant de

polarisation : 800 μA , 400 μA , 200 μA , et 135 μA . La Figure 4.42 et la Figure 4.43 montrent que les variations de V_{out} sont identiques pour les différents courants de polarisation (les courbes sont superposées).

Pour une charge de 1 mA, V_{out} passe 1.398 V à 1.402 V pour V_{DD} allant de 1.704 V à 3.18 V. Pour une charge de 20 mA, V_{out} passe de 1.4V à 1.402V pour V_{DD} allant de 1.42V à 2.35V. Finalement, comme le montre la Figure 4.44, pour une variation de 1.398 V à 1.402 V en sortie, il faut situer la tension d'alimentation dans la plage délimitée à l'équation (4.38).

$$1.704 \text{ V} \leq V_{DD} \leq 2.35 \text{ V} \quad (4.38)$$

Cette plage donne les tensions d'alimentation pour lesquelles la régulation reste effective, indépendamment du courant de charge variant de 1 mA à 20 mA, et indépendamment du courant de polarisation variant de 135 μA à 800 μA .

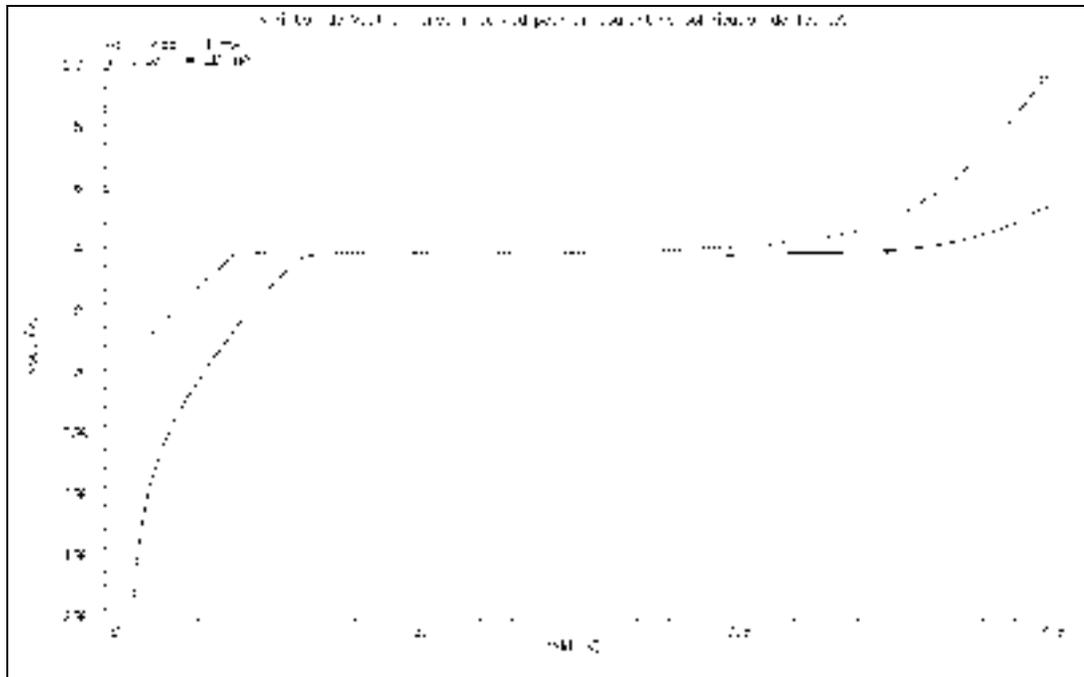


Figure 4.44 Variation de V_{out} en fonction de la tension d'alimentation

4.5.4 Variations de V_{REF}

Pour évaluer la robustesse du régulateur vis-à-vis des variations de la référence, un balayage a été effectué de 0.2 V à 1 V. Il s'agit de vérifier que les variations de V_{out} restent linéaires dans un rapport constant $(1 + R_f/R_{in})$, vis-à-vis de la référence. Les résultats sont présentés à la Figure 4.45.

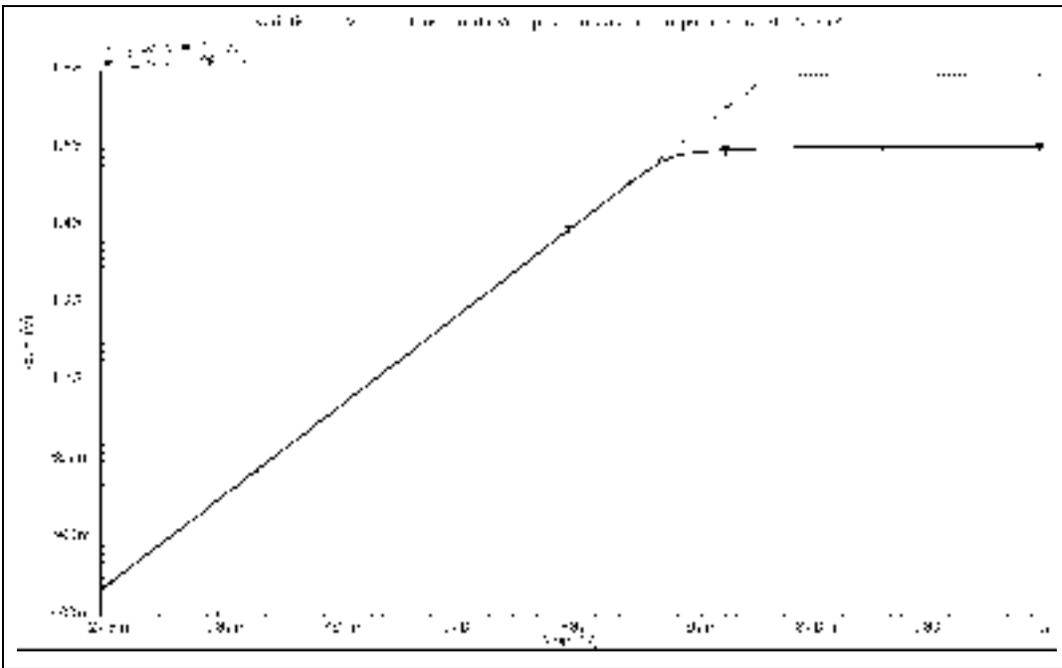


Figure 4.45 Variation de V_{out} suite à une variation de la référence

Le rapport de proportionnalité entre la référence et la sortie est mesuré à 1.4/0.6 sur la plage de balayage, indépendamment du courant de polarisation. Avec l'augmentation de la référence, le courant dans le Recycled Folded-Cascode diminue à cause de la réduction des tensions grille-source des transistors d'entrée. Le courant baisse dans le miroir de courant PMOS, ce qui entraîne une hausse de V_{out_RFC} . Par conséquent, le transistor M8 est d'abord plongé en région triode, puis il se bloque. Dès lors, la tension de sortie plafonne. La courbe perd sa linéarité et devient constante. La plage dynamique initiale étant plus grande dans le cas de 1 mA comparativement à celui de 20 mA, le blocage du miroir PMOS survient plus tard dans le cas de 1 mA, ainsi que le montre la Figure 4.53.

4.5.5 Variations de température

La Figure 4.46 montre les variations de la tension V_{out} avec un balayage thermique de 20 °C à 100 °C, afin d'évaluer la qualité de la régulation vis-à-vis des variations de la température.

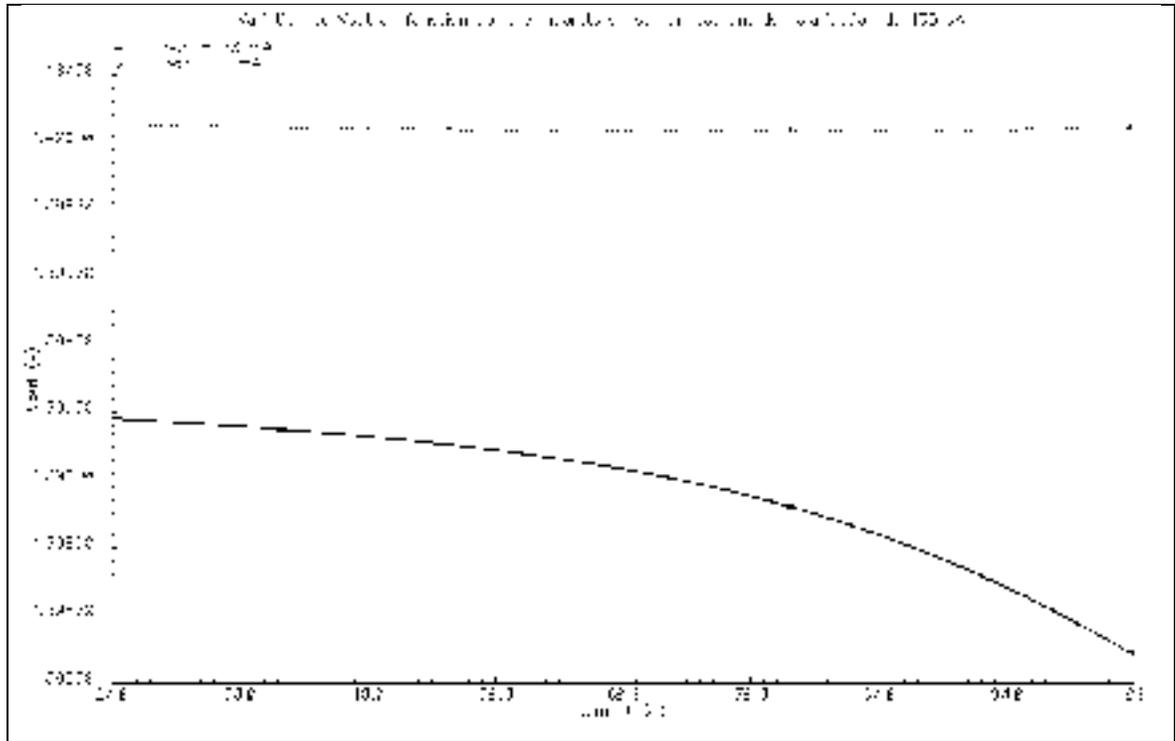


Figure 4.46 Comparatif des variations de V_{out} avec la température pour 1 mA et 20 mA

La chute de tension dans la charge en fonction de la température est plus importante pour un courant de 20 mA, comparativement au courant de 1 mA. Mais dans les deux cas, les variations de la tension de sortie sont très faibles. Cela s'explique par le fait que le gain en boucle ouverte de l'ampli-op demeure élevé en fonction de la température. Ainsi, la perturbation apportée est pratiquement annulée par rétroaction. À noter que les variations de température sont pratiquement superposées pour les différents courants de polarisation ainsi que le montrent la Figure 4.47 et la Figure 4.48. Ainsi, les analyses sont présentées pour 135 μA , mais elles restent valides pour 800 μA , 400 μA et 200 μA .

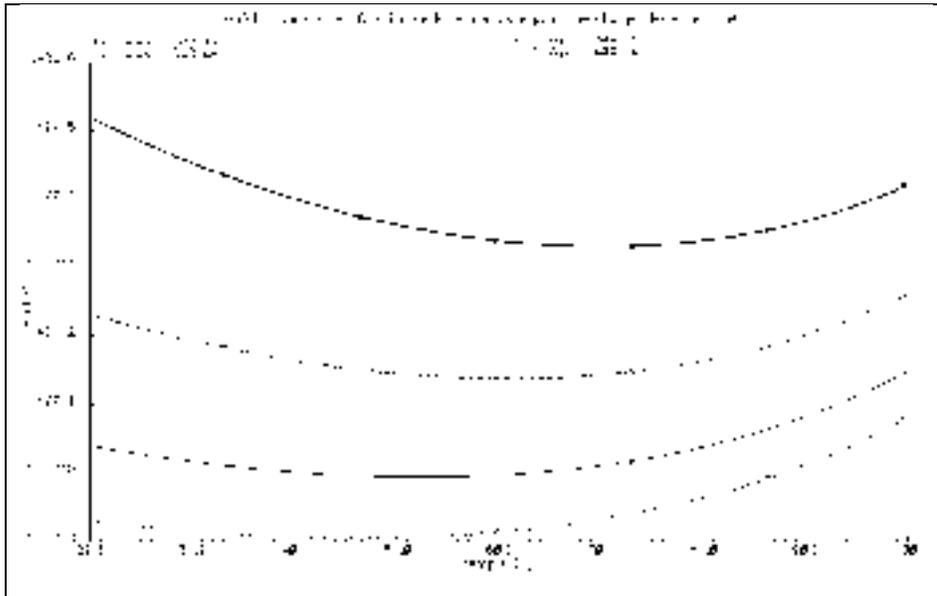


Figure 4.47 Variation de V_{out} en fonction de la température à 1 mA de charge pour divers courants de polarisation

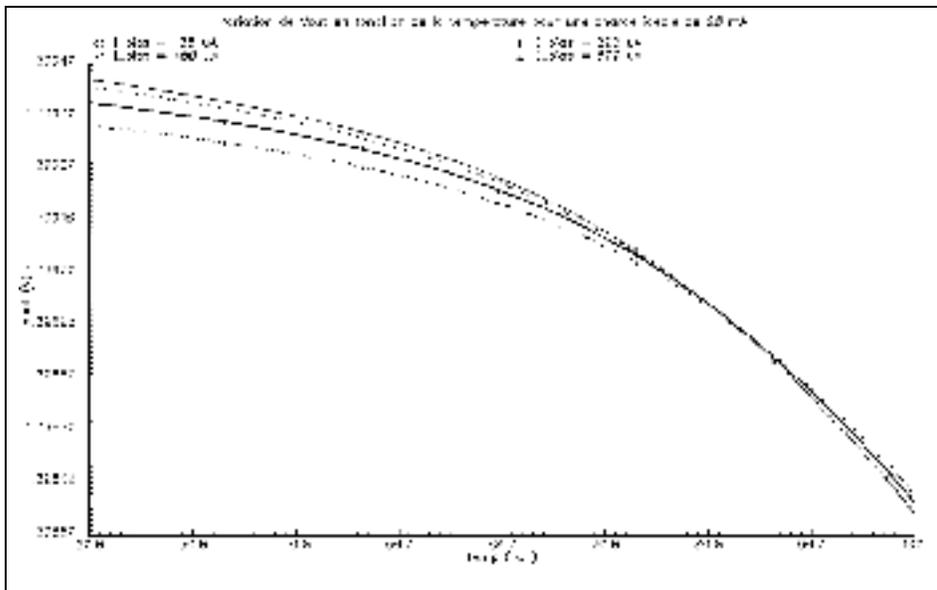


Figure 4.48 Variation de V_{out} en fonction de la température à 20 mA de charge pour divers courants de polarisation

4.5.6 Variations du courant de charge

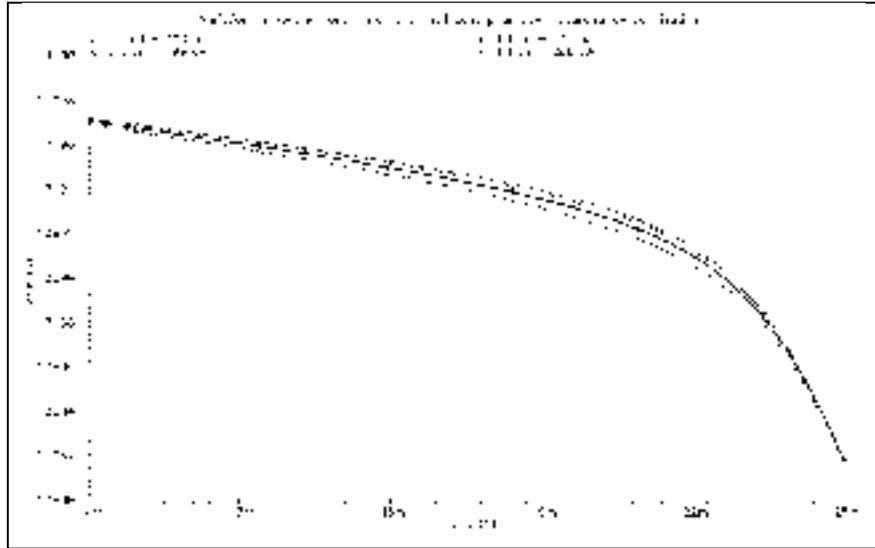


Figure 4.49 Variation de la tension de sortie en fonction du courant de charge

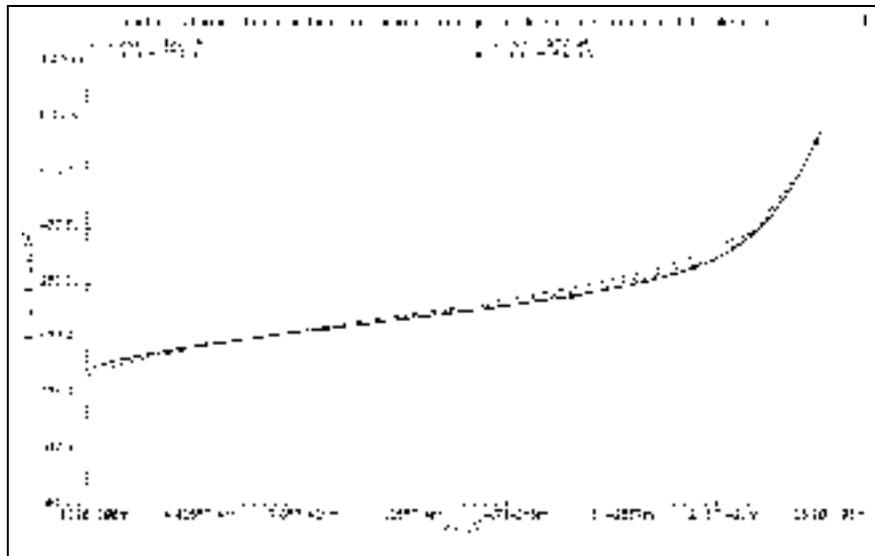


Figure 4.50 Variation de l'erreur statique en fonction du courant de charge

Cette analyse est la plus importante dans le contexte d'application du régulateur pour la polarisation d'amplificateur RFIC, car elle permet d'évaluer la qualité de la régulation avec une source à courant comme charge, émulant le comportement DC vu à la base d'un

transistor RF HBT (Figure 3.22). La chute de tension observée à la sortie du régulateur et l'erreur statique générée par la rétroaction doivent être contenues dans les limites fixées au début de ce chapitre. Pour un balayage de I_{Load} allant de 1 mA à 25 mA, la Figure 4.49 présente les variations de V_{out} tracées avec différents courants de polarisation, et la Figure 4.50 présente les variations de l'erreur statique ΔV_{in} correspondantes.

Entre 1 mA et 25 mA dans la charge, la chute de tension à la sortie du régulateur est de 0.13%, indépendamment du courant de polarisation. L'erreur statique maximale reste dans tous les cas inférieure à l'objectif de 1 mV. Elle est de 314.6 μ V à 20 mA et de 780 μ V à 25 mA. Ces résultats démontrent la bonne qualité de la régulation en présence d'une source idéale. Ils démontrent aussi que cette régulation peut être efficacement réalisée avec l'ensemble des courants de polarisation utilisés, y compris 135 μ A.

4.5.7 Influence de la fréquence du signal en bande de base

L'intensité du courant de charge tel que détaillée à la section 3.4.2.1 dépend de la fréquence du signal. En effet, une élévation de la fréquence du signal en bande de base correspond à une augmentation des pointes de courant sur un intervalle de temps donné, ce qui se traduit par une élévation de la valeur moyenne du courant de charge, c'est-à-dire I_{Load} . À l'inverse, une diminution de la fréquence correspond à une baisse de I_{Load} .

D'après les résultats de simulations précédents, si l'amplificateur intégré RF est soumis à une transmission pour laquelle les fréquences en bande de base produisent un courant de charge inférieur à 20 mA, la régulation pourra être efficace. Par contre, de nouvelles simulations doivent être faites pour des transmissions produisant des courants plus élevés. De plus, il faut tenir compte du fait que ces simulations ne prennent pas en compte l'influence de l'infiltration RF.

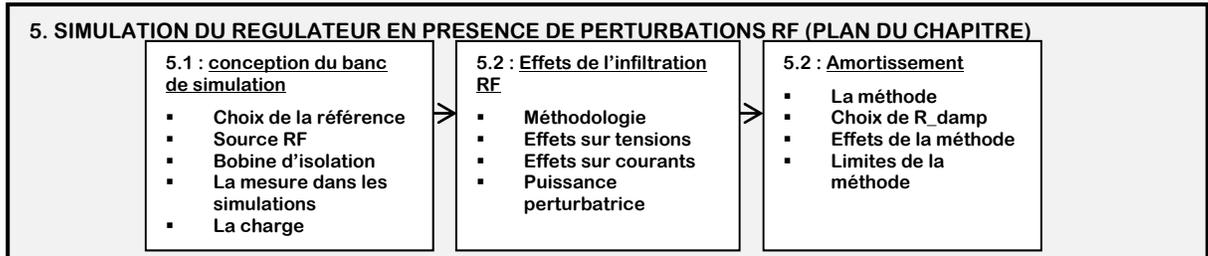
4.6 Synthèse de la simulation à charge RF isolée

Les résultats obtenus au chapitre précédent tels que le design du circuit de polarisation, le choix de la tension de référence ou la taille du buffer se sont révélés utiles dans ce chapitre. Le circuit de polarisation a été construit totalement en technologie CMOS et consomme un très faible de courant. Sa stabilité en température est suffisante pour conserver les performances du régulateur entre 20°C et 100°C. La plage de fonctionnement linéaire a été circonscrite. Elle a démontré son importance dans le comportement de la plage dynamique de feed-back et son impact sur la régulation. La tension de référence a été choisie justement pour limiter les non-linéarités de cette plage. Par ailleurs, les améliorations nécessaires pour arrimer l'ampli-op à notre problématique de recherche ont été réalisées avec efficacité : le courant de polarisation a été drastiquement réduit de 800 μA à 135 μA , et un courant de charge de 25 mA cause juste une chute de 1.8 mV dans la tension de sortie. Enfin, la stabilité du feed-back est bonne, ainsi que l'ont montré les différentes réponses en fréquence. Elle permet de justifier les bons résultats de la régulation obtenus suite à divers types de perturbations.

Tous ces résultats nous confortent quant aux performances du régulateur avec une charge isolée en RF. Mais pour évaluer ses performances en présence de perturbations RF, il faut l'éprouver dans un banc de simulation qui nous rapproche de ce contexte. Le chapitre suivant est ainsi consacré aux performances du régulateur en présence de perturbations RF. Son objectif sera surtout de proposer des techniques de désensibilisation. Pour cela, nous devons compter sur des simulations rigoureuses et très documentées, comme nous l'avons fait dans ce chapitre.

CHAPITRE 5

SIMULATION DU RÉGULATEUR EN PRÉSENCE DE PERTURBATIONS RF



Les simulations effectuées au chapitre précédent mettaient le régulateur en présence d'une charge et d'une référence isolées en RF. Dans ce chapitre, l'effet des perturbations RF sera étudié, et certaines techniques de circuit seront appliquées pour les combattre, c'est-à-dire désensibiliser le régulateur des perturbations RF. La première étape est celle de valider les résultats obtenus à la suite du chapitre 4, dans un environnement qui tient compte des signaux RF, et non de simples sources idéales (section 5.1). Par la suite, les effets de l'infiltration RF dans le régulateur seront étudiés en opérant une dégradation progressive de l'isolation entre lui et les signaux RF de l'amplificateur intégré (section 5.2). Ces effets seront combattus par d'une méthode proposés afin d'optimiser le fonctionnement du régulateur en présence de perturbations RF (section 5.3).

5.1 Processus de validation en présence de perturbations RF

Le régulateur devant stabiliser la polarisation d'un amplificateur intégré, il subit une infiltration RF à travers la bobine de faible inductance pourtant destinée à isoler les deux parties (section 2.2.1). L'approximation des composants idéaux faite au chapitre précédent n'est pas suffisante dans ce cas. La charge par exemple ne présente pas une impédance pure, ni une croissance linéaire du courant comme c'était le cas pour une source de courant idéale. Les autres potentiels du circuit et même la référence peuvent également être affectés par l'injection du signal RF. Les modèles des composants du circuit ont donc été modifiés pour arrimer le banc de simulation au contexte d'interaction RF. Les nouveaux modèles sont présentés à la section 5.1.1 pour la référence, à la section 5.1.3 pour la bobine d'isolation, et à

la section 5.1.5 pour la charge. La section 5.1.2 présente la source RF. La section 5.1.4 présente le montage final du banc de simulation, et détaille la technique de mesure utilisée pour obtenir les résultats.

5.1.1 La référence

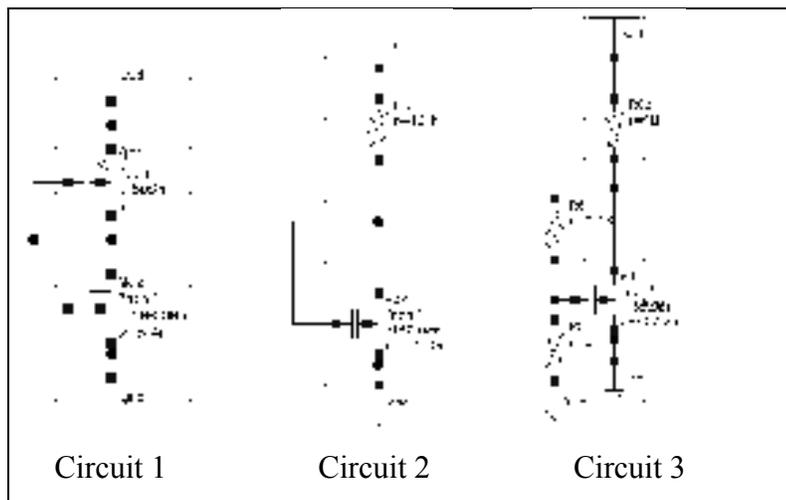


Figure 5.1 Circuits de référence

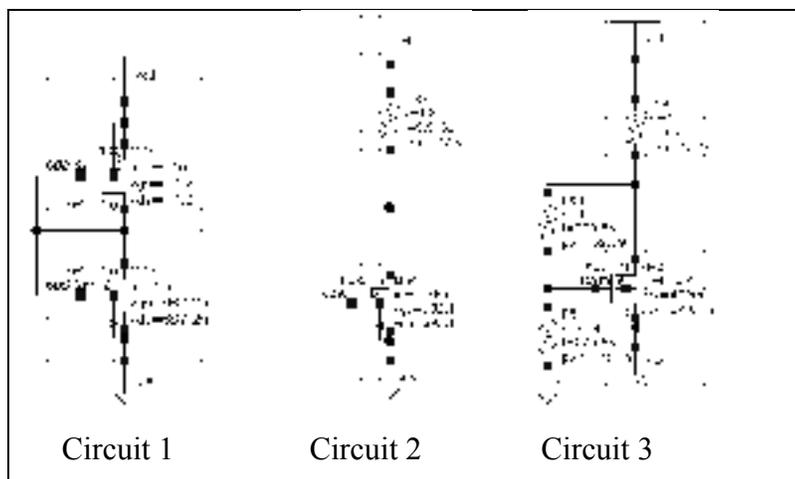


Figure 5.2 Circuits de références annotés DC

Tel qu'annoncé à la section 3.4.1, trois des circuits de référence proposés par (Baker, 2010, p. 746;749) sont étudiés. Leurs configurations sont présentées à la Figure 5.1. Les courants et

les tensions qui en découlent sont présentés à la Figure 5.2, pour une tension d'alimentation de 1.8V. Les transistors sont placés dans leurs dimensions minimales pour réduire au maximum la consommation de courant. Le choix du circuit de référence final dépend non seulement de la robustesse par rapport aux variations de la température (Figure 5.3) et à celles de la tension d'alimentation (Figure 5.4), mais aussi des contraintes de design telles que la surface de la puce et la puissance consommée.

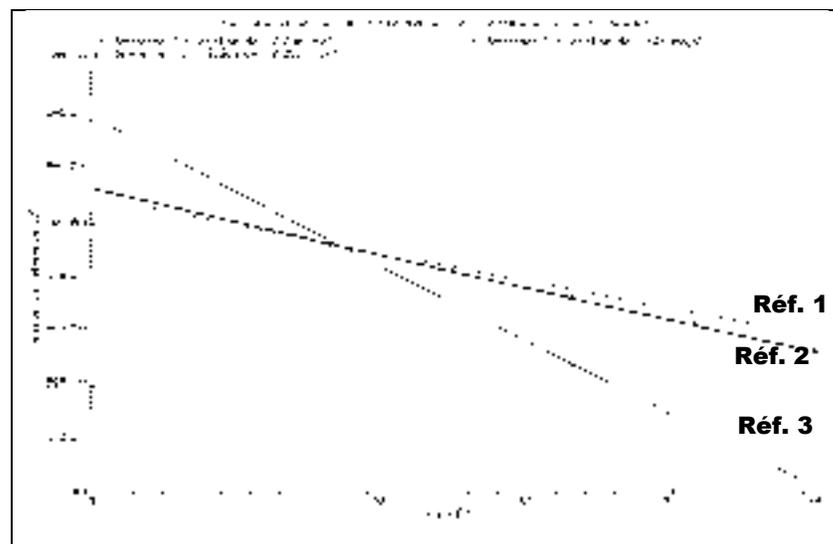


Figure 5.3 Variation des tensions de références avec la température

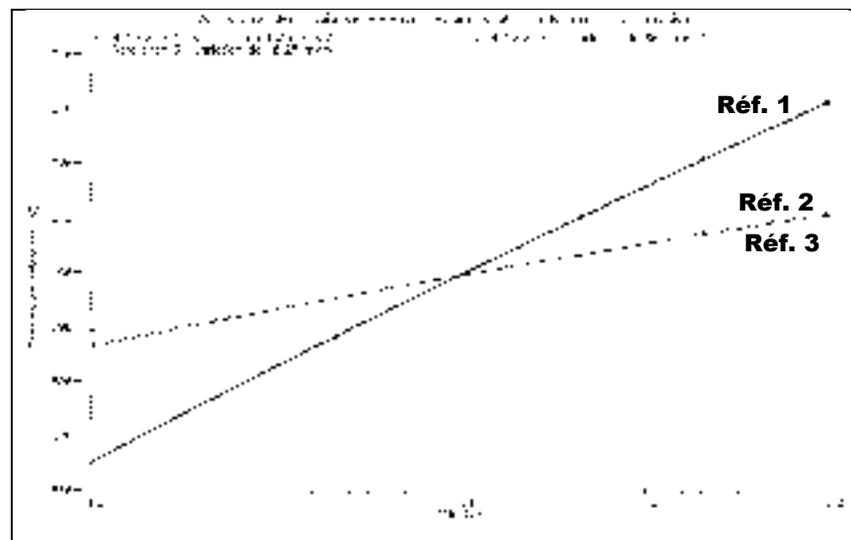


Figure 5.4 Variation des tensions de références avec la tension d'alimentation

Le Tableau 5.1 est un comparatif des variations de chaque référence vis-à-vis des différentes perturbations. La référence 1 est plus stable que les autres uniquement par rapport aux variations de la température. Elle est la moins stable par rapport à celles de la tension d'alimentation et consomme le plus de courant. Cependant, les autres références nécessitent des résistances de l'ordre du $M\Omega$, pour ramener le courant du transistor dans l'ordre de $1 \mu A$, ou garantir le fonctionnement du diviseur de tension dans le cas de la référence 3. Ces résistances prennent beaucoup d'espace, ce qui compromet leur intégration sur puce.

Tableau 5.1 Coefficients de variation des potentiels de polarisation

Circuit	Variation en température (mV/°C)	Variation en V_{DD} (mV/V)	Polarisation (μA)
Référence 1	-0.255	160	41
Référence 2	-0.305	60.5	10
Référence 3	-0.690	60.3	1.2

Ainsi, malgré la forte consommation de courant de la référence 1, nous allons l'adopter afin de privilégier l'intégration sur puce et la robustesse face aux variations de la température.

Sa consommation élevée de courant reste une limite qui n'est pas très critique dans le cadre de cette recherche, qui s'applique principalement à réduire celle du Recycled Folded-Cascode. Pour une plus faible consommation de courant et une meilleure précision, il est possible d'utiliser des références de type band-gap présentées dans (Gray, 2009, p. 315). À cause du fait que ces références utilisent des transistors bipolaires, nous ne les avons pas adoptées car nous voulons implémenter un régulateur totalement en technologie CMOS.

5.1.2 Source RF – Puissance disponible

L'un des composants centraux de ces simulations est la source RF, qui émule le comportement du signal d'excitation RF sur l'amplificateur. Elle fournit une puissance RF émulant un signal d'entrée modulé en Wide-Band CDMA, dont la fréquence centrale est de 1.88 GHz, centrée autour d'une bande passante de 5 MHz. Sa résistance interne est de 50Ω .

Soit P_s , la puissance dans la source. Toute cette puissance n'est pas transmise à la charge, qui reçoit seulement une puissance P_{avs} , appelée puissance disponible à la charge. Soit R_{eq} , la résistance de l'amplificateur intégré et du régulateur vue de la source RF (l'impédance de la capacité de liaison est négligée). P_{avs} est une fraction de la puissance P_s obtenue par application de la loi des diviseurs de tension entre la résistance interne de la source et R_{eq} (Figure 5.5).

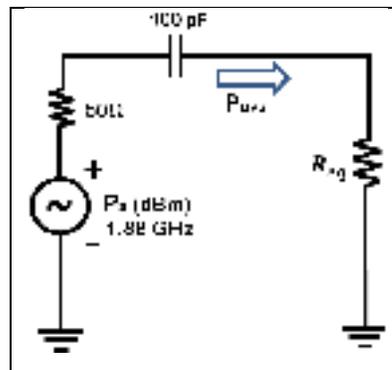


Figure 5.5 Puissance disponible

Si $R_{eq} \neq 50 \Omega$, la puissance dans la charge est donnée par l'équation (5.1):

$$P_{avs} = \frac{R_{eq}}{R_{eq} + 50} P_s \quad (5.1)$$

Pour $R_{eq}=50 \Omega$, la charge est parfaitement adaptée (Abrie, 2009, p. 18). La puissance P_{avs} dans ce cas est donnée par (5.2).

$$P_{avs} = \frac{1}{2} P_s \Rightarrow (P_{avs})_{dBm} = (P_s)_{dBm} - 3 \quad (5.2)$$

Dans le cas d'un amplificateur intégré pour le Wide-Band CDMA, la puissance maximale typiquement appliquée à l'étage de puissance est $(P_{avs})_{max} \cong 20$ dBm. L'un des objectifs de cette simulation est d'observer le comportement de la charge à cette puissance.

Toutes les puissances RF évoquées dans ce chapitre (utilisées lors des simulations), sont des puissances disponibles au sens de P_{avs} .

5.1.3 Bobine d'isolation

La bobine d'isolation, encore appelée RF-Choke, est une bobine qui sert à séparer la polarisation du signal RF (Figure 5.6). Une forte inductance de cette bobine correspond à une grande isolation.

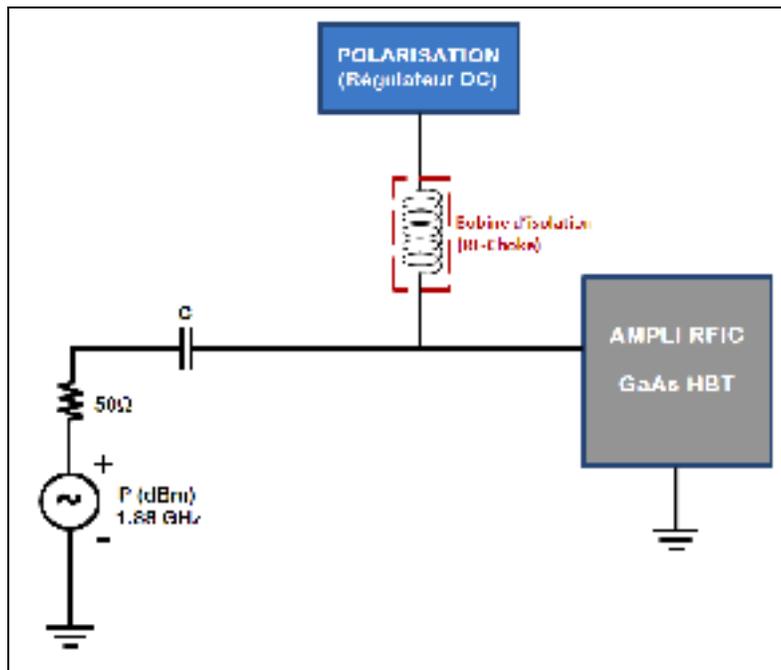


Figure 5.6 Place du RF-Choke

5.1.3.1 La bobine d'isolation dans le cadre de notre problématique

Dans des circuits intégrés, il existe des contraintes d'espace qui obligent les designers à diminuer au maximum cette inductance, ce qui a pour conséquence l'infiltration des signaux RF dans les circuits de polarisation. La problématique de l'interaction RF/DC comporte ainsi une dimension électrique traitant de l'injection de la puissance RF, et une dimension pratique

liée à la surface occupée par la bobine RF-Choke sur la puce. Pour ce qui est du volet électrique, l'inductance de la bobine d'isolation est dans un premier temps choisie suffisamment grande pour isoler complètement le régulateur et l'amplificateur RF (section 5.1.3.2 suivante). Par la suite, elle est progressivement diminuée pour augmenter l'infiltration du signal RF dans le régulateur, et en étudier les effets. Pour ce qui est du volet pratique, la diminution de RF-Choke correspond à une réduction de sa surface sur puce. Nous devons trouver la valeur minimale de RF-Choke qui réalise le meilleur compromis entre l'isolation RF et l'intégration sur puce.

5.1.3.2 Inductance d'isolation totale

Pour des besoins d'efficacité et de rapidité de la mesure, il a fallu déterminer la valeur de RF-choke minimale, qui assure l'isolation totale entre la polarisation et les signaux RF. En effet, les mesures se faisant dans le domaine temporel, il est important de converger le plus tôt vers la solution établie en régime permanent. La présence d'une forte inductance augmente l'impédance de l'ensemble RF-Choke + ampli-op vue par la source RF, ce qui retarde l'instauration du régime permanent (section 5.1.4.2). En faisant un balayage de RF-Choke de 1 nH à 10 μ H, nous constatons que l'effet d'isolation d'une bobine de 100 nH est pratiquement le même que celui d'une bobine de 10 μ H (Figure 5.7). Le courant débité par le régulateur chute seulement de 27 μ A entre ces deux inductances, soit une variation de 0.13%. Il en est de même pour la tension de sortie qui chute de 20 μ V, ce qui représente une variation de 0.001%. L'inductance de 100 nH réalise donc une isolation que nous considérons comme totale, puisqu'elle est équivalente à celle d'une l'inductance de 10 μ H, qui présente une impédance de 120 k Ω à 1.88 GHz. Elle permet une mesure rapide sans sacrifier la précision.

Dans la suite de ce chapitre, nous allons considérer une isolation totale pour une inductance RF-Choke de 100 nH.

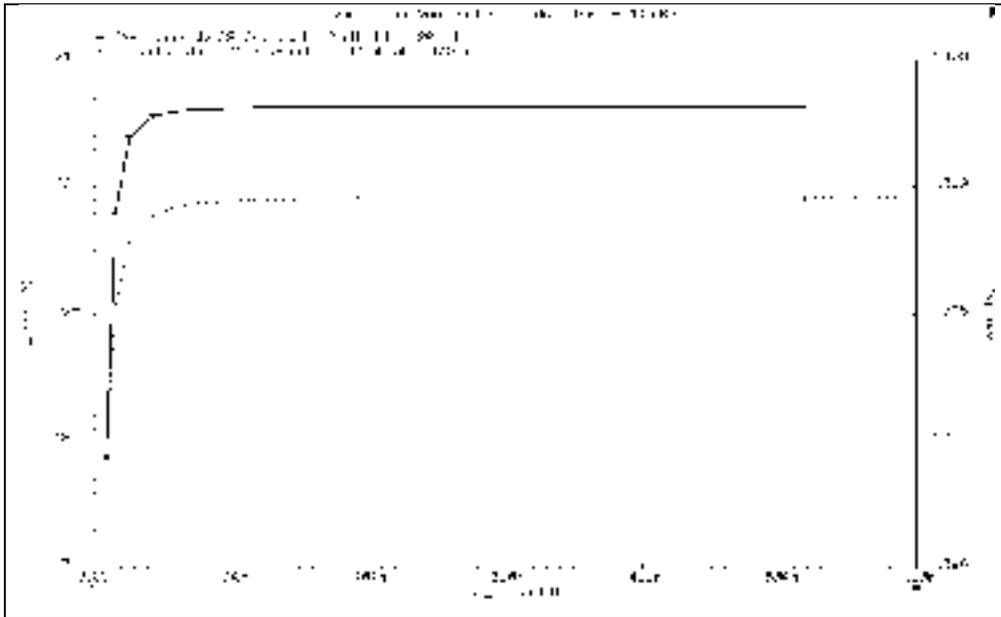


Figure 5.7 Effet d'isolation de la bobine RF-Choke

5.1.4 Description de la mesure par simulation

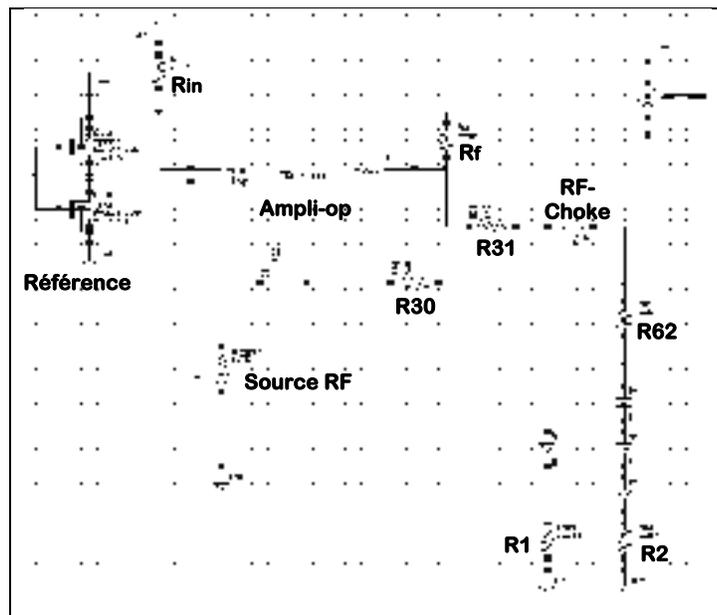


Figure 5.8 Montage des tests RF

Le montage finalement conçu pour les tests du régulateur en environnement RF est présenté à la Figure 5.8. Il inclut la nouvelle référence, la nouvelle charge et la bobine d'isolation RF-Choke = $L_0 = 100$ nH. Les résistances R30, R31 et R62 sont nulles et servent à mesurer l'intensité du courant respectivement dans la source RF, à la sortie du régulateur et dans la charge. Comme l'indique l'analyse présentée à la section 3.4.2.1, le courant $I_{Load} = 20$ mA est en fait la composante DC du courant à la sortie du régulateur. Dans la même logique, les tensions et les courants du régulateur doivent être extraits comme étant les composantes DC des signaux temporels correspondants. Plusieurs contraintes doivent être prises en compte pour avoir des mesures suffisamment fiables et précises. En effet, la valeur moyenne d'une grandeur $X(t)$ (courant ou tension) est calculée suivant l'équation (5.3) :

$$X_{moy} = \frac{1}{\Delta T} \int_t^{t+\Delta T} X(t) dt \quad (5.3)$$

ΔT est l'intervalle sur lequel la valeur moyenne X_{moy} est calculée. Il doit renfermer un nombre suffisant de cycles du signal (section 5.1.4.1). t représente l'instant à partir duquel le calcul de la moyenne commence. Il doit se situer après l'instauration du régime permanent (section 5.1.4.2). Par ailleurs, avec le phénomène de rectification, les signaux du circuit sont riches en harmoniques. Pour reconstituer ces signaux, il faut donc prendre en compte plusieurs harmoniques (section 5.1.4.3) et faire un échantillonnage adéquat (section 5.1.4.4).

5.1.4.1 Intervalle de mesure

L'intervalle ΔT doit renfermer un nombre de cycles suffisants du signal RF, pour augmenter la convergence et la précision de la mesure. Considérons 1 000 cycles. La fréquence du signal RF étant de 1.88 GHz, sa période est de 532 ps. Pour un calcul comportant 1 000 cycles, il faut faire une moyenne sur une durée de 532 ns. Nous avons choisi une période proche de 500 ns donnant 940 cycles :

$$\Delta T = 500 \text{ ns} = 0.5 \mu\text{s} \quad (5.4)$$

5.1.4.2 Instauration du régime permanent

Pour évaluer le délai d'instauration du régime permanent t_{RP} , il faut tenir compte du fait que la source RF voit un dipôle $R_{eq} - C_1$ où R_{eq} est la résistance équivalente incluant le régulateur et l'amplificateur intégré (section 5.1.2), vue par la capacité de liaison C_1 (Figure 5.5). Avec une forte bobine d'isolation, R_{eq} se limite à R_{Load} comme à la Figure 3.23 (circuit ouvert entre la charge et le régulateur). La constante de temps la plus lente est obtenue pour $R_{eq} = 1\text{k}\Omega$, évaluée par la somme de R_1 et de la résistance dynamique de la diode r_d . En effet, R_2 étant beaucoup plus faible que R_1 , sa présence tend à diminuer la constante de temps. Ainsi :

$$R_{eq} \cong R_{Load} \cong R_1 + r_d \cong 1\text{ k}\Omega \quad (5.5)$$

La constante de temps du système de la Figure 5.5 est donnée à l'équation (5.6) :

$$\tau_{RF} = R_{eq} C_1 \quad (5.6)$$

Avec $C_1 = 100\text{pF}$ et compte tenu des équations (5.5) et (5.6) :

$$\tau_{RF} = 0.1\mu\text{s} \quad (5.7)$$

Les mesures doivent être prises après un temps $t_{RP} = 5\tau_{RF}$, considéré comme la fin du régime transitoire et à l'instauration du régime permanent :

$$t_{RP} = 5\tau_{RF} = 0.5\mu\text{s} \quad (5.8)$$

Nous commencerons les mesures à un instant $t = 5t_{RP}$, largement supérieur à t_{RP} :

$$t = 5t_{RP} = 2.5\mu\text{s} \quad (5.9)$$

5.1.4.3 Harmoniques – Reconstitution du signal

Les signaux à travers le circuit incluant I_{Load} sont périodiques, et comportent des harmoniques dans leur spectre de fréquences. La période de 532 ps précédemment mentionnée correspond à la fréquence fondamentale. Pour une bonne fiabilité de la mesure, il faut descendre par exemple jusqu'à une période de 53.2 ps, afin d'inclure les dix premières harmoniques dans la reconstitution du signal et le calcul de la valeur moyenne. Ce calcul sur une durée de 532 ns inclura donc 10 000 cycles de la dixième harmonique. Sur une durée de 500 ns = 0.5 μ s, il en compte 9 400.

5.1.4.4 Échantillonnage

Pour garantir une mesure stable en régime permanent, les mesures sont prises sur une durée de 3 μ s, largement supérieure à t_{RP} . Le calcul de la moyenne est effectué uniquement de 2.5 μ s à 3 μ s, soit 0.5 μ s comportant 9 400 cycles de la dixième harmonique du signal RF.

Le nombre d'échantillons du signal RF est déterminé par un paramètre de simulation appelé « step », qui fixe la durée entre deux mesures consécutives. La période de la dixième harmonique du signal est de 53.2ps. Avec 1000 points de mesure par période, la valeur du step doit être de 0.0532 ps. Nous avons choisi la valeur donnée par l'équation (5.10), donnant 940 points de mesure par période :

$$\text{step} = 0.05 \text{ ps} \quad (5.10)$$

À noter que pour RF-Choke ou R_{Load} plus faible, la constante de temps est plus faible et le régime permanent s'établit plus rapidement. Ces paramètres restent donc valides pour les inductances d'isolation inférieures à 100 nH et la prise en compte de la branche de R_2 dans la charge. Pour rappel, le calcul de la constante de temps τ_{RF} dans la section précédente ne tient compte que de la branche de R_1 pour avoir la constante de temps la plus lente, et d'une inductance de 10 μ H.

5.1.5 La charge

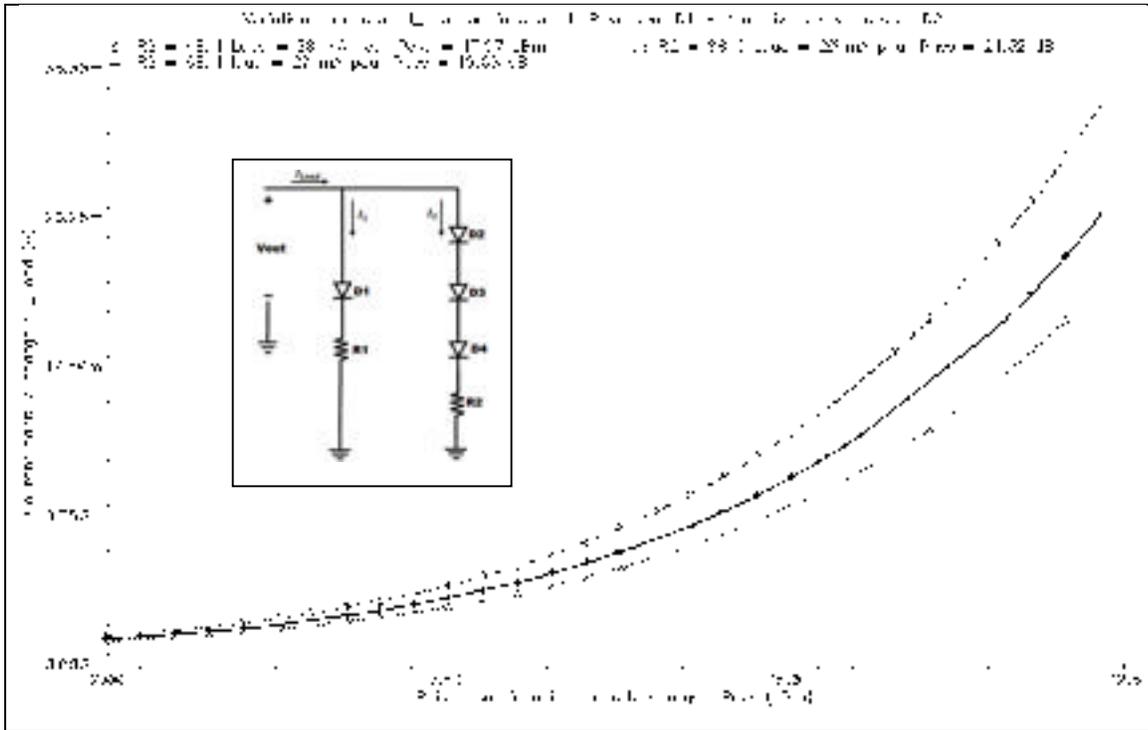


Figure 5.9 Variation du courant dans la charge pour diverses valeurs de R_2 .

Suite aux analyses de la section 3.4.2, le schéma électrique du circuit émulant le comportement d'un transistor GaAs HBT en présence d'un signal RF a été implémenté dans le banc de simulation de la Figure 5.8. La totalité de la puissance RF est transmise à la charge grâce à l'isolation AC fournie par l'inductance $L1=100$ nH, et la totalité du courant DC est transmise à la charge grâce à l'isolation DC fournie par la capacité ($C15=100$ pF). La résistance $R34$ est nulle. Elle sert uniquement à la mesure du courant I_{Load} . Avec une résistance $R1=910 \Omega$, le courant de repos est de 1.015 mA, très proche de l'intensité $I_1=1$ mA ciblée à la section 3.4.2.2. Un balayage a été effectué sur la puissance RF de 0 à 20 dBm pour diverses valeurs de R_2 (48Ω , 68Ω et 88Ω), afin de compléter le modèle. Les courbes obtenues sont présentées à la Figure 5.9. Les mesures ont été effectuées conformément au procédé décrit à la section 5.1.4.

Les trois charges présentent des croissances inégales, qui peuvent s'expliquer par la différence des impédances dynamiques vues par la source RF (Figure 3.9). Ces impédances déterminent l'absorption de la puissance RF disponible par la charge. Pour discuter de l'influence de la perturbation suivant plusieurs modèles de charge, les trois circuits seront étudiés suivant la nomenclature présentée dans le Tableau 5.2.

Tableau 5.2 Nomenclature des charges pour les simulations RF

Noms	R1 (Ω)	R2 (Ω)
Charge 1	910	48
Charge 2	910	68
Charge 3	910	88

La charge 2 sera utilisée comme charge de base car elle se rapproche le plus de la courbe de la Figure 3.23. Tous les tests seront dans un premier temps effectués avec elle. Les résultats obtenus avec la charge 1 et la charge 3 seront traités à titre comparatif (section 5.3.3.6).

5.1.6 Validation de la régulation avec une bonne isolation RF

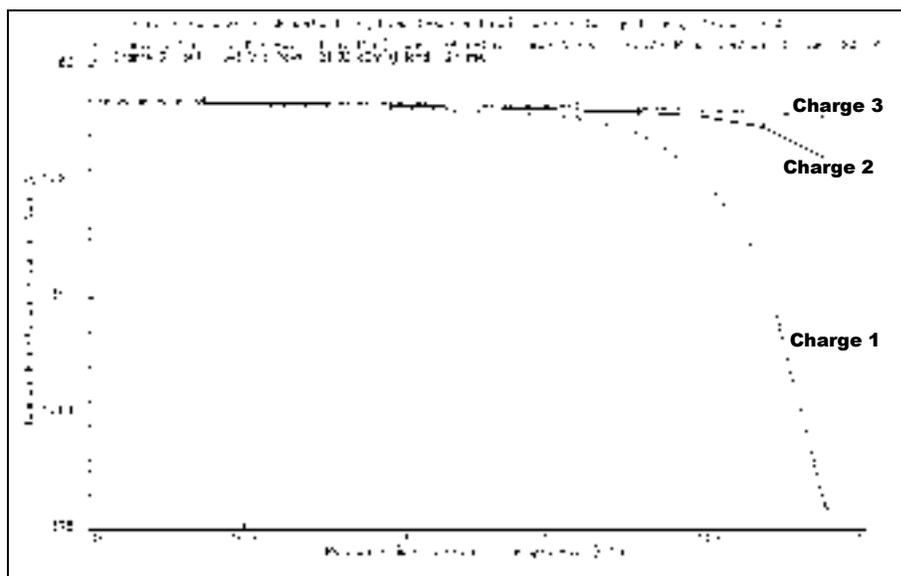


Figure 5.10 Validation de la régulation avec le banc de simulation RF

Avec le montage de la Figure 5.8, un test a été fait pour valider la régulation de tension dans les nouvelles conditions de simulation incluant une inductance d'isolation de 100 nH. Un balayage de la puissance RF nous a permis de constater une bonne régulation à 20 mA (minimum de 1.398V), pour chacune des charges évoquées à la section 5.1.5 (Figure 5.10).

5.2 Effets de l'infiltration RF sur le régulateur

5.2.1 Méthodologie

La méthodologie visant à évaluer l'influence de l'infiltration RF sur les performances du régulateur s'appuie sur la variation de l'isolation à travers la bobine RF-Choke. En diminuant son inductance, le niveau d'injection du signal RF augmente, ce qui accentue les effets de la perturbation. Les valeurs de l'inductance d'isolation choisies couvrent aussi bien les configurations de grande isolation (100 nH et 50 nH), de faible isolation (10 nH, 8 nH et 5 nH) que celle d'isolation moyenne (35 nH, 20 nH et 15 nH). Les courants et les tensions du circuit sont mesurés avec ces différentes valeurs de l'inductance d'isolation, pour évaluer l'effet purement électrique de la perturbation. Le niveau de la puissance RF injectée est aussi mesuré, pour faire la corrélation entre la dégradation de la régulation et les perturbations RF.

La section 5.2.2 analyse les tendances observées sur les tensions du régulateur avec un courant de 20 mA dans la charge, et une isolation de plus en plus faible. La section 5.2.3 présente les tendances observées sur les courants et la section 5.2.4 présente celles sur les puissances.

5.2.2 Tendances des tensions du régulateur

Le Tableau 5.3 montre les variations de tensions dans le régulateur, pour différentes valeurs de RF-Choke. Le courant de charge est fixé à 20 mA, pour étudier le comportement du régulateur au courant maximal de charge pour ces inductances. La tension V_{out_RFC} diminue de 1.203V à 589.9 mV lorsque I_{Load} passe de 1.02 mA à 20 mA. En faisant la différence

entre $V_{out_RFC} = V_{D6}$ et $V_{S6} = V_{D4a}$, nous constatons que le transistor M6 est déjà polarisé en zone triode pour $L=100$ nH, c'est-à-dire en absence de signal RF. Cela n'empêche pas au circuit de réaliser une bonne régulation pour les isolations allant de 100 nH à 10 nH (minimum 99.2%). En-dessous de $L=10$ nH, la différence $V_{G4a} - V_{D4a}$, devient inférieure à $V_{THN} = 0.42V$. Ainsi, le transistor M4a entre également en triode. Compte tenu de son rôle central dans le processus d'amplification, il s'en suit une diminution importante du gain en boucle ouverte de l'ampli-op, qui affaiblit la régulation. On observe alors une chute de plus en plus rapide de la tension de sortie (V_{out}) au fur et à mesure que L0 chute. Cela confirme l'analyse de la section 3.4.4.3 sur la plage dynamique de feed-back. La chute de la tension V_{out} est si brutale que la tension de sortie n'est plus que de 1.33 V pour une isolation de 7 nH. Elle passe sous le seuil de $0.97V_{out} = 1.36V$ pour une puissance disponible de 20.92 dBm, et une isolation de 8 nH.

Tableau 5.3 Récapitulatif des variations de tensions à 20 mA dans la charge pour différentes valeurs de RF-Choke

L0 (H)	P (dBm)	I_Load (mA)	Vout (V)	Vout_RFC (mV)	Vg9 (V)	Vd4a (mV)	Vd3a (mV)	Vref (mV)	Vinn (mV)	Vg4a (mV)	Vg3a (mV)
-	-60	1.017	1.401	1.203	1.103	419.4	416.9	600.2	600.2	664.5	664.4
100n	19.66	19.97	1.400	589.9	1.093	406.6	425.2	600.2	599.8	674.4	674.1
50n	19.7	20.00	1.400	575.5	1.092	405	425.5	600.2	599.8	674.7	674.2
35n	19.74	20.00	1.399	555.7	1.092	402.3	425.7	600.2	599.8	675.0	674.6
20n	19.91	20.04	1.399	495.1	1.092	383.4	426.6	600.2	599.5	676.0	675.0
15n	20.05	19.98	1.398	445.3	1.092	356.9	427.5	600.2	599.0	677.0	675.4
10n	20.50	20.03	1.389	336.6	1.096	280.9	431.5	600.1	595.1	681.3	674.1
8n	20.92	19.98	1.363	267.4	1.113	222.1	441.0	600.1	584.1	690.3	667.4
7n	21.31	19.98	1.330	225.1	1.138	182.7	454.4	600.0	569.7	701.2	657.6

5.2.3 Tendances des courants du régulateur

Le Tableau 5.4 montre les variations des courants dans le régulateur à différentes valeurs de RF-Choke, pour un courant de charge de 20 mA. Les courants dans M1a et M2a sont comparables parce qu'ayant les mêmes dimensions et la même tension grille-source, ils débitent dans deux nœuds présentant des impédances semblables. Il en est de même pour M1b et M2b, dont l'intensité est cependant plus faible parce qu'ils débitent dans une impédance plus grande, avec la présence des transistors M11 et M12. L'intensité des courants dans M9 et M10 est déterminée par le paramètre K. L'effet de modulation du canal explique la différence entre les courants observés et ceux obtenus par stricte application de la loi des nœuds (Figure 4.29).

Tableau 5.4 Récapitulatif des variations de courants à 20 mA dans la charge pour différentes valeurs de RF-Choke

L0 (H)	P (dBm)	I_M0 (μ A)	I_M1a (μ A)	I_M1b (μ A)	I_M2a (μ A)	I_M2b (μ A)	I_M9 (μ A)	I_M10 (μ A)	I_Buffer (μ A)
-	-60	59.43	15.12	14.59	15.13	14.6	35.57	35.54	1.02
100n	19.66	64.9	16.54	15.96	16.51	15.89	38.5	38.59	19.98
50n	19.7	65.05	16.58	16.00	16.55	15.93	38.57	38.67	20.01
35n	19.74	65.21	16.62	16.04	16.59	15.96	38.64	38.74	20.01
20n	19.91	65.24	16.77	16.19	16.44	15.81	38.72	38.83	20.00
15n	20.05	66.18	16.92	16.33	16.83	16.10	38.80	38.91	19.99
10n	20.50	67.27	17.56	16.95	16.83	15.93	37.61	37.73	20.02
8n	20.92	68.2	18.92	18.26	16.00	15.03	33.23	33.33	19.99
7n	21.31	69.04	20.63	19.92	14.72	13.77	27.26	27.34	19.99

Avec la diminution de V_{inn} , les courants augmentent dans les transistors M1a et M1b. Malgré le fait que V_{REF} reste fixe, les courants diminuent parallèlement dans les transistors M2a et M2b, qui partagent la même source de courant que les transistors M1a et M1b. En-deçà de 10 nH, le courant baisse dans le transistor M4a, désormais polarisé en région triode. La tension V_{inn} baisse plus rapidement à cause de la chute du gain de l'ampli-op en boucle ouverte. Ces

tendances accélèrent l'augmentation du courant dans les transistors M1a et M1b, et la diminution du courant dans les transistors M2a et M2b. En fait, l'amplificateur entre dans un mode de fonctionnement qui va provoquer le blocage du miroir de courant PMOS et l'arrêt de la régulation.

5.2.4 Puissance perturbatrice et injection RF

La bobine RF-Choke étant progressivement diminuée, la puissance non désirée qui entre dans le régulateur augmente, et la puissance dans la charge diminue. Le courant I_{Load} tend ainsi à diminuer. Or, pour le maintenir à 20 mA, il faut que la charge reçoive la même puissance RF. Il faut pour cela augmenter la puissance RF dans la source, d'un incrément correspondant à la puissance RF infiltrée dans le régulateur. En d'autres termes, lorsque RF-Choke diminue, la quantité de puissance ajoutée à la source pour maintenir un courant de 20 mA dans la charge, permet d'évaluer la perturbation RF. Nous l'appellerons ΔP , définie à l'équation (5.11), où $P_S|_{RF-Choke=100\text{ nH}}$ représente la puissance de la source avec une isolation totale, et $P_S|_{RF-Choke}$ représente la puissance de la source à l'inductance pour laquelle nous mesurons la perturbation :

$$\Delta P = P_S|_{RF-Choke=100\text{ nH}} - P_S|_{RF-Choke} \quad (5.11)$$

Le Tableau 5.5 présente les mesures relevées pour ΔP dans la charge 2, à plusieurs valeurs d'inductance d'isolation, tout en maintenant un courant de 20 mA dans la charge. Nous constatons qu'avec une puissance $P_S|_{RF-Choke=100\text{ nH}} = 19.66\text{ dBm}$, le circuit réalise une régulation de 1.4V. La régulation fonctionne à 99.5% pour une perturbation de 0.84 dBm. Elle atteint la valeur limite de 98.36% pour une inductance de 8 nH et une puissance perturbatrice de 1.26 dBm. Ce tableau démontre l'influence néfaste de la perturbation sur le régulateur. En effet, dans les sections précédentes, nous avons établi que le circuit est capable d'assurer la régulation avec des courants supérieurs à 20 mA (Figure 5.10). La seule différence dans les conditions de simulation est la présence de ΔP qui influence le circuit et

dégrade la régulation. Ceci justifie la problématique de désensibilisation du régulateur par rapport aux perturbations RF, qui aura pour effet d'optimiser ses performances.

Tableau 5.5 Puissance RF perturbatrice dans le régulateur

L0 (H)	P (dBm)	I_Load (mA)	ΔP (dBm)	Vout (V)	%Vout
100n	19.66	19.97	-	1.400	100.0
20n	19.91	20.04	0.25	1.399	99.93
10n	20.50	20.03	0.84	1.389	99.50
8n	20.92	19.98	1.26	1.363	98.36
7n	21.31	19.98	1.65	1.330	85.64

5.3 Désensibilisation par effet d'amortissement

5.3.1 La méthode

Après considération des différentes méthodes possibles pour désensibiliser le régulateur CMOS contre le RF telles l'utilisation des filtres LC d'ordre élevé mais qui ne peuvent être intégrés sur la puce, la méthode retenue est la technique d'amortissement à cause de sa simplicité, son efficacité et sa facilité d'intégration sur puce.

5.3.1.1 Présentation

Le Tableau 5.5 montre que pour un même courant de charge (même puissance dans la charge), l'augmentation de la perturbation ΔP dégrade les performances du régulateur. Les variations de toutes les tensions du régulateur et en particulier celle de la tension de référence observées dans le Tableau 5.3 laissent envisager que cette perturbation se propage de la sortie vers l'entrée, à travers les capacités internes des transistors qui ne se comportent plus comme des circuits ouverts aux hautes fréquences (1.88 GHz par exemple). La perturbation sur l'étage Recycled Folded-Cascode est plus critique que celle sur le buffer. En effet, elle

affecterait le gain en boucle ouverte et la plage dynamique de feed-back, ce qui dégraderait considérablement la régulation. L'objectif de la technique d'amortissement est de dissiper la puissance perturbatrice avant qu'elle ne parvienne à cet étage (ce qui contraste avec les composants LC qui ne font qu'emmagasiner de l'énergie). Cette dissipation peut se faire à travers une résistance **R_damp** placée à la grille du buffer. Cette technique effectue l'« amortissement » de la puissance RF (Figure 5.11), mais nécessite de nombreuses considérations du point de vue du design, à cause du compromis à faire au niveau des performances globales.

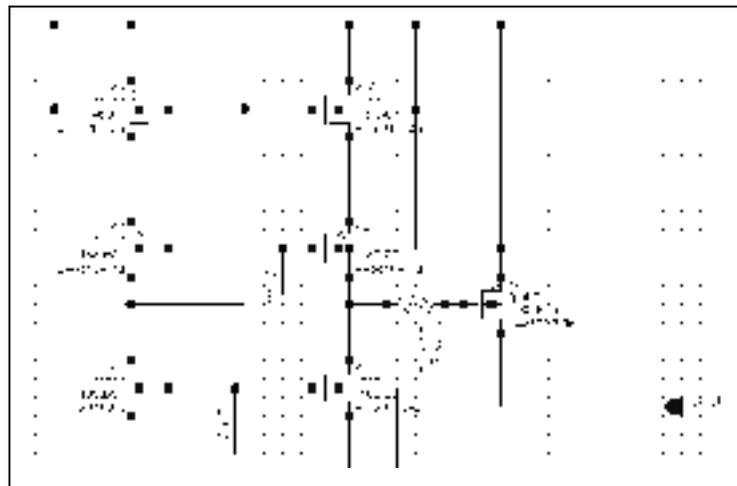


Figure 5.11 Position de la résistance d'amortissement

5.3.1.2 Résultats attendus

Continuité DC

Malgré la position sensible à la grille d'un transistor MOS, R_{damp} est capable d'opérer la dissipation de puissance tout en maintenant la très haute impédance d'entrée du buffer aux basses fréquences, ce qui n'affecte pas les paramètres DC de l'étage de gain.

Filtrage des signaux parasites RF

R_{damp} forme un filtre avec les capacités de jonction des transistors à la sortie de l'étage de gain, ce qui renforce son pouvoir de désensibilisation.

Réduction de RF-Choke

R_{damp} permet aussi de réduire RF-Choke. En effet, malgré l'infiltration d'une certaine puissance RF, le régulateur maintient des performances semblables. Tout se passe comme si RF-Choke diminuait.

Récupération d'une partie de la chute de V_{out}

Le plus grand bénéfice attendu est que l'amortissement récupère une partie de la chute de tension de sortie, afin de présenter de meilleurs résultats pour une régulation à 97%.

Préservation des caractéristiques AC de l'ampli-op

En dissipant la puissance RF perturbatrice parvenue à la grille du buffer, elle préservera le gain en boucle ouverte aux basses fréquences et la plage dynamique de feed-back fournis par l'ampli-op. Cependant, on s'attend à un impact négatif sur la réponse en fréquence aux hautes fréquences, et donc à faire un compromis.

5.3.2 Détermination de R_{Damp}

La détermination de R_{damp} dépend principalement de ses caractéristiques électriques et des contraintes de fabrication. Il faut une valeur assurant un bon niveau de V_{out} et un bon filtrage, tout en dissipant la puissance nécessaire qui permet de retrouver les performances du régulateur. Les performances électriques concernent ainsi la quantité de puissance perturbatrice dissipée et la fréquence de coupure du filtrage RF mentionnée plus haut. Pour la quantité de puissance RF dissipée, il est difficile d'établir une estimation ou un formalisme, car il est difficile d'évaluer la quantité de puissance RF qui passe à travers l'inductance RF-Choke, ni celle qui passe à travers la jonction drain-grille du buffer. Il en est de même pour le filtrage. Nous avons à la place effectué un test à travers un balayage de R_{damp} , tout en observant le courant I_{Load} et la tension de sortie. Nous avons obtenu la courbe de la Figure 5.12.

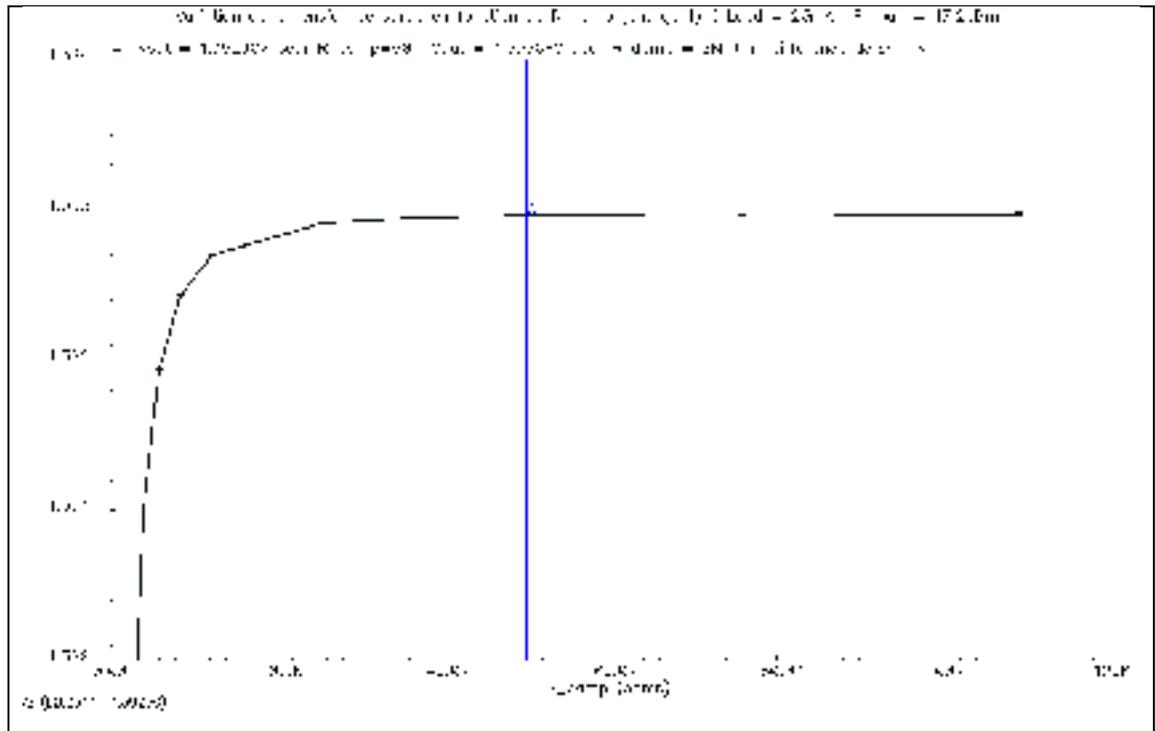


Figure 5.12 Variation de V_{out} en fonction de R_{damp} pour 20 mA dans la charge

La tension de sortie augmente avec la résistance R_{damp} car l'effet d'amortissement est de plus en plus efficace. La tension de sortie reste pratiquement constante à partir de $R_{damp} = 37 \text{ k}\Omega$. Pour fins d'analyse, il est raisonnable de considérer que la résistance R_{damp} dissipe la presque totalité de la perturbation $(\Delta P)_{RFC}$ à l'entrée de l'étage de gain. La différence de potentiel aux bornes de R_{damp} étant $V_{out_RFC} - V_{g_Buffer}$, R_{damp} peut être estimée par l'équation (5.12) si on arrive à mesurer cette différence de potentiel :

$$(\Delta P)_{RFC} = \frac{(V_{out_RFC} - V_{g_Buffer})_{RMS}^2}{R_{damp}} \quad (5.12)$$

C'est à ce niveau qu'il faut tenir compte des contraintes de fabrication. La première est sur la précision de la résistance et la deuxième est sur la surface de la puce qu'elle va occuper. Il a été observé par simulation que la tension de sortie chute de 0.7 mV entre $R_{damp} = 50 \text{ k}\Omega$ et

$R_{damp} = 2M\Omega$. Avec l'imprécision parfois de l'ordre de 20% sur les résistances, la résistance de 50 k Ω couvre des résistances allant jusqu'à 40 k Ω . À noter qu'il y a aussi une incertitude sur la simulation. La valeur pratique de 50 k Ω donne un bon amortissement, tout en prévenant les incertitudes sur la fabrication et la simulation.

Pour préserver la surface de puce, il faut choisir la résistance minimale qui assure l'effet d'amortissement avec une surface minimale. Pour un apport de 0.7 mV à 20 mA, il n'est pas rentable d'un point de vue de la surface de puce d'utiliser une résistance de 2 M Ω au lieu d'une résistance de 50 k Ω . Un dernier test a été effectué, allant même jusqu'à $I_{Load} = 25$ mA pour comparer V_{out} pour $R_{damp} = 50$ k Ω et $R_{damp} = 1$ M Ω .

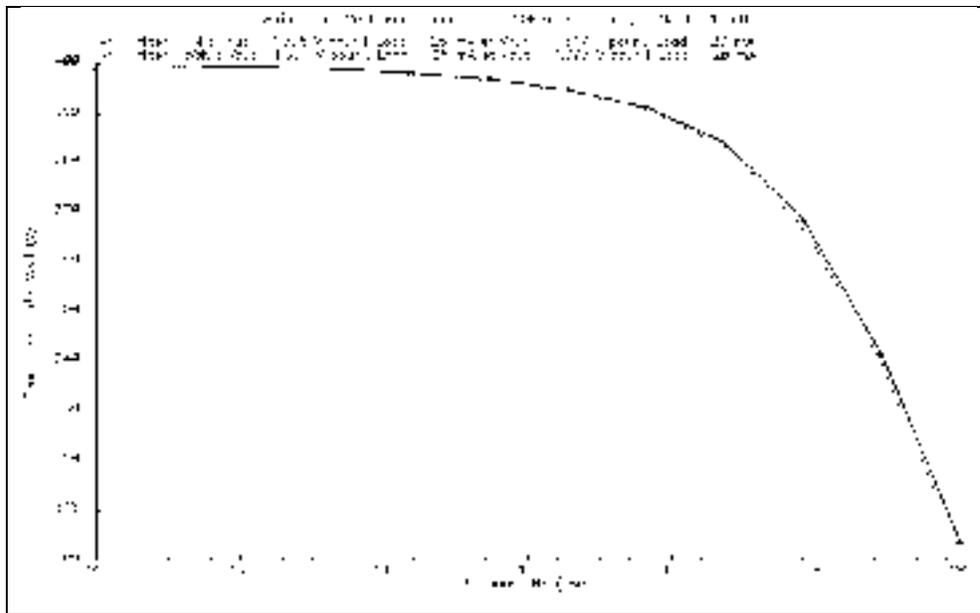


Figure 5.13 Variation de la tension de sortie pour $R_{damp} = 50k\Omega$ et $R_{damp} = 1M\Omega$

Les résultats confirment la similitude entre $R_{damp} = 50$ k Ω et $R_{damp} = 1M\Omega$ au niveau de l'amortissement (Figure 5.13). La différence n'est pas significative. Ainsi, pour la suite des simulations, nous considérerons la valeur de R_{damp} donnée à l'équation (5.13) :

$$R_{damp} = 50 \text{ k}\Omega$$

(5.13)

5.3.3 Effets de l'amortissement

5.3.3.1 Procédure de test

L'objectif des tests est de tracer des courbes permettant une comparaison graphique qui traduit les effets de l'amortissement. Avec CADENCE, il est difficile de superposer sur un même graphique des courbes obtenues après deux balayages avec des configurations de circuit différentes, comme celles d'un test avec R_{damp} et celles d'un test sans R_{damp} par exemple. La pratique utilisée est de faire un seul balayage, mais à deux dimensions. Dans notre cas, la première dimension est R_{damp} à partir de laquelle le simulateur trace des courbes dépendant de la deuxième dimension, qui est la puissance disponible dans la charge. Ainsi, le simulateur peut tracer un réseau de courbes pour différentes valeurs de R_{damp} , chacune variant avec la puissance.

Une autre difficulté est que pour simuler la condition amortissement, nous avons dans un premier temps choisi de faire $R_{\text{damp}} = 0$. Cette astuce qui fonctionne pour la mesure des courants comme dans le cas de R62 et du courant de charge (Figure 5.8), ne fonctionne pas dans ce cas-ci. Nous avons opté pour une très faible résistance pour matérialiser la situation d'avant l'amortissement, à savoir $R_{\text{damp}} = 10\Omega$. Elle est en effet très faible devant $50\text{ k}\Omega$, et dissipe une puissance suffisamment négligeable pour valider l'approximation de dissipation nulle correspondant à $R_{\text{damp}} = 0$.

Les effets d'amortissement ont été évalués avec un balayage de la puissance RF de 16 dBm à 22 dBm, comprenant l'intervalle dans lequel agit la perturbation (Tableau 5.3). L'objectif était d'évaluer l'impact de l'amortissement sur la régulation en comparant par exemple les valeurs de V_{out} avant et après l'amortissement, et en déterminant la chute de tension récupérée grâce à R_{damp} que nous appellerons $(\Delta V_{\text{out}})_+$. Il faut aussi trouver les éléments d'analyse supplémentaires quant à l'influence de la perturbation RF sur le régulateur, en examinant les variations de courants, de tensions, ainsi que celles de la puissance ΔP

injectée. Les balayages sont effectués à l'inductance minimale permettant de retrouver 0.97 V_{out} après amortissement à 20 mA dans la charge.

5.3.3.2 Effet sur les puissances – Diminution de RF-Choke

Avec la contribution de R_{damp} , l'impédance vue en direction du drain augmente. Par conséquent, la puissance perturbatrice dans le régulateur diminue. La puissance disponible est donc dirigée d'avantage vers la charge, ce qui contribue à augmenter le courant de charge. Ainsi, pour avoir le même courant de charge, la puissance qui doit être fournie par la source est plus faible dans le cas de l'amortissement. C'est ce qui justifie que dans la Figure 5.14, le courant de 20 mA est obtenu dans le cas sans amortissement pour 21.92 dBm, supérieure à 21.58 dBm en cas d'amortissement. En diminuant ainsi la puissance dans le régulateur, la technique d'amortissement permet de diminuer l'inductance RF-Choke. Elle favorise l'intégration sur puce.

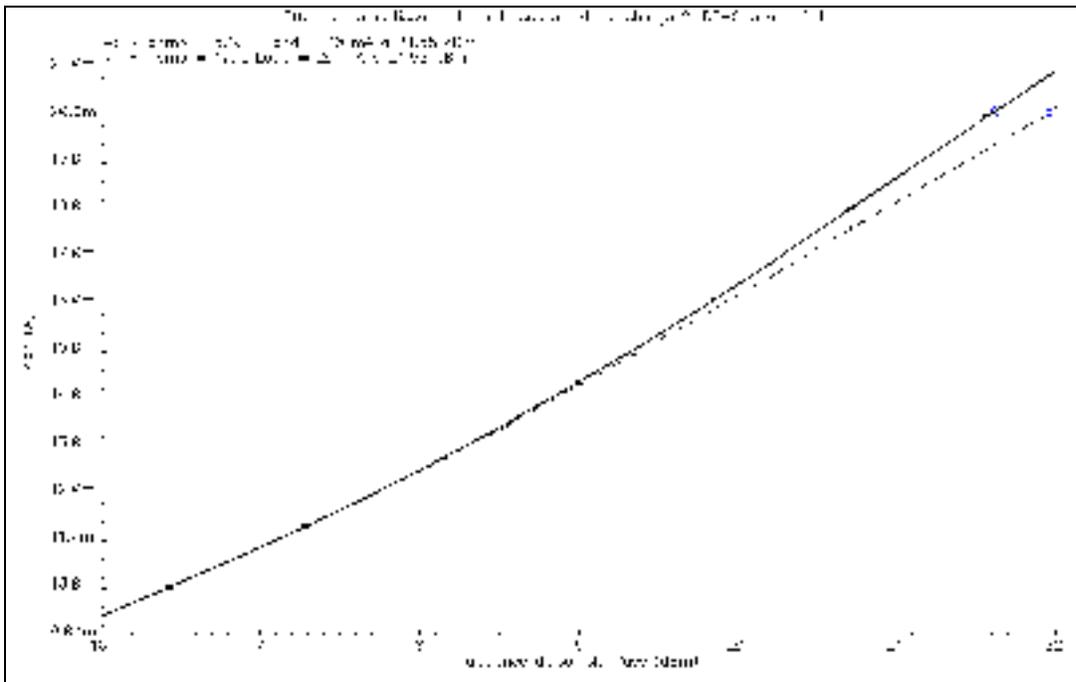


Figure 5.14 Variation du courant I_{Load} par effet d'amortissement pour une isolation de 6 nH

5.3.3.3 Amélioration du gain RF

En comparant les intensités du courant de charge à puissance égale à la Figure 5.14, nous constatons que la technique d'amortissement a pour effet d'augmenter le courant de base d'une valeur typique de 1 mA comparativement au cas sans amortissement, pour puissance disponible de 21.5 dBm. Cette augmentation du courant de base est amplifiée grâce au gain en courant β , qui est de l'ordre de 120 pour des transistors de type GaAs HBT. La variation de tension qui en découle au collecteur de ce transistor contribue à augmenter le gain de l'amplificateur RF intégré.

5.3.3.4 Effet sur la tension de sortie

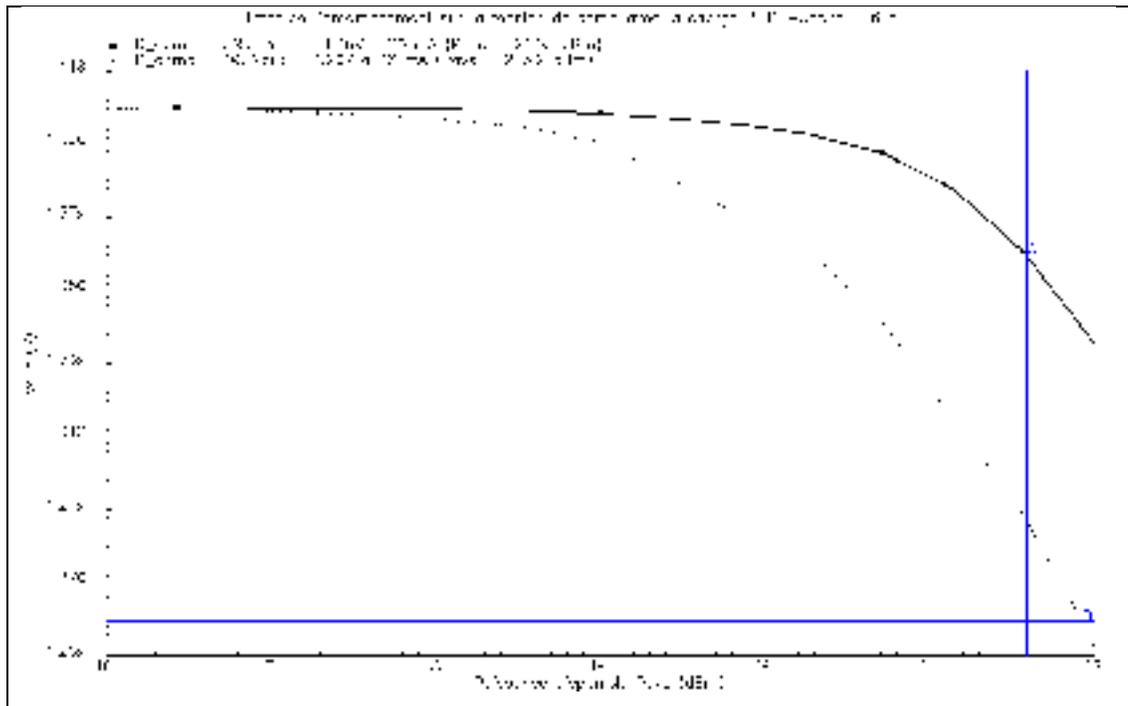


Figure 5.15 Variation de la tension V_{out} par effet d'amortissement pour une isolation de 5.4 nH à 20 mA de charge

Pour évaluer l'effet de l'amortissement sur la tension, nous devons mesurer $(\Delta V_{out})_+$, l'écart entre la valeur de V_{out} avant l'amortissement et sa valeur après l'amortissement (Figure

5.15). La tension de sortie passe de 1.26 V à 1.36 V grâce à l'amortissement, soit un gain $(\Delta V_{out})_+ = 100$ mV à 20 mA, pour retrouver une régulation à 97%. L'amortissement fait ainsi ses preuves en ramenant la tension de sortie de 90% à 97% d'une part, et en diminuant l'inductance d'isolation de 8 nH à 6 nH. Au niveau de la puissance RF disponible, le circuit est capable de réguler à 21.58 dBm. Cela couvre largement les besoins dans le contexte de ce travail de recherche en termes de puissance qui doit typiquement être appliquée à l'entrée d'un étage amplificateur RFIC de puissance pour le W-CDMA en technologie GaAs HBT. Des résultats semblables ont été obtenus avec une inductance d'isolation ayant un facteur de qualité de 12, typique des inductances intégrées. Ce résultat confirme que la technique de désensibilisation utilisée favorise l'intégration sur puce.

5.3.3.5 Effet sur la tension de référence

L'amortissement désensibilise aussi la tension de référence contre les perturbations RF. En effet, nous avons remarqué sa baisse dans le Tableau 5.3. La Figure 5.16 montre qu'une fraction de ΔP arrivait à influencer la tension de référence, ce qui peut contribuer à réduire ses performances. En désensibilisant la référence, la technique d'amortissement contribue à améliorer la précision du régulateur.

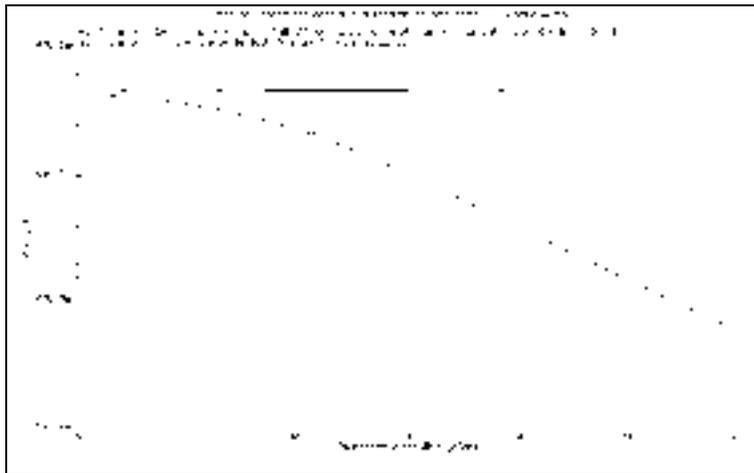


Figure 5.16 Stabilisation de la référence par effet de l'amortissement pour une isolation de 6 nH et un courant de 20 mA dans la charge

5.3.3.6 Effet sur les courants

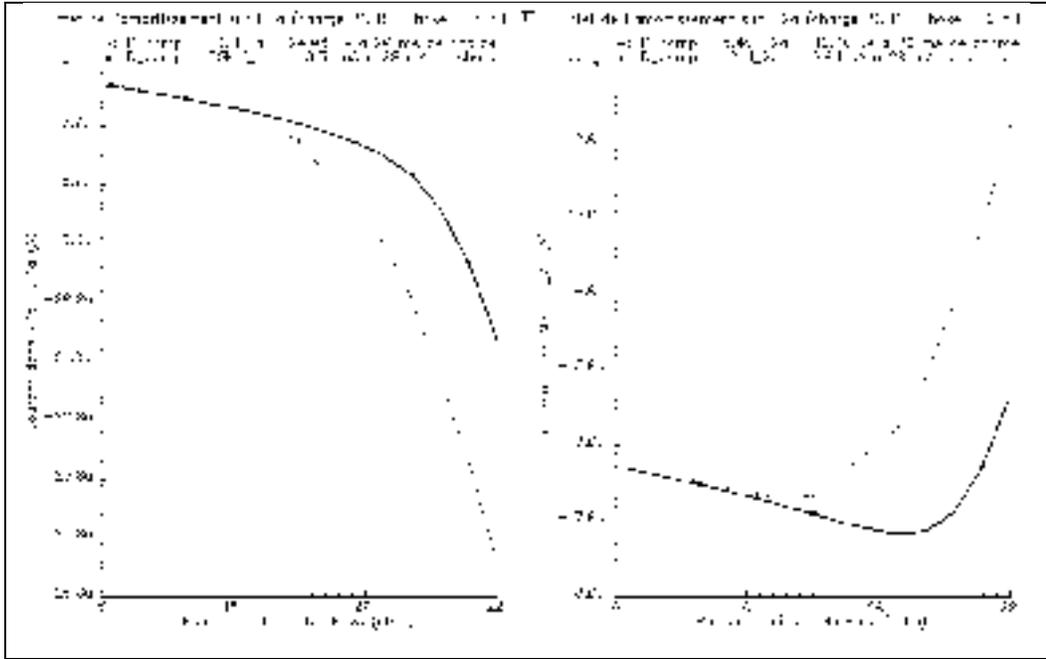


Figure 5.17 Variations de I_M1a et I_M2a par effet d'amortissement pour une isolation de 6 nH et un courant de 20 mA dans la charge

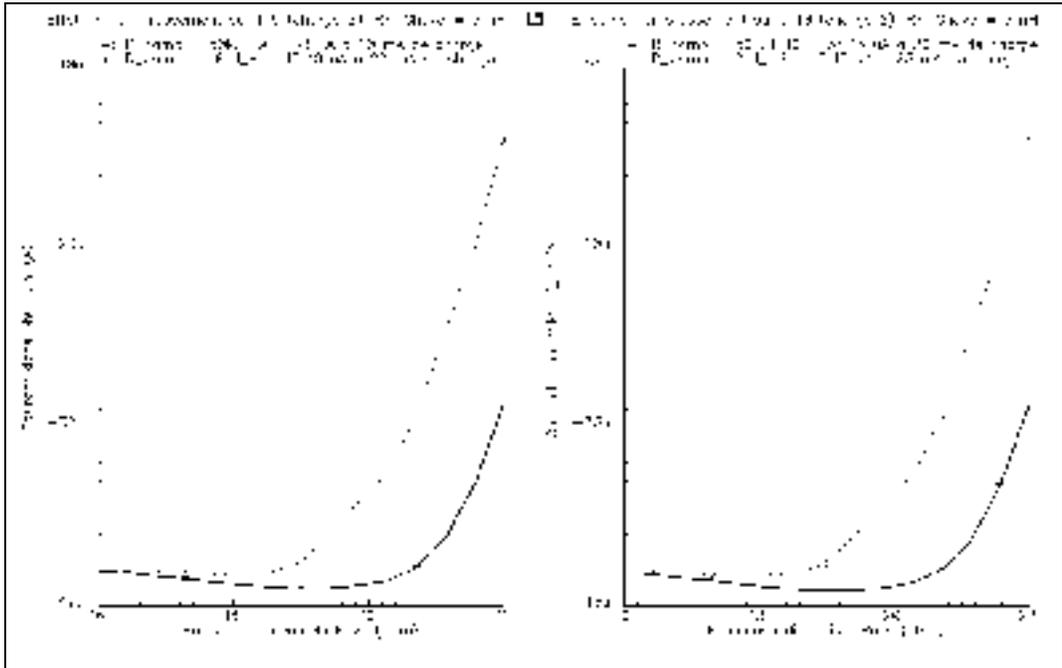


Figure 5.18 Variations de I_M9 et I_M10 par effet d'amortissement pour une isolation de 6 nH et un courant de 20 mA dans la charge

De façon générale, l'amortissement permet de retarder la chute des courants dans le régulateur avec la puissance, ainsi que le montrent les Figure 5.17 et la Figure 5.18. Il contribue ainsi à une bonne polarisation des transistors en mode de feed-back (maintien en zone de saturation) et au bon fonctionnement du miroir PMOS.

5.3.3.7 Effets sur les puissances - Comparaison des charges

Les courants varient différemment selon le type de charge. Plus la résistance R2 est faible, plus la montée du courant est rapide (Tableau 5.2). Cette situation correspond en effet à une diminution de l'impédance dynamique de la charge, ce qui cause une absorption plus rapide du courant. Le Tableau 5.6 confirme cette tendance. L'intensité de 20 mA dans la charge est atteinte avec des valeurs de R2 de plus en plus grandes (de la charge 1 à la charge 3). Les résultats sur ΔP s'expliquent aussi à travers ces résistances. Une absorption plus rapide du courant de charge nécessite une valeur ΔP plus grande. Parallèlement, les inductances d'isolation correspondantes sont plus faibles dans le cas de faibles résistances dynamiques.

Tableau 5.6 Comparatif des isolations minimales et des puissances à 20 mA dans les trois charges

I_{Load}	Charge	R2 (Ω)	RF-Choke _{min} (nH)	Puissance (dBm)	ΔP	%V _{out}
20 mA	Charge 1	48	6.1	19.76	1.49	97
	Charge 2	68	8	20.92	1.26	97
	Charge 3	88	10.2	22.00	0.97	97

Tableau 5.7 Effet de l'amortissement sur le régulateur

I_{Load} (mA)	Charge	R2 (Ω)	Lmin (nH)	ΔP (dBm)	Vout R _{damp} =0 (V)	Vout R _{damp} =50k Ω (V)	$(\Delta V_{out})_+$ (mV)	%V _{out}
20.00	Ch. 1	48	5.4	1.49	1.255	1.358	103	97
20.01	Ch. 2	68	6	1.26	1.260	1.360	100	97
20.01	Ch. 3	88	7.5	0.97	1.271	1.363	92	97

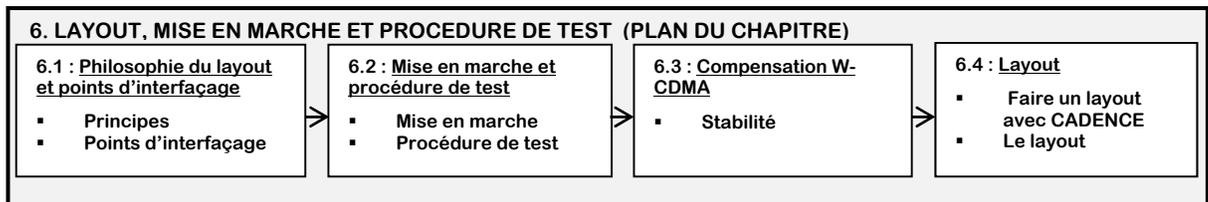
Tous ces éléments servent à valider le modèle de charge. En l'absence d'une plate-forme qui permettait de tester simultanément les technologies CMOS et GaAs HBT, nous avons opté pour un modèle approximant son comportement de façon réaliste. Le Tableau 5.7 récapitule les conditions de charge associées et nous avons adopté la charge 2 dans les simulations (voir section 5.1.5). Ainsi, avec une inductance d'isolation aussi faible que 6 nH, il est possible de réduire la chute de tension de sortie de 100 mV, de façon à obtenir une régulation à 97%. L'inductance RF-Choke de 6 nH et la chute de tension de 100 mV sont indicatives des résultats obtenus, même avec les autres charges.

CAPSULE 5.1

Nous avons vu que l'utilisation d'une résistance d'amortissement permet de façon simple mais efficace de réduire les effets de la perturbation RF, tout en nécessitant une valeur d'inductance d'isolation relativement faible. Nous avons évoqué que les limites de cette technique se situent au niveau des dimensions occupées par cette résistance sur la puce, et son impact sur la réponse en fréquence de l'ampli-op.

CHAPITRE 6

LAYOUT, MISE EN MARCHE ET PROCEDURE DE TEST



6.1 Stratégie de conception de la puce et points d'interface

Dans la phase de conception du circuit intégré, il faut tenir compte de ses dimensions microscopiques. Elles ne permettent pas à l'ingénieur d'y connecter des instruments de mesure, ou de remplacer les composants défectueux comme il pourrait le faire avec une conception sur circuit imprimé. Cette contrainte nécessite une conception rigoureuse car après la fabrication, le circuit intégré se présente alors comme une véritable boîte noire avec la plupart des signaux inaccessibles. Nous avons choisi d'effectuer la conception de notre circuit intégré en observant des principes qui nous permettront de surmonter ces difficultés. La stratégie de conception est celle de trouver des sorties pertinentes permettant de connaître l'état du système, d'étudier son comportement et d'effectuer quelques tests à des fins de déverminage. Les principes de conception sont présentés à la section 6.1.1. Les points d'interface qui en découlent sont présentés à la section 6.1.2. Toutes ces précautions sont d'autant plus nécessaires que le coût de fabrication d'une puce électronique est très élevé. Elles nous permettront de cibler les défaillances et de les ajuster, pour garantir le bon fonctionnement du régulateur avec un maximum de deux fabrications.

6.1.1 Principes

La conception de la puce électronique incluant le RFC, le circuit de polarisation et les capacités de compensation répond aux principes suivants :

La visibilité de l'état électrique DC du régulateur :

Une bonne polarisation est en effet le socle du bon fonctionnement du régulateur. Cet aspect vise premièrement à se rassurer de l'efficacité du circuit de polarisation, dont dépendent les plages dynamiques offertes pour l'amplification et la régulation. Il vise également à mesurer de façon indirecte l'état du système grâce aux transistors et aux grandeurs électriques liés à l'effet miroir K.

La visibilité des paramètres AC du régulateur :

Sachant que l'efficacité du régulateur est très fortement liée aux paramètres AC, il faut construire le circuit de telle sorte qu'il permette d'effectuer des tests en boucle ouverte sur le régulateur, avec la possibilité de tester isolément l'étage de gain. De cette manière, il est possible de faire des liens entre les performances du régulateur et son étage de gain. Il sera aussi possible de mieux comprendre le rôle du buffer vis-à-vis du courant de charge et de la stabilité du système.

La mise en marche progressive des branches indépendantes :

En créant des branches indépendantes et en les polarisant les unes après les autres, nous pouvons nous assurer que les branches successivement mises en marche fonctionnent bien. Il sera donc possible de cibler celles qui ne fonctionnent pas, de les tester isolément, ou de proposer une procédure de déverminage.

Les possibilités de déconnecter des branches et de faire des tests :

En conformité avec les principes précédents, des mises à la masse et des connexions à l'alimentation permettront de déconnecter les branches défectueuses et d'effectuer des tests

uniquement sur les branches ciblées. Il sera ainsi possible de faire des tests AC et DC grâce à des signaux externes.

6.1.2 Points d'interface

Suite aux principes de conception du layout adoptés à la section 6.1.1, il faut des points d'interface entre le régulateur et le milieu extérieur. Nous en avons choisi 14, regroupés en trois principaux groupes : les points de tests AC et DC (section 6.1.2.1), les points d'alimentation et de mise à la masse (section 6.1.2.2), ainsi que les points d'entrée des signaux AC (section 6.1.2.3). Une structure hiérarchique du régulateur permettant de faire ressortir tous ces points est présentée à la section 6.1.2.4.

6.1.2.1 Points de tests

Les points de tests sont des sorties de la puce qui mesurent les tensions dans le régulateur. Son état électrique peut par la suite être déterminé en analysant les mesures effectuées, à la lumière des études théoriques et des simulations présentées dans ce mémoire. Les points de tests peuvent être répartis en trois groupes :

Les points de test de la polarisation

Ces points permettent de mesurer la polarisation à travers quatre (4) sorties pertinentes :

- **Vbp1** : qui fixe la polarisation de M0, et donc celle de l'étage de gain à travers l'intensité du courant I_b . En se rassurant qu'il est très proche de sa valeur simulée, il est raisonnable de penser qu'il en sera de même pour les autres courants du circuit, qui dépendent de lui et du paramètre K. Vbp1 est donc très influent sur l'ensemble de la polarisation de l'ampli-op.
- **Vbp2** : les transistors M15 et M16 sont parcourus par le même courant. En mesurant Vbp2 à la valeur attendue, nous obtenons une garantie que le courant dans M15/M16 est proche de l'intensité simulée. Tous les autres transistors à la Figure 4.11 sont polarisés

par effet miroir de ce courant. Ce potentiel donne ainsi une bonne visibilité sur l'état du circuit de polarisation.

- $V_{G3a} = V_{G3b}$: avec cette donnée, il est possible d'évaluer par un calcul simple, le courant dans M3a et M3b, puisque ce point mesure en fait $V_{GS3a} = V_{GS3b}$. De plus, ce point permet d'ajuster les courants indépendamment du potentiel Vbn1, ainsi que la répartition des courants DC dans ces deux transistors.
- $V_{G4a} = V_{G4b}$: ce point joue le même rôle pour M4a et M4b que le point V_{G3a} pour M3a et M3b. Il permet aussi d'ajuster les courant indépendamment du potentiel Vbn2.

Rappelons qu'il existe une tolérance sur les potentiels de polarisation conformément aux équations (3.11) définissant la PFL. Il faut en tenir compte dans la comparaison des tensions de polarisation mesurées et des tensions simulées. Le potentiel le plus influent est en fait Vbp1, pour les raisons évoquées plus haut.

Les points de test du fonctionnement interne

Les points de fonctionnement interne permettent d'obtenir les données pertinentes pour les analyses DC et AC du régulateur. Ils permettent aussi d'observer l'évolution des tendances lors du processus de rétroaction. Il en y en a trois (3) :

- V_{out_RFC} : pour mesurer la plage dynamique de feed-back ;
- V_{g_Buffer} : dont la valeur est égale à V_{out_RFC} en DC, mais qui servira à mesurer la puissance RF dissipée dans la résistance R_damp. C'est un paramètre d'avantage accessible par la mesure sur puce que par la simulation. Elle permettra également de connaître la fraction de la perturbation filtrée par la jonction drain-grille du buffer ;
- V_{D4a} : pour compléter la détermination de l'état de M4a, particulièrement en mode de feed-back.

Les points de test du fonctionnement externe

Ces points sont définis en considérant juste les entrées et les sorties du régulateur. Ils servent donc à mesurer la tension de référence, la tension de sortie et l'erreur statique dans une

configuration de feed-back. Ils servent aussi à connecter les résistances R_f et R_{in} pour fixer le ratio V_{out}/V_{REF} . Ces points sont au nombre de trois (3) :

- $V_{REF} = V_{inp}$
- V_{inn}
- V_{out} .

6.1.2.2 Points d'alimentation et de mise à la masse

Ces points servent à polariser les branches du régulateur de façon sélective au niveau de l'amplificateur opérationnel. Ils permettent d'isoler des branches indépendantes pour la mise en marche, les tests et les procédures de déverminage du régulateur. Il y en a trois (3) :

Point d'alimentation assurant la polarisation du buffer

- **VDD1** : à la source de M9 et M10 assurant la polarisation du miroir de courant PMOS, qui peut ainsi être découplé du premier étage différentiel.

Les mises à la masse

- **GND1** : connectée aux sources de M3a et M3b pour mettre sous tension les branches de M1a et M2b ;
- **GND2** : connectée aux sources de M4a et M4b pour mettre sous tension les branches de M2a et M1b.

6.1.2.3 Points d'entrée AC

Deux points d'entrée AC (point A et B dans la Figure 3.26) permettent d'injecter des signaux dans le circuit. En plus de Vd4a déjà présent, une sortie supplémentaire est rajoutée à cet effet, à savoir Vd3a. Ces deux points sont communs à l'étage différentiel et à l'étage constitué du miroir de courant PMOS et des transistors M5, M6. Ils donnent ainsi la

possibilité d’injecter des signaux AC pour évaluer le gain de l’étage différentiel, ou injecter un signal avec M5, M6 en grille commune pour tester la charge active PMOS. D’autres points comme V_{out_RFC} peuvent aussi être utilisés à ces fins, pour la mesure de l’impédance de sortie du Recycled Folded Cascode ou l’injection d’un signal dans le buffer par exemple ; V_{inp} et V_{inn} pour l’injection d’un signal différentiel etc.

6.1.2.4 Structure hiérarchique du régulateur

La structure hiérarchique du régulateur tenant compte de tous ces points est présentée à la Figure 6.1. La Figure 4.12 peut être mise à contribution pour comprendre les connexions entre les différents blocs.

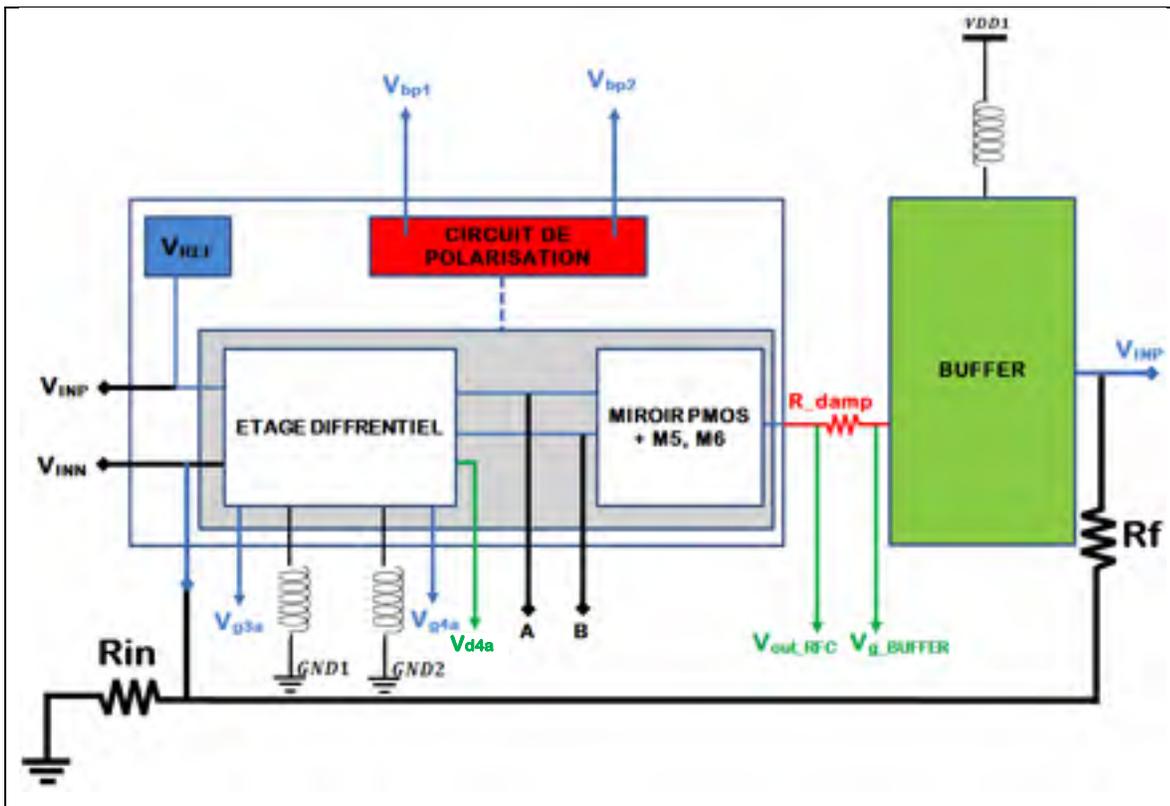


Figure 6.1 Structure hiérarchique du régulateur

6.2 Mise en marche et procédure de test

La mise en marche du régulateur est l'ensemble des étapes permettant de vérifier son comportement DC et de valider qu'il est prêt à subir d'autres tests. Elle se fait en application des principes évoqués à la section 6.1.1.

6.2.1 Mise en marche et procédure de test en DC

Nous proposons une mise en marche du régulateur qui se fait en cinq (5) étapes :

Première étape

À la mise sous tension du régulateur, les sorties VDD1, GND1 et GND2 sont déconnectées afin d'isoler et de vérifier le circuit de polarisation seulement. Il est indispensable de vérifier que la référence est bonne, de même que la polarisation du transistor de M0 de l'étage de gain, ainsi celle des transistors M12 et M13 du circuit de polarisation. Cette étape permet de mesurer V_{ref} , V_{bp1} et V_{bp2} , afin de se rassurer qu'elles correspondent aux valeurs proposées dans ce mémoire. Ils offrent la garantie sur la référence, la polarisation de l'étage de gain et les potentiels de polarisation.

Deuxième étape

La deuxième étape de la mise en marche est de connecter GND1 à la masse. Cette opération ferme deux circuits : M0 – M1a – M3a et M0 – M2b – M11 – M3b. Il permet d'avoir les premières mesures au sujet de l'effet miroir K. À travers la mesure et l'analyse de $V_{GS3a} = V_{GS3b}$, nous pouvons évaluer le courant dans M3a et M3b par calcul. Nous pouvons aussi nous rassurer que les transistors M3a, M3b et M11 sont correctement polarisés par V_{bn1} . Au début de cette étape, il faut polariser la sortie V_{inn} à la tension $V_{REF}=0.6V$.

Troisième étape

À la troisième étape, GND2 est connectée. Cette connexion ferme à son tour les circuits M0 – M2a – M4a et M0 – M1b – M12 – M4b. Les tests effectués à l'étape précédente sur M3a et

M3b concernent cette fois-ci M4a et M4b. De même, c'est la polarisation de Vbn2 qui doit être vérifiée dans cette étape.

Quatrième étape

VDD1 est connectée à l'alimentation pour polariser le buffer. Les intensités de courant théoriques doivent être vérifiées en mesurant V_{g4a} , qui doit subir l'augmentation correspondant à la mise en marche du courant du miroir PMOS. Il faut également mesurer V_{out_RFC} pour confirmer la plage dynamique de feed-back.

Cinquième étape

La dernière étape consiste à connecter une charge simple à la sortie V_{out} (une résistance par exemple), pour vérifier le fonctionnement du buffer. Une fois cette étape validée, le régulateur est prêt à subir des tests AC et des tests de régulation. Toutes les informations utiles sur à ce sujet sont résumées dans le Tableau 6.1.

Tableau 6.1 Étapes de la mise en marche du régulateur

Étape	VDD / GND	Tests identifiés	Objectifs
1	GND1 OFF	Mesure de V_{REF}	Référence = OK
	GND2 OFF	Mesure de V_{bp1}	Polarisation de la source de courant M0 = OK
	VDD1 OFF	Mesure de V_{bp2}	Circuit de polarisation = OK
2	GND1 ON	Mesure de $V_{GS3a} = V_{GS3b}$	▪ Courant de M3a = OK
	GND2 OFF		▪ Courant de M3b = OK
	VDD1 OFF		▪ Potentiel Vbn1 = OK
3	GND1 ON	Mesure de $V_{GS4a} = V_{GS4b}$	▪ Courant de M4a = OK
	GND2 ON		▪ Courant de M4b = OK
	VDD1 OFF		▪ Potentiel Vbn2 = OK
4	GND1 ON	Mesure de V_{DS3a}	État de M3a, M3b (saturation) = OK
	GND2 ON	Mesure de V_{DS4a}	État de M4a, M4b (saturation) = OK
	VDD1 ON	Mesure de V_{out_RFC}	Vérifier de la plage dynamique de feed-back
5	Charge à la sortie	Mesure de V_{out}	Vérifier le fonctionnement du buffer
		Mesure de I_{Load}	

6.2.2 Procédure de test en AC

Comme procédure de tests, nous proposons une démarche en deux grandes phases :

Phase de test en boucle ouverte

Ces tests servent à vérifier les paramètres AC, à travers notamment les réponses en fréquence par lesquelles le gain DC, la marge de phase et la marge de gain soient accessibles. Une fois la stabilité du système confirmée, le module de feed-back et une charge peuvent être connectés pour les tests sur la régulation.

Phase de test sur la régulation

De nombreux tests par simulation ont été effectués dans ce mémoire pour évaluer la robustesse du feed-back à la section 4.5. Ils peuvent également servir au moment de tests après fabrication pour évaluer la robustesse de la régulation.

6.3 Compensation d'un amplificateur RFIC de type W-CDMA

Nous pouvons envisager d'utiliser l'ampli-op pour la régulation de tension base-émetteur dans un amplificateur GaAs HBT pour les applications W-CDMA ». Dans ce cas, les fréquences de passage à 0 dB en boucle ouverte présentées au Tableau 4.9 sont plus hautes que nécessaire. Elles démontrent en effet que le circuit amplifie des fréquences jusqu'à un maximum de 334 MHz à 620 MHz, largement au-dessus de la bande passante du signal en bande de base en Wide-Band CDMA, qui est de 5 MHz. En se limitant à une amplification en boucle fermée au-delà d'une décade et avec un gain limité pour le fonctionnement du régulateur, nous pouvons ramener la fréquence de passage à 0 dB à environ 50 MHz, comme illustré à la Figure 6.2. Cette réduction de la bande passante de l'ampli-op en boucle ouverte a l'avantage de limiter l'amplification du bruit aux hautes fréquences à travers les circuits, ce qui est souhaité pour un amplificateur RFIC.

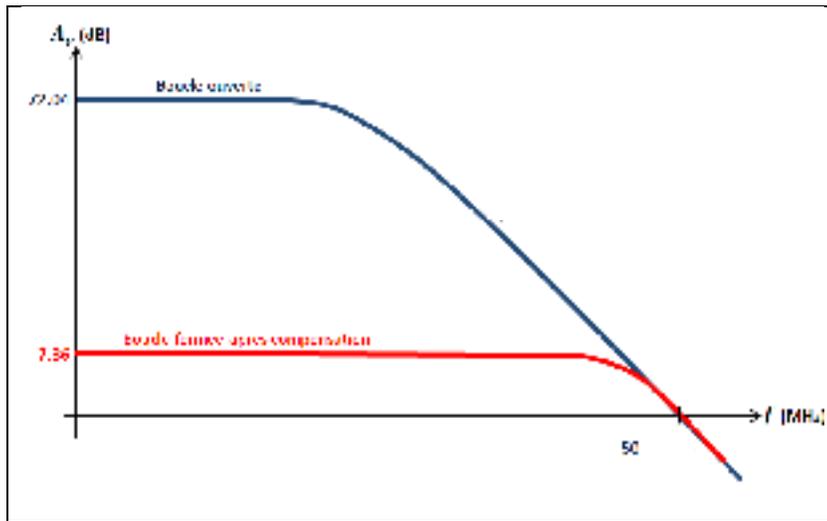


Figure 6.2 Réponse en fréquence boucle ouverte et en boucle fermée dans le cas du W-CDMA

La réduction de la bande passante peut être réalisée à l'aide de capacités de filtrage ajoutées entre la grille et le drain des transistors (Figure 6.3), qui vont diminuer le gain conformément à l'effet Miller (Sedra et Smith, 2010, p. 727). C_1 est la capacité grille-drain aux bornes de M1a, M1b, M2a et M2b. C_2 est la capacité aux bornes grille-drain de M3a et M4a. Cette opération va cependant dégrader la marge de phase. Il faut rajouter une capacité de compensation dans le module de rétroaction (Figure 6.4). Avec $C_1 = 0.1 \text{ pF}$; $C_2 = 2.5 \text{ pF}$; $R_f = 28 \text{ k}\Omega$; $R_{in} = 21 \text{ k}\Omega$ et $C_{comp} = 50 \text{ fF}$, les résultats obtenus pour présentés dans le Tableau 6.2. La bande passante du régulateur est diminuée. La marge de gain est de 15 dB et la marge de phase proche de 20 degrés. Toutes ces données indiquent que le système est stable avec les capacités de compensation.

Tableau 6.2 Réponse en fréquence après compensation pour signaux WCDMA

idc (mA)	Gain (dB)	f_c (kHz)	f_{0dB} (MHz)	PM (deg)	GM (dB)
2.5	72.04	65.23	50.7	19.29	15.01

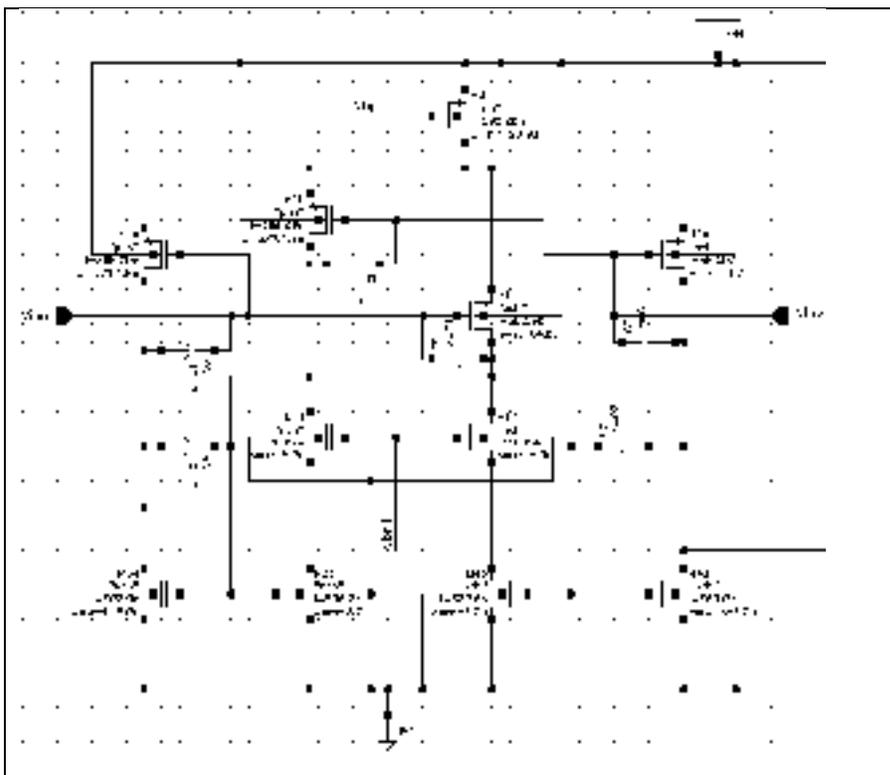


Figure 6.3 Capacités de filtrage au sein de l'ampli-op

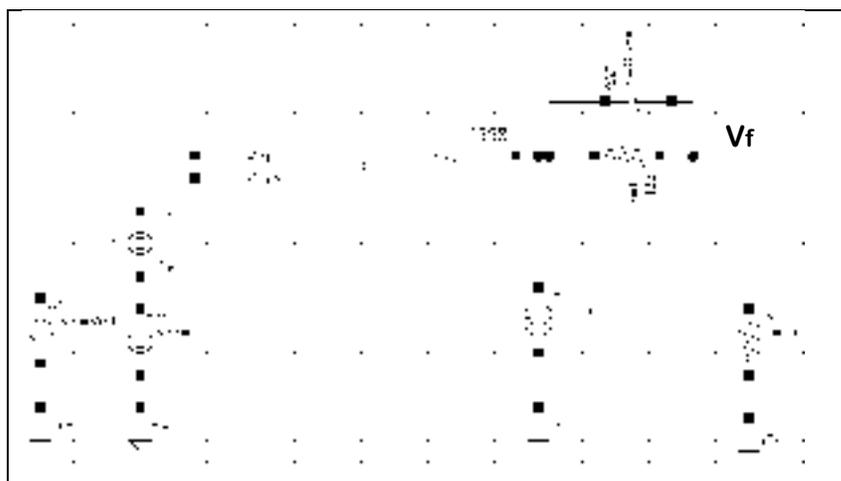


Figure 6.4 Schéma test de la réponse en fréquence en boucle ouverte montrant la capacité de compensation dans le module de feed-back¹⁰

¹⁰ Le nœud V_f est connecté à V_{in} en boucle fermée

6.4 Présentation du Layout

6.4.1 Directives générales de conception d'un layout avec CADENCE

L'environnement de CADENCE offre la possibilité de choisir les couches de métal à travers lesquelles sont reliés les composants du layout à l'aide de la fenêtre LSW (Figure 6.5). Pour faire la liaison d'une couche de métal à une autre, des vias sont disponibles avec la commande raccourci « o » (Figure 6.6).

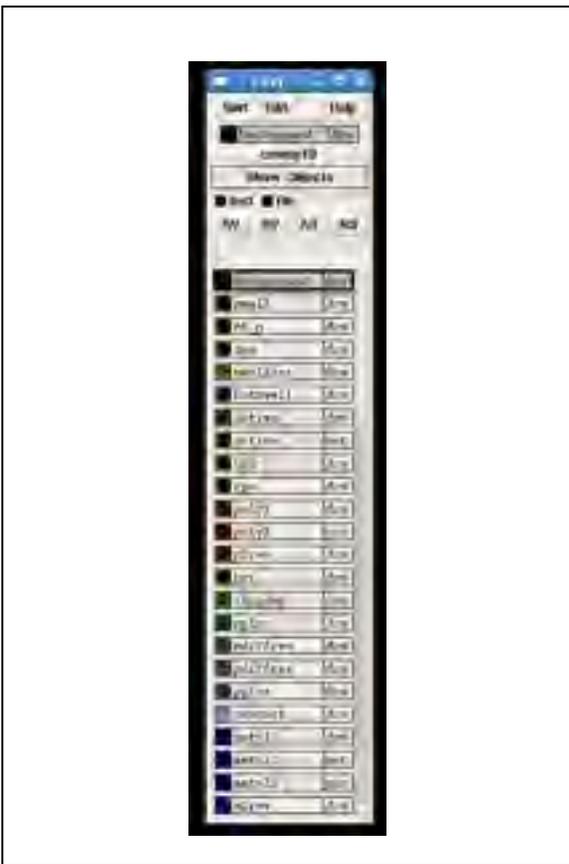


Figure 6.5 Présentation de la fenêtre LSW

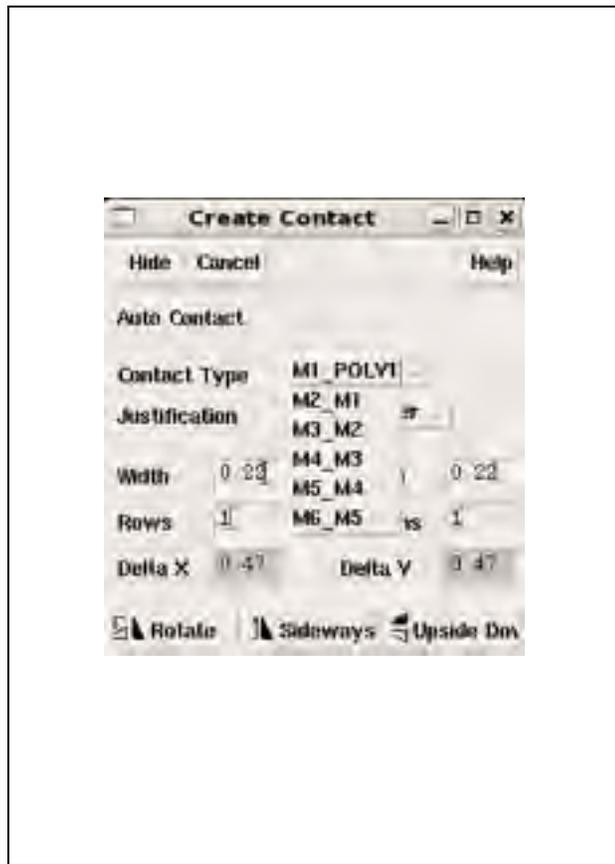


Figure 6.6 Insertion du Via

Des cellules de base de la technologie TSMC-0.18 μm sont offertes dans la librairie « CMCpcells » pour les transistors NMOS (Figure 6.7) et PMOS (Figure 6.8), ainsi que les capacités (Figure 6.9) et les résistances (Figure 6.10). Ce sont des cellules paramétriques.

Pour les transistors et les capacités, il suffit d'entrer les valeurs électriques pour que le simulateur ajuste les dimensions et vice-versa. Pour les résistances, il faut donner la longueur voulue et le logiciel affiche la résistance correspondante. À noter que le drain et la source sont par défaut symétriques pour chaque transistor.



Figure 6.7 Cellule paramétrique NMOS



Figure 6.8 Cellule paramétrique PMOS



Figure 6.9 Cellule paramétrique de la capacité



Figure 6.10 Cellule paramétrique de la résistance

Un module de vérification dans CADENCE appelé DRC (« Design Rules Check ») vérifie à chaque fois la conformité des règles de dessins : largeur des pistes, écart entre les pistes, écarts entre les pistes et les composants, etc. Un autre module appelé LVS (« Layout Versus Schematic ») vérifie la conformité du dessin vis-à-vis du circuit électrique correspondant. Ayant suivi toutes ces étapes, nous avons obtenu le layout présenté à la section 6.4.2.

6.4.2 Le Layout

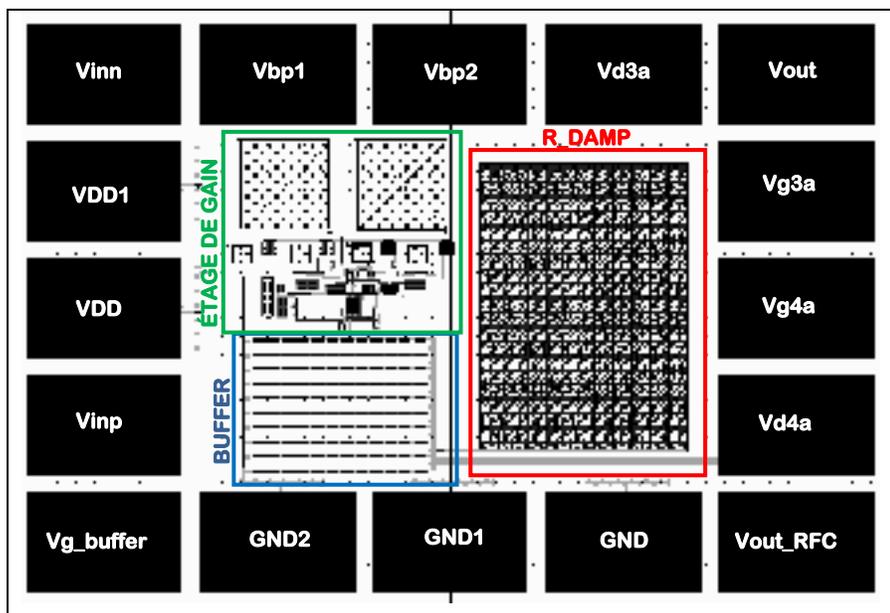


Figure 6.11 Layout complet

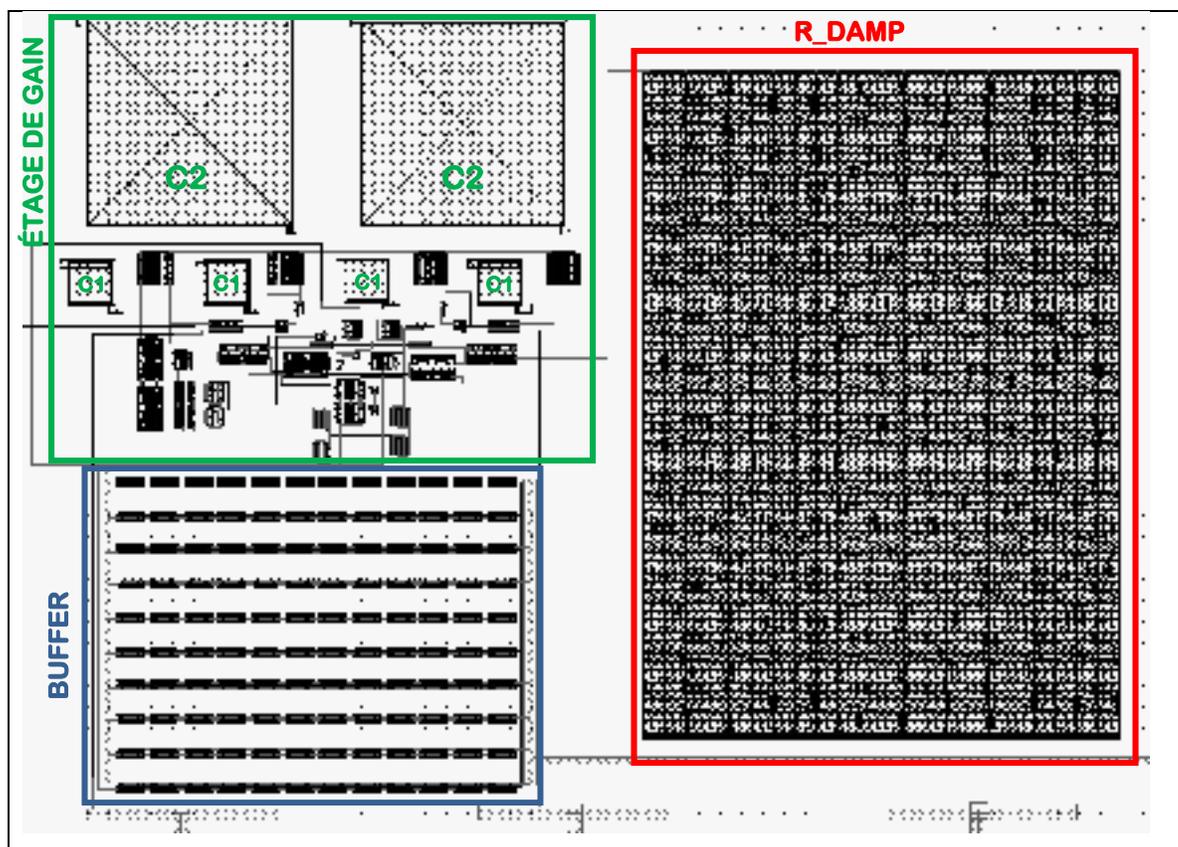


Figure 6.12 Layout sans pad

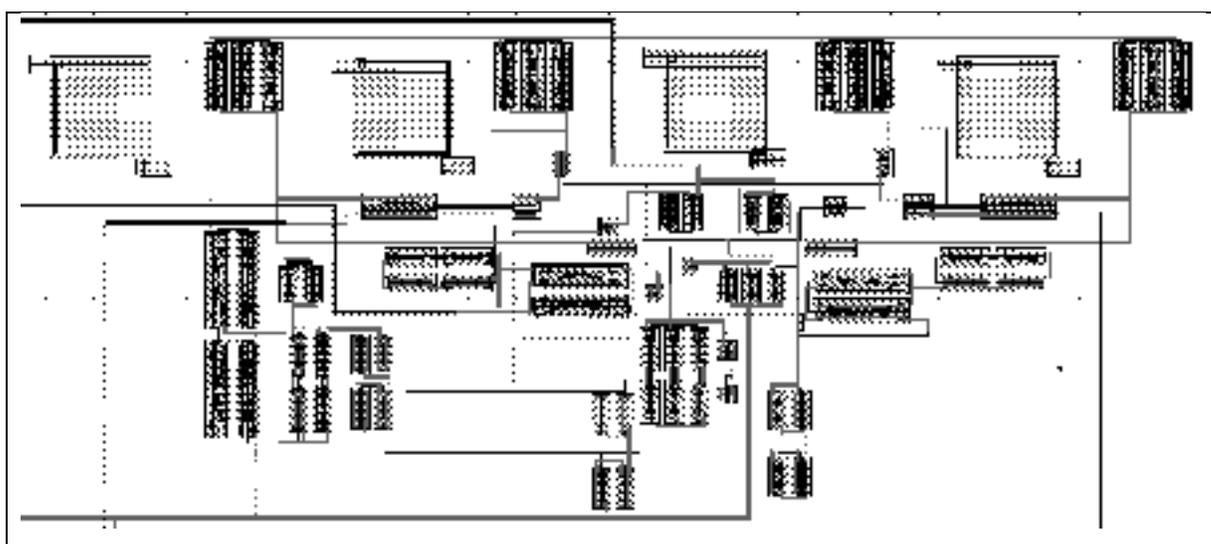


Figure 6.13 Layout du circuit CMOS et quelques capacités de compensation

CONCLUSION

Au terme de ce mémoire, il est important de rappeler les motivations à l'origine du travail de recherche et leurs objectifs, afin d'évaluer la pertinence des solutions proposées et les perspectives qu'elle ouvre.

Motivation de la recherche et résultats visés

Au début de ce mémoire, nous avons montré l'existence d'une problématique d'infiltration RF dans les circuits régulateurs à partir d'une chaîne d'amplification RF. Avec l'ambition de réaliser ces régulateurs totalement en technologie CMOS, cette problématique rejoint celle de l'interaction CMOS-RF, abordée par de nombreux chercheurs. Son origine est surtout d'ordre technologique. En effet, même avec leurs avancées actuelles, aussi bien les procédés MMIC que les procédés MCM ne trouvent pas de réponse véritablement appropriée à la propagation des ondes RF à travers le substrat. Elle est surtout abordée sous l'angle de la modélisation. Certains chercheurs ont proposé d'exploiter le problème en réinjectant intentionnellement une partie du signal RF dans les circuits, afin d'améliorer leurs performances par un effet de pré-distorsion. Cette option a montré une certaine efficacité pour les circuits à transistors bipolaires. Pour le cas des circuits CMOS, la pratique la plus répandue consiste à interposer une bobine d'isolation entre les circuits DC et les signaux RF. Cette bobine crée idéalement une isolation totale entre les deux composantes, mais occupe malheureusement beaucoup d'espace sur la puce. Dans ce contexte, nous avons voulu approfondir un aspect spécifique de ce thème : nous avons investigué sur les effets de l'infiltration RF dans des structures d'amplificateurs opérationnels de hautes performances en technologie CMOS. Par cette démarche, nous visions l'optimisation des circuits CMOS dans un environnement de fortes perturbations RF, ainsi que la miniaturisation de l'inductance d'isolation, dans une optique d'intégration sur puce.

Problématique

Cette recherche concerne en particulier les régulateurs de tension CMOS, destinés à la polarisation d'amplificateurs intégrés de type GaAs HBT dans des modules intégrés à technologies multiples (MCM). Elle est encadrée par les restrictions techniques applicables au design des MMIC, ainsi que le comportement de l'amplificateur dans le type de transmission RF considérée. En effet, les courants technologiques actuels (miniaturisation des composants et diversification des procédés de fabrication) imposent l'opération des circuits intégrés à bas voltage et renforcent le besoin d'amplificateurs à haute efficacité énergétique. Par ailleurs, le contexte d'application aux amplificateurs RFIC pour signaux WCDMA choisi dans le cadre de ce mémoire, nécessite de considérer une puissance disponible de 20 dBm à la jonction entre le circuit intégré MOS et l'amplificateur RFIC à cette puissance. L'amplificateur consomme alors un courant de l'ordre de 20 mA fourni par le régulateur CMOS.

Méthodologie et résultats

Tous ces défis ont été intégrés dans une méthodologie rigoureuse, faites d'analyses détaillées et de simulations robustes. Elle a débouché sur un régulateur de tension dont les performances ont été rehaussées par quelques contributions majeures de ce mémoire :

- un design totalement effectué en technologie CMOS, même pour la tension de référence et le circuit de polarisation ;
- un circuit de polarisation adéquat et consommant un faible courant ;
- la réduction drastique de la consommation du courant de polarisation, passant de 800 μ A à 135 μ A grâce au redimensionnement des transistors et l'étude des plages dynamiques de toute les tensions à travers l'ampli-op pour assurer son fonctionnement linéaire même en présence de fortes perturbations RF ;
- l'augmentation du courant de sortie allant jusqu'à 25 mA dans une charge isolée en RF, causant une chute de seulement 1.8 mV dans la tension régulée ;
- l'application de la technique de désensibilisation des circuits analogiques CMOS contre les perturbations RF ;

- la présentation et l'analyse détaillées d'une technique de désensibilisation des circuits CMOS contre les perturbations RF.

L'étude de l'infiltration RF a fait l'objet d'une méthodologie rigoureuse. Le premier challenge était d'arrimer le banc de simulation à cette problématique. Pour cela, une attention particulière a été portée sur la source RF, l'inductance d'isolation et le modèle de charge représentant l'impédance non-linéaire vue à l'entrée d'un amplificateur RFIC de type WCDMA. Les grandeurs émulées suite à cette modélisation traduisaient (i) le comportement d'une onde RF incidente provenant de l'étage amplificateur RF précédant l'étage de puissance, (ii) le comportement vu à l'entrée d'un amplificateur intégré GaAs HBT en présence de signal RF et (iii) l'isolation entre les circuits CMOS et les signaux RF. Les effets de l'infiltration RF sur le régulateur ont été identifiés grâce à une diminution progressive de l'inductance d'isolation. L'analyse de la sensibilité des tensions et des courants du circuit soumis aux perturbations RF a abouti à une désensibilisation efficace par l'application d'une technique d'amortissement. En premier lieu, il a été démontré qu'elle permet de préserver le gain en boucle ouverte et la plage dynamique de feed-back, grâce à la dissipation de la puissance RF perturbatrice. Comme effet sur la régulation, la chute de tension en sortie est diminuée de 100 mV lorsque le régulateur débite un courant de 20 mA dans la charge. Cet effet permet de retrouver une régulation à 97%. Deuxièmement, les résultats démontrent que la technique favorise l'intégration des bobines d'isolation RF de faibles valeurs sur puce. L'inductance d'isolation diminue en effet jusqu'à 6 nH dans la condition de charge de 20 mA.

Dimension pédagogique

De par la dimension pédagogique de cette recherche, nous avons contribué à enrichir les moyens d'apprentissage en électronique analogique à l'ÉTS. Une nouvelle méthodologie d'auto-évaluation sur des notions analogiques a été proposée, débouchant sur la création d'un outil pédagogique facilement accessible, incluant une banque de questions et leurs solutions. Cet outil permet la révision et l'approfondissement des notions analogiques, de même que l'application des connaissances par des graphiques et des calculs. Les deux parties dans la

formation en électronique analogique sont impliquées dans son utilisation et dans son évaluation : les étudiants comme principaux utilisateurs (autoévaluation), et les enseignants en tant que formateurs et évaluateurs.

RECOMMANDATIONS

Dans ce mémoire, nous avons vu l'influence des perturbations RF sur les performances de circuits analogiques CMOS tels que les régulateurs de tension. Pour les désensibiliser, nous avons proposé une approche qui consiste à prévenir l'infiltration RF non désirée, pour en limiter les effets. D'autre part, une technique consistant à réinjecter intentionnellement une partie du signal RF à l'intérieur des circuits de polarisation a été démontré dans la littérature, dans le but de faire de la pré-distorsion. Cependant, l'influence de l'infiltration RF non désirée en termes de dégradation des performances avec ce type de pré-distorsion n'a pas été étudiée. Il est donc pertinent d'investiguer les améliorations possibles avec ce type de pré-distorsion, en appliquant la technique de désensibilisation proposée dans ce mémoire.

Aussi, il serait intéressant d'investiguer les applications possibles de l'ampli-op proposé pour d'autres fonctions que la régulation, soit par exemple les compensateurs de phase, la polarisation dynamique et l'amplification du signal d'erreur dans un amplificateur à rétroaction d'enveloppe. Ces types de fonctions sont aussi utilisés dans certains modules amplificateurs intégrés (MCM), et donc aussi sujets à de fortes perturbations RF, et nécessitent de grandes plages dynamiques des signaux d'entrée, ainsi qu'une faible consommation de courant. D'où la pertinence d'investiguer les techniques présentées dans ce mémoire au regard à ces trois critères de performances.

ANNEXE I

VARIATIONS DES POTENTIELS DE POLARISATION AVEC LA TENSION D'ALIMENTATION

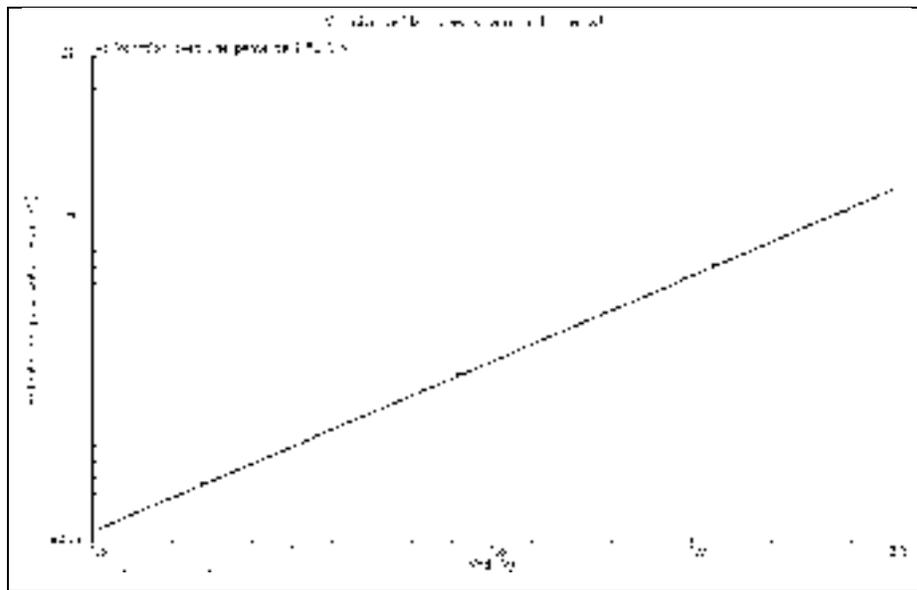


Figure-A I-1 Variation de V_{bn1} avec la tension d'alimentation

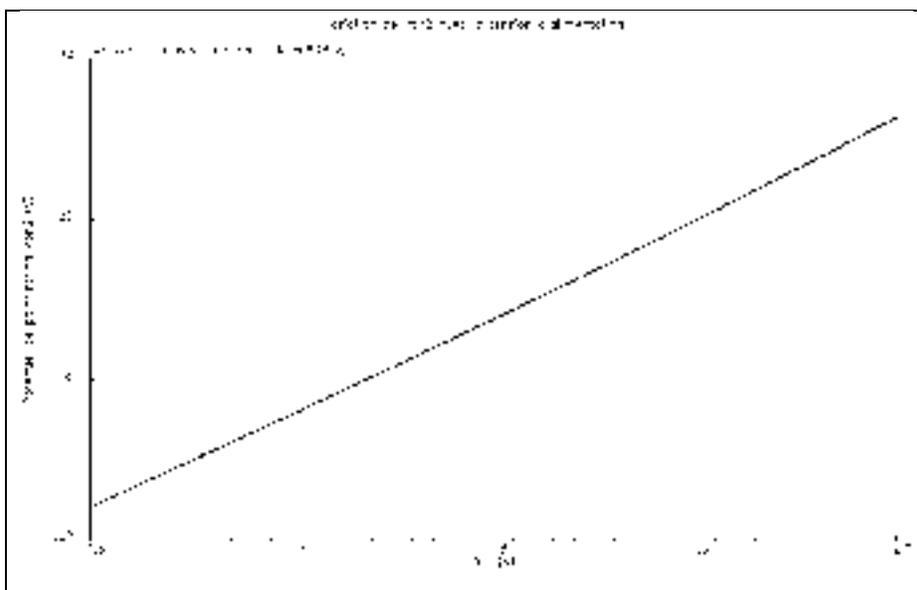


Figure-A I-2 Variation de V_{bn2} avec la tension d'alimentation

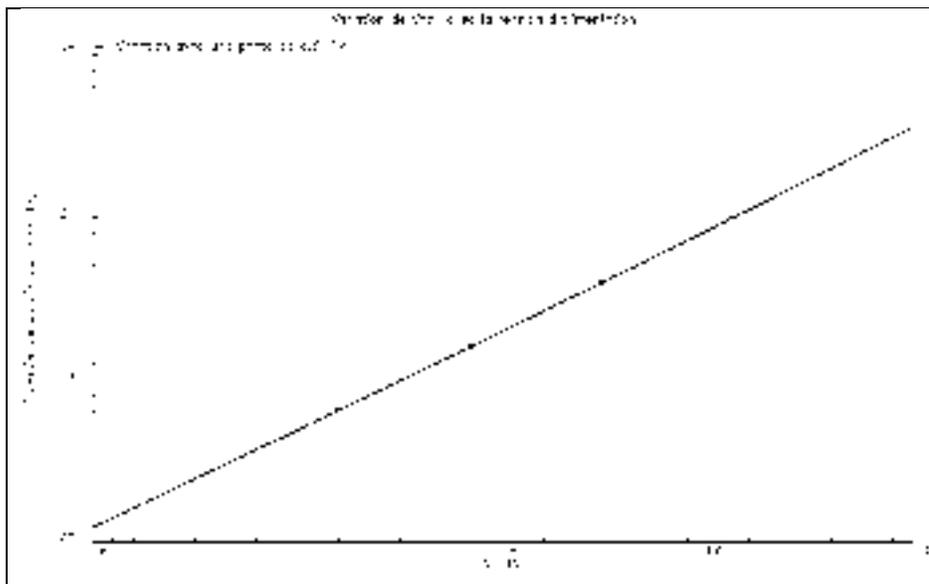


Figure-A I-3 Variation de Vbp1 avec la tension d'alimentation

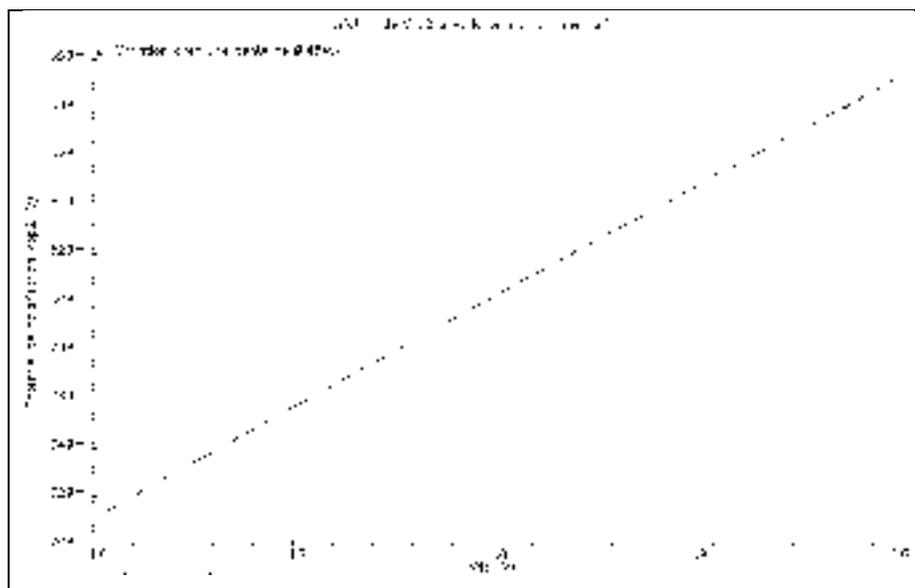


Figure-A I-4 Variation de Vbp2 en fonction de la tension d'alimentation

ANNEXE II

VARIATIONS DES POTENTIELS DE POLARISATION AVEC LA TEMPÉRATURE

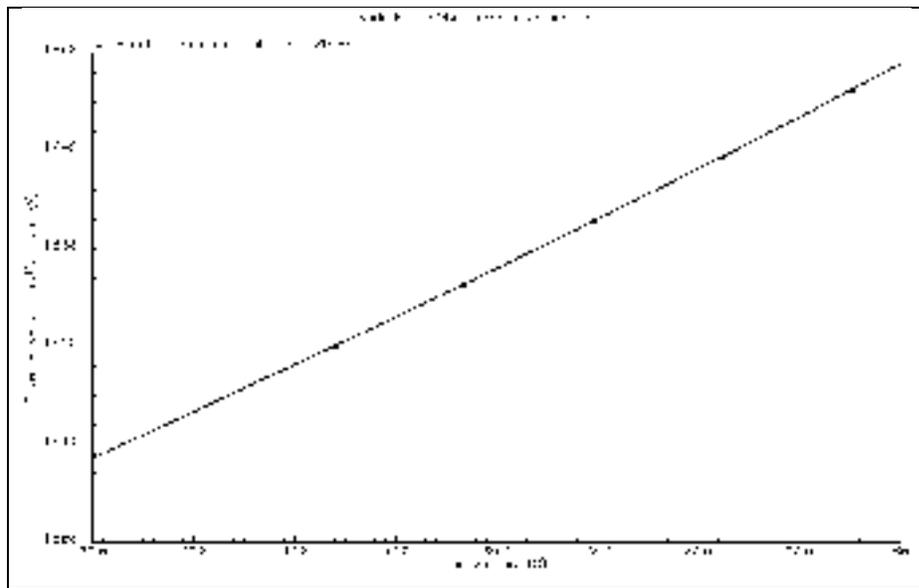


Figure-A II-1 Variation de V_{bn1} avec la température

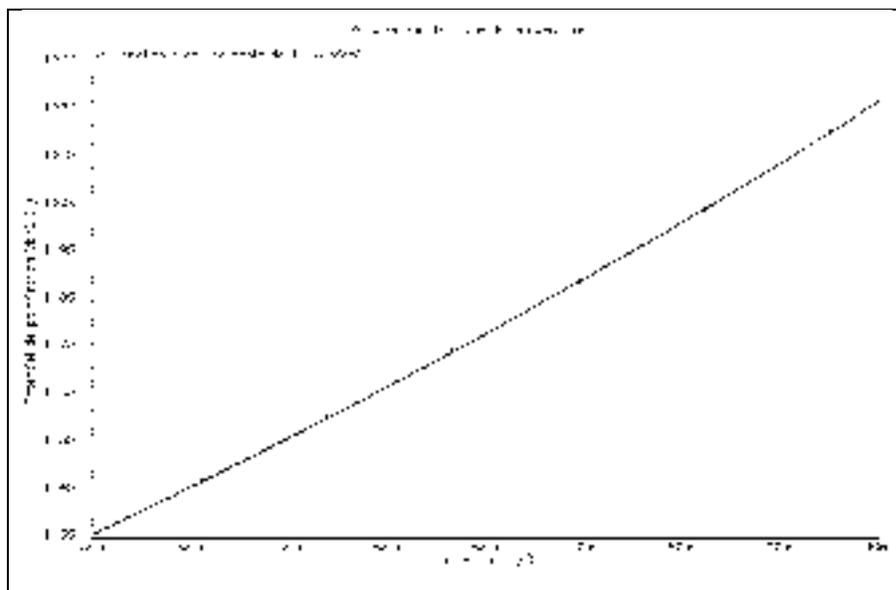


Figure-A II-2 Variation de V_{bn2} avec la température

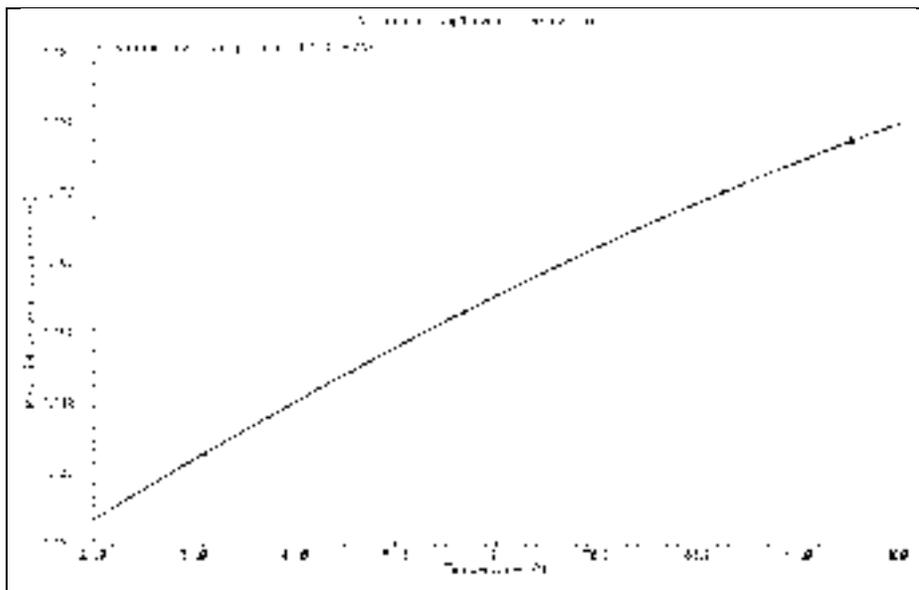


Figure-A II-3 Variation de Vbp1 avec la température

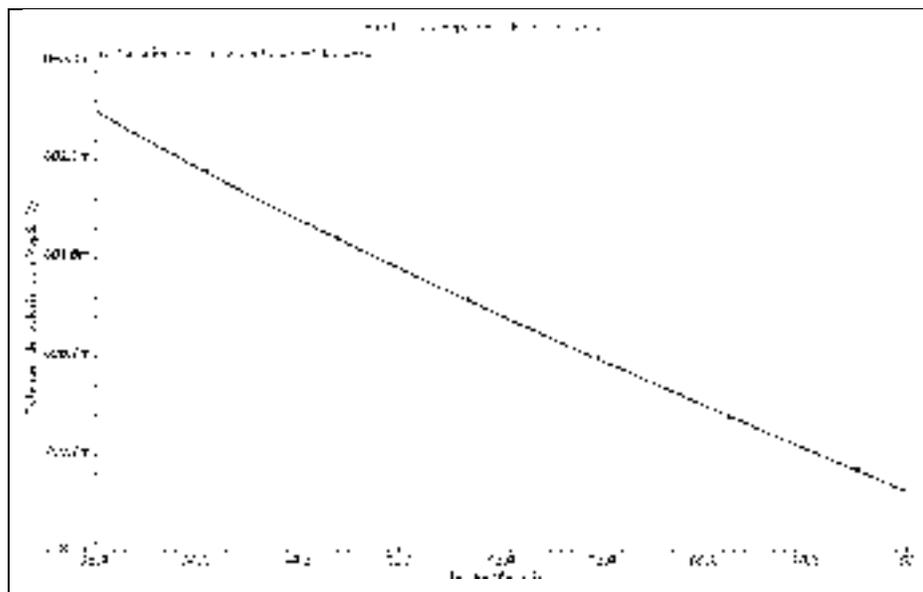


Figure-A II-4 Variation de Vbp2 avec la température

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES

- Abrie, Pieter L. D. 2009. *Design of RF and microwave amplifiers and oscillators*, 2nd. Boston, Mass.: Artech House, xviii, 477 p.
- Allstot, D. J., et W. C. Black, Jr. 1983. « Technological design considerations for monolithic MOS switched-capacitor filtering systems ». *Proceedings of the IEEE*, vol. 71, n° 8, p. 967-986.
- Anghel, C., B. Bakeroot, Y. S. Chauhan, R. Gillon, C. Maier, P. Moens, J. Doutreloigne et A. M. Ionescu. 2006. « New method for threshold voltage extraction of high-voltage MOSFETs based on gate-to-drain capacitance measurement ». *Electron Device Letters, IEEE*, vol. 27, n° 7, p. 602-604.
- Assaad, R. S., et J. Silva-Martinez. 2009. « The Recycling Folded Cascode: A General Enhancement of the Folded Cascode Amplifier ». *Solid-State Circuits, IEEE Journal of*, vol. 44, n° 9, p. 2535-2542.
- Assaad, Rida Shawky. 2009. « Design techniques for high speed low voltage and low power non-calibrated pipeline analog to digital converters ». 3400682. United States - Texas, Texas A&M University. In ProQuest Dissertations & Theses (PQDT); ProQuest Dissertations & Theses A&I.
< <http://search.proquest.com/docview/305126380?accountid=27231> >.
- Baker, R.J. (744). 2010. *CMOS: Circuit design, layout, and simulation*. Wiley-IEEE Press.
- Balan, V. 2003. « A low-voltage regulator circuit with self-bias to improve accuracy ». *Solid-State Circuits, IEEE Journal of*, vol. 38, n° 2, p. 365-368.
- Boylestad, Robert L. 2010. *Introductory circuit analysis*, 12th. Upper Saddle River, N.J.: Prentice Hall, xii, 1188 p.
- Bronckers, S., K. Scheir, G. Van der Plas, G. Vandersteen et Y. Rolain. 2009. « A Methodology to Predict the Impact of Substrate Noise in Analog/RF Systems ». *Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on*, vol. 28, n° 11, p. 1613-1626.
- Bult, K., et G. J. G. M. Geelen. 1990. « A fast-settling CMOS op amp for SC circuits with 90-dB DC gain ». *Solid-State Circuits, IEEE Journal of*, vol. 25, n° 6, p. 1379-1384.
- Ceperic, V., Z. Butkovic et A. Baric. 2006. « Design and Optimization of Self-Biased Complementary Folded Cascode ». In *Electrotechnical Conference, 2006. MELECON 2006. IEEE Mediterranean*. (16-19 May 2006), p. 145-148.

- Chen, Jia, Qin Bo et Chen Zhiliang. 2006. « A Linear Voltage Regulator for PLL in SOC Application ». In *Wireless Communications, Networking and Mobile Computing, 2006. WiCOM 2006. International Conference on.* (22-24 Sept. 2006), p. 1-4.
- Chirala, Mohan Krishna. 2007. « Passive and active circuits in CMOS technology for RF, microwave and millimeter wave applications ». 3347903. United States - Texas, Texas A&M University. In ProQuest Dissertations & Theses (PQDT); ProQuest Dissertations & Theses A&I.
< <http://search.proquest.com/docview/304733074?accountid=27231> >.
- Cripps, Steve C. 2006. *RF power amplifiers for wireless communications*, 2nd. Coll. « Artech House microwave library ». Boston, Mass.: Artech House, xiii, 456 p.
- Degachi, L., et F. M. Ghannouchi. 2008. « An Augmented Small-Signal HBT Model With Its Analytical Based Parameter Extraction Technique ». *Electron Devices, IEEE Transactions on*, vol. 55, n° 4, p. 968-972.
- Deshpande, Hemant Vinayak. 2002. « High performance deep sub-micron CMOS device design for low power analog and mixed mode applications ». 3040218. United States - California, University of California, Los Angeles, 131 p. p. In ProQuest Dissertations & Theses (PQDT); ProQuest Dissertations & Theses A&I.
< <http://search.proquest.com/docview/275656867?accountid=27231> >.
- Dobrescu, L., M. Petrov, D. Dobrescu et C. Ravariu. 2000. « Threshold voltage extraction methods for MOS transistors ». In *Semiconductor Conference, 2000. CAS 2000 Proceedings. International.* (2000) Vol. 1, p. 371-374 vol.1.
- Enche Ab Rahim, S. A. E., M. A. Ismail, A. I. Abdul Rahim, M. R. Yahya et A. F. Awang Mat. 2010. « A wide gain-bandwidth CMOS fully-differential folded cascode amplifier ». In *Electronic Devices, Systems and Applications (ICEDSA), 2010 Intl Conf on.* (11-14 April 2010), p. 165-168.
- Enz, C. 2002. « An MOS transistor model for RF IC design valid in all regions of operation ». *Microwave Theory and Techniques, IEEE Transactions on*, vol. 50, n° 1, p. 342-359.
- Ferri, G. 2001. « Low-voltage low-power adaptive biased high-efficiency integrated amplifiers ». In *Electronics, Circuits and Systems, 2001. ICECS 2001. The 8th IEEE International Conference on.* (2001) Vol. 3, p. 1529-1532 vol.3.
- Flandre, D., V. Kilchytska et T. Rudenko. 2010. « gm/Id Method for Threshold Voltage Extraction Applicable in Advanced MOSFETs With Nonlinear Behavior Above Threshold ». *Electron Device Letters, IEEE*, vol. 31, n° 9, p. 930-932.

- Fong, Neric Hsin-Wu. 2002. « Low-voltage radio-frequency CMOS integrated circuits in silicon-on-insulator ». NQ79424. Canada, Carleton University (Canada), 174 p. p. In ProQuest Dissertations & Theses (PQDT); ProQuest Dissertations & Theses A&I. < <http://search.proquest.com/docview/304808746?accountid=27231> >.
- Golnaraghi, M. F., et Benjamin C. Kuo. 2010. *Automatic control systems*, 9th. Hoboken, N.J.: Wiley, xiii, 786 p.
- Gray, Paul R. 2009. *Analysis and design of analog integrated circuits*, 5th. New York ; Chichester: Wiley, xiv, 881 p.
- <http://www.datasheetcatalog.com/>. 2011.
< <http://www.datasheetcatalog.com/catalog/p381880.shtml> >.
- Jolly, R. D., et R. H. McCharles. 1982. « A low-noise amplifier for switched capacitor filters ». *Solid-State Circuits, IEEE Journal of*, vol. 17, n° 6, p. 1192-1194.
- Kim, J. H., Y. S. Noh et C. S. Park. 2002. « High linear HBT MMIC power amplifier with partial RF coupling to bias circuit for W-CDMA portable application ». In *Microwave and Millimeter Wave Technology, 2002. Proceedings. ICMMT 2002. 2002 3rd International Conference on.* (17-19 Aug. 2002), p. 809-812.
- Kim, J. H., Y. S. Noh et C. S. Park. 2003. « MMIC power amplifier adaptively linearized with RF coupled active bias circuit for W-CDMA mobile terminals applications ». In *Microwave Symposium Digest, 2003 IEEE MTT-S International.* (8-13 June 2003) Vol. 3, p. 2209-2212 vol.3.
- Kuo, Benjamin C., et M. F. Golnaraghi. 2003. *Automatic control systems*, 8th. New York: J. Wiley, xiii, 609 p.
- Lederer, Dimitri. 2006. « Wideband characterization of advanced SOI material and MOS devices for high frequency applications ». Thèse de doctorat en Sciences Appliquées. Université Catholique de Louvain, 239 p.
- Lipka, B., U. Kleine, J. C. Scheytt et K. Schmalz. 2009. « Design of a complementary folded-cascode operational amplifier ». In *SOC Conference, 2009. SOCC 2009. IEEE International.* (9-11 Sept. 2009), p. 111-114.
- Malvino, Albert Paul, et David J. Bates. 2008. *Principes d'électronique : cours et exercices corrigés*, 7e éd. Coll. « Sciences sup. Sciences de l'ingénieur ». Paris: Dunod, x, 1078 p.
- Manaresi, N., E. Franchi, A. Gnudi et G. Baccarani. 1995. « MOSFET threshold extraction circuit ». *Electronics Letters*, vol. 31, n° 17, p. 1434-1435.

- Mandal, P., et V. Visvanathan. 1997. « A self-biased high performance folded cascode CMOS op-amp ». In *VLSI Design, 1997. Proceedings., Tenth International Conference on.* (4-7 Jan 1997), p. 429-434.
- Minkyu, Je, et Shin Hyungcheol. 2003. « Gate bias dependence of the substrate signal coupling effect in RF MOSFETs ». *Electron Device Letters, IEEE*, vol. 24, n° 3, p. 183-185.
- Misra, Devendra. 2004. *Radio-frequency and microwave communication circuits : analysis and design*, 2nd. Hoboken, N.J.: Wiley-Interscience, xii, 614 p.
- Noh, Y. S., I. B. Yom et C. S. Park. 2005. « Two-stage adaptive power amplifier MMIC for handset applications ». In *Microwave Conference, 2005 European.* (4-6 Oct. 2005) Vol. 3, p. 4
- Noonan, James. 2005. « The Design of a High Efficiency RF Power Amplifier for an MCM Process ». MASSACHUSETTS, MASSACHUSETTS INSTITUTE OF TECHNOLOGY.
- Picos, R., M. Roca, B. Iniguez, M. Bellodi, D. Flandre et E. Garcia-Moreno. 2004. « Direct MOSFET parameters extraction using Fourier-space techniques ». In *Devices, Circuits and Systems, 2004. Proceedings of the Fifth IEEE International Caracas Conference on.* (3-5 Nov. 2004) Vol. 1, p. 9-13.
- Pucel, R. A. 1981. « Design Considerations for Monolithic Microwave Circuits ». *Microwave Theory and Techniques, IEEE Transactions on*, vol. 29, n° 6, p. 513-534.
- Rajput, S. S., et S. S. Jamuar. 2000. « A high performance current mirror for low voltage designs ». In *Circuits and Systems, 2000. IEEE APCCAS 2000. The 2000 IEEE Asia-Pacific Conference on.* (2000), p. 170-173.
- Rajput, S. S., et S. S. Jamuar. 2001. « Low voltage, low power, high performance current mirror for portable analogue and mixed mode applications ». *Circuits, Devices and Systems, IEE Proceedings -*, vol. 148, n° 5, p. 273-278.
- Rajput, S. S., et S. S. Jamuar. 2004. « Advanced current mirrors for low voltage analog designs ». In *Semiconductor Electronics, 2004. ICSE 2004. IEEE International Conference on.* (7-9 Dec. 2004), p. 6.
- Rami, x, J. rez-Angulo, V. S. Kasaraneni, R. G. Carvajal, Lo, Marti pez et A. J. n. 2010. « Simple low voltage, low power implementations of circuits for VT extraction ». In *Circuits and Systems (MWSCAS), 2010 53rd IEEE International Midwest Symposium on.* (1-4 Aug. 2010), p. 1133-1136.

- Razavi, B. 1999. « CMOS technology characterization for analog and RF design ». *Solid-State Circuits, IEEE Journal of*, vol. 34, n° 3, p. 268-276.
- Razavi, Behzad. 2008. *Fundamentals of microelectronics*. Hoboken, N.J.: Wiley, xxiii, 936 p.
- Ribner, D. B., et M. A. Copeland. 1984. « Design techniques for cascoded CMOS op amps with improved PSRR and common-mode input range ». *Solid-State Circuits, IEEE Journal of*, vol. 19, n° 6, p. 919-925.
- Roewer, F., et U. Kleine. 2002. « A novel class of complementary folded-cascode opamps for low voltage ». *Solid-State Circuits, IEEE Journal of*, vol. 37, n° 8, p. 1080-1083.
- Roh, Jeongjin. 2006. « High-Gain Class-AB OTA with Low Quiescent Current ». *Analog Integrated Circuits and Signal Processing*, vol. 47, n° 2, p. 225-228.
- Sai Praneeth, G. A. V., et A. K. Saini. 2009. « A self biased operational amplifier at ultra low power supply voltage ». In *Electronics, Circuits, and Systems, 2009. ICECS 2009. 16th IEEE International Conference on*. (13-16 Dec. 2009), p. 152-154.
- Sedra, Adel S., et Kenneth Carless Smith. 2010. *Microelectronic circuits*, 6th. New York: Oxford University Press, xxxiii, 1397, [23] p.
- Shirvani Mahdavi, Alireza. 2003. « Design and control of CMOS radio-frequency power amplifiers ». 3085229. United States -- California, Stanford University, 136 p. p. In ProQuest Dissertations & Theses (PQDT); ProQuest Dissertations & Theses A&I. < <http://search.proquest.com/docview/305292988?accountid=27231> >.
- So-Bong, Shin, et Lee Sang-Gug. 2000. « An adaptive bias circuits for high efficiency power amp ». In *TENCON 2000. Proceedings*. (2000) Vol. 2, p. 30-32 vol.2.
- Song, B. G., O. J. Kwon, I. K. Chang, H. J. Song et K. D. Kwack. 1999. « A 1.8 V self-biased complementary folded cascode amplifier ». In *ASICs, 1999. AP-ASIC '99. The First IEEE Asia Pacific Conference on*. (1999), p. 63-65.
- Sowlati, T., et S. Luo. 2000. « Bias boosting technique for a 1.9 GHz class AB RF amplifier ». In *Low Power Electronics and Design, 2000. ISLPED '00. Proceedings of the 2000 International Symposium on*. (2000), p. 284-288.
- Vallee, R. E., et E. I. El-Masry. 1994. « A very high-frequency CMOS complementary folded cascode amplifier ». *Solid-State Circuits, IEEE Journal of*, vol. 29, n° 2, p. 130-133.

- Woo Young, Choi, Kim Hwi, Lee Byoungho, Lee Jong Duk et Park Byung-Gook. 2004. « Stable threshold voltage extraction using Tikhonov's regularization theory ». *Electron Devices, IEEE Transactions on*, vol. 51, n° 11, p. 1833-1839.
- Zhou, Qianneng, Hongjuan Li, Xiaozhong Duan et Chong Yang. 2011. « A two-stage amplifier with the recycling folded cascode input-stage and feedforward stage ». In *Cross Strait Quad-Regional Radio Science and Wireless Technology Conference (CSQRWC), 2011. (26-30 July 2011)* Vol. 2, p. 1557-1560.