

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE
À L'OBTENTION DE LA
MAÎTRISE EN GÉNIE ÉLECTRIQUE
M.Ing.

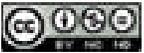
PAR
François Dominique RICHARDSON

CONCEPTION ET RÉALISATION CMOS D'UN DÉTECTEUR DE PUISSANCE RF
POUR UN SYSTÈME AUTOMATIQUE D'ADAPTATION D'IMPÉDANCE

MONTRÉAL, LE 6 MAI 2011



François Dominique Richardson, 2011



Cette licence Creative Commons signifie qu'il est permis de diffuser, d'imprimer ou de sauvegarder sur un autre support une partie ou la totalité de cette oeuvre à condition de mentionner l'auteur, que ces utilisations soient faites à des fins non commerciales et que le contenu de l'oeuvre n'ait pas été modifié.

PRÉSENTATION DU JURY
CE MÉMOIRE A ÉTÉ ÉVALUÉ
PAR UN JURY COMPOSÉ DE:

M. Ghyslain Gagnon, directeur de mémoire
Département de génie électrique à l'École de technologie supérieure

M. Ammar B. Kouki, codirecteur
Département de génie électrique à l'École de technologie supérieure

M. François Gagnon, président du jury
Département de génie électrique à l'École de technologie supérieure

M. Nicolas Constantin, membre du jury
Département de génie électrique à l'École de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 27 AVRIL 2011

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

J'aimerais remercier la Chaire CRSNG - Ultra Électronique en communication sans fil d'urgence et tactique pour le financement de mon projet, CMC Microsystems (www.cmc.ca) pour la réalisation du circuit intégré et tout le monde du LACIME.

J'aimerais remercier le professeur Ghyslain Gagnon pour son soutien et sa disponibilité. J'aimerais également remercier les professeurs, Ammar B. Kouki et François Gagnon pour leur soutien.

En fin, je voudrais remercier ma famille et mes amis. (Véro, Émile, Hector, Irène, Sabrina, JF D'Agnolo, ..., Rémi, Fabien, George, Christian, Rousseau, ...)

CONCEPTION ET RÉALISATION CMOS D'UN DÉTECTEUR DE PUISSANCE RF POUR UN SYSTÈME AUTOMATIQUE D'ADAPTATION D'IMPÉDANCE

François Dominique RICHARDSON

RÉSUMÉ

Le détecteur de puissance RF est un élément critique des SAAI (Système Automatique d'Adaptation d'Impédance) qui sont de plus en plus intégrés aux appareils de communications sans-fils. En effet, les caractéristiques du détecteur de puissance ont une importance significative sur les performances du SAAI. Tout d'abord, la précision avec laquelle le SAAI pourra adapter une charge et une source est directement liée à la plage dynamique du détecteur de puissance. Puis, la résolution du détecteur de puissance détermine la perte d'insertion du SAAI. En outre, le détecteur de puissance est responsable d'une grande portion de la consommation de puissance du SAAI. Les avantages liés à l'utilisation d'un SAAI, notamment l'augmentation de l'efficacité du système de communication, sont donc intimement liés aux performances du détecteur de puissance qui le compose.

Dans le but d'intégrer un SAAI complet sur une puce, une nouvelle architecture de détecteur de puissance RF est développée dans ce mémoire. La plage dynamique du détecteur est distribuée sur trois unités de détection à faible consommation de puissance. Cette architecture permet ainsi d'opérer les transistors dans leur région d'opération optimale sur une plage dynamique supérieure aux autres détecteurs de puissance CMOS à faible consommation ayant fait l'objet de publications récentes. La plage dynamique du détecteur de puissance distribué devient ainsi comparable à celle des détecteurs de puissance à amplificateur limiteurs (typiquement utilisés pour la détection de puissance dans les circuits CMOS), tout en ayant une consommation de puissance plus faible.

Dans ce document, la conception d'un détecteur de puissance RF distribué ainsi que sa réalisation sont présentées. Un circuit intégré occupant une surface de 2 mm^2 a été réalisé avec un procédé CMOS $0.13 \mu\text{m}$ de IBM via CMC Microsystems. Les résultats expérimentaux obtenus par ce circuit confirment une plage dynamique de 35 dB, sur une bande de fréquences de 500 MHz à 4 GHz. La consommation de puissance du circuit intégré est de 0.554 mW. Ces résultats comparent avantageusement ce détecteur de puissance RF CMOS aux autres détecteurs dont les données ont été récemment publiées. De ce fait, le détecteur de puissance conçu et réalisé dans le cadre de cette maîtrise sera l'objet d'une publication lors de la conférence internationale IEEE Northeast Workshop on Circuits and Systems (IEEE NEWCAS 2011).

Mot-clés: Détecteur de puissance RF, CMOS, Automatique, Adaptation d'impédance

DESIGN OF A CMOS RF POWER DETECTOR FOR AN AUTOMATIC IMPEDANCE MATCHING SYSTEM

François Dominique RICHARDSON

ABSTRACT

An RF power detector is a critical component of AIMS (Automatic Impedance Matching Systems) which are increasingly used in wireless communication devices. The RF power detector characteristics have a significant importance on AIMS performances. First, the impedance matching accuracy of the AIMS is linked to the dynamic range of the power detector. Also, the insertion loss of the AIMS is determined by the sensitivity of the power detector. Furthermore, the power consumption of the power detector is typically a significant proportion of the AIMS overall power consumption. Therefore, the main advantage of using an AIMS - the increase of the wireless communication system efficiency - is directly linked to the performances of its RF power detector.

The subject of this Thesis is the design and implementation of a novel RF power detector architecture for an AIMS to be integrated in a System on a Chip. The dynamic range of the power detector is distributed over three low power consumption detection units. This architecture allows operating the transistors in their optimum polarization region over a wider dynamic range than other recently published low-power CMOS RF power detectors. Hence, the dynamic range of the proposed RF power detector is comparable to the dynamic range obtained by limiting-amplifier power detectors, which are typically employed in CMOS power detection, but with lower power consumption.

This document presents the design of the distributed RF power detector and its CMOS implementation. An integrated circuit was fabricated using a CMOS 0.13 μm process provided by IBM through CMC Microsystems. The chip area is 2 mm^2 (including bonding pads). Experimental results show a 35 dB dynamic range over a frequency range from 500 MHz to 4 GHz. The power consumption of the integrated circuit is 0.554 mW. These results outperform those of recently published work in this field. The RF power detector designed during this Master's degree will be the topic of a publication at the IEEE Northeast Workshop on Circuit and Systems (IEEE NEWCAS 2011).

Keywords: RF Power detector, CMOS, Automatic, Impedance matching

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 SYSTÈMES AUTOMATIQUES D'ADAPTATION D'IMPÉDANCE	5
1.1 Introduction	5
1.2 Notions de ligne de transmission	5
1.3 Motivations	8
1.3.1 Antenne agile à bande étroite	9
1.4 Architecture d'un système automatique d'adaptation d'impédance	11
1.4.1 Le réseau d'adaptation d'impédance reconfigurable	12
1.4.2 La mesure du coefficient de réflexion de puissance	15
1.5 Revue de SAAI existants	18
1.5.1 Prototype d'un SAAI	18
1.5.2 Prototype d'une antenne à bande étroite reconfigurable	20
1.5.3 Prototype d'un SAAI à algorithme analogique	21
1.6 Conclusion	23
CHAPITRE 2 DÉTECTEURS DE PUISSANCE RF	25
2.1 Introduction	25
2.2 La puissance d'un signal	26
2.3 Les caractéristiques des détecteurs de puissance RF	28
2.3.1 La fonction de transfert	28
2.3.2 La plage dynamique et la sensibilité	29
2.3.3 Le temps de réponse	30
2.3.4 La bande d'opération	30
2.3.5 La consommation de puissance	30
2.3.6 Le procédé de fabrication	31
2.4 Revue de détecteurs de puissance RF existants	31
2.4.1 Détecteur à thermocouple	31
2.4.2 Détecteur à diode	33
2.4.3 Détecteur à transistor MOSFET	35
2.4.3.1 Fonctionnement du transistor MOSFET	35
2.4.3.2 Détecteurs à transistor en triode	38
2.4.3.3 Détecteur très rapide	40
2.4.3.4 Détecteur différentiel	42
2.4.3.5 Détecteurs logarithmiques	42
2.5 Conclusion	46
CHAPITRE 3 CONCEPTION DU DÉTECTEUR DE PUISSANCE RF	49

3.1	Introduction	49
3.2	Plage dynamique distribuée	50
3.3	Conception niveau système du détecteur de puissance	51
	3.3.1 Temps de réponse du détecteur de puissance	52
	3.3.2 Consommation de puissance du détecteur de puissance	54
	3.3.3 Impédance d'entrée du détecteur de puissance	55
3.4	Procédé de fabrication du circuit intégré.....	55
3.5	Architecture du circuit intégré	56
3.6	Sélecteur.....	58
	3.6.1 Chemin de transmission	59
3.7	Unité de détection	62
	3.7.1 Détecteur de puissance linéaire en watt	63
	3.7.2 Convertisseur logarithmique.....	72
	3.7.3 Circuit de référence de tension (V_{pola}).....	74
	3.7.4 Circuit de référence de courant	75
	3.7.5 Amplificateur opérationnel (A1).....	80
	3.7.6 Amplificateur de redressement du niveau zéro (A2)	85
3.8	Dimensionnement des unités de détection	86
	3.8.1 Circuit de simulation	87
	3.8.2 Zone de détection	89
	3.8.3 Temps de réponse des unités de détection	90
	3.8.4 Effet de la fréquence du signal RF	92
	3.8.5 Consommation de puissance du circuit intégré	93
	3.8.6 Effet de la température	94
	3.8.7 Adaptation en impédance du circuit intégré.....	96
3.9	Conclusion	98
CHAPITRE 4 TOPOLOGIE DU CIRCUIT INTÉGRÉ		99
4.1	Introduction	99
4.2	Topologie de l'IC.....	99
4.3	Composantes passives	101
4.4	Circuit de protection contre les décharges électrostatiques	103
4.5	Simulation « post-layout ».....	104
4.6	Conclusion	106
CHAPITRE 5 VÉRIFICATION EXPÉRIMENTALE		107
5.1	Introduction	107
5.2	Validité des mesures.....	108
	5.2.1 Banc de test	108
	5.2.2 Mesures du paramètre S_{11}	113
5.3	Plage dynamique	115
	5.3.1 Effet de R_{pola}	116
	5.3.2 Effet de $R_{alim1,2,3}$	117
	5.3.3 Effet de la fréquence d'opération	119

5.3.4	Effet de la température	120
5.4	Temps de réponse.....	122
5.5	Consommation en puissance.....	124
5.6	Analyse des résultats	125
5.7	Conclusion	132
CONCLUSION		135
LISTE DE RÉFÉRENCES		138

LISTE DES TABLEAUX

		Page
Tableau 1.1	Avantage et inconvénient des interrupteurs.....	14
Tableau 1.2	Caractéristiques de coupleurs directionnels réalisés	17
Tableau 2.1	Résumé des performances de détecteurs de puissance RF	48
Tableau 3.1	Dimensions des éléments des trois unités de détection.....	86
Tableau 4.1	Dimensions des inductances du circuit intégré	103
Tableau 5.1	Puissance transmise pour quelques valeurs de S_{11}	114
Tableau 5.2	Valeurs des résistances externes au circuit intégré qui maximisent la plage dynamique du détecteur.....	125
Tableau 5.3	Caractéristiques de détecteurs de puissance à amplificateurs limiteurs et du détecteur de puissance réalisé dans ce travail	126
Tableau 5.4	Pente des caractéristiques de transfert des trois unités de détection	128
Tableau 5.5	Zones de détection en dBm des unités de détection avec ± 1 dB d'erreur	130
Tableau 5.6	Effet de R_{alim2} sur la plage dynamique de Det2 lorsque le signal d'entrée est 1 GHz et qu'une erreur de ± 1 dB, est tolérée...	132

LISTE DES FIGURES

		Page
Figure 1	Adaptateur d'impédance d'antenne automatique.....	1
Figure 1.1	Schéma-bloc d'un chemin de transmission avec une charge et une source.	6
Figure 1.2	Schéma-bloc d'un système automatique d'adaptation d'impédance à l'intérieur d'un chemin de transmission.	8
Figure 1.3	Mesures de l'impédance d'une antenne à grand facteur de qualité, lorsqu'elle est placée dans différentes situations. (a) antenne prise comme un «walkie-talkie» . (b) antenne prise comme un téléphone cellulaire avec une inclinaison de 60°. (c) antenne à la hauteur des hanches de l'utilisateur. (d) une condition de désadaptation sévère est causée.	10
Figure 1.4	Aptitude d'un SAAI à répondre au changement d'impédance d'une antenne à grand facteur de qualité causé par une variation d'environnement.	11
Figure 1.5	Schéma-bloc d'un système automatique d'adaptation d'impédance.	12
Figure 1.6	Circuit d'adaptation d'impédance en Π	13
Figure 1.7	Schéma-bloc d'un TOS-mètre.....	15
Figure 1.8	Résolution de la mesure du coefficient de réflexion de puissance, faite par un TOS-mètre, dont le coupleur directionnel est idéal, en fonction de la plage dynamique des détecteurs de puissance.	18
Figure 1.9	Photographie d'un prototype de SAAI.....	19
Figure 1.10	Mesure de la perte par retour avec et sans le SAAI.	19
Figure 1.11	Schéma-bloc d'un prototype d'antenne à bande étroite reconfigurable.	20
Figure 1.12	Mesure de l'affaiblissement de réflexion d'une antenne à bande étroite avant et après qu'elle soit accordée à 880 MHz par un SAAI.....	21

Figure 1.13	Schéma-bloc d'un SAAI qui utilise un algorithme analogique.	22
Figure 1.14	Amélioration par un SAAI de l'affaiblissement de réflexion d'une antenne à grand facteur de qualité.	23
Figure 2.1	Caractéristique de transfert idéale d'un détecteur de puissance logarithmique dont la plage dynamique est 50 dB.	29
Figure 2.2	Circuit du détecteur de puissance RF à thermocouple.....	32
Figure 2.3	Caractéristique de transfert d'un détecteur de puissance RF à thermocouple.	33
Figure 2.4	Circuit du détecteur de puissance RF à diode.....	34
Figure 2.5	Schéma d'un transistor MOSFET type-n.....	36
Figure 2.6	Circuit d'un détecteur de puissance à transistor en triode.	38
Figure 2.7	Caractéristique de transfert d'un détecteur de puissance à amplificateurs limiteurs. La fréquence du signal RF est de 3.1 GHz et 10.6 GHz.	39
Figure 2.8	Schéma-bloc d'une série d'amplificateurs limiteurs qui permet d'obtenir une sortie logarithmique.....	40
Figure 2.9	Circuit du détecteur de puissance très rapide.....	41
Figure 2.10	Circuit d'un détecteur de puissance différentiel.	42
Figure 2.11	Circuit du détecteur de puissance RF, dont la sortie logarithmique est réalisée à l'aide d'un transistor à canal sous-inversé.	43
Figure 2.12	Caractéristique de transfert du détecteur de puissance RF, dont la sortie logarithmique est réalisée à l'aide d'un transistor à canal sous-inversé.	45
Figure 2.13	Caractéristique de transfert du détecteur de puissance RF à amplificateur limiteur.	45
Figure 3.1	Plage dynamique distribuée sur trois unités de détection.	50
Figure 3.2	Schéma-bloc du détecteur de puissance à plage dynamique distribuée.	51

Figure 3.3	Caractéristique de transfert numérique du détecteur de puissance distribué.	52
Figure 3.4	Schéma-bloc du circuit intégré du détecteur de puissance distribué.	57
Figure 3.5	Schéma-bloc d'un sélecteur.	58
Figure 3.6	Circuit électrique d'un chemin de transmission.	59
Figure 3.7	Résistance équivalente d'un chemin de transmission en fonction de la tension d'entrée V_{in}	60
Figure 3.8	Gain du chemin de transmission lorsqu'il est activé.	61
Figure 3.9	Gain du chemin de transmission lorsqu'il n'est pas activé.	61
Figure 3.10	Schéma électrique d'une unité de détection.	62
Figure 3.11	Schéma électrique du détecteur de puissance RMS linéaire en watt.	63
Figure 3.12	Tension V_1 en fonction de la puissance mesurée pour quelques largeurs du transistor T5 (W_{pola}).	68
Figure 3.13	Courant I_{D1} en fonction de la puissance mesurée pour quelques largeurs du transistor T5 (W_{pola}).	69
Figure 3.14	Tension V_1 en fonction de la puissance mesurée pour quelques largeurs du transistor T1 (W_1).	70
Figure 3.15	Courant I_{D1} en fonction de la puissance mesurée pour quelques largeurs du transistor T1 (W_1).	71
Figure 3.16	Courant de drain d'un transistor à canal sous-inversé en fonction de sa tension grille-source pour quelques largeurs de canal.	72
Figure 3.17	Schéma électrique du circuit de référence de tension.	74
Figure 3.18	Tension V_{pola} en fonction de la valeur de la résistance.	75
Figure 3.19	Schéma électrique du circuit de polarisation « <i>beta-multiplier</i> » et de son circuit de démarrage.	76
Figure 3.20	Tensions dans le circuit « <i>beta-multiplier</i> » lors du démarrage.	77

XVIII

Figure 3.21	Courant de polarisation en fonction de la résistance R_{pola}	79
Figure 3.22	Tensions de polarisation en fonction de la résistance R_{pola}	79
Figure 3.23	Schéma électrique de l'amplificateur opérationnel.	80
Figure 3.24	Simulation du bruit référé à l'entrée « - » de l'amplificateur opérationnel en fonction de la fréquence. Une tension DC de 600 mV est appliquée à l'entrée « + » de l'amplificateur.	82
Figure 3.25	Gain de l'amplificateur opérationnel en fonction de la fréquence. ...	83
Figure 3.26	Phase de l'amplificateur opérationnel en fonction de la fréquence. ..	84
Figure 3.27	Schéma électrique de l'amplificateur de redressement du niveau zéro.	85
Figure 3.28	Circuit de simulation.	88
Figure 3.29	Schéma du premier niveau du détecteur de puissance (ICGTSDPA). ..	88
Figure 3.30	Plage dynamique des unités de détection à une fréquence de 800 MHz.	90
Figure 3.31	Simulation du temps de réponse de la sortie V_{dbm} quand le niveau de la puissance détectée est situé dans le centre de la zone de détection de chaque unité de détection.	91
Figure 3.32	Effet d'un changement de fréquence sur la caractéristique de transfert des unités de détection.	92
Figure 3.33	La puissance consommée par le détecteur en fonction de la puissance détectée et de l'unité de détection utilisée.	93
Figure 3.34	Effet de la température sur le courant de drain des transistors T1, T4 et T5.	94
Figure 3.35	Effet d'un changement de température sur la tension V1.	95
Figure 3.36	Effet d'un changement de température sur la tension de sortie des unités de détection.	96
Figure 3.37	Simulation du module du paramètre S_{11} du détecteur de puissance, lorsque chacune des unités de détection est sélectionnée, sur une bande de fréquence allant de 500 MHz à 3 GHz.	97

Figure 4.1	Topologie de l'unité de détection Det1 sans l'inductance L1.	100
Figure 4.2	Topologie du circuit intégré.....	101
Figure 4.3	Identification des inductances et des capacités MIM sur la topologie du circuit réalisé.....	102
Figure 4.4	Simulation « post-layout » de la plage dynamique des unités de détection à une fréquence de 800 MHz.	105
Figure 4.5	Simulation niveau circuit de la plage dynamique des unités de détection à une fréquence de 800 MHz.	105
Figure 4.6	Simulation « post-layout » du module du paramètre S_{11} des trois unités de détection sur une bande de fréquence allant de 500 MHz à 3 GHz.....	106
Figure 5.1	Photographie du circuit intégré réalisé (ICGTSDPA).	107
Figure 5.2	Photographie du PCB du banc de test avec un agrandissement du circuit intégré dans son boîtier.	109
Figure 5.3	Schéma-bloc de la ligne de transmission entre le détecteur de puissance et l'appareil de mesure.....	110
Figure 5.4	Topologie de la carte de circuit imprimé du banc de test.....	111
Figure 5.5	Schéma électrique de la carte de circuit imprimé du banc de test....	112
Figure 5.6	Le module du coefficient de réflexion de l'entrée P_{in} , si l'unité de détection Det2 est sélectionnée.	113
Figure 5.7	Photographie du banc de test de la plage dynamique.	115
Figure 5.8	Tension de sortie V_{dbm} en fonction de la puissance d'entrée, pour trois valeurs de R_{pola} lorsque Det2 est sélectionnée.	117
Figure 5.9	Tension de sortie V_{dbm} en fonction de la puissance d'entrée pour quatre valeurs de R_{alim2} lorsque Det2 est sélectionnée.	118
Figure 5.10	Tension de sortie V_{dbm} en fonction de la puissance d'entrée, pour cinq valeurs de fréquence, lorsque Det2 est sélectionnée.	119
Figure 5.11	Tension de sortie V_{dbm} en fonction de la puissance d'entrée, pour des températures allant de -40 à 70 ° C, lorsque Det2 est sélectionnée.	121

Figure 5.12	Montage pour mesurer le temps de réponse du détecteur de puissance.	122
Figure 5.13	Mesure du temps de réponse lorsque Det2 est sélectionnée. La puissance mesurée est de 3 dBm et la fréquence du signal est 2.7 GHz.	123
Figure 5.14	Mesures de la consommation de puissance.	124
Figure 5.15	Tension de sortie V_{dbm} en fonction de la puissance d'entrée à 1 GHz.	127
Figure 5.16	Signal numérique S_{pin} simulé en fonction de la puissance d'entrée à 1 GHz.	127
Figure 5.17	Erreur en dB de la sortie de l'unité de détection Det1 en fonction de la puissance d'entrée.	128
Figure 5.18	Erreur en dB de la sortie de l'unité de détection Det2 en fonction de la puissance d'entrée.	129
Figure 5.19	Erreur en dB de la sortie de l'unité de détection Det3 en fonction de la puissance d'entrée.	129
Figure 5.20	Effet de R_{alim2} sur l'erreur en dB de la sortie de l'unité de détection Det2 lorsque le signal d'entrée est 1 GHz.	131

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

ADC	Convertisseur Analogique à Numérique
CPW	Guide d'ondes coplanaire (« Co-Planar Waveguide »)
BW	Bande passante (« Band Width »)
DR	Plage dynamique (« Dynamic Range »)
ESD	Décharges électrostatiques (« Electrostatic Discharge »)
FET	Transistor à effet de champs (« Field Effect Transistor »)
IC	Circuit intégré
LTCC	« Low-Temperature Cofired Ceramic »
MEMS	Système micro électro mécanique (« Micro Electro Mecanical System »)
PAPR	Rapport de puissance crête-à-puissance efficace
PCB	Carte de circuit imprimé (« Printed Circuit Board »)
RAIR	Réseau d'Adaptations d'Impédance Reconfigurable
RL	Affaiblissement de réflexion (« Return Loss »)
RF	Radio Fréquence
RMS	Valeur Efficace (« Root Mean Square »)
SAAI	Systèmes Automatique d'Adaptation d'Impédance
SiP	Système en boîtier (« System in Package »)
SoC	Système sur puce (« System on a Chip »)
SR	Pente maximum de la tension de sortie (« Slew Rate »)
TOS	Taux d'Ondes Stationnaires

LISTE DES SYMBOLES ET UNITÉS DE MESURE

ε	Permittivité
μ	Mobilité des porteurs de charges
Γ	Coefficient de réflexion
$ \Gamma ^2$	Coefficient de réflexion de puissance
Γ_{ant}	Coefficient de réflexion d'une antenne qui n'est pas adaptée
C	Coulomb
C_{gs}	Capacité grille-source
C_{ox}	Capacité de l'oxide d'un transistor FET par unité d'aire
dB	Décibel
f_{clk}	Fréquence de l'horloge du détecteur
g_m	Transconductance
I_D	Courant qui circule dans le canal d'un transistor
J	Joule
k	Constante de Boltzmann ($1,3806504 \times 10^{-24} J \cdot K^{-1}$)
K	Kelvin
L	Longueur du canal d'un transistor FET
ms	milliseconde
mW	milliWatt
μs	microseconde

XXIV

n	Facteur de pente
pF	picoFarad
q	Charge d'un électron ($1,60217653 \times 10^{-19} C$)
Q	Facteur de qualité
P_{DC_SAAI}	Consommation de puissance du SAAI
P_i	Puissance incidente
P_r	Puissance réfléchie
P_{S_out}	Puissance qu'une source peut fournir
S_{21_SAAI}	Perte d'insertion du SAAI
t_{ox}	Épaisseur de l'oxide entre la grille et le canal d'un transistor
V_{ds}	Tension drain-source
V_{gs}	Tension grille-source
V_i	Tension de l'onde incidente
V_r	Tension de l'onde réfléchie
$V_{surcharge}$	Tension de surcharge
V_{th}	Tension de seuil
W	Largeur du canal d'un transistor FET
Z_0	Impédance caractéristique
Z_c	Impédance de la charge
Z_s	Impédance de la source
ω_0	Fréquence de résonance

INTRODUCTION

La demande en bande passante et en sécurité, dans les systèmes de communication militaires, ne cesse d'augmenter. Les systèmes de communication à modulation à sauts de fréquence (« frequency hopping modulation ») sont une des solutions à cette demande. Par contre, il est difficile d'adapter l'impédance des circuits RF (Radio Fréquence) de ces systèmes, car la fréquence de la porteuse n'est pas fixe. Dans un autre ordre d'idée, l'impédance des antennes des dispositifs mobiles (réseaux de capteurs sans fil, téléphones cellulaires, etc.) est souvent à grand facteur de qualité, ce qui rend ses caractéristiques dépendantes du milieu de propagation où elle se trouve [1, 2]. La désadaptation de l'antenne réduit l'efficacité des circuits RF. Une solution possible à ces deux situations est un système d'adaptation d'impédance dynamique.

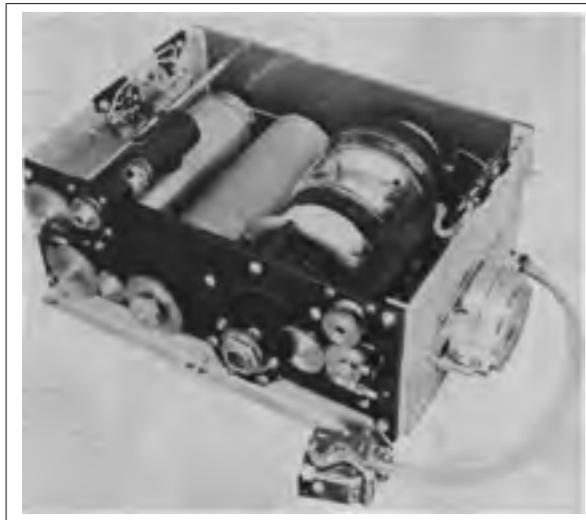


Figure 1 Adaptateur d'impédance d'antenne automatique.
Tirée de [3]

L'adaptation d'impédance dynamique n'est pas un nouveau concept. On peut voir dans [3] qu'un adaptateur d'impédance automatique était inclus dans le système de communication véhiculaire AN/MRC-55 du milieu du vingtième siècle. La figure 1

est une photo de l'adaptateur qui comprend entre autres des moteurs qui ajustent des condensateurs et des inductances variables. Par contre, ce système occupait un volume considérable. Tel qu'il sera démontré dans ce mémoire, l'adaptation d'impédance automatique requiert un détecteur puissance afin de mesurer le taux de réflexion de la charge.

Ce mémoire présente la conception et la réalisation CMOS d'un détecteur de puissance RF pour un SAAI (Système Automatique d'Adaptation d'Impédance). La réalisation CMOS du détecteur de puissance RF est la première étape vers l'intégration de plusieurs éléments du SAAI dans un système sur puce. Il est important que le circuit soit en technologie CMOS car ce procédé permet l'intégration de circuits analogiques et numériques sur une même puce. Une nouvelle architecture de détecteur de puissance est présentée, afin d'obtenir de bonnes performances pour le SAAI. Le détecteur de puissance est un élément critique du système. L'hypothèse vérifiée est qu'une architecture de détecteur de puissance distribuée convient aux besoins d'un SAAI, dont plusieurs parties seraient intégrées dans un système sur puce. Typiquement, les détecteurs de puissance RF réalisés avec un procédé CMOS obtiennent une sortie logarithmique avec une série d'amplificateurs limiteurs. Pour soutenir l'hypothèse, le détecteur de puissance distribué doit avoir une plage dynamique et une bande de fréquences d'opération comparables à celles des détecteurs de puissance à amplificateurs limiteurs, tout en ayant une consommation de puissance plus faible. De plus, la vitesse d'adaptation du SAAI est limitée par le temps de réponse du détecteur, ainsi ce temps doit être court.

Le chapitre 1 commence par un rappel de notions de lignes de transmission qui vont être utiles dans cet ouvrage. Ensuite, les SAAI sont présentés. Les motivations pour ces systèmes ainsi que leur principe de fonctionnement sont expliqués. Les caractéristiques du détecteur de puissance pour le SAAI sont explicitées. Enfin, les performances de systèmes existants sont revues.

Le chapitre 2 traite des détecteurs de puissance RF. Tout d'abord, un rappel de notions concernant la puissance d'un signal est fait. Ensuite, certaines caractéristiques des détecteurs de puissances RF sont expliquées. Après, quelques détecteurs proposés dans la littérature sont présentés. Le mode de fonctionnement et les performances de chacun d'entre eux sont expliqués. Un accent est mis sur la réalisation CMOS des détecteurs.

Au chapitre 3, l'architecture et la conception CMOS du détecteur de puissance distribué sont présentées. La plage dynamique du détecteur de puissance est distribuée sur trois unités de détection à faible consommation de puissance. L'analyse et la conception démontrent que la plage dynamique et la bande de fréquences d'opération sont comparables à celles obtenues avec les architectures de détecteurs de puissance à amplificateurs limiteurs, et la consommation de puissance est plus faible. Tous les circuits qui sont réalisés dans l'IC (circuit intégré) sont décrits dans ce chapitre.

La topologie du circuit intégré est montrée au chapitre 4. Les contraintes de dimensionnement des circuits, les règles de conception et les effets parasites sont explicités. Ensuite, des simulations « post-layout » sont présentées.

Un circuit intégré CMOS $0.13 \mu m$ a été fabriqué. Les résultats expérimentaux sont présentés au chapitre 5. La consommation de puissance, le temps de réponse, l'adaptation en impédance et les effets des résistances hors puce, de la fréquence et de la température sur la plage dynamique sont mesurés. De ces mesures, l'hypothèse faite que l'architecture proposée répond aux besoins du SAAI est soutenue.

Contributions scientifiques

Les contributions scientifiques de ce travail sont :

- Revue de littérature permettant de faire une synthèse des avantages et inconvénients des différents types d'interrupteurs utilisés dans les réseaux d'adaptation d'impédance reconfigurables (voir Tableau 1.1).

- Proposition d'une nouvelle architecture de détecteur de puissance RF qui obtient une grande plage dynamique (35 dB) et une faible consommation de puissance (≈ 0.554 mW) sur une bande de fréquences d'opération qui s'étend de 500 MHz à 4 GHz. Le détecteur de puissance conçu et réalisé dans le cadre de cette maîtrise sera l'objet d'une publication lors de la conférence internationale IEEE Northeast Workshop on Circuits and Systems (IEEE NEWCAS 2011) [4].
- Réalisation et vérification expérimentale du circuit proposé.

CHAPITRE 1

SYSTÈMES AUTOMATIQUES D'ADAPTATION D'IMPÉDANCE

1.1 Introduction

Le détecteur de puissance RF, dont la conception et la réalisation sont présentées dans ce travail, est un élément critique d'un SAAI (Système Automatique d'Adaptation d'Impédance). Une compréhension du SAAI est nécessaire pour déterminer l'influence des performances du détecteur de puissance. Dans ce chapitre, un portrait d'ensemble des SAAI est exposé.

Pour commencer, un rappel de quelques concepts de lignes de transmission et d'adaptation d'impédance est fait. Après, l'utilité du SAAI est expliquée. Les motivations sont soutenues par un exemple d'utilisation de SAAI avec une antenne à grand facteur de qualité. Ensuite, l'architecture d'un SAAI est explicitée. Le réseau d'adaptation d'impédance reconfigurable et le TOS-mètre sont détaillés. Finalement, les performances de systèmes existants sont revues.

1.2 Notions de ligne de transmission

Une réflexion d'onde se produit lorsque l'impédance dans le milieu de transmission change. Nous utiliserons dans cette section les équations de [5] pour faire ressortir de façon quantitative les relations importantes entre les tensions, les courants, les impédances et les puissances en présence de réflexion d'onde. Dans une propagation TEM¹, le coefficient de réflexion (Γ) est le rapport entre la tension de l'onde réfléchie (V_r) et la tension de l'onde incidente (V_i) :

$$\Gamma = \frac{V_r}{V_i} \quad (1.1)$$

1. La propagation d'une onde électromagnétique est dite TEM (« Transverse Electro Magnetic ») dans le cas où la ligne de transmission est constituée de deux conducteurs et d'un diélectrique homogène. Une propagation TEM peut être décrite en fonction de tensions et de courants.

Il peut être calculé en fonction de l'impédance du milieu de propagation (Z_0) et de l'impédance de la charge (Z_c).

$$\Gamma = \frac{Z_c - Z_0}{Z_c + Z_0} \quad (1.2)$$

La figure 1.1 est un schéma-bloc d'une ligne de transmission terminée par une charge et une source. Z_0 est l'impédance caractéristique de la ligne de transmission, Z_c est l'impédance de la charge et Z_s est l'impédance de la source. Z_{in} est l'impédance vue par la source, soit une transformation de Z_c au travers de la ligne de transmission selon les équations de [5]. Γ_c est le coefficient réflexion causée par la différence entre les impédances de la charge et de la ligne de transmission et Γ_{in} est le coefficient de réflexion causée par la différence entre les impédances Z_{in} et Z_s .

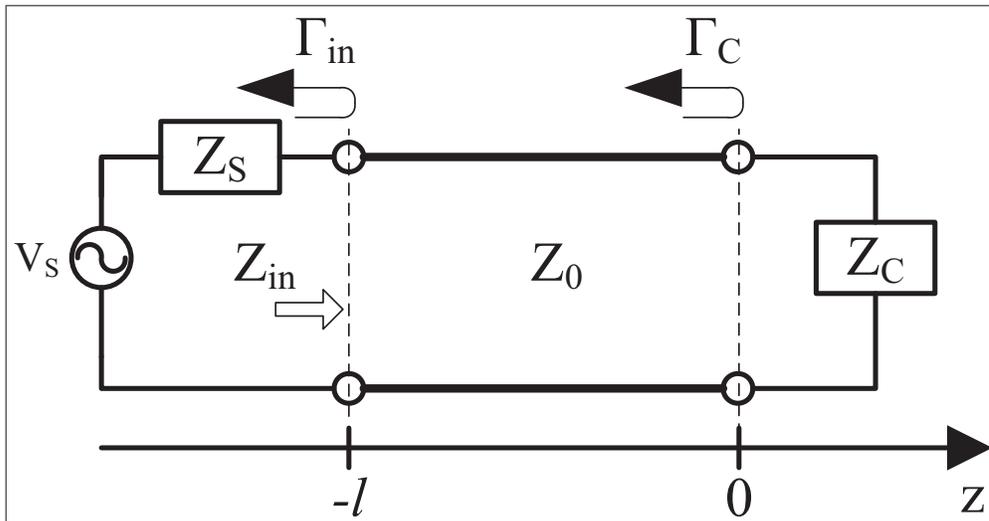


Figure 1.1 Schéma-bloc d'un chemin de transmission avec une charge et une source.
Inspirée de [5]

Si la taille électrique² de la ligne de transmission est grande, la superposition de l'onde incidente et de l'onde réfléchiée forme une onde stationnaire [5]. Des extremums de

2. La taille électrique d'une ligne de transmission est sa longueur exprimée en longueur d'onde, étant donné la fréquence d'opération.

la tension crête apparaissent alors sur la ligne de transmission. Comme la tension crête n'est pas constante sur l'axe z (figure 1.1), Z_{in} varie en fonction de la longueur de la ligne de transmission (l). Le TOS (taux d'ondes stationnaires) indique dans quelle mesure la tension crête varie :

$$TOS = \frac{V_{max}}{V_{min}} = \frac{1 + |\Gamma|}{1 - |\Gamma|} \quad (1.3)$$

V_{max} étant le maximum de la tension crête et V_{min} son minimum.

Le transfert de puissance est un aspect important des systèmes de communication. Il doit être maximisé pour augmenter l'efficacité énergétique du système. Ce transfert maximum est obtenu lorsque l'impédance de la charge est le complexe conjugué de l'impédance de la source [5]. On dit alors que l'impédance est adaptée.

Il n'y a pas de réflexion d'onde si l'impédance est adaptée. Le coefficient de réflexion de puissance ($|\Gamma|^2$) est le ratio de la puissance réfléchie (P_r) et de la puissance incidente (P_i) :

$$|\Gamma|^2 = \frac{P_r}{P_i} \quad (1.4)$$

et est souvent exprimé de façon logarithmique

$$|\Gamma|^2_{dB} = 10 \log(P_r) - 10 \log(P_i) \quad (1.5)$$

La réflexion est souvent exprimée comme un affaiblissement de réflexion (« Return Loss », RL).

$$RL = -20 \log |\Gamma| \quad (1.6)$$

La valeur de la puissance réfléchie est obtenue en ajoutant l'affaiblissement de réflexion à la puissance incidente.

1.3 Motivations

Plusieurs techniques adaptent l'impédance de la charge à l'impédance de la source ; par exemple en ajoutant un composant réactif, une ligne de transmission $\lambda/4$ ou un tronçon (« stub ») [5]. L'adaptation d'impédance peut être réalisée en amont ou en aval de la ligne de transmission. Ces techniques permettent d'adapter l'impédance sur une certaine largeur de bande. Par contre, il est plus difficile de réaliser une adaptation d'impédance à large bande. Ainsi, l'adaptation d'impédance peut être détériorée lorsque la fréquence de la porteuse d'un système de communication change, ou lorsque l'environnement extérieur modifie l'impédance d'une antenne à grand facteur de qualité.

Un SAAI est un système adaptatif qui vise à augmenter l'efficacité énergétique d'un système RF en minimisant le coefficient de réflexion de puissance $|\Gamma|^2$. Par exemple, si l'adaptation d'impédance d'une radio agile est réalisée par un SAAI, l'adaptation est conservée même lorsque la fréquence de la porteuse change. La figure 1.2 montre un schéma-bloc d'un SAAI dans un circuit RF. La source peut être un amplificateur de puissance et la charge peut être une antenne.

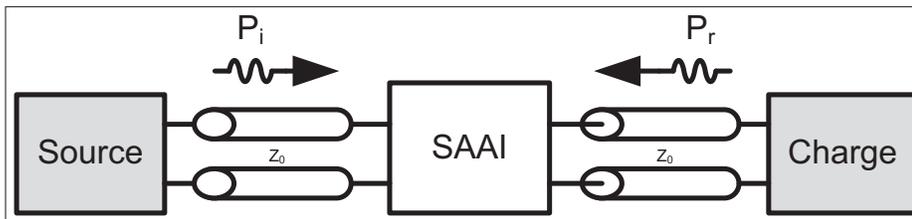


Figure 1.2 Schéma-bloc d'un système automatique d'adaptation d'impédance à l'intérieur d'un chemin de transmission.

Un SAAI augmente l'efficacité énergétique du système de communication tout en permettant une plus grande flexibilité. De plus, pour les radios agiles, il peut réduire le

temps de conception des circuits RF [6, 1, 7]. En effet, la conception des circuits RF est difficile pour les systèmes où des modulations complexes sont employées. Idéalement, un SAAI abstrait le problème d'adaptation d'impédance tout en favorisant l'efficacité énergétique sur une large bande de fréquences [8]. De ce fait, une antenne agile à bande étroite peut être obtenue en combinant un système automatique d'adaptation d'impédance et une antenne à grand facteur de qualité.

1.3.1 Antenne agile à bande étroite

Une antenne est un circuit résonant. Sa bande passante (BW) est inversement proportionnelle à son facteur de qualité Q :

$$BW = \frac{\omega_0}{Q} \quad (1.7)$$

ω_0 étant la fréquence de résonance du circuit. Dans certains cas, la bande passante est assez petite pour filtrer la sortie de l'amplificateur de puissance. Aucun filtre additionnel n'est requis. L'antenne n'irradie que la bande utile du signal. Plusieurs antennes ayant un grand facteur de qualité sont peu coûteuses et simples [9]. De plus, elles offrent un grand gain lorsqu'elles sont bien accordées.

Le facteur de qualité d'un circuit résonant est défini dans [5] comme :

$$Q = \omega \frac{(\text{énergie moyenne emmagasinée})}{(\text{puissance perdue})} \quad (1.8)$$

ω étant la fréquence d'opération du circuit en radian par seconde. L'énergie est emmagasinée par la partie réactive de l'impédance de l'antenne. La puissance perdue est la puissance dissipée en chaleur par la partie réelle de l'impédance de l'antenne. Les antennes à grand facteur de qualité ont donc une impédance avec une partie réactive beaucoup plus importante que la partie réelle.

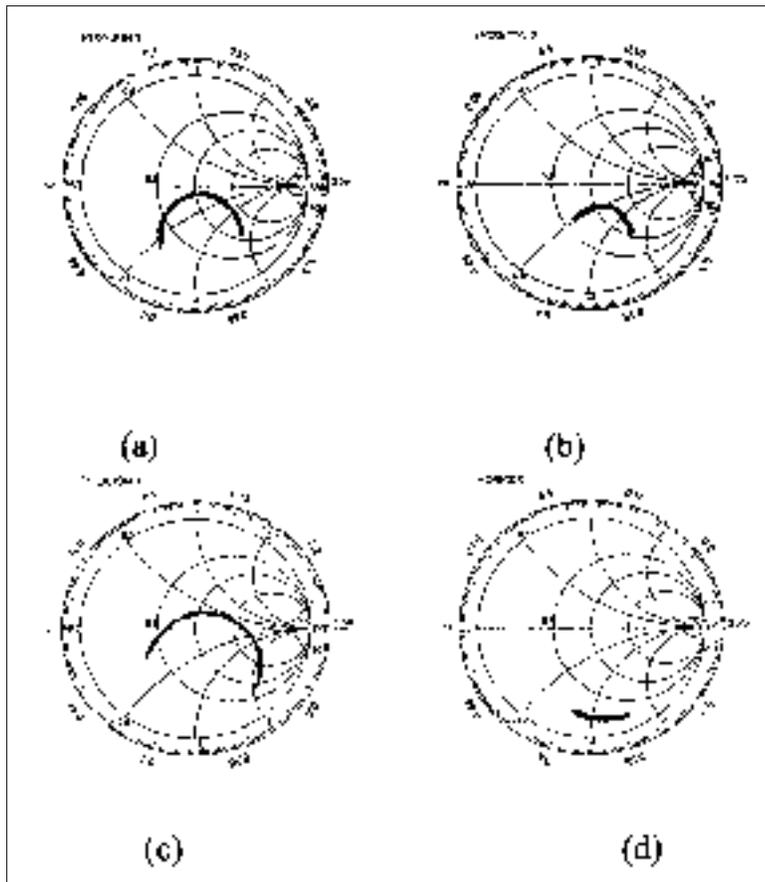


Figure 1.3 Mesures de l'impédance d'une antenne à grand facteur de qualité, lorsqu'elle est placée dans différentes situations. (a) antenne prise comme un «walkie-talkie». (b) antenne prise comme un téléphone cellulaire avec une inclinaison de 60° . (c) antenne à la hauteur des hanches de l'utilisateur. (d) une condition de désadaptation sévère est causée.

Tirée de [1]

L'impédance d'une antenne à grand facteur de qualité est influencée par l'environnement dans lequel elle est utilisée [1, 2]. À la figure 1.3, quatre séries de mesure de l'impédance d'une antenne sont illustrées, pour quatre positions différentes par rapport au corps humain. Pour chacune des positions, la variation de l'impédance est différente. Les mesures sont faites avec une antenne de type hélice axiale sur une bande de fréquences allant de 380 à 430 MHz. Lorsque l'antenne est accordée par un SAAI, l'adaptation d'impédance est conservée même si l'environnement change.

Un prototype d'antenne à grand facteur Q , accordée par un SAAI, est présenté dans [8]. La figure 1.4 montre des mesures de la perte par retour lorsque l'antenne est adaptée, puis lorsque l'antenne est désadaptée par un contact physique et enfin, lorsque le SAAI réajuste l'adaptation d'impédance.

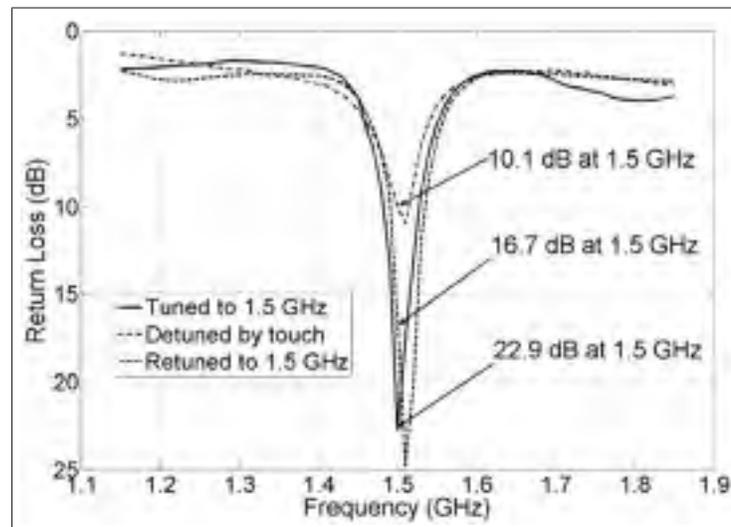


Figure 1.4 Aptitude d'un SAAI à répondre au changement d'impédance d'une antenne à grand facteur de qualité causé par une variation d'environnement.

Tirée de [8]

L'antenne à grand facteur de qualité accordée par un SAAI conserve son adaptation d'impédance et sa sélectivité quand ses conditions d'opération changent [8, 7].

1.4 Architecture d'un système automatique d'adaptation d'impédance

Un schéma-bloc d'un SAAI est illustré à la figure 1.5. Un contrôleur utilise l'information fournie par un TOS-mètre pour ajuster un RAIR (Réseau d'Adaptation d'Impédance Reconfigurable). Le TOS-mètre mesure le coefficient de réflexion de puissance, à l'aide d'une lecture de la puissance incidente (P_i) et de la puissance réfléchie (P_r). Le RAIR est constamment ajusté afin de minimiser le coefficient de réflexion de puis-

sance. Le contrôleur fait converger le RAIR le plus rapidement possible vers une adaptation d'impédance optimale.

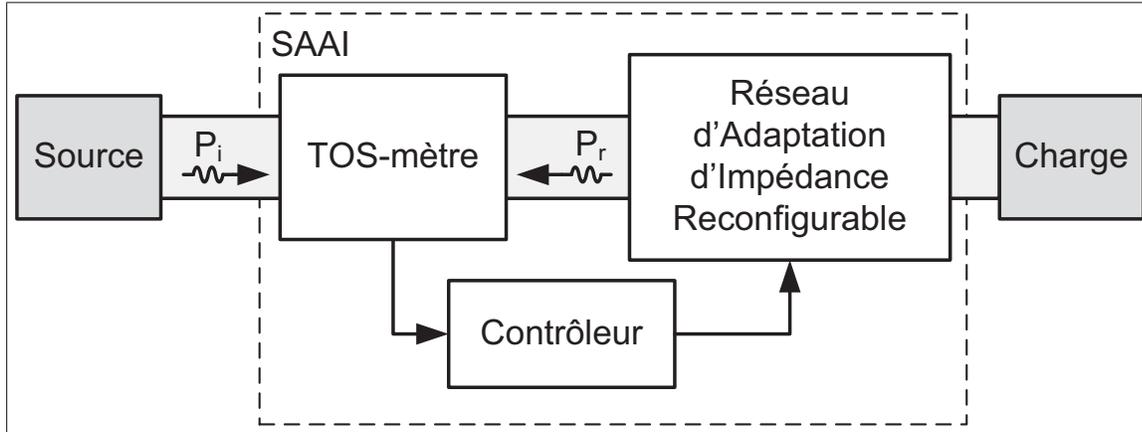


Figure 1.5 Schéma-bloc d'un système automatique d'adaptation d'impédance.
Inspirée de [1, 7]

Le gain de puissance transférée doit être plus important que la quantité de puissance consommée, pour que le SAAI soit efficace [10] :

$$P_{S_out} \cdot \left[|S_{21_SAAI}|^2 - \left(1 - |\Gamma_{ant}|^2 \right) \right] > P_{DC_SAAI} \quad (1.9)$$

P_{S_out} est la puissance que la source peut fournir, S_{21_SAAI} est la perte d'insertion du SAAI, Γ_{ant} est le coefficient de réflexion de l'antenne lorsqu'elle n'est pas adaptée et P_{DC_SAAI} est la consommation de puissance du SAAI.

1.4.1 Le réseau d'adaptation d'impédance reconfigurable

Le RAIR est un circuit d'adaptation d'impédance reconfigurable à l'aide de signaux de commande. Le circuit d'adaptation est réalisé avec des éléments réactifs, des lignes de transmission ou des stubs [5]. Un circuit en Π , comme celui de la figure 1.6, permet d'adapter toutes les impédances contenues à l'intérieur de l'abaque de Smith, si

les éléments qui le constituent peuvent prendre n'importe quelle valeur. Les circuits réels ne couvrent pas nécessairement toute l'abaque de Smith. De plus, la couverture est limitée à une bande de fréquences. Ainsi, les variations possibles de l'impédance d'une antenne, et qui pourraient être adaptées, seront comprises dans une région de l'abaque de Smith [7].

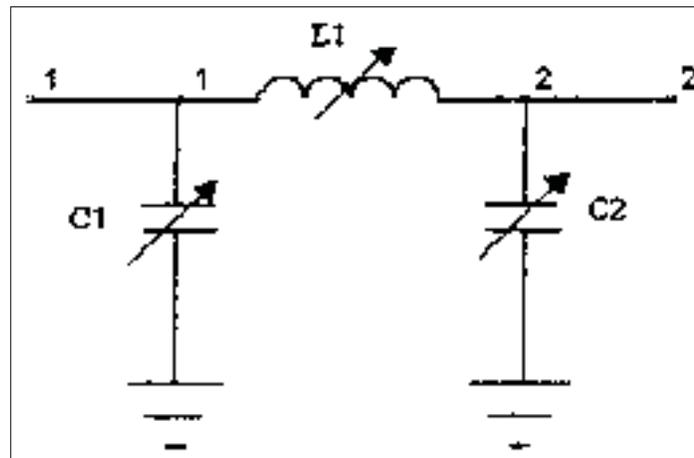


Figure 1.6 Circuit d'adaptation d'impédance en Π .
Tirée de [6]

Les capacités variables peuvent être réalisées par un ensemble de condensateurs en parallèle activés à l'aide d'interrupteurs [1, 11, 12, 13, 7] ou par des varacteurs [14, 1, 12]. Les varacteurs n'offrent pas une aussi grande variation de capacité que les condensateurs commutés. De plus, ils consomment une puissance de polarisation qui peut être non négligeable³ dans un dispositif mobile. Par contre, ils peuvent prendre n'importe quelle valeur dans un intervalle. Dans [12], un circuit constitué d'un varacteur en parallèle avec un ensemble de condensateurs commutés obtient une grande résolution ainsi qu'une grande plage de capacité.

3. Un condensateur qui utilise un matériel ferroélectrique comme diélectrique tel que le Baryum Strontium Titane (BST) peut être une alternative au varactor standard [14]. La consommation de puissance de polarisation du condensateur BST est négligeable.

Les condensateurs des RAIR sont commutés à l'aide d'interrupteurs. Le tableau 1.1 est un résumé des avantages et inconvénients de différents types d'interrupteurs utilisés dans les RAIR. Le choix de l'interrupteur est un compromis entre le coût de fabrication, les performances électriques, les performances mécaniques et la consommation de puissance.

Tableau 1.1 Avantage et inconvénient des interrupteurs

Interrupteur	Avantage	Inconvénient
Diode p-i-n	<ul style="list-style-type: none"> • Perte d'insertion faible • Faible tension de polarisation 	<ul style="list-style-type: none"> • Fabrication non CMOS • Consommation de puissance
FET	<ul style="list-style-type: none"> • Fabrication CMOS • Faible tension de polarisation 	<ul style="list-style-type: none"> • Perte d'insertion • Non-linéarité en puissance
MEMS	<ul style="list-style-type: none"> • Perte d'insertion très faible • Linéarité en puissance 	<ul style="list-style-type: none"> • Fabrication non CMOS • Durabilité • Tension d'activation élevée

Les diodes p-i-n ont une faible perte d'insertion. Par contre, elles ont le désavantage de laisser passer un courant continu lorsqu'elles sont en polarisation directe [1]. Ce courant peut représenter une perte de puissance considérable dans un dispositif mobile. De plus, elles ne sont pas réalisables avec un procédé CMOS standard. Les désavantages des interrupteurs réalisés avec des transistors FET sont leur perte d'insertion significative et une linéarité sur une petite bande de fréquences [13]. Néanmoins, ils ont une consommation de puissance de polarisation négligeable. Ces interrupteurs peuvent être réalisés avec un procédé CMOS standard. Les interrupteurs MEMS (« Micro Electro Mechanical System ») permettent une grande linéarité sur une grande bande de fréquences, imposent une moins grande perte d'insertion et ont moins d'effets parasites que les interrupteurs FET [11, 12, 7]. Par contre, ils ont le désavantage de typiquement avoir une limite d'un million de commutations. Leur fabrication requiert des étapes post-CMOS pour une intégration sur puce. De plus, leurs tensions d'activation sont élevées.

1.4.2 La mesure du coefficient de réflexion de puissance

Le TOS-mètre mesure le coefficient de réflexion de puissance. Cette mesure est nécessaire pour effectuer une adaptation d'impédance robuste par rapport aux variations d'environnements et de procédés. Il est constitué d'un coupleur directionnel⁴, d'un différenciateur et de deux détecteurs de puissance. La figure 1.7 montre un schéma-bloc d'un TOS-mètre. Dans cet exemple, les détecteurs de puissance ont une sortie logarithmique. L'équation 1.5 montre que la soustraction de la valeur logarithmique de la puissance de l'onde réfléchie (P_r) et de la valeur logarithmique relative à l'onde incidente (P_i), donne le coefficient de réflexion de puissance ($|\Gamma|^2_{dB}$). Le coupleur directionnel échantillonne l'onde incidente et l'onde réfléchie.

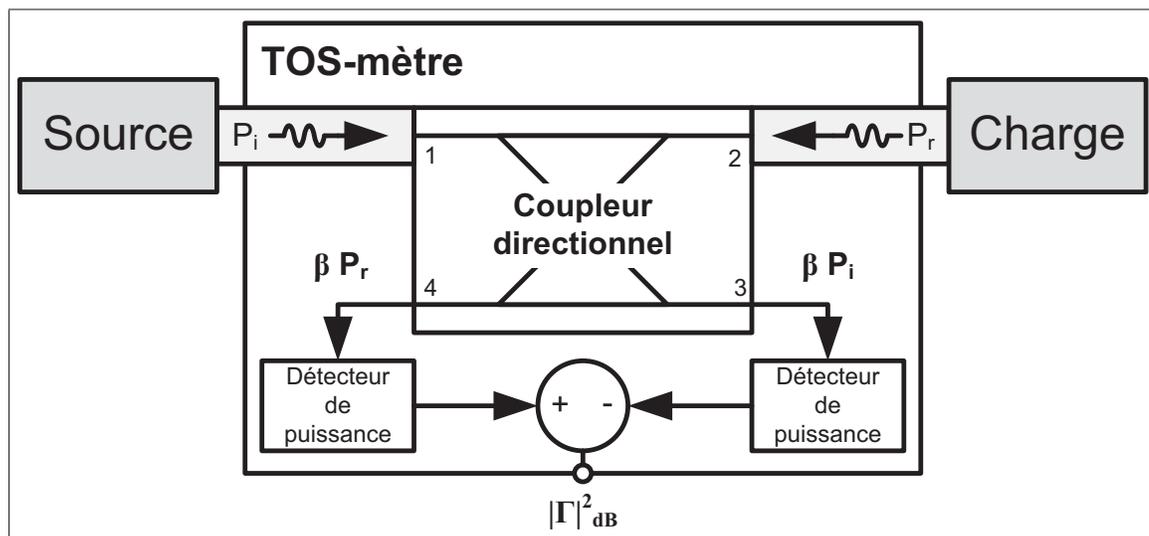


Figure 1.7 Schéma-bloc d'un TOS-mètre.

L'équation 1.10 montre la matrice de répartition de l'énergie [S] qui caractérise le comportement idéal du coupleur directionnel [5]. Il y a une transmission bidirectionnelle entre le port 1 et le port 2 avec un gain α et un couplage entre le port 1 et le port 3 et

4. Les réflectomètres à multiport peuvent aussi être utilisés [15]. L'avantage de ces réflectomètres est de mesurer le module et l'angle de Γ . Par contre, le traitement de signal qui doit être fait est plus compliqué que celui associé aux coupleurs directionnels.

entre le port 2 et le port 4 avec un gain β . Le port 4 est isolé du port 1 et le port 3 est isolé du port 2.

$$[S] = \begin{bmatrix} 0 & \alpha & \beta & 0 \\ \alpha & 0 & 0 & -\beta \\ \beta & 0 & 0 & \alpha \\ 0 & -\beta & \alpha & 0 \end{bmatrix} \quad (1.10)$$

En réalité, les coupleurs directionnels ne sont pas idéaux ce qui implique qu'il y a une partie de la puissance transmise qui se retrouve au port 4 ($|S_{41}| \neq 0$) et une partie de la puissance réfléchie qui se retrouve au port 3 ($|S_{32}| \neq 0$). Selon [5], trois facteurs caractérisent les coupleurs directionnels réels : le couplage (1.11), la directivité (1.12) et l'isolation (1.13). Les TOS-mètres qui utilisent un coupleur directionnel ont une erreur de mesure qui dépend du coefficient de réflexion à cause de la directivité finie du coupleur [16]. Plus la directivité est grande, meilleure est la mesure du coefficient de réflexion de puissance.

$$Couplage = 10 \log \frac{P_1}{P_3} = -20 \log \beta \quad (1.11)$$

$$Directivité = 10 \log \frac{P_3}{P_4} = -20 \log \frac{\beta}{|S_{14}|} \quad (1.12)$$

$$Isolation = 10 \log \frac{P_1}{P_4} = -20 \log |S_{14}| \quad (1.13)$$

Dans la littérature, on trouve plusieurs réalisations de coupleurs directionnels. Le tableau 1.2 montre les caractéristiques de quatre coupleurs directionnels réalisés. L'isolation de [17] n'est pas donnée, mais on peut la déduire [5] :

$$Couplage + Directivité = Isolation \quad (1.14)$$

$$1.4 + 37 = 38.4 \text{ dB} \quad (1.15)$$

La réalisation du coupleur directionnel peut être CMOS [17], micromachiné [18], à base de métamatériaux [19] ou à guide d'ondes coplanaire (CPW) multicouche [20]. Dans l'intégration complète du SAAI, une de ces réalisations serait utilisée.

Tableau 1.2 Caractéristiques de coupleurs directionnels réalisés

Référence	Bande d'opérations	Couplage	Isolation	Directivité
[17]	2.1 à 3.1 GHz	1.4 dB	38.4 dB	37 dB
[18]	15 à 45 GHz	15 dB	25 dB	10 dB
[19]	2.7 à 3.3 GHz	3 dB	23 dB	20 dB
[20]	10 à 35 GHz	5 dB	10 dB	5 dB

Les détecteurs de puissance sont des éléments critiques du SAAI, car ils sont responsables d'une grande partie de la consommation de puissance du système [8]. De plus, le facteur de couplage du coupleur directionnel est choisi en fonction de la résolution des détecteurs de puissance. Meilleure est la résolution, plus le facteur de couplage peut être petit. En réduisant le facteur de couplage, on réduit la perte d'insertion du SAAI. En outre, si l'on assume que le coupleur directionnel est idéal, la plage dynamique (DR) des détecteurs de puissance détermine la résolution maximale de la mesure du coefficient de réflexion de puissance. Si la puissance incidente échantillonnée par le coupleur directionnel correspond à la puissance maximum détectable, le plus petit coefficient de réflexion de puissance mesurable est égal à $-DR$. La figure 1.8 montre la résolution linéaire maximum qu'il est possible de mesurer en fonction de la plage dynamique des détecteurs si on utilise un coupleur directionnel idéal.

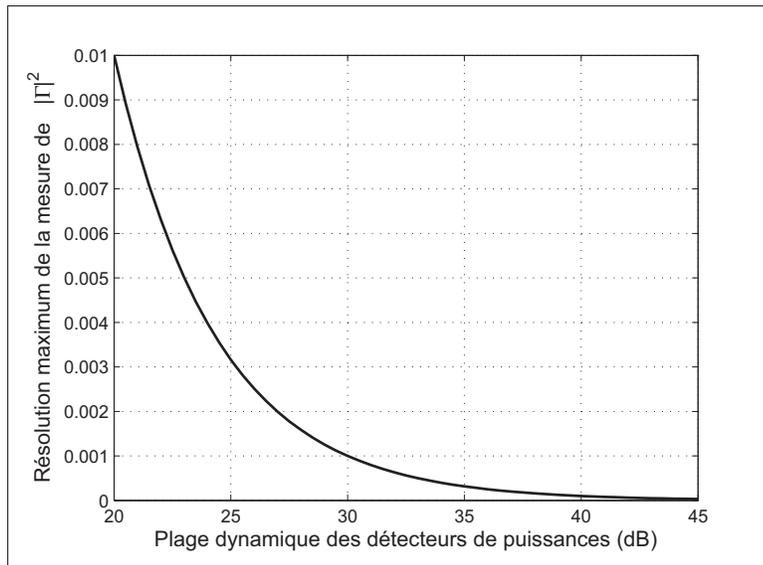


Figure 1.8 Résolution de la mesure du coefficient de réflexion de puissance, faite par un TOS-mètre, dont le coupleur directionnel est idéal, en fonction de la plage dynamique des détecteurs de puissance.

1.5 Revue de SAAI existants

Les SAAI qui ont été proposés permettent d'atteindre un bon transfert de puissance de façon adaptative en réduisant significativement l'affaiblissement de réflexion. Ces systèmes sont revus dans cette section. Les algorithmes de contrôle numérique ne sont pas expliqués, parce qu'ils dépassent le cadre de ce travail.

1.5.1 Prototype d'un SAAI

Dans [1], l'algorithme de contrôle numérique est réalisé dans un ASIC (« Application-Specific Integrated Circuit »). Une photographie du SAAI est montrée à la figure 1.9. Le RAIR correspondant est un circuit en Π . Les capacités variables sont des condensateurs commutés par des diodes p-i-n. Un courant de 20 mA circule dans les diodes lorsqu'elles sont en polarisation directe.

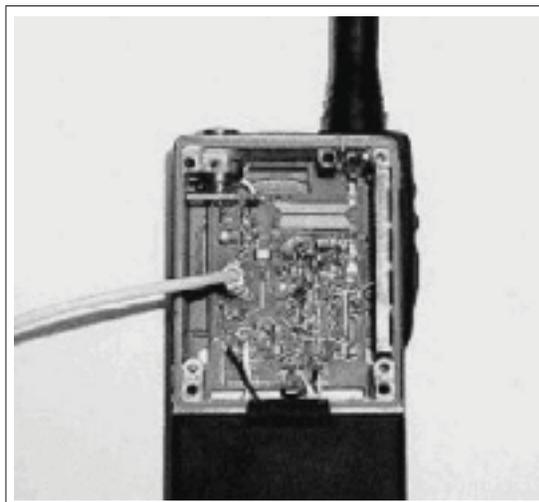


Figure 1.9 Photographie d'un prototype de SAAI.
Tirée de [1]

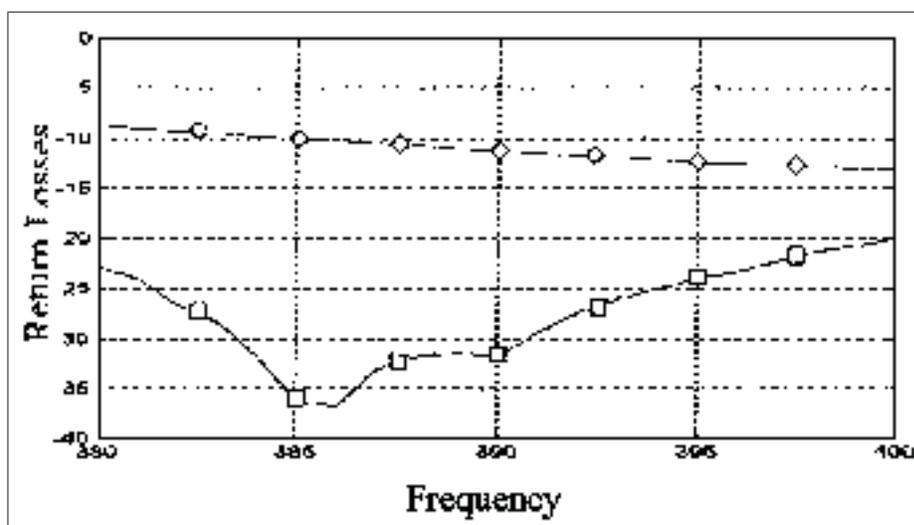


Figure 1.10 Mesure de la perte par retour avec (□) et sans (◇) le SAAI.
Tirée de [1]

La figure 1.10 montre la mesure de l'affaiblissement de réflexion causée par la désadaptation d'une antenne avec et sans le SAAI. Le système augmente significativement

le transfert de puissance de l'amplificateur à l'antenne. Le circuit peut adapter l'impédance d'une antenne qui est soumise à des variations d'environnement sur une bande de fréquences allant de 380 MHz à 420 MHz. Le SAAI prend 53 ms pour adapter l'impédance.

1.5.2 Prototype d'une antenne à bande étroite reconfigurable

Le Schéma-bloc du prototype d'antenne à bande étroite reconfigurable présenté dans [7] est illustré à la figure 1.11. Il comprend un FPGA (« Field-Programmable Gate Array »), un RAIR (« Impedance Synthesizer »), un coupleur directionnel (« Coupled Unit Coupler »), deux détecteurs de puissance (« Power Det »), un ADC (convertisseur analogique à numérique) et une antenne à grand facteur de qualité. Le RAIR est constitué de condensateurs commutés avec des interrupteurs MEMS. L'algorithme de contrôle numérique est implémenté dans le FPGA.

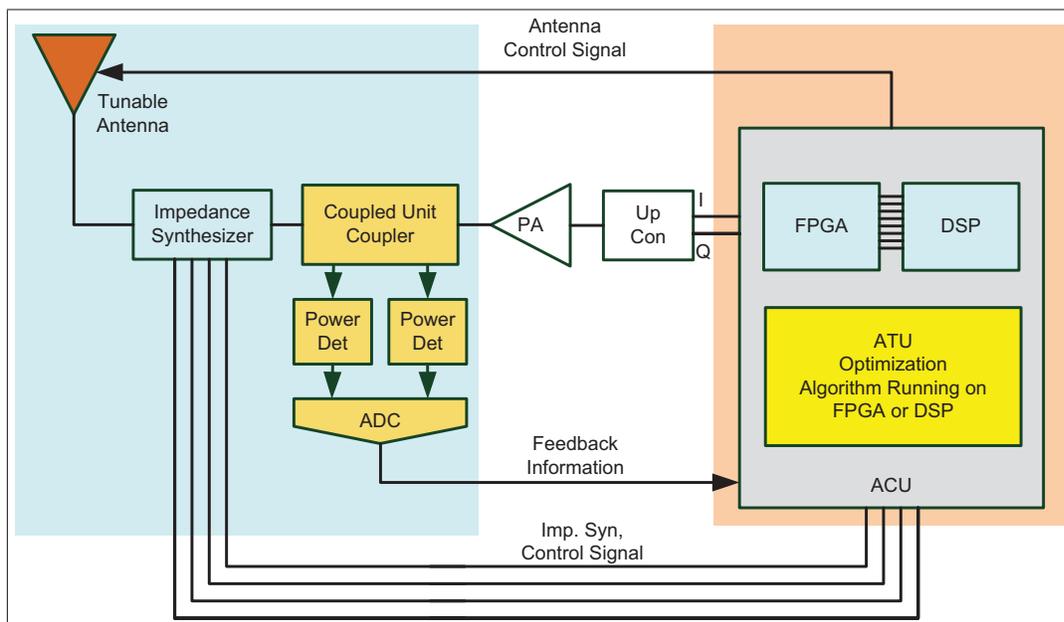


Figure 1.11 Schéma-bloc d'un prototype d'antenne à bande étroite reconfigurable.
Inspirée de [7]

Les mesures de l'affaiblissement de réflexion de l'antenne, avant et après que le SAAI l'accorde à 880 MHz, sont montrées à la figure 1.12.

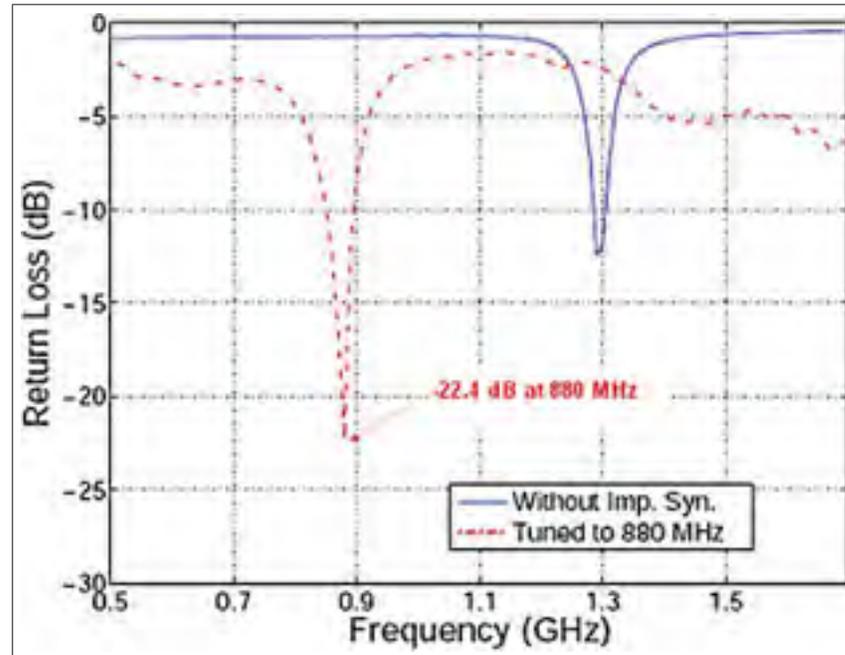


Figure 1.12 Mesure de l'affaiblissement de réflexion d'une antenne à bande étroite avant et après qu'elle soit accordée à 880 MHz par un SAAI.

Tirée de [7]

1.5.3 Prototype d'un SAAI à algorithme analogique

Dans [8], les détecteurs de puissance, le traitement de signal et l'algorithme de contrôle sont réalisés dans un circuit intégré fait en CMOS 0.18 μm . Le circuit consomme 51.15 mW. La bande de fréquences d'opération du système est de 850 MHz à 2 GHz. L'algorithme est exécuté en 4.1 ms.

La figure 1.13 montre le schéma-bloc du SAAI. L'algorithme analogique permet de réduire la consommation de puissance et le temps nécessaire pour obtenir une adaptation, en éliminant la numérisation du coefficient de réflexion de puissance. Dans ce

Le système, la valeur du coefficient de réflexion de puissance mesurée est comparée à la plus petite valeur du coefficient de réflexion de puissance mesurée jusqu'à présent. Le circuit d'échantillonneur-bloqueur (S/H) mémorise la plus petite valeur du coefficient de réflexion de puissance. L'état du RAIR qui correspond à la valeur du coefficient de réflexion de puissance la plus faible est mémorisé dans MSM (« Matching-State Memory »). Tous les états possibles du RAIR sont balayés de façon séquentielle. Le comparateur actualise la valeur contenue dans MSM et dans l'échantillonneur-bloqueur lorsqu'il trouve que l'état présent est meilleur que le meilleur état précédent. L'état qui est dans le MSM à la fin de l'algorithme est celui qui correspond à une impédance adaptée. L'algorithme est effectué systématiquement pour s'assurer que l'adaptation est toujours la meilleure.

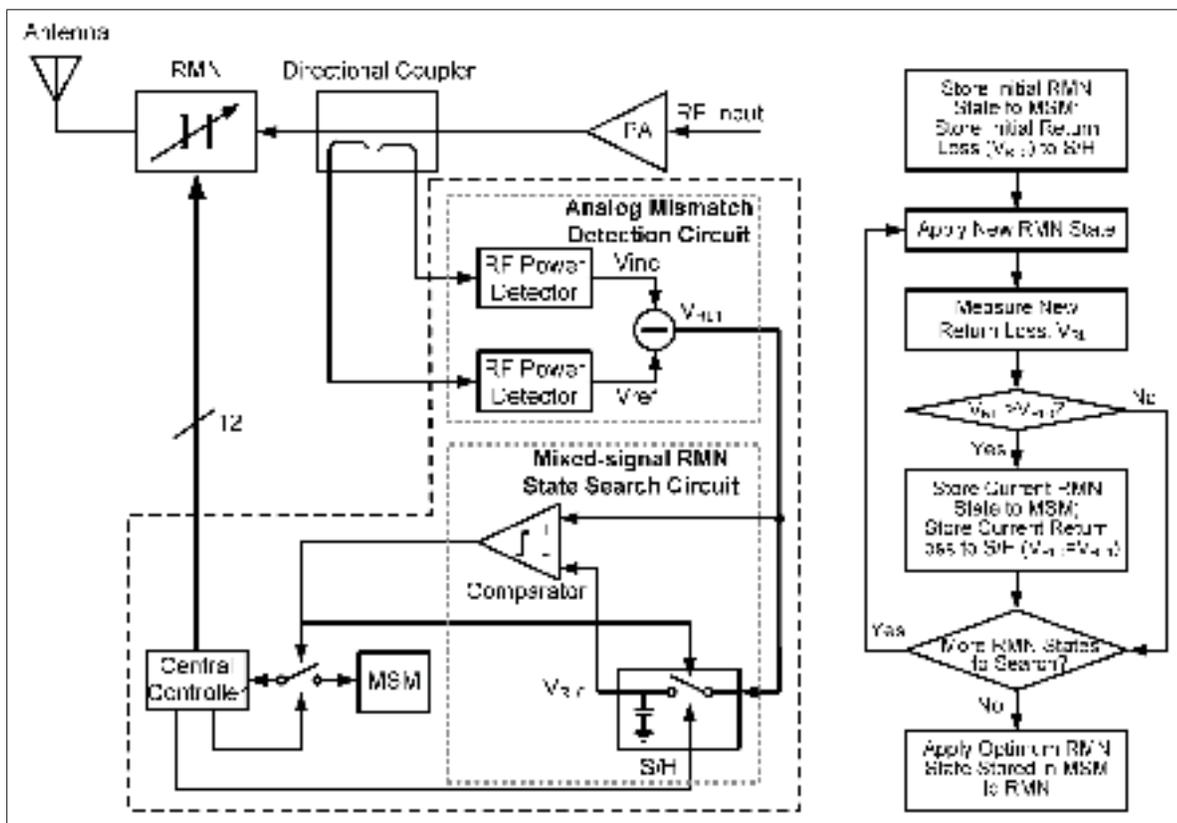


Figure 1.13 Schéma-bloc d'un SAAI qui utilise un algorithme analogique.
Tirée de [8]

Les mesures de l'affaiblissement de réflexion d'une antenne à grand facteur de qualité avec et sans le SAAI de [8] sont à la figure 1.14. Le système améliore le transfert de puissance sur toute la bande de fréquences observée.

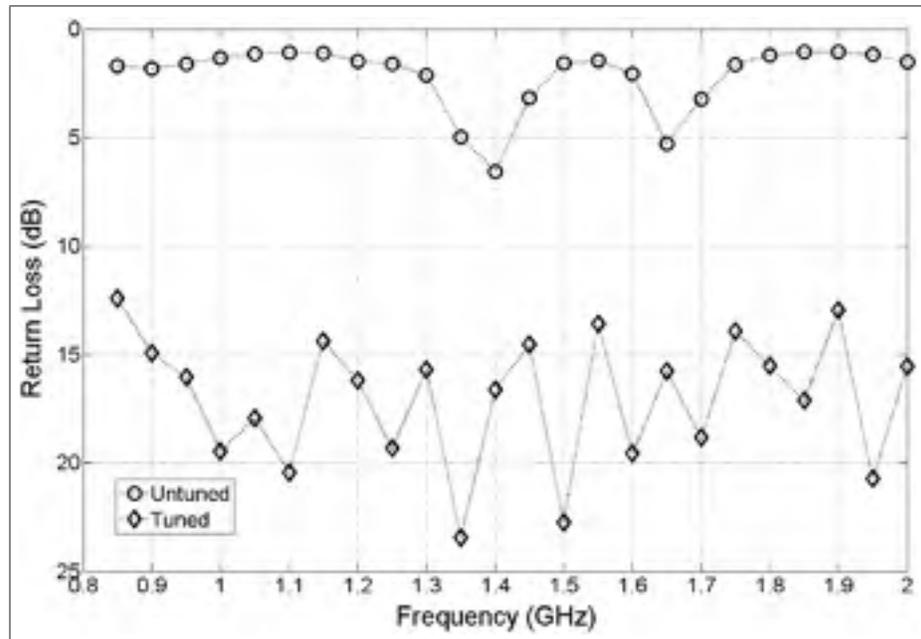


Figure 1.14 Amélioration par un SAAI de l'affaiblissement de réflexion d'une antenne à grand facteur de qualité.
Tirée de [8]

1.6 Conclusion

En résumé, un SAAI est une solution possible au problème d'adaptation d'impédances dans les circuits RF des systèmes de communication agiles. L'adaptation d'impédance peut être détériorée lorsque la fréquence de la porteuse d'une radio logicielle change ou lorsqu'une antenne à grand facteur de qualité est influencée par son environnement. Le SAAI ajuste l'adaptation d'impédance en fonction d'une mesure du coefficient de réflexion en puissance. L'adaptation est faite par un réseau d'adaptation d'impédance reconfigurable.

Le détecteur de puissance est un élément critique, car il détermine la résolution de la mesure du coefficient de réflexion en puissance et la quantité de puissance qui doit être retranchée du signal à transmettre. De plus, il est responsable d'une grande partie de la consommation de puissance du SAAI.

Des SAAI existants ont été présentés. Ces systèmes réduisent significativement l'affaiblissement de réflexion d'une antenne, sur une grande bande de fréquences. Par contre, il existe un intérêt pour la production de SAAI plus performants, qui consomment moins de puissance. Ces systèmes demandent des détecteurs de puissance CMOS, dont les caractéristiques sont optimisées. Le détecteur de puissance CMOS pourrait être intégré dans un système sur puce avec d'autres éléments du SAAI. Les caractéristiques d'un détecteur de puissance CMOS pour un SAAI sont : une faible consommation de puissance, une grande bande de fréquences d'opération, une grande résolution et une grande plage dynamique.

CHAPITRE 2

DÉTECTEURS DE PUISSANCE RF

2.1 Introduction

Un SAAI contient un TOS-mètre qui mesure le coefficient de réflexion de la charge. Le TOS-mètre utilise un, ou plusieurs, détecteur de puissance RF. Un détecteur de puissance RF est un dispositif qui indique la puissance d'un signal RF. La sortie du détecteur peut être une tension analogique ou un signal numérique. Il existe plusieurs catégories de détecteur de puissance. Elles sont nommées en fonction du principe de détection, et de la relation entre le signal de sortie du détecteur et la puissance mesurée. Le détecteur de puissance peut mesurer la puissance moyenne ou crête. La lecture du détecteur peut être linéaire en watt ou logarithmique.

Fondamentalement, la détection de puissance peut être réalisée de deux façons. La première utilise l'effet joule. On exploite alors la relation qui existe entre la puissance dissipée par une résistance et l'échauffement qui est produit [21, 22]. Le détecteur à thermocouple est à effet Joule. La deuxième façon est par traitement de signal. Des fonctions réalisées par « hardware » (circuits) mathématique sont appliquées à la tension (ou au courant) d'un signal RF, afin d'obtenir une valeur qui correspond à la puissance du signal. Les détecteurs à diodes et à transistor FET sont à traitement de signal [22].

Dans ce chapitre, les concepts de base des détecteurs de puissance sont introduits et les catégories de détecteurs de puissance sont expliquées. Des architectures de détecteur de puissance RF, réalisées avec un procédé CMOS, sont étudiées, afin de déterminer celle qui est la plus adaptée au SAAI. Les caractéristiques d'un détecteur de puissance pour un SAAI sont : une faible consommation de puissance, une grande bande d'opérations, une grande résolution et une grande plage dynamique (voir chapitre 1). Par

contre, puisque c'est le rapport de puissance qui importe, la précision de la valeur absolue de la mesure est secondaire.

En premier lieu, un rappel de notions concernant la puissance d'un signal est fait. En second lieu, les caractéristiques des détecteurs de puissances RF sont expliquées. En troisième lieu, quelques détecteurs existants sont présentés. Le mode de fonctionnement et les performances de chacun des détecteurs sont explicités.

2.2 La puissance d'un signal

Une puissance est un débit d'énergie¹. La puissance instantanée d'un signal électrique (p) est

$$p(t) = v(t) i(t) \quad (2.1)$$

où v est la tension instantanée et i est le courant instantané à l'instant t . On parle de signaux de puissance lorsque la durée du signal est infinie [23]. L'énergie totale d'un signal de puissance n'est pas mesurable puisqu'elle ne cesse d'augmenter avec le temps.

L'effet Joule est l'échauffement qui se produit lorsqu'un courant circule dans une résistance [5]. L'échauffement est proportionnel à l'énergie qui est dissipée en chaleur par la résistance. La puissance d'un signal peut être trouvée en mesurant le changement de température de la résistance provoqué par le signal [21].

La valeur RMS (efficace) d'une tension ou d'un courant, aléatoire ou périodique, indique la valeur continue qui est équivalente en échauffement².

$$V_{RMS} = \sqrt{\frac{1}{T} \int_0^T v(t)^2 dt} \quad (2.2)$$

V_{RMS} est la tension efficace. T est la période durant laquelle V_{RMS} est évalué.

1. L'unité linéaire de la puissance est le watt (W) [5]. Un watt est un débit de un Joule par seconde.

2. Tension continue qui dissipe la même puissance.

Pour le cas particulier d'une onde sinusoïdale

$$V_{RMS_{sin}} = \frac{V_{crête}}{\sqrt{2}} \quad (2.3)$$

$V_{crête}$ est la tension crête de l'onde sinusoïdale.

Pour des signaux périodiques, la puissance moyenne (P) est une mesure plus significative que la puissance instantanée. En effet, elle indique la puissance qui est dissipée, réfléchiée ou transmise, en moyenne, durant un intervalle de temps fini. Dans le cas d'un signal de puissance se propageant dans une ligne de transmission,

$$P = \frac{V_{RMS}^2}{Z_0} \quad (2.4)$$

Z_0 étant l'impédance caractéristique de la ligne de transmission.

Pour le cas particulier d'une onde sinusoïdale

$$P_{sin} = \frac{V_{crête}^2}{2 Z_0} \quad (2.5)$$

La puissance est souvent normalisée par rapport à 1 mW et ensuite exprimée en format logarithmique :

$$P_{dBm} = 10 \log \left(\frac{P}{0.001} \right) \quad (2.6)$$

De 2.2 et 2.4 on trouve que

$$P = \frac{1}{Z_0} \frac{1}{T} \int_0^T v(t)^2 dt \quad (2.7)$$

La puissance moyenne est égale à la moyenne de la tension instantanée au carré divisée par l'impédance caractéristique du milieu de propagation.

2.3 Les caractéristiques des détecteurs de puissance RF

Les caractéristiques des détecteurs de puissance RF sont expliquées dans cette section. Leurs valeurs idéales pour un détecteur de puissance RF pour un SAAI sont précisées. Ces caractéristiques vont être utilisées abondamment dans ce mémoire.

2.3.1 La fonction de transfert

La fonction de transfert du détecteur indique comment la sortie varie en fonction de l'entrée. Le détecteur peut mesurer la puissance crête ou la puissance moyenne (RMS) du signal RF. Les deux mesures sont faites à partir de la tension du signal à l'entrée du dispositif. La puissance crête ($P_{crête}$) est la puissance instantanée lorsque l'amplitude de la tension est maximum.

$$P_{crête} = \frac{V_{crête}^2}{Z_0} \quad (2.8)$$

Les circuits de détection de puissance crête sont plus simples que ceux de puissance moyenne. Par contre, les détecteurs crête ne sont pas toujours appropriés. En effet, si le rapport puissance crête à puissance moyenne (PAPR : « Peak to Average Power Ratio ») est grand, alors la puissance crête ne représente pas bien la puissance du signal.

$$PAPR = \frac{P_{crête}}{P} \quad (2.9)$$

Dans le cas d'une onde sinusoïdale, un détecteur crête mesure bien la puissance du signal. Par contre, le rapport de puissance crête à puissance moyenne est grand dans les systèmes de communication modernes où l'enveloppe du signal n'est pas constante³ [24]. Ainsi, le détecteur de puissance RF le plus approprié pour un SAAI est un détecteur de puissance moyenne.

3. Les signaux OFDM (Orthogonal Frequency Division Multiplexing) ont un grand PAPR.

2.3.2 La plage dynamique et la sensibilité

La plage dynamique représente l'étendue de l'intervalle de puissance qui peut être mesurée par le détecteur. La sensibilité indique dans quelle mesure le détecteur peut mesurer une petite valeur de puissance. Idéalement, la fonction de transfert est linéaire. Elle peut être logarithmique (linéaire en fonction de la puissance exprimée en dBm) ou linéaire en watt. La plage dynamique des détecteurs logarithmiques est généralement beaucoup plus grande que celle des détecteurs linéaires en watt.

La figure 2.1 est un exemple de caractéristique de transfert idéale d'un détecteur de puissance logarithmique. La plage dynamique de ce détecteur est 50 dB. Elle s'étend de -50 dBm à 0 dBm.

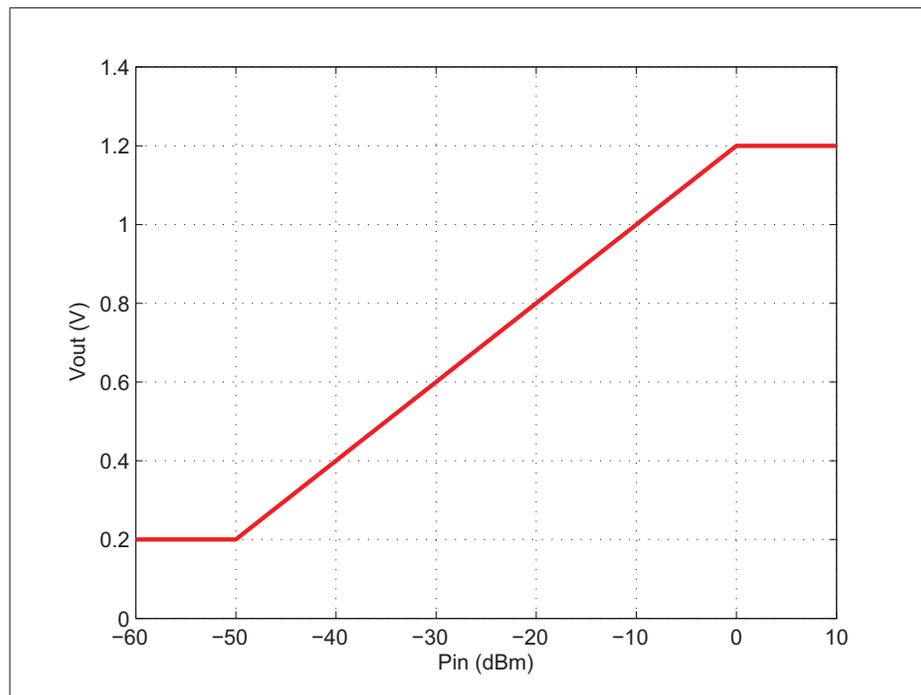


Figure 2.1 Caractéristique de transfert idéale d'un détecteur de puissance logarithmique dont la plage dynamique est 50 dB.

Le détecteur de puissance RF idéal pour un SAAI a une grande plage dynamique ainsi qu'une grande sensibilité (voir chapitre 1).

2.3.3 Le temps de réponse

Le temps de réponse est le temps de stabilisation maximum de la sortie du détecteur lorsque la puissance à son entrée change. Le détecteur de puissance RF idéal pour un SAAI a un temps de réponse court (voir chapitre 1). Pour que le SAAI fonctionne correctement, il doit réagir plus rapidement que les changements d'environnement. Aussi, le temps de réponse du SAAI limite la fréquence des sauts de fréquence d'une modulation à saut de fréquence.

2.3.4 La bande d'opération

La bande d'opération est la bande de fréquences qui comprend les signaux dont la puissance peut être mesurée par le détecteur de puissance RF. La bande d'opération limite la souplesse du SAAI. Elle doit au minimum couvrir la totalité de la bande de signaux qui vont être émis par le système de communication, dont le SAAI fait partie.

2.3.5 La consommation de puissance

La consommation de puissance est la puissance qui est utilisée par le détecteur pour faire sa mesure. L'efficacité en puissance des détecteurs de puissance peut être critique. Pour que le SAAI contribue à réduire les pertes en puissance, les détecteurs de puissance doivent avoir une faible consommation. En effet, le coupleur directionnel est un composant passif et le réseau d'adaptation d'impédance reconfigurable peut avoir une consommation en puissance négligeable (voir chapitre 1). Ainsi, la consommation en puissance du SAAI est principalement dictée par le contrôleur et par les détecteurs de puissance RF.

L'effet de la consommation de puissance du SAAI est relatif à la puissance du signal qui est émis par la source. Elle devient critique lorsqu'elle est du même ordre que la puissance de l'onde qui est réfléchiée par la charge sans adaptation [10].

2.3.6 Le procédé de fabrication

Le procédé de fabrication a un effet sur le coût, le temps de conception et les performances du détecteur de puissance. La disponibilité de la technologie est un facteur décisif dans le choix du procédé de réalisation. Parmi les procédés de fabrication disponibles, les procédés CMOS permettent un bon niveau d'intégration, sont compatibles avec des procédés de réalisation MEMS, sont abordables et les outils de conception sont disponibles.

2.4 Revue de détecteurs de puissance RF existants

Dans cette section, une revue de quelques détecteurs de puissance existants est faite. Trois types de réalisations sont présentés : à thermocouple, à diode et à transistor MOSFET. Tous les détecteurs considérés ici peuvent être réalisés avec un procédé CMOS. Par contre, certaines réalisations nécessitent des étapes post-CMOS. Un tableau récapitulatif est présenté à la fin de ce chapitre.

2.4.1 Détecteur à thermocouple

Deux conducteurs différents vont générer une différence de potentiel s'ils sont soumis à une différence de température entre eux, d'une jonction froide à une jonction chaude. Ce phénomène est le principe de base d'un thermocouple.

Le circuit de la figure 2.2 est un détecteur de puissance RF à thermocouple. Dans ce circuit, deux thermocouples identiques sont placés en série du point de vue d'un voltmètre (« dc voltmeter ») et en parallèle du point de vue d'une source RF. Chaque thermocouple a une impédance de 100Ω . Ainsi, la source RF perçoit une impédance de 50Ω . La topologie mécanique du circuit fait une jonction chaude et une jonction

froide, en dissipant plus ou moins de chaleur. Aussi, les différentes dimensions des lignes de transmissions permettent plus ou moins à la chaleur de s'échapper. La chaleur varie en fonction de la puissance du signal RF. Le voltmètre mesure la somme des différences de potentiel des deux thermocouples. Ce détecteur est RMS.

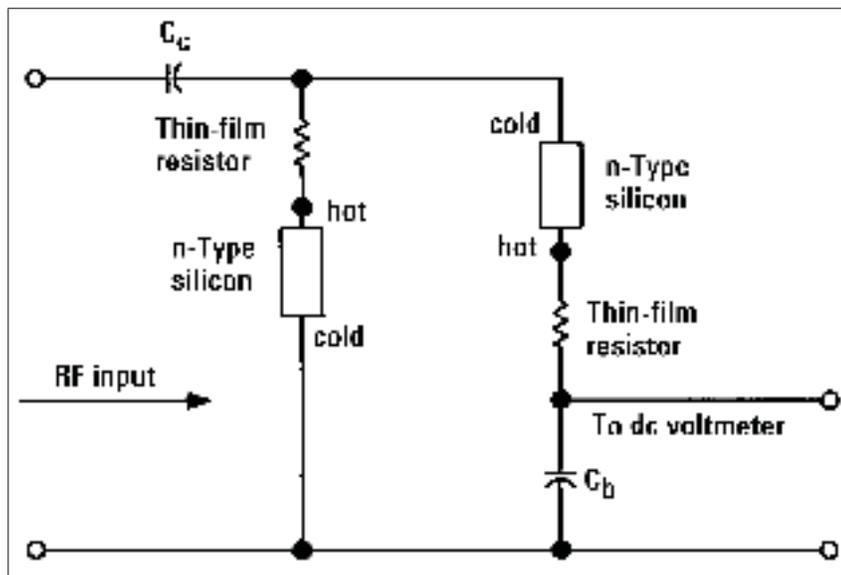


Figure 2.2 Circuit du détecteur de puissance RF à thermocouple.
Tirée de [21]

Une réalisation de ce détecteur de puissance est présentée dans [25]. Sa caractéristique de transfert est à la figure 2.3. La plage dynamique est 40 dB. La bande d'opération du détecteur s'étend de 50 MHz à 20 GHz. Seulement la puissance du signal RF mesuré est consommée. Aucune alimentation n'est nécessaire.

Le détecteur est réalisé avec un procédé CMOS. Par contre, des étapes post-CMOS sont nécessaires. En effet, les performances du détecteur sont réduites si les éléments du thermocouple sont liés mécaniquement au substrat. Une gravure post-CMOS libère le thermocouple de la masse thermique du substrat. L'intégration d'un détecteur à effet Joule dans un circuit CMOS n'est pas appropriée à cause du confinement. La

proximité de plusieurs sources de chaleur bruite la température lue. Pour obtenir une mesure précise, le thermocouple est isolé des autres composantes qui dissipent de la chaleur.

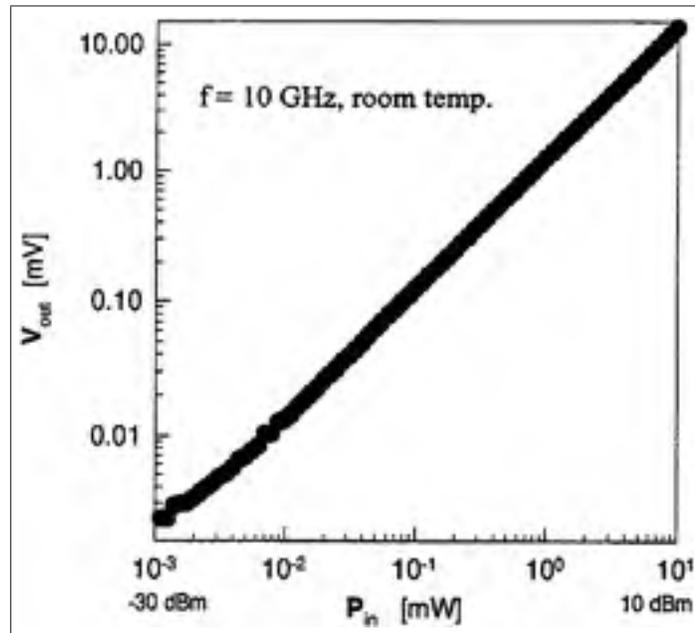


Figure 2.3 Caractéristique de transfert d'un détecteur de puissance RF à thermocouple. Tirée de [25]

2.4.2 Détecteur à diode

Le détecteur de puissance à base de diode redresse le signal RF afin d'obtenir une tension continue. Cette tension varie en fonction de la puissance du signal RF. Le courant qui circule dans une diode en polarisation directe suit la relation suivante [22] :

$$I = I_0 \left(e^{\frac{q}{nkT} V_j} - 1 \right) \quad (2.10)$$

I_0 et n sont des constantes, k est la constante de Boltzmann, q est la charge d'un électron, T est la température en Kelvin et V_j est la tension aux bornes de la diode. En

exprimant cette relation par une série de puissance [22] :

$$I = I_0 \left(\frac{q}{nkT} V_j + \frac{\left(\frac{q}{nkT} V_j\right)^2}{2!} + \frac{\left(\frac{q}{nkT} V_j\right)^3}{3!} + \dots \right) \quad (2.11)$$

Une faible puissance est associée à une faible tension V_j , et le courant moyen résulte des termes de (2.11) qui sont d'ordre paire. Sur une plage de puissance faible, le terme d'ordre 2 prédomine, et ainsi le courant moyen dans la diode croit presque proportionnellement avec le carré de la tension du signal, donc la puissance.

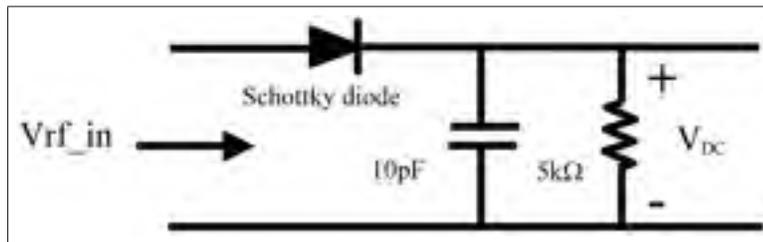


Figure 2.4 Circuit du détecteur de puissance RF à diode.

Tirée de [22]

Le circuit de la figure 2.4 est un circuit de détecteur de puissance à diode. La tension V_{DC} varie en fonction du courant dans la diode, qui suit une relation carrée en fonction de la tension RF à l'entrée du circuit. Le condensateur filtre le signal RF, et ainsi V_{DC} est uniquement l'enveloppe du signal qui représente la puissance RF. Le courant est approximé par :

$$I \approx I_0 \left(\frac{q}{nkT} V_j + \frac{\left(\frac{q}{nkT} V_j\right)^2}{2!} \right) \quad (2.12)$$

Ce détecteur n'est pas RMS car il mesure uniquement la partie positive du signal RF.

N'importe quel type de diode peut être utilisé pour détecter une puissance RF. Par contre, une diode Schottky détecte des signaux à plus haute fréquence, car elle n'accumule pas de charge à sa jonction et donc, permet une variation du courant en fonction

de la relation (2.10) à des fréquences plus élevées que dans le cas d'une jonction PN. De plus, la sensibilité de la diode Schottky est plus grande que celle des autres diodes. Une plage dynamique qui s'étend de -70 dBm à 20 dBm, un temps de réponse plus petit que $10 \mu\text{s}$ et une fréquence maximum d'opération égale à 100 GHz sont atteignables avec un détecteur de puissance RF à diode Schottky [22]. Comme pour les détecteurs à thermocouple, seulement la puissance du signal RF mesuré est consommée. Aucune alimentation n'est nécessaire.

Dans [26], un détecteur de puissance à diode est réalisé avec un procédé CMOS. La plus petite puissance détectable est -20 dBm, la plage dynamique est 35 dB et le temps de réponse est 820 ns. Un procédé post-CMOS, avec un faisceau ionique focalisé (« Focused Ion Beam »), réalise la diode Schottky, car ce type de diode n'est pas standard en CMOS [22]. La plage dynamique de ce détecteur est 25 dB, la plus petite puissance détectable est -10 dBm et le temps de réponse est 170 ns.

2.4.3 Détecteur à transistor MOSFET

Il existe plusieurs circuits de détecteurs de puissance à transistor MOSFET. Cette sous-section commence par une explication du fonctionnement du transistor MOSFET type-n. Ensuite, des circuits existants de détecteurs de puissance à transistor FET sont revus.

2.4.3.1 Fonctionnement du transistor MOSFET

Le comportement d'un transistor MOSFET est décrit en fonction de paramètres physiques (dimensions) et électriques⁴ [27]. Les paramètres physiques (dimensions) du transistor sont déterminés par le procédé de fabrication ou par le concepteur. Trois dimensions mécaniques importantes sont représentées sur le schéma du transistor

4. La plupart des relations qui peuvent être déduites sont plus précises pour des transistors à canal « long », c'est-à-dire pour des transistors ayant une longueur minimale d'environ $4 \mu\text{m}$. Néanmoins, elles donnent une indication sur le comportement des transistors ayant une longueur plus petite. D'autres formulations peuvent aussi tenir compte de certains effets dus à un canal « court », c'est-à-dire de longueur beaucoup plus petite que $4 \mu\text{m}$.

MOSFET type-n⁵ à la figure 2.5. L est la longueur du canal du transistor, W est la largeur du canal et t_{ox} est l'épaisseur de l'oxyde. La longueur et la largeur sont déterminées par le concepteur tandis que l'épaisseur de l'oxyde est déterminée par le procédé. S est la source du transistor, G est sa grille et D est son drain.

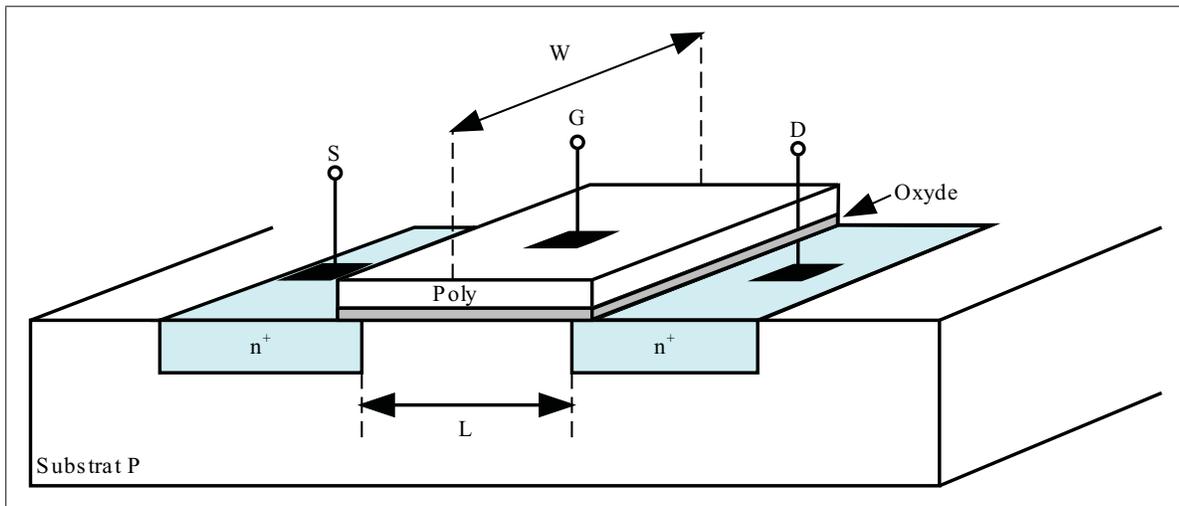


Figure 2.5 Schéma d'un transistor MOSFET type-n.
Inspirée de [27]

C_{ox} représente la capacité par unité de surface entre la grille et le substrat.

$$C_{ox} = \frac{\epsilon_0 \epsilon_{ox}}{t_{ox}} \quad (2.13)$$

ϵ_{ox} est la permittivité de l'oxyde.

La tension de seuil (V_{th}) est la plus petite tension entre la grille et le substrat, pour qu'un canal de conduction entre le drain et la source soit formé. Si la tension grille-source (V_{gs}) est plus grande que la tension de seuil, et que la tension drain-source (V_{ds})

5. Les mêmes dimensions sont utilisées pour les transistors type-p

est plus petite que la tension de surcharge ($V_{surcharge}$),

$$V_{surcharge} = V_{gs} - V_{th} \quad (2.14)$$

alors le transistor est en triode. Le courant qui circule dans son canal est :

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[(V_{gs} - V_{th}) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \quad (2.15)$$

μ est la mobilité des porteurs de charges. Puisque généralement $V_{ds}^2 < (V_{gs} - V_{th}) V_{ds}$ le transistor se comporte comme une résistance entre le drain et la source et cette résistance peut être approximée, à partir de (2.15) à :

$$r \approx \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})} \quad (2.16)$$

Si la tension drain-source est plus grande que la tension de surcharge, alors le canal est partiellement pincé et le transistor est en saturation. Le courant qui circule dans son canal est :

$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad (2.17)$$

λ est le coefficient de modulation de canal. Si la tension drain-source est plus grande que la tension de surcharge et que la tension grille-source est plus petite que la tension de seuil, alors le canal est complètement pincé [28]. Le canal du transistor est sous-inversé («sub-threshold»). Le courant qui circule dans le canal du transistor sous-inversé est :

$$I_{D_{subth}} = I_{D_0} \frac{W}{L} \exp\left(\frac{qV_{gs}}{nkT}\right) \quad (2.18)$$

I_{D_0} et n sont des constantes qui dépendent du procédé de fabrication.

2.4.3.2 Détecteurs à transistor en triode

Le circuit de détecteur de puissance RF à transistor en triode présenté dans [29] est illustré à la figure 2.6.

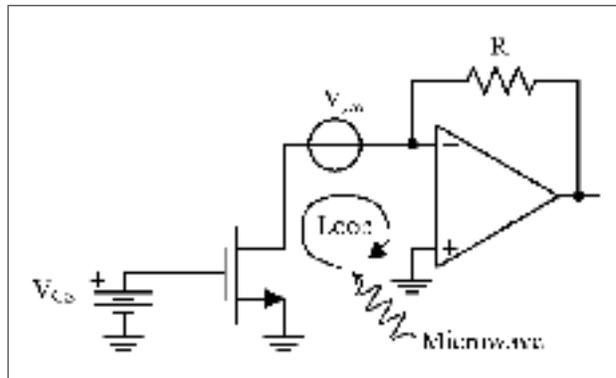


Figure 2.6 Circuit d'un détecteur de puissance à transistor en triode.
Tirée de [29]

La tension de polarisation (V_{gs}) est fixée pour que le transistor soit en triode. Le signal RF ($V_{\mu w}$) est appliqué entre le drain et la source du transistor. L'équation 2.15 indique qu'une partie du courant de drain du transistor change avec le carré de la tension drain-source. De cette relation, la sortie de l'amplificateur opérationnel est une tension qui varie en fonction de la puissance du signal RF. La plus petite puissance mesurée dans cette réalisation est 0.1 mW (-10 dBm). Sa plage dynamique est 30 dBm. Sa fréquence d'opération maximum est 34 GHz. La sortie du détecteur est linéaire en watt.

La détection de puissance du circuit proposé dans [30] est aussi faite par un transistor en triode. La bande d'opération du détecteur s'étend de 3.1 à 10.6 GHz. Sa plage dynamique est 20 dB. L'erreur de la mesure de puissance est ± 2.4 dB sur toute la plage. La consommation de puissance du détecteur est 10.8 mW. La figure 2.7 est un graphique de la caractéristique de transfert de ce détecteur. Les mesures sont faites pour deux

fréquences. La réponse de ce détecteur ne varie pas beaucoup en fréquence. Lorsque la puissance atteint -25 dBm, le transistor qui détecte la puissance n'est plus en triode et la pente de la caractéristique de transfert change.

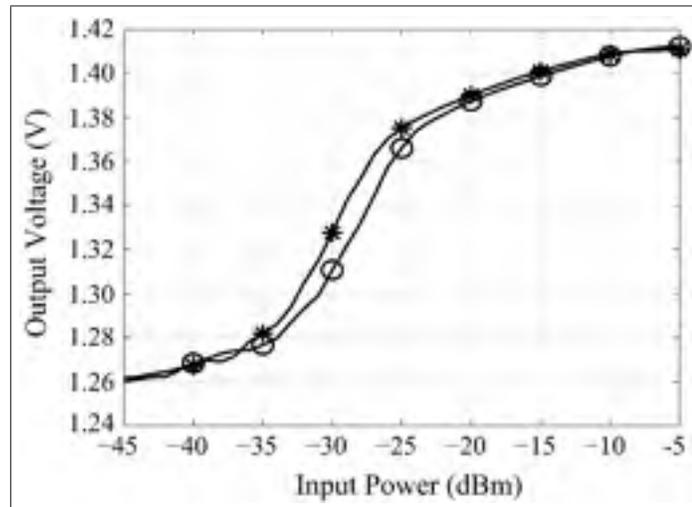


Figure 2.7 Caractéristique de transfert d'un détecteur de puissance à amplificateurs limiteurs. La fréquence du signal RF est de 3.1 GHz (*) et 10.6 GHz (o).
Tirée de [30]

La sortie logarithmique du détecteur est obtenue par une série d'amplificateur limiteurs, dont le schéma-bloc est à la figure 2.8. Les sorties de tous les amplificateurs sont additionnées, pour obtenir une valeur proportionnelle au logarithme du signal différentiel d'entrée ($V_{ia}(t)$). Si l'entrée est de faible amplitude, les amplificateurs ne vont pas atteindre leur limite. Si l'entrée est de forte amplitude, des amplificateurs vont atteindre leur limite. Comme l'amplification est de plus en plus limitée quand la tension différentielle augmente, la sortie varie de façon logarithmique. Pour réaliser l'addition, les tensions différentielles des sorties des amplificateurs sont converties en courants par des cellules de transconductance («transconductor cell»). Ces courants sont additionnés, puis convertis en tension par l'impédance Z . V_{out} est la tension de

sortie du circuit. La précision de la conversion logarithmique est augmentée en ajoutant des amplificateurs limiteurs à la série. Par contre, plus le nombre d'amplificateurs est important, plus la consommation de puissance est importante. L'avantage de ce circuit est sa linéarité sur une grande plage dynamique. L'inconvénient de ce circuit est sa grande consommation de puissance.

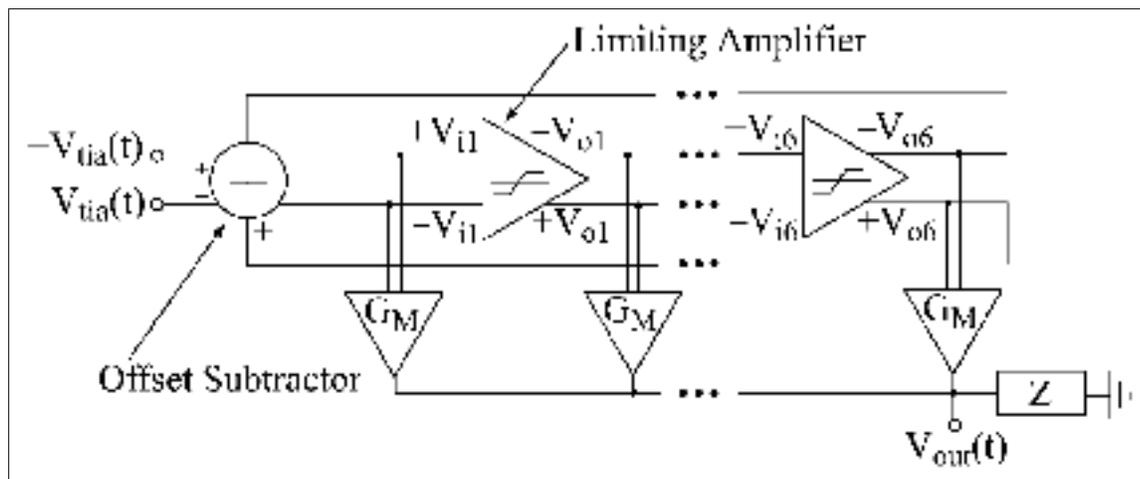


Figure 2.8 Schéma-bloc d'une série d'amplificateurs limiteurs qui permet d'obtenir une sortie logarithmique.

Tirée de [30]

2.4.3.3 Détecteur très rapide

Un détecteur de puissance très rapide est expliqué dans [31]. Le signal RF détecté par ce circuit est appliqué entre la grille et le substrat d'un transistor pMOS (MOSFET type-p) en saturation. La consommation de puissance du détecteur est de 10 mW. Sa plage dynamique est 20 dB à 2.4 GHz avec une erreur de mesure de 5%. L'avantage de ce circuit est sa rapidité. Son temps de réponse est plus petit que 40 ns. Ce détecteur est RMS et linéaire en watt.

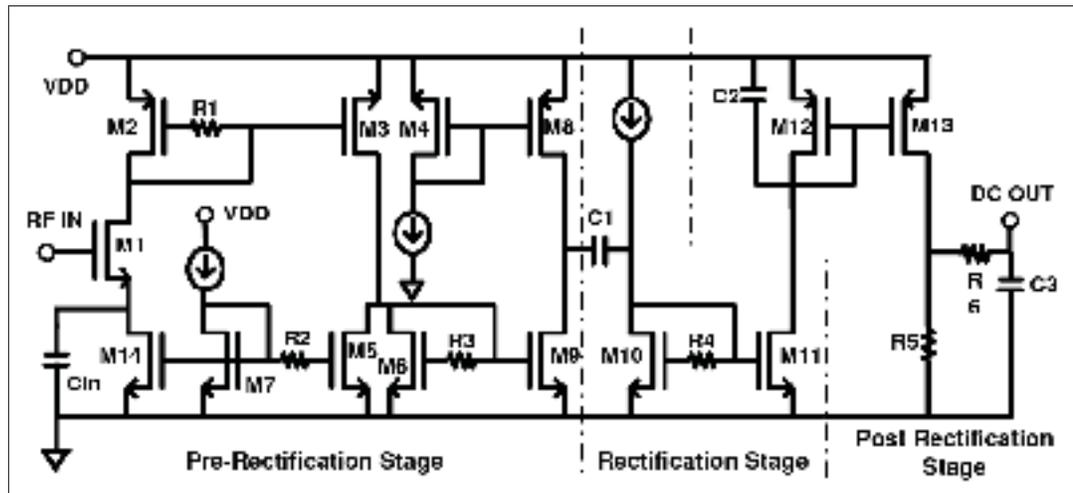


Figure 2.9 Circuit du détecteur de puissance très rapide.
Tirée de [31]

Le circuit du détecteur est montré à la figure 2.9⁶. Le transistor M1 est en saturation. Le courant qui circule dans le canal de M1 est proportionnel au carré de la tension d'entrée «RF IN». Ce courant est copié par le miroir de courant M2-M3. Le courant de drain de M3 est composé d'une valeur constante, obtenue par le transistor M5, et une valeur variable qui circule dans le canal de M6. Le courant de drain de M6 est copié par le miroir de courant M6-M9. M8 agit comme une impédance afin de convertir le signal en tension. Le transistor connecté en diode M10 redresse le signal. M11 copie le courant qui circule dans le canal de M10. Un filtre passe-bas de deuxième ordre constitué par M12-C2 et R-C3 ne conserve que la valeur continue du signal. R5 est un convertisseur courant-tension. Les résistances R1, R2, R3 et R4 augmentent la bande passante des miroirs de courants. L'avantage de cette architecture est sa rapidité. L'inconvénient du circuit est sa petite plage dynamique et sa sortie qui n'est pas logarithmique.

6. Les transistors M3 et M4 sont des PMOS. Leur représentation sur la figure est erronée.

2.4.3.4 Détecteur différentiel

Le détecteur de puissance présenté dans [32, 33] est différentiel. Il fonctionne à 60 GHz. Sa plage dynamique est 25 dB. Ce détecteur est RMS et linéaire en watt. Le circuit du détecteur est à la figure 2.10.

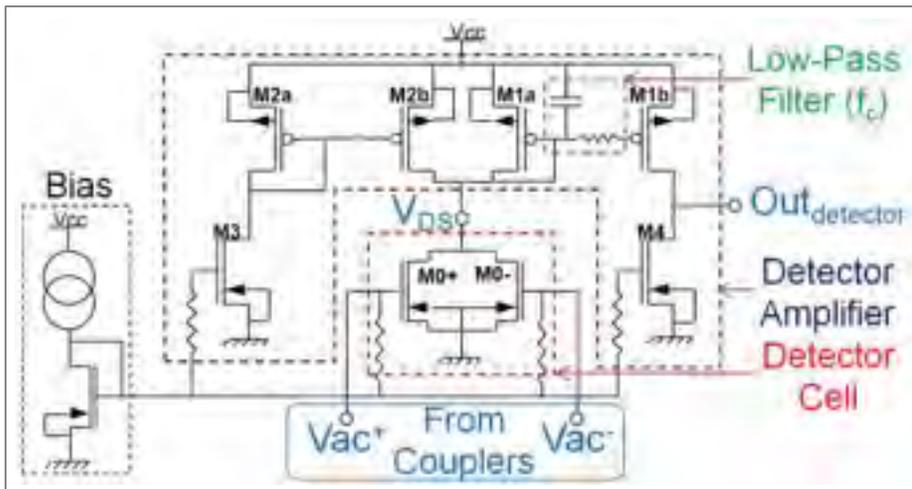


Figure 2.10 Circuit d'un détecteur de puissance différentiel.
Tirée de [32]

Le signal RF mesuré (V_{ac}) est appliqué aux grilles de $M0+$ et $M0-$. Ces deux transistors sont en saturation. Une composante de la somme de leurs courants de drain est proportionnelle au carré de la tension différentielle du signal mesuré. Le miroir de courant $M2a$ - $M2b$ polarise $M0+$ et $M0-$. Le miroir de courant $M1a$ - $M1b$ copie le courant RF différentiel, filtré par le filtre passe-bas (« Low-Pass Filter »). $M4$ effectue une conversion de courant à tension. La tension de sortie du détecteur est $OUT_{detector}$.

2.4.3.5 Détecteurs logarithmiques

Un circuit de détecteur de puissance RMS dont la sortie logarithmique est réalisé à l'aide d'un transistor à canal sous-inversé est présenté dans [24]. Ce circuit obtient une plage dynamique de 20 dB et une bande d'opérations qui s'étend de 125 MHz

à 5.5 GHz avec une erreur maximum de 0.5 dB, pour une fréquence spécifique. La consommation de puissance maximum du circuit est 0.18 mW. La consommation de puissance de ce circuit est significativement plus faible, que celle des détecteurs de puissance logarithmiques à amplificateurs limiteurs.

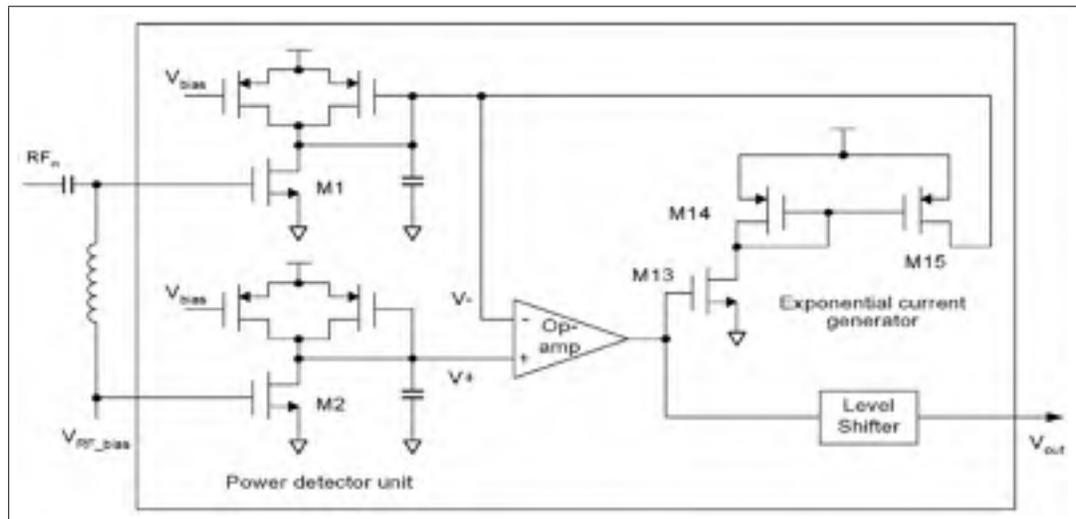


Figure 2.11 Circuit du détecteur de puissance RF, dont la sortie logarithmique est réalisée à l'aide d'un transistor à canal sous-inversé.
Tirée de [24]

Le circuit du détecteur de puissance est à la figure 2.11. Les transistors M1 et M2 ont des dimensions identiques. Ils sont en saturation. La tension V_{RF_bias} polarise les deux transistors. Seulement M1 voit le signal RF (RF_{in}), car il est circonscrit par une bobine d'arrêt. Le courant de drain de M1 (I_{D1}) varie en fonction du carré de sa tension grille-source (V_{gs1}). M13 a un canal sous-inversé. Le courant de drain de M13 (I_{D13}) varie exponentiellement en fonction de sa tension grille-source (V_{gs13}). Le courant qui circule dans le canal de M13 est copié par le miroir de courant M14-M15 vers le drain de M1. Un signal RF non nul est la source d'un courant de drain de M1 différent du courant de drain de M2. Alors, la tension V^- est différente de la tension V^+ . L'amplificateur opérationnel change la tension grille-source de M13, jusqu'à ce que son courant de

drain soit égal au courant qui circule dans le canal de M2 moins le courant qui circule dans le canal de M1. La tension grille-source de M13 représente la puissance du signal RF mesuré exprimé en dBm.

$$V_{gs13} = \frac{nkT}{q} \ln \left(\frac{\mu_n C_{ox} W_1 L_{13}}{4I_{D0} W_{13} L_1} V_{RF_{in}}^2 \right) \quad (2.19)$$

La plage dynamique de ce détecteur est limitée à la fois par la valeur de la tension de seuil de M13, qui fixe une tension maximum avant que M13 soit en saturation, et par le courant de fuite de M13. Lorsque M13 est en saturation, il ne peut pas compenser la différence des courants de drain de M1 et M2. Alors, la tension V_{gs13} diminue jusqu'à ce que M1 soit en triode. Même si la tension grille-source de M13 est nulle, le transistor a un faible courant de drain (I_0). Il faut que la différence des courants de drain de M1 et M2 soit plus grande que I_0 pour qu'une détection soit faite.

La caractéristique de transfert de ce circuit est à la figure 2.12. La réponse se déplace horizontalement lorsque la fréquence change. Par contre, la pente de la partie linéaire reste la même. Cette caractéristique est souhaitable pour un TOS-mètre car on fait la différence de deux puissances. Ainsi, pourvu que la pente reste la même, il est admissible que la réponse se déplace sur l'axe de la puissance mesurée.

Un autre détecteur de puissance RMS, qui a une sortie logarithmique réalisée à l'aide d'une série d'amplificateurs limiteurs, est présenté dans [7]. La détection de puissance est faite par une paire différentielle qui agit comme un redresseur complet. La plage dynamique simulée est 65 dB. La bande d'opération du circuit s'étend de 4 MHz à 2.4 GHz. La consommation de puissance du circuit est 27.5 mW. Cette consommation de puissance est significativement plus grande que celle du circuit de [24]. Par contre, la plage dynamique obtenue par [7] est beaucoup plus grande que celle de [24]. La caractéristique de transfert du détecteur de [7] est illustrée à la figure 2.13.

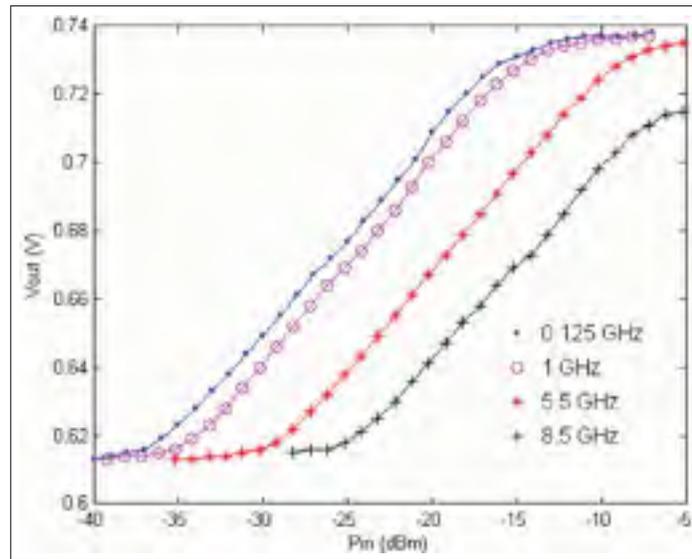


Figure 2.12 Caractéristique de transfert du détecteur de puissance RF, dont la sortie logarithmique est réalisée à l'aide d'un transistor à canal sous-inversé.

Tirée de [24]

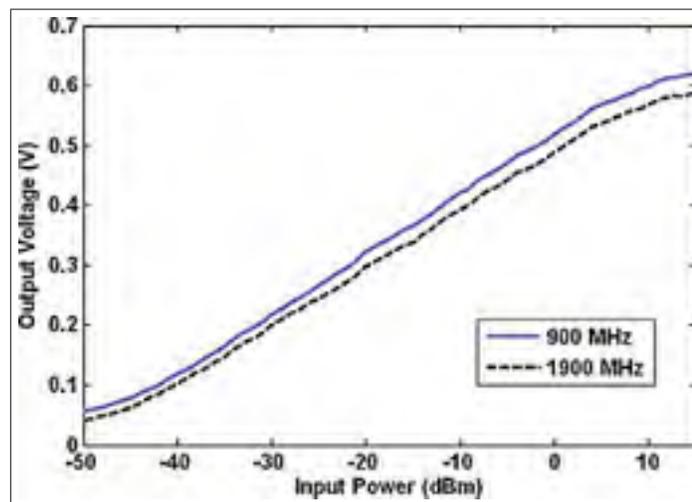


Figure 2.13 Caractéristique de transfert du détecteur de puissance RF à amplificateur limiteur.

Tirée de [7]

2.5 Conclusion

Les détecteurs de puissance sont un élément critique du SAAI, car ils sont responsables d'une grande partie de la consommation de puissance du SAAI : leur plage dynamique limite la qualité de l'adaptation d'impédance effectuée par le SAAI, et leur résolution indique la magnitude du facteur de couplage du coupleur directionnel, nécessaire pour détecter la puissance de l'onde réfléchie (voir chapitre 1). Les caractéristiques idéales d'un détecteur de puissance pour un SAAI sont : une sortie RMS linéaire en dB, une grande plage dynamique, une grande résolution, un petit temps de réponse, une grande bande d'opérations, une faible consommation de puissance et une réalisation avec un procédé à faible coût, qui permet l'intégration de plusieurs éléments du SAAI.

Ce travail est à propos de la conception et la réalisation d'un détecteur de puissance CMOS. Dans ce chapitre, trois types de détecteurs de puissance réalisés avec un procédé CMOS ont été revus. Les détecteurs à thermocouples ont l'avantage de détecter une grande plage dynamique sur une grande bande d'opérations. Par contre, ces détecteurs sont sensibles à la proximité des autres composantes qui émettent de la chaleur. De plus, les bonnes performances de ce détecteur sont obtenues lorsque la réalisation comprend des étapes post-CMOS. Les détecteurs à diodes ont une grande bande d'opérations, et le circuit de détection est simple. Néanmoins, le temps de réponse obtenu avec les diodes CMOS est grand comparé à celui des autres détecteurs et la puissance mesurée n'est pas RMS. Les diodes Schottky obtiennent un temps de réponse plus petit, mais leur réalisation nécessite des étapes post-CMOS. Les détecteurs à MOSFET ont une plage dynamique et une bande d'opérations, comparables à celle des deux autres types de détecteurs de puissance RF. Par contre, ils consomment de la puissance. Leur avantage est d'être facilement réalisable avec un procédé CMOS standard. De plus, ils peuvent mesurer la puissance RMS logarithmique.

La sortie logarithmique d'un détecteur à MOSFET peut être obtenue à l'aide d'amplificateurs limiteurs en cascade, ou à l'aide d'un amplificateur opérationnel, avec un transistor dont le canal est sous-inversé comme rétroaction. Une plus grande plage dynamique est détectée avec la première méthode [7, 34]. Par contre, la consommation de puissance est beaucoup plus faible pour la deuxième méthode [24].

Le tableau 2.1 est un résumé des performances de détecteurs de puissances RF. Le tableau comprend un détecteur à thermocouple [25], un détecteur à diode [26], sept détecteurs à MOSFET [33, 35, 7, 30, 31, 34, 24] et deux détecteurs commerciaux. Le procédé de fabrication des détecteurs commerciaux n'est pas mentionné par les fabricants. Les performances des circuits dépendent de la technologie de fabrication. Une bonne comparaison nécessiterait que tous les détecteurs soient fabriqués avec le même procédé. *Type* est la fonction de transfert, P_c la consommation de puissance, P_{min} la puissance minimum détectée et *PD* la plage dynamique du détecteur. La méthode de conversion logarithmique pour les détecteurs de puissance à MOSFET est indiquée dans la colonne *Linéarité*. *Sous-inversé* signifie que la conversion est faite par un amplificateur opérationnel, qui a un transistor dont le canal est sous-inversé comme contre réaction. *Ampli limiteurs* signifie que la conversion est faite par une série d'amplificateurs limiteurs en cascade.

Le détecteur qui convient le plus au SAAI est celui de [24]. Ce détecteur a une petite consommation de puissance et une grande bande d'opérations. Par contre, sa plage dynamique est petite. Une version distribuée de ce détecteur est présentée au chapitre 3 pour augmenter sa plage dynamique.

Tableau 2.1 Résumé des performances de détecteurs de puissance RF

Détecteur	Fabrication	Linéarité	Type	Bande d'opération	P_c (mW)	P_{min} (dBm)	PD (dB)
Thermocouple [25]	CMOS 2 μm + EDP	dB	RMS	jusqu'à 20 GHz	≈ 0	-30	40
Diode [26]	CMOS 0.5 μm	watt	Crête	jusqu'à 10 GHz	≈ 0	-20	35
MOSFET [33]	CMOS 65 nm	watt	RMS	jusqu'à 60 GHz	0.06	-25	25
MOSFET [7]	CMOS 0.25 μm	dB(ampli limiteurs)	RMS	4 MHz à 2.4 GHz	27.5	-50	65
MOSFET [30]	CMOS 0.18 μm	dB(ampli limiteurs)	RMS	3.1 GHz à 10.6 GHz	10.8	-39	20
MOSFET [31]	CMOS 0.35 μm	watt	RMS	jusqu'à 2.4 GHz	10	-20	20
MOSFET [34]	BiCMOS SiGe 0.25 μm	dB(ampli limiteurs)	RMS	jusqu'à 6 GHz	17	-50	45
MOSFET [24]	CMOS 0.13 μm	dB(sous-inversé)	RMS	125 MHz à 5.5 GHz	0.18	-35	20
AD8314 [36]	-	dB	RMS	100 MHz à 2.7 GHz	12	-45	45
HMC610LP4E [37]	-	dB	RMS	900 MHz à 3.9 GHz	325	-60	75

CHAPITRE 3

CONCEPTION DU DÉTECTEUR DE PUISSANCE RF

3.1 Introduction

Dans ce chapitre, une nouvelle architecture de détecteur de puissance est développée afin d'obtenir un détecteur de puissance RF CMOS à grande plage dynamique et à faible consommation de puissance. Les circuits de détection de puissance avec sortie logarithmique qui ont été revus, ont une consommation de puissance élevée [30, 34], ou une plage dynamique élevée [30, 24] (voir chapitre 2). Le détecteur développé est un circuit mixte¹. La plage dynamique est distribuée sur trois unités de détections à faible consommation de puissance. La sélection dynamique de la bonne unité de détection est faite numériquement.

En premier lieu, une explication du concept de distribution de la plage dynamique est faite et l'architecture du détecteur de puissance est présentée. En suite, la conception d'un circuit intégré réalisé avec un procédé CMOS 0.13 μm est présentée. La conception du circuit est faite avec le logiciel CADENCE. Les simulations sont effectuées en utilisant SPECTRE et les modèles de composants du kit de développement de CMOS 0.13 μm , prenant ainsi en considération les éléments parasites des composants. Trois parties critiques du détecteur, qui influencent significativement la plage dynamique, le temps de réponse et la consommation de puissance, sont dans l'IC. La bande d'opération visée est de 800 MHz à 4 GHz². Le fonctionnement de toutes les parties de l'IC est expliqué. Les dimensions des éléments du circuit sont établies.

-
1. Un circuit mixte est un circuit qui comprend une partie analogique et une partie numérique.
 2. Plusieurs systèmes de communications modernes, dont Wi-Fi, LTE et WiMAX, sont dans cette bande.

3.2 Plage dynamique distribuée

Le détecteur de puissance RF d'un SAAI a préférablement une sortie logarithmique. La sortie logarithmique d'un détecteur de puissance CMOS peut être obtenue par deux méthodes (voir chapitre 2). La première est d'amplifier le signal linéaire en watt par un ensemble d'amplificateurs limiteur en cascade [7, 30, 34]. Elle a le désavantage de consommer une puissance élevée. La deuxième méthode est d'appliquer le signal linéaire en watt à l'entrée d'un amplificateur opérationnel, qui a un transistor avec un canal sous-inversé comme contre réaction [24]. Elle a le désavantage d'avoir une plage dynamique limitée.

Afin d'obtenir une grande plage dynamique et une faible consommation de puissance, nous proposons de distribuer la plage dynamique sur plusieurs unités de détections à faible consommation de puissance, qui ont une petite plage dynamique, tel qu'illustré à la figure 3.1. Chacune des unités couvre une plage dynamique de 15 dB. L'ensemble des unités couvre une plage dynamique de 45 dB.

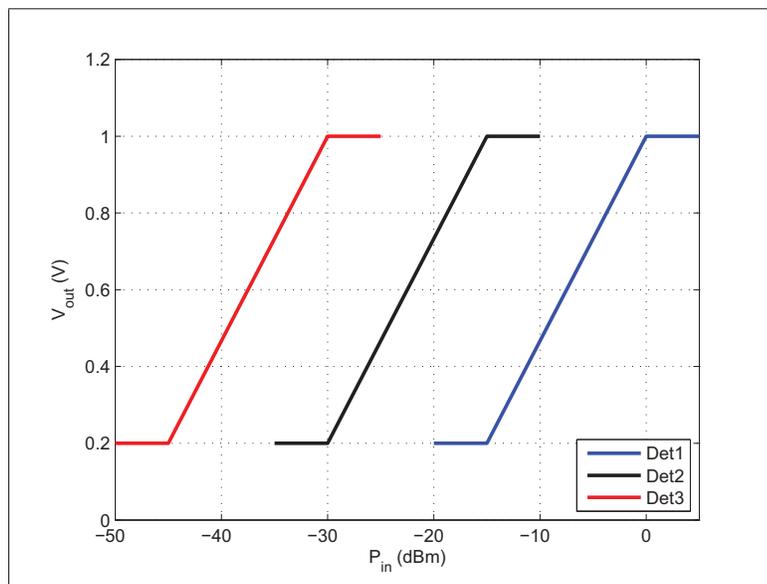


Figure 3.1 Plage dynamique distribuée sur trois unités de détection.

3.3 Conception niveau système du détecteur de puissance

La figure 3.2 montre un schéma-bloc du détecteur de puissance RF à plage dynamique distribuée. Trois unités de détection sont utilisées. Les unités sont représentées par Det1, Det2 et Det3. L'unité de détection en fonction est sélectionnée avec le multiplexeur et le démultiplexeur. Cette sélection est faite dynamiquement en fonction de la puissance qui est lue. La sortie du multiplexeur est numérisée avec un ADC (convertisseur analogique à numérique). La machine à états finis choisit l'unité de détection qui est utilisée en fonction du signal numérique. L'état de la machine est transmis au multiplexeur, au démultiplexeur et au redresseur du niveau zéro. Le redresseur du niveau zéro ajoute un niveau continu au signal numérique, afin d'obtenir une plage dynamique continue. Un code numérique unique est associé à chaque valeur de puissance du signal RF mesuré, qui est compris dans la plage dynamique du détecteur de puissance.

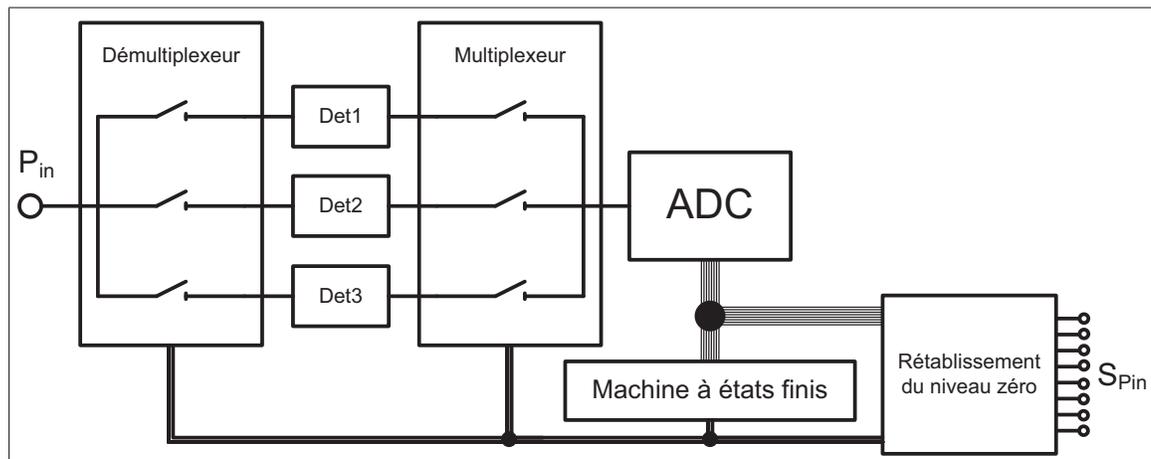


Figure 3.2 Schéma-bloc du détecteur de puissance à plage dynamique distribuée.

Les interrupteurs du multiplexeur et du démultiplexeur sont des éléments critiques du système. L'isolation de l'interrupteur idéal est infinie, pour que l'impédance vue à l'entrée du détecteur soit celle d'une seule unité de détection, et pour que le signal à

la sortie du multiplexeur soit la sortie d'une seule unité de détection. La perte d'insertion de l'interrupteur idéal est nulle, pour que la totalité de la puissance à l'entrée du détecteur atteigne l'unité de détection en fonction.

La figure 3.3 est la caractéristique de transfert désirée du détecteur de puissance. S_{pin} est un signal numérique de 8 bits. La plage dynamique hypothétique du détecteur est 45 dB.

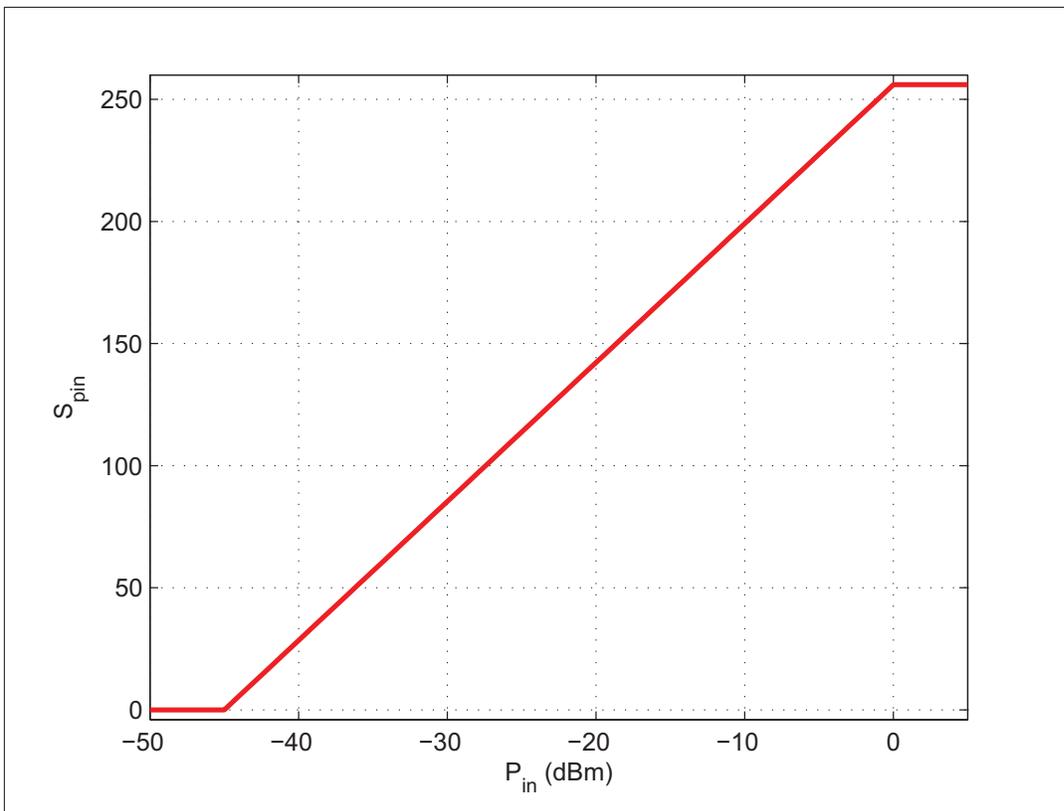


Figure 3.3 Caractéristique de transfert numérique du détecteur de puissance distribué.

3.3.1 Temps de réponse du détecteur de puissance

Le temps de réponse du détecteur de puissance RF distribué dépend du temps de réponse des unités de détection, du temps de commutation du multiplexeur et du

démultiplexeur, du type d'ADC et de la fréquence de l'horloge de la partie numérique du système. Pour avoir une mesure valide, lorsque la puissance mesurée (P_{in}) change, il faut que la sortie de l'unité de détection en fonction se stabilise, puis que l'ADC convertisse la tension de la sortie du multiplexeur, en un signal numérique, qui est utilisé par la machine à états finis, afin d'évaluer quel est l'état du détecteur. Si l'état de la machine à états du détecteur change, il faut que le multiplexeur et le démultiplexeur commutent des interrupteurs. Si l'unité de détection en fonction change, l'algorithme de détection est réitéré avant d'avoir une sortie valide.

Le type d'ADC est un compromis entre la complexité du circuit, le temps de conversion, l'espace de silicium utilisé et la consommation de puissance. L'ADC à approximation successive a une complexité modérée et un temps de conversion rapide. Son temps de conversion est plus grand que celui de l'ADC Flash, mais sa consommation de puissance est plus petite, et l'espace de silicium utilisé est réduit [38]. L'ADC à approximation successive est un bon compromis pour le détecteur de puissance RF distribué. Dans son implémentation la plus simple, un ADC à approximation successive de N bits prend N coups d'horloge pour effectuer une conversion. En respectant le critère de Nyquist, la fréquence maximum observable (f_{max}) par l'ADC à approximation successive est :

$$f_{max} = \frac{f_{clk}}{2N} \quad (3.1)$$

f_{clk} est la fréquence de l'horloge du détecteur.

La fréquence de l'horloge du détecteur détermine aussi la fréquence à laquelle la machine à états finis fonctionne. Plus les circuits numériques CMOS fonctionnent à une fréquence rapide, plus qu'ils consomment de la puissance (voir section 3.3.2). Par conséquent, la fréquence de l'horloge est choisie en fonction du compromis entre la rapidité du circuit numérique et la consommation de puissance.

3.3.2 Consommation de puissance du détecteur de puissance

La consommation de puissance (P_c) d'un circuit intégré CMOS est constituée de trois parties : la consommation statique (P_s), la consommation dynamique (P_d) et la consommation court-circuit (P_{cc}) [39].

$$P_c = P_d + P_s + P_{cc} \quad (3.2)$$

Dans un circuit mixte, la consommation de puissance statique est associée aux courants de polarisation des parties analogiques et aux courants de fuites des transistors des parties numériques. La consommation de puissance dynamique est composée des courants de charge et de décharge des grilles des transistors des circuits numériques. La consommation de puissance de court-circuit survient dans un circuit numérique CMOS lors d'un changement d'état de deux transistors complémentaire. Durant un court instant, les deux transistors conduisent en même temps, ainsi un courant circule de l'alimentation à la masse.

La consommation dynamique de puissance à un nœud capacitif³ est [39] :

$$P_d = \alpha f_{clk} C V_{dd}^2 \quad (3.3)$$

α est l'activité du signal au nœud⁴ et C est la capacité du nœud. Plus la fréquence de l'horloge du détecteur est grande, plus la consommation de puissance dynamique est grande.

L'ADC, la machine à états finis, le redresseur du niveau zéro, le multiplexeur et le démultiplexeur sont responsables de la consommation de puissance dynamique du détecteur de puissance RF distribué. Les unités de détections sont des éléments analogiques. Leur consommation de puissance est principalement associée à la polarisation des transistors. Cette consommation de puissance est statique. Dans cette étude, on

3. La capacité grille-source d'un transistor MOSFET peut être un nœud capacitif.

4. L'activité du signal au nœud représente la probabilité qu'il y ait une charge ou décharge durant un coup d'horloge.

considère que la plus grande partie de la puissance consommée est statique, et que la consommation dynamique du détecteur de puissance distribué est négligeable. Cette hypothèse est vérifiée plus tard.

3.3.3 Impédance d'entrée du détecteur de puissance

L'impédance d'entrée du détecteur de puissance est adaptée à l'impédance de sortie du coupleur du TOS-mètre (voir chapitre 1) pour que la mesure soit valide sur une grande bande de fréquence. En effet, si une onde stationnaire est présente sur la ligne de transmission, qui lie le détecteur de puissance au coupleur, des extremums localisés, qui varient en fonction de la fréquence, rendent l'amplitude crête de la tension du signal à l'entrée du détecteur de puissance dépendante de la fréquence [5].

L'impédance d'entrée du détecteur est influencée par l'impédance d'entrée des unités de détection et par les interrupteurs du démultiplexeur. Idéalement, l'impédance des unités de détection est adaptée à celle du coupleur et, l'interrupteur est soit un court-circuit, lorsqu'il est activé, ou un circuit ouvert, lorsqu'il est désactivé.

3.4 Procédé de fabrication du circuit intégré

Le coût du dispositif, les temps de conception, les performances désirées et la disponibilité de la technologie sont des facteurs décisifs dans le choix du procédé de fabrication. Les procédés CMOS permettent un bon niveau d'intégration, sont compatibles avec plusieurs procédés de réalisation MEMS et sont très abordables. De plus, les outils de conception sont disponibles.

CMC Microsystem donne accès au procédé CMOS 0.13 μm à un faible coût, en groupant sur une même gaufrette les circuits de plusieurs concepteurs. Le détecteur de puissance de [24], dont les performances sont acceptables pour l'implémentation des unités de détection, est réalisé avec ce nœud technologique. Le procédé choisi pour la fabrication du détecteur dans le présent travail est CMOS 0.13 μm .

La tension d'alimentation de ce procédé est 1.2V. Huit couches de métal sont disponibles pour les connexions. Plusieurs composantes passives sont disponibles dont : des inductances planaires, des condensateurs MiM (Metal-Insulator-Metal), des condensateurs en peignes et des résistances. Ce procédé inclut quelques types de transistors qui ont des seuils différents et qui tolèrent des niveaux de tensions différents.

3.5 Architecture du circuit intégré

Le circuit intégré est divisé en trois parties semblables composées d'une unité de détection (Det1, Det2 et Det3) et d'un sélecteur. Un sélecteur comprend une sortie de multiplexeur et une entrée de démultiplexeur. Le schéma-bloc de l'IC est à la figure 3.4.

Les signaux s_1 , s_2 et s_3 sélectionnent l'unité de détection qui est en fonction. Il est très important de ne sélectionner qu'une unité de détection à la fois. Lorsqu'il y a un « 1 » logique⁵ sur un signal de sélection s_n , le signal P_{in} est appliqué à l'entrée de son unité de détection respective et la tension V_{dBm} correspond à la sortie de cette même unité. Lorsqu'il y a un « 0 » logique sur un signal de sélection s_n , le signal P_n est appliqué à l'entrée de son unité de détection respective et la tension V_n correspond à la sortie de cette même unité. Exemple : Si $s_1 = 0$ alors P_1 est appliqué à Det1 et V_1 correspond à la tension de sortie de Det1.

Pour augmenter la testabilité du circuit, deux modes d'opération sont définis. Tout d'abord, en mode « normal » une unité de détection est sélectionnée. Le signal RF externe à détecter est connecté à la borne d'entrée P_{in} et la sortie du détecteur de puissance est V_{dBm} . Les entrées $P_{1,2,3}$ sont connectées à la masse. En mode « test », aucune unité de détection n'est sélectionnée et l'entrée P_{in} est connectée à la masse. Les unités de détections sont testées individuellement en appliquant une puissance à leurs entrées respectives ($P_{1,2,3}$) et en mesurant la tension à leurs sorties respectives ($V_{1,2,3}$).

5. Le « 1 » logique correspond à une tension de 1.2 V et le « 0 » logique correspond à une tension de 0 V.

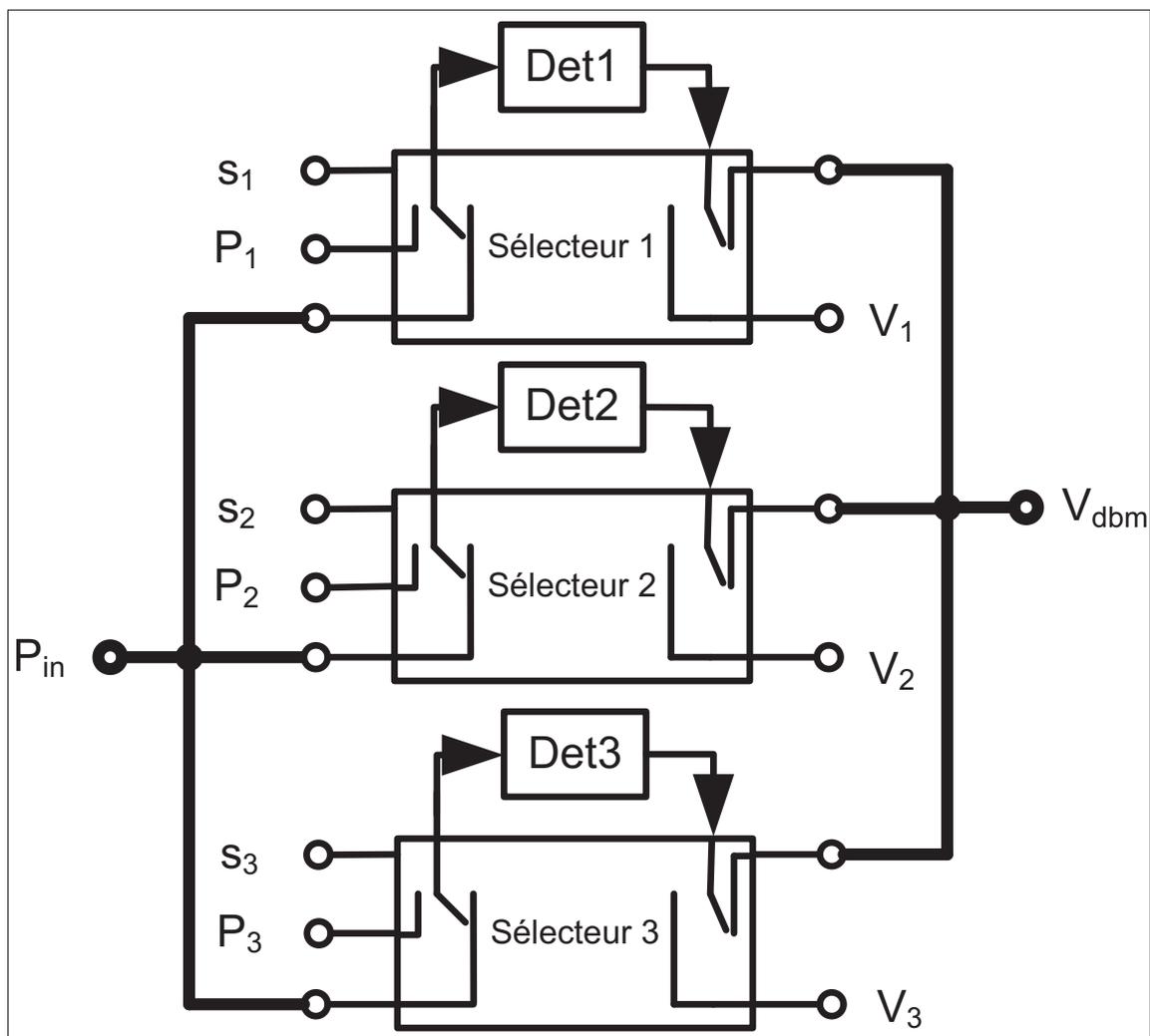


Figure 3.4 Schéma-bloc du circuit intégré du détecteur de puissance distribué.

3.6 Sélecteur

Le schéma-bloc d'un sélecteur est montré à la figure 3.5. Le circuit comprend un inverseur ($I1$) et trois chemins de transmission ($I2$, $I3$ et $I4$). Si un « 1 » logique est appliqué à l'entrée *active* d'un chemin de transmission, alors le chemin conduit. La sortie *DetIn* du sélecteur est connectée à l'entrée d'une unité de détection. $I2$ et $I3$ sont les chemins de transmission qui correspondent au démultiplexeur du détecteur de puissance distribué. Ils déterminent si la puissance P_{in} , ou P_n , sera transmise à l'unité de détection. $I4$ est le chemin de transmission qui correspond au multiplexeur du détecteur de puissance distribué. L'entrée *DetOut* est connectée à la sortie de l'unité de détection. Si un « 1 » logique est à l'entrée *active* du sélecteur, alors la tension de sortie de l'unité de détection est transmise à la sortie V_{dBm} . Si un « 0 » logique est à l'entrée *active* du sélecteur, alors le chemin de transmission $I4$ ne conduit pas et la sortie V_{dBm} voit une haute impédance.

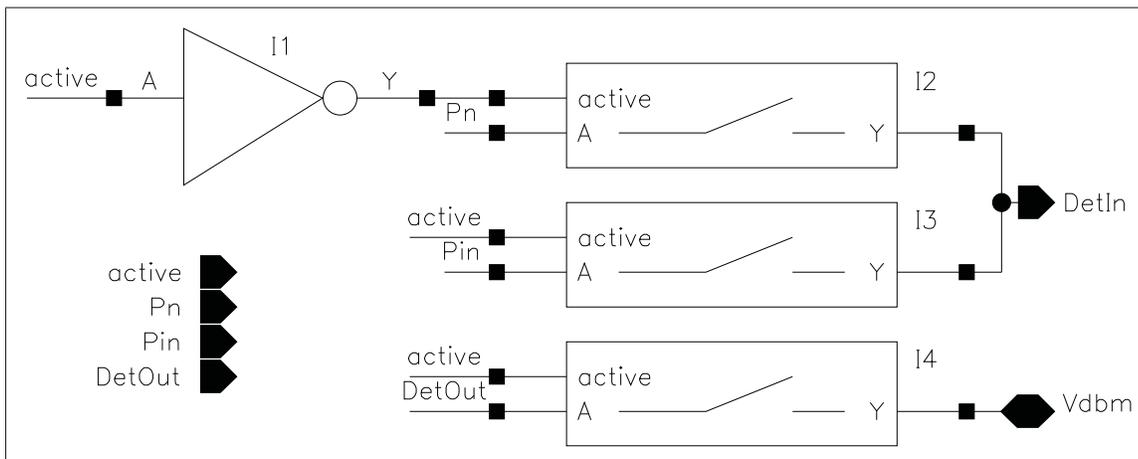


Figure 3.5 Schéma-bloc d'un sélecteur.

3.6.1 Chemin de transmission

Le schéma électrique d'un chemin de transmission (« transmission gate ») est illustré à la figure 3.6. Le chemin de transmission est composé de deux transistors (T0 et T1) et d'un inverseur. T0 est un PMOS et T1 est un NMOS. Ces transistors fonctionnent de façon complémentaire. Le signal *active* et l'inverseur, activent et désactivent T0 et T1 en même temps.

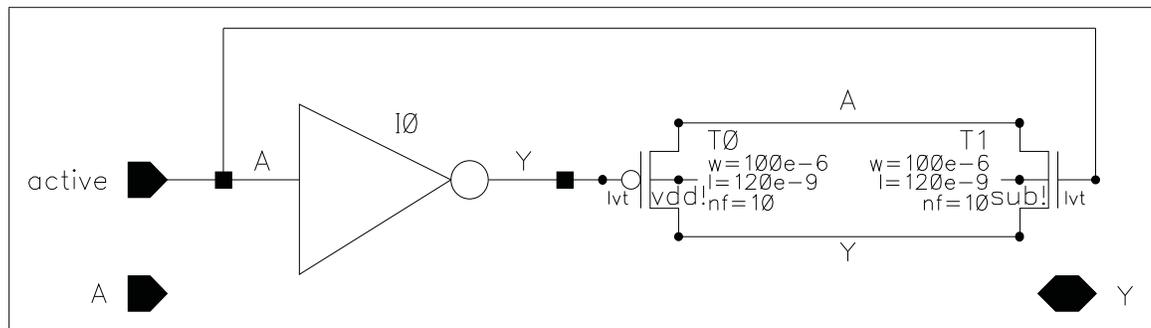


Figure 3.6 Circuit électrique d'un chemin de transmission.

L'avantage du chemin de transmission par rapport au simple transistor est sa résistance équivalente presque constante en fonction de la tension d'entrée (A). Comme les deux transistors varient de façon complémentaire, lorsque A augmente, la résistance entre le drain et la source de T0 (r_{ds0}) diminue, et la résistance entre le drain et la source de T1 (r_{ds1}) augmente. Les deux transistors sont en parallèle, l'effet combiné de r_{ds0} et r_{ds1} donne une valeur presque constante. Cet effet est illustré à la figure 3.7. V_{in} correspond à la tension A , $R_{on,eq}$ est la résistance équivalente, $R_{on,P}$ est la résistance r_{ds0} et $R_{on,N}$ est la résistance r_{ds1} .

Si un « 1 » logique est à l'entrée *active*, le chemin de transmission conduit, car la tension d'alimentation V_{dd} est à la grille de T1, et la masse est à la grille de T0. Le gain du chemin de transmission activé est à la figure 3.8. Le gain diminue de 0.18 dB lorsque

la fréquence passe de 100 MHz à 5 GHz. Les impédances de terminaisons pour cette simulation sont de 1 M Ω .

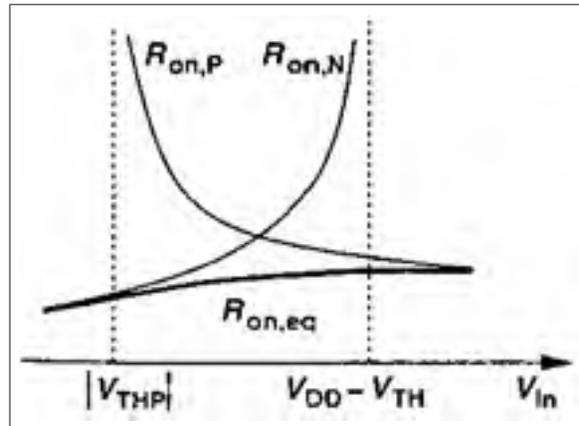


Figure 3.7 Résistance équivalente d'un chemin de transmission en fonction de la tension d'entrée V_{in} .
Tirée de [27]

Le puits-N de T0 est connecté à V_{dd} . Ce choix de connexion n'a pas un grand effet lorsque le chemin de transmission est activé. Par contre, lorsque le chemin de transmission est désactivé l'isolation est beaucoup plus grande avec le puits-N connecté à V_{dd} qu'avec le puits-N connecté à la source du transistor. Le gain du chemin de transmission désactivé est illustré à la figure 3.9. Les impédances de terminaisons pour cette simulation sont de 1 M Ω . Le branchement du puits-N à V_{dd} augmente l'isolation de 23 dB à 100 MHz et de 7 dB à 5 GHz par rapport au branchement du puits-N à la source. La détérioration de l'isolation en fréquence est causée par la capacité parasite entre le drain et la source des transistors. Comme la capacité parasite relative au branchement du puits-N à V_{dd} est plus grande que celle relative au branchement du puits-N à la source, la détérioration de l'isolation est plus prononcée pour le branchement du puits-N à V_{dd} .

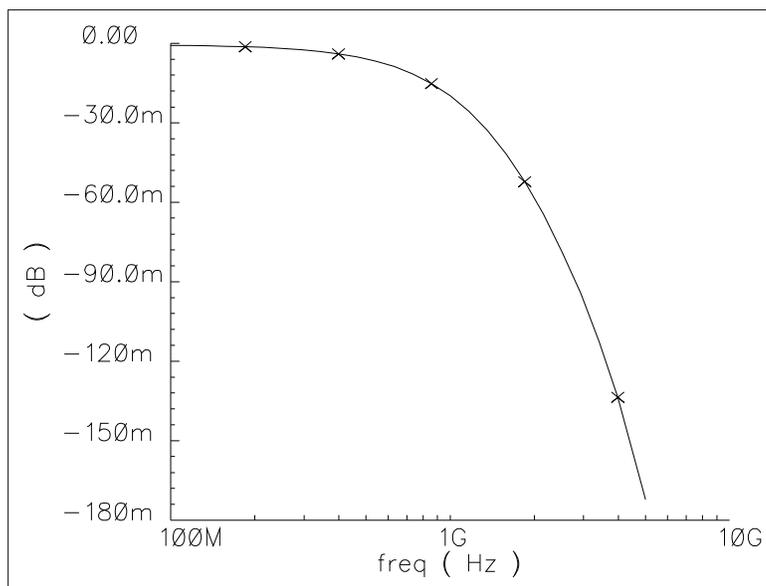


Figure 3.8 Gain du chemin de transmission lorsqu'il est activé.

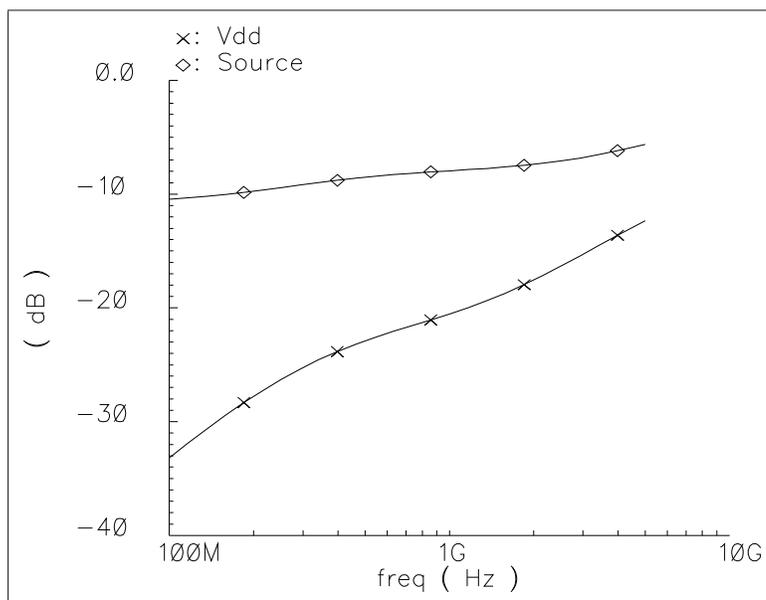


Figure 3.9 Gain du chemin de transmission lorsqu'il n'est pas activé.

3.7 Unité de détection

Les unités de détection sont conçues à partir du circuit de [24]. Un schéma électrique d'une unité de détection est illustré à la figure 3.10. Les équations présentées dans cette section sont basées sur les équations de [24].

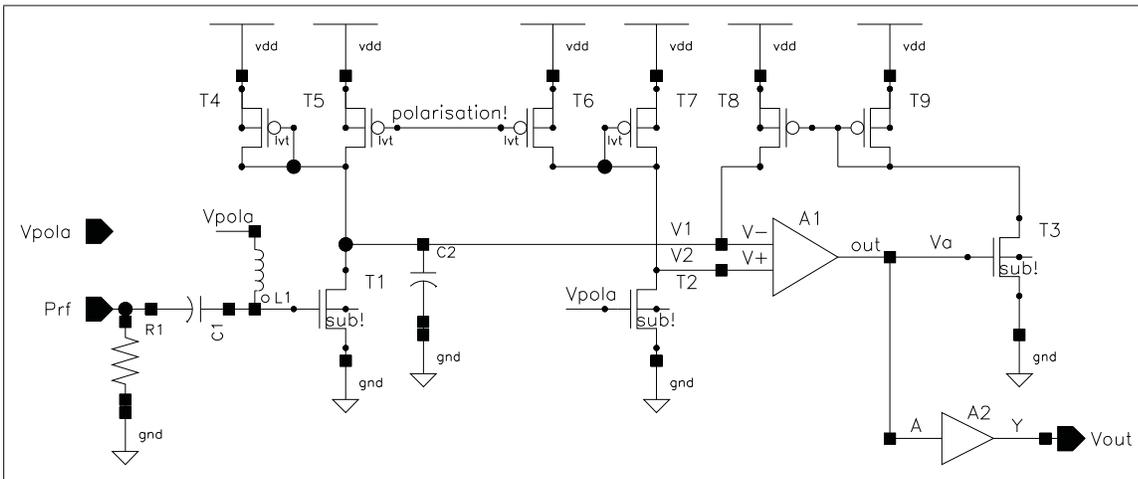


Figure 3.10 Schéma électrique d'une unité de détection.
Inspirée de [24]

P_{rf} est la puissance RF qui est détectée par le circuit. V_{out} est la tension de sortie de l'unité de détection. Les tensions $V1$ et $V2$ forment un signal différentiel qui représente la valeur de puissance RF mesurée en watt. Les transistors $T1$, $T2$, $T4$ - $T7$, l'inductance $L1$ et le condensateur $C2$ forment un détecteur de puissance linéaire en watt. V_{pola} est une tension continue qui polarise les transistors $T1$ et $T2$. Elle est obtenue à l'aide du circuit de référence de tension de la sous-section 3.7.3. Le signal *polarisation!* est une tension globale, commune aux trois unités de détection, qui donne une référence de courant, à l'aide d'un miroir de courant. Elle est obtenue à l'aide du circuit de référence de courant présenté à la sous-section 3.7.4. L'amplificateur opérationnel $A1$ expliqué à la sous-section 3.7.5, le miroir de courant $T8$ - $T9$ et le transistor à canal sous-inversé $T3$, dont le principe d'opération est l'objet de la sous-section 3.7.2, effectuent

une conversion logarithmique. A2 est un amplificateur de redressement du niveau zéro. Il place la réponse de l'unité de détection à un niveau optimal pour qu'elle soit numérisée correctement par l'ADC du détecteur de puissance distribué (voir chapitre 3). Le fonctionnement de l'amplificateur de redressement du niveau zéro est expliqué à la sous-section 3.7.6. La résistance R1 adapte l'impédance d'entrée de l'unité de détection.

3.7.1 Détecteur de puissance linéaire en watt

La valeur de la puissance d'un signal peut être obtenue à l'aide d'une mesure de la tension du signal (voir chapitre 2) :

$$P = \frac{1}{Z_0} \frac{1}{T} \int_0^T v(t)^2 dt \quad (3.4)$$

P est la puissance lue, $v(t)$ est la tension du signal qui évolue dans le temps et T est la période durant laquelle on observe le signal. Pour obtenir une valeur proportionnelle à la puissance, deux fonctions mathématiques sont réalisées : une moyenne et une mise au carré. Le circuit de la figure 3.11 effectue ces fonctions.

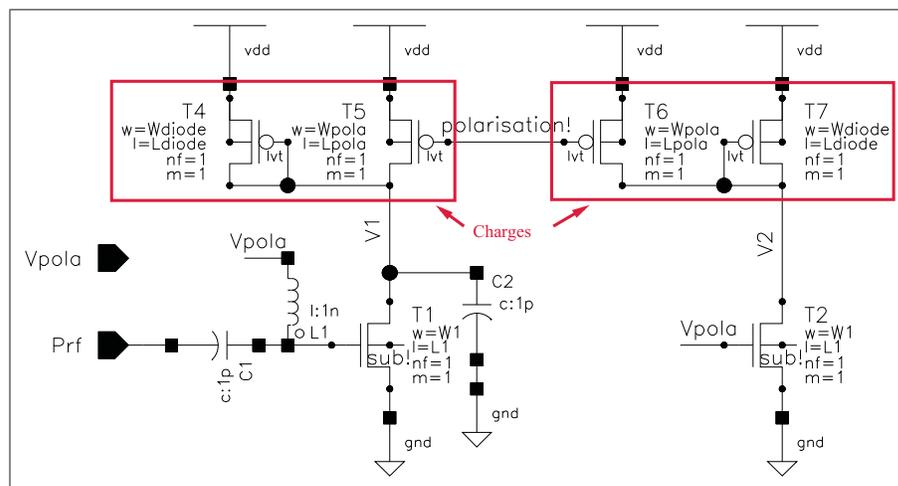


Figure 3.11 Schéma électrique du détecteur de puissance RMS linéaire en watt.

La sortie du détecteur linéaire en watt est une tension différentielle ($V_2 - V_1$). Cette différence élimine la tension de polarisation et conserve la tension qui varie en fonction de la puissance. Le transistor T1 est en saturation. Nous avons vu au chapitre 2 que le courant qui circule dans le canal d'un transistor MOSFET en saturation varie comme suit :

$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{gs} - V_{th})^2 (1 + \lambda V_{ds}) \quad (3.5)$$

Le terme λ va être négligé pour le reste de l'analyse de ce circuit. Le signal P_{rf} est appliqué à la grille du transistor T1. Alors, une partie du courant qui circule dans le canal de T1 (I_{D1}) varie en fonction du carré de la tension du signal. La charge, constituée par T4 et T5, convertit ce courant en la tension V_1 . Le condensateur C2 et la résistance équivalente du circuit forment un filtre passe-bas, qui ne conserve que la tension moyenne de V_1 .

La deuxième branche du circuit, constituée par les transistors T2, T6 et T7, est une réplique de celle constituée par les transistors T1, T4 et T5. Cette branche donne la référence de tension V_2 . Seule la tension V_{pola} est appliquée à la grille du transistor T2. L'inductance L1 est une bobine d'arrêt, qui empêche le signal RF de traverser vers la grille de T2, et qui permet à la tension V_{pola} de passer. La capacité C1 circonscrit V_{pola} aux grilles de T1 et T2.

En abstrayant l'impédance perçue par T1 des transistors T4 et T5 par R_{charge} on a :

$$V_1 = V_{dd} - I_{D1} R_{charge} \quad (3.6)$$

On pose $v_{rf}(t)$ une tension sinusoïdale à la grille de T1, qui est l'effet d'un signal de puissance sinusoïdale P_{rf}

$$v_{rf}(t) = V_{rf} \cos(\omega_{rf} t) \quad (3.7)$$

Le courant qui circule dans le canal de T1 est :

$$I_{D1} = K (V_{pola} + v_{rf}(t) - V_{th})^2 \quad (3.8)$$

Où

$$K = \frac{\mu_n C_{ox} W}{2 L} \quad (3.9)$$

On obtient :

$$I_{D1} = \frac{KV_{rf}^2}{2} + \frac{KV_{rf}^2}{2} \cos(2\omega_{rf} t) + 2KV_{pola}V_{rf} \cos(\omega_{rf} t) - 2KV_{th}V_{rf} \cos(\omega_{rf} t) + KV_{pola}^2 - 2KV_{pola}V_{th} + KV_{th}^2 \quad (3.10)$$

Si la fréquence de coupure du filtre passe-bas est plus petite que ω_{rf} alors

$$I_{D1} = \frac{KV_{rf}^2}{2} + \underbrace{K(V_{pola} - V_{th})^2}_{cte} \quad (3.11)$$

Comme le transistor T2 ne reçoit que la tension V_{pola}

$$I_{D2} = \underbrace{K(V_{pola} - V_{th})^2}_{cte} \quad (3.12)$$

Et comme les dimensions de T4 sont égales à celles de T6 et que les dimensions de T5 sont égales à celles de T7

$$V2 = Vdd - I_{D2}R_{charge} \quad (3.13)$$

En se rappelant l'équation 2.5 vue au chapitre 2

$$P = \frac{V_{crête}^2}{2Z_0} \quad (3.14)$$

On trouve que la tension différentielle varie de façon proportionnelle à la valeur en watt de P_{rf}

$$V_2 - V_1 = \frac{KV_{rf}^2}{2} R_{charge} \quad (3.15)$$

La charge est constituée de deux transistors. T5 est un miroir de courant. Il donne le courant de polarisation pour que T1 soit en saturation. Vue par T1, T5 est une haute impédance. Une charge uniquement constituée par T5 aurait pu être adéquate pour réaliser le détecteur linéaire. L'ajout du transistor connecté en diode T4 permet de réduire le temps de réponse du détecteur, car ce transistor ajuste son courant de drain en fonction de la variation de I_{D1} due à la puissance RF mesurée. T5 ne fournit que le courant de polarisation pour que T1 soit en saturation. Par contre, T4 réduit l'impédance de la charge vue par T1 ainsi que l'effet de la variation de la puissance mesurée sur la tension V_1 . La variation du courant qui circule dans le canal de T1 par rapport à la variation de la puissance mesurée n'est que sensiblement affectée par l'ajout de T4.

Pour les simulations qui suivent, les paramètres du circuit de la figure 3.11 sont :

- $W_1 = 1 \mu m$
- $L_1 = 120 nm$
- $W_{diode} = 1 \mu m$
- $L_{diode} = 120 nm$
- $W_{pola} = 10 \mu m$
- $L_{pola} = 120 nm$
- $V_{pola} = 600 mV$
- $Fréquence = 2.7 GHz$

La largeur $W1$, la tension V_{pola} et la longueur des transistor⁶, qui est fixée à la valeur minimum qui est permise par le procédé, sont déterminées en fonction de l'article [24]. Les autres largeurs sont établies pour que la tension $V1$ soit environ 600 mV.

Les observations suivantes montrent seulement certaines tendances. Une étude plus exhaustive limiterait les analyses à une seule variation à la fois.

L'effet de la variation de la largeur de T5 sur la tension $V1$ est illustré à la figure 3.12. Les droites sont semblables mais avec une composante de tension continue différente. La pente de la droite lorsque la largeur de T5 (W_{pola}) est $19 \mu\text{m}$ est différente, car l'impédance de T5 vue par T1 devient plus grande lorsque $V1 - V_{dd}$ s'approche de V_{th} . Lorsque R_{charge} augmente, l'effet de la puissance mesurée sur la tension $V1$ est plus important.

L'effet de la variation de la largeur de T5 sur le courant qui circule dans le drain de T1 est illustré à la figure 3.13. Lorsque la largeur de T5 augmente, le niveau de courant continu de I_{D1} augmente sensiblement. Cet effet est dû à la modulation de canal causée par l'augmentation de la tension drain-source de T1 (V_{DS1}).

L'effet de la variation de la largeur de T1 sur la tension $V1$ est illustré à la figure 3.14. Les droites sont semblables avec un niveau de tension de polarisation différent. L'effet de l'augmentation de R_{charge} , quand $V1$ augmente, est moins prononcé que dans le cas précédent puisque le courant devient moins important lorsque la largeur de T1 ($W1$) diminue. Les deux effets combinés s'annulent.

L'effet de la variation de la largeur de T1 sur le courant I_{D1} est illustré à la figure 3.15. Les droites ont des pentes et des niveaux de courant continu qui augmentent si la largeur de T1 ($W1$) augmente. Cet effet corrobore l'équation 3.11.

6. Une longueur plus grande pourrait éliminer les effets de modulation de canal.

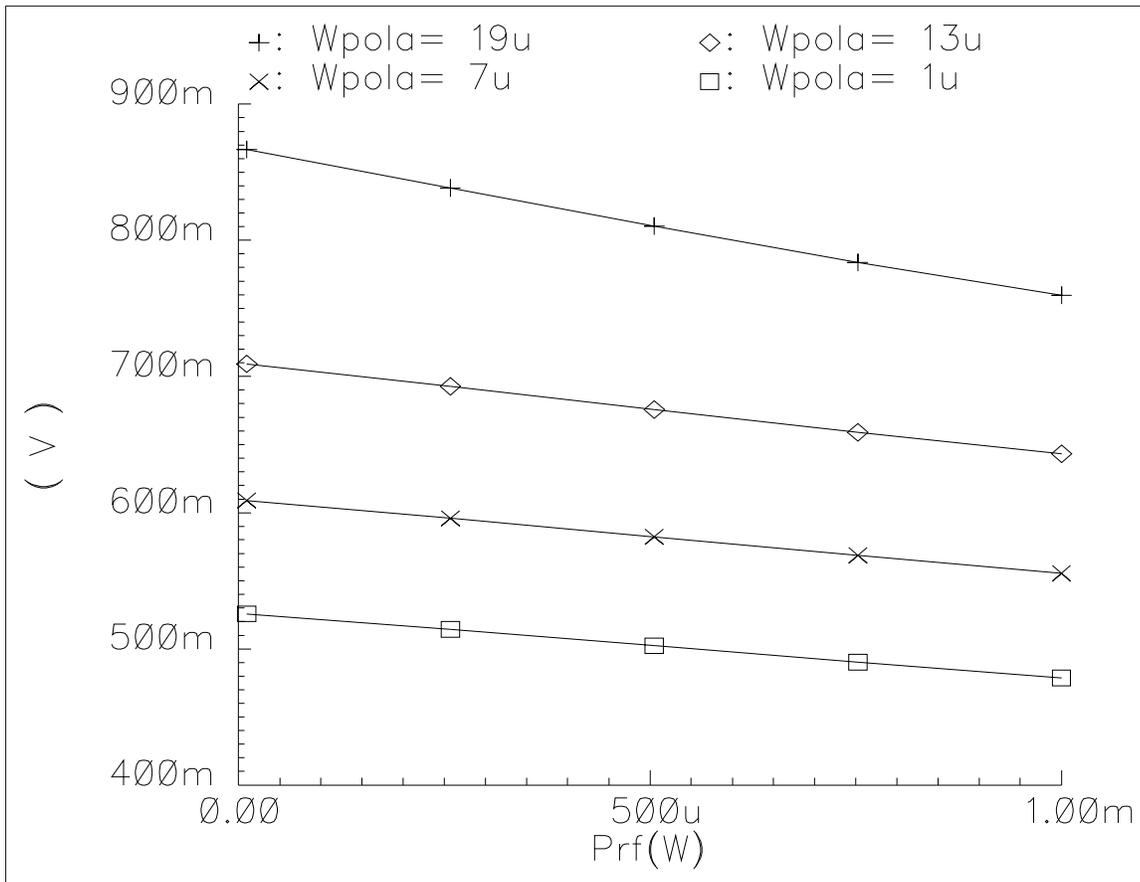


Figure 3.12 Tension V_1 en fonction de la puissance mesurée pour quelques largeurs du transistor T5 (W_{pola}).

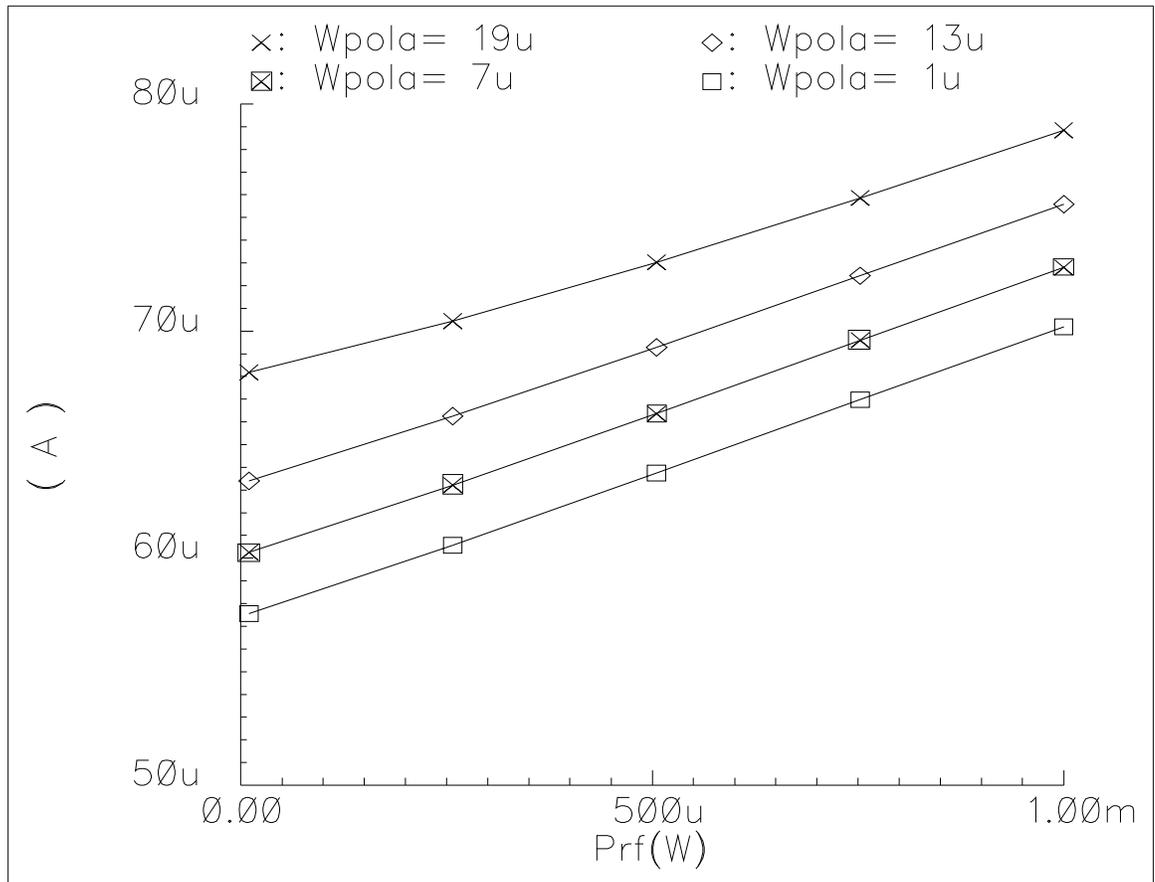


Figure 3.13 Courant I_{D1} en fonction de la puissance mesurée pour quelques largeurs du transistor T5 (W_{pola}).

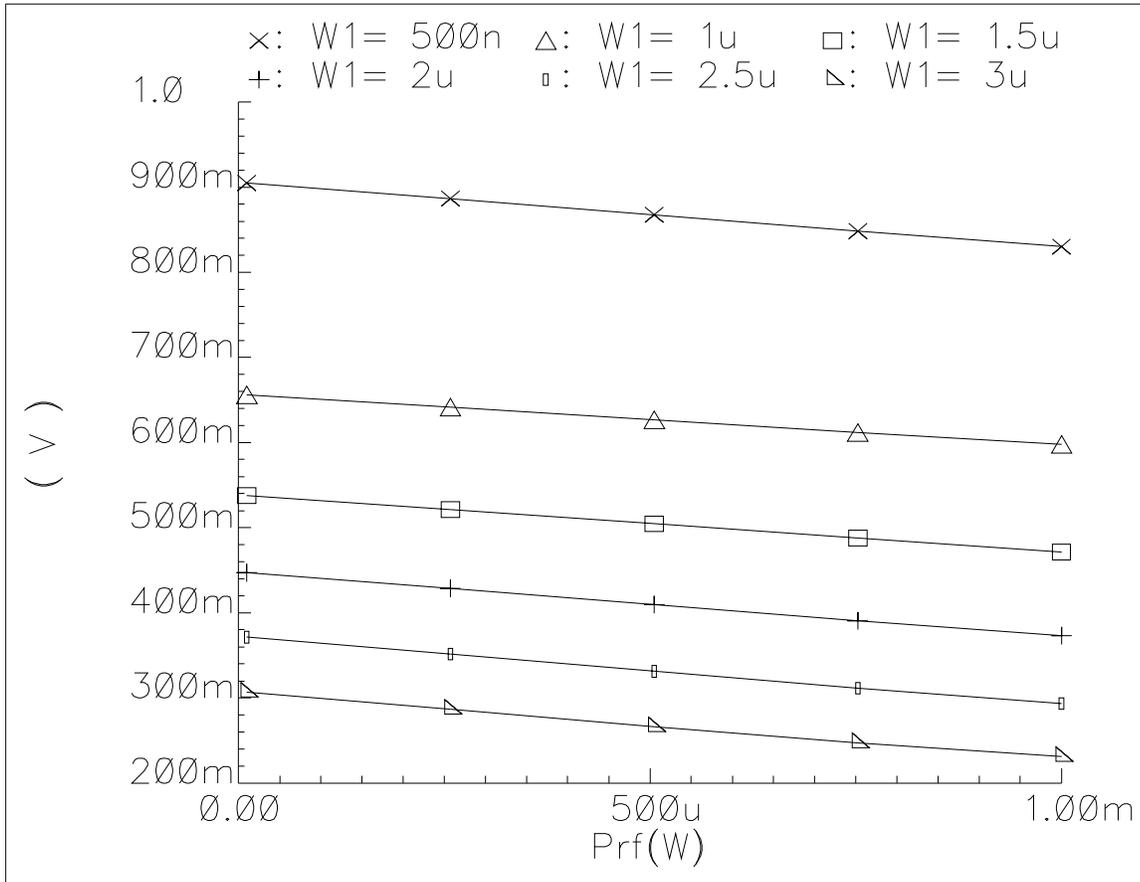


Figure 3.14 Tension V1 en fonction de la puissance mesurée pour quelques largeurs du transistor T1 ($W1$).

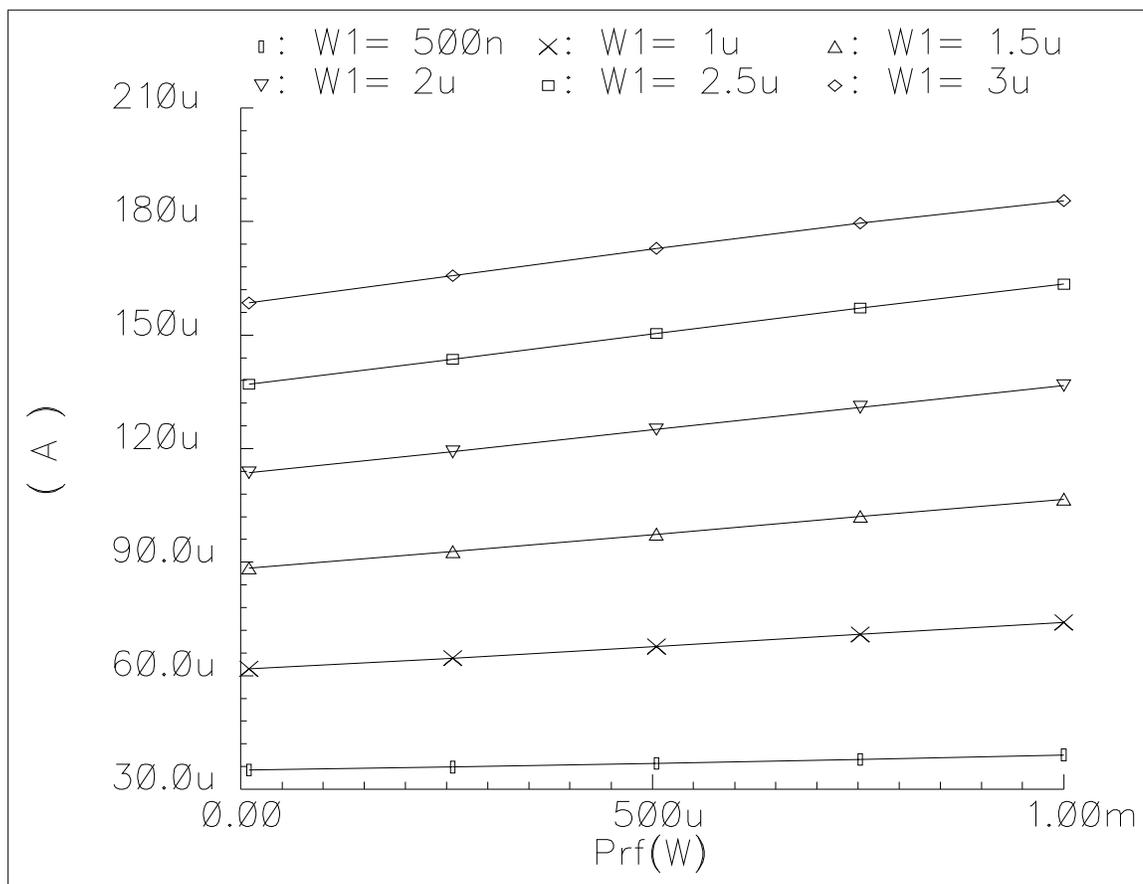


Figure 3.15 Courant I_{D1} en fonction de la puissance mesurée pour quelques largeurs du transistor T1 ($W1$).

3.7.2 Convertisseur logarithmique

Le transistor T3 de la figure 3.10 a un canal en inversion faible. Cette polarisation génère le courant de drain I_{D3} , qui varie de façon exponentielle par rapport à la tension grille-source du transistor T3 (V_{gs3}).

$$I_{D3} = I_{D0} \frac{W}{L} \exp\left(\frac{qV_{gs3}}{nkT}\right) \quad (3.16)$$

Le courant de drain d'un transistor à canal sous-inversé, en fonction de sa tension grille-source (V_{gs}), est représenté à figure 3.16, pour quelques largeurs de canal. La longueur du transistor est de 120 nm et la température est 300 K. Si V_{gs} est plus petite que la tension de seuil, alors le courant de drain (I_D) varie de façon exponentielle par rapport à V_{gs} , avec un facteur qui varie en fonction des dimensions du transistor.

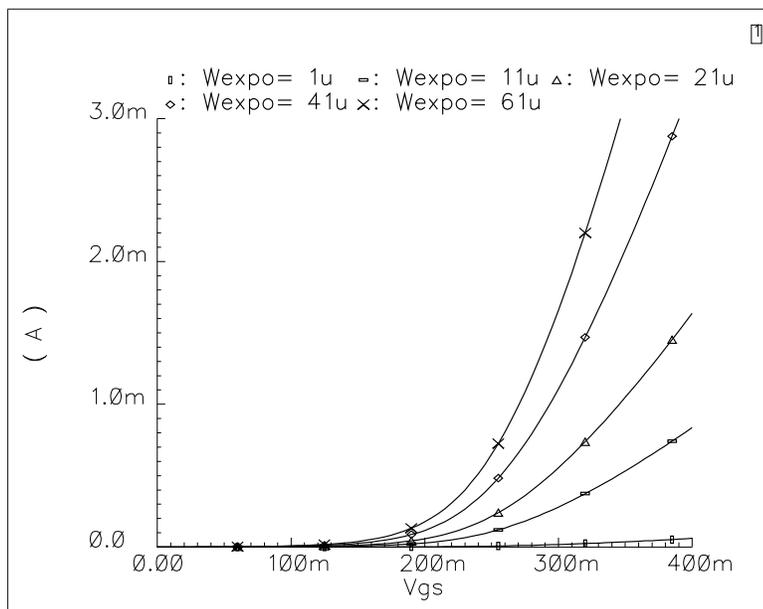


Figure 3.16 Courant de drain d'un transistor à canal sous-inversé en fonction de sa tension grille-source pour quelques largeurs de canal.

Lorsque la puissance mesurée (P_{rf}) provoque un changement du courant dans le canal de T1 (I_{D1}), l'amplificateur opérationnel change la tension V_a en réaction à la variation de la tension V_1 . Alors, le courant de drain du transistor T3 (I_{D3}), qui est transmis au nœud V_1 , par le miroir de courant T8-T9, change. Lorsque le courant qui circule dans le canal de T8 est égal à celui qui a été provoqué par le changement de P_{rf} , la tension V_1 est égale à la tension V_2 , et le détecteur retrouve son équilibre ; V_a est stable. **Comme I_{D3} varie de façon exponentielle par rapport à la tension grille-source de T3 (V_{gs3}), la tension V_a varie de façon logarithmique par rapport à une variation du courant I_{D1} .** Le miroir de courant T8-T9 peut être utilisé comme amplificateur de courant. Ainsi, il peut limiter la valeur de la tension V_a , nécessaire pour rétablir l'équilibre. L'équation 3.17 est la relation entre la tension V_a et la puissance mesurée en fonction des paramètres physiques du circuit.

$$V_a = \left(\frac{nkT}{q} \right) \ln \left(P_{rf} Z_0 \left(\frac{\mu_n C_{ox}}{4I_{D0}} \right) \left(\frac{W_1 L_8 W_9 L_3}{L_1 W_8 L_9 W_3} \right) \right) \quad (3.17)$$

I_0 et n sont des constantes, k est la constante de Boltzmann, q est la charge d'un électron, T est la température en Kelvin et Z_0 est l'impédance caractéristique de la ligne de transmission qui guide la puissance mesurée vers l'entrée du détecteur. L'effet d'une variation de P_{rf} sur la tension V_a est ajusté avec les dimensions des transistors T1, T3, T8 et T9. Bien que la température ait une influence sur V_a , cet effet pourrait être compensé avec un circuit « Bandgap » [40].

Si la tension V_{gs3} est plus grande que la tension de seuil, T3 est en saturation. Alors, au delà d'une certaine valeur du courant I_{D1} , I_{D3} ne sera plus suffisant pour maintenir la tension $V_1 \approx V_2$, et T1 devient polarisé en triode. La limite haute de V_a est atteinte lorsqu'elle est égale à la tension de seuil. Le courant de fuite de T3 impose une limite basse sur V_a . Même si V_{gs3} est 0 V, un faible courant I_{D3} change la tension V_1 . Pour que le détecteur commence à détecter, le changement de I_{D1} doit être plus grand que l'effet du courant I_{D3} de fuite.

3.7.3 Circuit de référence de tension (V_{pola})

La tension de polarisation V_{pola} est obtenue par un diviseur de tension constitué par un transistor connecté en diode et une résistance. On peut voir le circuit à la figure 3.17. Si les dimensions du transistor sont grandes, la capacité parasite entre la grille et la source du transistor effectue un découplage. Une grande résistance drain-source (r_{ds0}) limite le courant qui circule dans le circuit. L'avantage de ce circuit par rapport à un diviseur de tension constitué uniquement de résistances, est d'être moins sensible aux variations de Vdd.

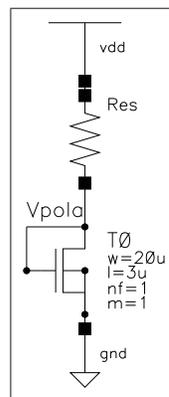


Figure 3.17 Schéma électrique du circuit de référence de tension.

Ce type de référence de tension n'est pas stable en température. Un circuit de type « Bandgap » serait plus approprié afin d'avoir une meilleure stabilité en température. Aucun circuit « Bandgap » n'est inclus dans l'IC, mais son utilisation est très répandue dans la littérature et leur fonctionnement n'est plus à démontrer. Donc son utilisation n'est pas essentielle pour la démonstration de concept dans ce travail.

Un graphique de la tension V_{pola} en fonction de la valeur de la résistance est à la figure 3.18. Plus la résistance est grande, plus la tension de référence est faible.

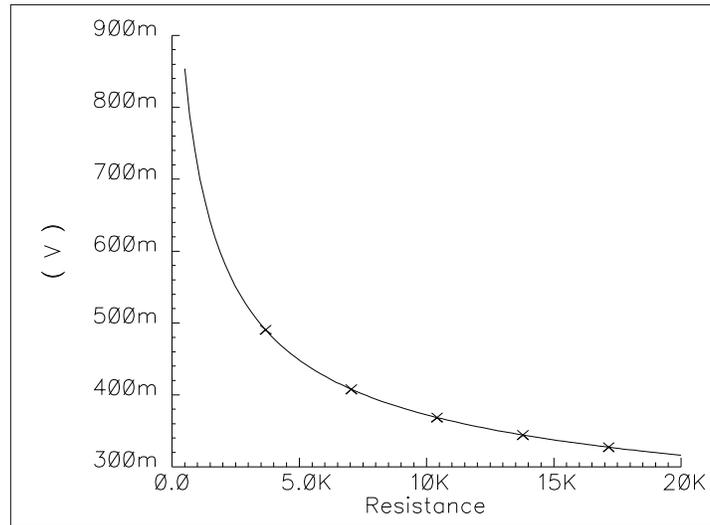


Figure 3.18 Tension V_{pola} en fonction de la valeur de la résistance.

3.7.4 Circuit de référence de courant

Les circuits de référence de courant des unités de détections sont des « *beta-multiplier* » (multiplicateurs de transconductance). Un circuit *beta-multiplier* donne la tension globale *polarisation!* à toutes les unités de détections. Chaque amplificateur opérationnel a son propre circuit de polarisation. Des miroirs de courants copient le courant de référence, avec un gain qui dépend des dimensions des transistors, afin de polariser les différents circuits.

Le circuit « *beta-multiplier* » et son circuit de démarrage sont représentés à la figure 3.19. Le circuit de démarrage démarre le circuit de référence de courant, lorsqu'il vient tout juste d'être mis sous tension, en déstabilisant un de ses deux états stables. Le circuit « *beta-multiplier* » peut se stabiliser dans deux états : lorsqu'il fonctionne avec les intensités de courants désirées, et lorsque tous les courants du circuit sont nuls. Le circuit

de démarrage prévient contre l'état où tous les courants du circuit de polarisation sont nuls.

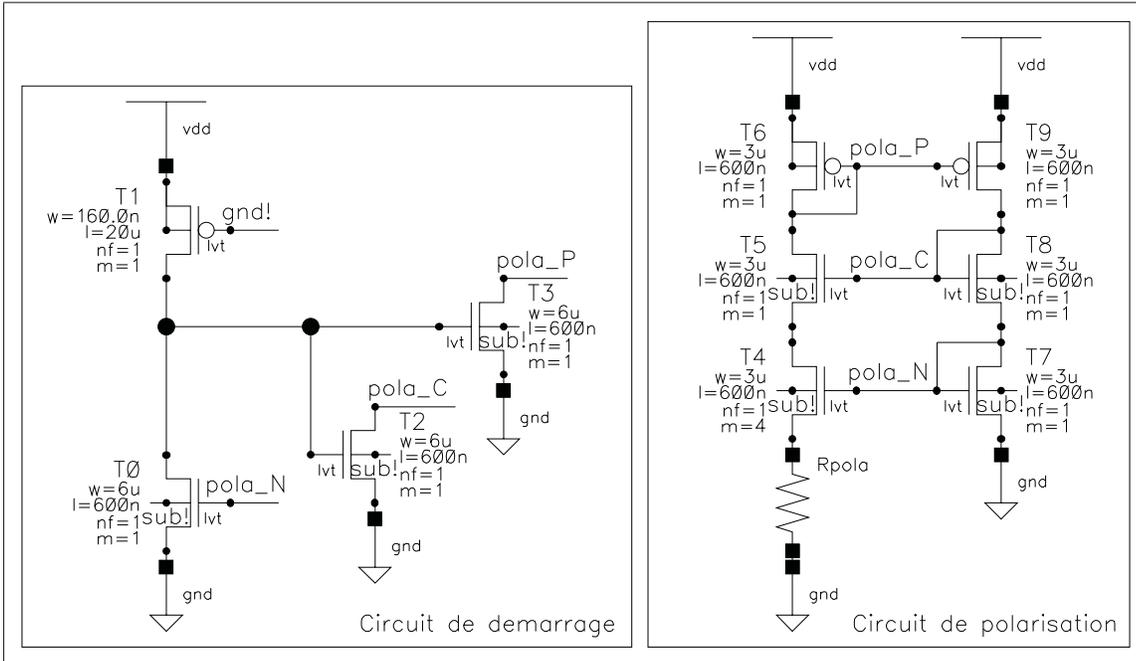


Figure 3.19 Schéma électrique du circuit de polarisation « *beta-multiplier* » et de son circuit de démarrage.
Inspirée de [40, 38]

Le transistor T1 agit comme une haute impédance pour le transistor T0. Si les courants du circuit de polarisation sont nuls, la tension $pola_N$ est nulle et T0 devient haute impédance. T1 et T0 forment alors un diviseur de tension. La tension entre le drain et la source de T0 (V_{DS0}) est approximativement la moitié de la tension d'alimentation V_{dd} . Cette tension est égale à la tension entre la grille et la source de T2 (V_{GS2}) et de T3 (V_{GS3}). Elle est suffisante pour que T2 et T3 conduisent. Ces deux transistors démarrent alors la boucle de rétroaction du circuit « *beta-multiplier* ». Lorsque le circuit de référence de courant est à un état stable autre que celui où tous ses courants sont nuls, T0 est basse impédance et T2-T3 sont haute impédance. Les dimensions de T0 sont sélectionnées pour que le courant I_{D0} soit minimum et pour que la tension V_{DS0} , lorsque T0 conduit,

soit plus petite que la tension de seuil. Il faut que T0 soit en triode, pour que la tension V_{DS0} soit plus petite que V_{th} , et que le transistor éteigne le circuit de démarrage. Pour que T1 laisse passer le moins de courant possible, il faut maximiser sa longueur et minimiser sa largeur. Le courant que laisse passer T1 lorsque T0 conduit détermine la consommation statique de puissance du circuit de démarrage.

Les tensions dans le circuit « *beta-multiplier* » lors du démarrage sont illustrées à la figure 3.20. La tension V_{dd} passe de 0 V à 1.2 V en 50 μ s. Les tensions $pola_P$, $pola_C$ et $pola_N$ passent de 0 V à leurs valeurs de fonctionnement normal. La valeur de la résistance R_{pola} utilisée dans cette simulation est 5 k Ω .

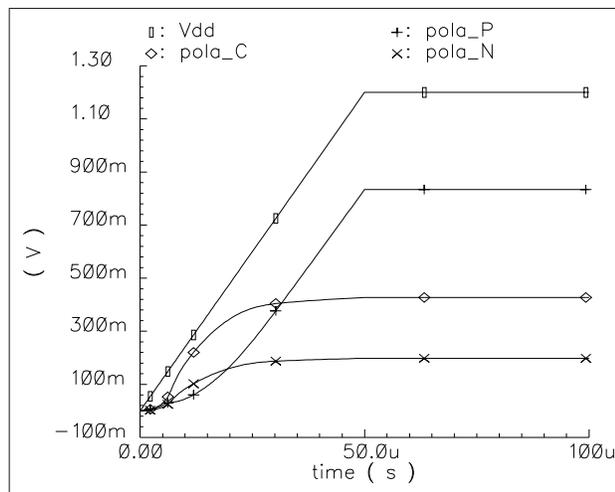


Figure 3.20 Tensions dans le circuit « *beta-multiplier* » lors du démarrage.

Le circuit de polarisation de la figure 3.19 est autorégulé à l'aide de contre-réactions [40, 38]. Il a une grande robustesse aux variations de tension d'alimentation et de température. La transconductance des transistors de ce circuit est contrôlée par la valeur de la résistance R_{pola} . Comme $(W/L)_6$, le rapport largeur sur longueur de T6, est égale à $(W/L)_9$, le rapport largeur sur longueur de T9, et que les grilles de T6 et T9 sont liées, on assume que le courant est le même dans les deux branches du circuit. Ainsi, en sta-

bilisant la transconductance d'un des transistors, les transconductances de l'ensemble des transistors sont stabilisées.

$$g_m = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right) I_D} \quad (3.18)$$

g_m est la transconductance d'un transistor et I_D est le courant qui circule dans le canal du transistor.

Pour le cas particulier où

$$(W/L)_4 = 4(W/L)_7 \quad (3.19)$$

On a

$$g_{m4} = 2g_{m7} \quad (3.20)$$

Comme les courants dans les deux branches du circuit sont égaux

$$V_{gs7}g_{m7} = (V_{gs7} + R_{pola}V_{gs7}g_{m7}) 2g_{m7} \quad (3.21)$$

Ainsi, la transconductance de T7 est

$$g_{m7} = \frac{1}{R_{pola}} \quad (3.22)$$

Dans le circuit de la figure 3.19, $(W/L)_4$ est égale à $4(W/L)_7$, puisque le facteur de multiplicité (m), indique la quantité de transistors identique en parallèle qui forment le transistor effectif. L'équation 3.22 ne tient pas compte des effets de second ordre⁷.

Le courant des branches du circuit de polarisation est illustré à la figure 3.21. Plus la résistance R_{pola} est grande, moins que le courant I_{pola} est important. Les résistances R_{pola} , des circuits « *beta-multiplier* » réalisés dans l'IC, sont ajustées à 5 kΩ, le courant correspondant est 14.22 μA.

7. Les effets de second ordre sont la modulation de canal et l'effet de corps (« body effect »).

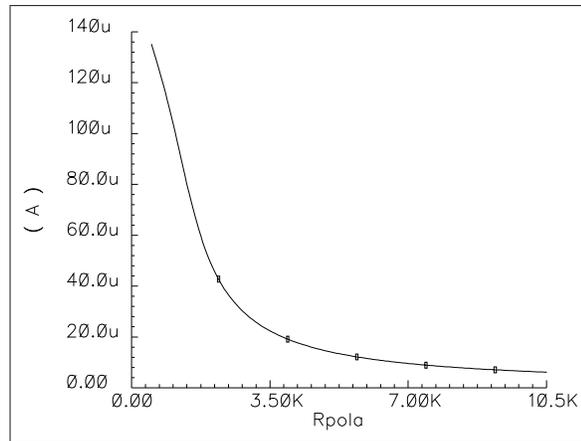


Figure 3.21 Courant de polarisation en fonction de la résistance R_{pola} .

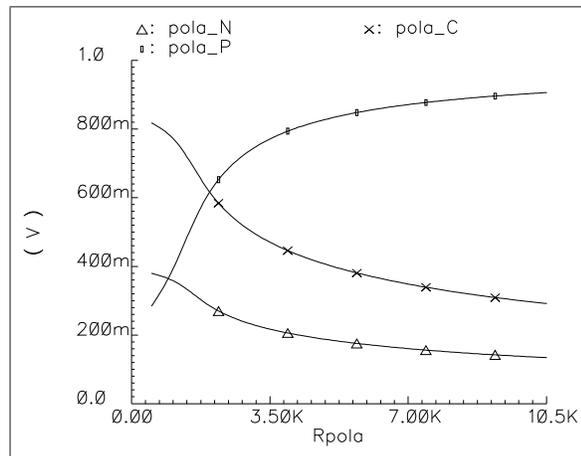


Figure 3.22 Tensions de polarisation en fonction de la résistance R_{pola} .

Les tensions dans le circuit de référence de courant en fonction de la valeur de la résistance R_{pola} sont illustrées à la figure 3.22. Pour une valeur de R_{pola} de 5 k Ω , $pola_P$ est 830.8 mV, $pola_C$ est 402.9 mV et $pola_N$ est 185.8 mV. La tension globale *polarisation!* est $pola_P$.

3.7.5 Amplificateur opérationnel (A1)

L'amplificateur opérationnel du convertisseur logarithmique compare les tensions V1 et V2, du détecteur de puissance linéaire en watt, afin de déterminer si la tension Va représente le logarithme de la puissance mesurée (voir figure 3.10). Les principales caractéristiques recherchées pour cet amplificateur sont : un grand gain différentiel, un faible bruit référé à l'entrée de l'amplificateur et une faible consommation de puissance. La fréquence de coupure de l'amplificateur opérationnel limite la fréquence à laquelle la puissance mesurée peut changer. Plus le gain est élevé, et moins le bruit est important, plus l'unité de détection de puissance est sensible à une faible variation de la puissance mesurée.

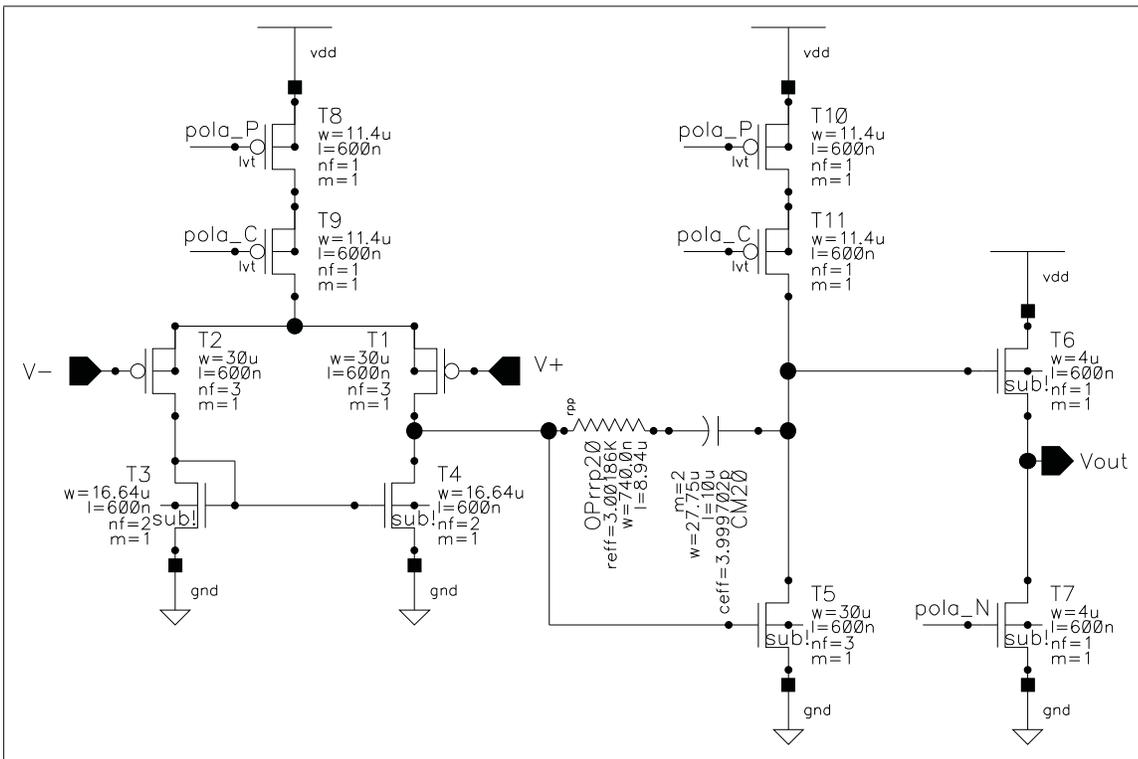


Figure 3.23 Schéma électrique de l'amplificateur opérationnel.
Inspirée de [38]

Le schéma électrique de l'amplificateur opérationnel est montré à la figure 3.23. Les tensions $pola_P$, $pola_C$ et $pola_N$ sont fournies par un circuit « *beta-multiplier* » (voir la section 3.7.4). L'amplificateur opérationnel a deux étages d'amplification. Le premier étage est une paire différentielle constituée par T1-T2. Le second étage est le transistor connecté en source commune T5. Le suiveur de sortie permet de conserver le gain, même si une charge importante est utilisée⁸.

Le bruit référé à l'entrée de l'amplificateur opérationnel indique à partir de quelle amplitude le signal d'entrée sera perçu comme du bruit à la sortie. Le bruit dans un circuit CMOS a deux principales composantes : le bruit thermique et le bruit $1/f$. Le bruit thermique est un bruit blanc. Le bruit $1/f$ est important en basse fréquence et devient peu significatif, comparé au bruit thermique, en haute fréquence. Le bruit $1/f$ est une contrainte, car les tensions observées par l'amplificateur opérationnel sont à basse fréquence. Dans un transistor MOS, ce bruit peut être modélisé par une source de tension, en série avec la grille du transistor affecté par le bruit. Le bruit $1/f$ varie approximativement selon cette relation dans une bande de fréquence de 1 Hz [27] :

$$\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} \quad (3.23)$$

K est un paramètre dépendant du procédé. Les dimensions du transistor sont augmentées pour réduire le bruit $1/f$.

Le bruit référé à l'entrée de l'amplificateur opérationnel est à la figure 3.24. Une variation de la tension DC à l'entrée plus petite que $5 \mu\text{V}$ n'est distinguée du bruit à la sortie. Les transistors qui ont le plus d'effet sur le bruit sont T1 et T2, puisque leur effet est ensuite amplifié par T5. Par conséquent, ces transistors ont des dimensions importantes.

8. Une charge importante peut être une résistance ou une capacité considérable. La capacité grille-source du transistor T3 représente une charge capacitive importante.

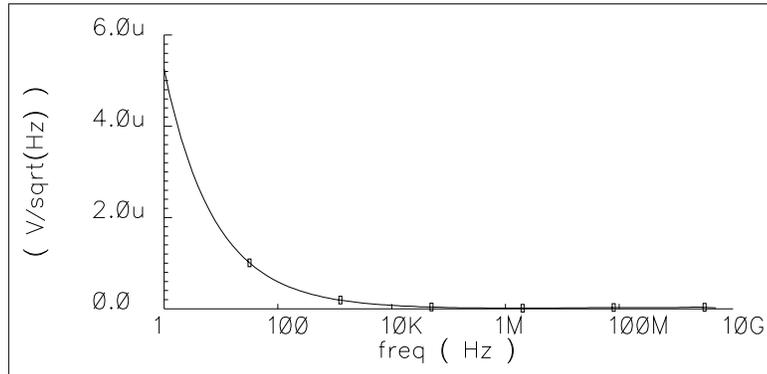


Figure 3.24 Simulation du bruit référencé à l'entrée « - » de l'amplificateur opérationnel en fonction de la fréquence. Une tension DC de 600 mV est appliquée à l'entrée « + » de l'amplificateur.

La paire différentielle, composée par les transistors T1 et T2, amplifie la différence entre les tensions V_+ et V_- . Le miroir de courant T3-T4 augmente l'effet de la paire différentielle en modifiant son impédance de sortie. Le gain A_1 de la paire différentielle est [38] :

$$A_1 = -g_{m1}Z_{out1} \quad (3.24)$$

g_{m1} est la transconductance de T1 et Z_{out1} est l'impédance de sortie de la paire différentielle.

$$Z_{out1} = r_{ds1} \parallel r_{ds4} \parallel \frac{1}{sC_{eq}} \quad (3.25)$$

r_{ds1} est la résistance entre le drain et la source de T1, r_{ds4} est la résistance entre le drain et la source de T4 et C_{eq} est une capacité approximative selon le théorème de Miller⁹.

Le transistor T5 est connecté en source commune. Le gain A_2 de ce second étage d'amplification est :

$$A_2 = -g_{m5}Z_{out5} \quad (3.26)$$

g_{m5} est la transconductance de T5 et Z_{out5} est l'impédance de sortie de l'étage d'amplification. Les sources de courant des deux étages d'amplification utilisent le principe

9. La capacité de Miller est une approximation de l'effet de la capacité C_{M20} en tenant compte de l'amplification du signal par T5.

plus basse fréquence, la marge de phase est augmentée. La valeur de CM20 est déterminée en fonction de la transconductance de T1 (g_{m1}) et de la fréquence de gain unitaire désirée (f_u)¹¹.

$$CM20 = \frac{1}{2\pi} \frac{g_{m1}}{f_u} \quad (3.28)$$

Un zéro dans le demi-plan complexe droit dans le diagramme des lieux des racines de la fonction caractéristique peut causer une oscillation [38]. La résistance OPrrp20 déplace ce zéro vers le demi-plan gauche. Si $1/OPrrp20$ est plus grand que la transconductance de T5 (g_{m5}), alors l'effet du premier pôle non dominant est annulé. L'effet de la compensation sur la phase est illustré à la figure 3.26. La marge de phase est de 99.2° .

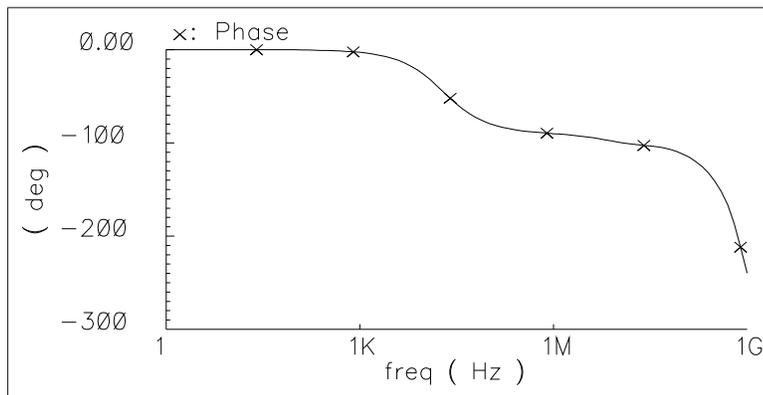


Figure 3.26 Phase de l'amplificateur opérationnel en fonction de la fréquence.

Un compromis entre la consommation en puissance et la pente maximum de la tension de sortie (SR, « Slew Rate »), détermine le courant de polarisation de l'amplificateur. Plus le courant de polarisation est grand, plus la consommation de puissance est importante. Le temps de réponse de la tension entre la grille et la source de T5 (V_{gs5}) est

11. En faisant l'approximation d'un système de premier ordre

déterminé par le temps de charge/décharge du condensateur CM20 [38].

$$SR = \frac{2I_{d1,2}}{CM20} \quad (3.29)$$

La valeur du condensateur CM20 est fixée pour avoir une bonne marge de phase. Le courant de polarisation est établi en fonction de la consommation maximale de puissance qui peut être attribuée à l'amplificateur opérationnel, et de la pente de la tension de sortie maximum nécessaire au bon fonctionnement du circuit.

3.7.6 Amplificateur de redressement du niveau zéro (A2)

L'amplificateur de redressement du niveau zéro est un transistor suiveur de source, avec une charge active. Son schéma électrique est montré à la figure 3.27. Son gain est presque unitaire. Le niveau continu de la sortie (Y_{dc}) est dépendant des dimensions du transistor T1, des dimensions du transistor T2, ainsi que des tensions de polarisation.

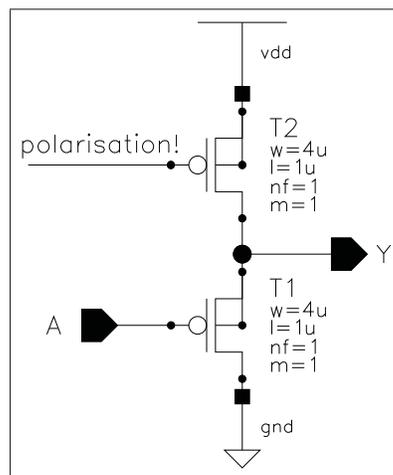


Figure 3.27 Schéma électrique de l'amplificateur de redressement du niveau zéro.

Comme T1 est un PMOS en saturation [27] :

$$Y_{dc} = \frac{\mu_p C_{ox} W}{2 L} (Y_{dc} - A_{dc} - |V_{thp}|)^2 Z_{out} \quad (3.30)$$

A_{dc} est le niveau continu de l'entrée et Z_{out} est l'impédance de la sortie de l'amplificateur.

$$Z_{out} = \frac{1}{g_{m1}} \|r_{ds1}\| r_{ds2} \quad (3.31)$$

La tension Y_{dc} peut être ajustée en modifiant Z_{out} , avec les dimensions de T2, ou en modifiant Z_{out} et le courant qui circule dans le canal du transistor T1 (I_{D1}), en variant les dimensions de T1.

3.8 Dimensionnement des unités de détection

Le tableau 3.1 donne les dimensions des éléments des unités de détection. Les dimensions des transistors sont en format W/L . Le facteur de multiplicité¹² m est 1 si rien n'est mentionné à ce sujet.

Tableau 3.1 Dimensions des éléments des trois unités de détection

	Det1	Det2	Det3
T1,T2	$1\mu/300n$	$800n/300n$	$10\mu/120n$
T3	$50.04\mu/120n$	$30\mu/120n$	$1\mu/120n$
T4,T7	$600n/1\mu$	$600n/1\mu$	$600n/1\mu$
T5,T6	$13.04\mu/600n$	$3.23\mu/1\mu$	$10.3\mu/1\mu, m = 3$
T8	$600n/600n$	$300n/240n$	$300n/10\mu$
T9	$600n/600n$	$300n/240n$	$300n/240n$
C1	$3pF$	$3pF$	$3pF$
C2	$1pF$	–	–
L1	$28.382nH$	$34.009nH$	$49.936nH$
R1	50Ω	50Ω	50Ω

12. Le facteur de multiplicité m indique le nombre de transistors identiques mis en parallèle, qui constituent le transistor effectif. La largeur effective est la largeur d'un transistor multipliée par m .

Les éléments des unités de détection ont des dimensions différentes, pour détecter des niveaux de puissance différents, tout en conservant un temps de réponse raisonnable. Ces dimensions sont déterminées à l'aide des simulations, et de l'analyse des circuits présentés précédemment.

3.8.1 Circuit de simulation

Le circuit de simulation de l'IC est à la figure 3.28. Le banc de test du circuit réalisé est inspiré de ce circuit. La source de tension (V_{alim}) de 1.2 V fournit la puissance d'alimentation. Les résistances R5-R8 ont une valeur de 1 M Ω pour simuler l'impédance d'entrée des équipement de mesures. Le signal RF à mesurer est fourni par P_{source} . Le bloc «ligneTransmission» représente la ligne de transmission qui lie le circuit intégré au générateur de signaux. Cette ligne de transmission est modélisée avec le logiciel ADS de Agilent. Le modèle est importé dans CADENCE sous forme de paramètres S.

La figure 3.29 est le schéma du premier niveau du circuit intégré. Les références de tension (V_{pola}) des unités de détection Det1, Det2 et Det3 sont obtenues à l'aide des circuits composés des transistors T1-T3 et des résistances R1-R3. La résistance R4 (R_{pola}) ajuste la référence de courant du circuit de polarisation « *beta-multiplier* ». Ce circuit donne la tension globale *polarisation!*. Durant les simulations, la valeur de R1 est 3 k Ω et la valeur de R2-R4 est 5 k Ω . C0-C2 sont des condensateurs de découplage.

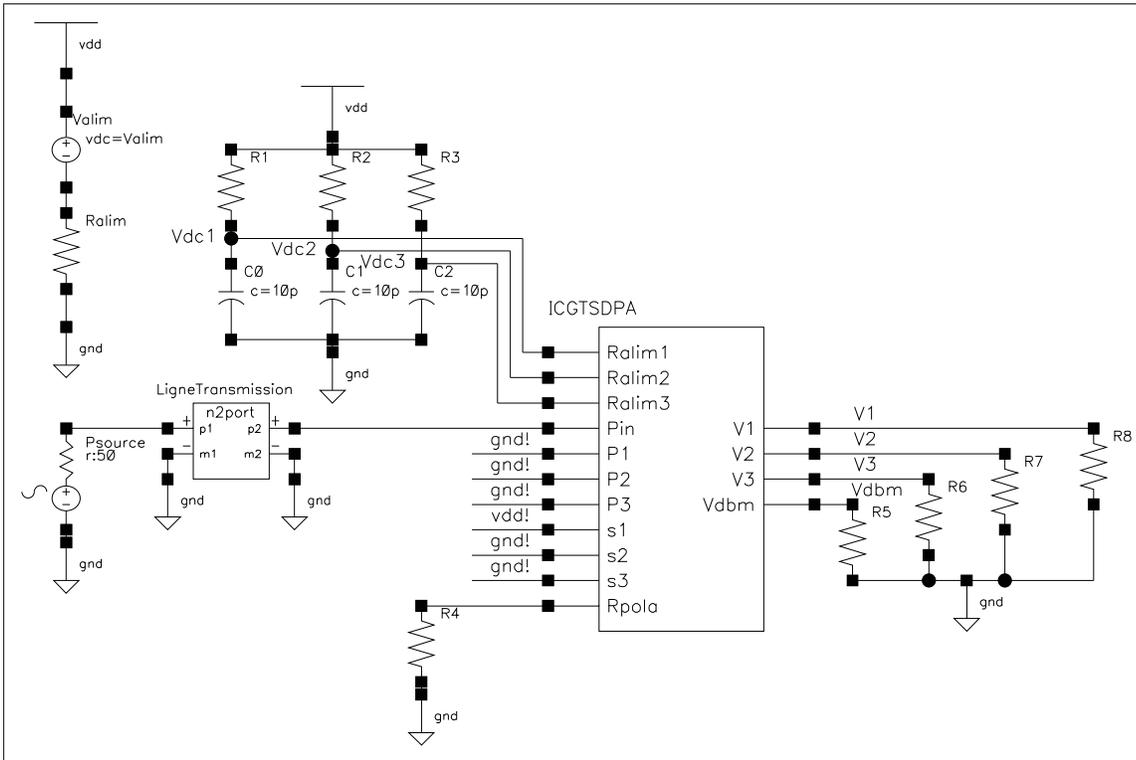


Figure 3.28 Circuit de simulation.

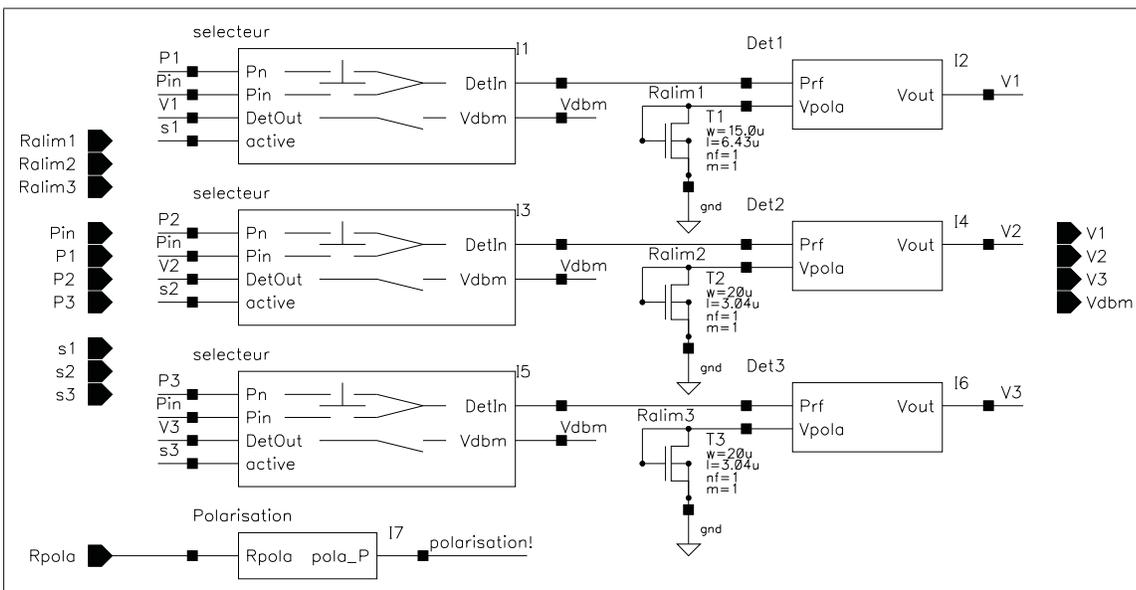


Figure 3.29 Schéma du premier niveau du détecteur de puissance (ICGTSDPA).

3.8.2 Zone de détection

Une façon d'ajuster la zone de détection est de varier le gain des unités de détection. L'équation 3.17 est répétée par commodité.

$$V_a = \left(\frac{nkT}{q} \right) \ln \left(P_{rf} Z_0 \left(\frac{\mu_n C_{ox}}{4I_{D0}} \right) \left(\frac{W_1 L_8 W_9 L_3}{L_1 W_8 L_9 W_3} \right) \right) \quad (3.32)$$

Le gain de conversion RF à tension d'une unité de détection peut être modifié avec les dimensions des transistors T1, T3 et du miroir de courant T8-T9.

L'unité de détection Det1 détecte les niveaux de puissance les plus élevés de la plage dynamique couverte par le détecteur. Le gain de Det1 est faible. $(W/L)_{1,2}$ est petit et $(W/L)_3$ est grand. Les dimensions des transistors T4-T7 sont choisies pour que la tension en mode commun V2 (voir figure 3.10) soit 600 mV. La figure 3.30 est la simulation des trois unités de détection. Le signal P_{source} est un sinus à 800 MHz. Le signal est appliqué à l'entrée P_{in} . La réponse est lue à la sortie V_{dbm} . La plage dynamique de Det1 s'étend de -20 dBm à -8 dBm.

Det2 détecte les niveaux de puissance dans la zone centrale de la plage dynamique du détecteur de puissance distribué. Le gain est augmenté par rapport à celui de Det1 en réduisant $(W/L)_3$. La plage dynamique de Det2 s'étend de -28 dBm à -10 dBm.

Det3 détecte les niveaux de puissance les plus faibles de la plage dynamique couverte par le détecteur de puissance. Le gain de Det3 est augmenté par rapport à celui de Det2 en réduisant $(W/L)_3$, en augmentant $(W/L)_{1,2}$, et en augmentant le gain du miroir de courant $(L_8 W_9) / (W_8 L_9)$. Il n'est pas trivial d'augmenter le gain de l'unité de détection avec T1, car la capacité grille-source de T1 (C_{gs1}) varie proportionnellement en fonction des dimensions du transistor. Cette capacité parasite détériore le gain du transistor à haute fréquence en filtrant le signal RF. La plage dynamique de Det3 s'entend de -46 dBm à -28 dBm.

La plage dynamique totale du détecteur de puissance qui s'étend de -46 dBm à 2 dBm, est 48 dB.

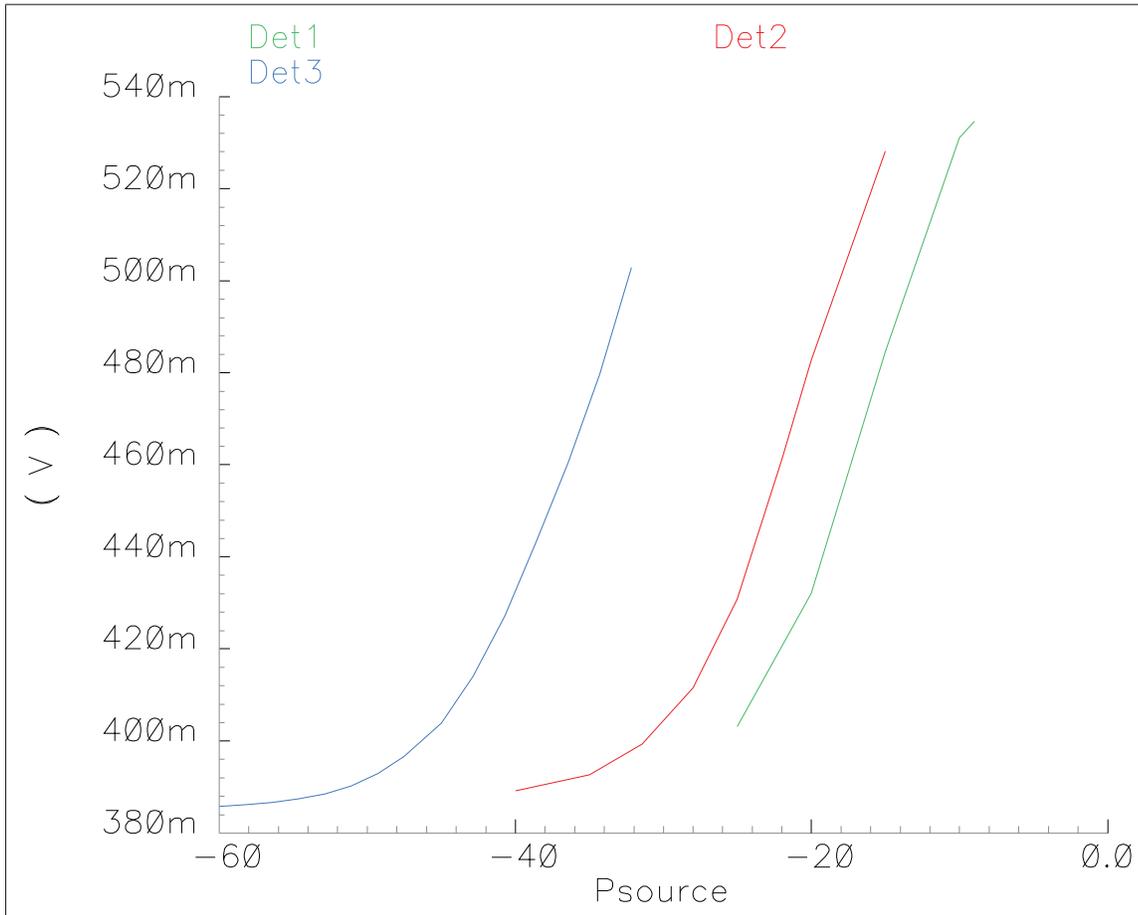


Figure 3.30 Plage dynamique des unités de détection à une fréquence de 800 MHz.

3.8.3 Temps de réponse des unités de détection

Le temps de réponse n'est pas le même pour chaque unité de détection puisque les dimensions des éléments sont différentes d'une unité à l'autre. La figure 3.31 montre le temps de réponse de la sortie V_{dbm} pour une valeur de puissance dans la zone centrale de la plage dynamique. Pour l'unité de détection Det1, lorsque la puissance mesurée

est un échelon de -15 dBm, la sortie V_{dbm} est stabilisée en $6 \mu s$. Dans cette simulation, la charge de V_{dbm} est résistive. Le temps de réponse serait plus grand, avec une charge qui a une composante capacitive.

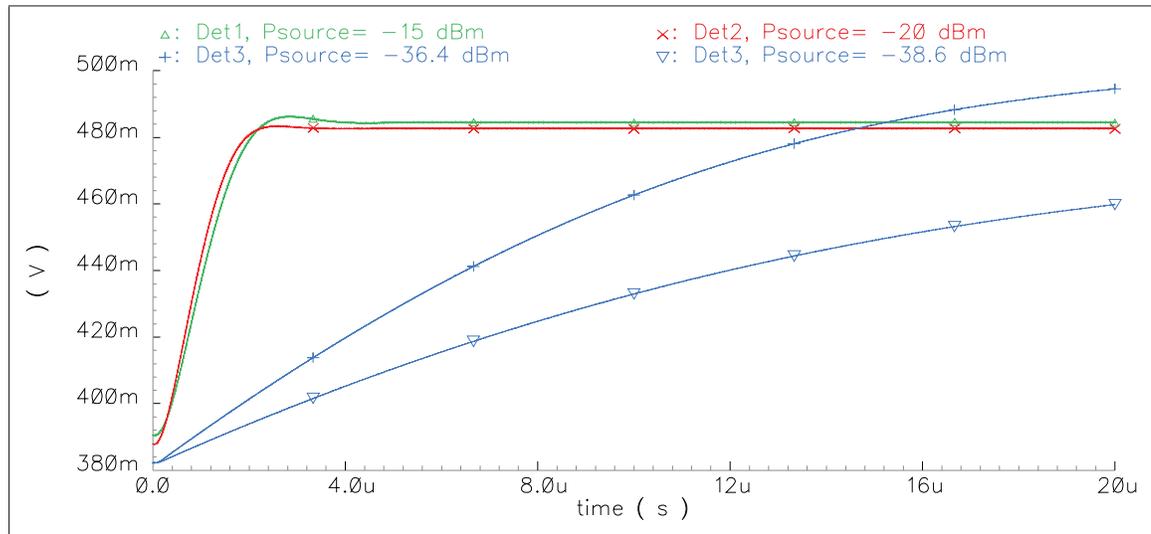


Figure 3.31 Simulation du temps de réponse de la sortie V_{dbm} quand le niveau de la puissance détectée est situé dans le centre de la zone de détection de chaque unité de détection.

Pour l'unité de détection Det2, la largeur de T1 et les dimensions du miroir de courant T8-T9 sont réduites pour que le temps de réponse de l'unité de détection soit comparable à celui de Det1. En réduisant le gain de T1, on diminue le courant différentiel qui doit être compensé par T3. Des dimensions de T8-T9, on diminue la quantité de charges qui doivent être déplacées par T3 pour charger ou décharger la capacité grille-source de T9 (C_{gs9}). Puisque C_{gs9} est plus petite, moins de charges sont nécessaires pour atteindre la tension grille-source de T9 (V_{sg9}) qui correspond à un circuit en équilibre. Le temps de réponse pour une puissance de -20 dBm, qui est située dans la zone centrale de la plage dynamique de Det2, est plus petit que $6 \mu s$.

Le temps de réponse pour deux puissances dans la zone centrale de la plage dynamique de Det3, -36.4 dBm et -38.6 dBm, est beaucoup plus long que ceux des deux

autres unités de détection. Le faible courant dans le drain de T3 et la grande capacité grille-source de T8, sont les principaux responsables de ce grand temps de réponse.

La capacité C2 est inexistante pour Det2 et Det3. Le condensateur n'est pas nécessaire pour ces unités de détection, car les capacités parasites du circuit filtrent suffisamment les signaux RF au niveau de puissances détectées par Det2 et Det3. Cette capacité supplémentaire aurait augmenté le temps de réponse des deux unités de détection.

3.8.4 Effet de la fréquence du signal RF

L'effet de la fréquence du signal RF détecté est principalement causé par la capacité parasite entre la grille et la source du transistor T1 (C_{gs1}). Plus la fréquence augmente, plus le signal est filtré. Les caractéristiques de transfert des unités de détection, lorsque la fréquence de P_{source} est 800 MHz et 2.7 GHz, sont illustrées à la figure 3.32. L'augmentation de la fréquence de P_{source} , déplace la plage dynamique d'une unité de détection vers de plus hautes puissances.

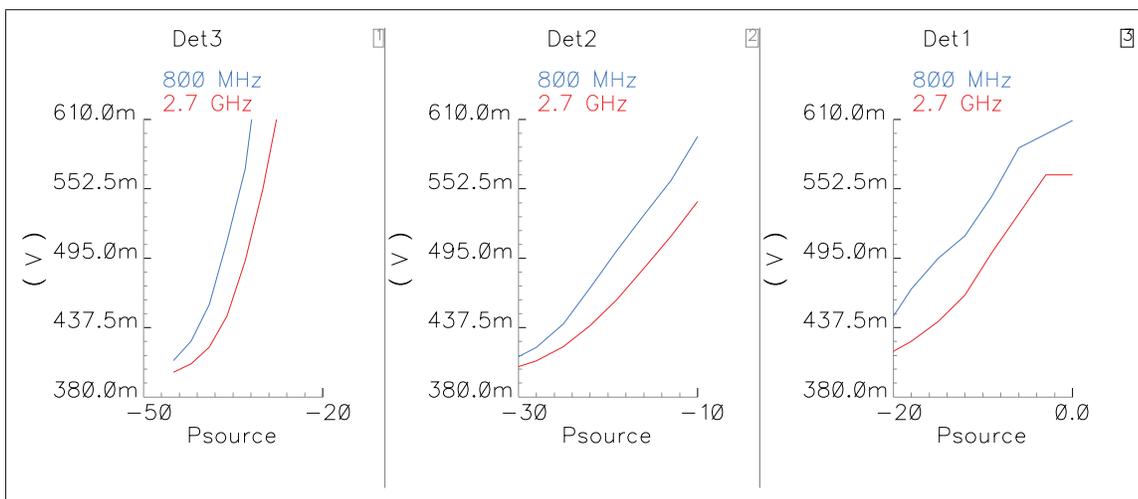


Figure 3.32 Effet d'un changement de fréquence sur la caractéristique de transfert des unités de détection.

3.8.5 Consommation de puissance du circuit intégré

La polarisation des transistors est responsable d'une grande partie de la consommation de puissance. La tension d'alimentation est fixe à 1.2 V. Pour trouver la puissance consommée, la tension d'alimentation est multipliée par le courant RMS qui circule dans le circuit. Plus l'intensité du courant est grande, plus le circuit consomme de la puissance.

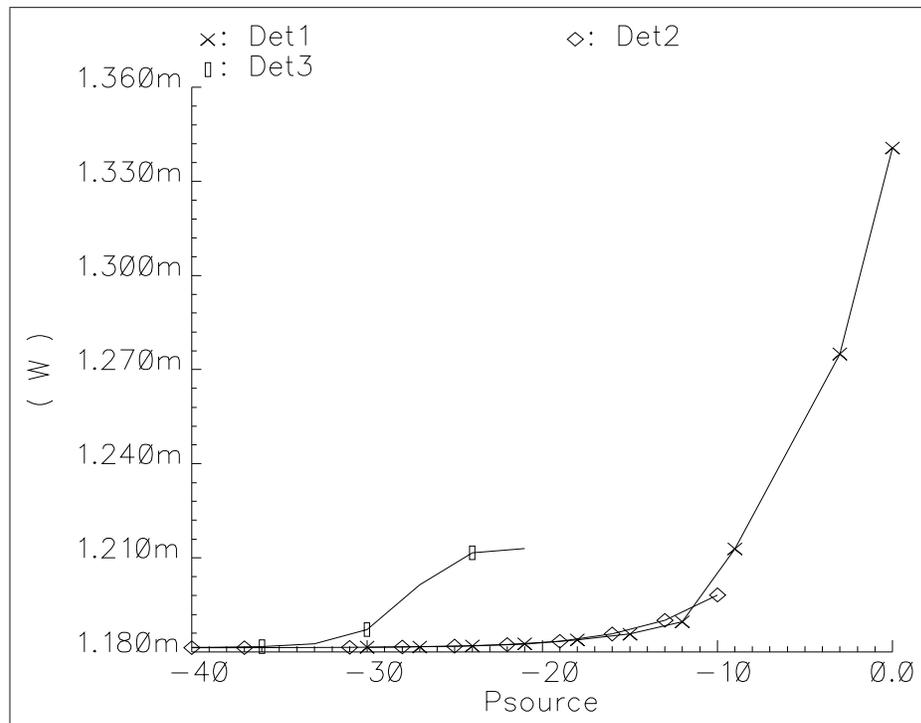


Figure 3.33 La puissance consommée par le détecteur en fonction de la puissance détectée et de l'unité de détection utilisée.

La figure 3.33 est un graphique de la consommation de puissance en fonction de la puissance détectée. Si aucune puissance n'est détectée, alors le circuit consomme 1.18 mW. Cette puissance polarise le circuit intégré. Quand la puissance détectée augmente, l'intensité du courant dans le circuit augmente. La puissance consommée chute,

si on passe d'une unité de détection à une autre, qui détecte des niveaux de puissance plus élevés. La puissance consommée maximum est 1.35 mW.

Comme il a été dit à la sous-section 3.3.2, la consommation de puissance statique des unités de détection est une grande partie de la consommation de puissance du détecteur de puissance distribué. Dans [41], un ADC réalisé en CMOS 0.13 μm consomme une puissance de 2 μW , ce qui n'est pas significatif comparé au 1.35 mW consommé par la partie analogique du détecteur distribué. Le taux de conversion de l'ADC est 100000 échantillons par seconde.

3.8.6 Effet de la température

Bien qu'aucune compensation de la température n'est implémentée dans le circuit, il est important de vérifier son effet sur les performances du circuit. De ces observations, une compensation pourra être développée dans une prochaine itération.

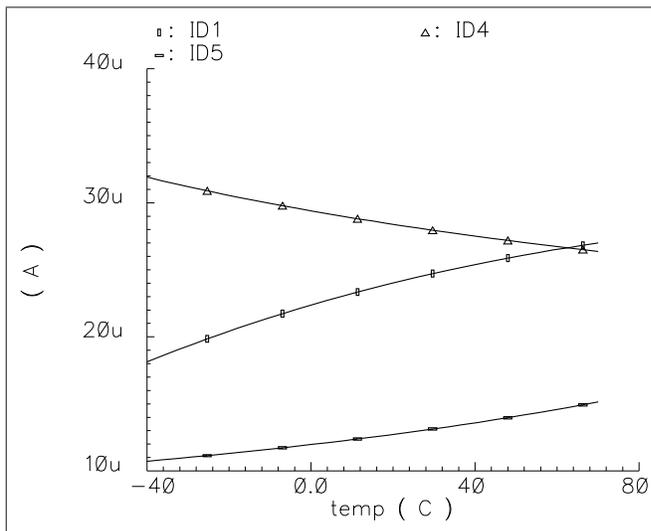


Figure 3.34 Effet de la température sur le courant de drain des transistors T1, T4 et T5.

La figure 3.34 illustre l'effet de la température, sur le courant de drain des transistors T1, T4 et T5. T1 est un nMOS en saturation. Sa tension grille-source est constante. Plus la température augmente, plus son courant de drain augmente. T4 est un pMOS connecté en diode. Plus la température augmente, plus son courant de drain diminue. T5 est un pMOS en saturation. Plus la température augmente, plus son courant de drain augmente.

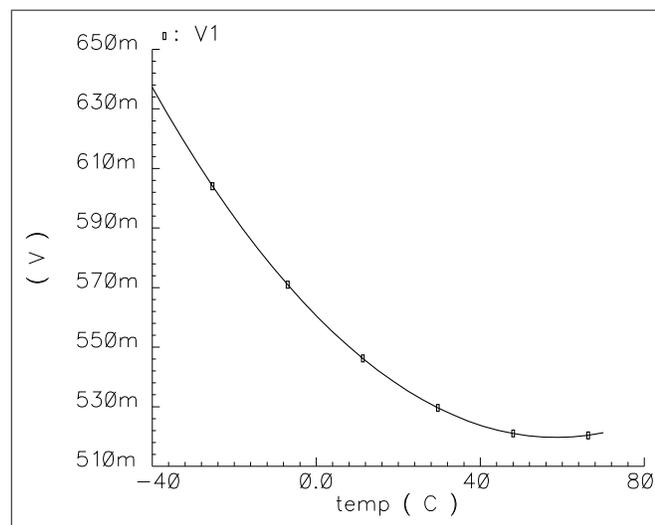


Figure 3.35 Effet d'un changement de température sur la tension V1.

L'effet combiné de toutes les variations de courant change la tension V1. V2 varie de la même façon, puisque les transistors T2, T6 et T7, ont les mêmes dimensions que T1, T4 et T5. La variation de V1 en température est illustrée à la figure 3.35. V1 diminue avec la température, jusqu'à ce qu'elle atteigne un plateau, vers 48 °C. La variation de V1 change la transconductance de T4.

Le courant de drain de T3 change avec la température. Cet effet est exprimé dans l'équation 3.32. La figure 3.36 montre l'effet d'un changement de température sur la tension de sortie des unités de détection. La tension diminue proportionnellement avec la température. La principale cause de ce changement en température est le cou-

rant de drain de T3. Les dimensions de T3 du tableau 3.1, montrent que plus le rapport W/L du transistor en faible inversion est grand, plus l'effet de la température est prononcé.

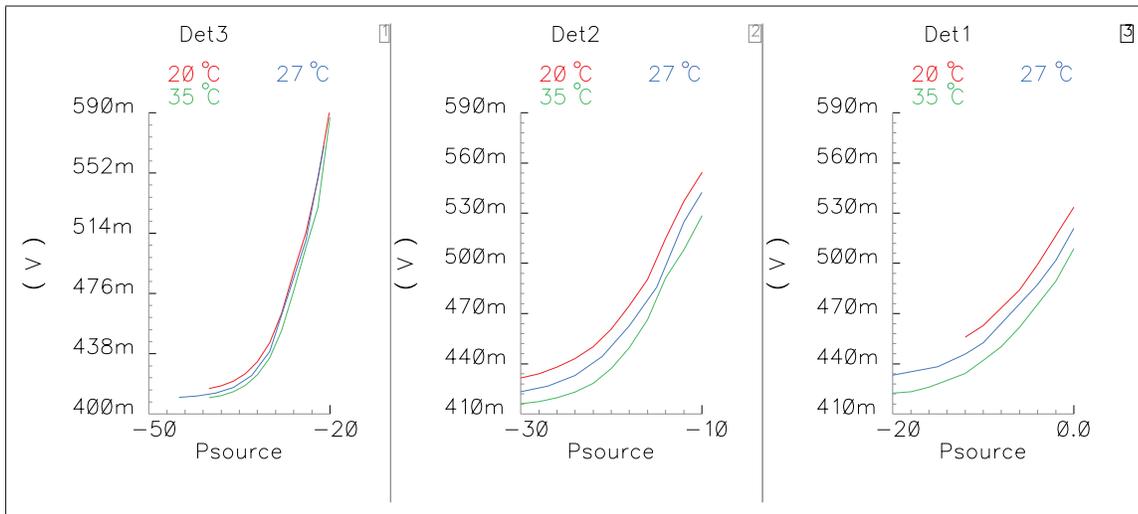


Figure 3.36 Effet d'un changement de température sur la tension de sortie des unités de détection.

3.8.7 Adaptation en impédance du circuit intégré

L'impédance d'entrée du détecteur puissance est adaptée à l'impédance de sortie de la source de puissance P_{source} , pour qu'il n'y ait pas d'ondes stationnaires sur la ligne de transmission¹³. L'adaptation d'impédance est faite à l'aide de la résistance R1 qui dissipe la puissance incidente et de l'inductance L1 qui compense l'effet de la capacité parasite entre la grille et la source de T1 (C_{gs1}) (voir figure 3.10). Un circuit d'adaptation d'impédance plus raffiné pourrait adapter l'entrée du détecteur à une résistance R1 plus grande, et ainsi augmenter la sensibilité du détecteur. En effet, comme l'explique [5], l'impédance est un ratio entre la tension et le courant d'une onde TEM dans un milieu de propagation. En augmentant R1, et en lui transférant toute l'énergie par la source de puissance, la tension grille-source de T1 (V_{gs1}) est augmentée.

13. L'entrée du détecteur de puissance est adaptée à 50 Ω .

Le paramètre $S_{11_{dB}}$ d'un circuit à un port est égale au coefficient de réflexion en puissance.

$$S_{11_{dB}} = 20 \log \left(\frac{V^-}{V^+} \right) = 10 \log \frac{|V^-|^2}{|V^+|^2} \quad (3.33)$$

Plus $S_{11_{dB}}$ est négatif, plus le circuit est bien adapté. Un circuit parfaitement adapté aurait un $S_{11_{dB}}$ égal à $-\infty$. Le paramètre S_{11} du détecteur de puissance, lorsque chacune des unités de détection est sélectionnée, est illustré à la figure 3.37. Ces résultats de simulation montrent une bonne adaptation à l'entrée à partir de 1 GHz pour les trois détecteurs. Si la fréquence est plus petite, alors une puissance significative est réfléchie.

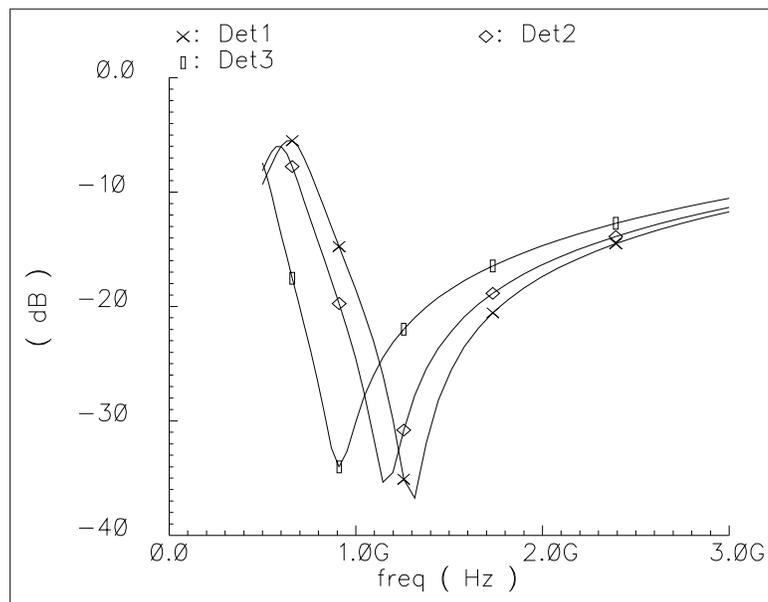


Figure 3.37 Simulation du module du paramètre S_{11} du détecteur de puissance, lorsque chacune des unités de détection est sélectionnée, sur une bande de fréquence allant de 500 MHz à 3 GHz.

3.9 Conclusion

En résumé, une nouvelle architecture de détecteur de puissance RF est développée. Une grande plage dynamique et une faible consommation de puissance sont obtenues en distribuant la plage dynamique totale du détecteur sur trois unités de détections. Une seule unité est en fonction à la fois. La sélection de l'unité de détection en fonction est faite de façon dynamique en se basant sur la puissance détectée. Le signal RF mesuré est démultiplexé vers l'unité de détection en fonction. Un multiplexeur dirige la sortie de l'unité de détection en fonction vers un ADC. Une machine à état fini utilise le signal numérique, pour effectuer la sélection de l'unité de détection, et pour niveler la sortie du détecteur. La sortie du détecteur de puissance est numérique, RMS et linéaire en dB.

Un circuit intégré qui comprend le multiplexeur, le démultiplexeur et les trois unités de détection est conçu. Le procédé de fabrication est CMOS $0.13 \mu m$. À chaque sortie du démultiplexeur est associée une entrée du multiplexeur, la combinaison forme un sélecteur. Afin d'augmenter la testabilité du circuit intégré, une unité de détection peut être testée avec une entrée et une sortie qui lui est dédiée, ou avec l'entrée et la sortie du détecteur de puissance.

Les éléments des trois unités de détection sont dimensionnés, afin de minimiser la consommation de puissance et le temps de réponse du détecteur de puissance, et de maximiser sa plage dynamique. La plage dynamique simulée du détecteur distribué est de 48 dB. La consommation de puissance simulée maximum est 1.35 mW. Deux unités de détection ont un temps de réponse de moins de $6 \mu s$, tandis que celui de la troisième unité est d'environ $20 \mu s$.

Le prochain chapitre est à propos de la topologie du circuit. Des simulations « post-layout » y sont faites pour prendre en considération les effets parasites liés à l'implémentation du circuit.

CHAPITRE 4

TOPOLOGIE DU CIRCUIT INTÉGRÉ

4.1 Introduction

CMC Microsystems a accordé un espace subventionné de 2 mm^2 sur une gaufrette de silicium pour la réalisation du circuit intégré. Dans ce chapitre, la topologie (« layout ») du circuit intégré est expliquée et des simulations « post-layout » sont effectuées. La topologie est présentée, afin d'expliquer les contraintes physiques et les effets parasites qui lui sont associés. Ces contraintes sont liées à des règles de conception.

4.2 Topologie de l'IC

La topologie de l'unité de détection Det1, sans l'inductance L1, est illustrée à la figure 4.1. Les topologies des autres unités de détection sont semblables avec des dimensions différentes. Tous les signaux qui se connectent à l'unité de détection sont en périphérie. Les composants passives prennent une bonne partie de l'espace utilisé. L'inductance L1 occupe environ la moitié de l'espace totale d'une unité de détection. Elle n'est pas illustrée à la figure 4.1 pour augmenter la lisibilité de l'image.

La topologie du circuit intégré complet est à la figure 4.2. Les sélecteurs sont beaucoup plus petits que les unités de détection. Chaque plot de connexion (« bonding pad ») est identifié par le nom du signal qui s'y connecte. La sélection de l'unité de détection se fait à la gauche du circuit, les puissances RF et la résistance R_{pola} sont en haut du circuit. Les traces de métal pour les signaux d'entrées de puissance RF sont juxtaposées. Cette disposition est une erreur. En effet, à cause de cette disposition, l'épaisseur du diélectrique du PCB de test (voir chapitre 5) a été réduite, afin d'adapter l'impédance des lignes de transmission qui amènent les signaux RF à l'IC. En bas du circuit,

on trouve les tensions de sortie et les résistances de contrôle des tensions d'alimentation. Plusieurs pastilles sont connectées à Vdd et Gnd pour assurer une stabilité de l'alimentation. Le circuit réalisé mesure $1\text{ mm} \times 2\text{ mm}$.

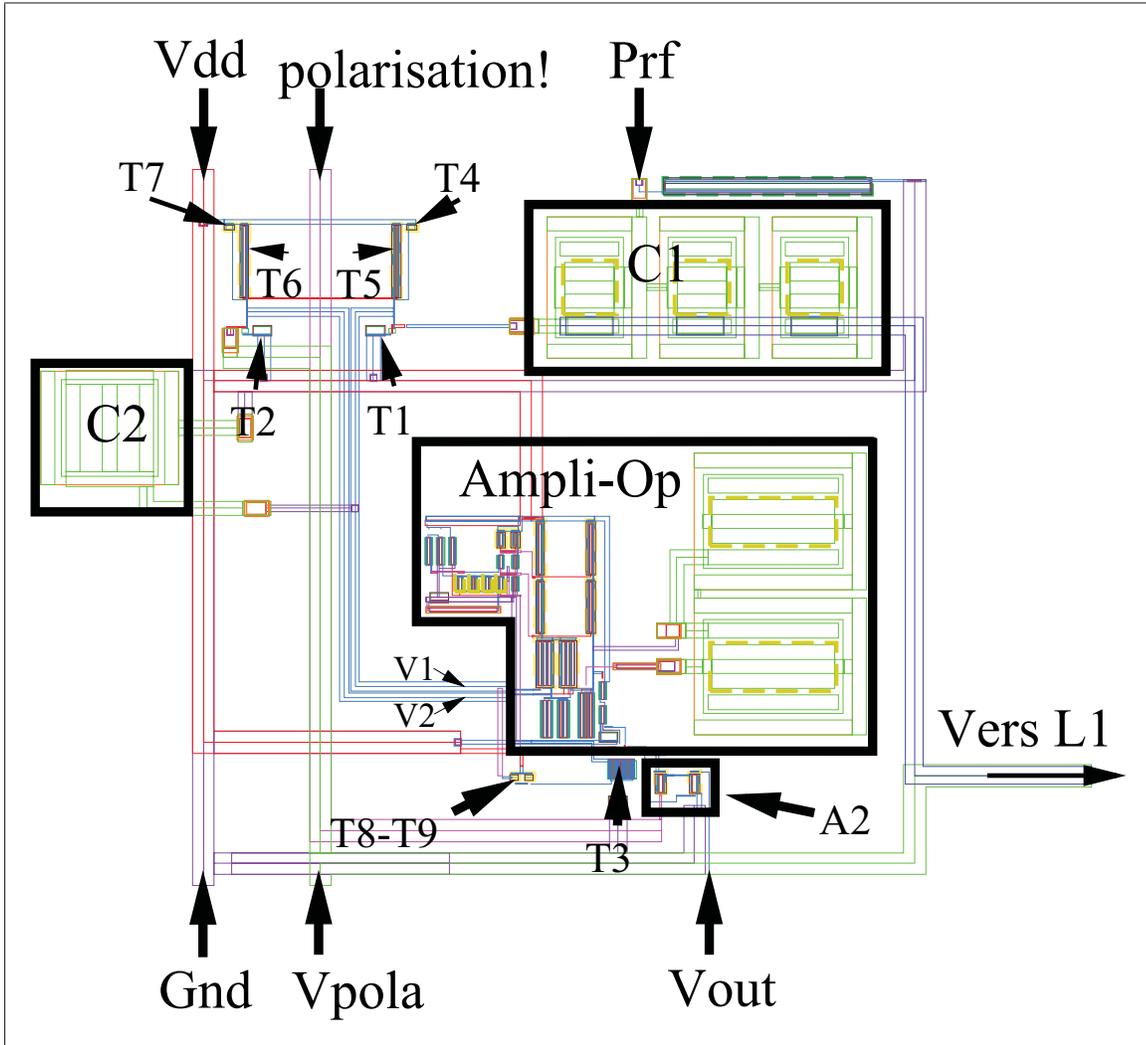


Figure 4.1 Topologie de l'unité de détection Det1 sans l'inductance L1.

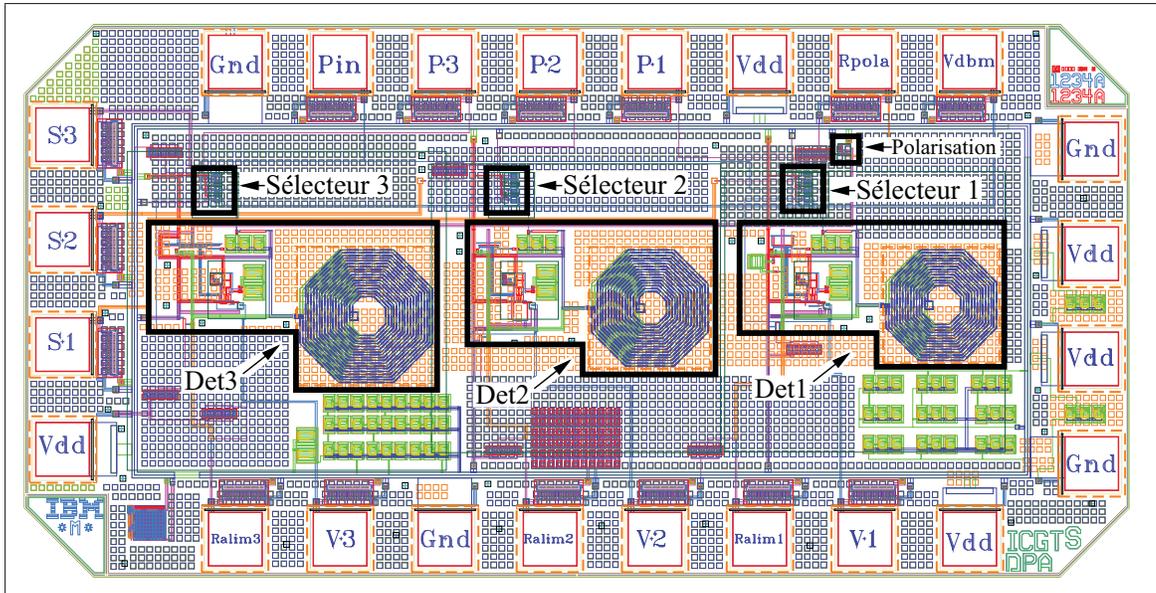


Figure 4.2 Topologie du circuit intégré.

Chaque couche de métal utilisée doit avoir une densité de peuplement (« pattern density ») minimum. Pour remplir les couches qui ne sont pas assez denses, on a recours à du remplissage (« filling »). On peut voir sur la figure 4.2 des petits carrés de remplissage sur l'ensemble de la surface de la puce. La densité de peuplement de la plupart des couches est vérifiée par les outils de vérification fournis avec le kit de conception (Assura et Calibre). Par contre, la vérification de la densité de peuplement de certaines couches n'est effectuée que par l'outil en ligne de CMC.

4.3 Composantes passives

Les composantes passives intégrées dans les circuits CMOS, ont le désavantage d'occuper un espace considérable du circuit¹. En plus d'être coûteuses, ces composantes

1. Plus un circuit a de grandes dimensions, plus il est dispendieux.

ont des performances limitées. Les inductances réalisées avec un procédé CMOS ont un facteur de qualité maximum d'environ 10 à 2.4 GHz [13]².

La valeur d'une inductance est directement liée à ses dimensions physiques. Les inductances du circuit intégré sont représentées par I1, I2 et I3 à la figure 4.3. Le tableau 4.1 montre les dimensions des trois inductances. Chaque inductance est réalisée sur deux couches de métal séparées par une couche de diélectrique.

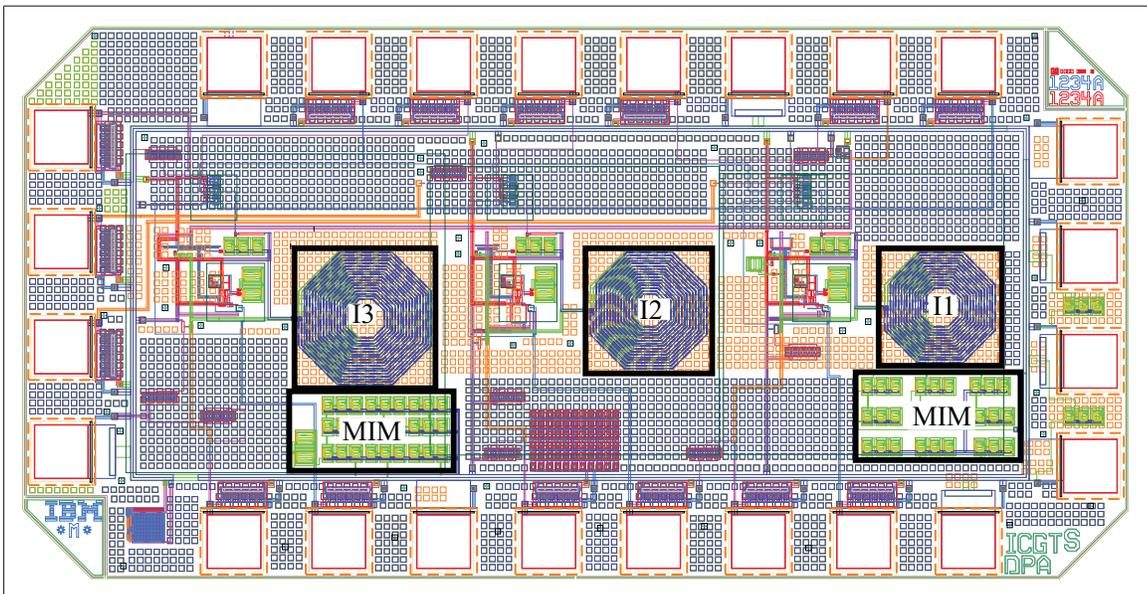


Figure 4.3 Identification des inductances et des capacités MIM sur la topologie du circuit réalisé.

Les performances du circuit sont fortement dépendantes de la taille de l'inductance. En effet, plus le diamètre extérieur est grand et plus le nombre de tours est important, plus la valeur de l'inductance est grande, moins le signal RF atteint le transistor T2 et plus la différence entre V1 et V2 est grande³ pour une puissance donnée (voir chapitre 3).

2. Des inductances réalisées sur un substrat LTCC peuvent avoir un facteur de qualité de 45 à 2.4 GHz [13].

3. Les tensions V1 et V2 sont les entrées différentielles des amplificateurs opérationnels de chaque unité de détection.

Un grand espace est nécessaire pour réaliser des capacités de l'ordre du pF. Les condensateurs de type MIM (« Metal-Insulator-Metal ») ont la capacité par unité de surface la plus grande disponible dans le procédé utilisé [42]. Néanmoins, un condensateur MIM de quelque pF a des dimensions de l'ordre des dizaines de μm .

Tableau 4.1 Dimensions des inductances du circuit intégré

	I1	I2	I3
Diamètre extérieur	$200\mu\text{m}$	$210\mu\text{m}$	$240\mu\text{m}$
Largeur des traces	$5\mu\text{m}$	$5\mu\text{m}$	$5\mu\text{m}$
Nombre de tours	14	16	18
Espacement	$5\mu\text{m}$	$5\mu\text{m}$	$5\mu\text{m}$
Inductance	28.382nH	34.009nH	49.936nH
Fréquence de Q maximum	1.01GHz	882.83MHz	668.25MHz

La résistance R_{pola} des circuits de polarisation des amplificateurs opérationnels, et les résistances R1 des unités de détection sont intégrées dans le circuit réalisé. Elles sont de type polysilicone RR. Ces résistances sont sélectionnées, car elles offrent une grande résistance par unité de longueur, ce qui permet de réduire leurs dimensions, et parce que leur tolérance aux variations de température et de procédé est acceptable.

4.4 Circuit de protection contre les décharges électrostatiques

Une protection contre les décharges électrostatiques (ESD) est ajoutée à chaque plot de connexion, qui lie un signal à la grille d'un transistor. Une tension induite par une décharge électrostatique, peut engendrer un courant assez important pour endommager le circuit, puisque le courant qui circule dans le canal d'un transistor FET est contrôlé par sa tension V_{gs} . Les charges qui s'accumulent sur les grandes surfaces de métal, durant le procédé de fabrication, sont parfois assez importantes pour que les différences de potentiel causent des courants dommageables. Le circuit de protection est constitué de deux diodes connectées en polarisation inverse. Une entre le signal et Vdd et l'autre

entre le signal et Gnd. Si la tension du signal est plus grande que Vdd, ou plus petite que Gnd, alors une diode est en polarisation directe et la décharge électrostatique est court-circuitée par l'alimentation.

Ce circuit de protection introduit des capacités parasites, qui peuvent détériorer la qualité du signal RF détecté par le circuit. Aucun modèle « SPECTRE » des circuits de protection contre les ESD n'est fourni avec le kit de développement utilisé pour la conception de ce circuit intégré. Des simulations « post-layout » sont faites pour tenir compte des effets des circuits de protection contre les ESD.

4.5 Simulation « post-layout »

L'évaluation des effets parasites, causés par les circuits de protections contre les ESD, et l'implémentation physique du circuit, est faite à l'aide de simulations « post-layout ». La fréquence du signal détecté est 800 MHz pour la simulation qui est illustrée à la figure 4.4. Les effets parasites déplacent la plage dynamique sur l'axe de la puissance d'entrée en comparaison avec la figure 4.5 qui montre la simulation niveau circuit. De plus, la plage de tension de sortie a une tension continue 30 mV plus élevée lors de la simulation « post-layout ». Il est probable que la capacité parasite, imposée entre autres par les circuits de protection contre les ESD, filtre le signal d'entrée ; ce qui réduit la tension à l'entrée des unités de détection. La puissance qui est alors perçue par le détecteur est plus faible que celle qui est fournie.

Puisque les dates de soumission de design sont fixes et les outils de simulations « post-layout » sont difficiles à configurer, les simulations « post-layout » ont été réalisées après que le design de circuit intégré soit soumis à CMC Microsystems pour sa fabrication. Ainsi, le circuit a été fabriqué tel quel, même si la simulation de la plage dynamique de l'unité de détection Det3, illustrés à la figure 4.4, commandent une révision du design.

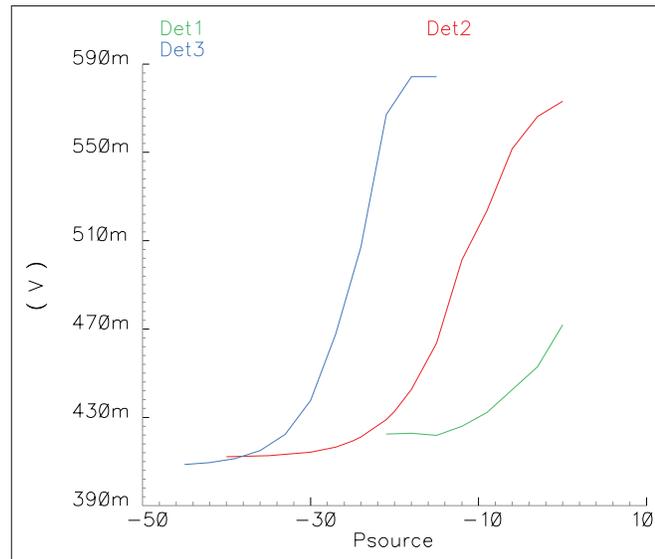


Figure 4.4 Simulation « post-layout t » de la plage dynamique des unités de détection à une fréquence de 800 MHz.

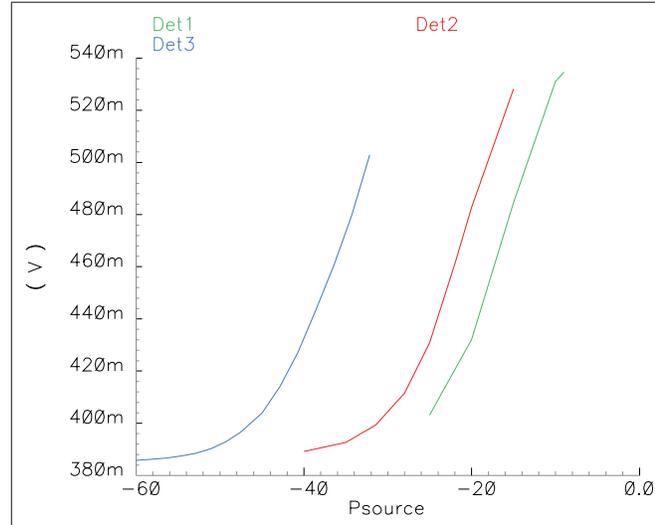


Figure 4.5 Simulation niveau circuit de la plage dynamique des unités de détection à une fréquence de 800 MHz.

Le graphique de la simulation « post-layout » du module du paramètre S_{11} des trois unités de détection est montré à la figure 4.6. L'adaptation en impédance est détériorée lorsque les effets parasites sont ajoutés (voir figure 3.37). Les circuits de protection

contre les ESD et les autres capacités parasites pourraient en être les responsables.

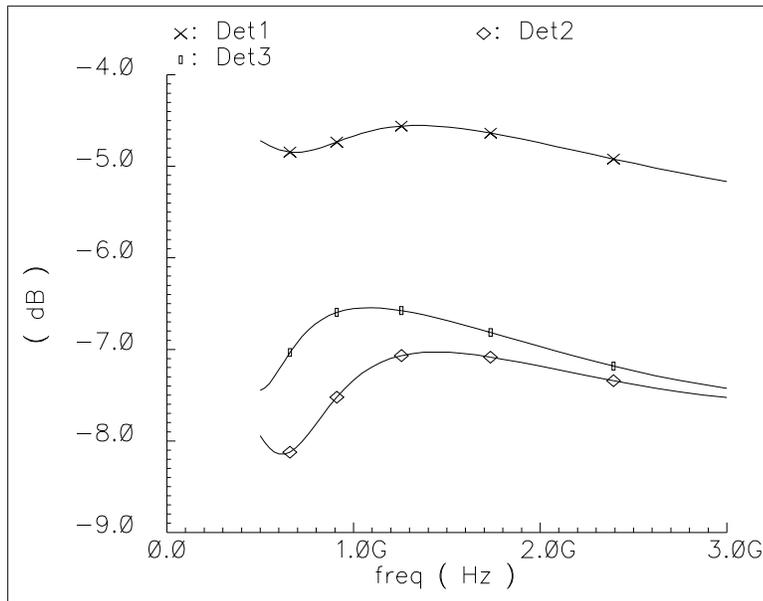


Figure 4.6 Simulation « post-layout » du module du paramètre S_{11} des trois unités de détection sur une bande de fréquence allant de 500 MHz à 3 GHz.

4.6 Conclusion

En résumé, les performances du circuit après l'implémentation physique sont dégradées. On prend pour hypothèse que cette dégradation est due entre autres à l'ajout de circuits de protection contre les ESD (décharges électrostatiques) et aux capacités parasites. L'adaptation d'impédance du circuit est particulièrement affectée par les effets parasites. L'affaiblissement par retours des simulations « post-layout » est jusqu'à 30 dB plus important que celui des simulations niveau circuit. Néanmoins, le circuit intégré devrait quand même fonctionner. Par contre, ses performances vont être plus dépendantes de la fréquence d'opération.

CHAPITRE 5

VÉRIFICATION EXPÉRIMENTALE

5.1 Introduction

Le circuit intégré dont la conception est l'objet des chapitres précédents a été réalisé avec un procédé CMOS 0.13 μm de la compagnie IBM. L'accès à ce procédé a été obtenu avec CMC Microsystems. Une photographie du circuit réalisé est à la figure 5.1.

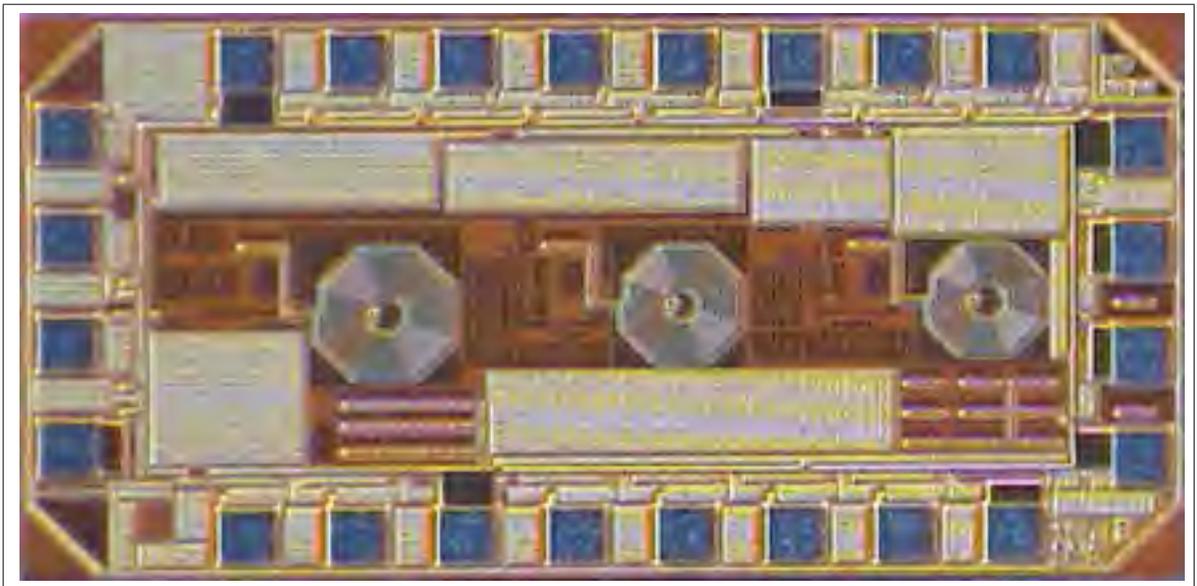


Figure 5.1 Photographie du circuit intégré réalisé (ICGTSDPA).

Dans ce chapitre, il est question de la vérification expérimentale du détecteur de puissance RF réalisé. L'analyse des mesures soutient l'hypothèse que l'architecture de détecteur de puissance RF distribué convient au SAAI. Les caractéristiques requises, amenées au chapitre 3, sont d'avoir une plage dynamique et une bande d'opération comparables à celles des détecteurs de puissance à amplificateurs limiteurs (voir cha-

pitre 2), tout en ayant une plus faible consommation de puissance et un temps de réponse court.

En premier lieu, la ligne de transmission, qui amène le signal de puissance à l'IC, est expliquée. La proportion de la puissance incidente qui est détectée par le détecteur est vérifiée, en mesurant l'affaiblissement de réflexion du banc de test. En second lieu, les effets des résistances hors puces, de la fréquence d'opération et de la température, sur la plage dynamique, sont mesurés. En troisième lieu, le temps de réponse du détecteur et sa consommation de puissance sont évalués. En dernier lieu, l'analyse des résultats est faite.

5.2 Validité des mesures

La validité des mesures du comportement du détecteur de puissance est dépendante de l'impédance de tous les éléments de la ligne de transmission, qui lie l'entrée du détecteur à une source de puissance. Comme il a été expliqué au chapitre 1, une réflexion survient si l'impédance d'un chemin de transmission n'est pas constante. Une onde stationnaire apparaît, si une partie de la puissance incidente est réfléchie, et que la taille électrique du circuit est appréciable. L'onde stationnaire rend le comportement du détecteur dépendant de la fréquence du signal de puissance, et de la longueur des différents segments de la ligne de transmission.

5.2.1 Banc de test

Le circuit intégré réalisé est placé dans un boîtier. Le 24CFP est le boîtier offert par CMC Microsystems, qui correspond le plus aux caractéristiques requises. Ce boîtier a 24 broches de connexions. Il peut être utilisé avec des signaux de quelques gigahertz (au moins jusqu'à 2 GHz) sans résonner.

La figure 5.2 est une photographie du PCB (carte de circuit imprimé) du banc de test. Un agrandissement du boîtier est montré. Les plots de connexions (« bonding pads »)

sont liés au boîtier à l'aide de fils de connexion. Ces fils peuvent détériorer la qualité du signal, puisque leur impédance n'est pas nécessairement adaptée au circuit, et que leur taille électrique est considérable. De plus, ces fils peuvent avoir une auto-induction importante, car leur longueur est relativement grande en comparaison avec leur diamètre [27].

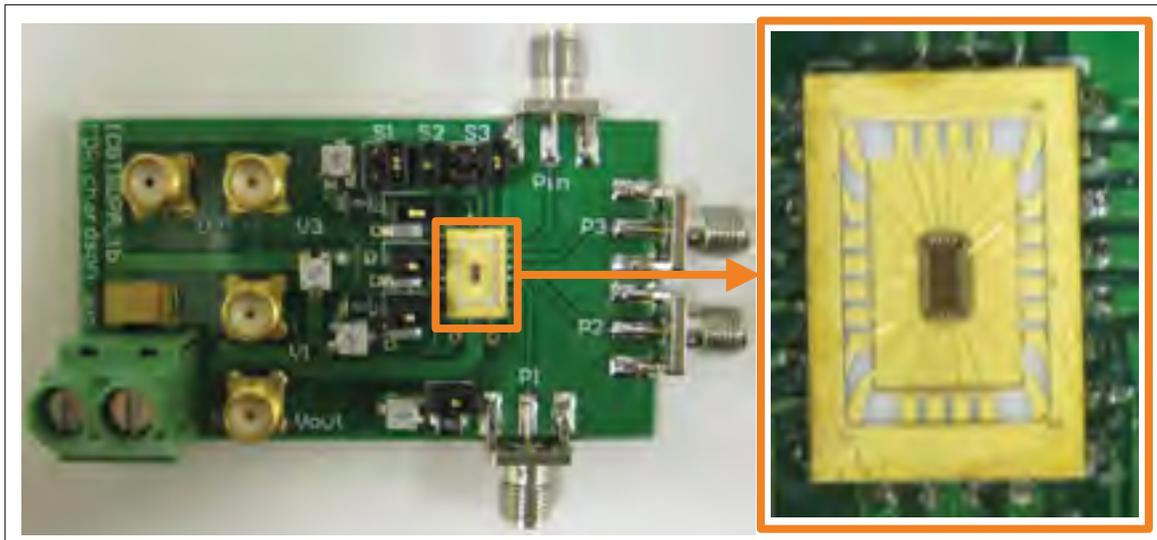


Figure 5.2 Photographie du PCB du banc de test avec un agrandissement du circuit intégré dans son boîtier.

La figure 5.3 montre le schéma-bloc de la ligne de transmission du banc de test, que le signal de puissance emprunte pour se rendre au détecteur de puissance.

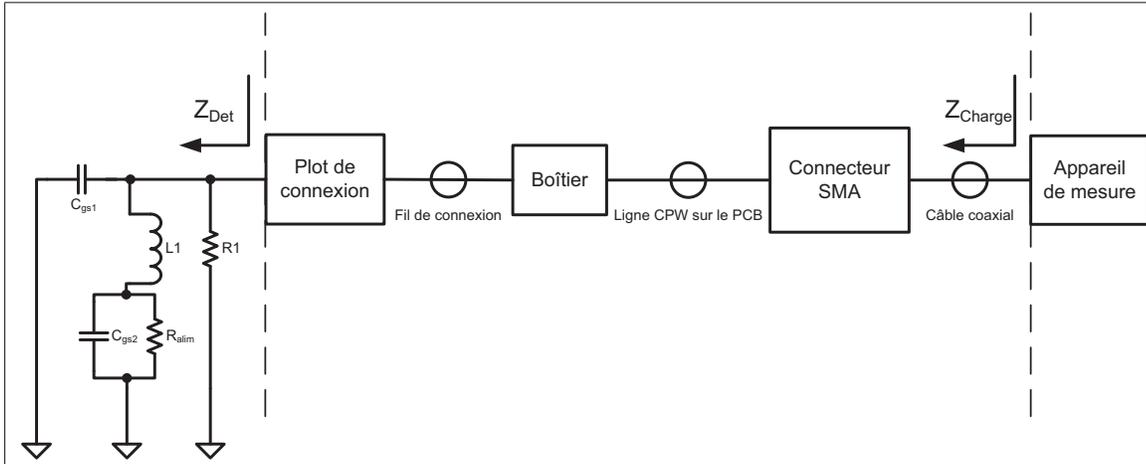


Figure 5.3 Schéma-bloc de la ligne de transmission entre le détecteur de puissance et l'appareil de mesure.

L'impédance de sortie des appareils de mesures, qui sont connectés à l'entrée du détecteur de puissance (générateurs de signaux de puissance RF et analyseurs de réseaux), est 50Ω . Z_{charge} est l'impédance perçue, par l'appareil de mesure, de l'impédance d'entrée du détecteur de puissance. L'impédance d'entrée du détecteur de puissance (Z_{Det}), est ajustée à 50Ω dans la bande d'opération du détecteur (voir chapitre 3). Pour éviter la formation d'une onde stationnaire, l'impédance de tous les segments de la ligne de transmission est voulue 50Ω .

La ligne de transmission est constituée, du boîtier à la source de puissance, d'une ligne CPW (« Co-Planar Waveguide »), d'un connecteur SMA et d'un câble coaxial. Les connecteurs SMA sont montés en surface (« surface mount ») sur le PCB. L'impédance caractéristique spécifiée par le fabricant, du câble coaxial et du connecteur, est 50Ω . Les dimensions de la ligne CPW sont ajustées, pour que l'impédance caractéristique de la ligne soit 50Ω .

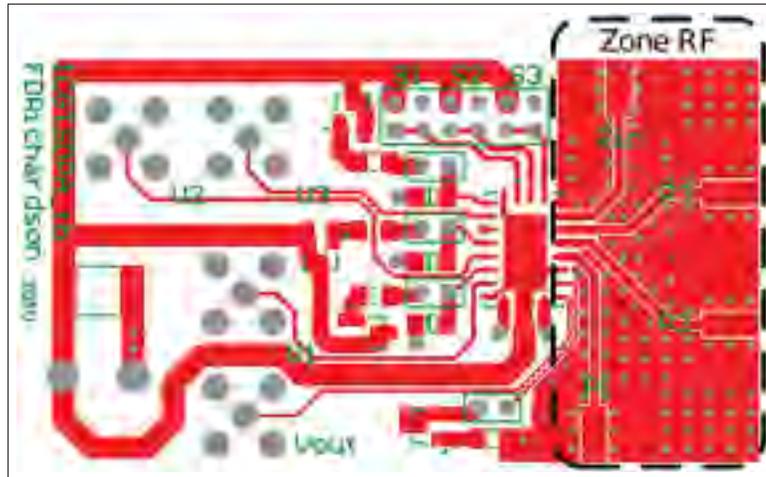


Figure 5.4 Topologie de la carte de circuit imprimé du banc de test.

Les unités de détection peuvent être testées individuellement ou à partir de la même entrée (voir chapitre 3). Quatre lignes CPW lient les quatre entrées de puissance¹ à leur connecteur SMA respectif. Tous les plots de connections des signaux de puissances sont juxtaposés². L'épaisseur du diélectrique FR-4 du PCB est de 31 mils³, pour que la largeur des lignes de transmission soit conservée jusqu'au boîtier, sans que la ligne empiète sur ses voisines. La largeur des lignes de transmission est 32 mils pour que l'impédance caractéristique de la ligne de transmission soit 50 Ω . Les traces sur un PCB plus épais auraient été plus larges. Cette largeur est calculée avec l'outil « Linecalc » de Agilent ADS. À la figure 5.4, toutes les lignes de transmissions de la zone RF conservent leur largeur jusqu'au boîtier. Un plan de masse est situé sous la zone RF. Une multitude de vias assurent que les lignes de côté des CPW, soient solidement attachées au plan de masse.

1. Les quatre entrées sont : l'entrée du détecteur de puissance et l'entrée de chacune des unités de détection.
2. Cette disposition des signaux de puissance sur le circuit intégré est une erreur de conception.
3. Cette épaisseur est petite et fragilise le PCB.

Le schéma électrique de la carte de circuit imprimé du banc de test est montré à la figure 5.5. Le banc de test est conçu à partir du circuit de simulation de la sous-section 3.8.1. Les résistances d'ajustement ($R_{alim1,2,3}$) des tensions V_{pola} des unités de détection, ainsi que la résistance d'ajustement de la tension globale *polarisation* (R_{pola}), sont à l'extérieur du circuit intégré. Des potentiomètres en série avec les résistances d'ajustement permettent d'ajuster les tensions de polarisation du circuit intégré. La sélection de l'unité de détection qui est en fonction se fait à l'aide de cavaliers.

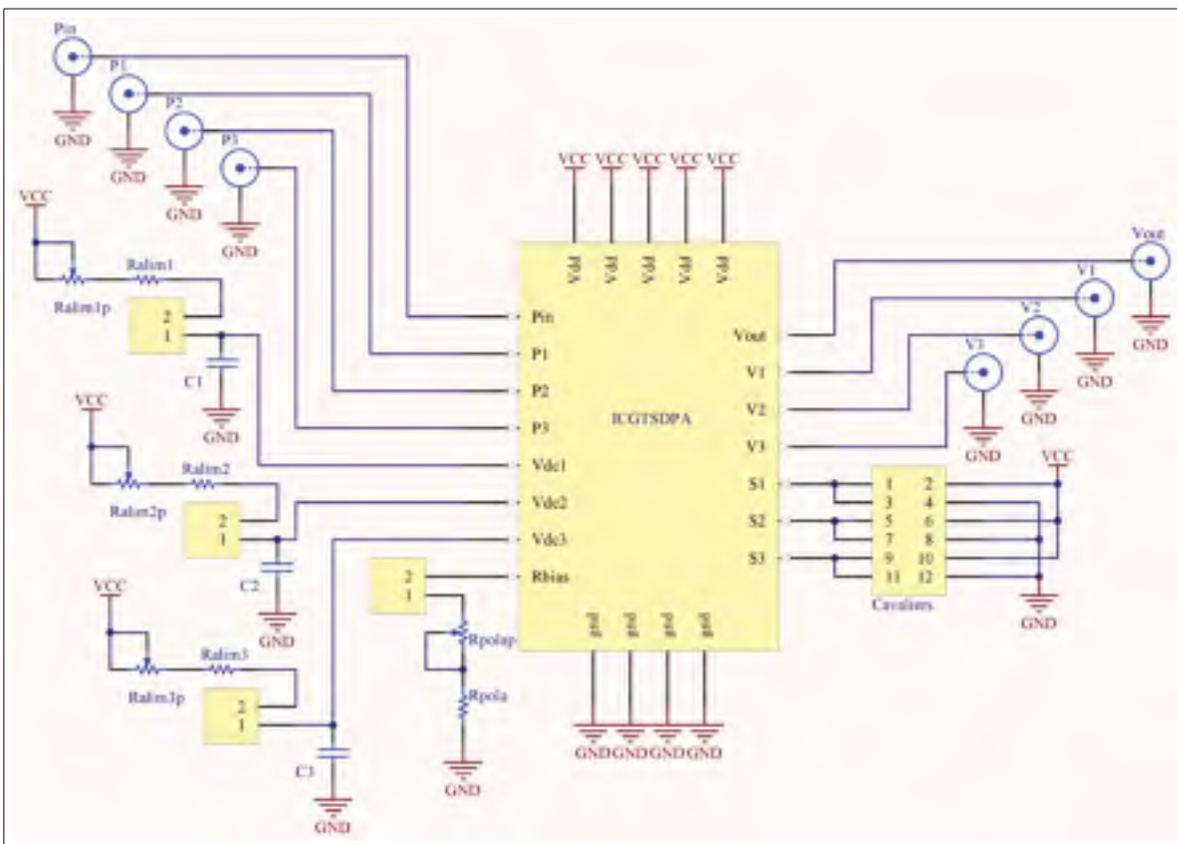


Figure 5.5 Schéma électrique de la carte de circuit imprimé du banc de test.

5.2.2 Mesures du paramètre S_{11}

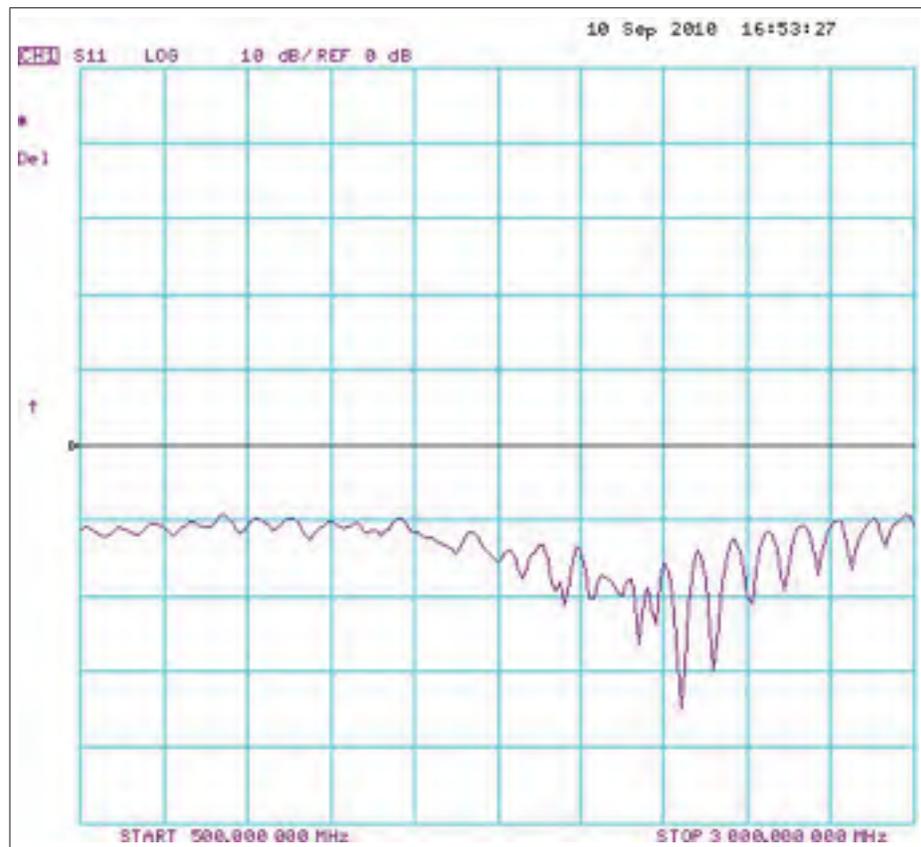


Figure 5.6 Le module du coefficient de réflexion de l'entrée P_{in} , si l'unité de détection Det2 est sélectionnée.

Le paramètre $S_{11_{dB}}$ d'un circuit à un port, est le coefficient de réflexion en puissance (voir chapitre 4). Il est mesuré par l'analyseur de réseau « Agilent Technologies S Parameters network analyzer 8753ES ». La mesure du coefficient de réflexion en puissance de l'entrée P_{in} , lorsque l'unité de détection Det2 est sélectionnée, est illustrée à la figure 5.6. Les mesures sont faites sur une bande de fréquence allant de 500 MHz à 3 GHz. L'échelle de fréquence est linéaire. L'échelle de gain est de 10 dB/division. La référence de puissance est à 0 dB. On obtient un minimum de réflexion vers 2.4 GHz.

Alors, la puissance réfléchie est inférieure de 30 dB par rapport à la puissance incidente. Le maximum de réflexion est d'environ -10 dB. Une adaptation semblable est obtenue, lorsque les deux autres unités de détection sont sélectionnées.

Tableau 5.1 Puissance transmise pour quelques valeurs de S_{11}

S_{11} (dB)	S_{11} (linéaire)	G_t (linéaire)	G_t (dB)
0	1	0	$-\infty$
-1	0.794	0.206	-6.868
-3	0.501	0.499	-3.021
-5	0.316	0.684	-1.651
-10	0.100	0.900	-0.458
-30	0.001	0.999	-0.004

Le tableau 5.1 montre que la puissance transmise au détecteur de puissance (G_t) est moins que 0.458 dB plus faible que celle qui est fournie par la source, lorsque la réflexion est maximum. Le taux d'onde stationnaire sur la ligne de transmission est alors

$$TOS = \frac{V_{max}}{V_{min}} = \frac{1 + |\Gamma|}{1 - |\Gamma|} \quad (5.1)$$

$$TOS = \frac{1 + 0.100}{1 - 0.100} = 1.222 \quad (5.2)$$

En se basant sur ce résultat, on présume que les mesures du comportement du détecteur seront valides. Par contre, la variation du comportement du détecteur en fréquence peut être en partie associée aux TOS (voir chapitre 1). Il faut aussi considérer que la puissance qui est réellement reçue par le détecteur est un peu plus faible que celle qui sera indiquée dans les mesures subséquentes.

5.3 Plage dynamique

Une photographie du banc de test de la plage dynamique est à la figure 5.7. L'alimentation du circuit est obtenue avec une source de tension continue (Agilent Technologies DC power Supply E3632A). La source est connectée au circuit avec une paire de fil torsadée. Une capacité de découplage est installée sur le PCB, afin d'éliminer le bruit, causé par l'effet inductif de la paire torsadée et par l'effet d'antenne des traces d'alimentation.

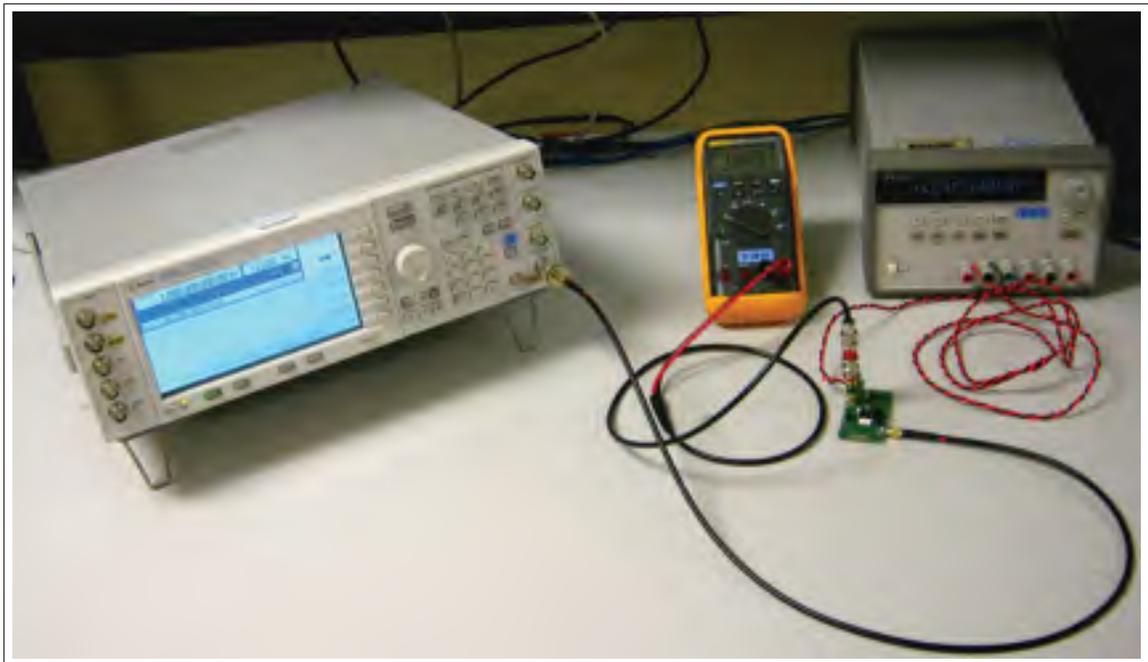


Figure 5.7 Photographie du banc de test de la plage dynamique.

Les signaux de puissance sont obtenus avec un générateur de signaux (Agilent Technologies E4438C ESG Vector Signal Generator). La sélection du détecteur de puissance testé est faite avec des cavaliers. La mesure des signaux de sortie est faite avec un

multimètre. Des connecteurs SMA permettent de connecter l'équipement de mesure au PCB⁴.

Les premières mesures effectuées, dans le but de déterminer la plage dynamique du détecteur de puissance, sont les effets des résistances hors puces R_{pola} et $R_{alim1,2,3}$. Ces résistances ajustent les alimentations du circuit intégré (voir chapitre 3). Ensuite, les effets de la fréquence du signal détecté et de la température sont mesurés. Les effets sont semblables pour les trois unités de détections. Seulement les résultats de l'unité de détections Det2 sont présentés dans cette section pour alléger la lecture. Tous les tests, à l'exception de ceux en température, sont faits à une température ambiante, d'environ 24 ° C.

5.3.1 Effet de R_{pola}

La résistance R_{pola} ajuste la référence de courant globale du circuit intégré (voir chapitre 3). Cette référence est utilisée par les charges des détecteurs de puissance RMS, et par les amplificateurs de redressement du niveau zéro. Un graphique des mesures de la sortie V_{dbm} lorsque l'unité de détection Det2 est sélectionnée pour trois valeurs de R_{pola} , se trouve à la figure 5.8. La fréquence du signal d'entrée est de 1 GHz et la valeur de R_{alim2} est 5 k Ω . R_{pola} est ajustée à l'aide d'un potentiomètre.

Si la valeur de la résistance diminue, la caractéristique de transfert du détecteur change de deux façons. Tout d'abord, la sensibilité du détecteur augmente. Cet effet est causé par l'augmentation de la charge du détecteur de puissance RMS. On peut augmenter R_{pola} jusqu'à ce que le transistor T1 quitte sa zone de saturation (voir chapitre 3). Ensuite, le niveau zéro de la réponse descend. Cet effet est causé à la fois par l'augmentation de la charge de l'amplificateur de redressement du niveau zéro et par le taux de réjection du mode commun (CMRR) non idéal de l'amplificateur opérationnel. Lorsque la charge du détecteur RMS augmente, la tension en mode commun V_2

4. La largeur des traces qui lient les connecteurs aux signaux de sortie n'est pas critique puisque la tension qui s'y trouve est continue. Par contre, cette largeur peut influencer le temps de réponse du détecteur à cause des effets d'auto-induction.

diminue (voir chapitre 3). Cette diminution est amplifiée par l'amplificateur opérationnel.

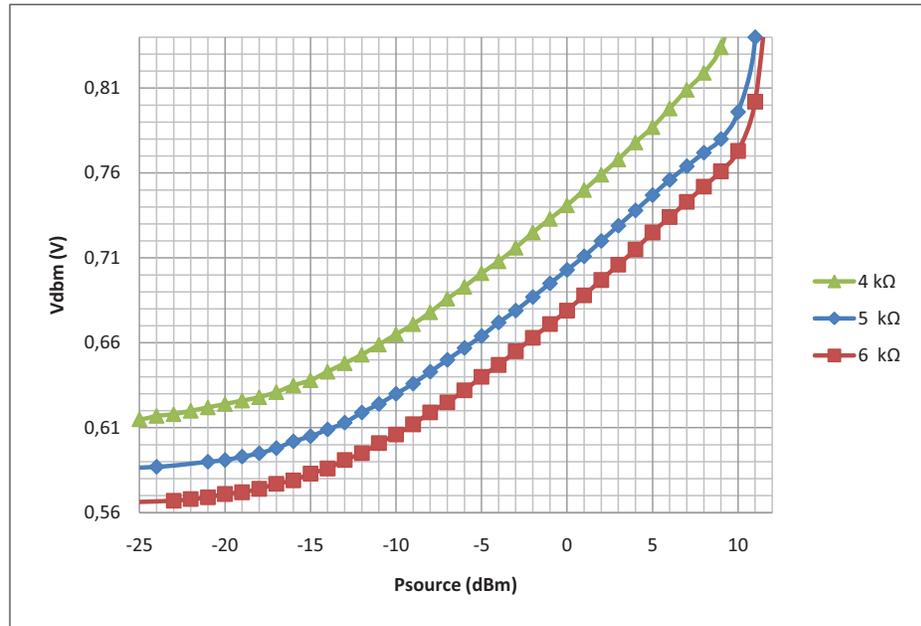


Figure 5.8 Tension de sortie V_{dbm} en fonction de la puissance d'entrée, pour trois valeurs de R_{pola} lorsque Det2 est sélectionnée.

5.3.2 Effet de $R_{alim1,2,3}$

Les résistances $R_{alim1,2,3}$ permettent d'ajuster les tensions de polarisation V_{pola} des unités de détection (voir chapitre 3). Les mesures de la tension de sortie V_{dbm} pour quatre valeurs de R_{alim2} lorsque Det2 est sélectionnée, est illustrée à la figure 5.9. La fréquence du signal d'entrée est de 1 GHz et la résistance R_{pola} est 5 kΩ. R_{alim2} est ajustée avec un potentiomètre.

Lorsque R_{alim2} diminue, V_{pola} augmente et les courants qui circulent dans les canaux des transistors T1 et T2 ($I_{D1,2}$) augmentent. Plus R_{alim2} augmente, plus une grande partie du courant de polarisation de T1 circule dans le canal du transistor connecté en

diode T4. Le courant qui circule dans T5 est presque constant, car la tension *polarisation* ne change pas. La transconductance du transistor PMOS T4 (g_{m4}) est :

$$g_{m4} = \sqrt{2\mu_p C_{ox} \left(\frac{W}{L}\right)_4 I_{D4}} \quad (5.3)$$

I_{D4} est le courant qui circule dans le canal du transistor et μ_p est la mobilité des électrons du transistor PMOS. Quand I_{D4} augmente, g_{m4} augmente. Plus la transconductance est grande, plus un grand courant dans le canal de T3 (I_{D3}) est nécessaire, pour compenser une différence entre V1 et V2. Plus la pente de la sortie est grande, plus un grand I_{D3} est nécessaire. Lorsque la puissance RF devient assez importante, la portion du courant de polarisation qui était fournie par T4 est maintenant fournie par T3, et les droites deviennent semblables. La plus longue droite est obtenue lorsque V1 est bas, et que presque tout le courant de polarisation est fourni par T5.

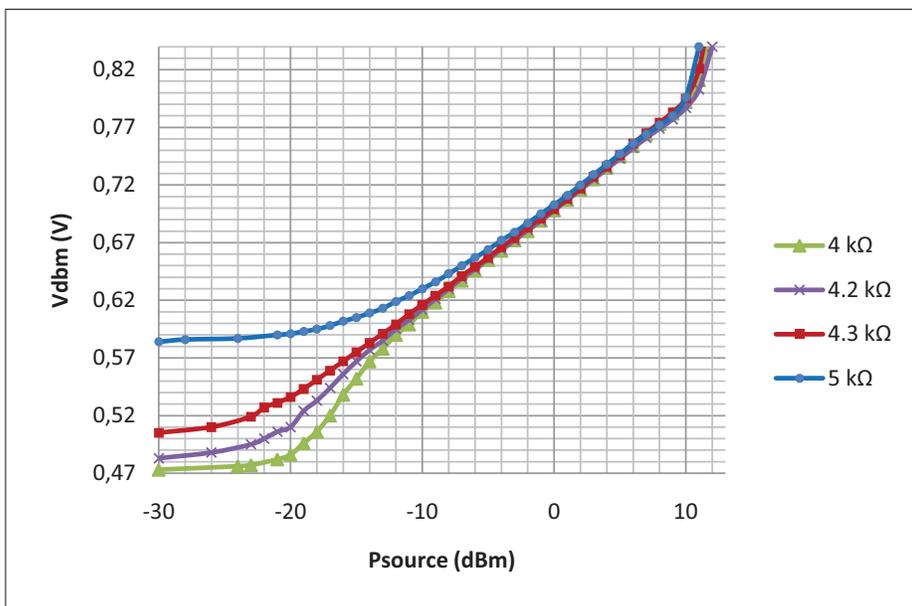


Figure 5.9 Tension de sortie V_{dbm} en fonction de la puissance d'entrée pour quatre valeurs de R_{alim2} lorsque Det2 est sélectionnée.

Les résultats expérimentaux sont différents des résultats de simulations du chapitre 4. Ces différences peuvent être causées par des variations de procédés et des effets parasites de la mise en boîtier. La plage dynamique varie considérablement en fonction de $R_{alim1,2,3}$. Lorsque la résistance change de 300Ω , la plage dynamique peut perdre jusqu'à 6 dB.

5.3.3 Effet de la fréquence d'opération

Les mesures des effets de la fréquence d'opération sur la caractéristique de transfert de l'unité de détection Det2 sont représentées sur le graphique de la figure 5.10.

Pour ces mesures R_{alim2} est ajustée à $4.3 \text{ k}\Omega$ et la valeur de R_{pola} est égale à $5 \text{ k}\Omega$. Il est

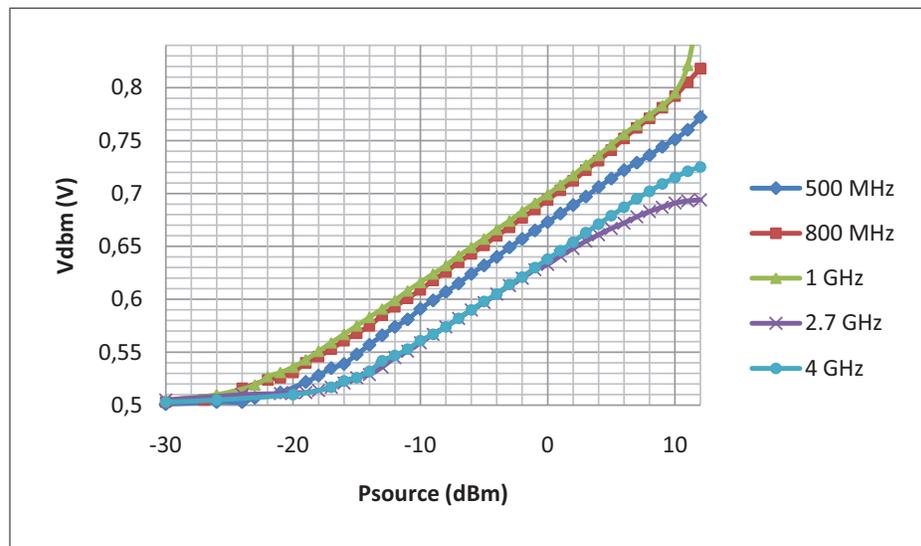


Figure 5.10 Tension de sortie V_{dbm} en fonction de la puissance d'entrée, pour cinq valeurs de fréquence, lorsque Det2 est sélectionnée.

important de remarquer, que si la fréquence change, la plage dynamique se déplace sur l'axe de la puissance d'entrée, et que la pente de la droite est conservée. Cet effet est dû à la capacité parasite entre la grille et la source du transistor T1 (C_{gs1}), à la capacité parasite entre la grille et la source du transistor T2 (C_{gs2}) et à l'inductance L1 (voir chapitre 3). À 500 MHz, la bobine laisse passer une partie du signal vers le transistor

T2. Le résultat différentiel entre V1 et V2 en est diminué. Tandis que la fréquence augmente, L1 laisse moins passer le signal et la résolution augmente. Si la fréquence augmente encore plus, C_{gs1} filtre une partie du signal RF et la plage dynamique se déplace vers des puissances plus élevées. La valeur haute de la plage dynamique est saturée plus rapidement à 2.7 GHz qu'à 4 GHz. Cet effet pourrait être causé par l'impédance de L1 qui augmente en fréquence et par l'impédance de la capacité parasite C_{gs2} , qui diminue avec la fréquence. C_{gs2} est plus grande que C_{gs1} , car un transistor d'alimentation est connecté en parallèle avec T2. La différence entre V1 et V2 augmente puisque l'effet combiné de L1 et C_{gs2} est plus grand que l'effet de C_{gs1} . Par contre, le courant minimum dans le canal du transistor T1 pour qu'une puissance soit détectée est toujours atteint à une grande puissance, car C_{gs1} filtre toujours le signal. Cet effet pourrait aussi être dû à une résonance du boîtier⁵.

Dans un SAAI, deux détecteurs de puissance sont connectés aux ports 3 et 4 d'un coupleur directionnel (voir chapitre 1). La mesure du coefficient de réflexion en puissance est obtenue par la différence des sorties logarithmiques de ces détecteurs. Nonobstant que cette différence élimine le décalage de la plage dynamique sur l'axe de la puissance d'entrée, la résolution du détecteur change avec la fréquence.

5.3.4 Effet de la température

Le circuit intégré est placé dans une chambre environnementale, pour mesurer l'effet de la température, sur sa caractéristique de transfert.

La figure 5.11 montre les mesures de la sortie du détecteur de puissance, lorsque l'unité de détection Det2 est sélectionnée, en fonction de la puissance du signal d'entrée, qui est un sinus de 1 GHz, et que la température varie de -40 à 70 ° C. Les résistances et potentiomètres qui sont sur le PCB ont une variation de 100 ppm/ ° C. L'effet de ces composantes est négligé pour l'analyse du graphique.

5. Les caractéristiques du boîtier indiquent qu'il ne devrait pas résonner jusqu'à au moins 2 GHz.

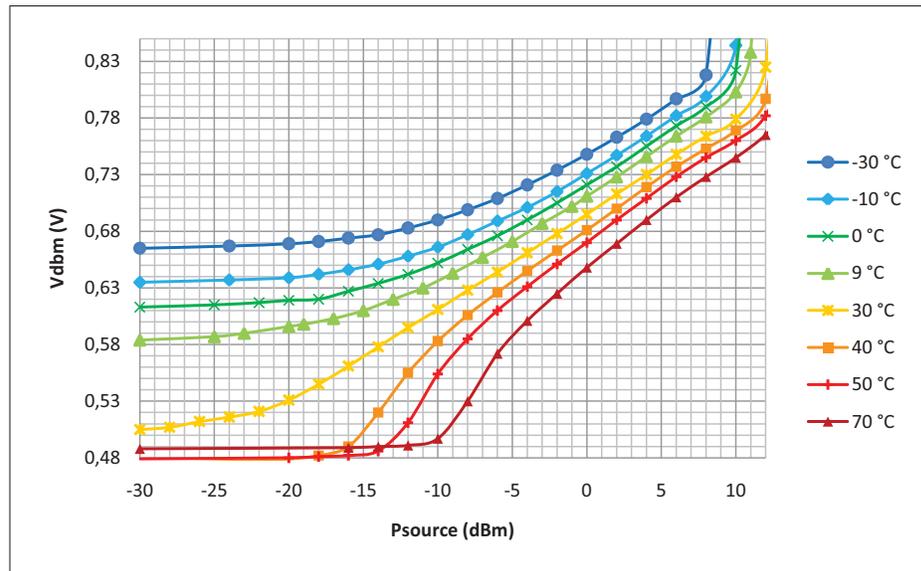


Figure 5.11 Tension de sortie V_{dbm} en fonction de la puissance d'entrée, pour des températures allant de -40 à 70 ° C, lorsque Det2 est sélectionnée.

La variation en température est causée en grande partie par la variation des courants dans les canaux des transistors T1, T2 et T4-T7 ($I_{D1,2}$, $I_{D4,6}$ et $I_{D5,7}$) (voir chapitre 3). En effet, si la température augmente, $I_{D1,2,5,7}$ augmentent et $I_{D4,6}$ diminuent. La variation de ces courants provoque une variation des tensions V1 et V2. Comme lorsque $R_{alim1,2,3}$ varie, la portion du courant de polarisation qui est fournie par le transistor connecté en diode fait varier la transconductance de T4 (g_{m4}). Si V1 diminuent, une plus grande partie du courant de polarisation provient de T4. V1 diminue si la température augmente.

La tension de la partie haute de la caractéristique de transfert est décalée vers le bas lorsque la température augmente. La diminution du courant de fuite de T3, quand la température augmente, est responsable de ce décalage.

5.4 Temps de réponse

Le temps de réponse est mesuré avec un oscilloscope (Tektronics TDS544A 500 MHz Digitizing Oscilloscope). Il pourrait être affecté par la largeur des traces qui lient les connecteurs aux signaux de sortie de l'IC, à cause de l'effet d'auto-induction. La capacité d'entrée de l'oscilloscope est de 10 pF. Elle augmente aussi le temps de réponse du détecteur. L'augmentation du temps de réponse dû à l'oscilloscope aurait pu être amoindrie par une sonde active. La figure 5.12 montre une photographie du montage pour mesurer le temps de réponse du détecteur.

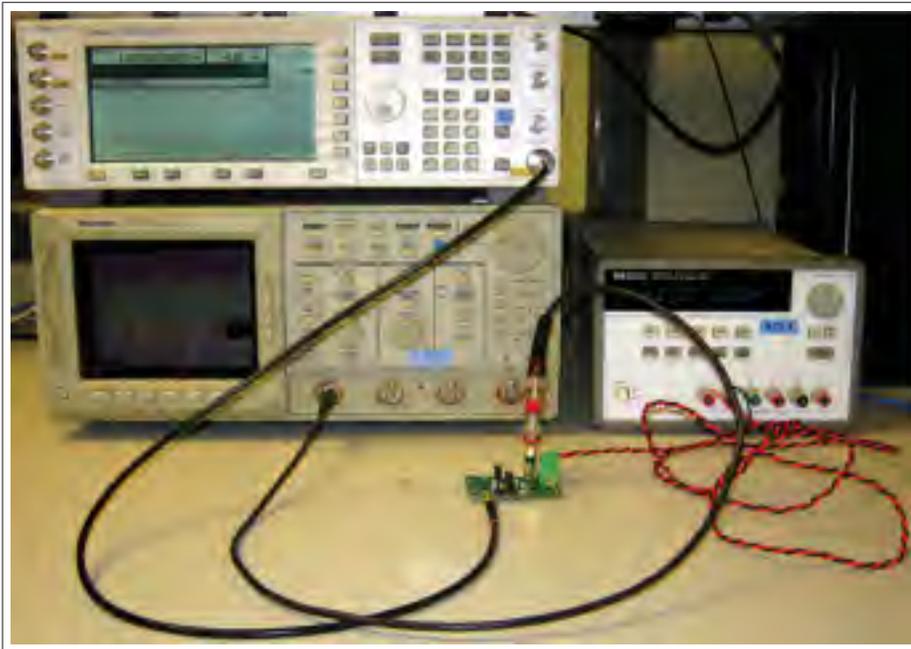


Figure 5.12 Montage pour mesurer le temps de réponse du détecteur de puissance.

Une prise d'écran de l'oscilloscope, lorsque le détecteur Det2 est sélectionné, est illustrée à la figure 5.13. La fréquence du signal RF est 2.7 GHz et sa puissance est 3 dBm. Le temps de réponse mesuré est 11.9 μ s. Ce temps est beaucoup plus grand que celui simulé au chapitre 3, qui était de 6 μ s. Par contre, le circuit simulé a une charge réelle.

Les temps de réponse mesurés des deux autres unités de détection sont semblables à celui de Det2. Le temps de réponse maximum mesuré est d'environ $99 \mu\text{s}$. Il est obtenu lorsque Det2 est sélectionnée, que la puissance détectée est -17 dBm et que la fréquence du signal est 2.7 GHz .

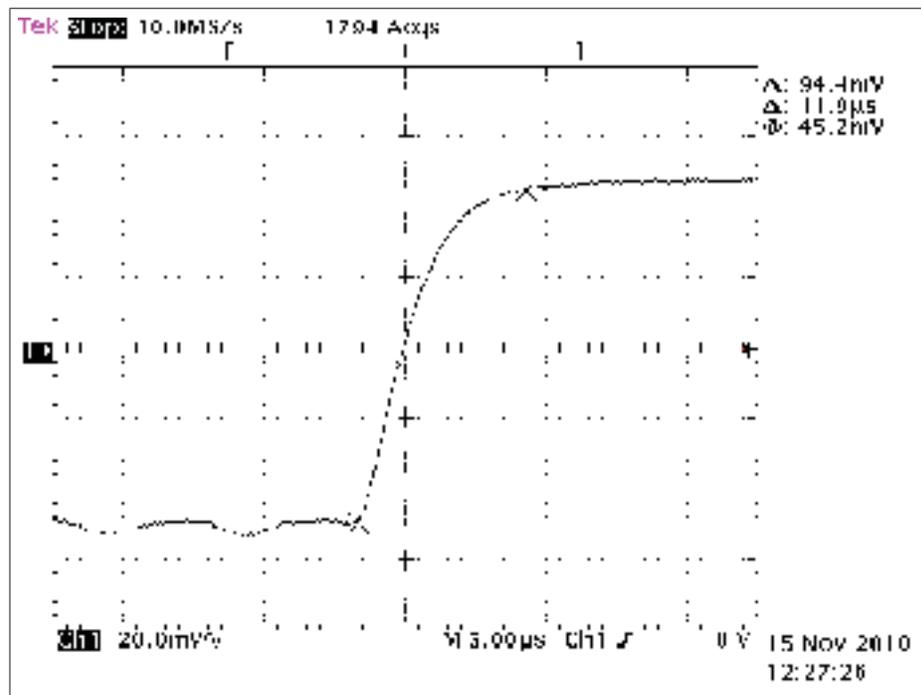


Figure 5.13 Mesure du temps de réponse lorsque Det2 est sélectionnée. La puissance mesurée est de 3 dBm et la fréquence du signal est 2.7 GHz .

5.5 Consommation en puissance

Les mesures de consommation de puissance sont faites avec un ampèremètre. Le courant mesuré est multiplié à la tension d'alimentation. Cette tension est 1.2 V. La figure 5.14 montre le graphique des mesures de la puissance consommée par le circuit intégré.

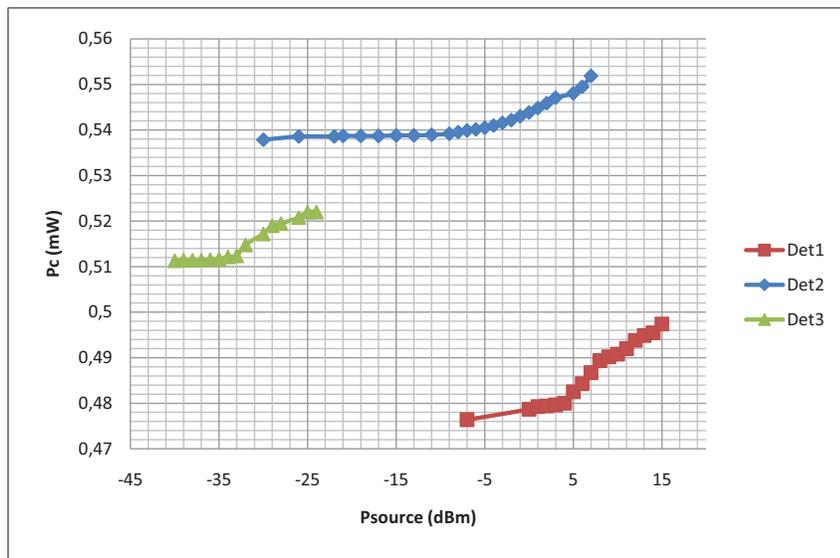


Figure 5.14 Mesures de la consommation de puissance.

L'unité de détection qui est sélectionnée est identifiée. La consommation de puissance mesurée est différente de celle qui est simulée (voir chapitre 3), car les résistances $R_{alim1,2,3}$ et R_{pola} n'ont pas la même valeur qu'en simulation. Néanmoins, l'allure des courbes ressemble à celles qui sont simulées. Les valeurs des résistances $R_{alim1,2,3}$ et R_{pola} qui maximisent la plage dynamique du détecteur, sont indiquées au tableau 5.2. Les mesures de puissances sont faites avec ces valeurs de résistances.

La consommation de puissance minimum n'est pas la même pour chaque unité de détection, parce que R_{pola} change d'une unité de détection à l'autre. La consommation de puissance mesurée maximum est 0.554 mW. Par contre, le détecteur de puissance

distribué pourrait avoir besoin de trois circuits de polarisation puisque la valeur de R_{pola} change en fonction de l'unité de détection. Cet ajout augmenterait la consommation de puissance du détecteur.

Tableau 5.2 Valeurs des résistances externes au circuit intégré qui maximisent la plage dynamique du détecteur

Unité de détection	R_{pola}	R_{alim1}	R_{alim2}	R_{alim3}
Det1	6.76 k Ω	2 k Ω	-	-
Det2	5 k Ω	-	4.3 k Ω	-
Det3	2 k Ω	-	-	5.73 k Ω

5.6 Analyse des résultats

L'hypothèse vérifiée est que l'architecture de détecteur de puissance distribué, introduite au chapitre 3, est adaptée aux besoins d'un SAAI dont plusieurs parties seraient intégrées dans un système sur puce. Les requis sont une grande plage dynamique, une grande bande d'opération, un temps de réponse court et une faible consommation de puissance. Typiquement, les détecteurs de puissance RF réalisés avec un procédé CMOS, obtiennent une sortie logarithmique, avec une série d'amplificateurs limiteurs (voir chapitre 2). Pour soutenir l'hypothèse, le détecteur de puissance distribué doit avoir une plage dynamique et une bande d'opération, comparables à celles des détecteurs de puissance à amplificateurs limiteurs, tout en ayant une consommation de puissance plus faible. De plus, le temps de réponse doit être petit, car il limite la vitesse d'adaptation du SAAI (voir chapitre 1).

Le tableau 5.3 montre les caractéristiques de deux détecteurs de puissance à amplificateurs limiteurs qui obtiennent de bonnes performances, et du détecteur de puissance réalisé dans ce travail. P_c est la consommation de puissance et PD est la plage dynamique.

Tableau 5.3 Caractéristiques de détecteurs de puissance à amplificateurs limiteurs et du détecteur de puissance réalisé dans ce travail

Détecteur	bande d'opération	P_c (mW)	PD (dB)
[7]	4 MHz à 2.4 GHz	27.5 mW	65 dB
[34]	jusqu'à 6 GHz	17 mW	45 dB
Ce travail	500 MHz à 4 GHz	0.554 mW	35 dB

La figure 5.15 montre un graphique des mesures de la caractéristiques de transfert de chacune des unités de détection à 1 GHz. Si on compare ces mesures aux simulation « post-layout » de la figure 4.4 on remarque qu'un niveau de tension continue est ajouté à chaque droite. La longueur de la plupart des transistors du circuit est $120 \mu\text{m}$. Ainsi, on prend l'hypothèse que les changements de tension sont dus aux variations du procédé de fabrication⁶. En outre, pour obtenir ces plages dynamiques, les résistances d'ajustement des tensions d'alimentation n'ont pas les mêmes valeurs que celles des simulations.

Une simulation du signal numérique à la sortie du détecteur de puissance RF distribué est illustrée à la figure 5.16. Les mesures à 1 GHz des trois unités de détection ont été traitées afin d'obtenir une plage dynamique continue sur 8 bits. Les discontinuités entre chaque unité de détection pourraient être compensées de façon numérique.

6. $120 \mu\text{m}$ est la longueur minimum réalisable par le procédé de fabrication CMOS $0.13 \mu\text{m}$.

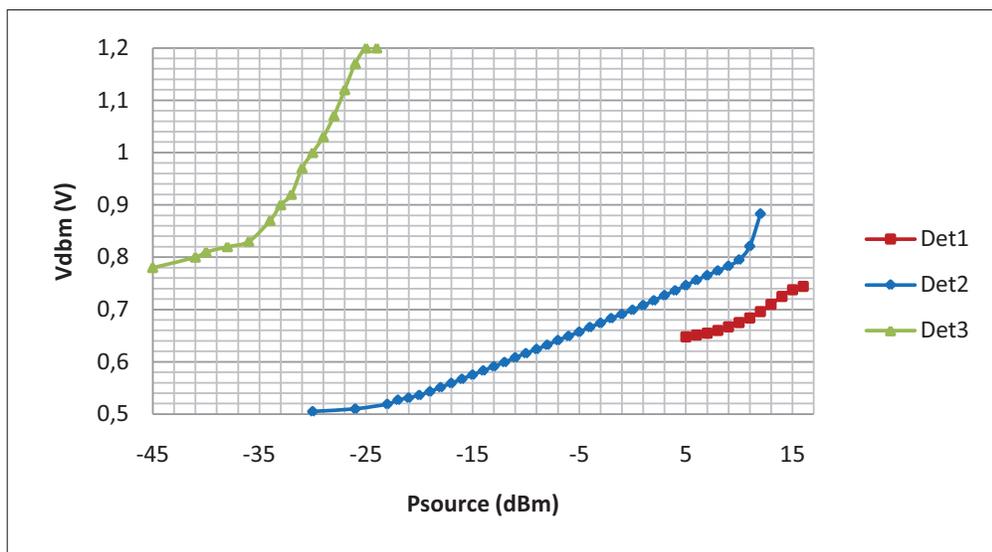


Figure 5.15 Tension de sortie V_{dbm} en fonction de la puissance d'entrée à 1 GHz.

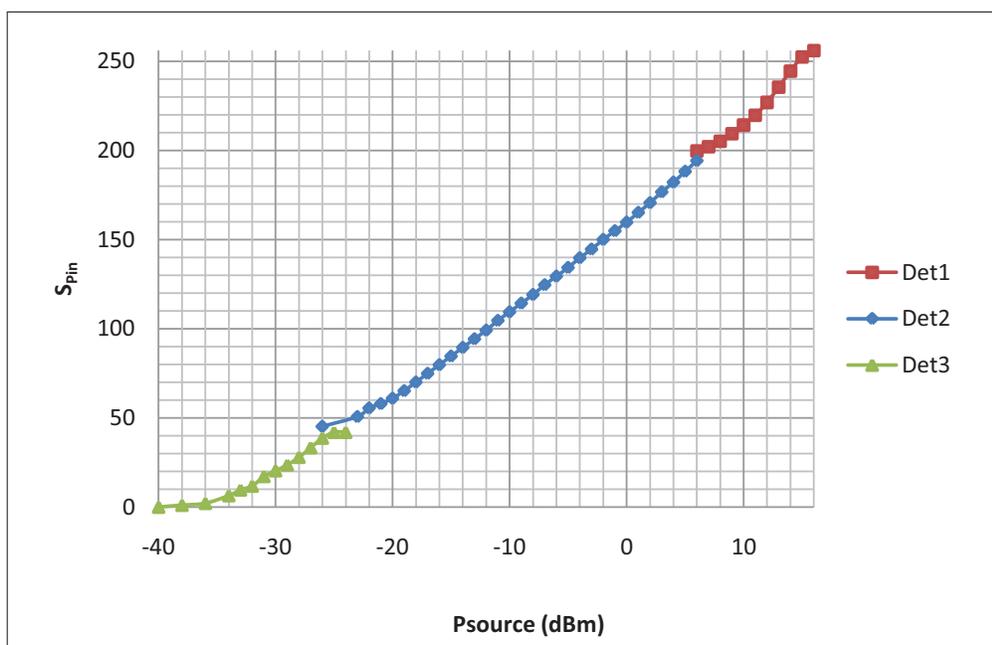


Figure 5.16 Signal numérique S_{pin} simulé en fonction de la puissance d'entrée à 1 GHz.

Le tableau 5.4 montre les pentes des caractéristiques de transfert. Plus l'unité détecte de faibles puissances, plus une grande variation de la tension de sortie de l'unité de détection est obtenue, lorsque la puissance à l'entrée change.

Tableau 5.4 Pente des caractéristiques de transfert des trois unités de détection

Unité de détection	Pente
Det1	3 mV/dB
Det2	8.6 mV/dB
Det3	36.4 mV/dB

Les figures 5.17, 5.18 et 5.19 illustrent des graphiques de l'erreur en dB de la sortie des unités de détection en fonction de la puissance d'entrée. La plage dynamique des unités de détection peut être déterminée en fonction de l'erreur en dB qui est tolérée.

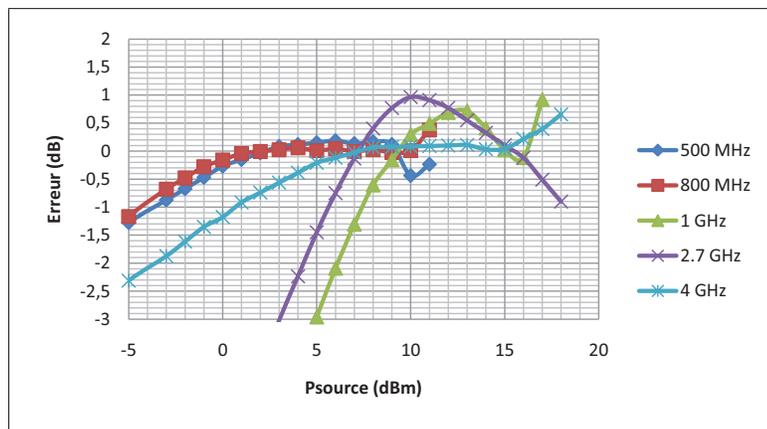


Figure 5.17 Erreur en dB de la sortie de l'unité de détection Det1 en fonction de la puissance d'entrée.

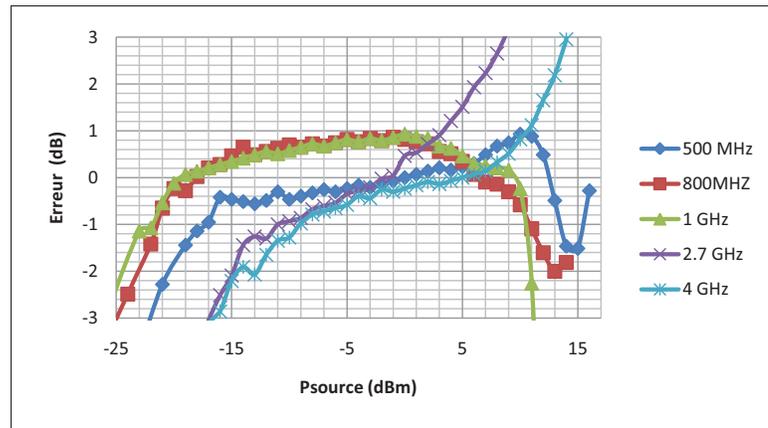


Figure 5.18 Erreur en dB de la sortie de l'unité de détection Det2 en fonction de la puissance d'entrée.

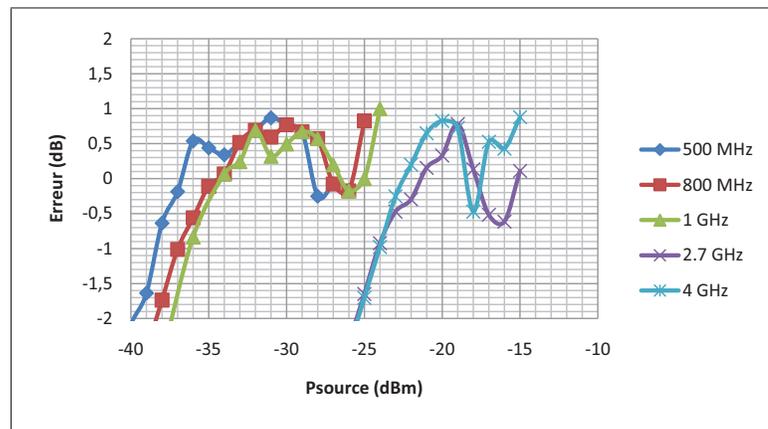


Figure 5.19 Erreur en dB de la sortie de l'unité de détection Det3 en fonction de la puissance d'entrée.

Pour obtenir ces graphiques, une droite théorique de la caractéristique de transfert de l'unité de détection est comparée aux mesures. La droite théorique a la même pente pour chaque fréquence observée. Cependant, un décalage sur l'axe de la puissance d'entrée est admissible. Les pentes des droites théoriques sont celles indiquées au tableau 5.4.

Les mesures des zones de détection des différentes unités de détection qui ont ± 1 dB d'erreur sont résumées dans le tableau 5.5. L'erreur tolérée est spécifique à la conception. Dans [24], elle est ± 0.5 dB et dans [30] elle est ± 2.4 dB. Une correction numérique de la puissance lue pourra être réalisée dans le détecteur distribué, afin de réduire l'erreur. L'erreur maximum tolérée détermine dans quelle mesure le SAAI peut adapter une charge à une source.

Tableau 5.5 Zones de détection en dBm des unités de détection avec ± 1 dB d'erreur

500 MHz		
Det3	Det2	Det1
-38 à -27	-17 à 13	-3 à 11
800 MHz		
Det3	Det2	Det1
-37 à -25	-22 à 11	-4 à 11
1 GHz		
Det3	Det2	Det1
-36 à -24	-21 à 10	8 à 17
2.7 GHz		
Det3	Det2	Det1
-24 à -15	-9 à 3	6 à 18
4 GHz		
Det3	Det2	Det1
-24 à -15	-11 à 10	1 à 18

Une bande de puissance n'est pas détectée par le détecteur. En effet, pour la totalité de la bande d'opération, la zone de détection de Det3 ne rejoint pas celle de Det2. Une autre bande n'est pas détectée entre Det1 et Det2 à 2.7 GHz. À 500 MHz et 800 MHz les puissances détectées par Det1, sont aussi détectées par Det2. De ces observations,

les zones de détections doivent être ajustées de façon à ce qu'il n'y ait pas de zone non détectable.

Si on ne tient pas compte des zones non détectables, la plage dynamique maximum est de 53 dB à 1 GHz et la plage dynamique minimum est de 42 dB à 2.7 GHz et 4 GHz. Les puissances qui sont détectées sur toute la bande de fréquence s'étendent de -24 dBm à 11 dBm. La plage dynamique qui est détectée pour des fréquences de 500 MHz à 4 GHz est de 35 dB.

La plage dynamique est très dépendante des résistances $R_{alim1,2,3}$ et R_{pola} . La figure 5.20 montre l'effet de R_{alim2} sur l'erreur en dB de la sortie de l'unité de détection Det2, lorsque le signal d'entrée est de 1 GHz. Une petite variation de la valeur de la résistance entraîne une grande dégradation de la plage dynamique.

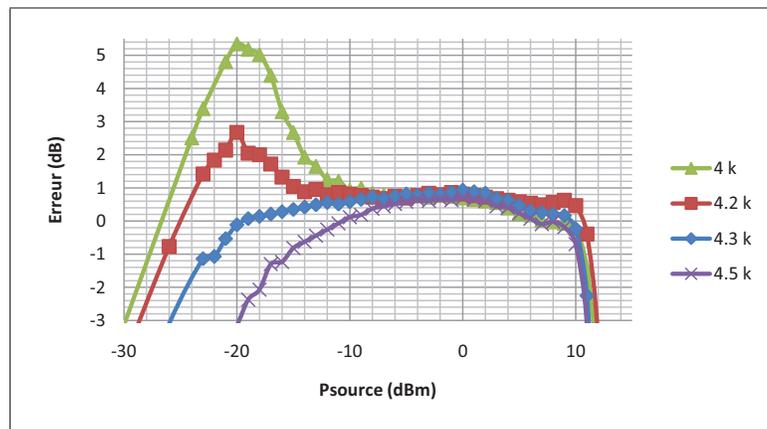


Figure 5.20 Effet de R_{alim2} sur l'erreur en dB de la sortie de l'unité de détection Det2 lorsque le signal d'entrée est 1 GHz.

Le tableau 5.6 montre l'effet de R_{alim2} sur la plage dynamique de Det2, si on tolère une erreur de ± 1 dB. Si R_{alim2} passe de 4.3 k Ω à 4.2 k Ω , soit une variation de 2.3%, la plage dynamique diminue de 6 dB.

La consommation de puissance maximum du circuit intégré est de 0.554 mW. Cette consommation représente une portion significative⁷ de la consommation de puissance totale du détecteur de puissance distribué (voir chapitre 3). Comparée à la consommation des détecteurs de puissance à amplificateurs limiteurs du tableau 5.3, la consommation totale du détecteur de puissance distribué est beaucoup plus faible. La bande d'opération de 500 MHz à 4 GHz est comparable à celle des détecteurs du tableau 5.3 et la plage dynamique est plus petite. Néanmoins, une optimisation des dimensions des unités de détection pourrait augmenter la plage dynamique. Ces observations soutiennent l'hypothèse que l'architecture de détecteur de puissance distribué est adaptée aux besoins d'un SAAI dont plusieurs parties seraient intégrées dans un système sur puce.

Tableau 5.6 Effet de R_{alim2} sur la plage dynamique de Det2 lorsque le signal d'entrée est 1 GHz et qu'une erreur de ± 1 dB, est tolérée

R_{alim2}	Plage dynamique
4 k Ω	20 dB
4.2 k Ω	25 dB
4.3 k Ω	31 dB
4.5 k Ω	25 dB

5.7 Conclusion

Une mesure du paramètre S_{11} a permis de vérifier dans quelle proportion la puissance qui est fournie par la source de puissance est transmise au détecteur. Cette mesure est importante, afin de valider que la puissance fournie, est presque équivalant à celle qui

7. La consommation de puissance de la partie numérique du système dépend de la fréquence d'horloge (voir chapitre 3).

est détectée par le détecteur de puissance. Cette mesure a aussi établi dans quelle mesure le maximum de tension, qui se trouve à l'entrée du détecteur, varie en fréquence (TOS).

Les variations de la plage dynamique des trois unités de détection en fonction de R_{pola} , de $R_{alim1,2,3}$, de la fréquence d'opération et de la température ont été mesurées. Une variation de R_{alim2} de 2.3% peut diminuer la plage dynamique de 6 dB. R_{pola} et $R_{alim1,2,3}$ devront être réalisées avec des résistances qui ont une très petite variation, dans une réalisation où elles sont intégrées dans l'IC. Une autre solution serait de remplacer ces circuits par des sources de courant (idéalement « Bandgap »). Une augmentation de la fréquence du signal détecté décale la plage dynamique vers des puissances plus élevées. La fréquence peut aussi faire varier la grandeur de l'intervalle de puissance détectée par une unité de détection. La température influence aussi la plage dynamique. Par contre, aucune compensation de la température n'est incluse dans le circuit intégré. Un circuit « Bandgap » devrait être ajouté dans une prochaine itération.

Des zones de puissances non détectables sont dans la plage dynamique totale du détecteur de puissance RF distribué. Ces zones sont localisées entre les unités de détections. Une révision des dimensions des unités de détection peut régler ce problème. De plus, cette correction pourrait augmenter les plages dynamiques couvertes par Det1 et Det3 ; elles sont beaucoup plus petites que celle couverte par Det2.

Une erreur de ± 1 dB a été tolérée afin de déterminer la plage dynamique des unités de détection. Une compensation numérique pourrait réduire cette erreur, et pourrait augmenter la plage dynamique totale en tolérant une plus grande erreur.

En résumé, une batterie de mesures a permis de soutenir l'hypothèse que l'architecture de détecteur de puissance RF distribué est adaptée aux besoins d'un SAAI, dont plusieurs parties seraient intégrées dans un système sur puce. Une plage dynamique de 35 dB sur une bande d'opération qui s'étend de 500 MHz à 4 GHz a été mesurée. La consommation de puissance maximum du circuit intégré, qui représente possible-

ment une grande portion de la consommation totale du détecteur de puissance distribué, est de 0.554 mW. Cette consommation est significativement plus faible que celle des détecteurs à amplificateurs limiteurs, typiquement utilisés dans la détection de puissance de signaux RF.

CONCLUSION

Un système automatique d'adaptation d'impédance est un dispositif qui adapte dynamiquement l'impédance d'une charge à celle d'une source. L'adaptation d'impédance est corrigée lorsque la fréquence de la porteuse d'une radio agile change ou quand l'impédance de l'antenne est modifiée par son environnement. La motivation pour un SAAI est d'améliorer l'efficacité du système de communication. Les détecteurs de puissance RF sont un élément critique du SAAI, car ils ont un impact direct sur les performances du système.

Pour que le SAAI soit efficace, sa consommation de puissance doit être plus petite que le gain en puissance transmise. Une grande partie de la consommation de puissance du système est faite par les détecteurs de puissance. L'efficacité du SAAI peut être améliorée en réduisant la consommation de puissance des détecteurs. La qualité de l'adaptation d'impédance est déterminée par l'aptitude du SAAI à mesurer le coefficient de réflexion en puissance. La résolution maximum dans la mesure du coefficient de réflexion de puissance est déterminée par la plage dynamique du détecteur de puissance. De plus, la perte d'insertion due au SAAI peut être réduite si la résolution du détecteur de puissance est augmentée. En résumé, les performances du SAAI peuvent être améliorées si les caractéristiques du détecteur de puissance sont correctement choisies.

La conception d'un détecteur de puissance dédié au SAAI a été faite dans ce travail. Les caractéristiques du détecteur de puissance, énumérées au chapitre 3, sont dérivées des explications du SAAI faites au chapitre 1 et des topologies et caractéristiques typiques de détecteur de puissances RF, qui sont revues au chapitre 2. Une architecture de détecteur de puissance RF distribué est la solution qui a été adoptée pour rencontrer les caractéristiques. Trois unités de détection qui ont une faible consommation de puissance et des sensibilités différentes sont utilisées pour couvrir la totalité de la plage dynamique. La sélection de l'unité de détection appropriée est faite à

l'aide d'un multiplexeur analogique et d'un démultiplexeur analogique. La sélection est faite dynamiquement en fonction de la puissance à l'entrée du détecteur. L'architecture à amplificateurs limiteurs, qui est habituellement utilisée pour la détection de puissance RF logarithmique, consomme beaucoup de puissance. Cette architecture pourrait compromettre l'efficacité du SAAI.

Les parties analogiques du détecteur de puissance distribué ont été réalisées dans un circuit intégré. La conception du circuit intégré a été expliquée au chapitre 3. Les résultats de simulation montrent que la consommation de puissance de l'architecture distribuée est réduite par rapport aux autres détecteurs de puissance qui ont une plage dynamique semblable.

Le détecteur est réalisé avec un procédé CMOS 0.13 μm de IBM. La vérification expérimentale du circuit a été présentée au chapitre 5. Les résultats expérimentaux ont confirmé que la puissance consommée par le circuit distribué est bien réduite par rapport à celle consommée par les détecteurs de puissance RF à amplificateurs limiteurs. Par contre, la plage dynamique obtenue est réduite par rapport au détecteur à amplificateur limiteur. Néanmoins, elle est suffisante pour le SAAI.

Limitations du circuit réalisé

Quelques limitations du circuit réalisé ont été identifiées à partir des simulations du chapitre 3 et de la vérification expérimentale du chapitre 5. De ces limitations, des corrections vont être appliquées au circuit dans une prochaine itération.

- Les inductances réalisées en CMOS prennent un espace considérable. Le prix d'une surface de silicium, et les caractéristiques du procédé de fabrication imposent une limite de la valeur des inductances d'arrêt. Les inductances réalisées sur le circuit intégré laissent passer une partie du signal RF de chaque côté d'une paire différentielle, ce qui détériore le signal. Une solution possible à ce problème serait de réaliser les inductances à l'extérieur du circuit intégré ; par exemple sur un substrat LTCC.

- Le gain et le bruit des amplificateurs opérationnels limitent la résolution des unités de détections.
- Le circuit n'est pas stable en température. Des circuits « Bandgap » permettraient d'obtenir une plus grande stabilité.
- Des zones non détectables de la plage dynamique sont localisées entre les zones de détection des unités de détection. Une optimisation des dimensions des unités de détection pourrait éliminer les zones non détectables, et pourrait augmenter la plage dynamique.
- Une variation de la valeur des résistances d'ajustement des alimentations a un grand effet sur la plage dynamique du détecteur.

Contributions scientifiques

Les contributions scientifiques de ce travail sont :

- Revue de littérature permettant de faire une synthèse des avantages et inconvénients des différents types d'interrupteurs utilisés dans les réseaux d'adaptation d'impédance reconfigurables (voir Tableau 1.1).
- Proposition d'une nouvelle architecture de détecteur de puissance RF qui obtient une grande plage dynamique (35 dB) et une faible consommation de puissance (≈ 0.554 mW) sur une bande de fréquences d'opération qui s'étend de 500 MHz à 4 GHz. Le détecteur de puissance conçu et réalisé dans le cadre de cette maîtrise sera l'objet d'une publication lors de la conférence internationale IEEE Northeast Workshop on Circuits and Systems (IEEE NEWCAS 2011) [4].
- Réalisation et vérification expérimentale du circuit proposé.

Travaux futurs

Pour conclure, quatre axes de recherche pourraient être empruntés à la suite de ce travail :

- La conception de la partie numérique du détecteur de puissance RF distribué pourrait être faite. Dans cette partie serait inclus l'algorithme de sélection de l'unité de détection en fonction et la linéarisation de la sortie numérique du détecteur.
- L'optimisation de cette architecture de détecteur de puissance RF pourrait être étudiée. En augmentant le gain des amplificateurs opérationnels et en réalisant les inductances à l'extérieur du circuit intégré, de meilleures performances pourraient être obtenues.
- Une nouvelle architecture de détecteur de puissance RF pourrait être étudiée. La nouvelle architecture pourrait inclure une unité de détection, qui serait précédée par un pré-traitement du signal, composé par une batterie d'atténuateurs et d'amplificateurs.
- L'intégration de toutes les parties du SAAI sur une puce ou dans un boîtier pourrait être étudiée.

BIBLIOGRAPHIE

- [1] J. de MINGO, A. VALDOVINOS, A. CRESPO, D. NAVARRO et P. GARCIA, « An rf electronically controlled impedance tuning network design and its application to an antenna input impedance automatic matching system », *Microwave Theory and Techniques, IEEE Transactions on*, vol. 52, no. 2, p. 489–497, 2004.
- [2] E. L. FIRRAO, A. J. ANNEMA et B. NAUTA, « An automatic antenna tuning system using only rf signal amplitudes », *Circuits and Systems II : Express Briefs, IEEE Transactions on*, vol. 55, no. 9, p. 833–837, 2008.
- [3] M. C. DETTMAN, « A semi-automatic tuning high frequency communications equipment », *Vehicular Communications, IRE Transactions on*, vol. 7, no. 1, p. 29–33, 1956.
- [4] F.-D. RICHARDSON, A. B. KOUKI et G. GAGNON, « A cmos rf power detector for an automatic impedance matching system », *dans NEWCAS 2011*, 2011.
- [5] D. M. POZAR, *Microwave Engineering*. Hoboken, NJ : John Wiley & Sons, 2005.
- [6] J. de MINGO, A. CRESPO et A. VALDOVINOS, « Input impedance antenna automatic matching system », *dans Personal, Indoor and Mobile Radio Communications, 2002. The 13th IEEE International Symposium on*, vol. 4, p. 1872–1876 vol.4, 2002.
- [7] S.-H. OH, H. SONG, J. T. ABERLE, B. BAKKALOGLU et C. CHAKRABARTI, « Automatic antenna-tuning unit for software-defined and cognitive radio », *Wireless Communications and Mobile Computing*, vol. 7, no. 9, p. 1103–1115, 2007. 10.1002/wcm.484.
- [8] S. HANG, B. BAKKALOGLU et J. T. ABERLE, « A cmos adaptive antenna-impedance-tuning ic operating in the 850mhz-to-2ghz band », *dans Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, p. 384–385, 385a, 2009.
- [9] A. ZOLOGY, F. MERNYEI, J. ERDELYI, M. PARDOEN et G. TOTH, « Automatic antenna tuning for rf transmitter ic applying high q antenna », *dans Radio Frequency Integrated Circuits (RFIC) Symposium, 2004. Digest of Papers. 2004 IEEE*, p. 501–504, 2004.
- [10] S. HANG, J. T. ABERLE et B. BAKKALOGLU, « A mixed-signal matching state search based adaptive antenna tuning ic », *Microwave and Wireless Components Letters, IEEE*, vol. 20, no. 10, p. 581–583, 2010.
- [11] F. DOMINGUE, A. B. KOUKI et R. R. MANSOUR, « Tunable microwave amplifier using a compact mems impedance matching network », *dans Microwave Integrated Circuits Conference, 2009. EuMIC 2009. European*, p. 351–354, 2009.

- [12] Q. DONGJIANG, R. MOLFINO, S. M. LARDIZABAL, B. PILLANS, P. M. ASBECK et G. JERINIC, « An intelligently controlled rf power amplifier with a reconfigurable mems-varactor tuner », *Microwave Theory and Techniques, IEEE Transactions on*, vol. 53, no. 3, p. 1089–1095, 2005.
- [13] P. SJOBLUM et H. SJOLAND, « An adaptive impedance tuning cmos circuit for ism 2.4-ghz band », *Circuits and Systems I : Regular Papers, IEEE Transactions on*, vol. 52, no. 6, p. 1115–1124, 2005.
- [14] Agile Materials & Technologies inc., *Tunability - An Enabling Technology for Wireless*, 2003.
- [15] A. B. KOUKI, I. MASRI, F. GAGNON et C. THIBEAULT, « On the embedded vector rf measurements in frequency agile and reconfigurable front-ends », *dans Design and Technology of Integrated Systems in Nanoscale Era (DTIS), 2010 5th International Conference on*, p. 1–5, 2010.
- [16] W. XINYUAN, S. JINGZHAO et F. ZHENGHE, « Real time measurement of vswr with directional couplers », *dans Microwave and Millimeter Wave Technology, 2004. ICMMT 4th International Conference on, Proceedings*, p. 719–722, 2004.
- [17] M. A. Y. ABDALLA, K. PHANG et G. V. ELEFThERIADES, « A compact highly reconfigurable cmos mmic directional coupler », *Microwave Theory and Techniques, IEEE Transactions on*, vol. 56, no. 2, p. 305–319, 2008.
- [18] P. BO, Y. YOON, Y. Z. ZHAO, J. PAPAPOLYMEROU, M. M. TENTZERIS et M. ALLEN, « A broadband surface-micromachined 15-45 ghz microstrip coupler », *dans Microwave Symposium Digest, 2005 IEEE MTT-S International*, p. 4 pp., 2005.
- [19] G. V. ELEFThERIADES, « Enabling rf/microwave devices using negative-refractive-index transmission-line (nri-tl) metamaterials », *Antennas and Propagation Magazine, IEEE*, vol. 49, no. 2, p. 34–51, 2007.
- [20] L. KRISHNAMURTHY, V. VAN TUYEN, R. SLOAN, K. WILLIAMS et A. A. REZAZADEH, « Broadband cpw multilayer directional couplers on gaas for mmic applications », *dans High Frequency Postgraduate Student Colloquium, 2004*, p. 183–188, 2004.
- [21] Agilent Technologies, *Agilent Fundamentals of RF and Microwave Power Measurements : Application Note 64-1C*, 2001.
- [22] J. WOCHUL, *Design and fabrication of on chip microwave pulse power detectors*. Thèse de doctorat, 2005.
- [23] F. G. STREMBLER, *Introduction to communication systems*. USA : Addison-Wesley, third edition éd., 1990.

- [24] Y. ZHOU et M. Y. W. CHIA, « A low-power ultra-wideband cmos true rms power detector », *Microwave Theory and Techniques, IEEE Transactions on*, vol. 56, no. 5, p. 1052–1058, 2008.
- [25] V. MILANOVIC, M. GAITAN et M. E. ZAGHLOUL, « Micromachined thermocouple microwave detector in cmos technology », *dans Circuits and Systems, 1996., IEEE 39th Midwest symposium on*, vol. 1, p. 273–276 vol.1, 1996.
- [26] J. WOOCHUL et J. MELNGAILIS, « Cmos&post cmos on-chip microwave pulse power detectors », *dans Semiconductor Device Research Symposium, 2005 International*, p. 3–4, 2005.
- [27] B. RAZAVI, *Design of analog CMOS integrated circuits*. Electrical engineering series, New York, USA : McGraw-Hill, international edition éd., 2001.
- [28] C. ENZ, F. KRUMMENACHER et E. VITTOZ, « An analytical mos transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications », *Analog Integrated Circuit and Signal Processing,,* vol. 8, p. 83–114, 1995.
- [29] G. FERRARI, L. FUMAGALLI, M. SAMPIETRO, E. PRATI et M. FANCIULLI, « Cmos fully compatible microwave detector based on mosfet operating in resistive regime », *Microwave and Wireless Components Letters, IEEE*, vol. 15, no. 7, p. 445–447, 2005.
- [30] K. A. TOWNSEND et J. W. HASLETT, « A wideband power detection system optimized for the uwb spectrum », *Solid-State Circuits, IEEE Journal of*, vol. 44, no. 2, p. 371–381, 2009.
- [31] A. VALDES-GARCIA, R. VENKATASUBRAMANIAN, R. SRINIVASAN, J. SILVA-MARTINEZ et E. SANCHEZ-SINENCIO, « A cmos rf rms detector for built-in testing of wireless transceivers », *dans VLSI Test Symposium, 2005. Proceedings. 23rd IEEE*, p. 249–254, 2005.
- [32] J. GORISSE, A. CATHELIN, A. KAISER et E. KERHERVE, « A 60ghz cmos rms power detector for antenna impedance mismatch detection », *dans Circuits and Systems and TAISA Conference, 2008. NEWCAS-TAISA 2008. 2008 Joint 6th International IEEE Northeast Workshop on*, p. 93–96, 2008.
- [33] J. GORISSE, A. CATHELIN, A. KAISER et E. KERHERVE, « A 60ghz 65nm cmos rms power detector for antenna impedance mismatch detection », *dans ESSCIRC, 2009. ESSCIRC '09. Proceedings of*, p. 172–175, 2009.
- [34] Y. ZHOU et M. Y. W. CHIA, « A wide band cmos rf power detector », *dans Circuits and Systems, 2006. ISCAS 2006. Proceedings. 2006 IEEE International Symposium on*, p. 4 pp.–4231, 2006.

- [35] S. HO, « A 450 mhz cmos rf power detector », dans *Radio Frequency Integrated Circuits (RFIC) Symposium, 2001. Digest of Papers. 2001 IEEE*, p. 209–212, 2001.
- [36] Analog Devices, *AD8314 Data Sheet*, 2006.
- [37] Hittite Microwave Corporation, *HMC610LP4 / 610LP4E*.
- [38] K. JOHNS, David A. Martin, *Analog integrated circuit design*. John Wiley & Sons, 1997.
- [39] C. SVENSSON et A. ALVANDPOUR, « Low power and low voltage cmos digital circuit techniques », dans *Low Power Electronics and Design, 1998. Proceedings. 1998 International Symposium on*, p. 7–10, 1998.
- [40] R. J. BAKER, *CMOS : Circuit design, layout, and simulation*. IEEE Press Series on Microelectronic Systems, Piscataway (NJ) : John Wiley & Son, 2005.
- [41] A. RODRIGUEZ-PEREZ, M. DELGADO-RESTITUTO, J. RUIZ-AMAYA et F. MEDEIRO, « An ultra-low power consumption 1-v, 10-bit successive approximation adc », dans *Electronics, Circuits and Systems, 2008. ICECS 2008. 15th IEEE International Conference on*, p. 634–637, 2008.
- [42] IBM, *CMOS8RF (CMRF8SF) Design Manual*, 2009.