

Mise en œuvre et validation d'une méthodologie estimant la
sensibilité des blocs d'entrée/sortie des FPGA à base de
SRAM face aux radiations

par

Fatima Zahra TAZI

THÈSE PRÉSENTÉE À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
COMME EXIGENCE PARTIELLE À L'OBTENTION
DU DOCTORAT EN GÉNIE
Ph. D.

MONTRÉAL, LE 28 AOÛT 17

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

©Tous droits réservés

Cette licence signifie qu'il est interdit de reproduire, d'enregistrer ou de diffuser en tout ou en partie, le présent document. Le lecteur qui désire imprimer ou conserver sur un autre media une partie importante de ce document, doit obligatoirement en demander l'autorisation à l'auteur.

PRÉSENTATION DU JURY

CETTE THÈSE A ÉTÉ ÉVALUÉE

PAR UN JURY COMPOSÉ DE :

M. Claude Thibeault, directeur de thèse
Département de génie électrique à l'École de technologie supérieure

M. Yvon Savaria, codirecteur de thèse
Département de génie électrique à l'École Polytechnique

M. Philippe Bocher, président du jury
Département de génie mécanique à l'École de technologie supérieure

M. Jean-François Boland, membre du jury
Département de génie électrique à l'École de technologie supérieure

M. Ghyslain Gagnon, membre du jury
Département de génie électrique à l'École de technologie supérieure

M. Amine Miled, membre externe indépendant
Département de génie électrique et de génie informatique à l'Université LAVAL

ELLE A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 5 JUILLET 2017

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

Je tiens tout d'abord à remercier mon directeur de thèse, le Professeur Claude Thibeault, pour ses conseils, sa grande compétence, sa rigueur intellectuelle, son dynamisme, son efficacité et aussi son soutien financier et moral tout le long de ces années de thèse. Je suis certaine que je ne pourrai jamais oublier Mr Thibeault. Soyez assuré de mon attachement et de ma profonde gratitude.

J'aimerais aussi remercier mon co-directeur de thèse, le professeur Yvon Savaria pour son expérience scientifique, ses conseils pertinents, ses remarques constructives et sa présence permanente. Je remercie également les membres du jury pour leur collaboration durant l'examen de ce travail, leurs conseils et leur participation à la soutenance.

Mes remerciements vont aussi à tous mes collègues et ami(e)s du laboratoire LACIME et à toutes les personnes formidables que j'ai rencontrées par le biais de l'ÉTS. Je remercie spécialement et chaleureusement mes amies Khadija, Najla et Sana pour leur présence et leurs encouragements.

Enfin, les mots les plus simples étant les plus forts, j'adresse toute mon affection à ma famille, au Canada et au Maroc. Un grand merci à ma maman chérie, Touria, qui m'a toujours épaulée et aimée. Je remercie également mes deux grands amours, mon mari Yassine et ma petite princesse Rita, pour leur amour, leur présence dans ma vie et surtout pour le soutien et l'encouragement que mon mari m'a donné. J'adresse aussi mes remerciements à ma sœur bien-aimée Imane et à mes deux frères chéris Mohammed et Hassan d'avoir toujours cru en moi. Je ne peux pas laisser passer cette occasion sans remercier ma belle-famille et spécialement ma belle-mère Lalla Fatima, Kenza, Amina, Aziza et Pierre. Merci pour votre patience, votre soutien et votre présence dans ma vie. Je vous aime.

A la mémoire de ma grand-mère Hajja Ghita El Ouazzani et mon père Haj Said Tazi.

VI

Une pensée pour terminer ces remerciements pour vous (May et Papa) qui n'avez pas vu l'aboutissement de mon travail mais je sais que vous en auriez été très fiers de votre fille !!!

MISE EN ŒUVRE ET VALIDATION D'UNE MÉTHODOLOGIE ESTIMANT LA SENSIBILITÉ DES BLOCS D'ENTRÉE/SORTIE DES FPGA À BASE DE SRAM FACE AUX RADIATIONS

Fatima Zahra TAZI

RÉSUMÉ

De nos jours, l'effet des radiations cosmiques sur l'électronique est devenu la préoccupation par excellence des intervenants qui sont intéressés par la robustesse des circuits intégrés. Plusieurs études ont été menées dans cette optique, essentiellement pour les applications spatiales où les environnements sont denses en ce qui a trait aux particules qui peuvent engendrer le dysfonctionnement voir la destruction de ces applications, lorsque ces particules interagissent avec les circuits intégrés. Les circuits tolérants aux radiations semblent être une bonne solution pour améliorer la robustesse de ces circuits. Cependant, ces circuits sont généralement plus coûteux et ils ont quelques nœuds technologiques en retard sur les circuits non tolérants. Les concepteurs préfèrent alors utiliser des circuits conventionnels et appliquer des méthodes de mitigation afin d'améliorer la tolérance aux erreurs passagères.

Afin d'améliorer la tolérance et la fiabilité des circuits conventionnels, il est indispensable d'analyser la vulnérabilité de ces circuits dans les différents niveaux du flot de conception. Ceci se traduit par une adaptation des méthodes de conception conventionnelles afin d'intégrer la tolérance aux erreurs causées par les radiations.

Dans cette thèse, nous sommes principalement intéressés à élaborer, mettre en œuvre et valider une approche méthodique permettant d'estimer la sensibilité des ressources requises pour l'implémentation d'applications avioniques dans les circuits intégrés programmables (FPGA) à base de mémoire SRAM, par rapport aux événements singuliers (Single Event Upset, SEU) et multiples (Multiple Bit Upset, MBU). En effet, les FPGA à base de mémoire SRAM sont de plus en plus utilisés par l'industrie de l'aérospatial grâce à leurs caractéristiques de prototypage rapide et de reconfiguration sur site bien qu'ils soient vulnérables aux radiations. Nous proposons une nouvelle méthodologie qui étudie les effets des événements singuliers (SEU et MBU) sur les blocs d'entrée/sortie (IOB) des FPGA à base de SRAM. Plus précisément, cette étude propose un modèle de pannes de délai permettant de caractériser l'impact de ces événements sur les IOB.

Dans ce contexte, cette thèse s'est appuyée sur l'étude de deux FPGA (Virtex-5 et Artix-7) de la société Xilinx. Deux différentes techniques ont été utilisées pour générer des SEU, à savoir l'injection de pannes et les expériences réelles d'irradiation. Les résultats obtenus durant les expériences d'irradiation ont montré l'existence de délais dans les IOB induits par les SEU de l'ordre de 6.2 ns pour le Virtex-5 et 3.8 ns pour l'Artix-7. Ces résultats ont été validés aussi par injection de pannes au moyen de l'utilitaire SEU Controller.

Cette thèse présente aussi une étude plus poussée de l'effet des radiations sur les délais observés dans les IOB des FPGA à base de SRAM. Plus spécifiquement, cette recherche a

VIII

proposé et validé des modèles de pannes permettant de décrire et de mieux comprendre les mécanismes pouvant mener aux délais observés dans les IOB.

Un dernier aspect de cette thèse réside dans l'étude de la fiabilité de la robustesse de quelques techniques de mitigation appliquées à l'intérieur des IOB des FPGA à base de SRAM. Des observations importantes ont révélé que les SEU qui affectent les IOB peuvent rendre les techniques de correction et de reconfiguration (*Scrubbing*) insuffisantes pour corriger et éviter l'accumulation de plusieurs erreurs. Ces observations ont lancé une réflexion sur le type de technique de mitigation adéquat qui doit être utilisé dans les IOB en présence des SEU.

Mots clés: FPGA à base de SRAM, SEU, MBU, IOB, effets des radiations, électronique embarquée, techniques de mitigation.

MISE EN ŒUVRE ET VALIDATION D'UNE MÉTHODOLOGIE ESTIMANT LA SENSIBILITÉ DES BLOCS D'ENTRÉE/SORTIE DES FPGA À BASE DE SRAM FACE AUX RADIATIONS

Fatima Zahra TAZI

ABSTRACT

Nowadays, the effects of cosmic rays on electronics have become the pre-eminent concern of researchers who are interested in the robustness of integrated circuits. Many researches have been elaborated in this direction, mainly for aerospace applications where the environments are dense in terms of particles which can lead to the dysfunction or even to the destruction of these applications, when interacting with integrated circuits. Radiation tolerant circuits seem to be a good solution to improve the robustness of these circuits. However, those circuits are generally more expensive and their technologies often lag a few generations behind non-tolerant circuits. Designers prefer to use conventional circuits and apply mitigation techniques to improve the tolerance of soft errors.

To improve the tolerance and the reliability of conventional circuit, it is necessary to analyze the vulnerability of these circuits in different levels of abstraction in the design flow. Conventional design methodologies need to be adapted in order to evaluate the tolerance to errors caused by radiation.

In this Thesis, we are mainly interested to elaborate and validate a methodology allowing the estimation of the sensibility of resources required to implement avionics applications in SRAM-based FPGA, against single events (SEU) and multiple events (MBU). In fact, the SRAM-based FPGA are increasingly used by the aerospace community due to their rapid prototyping and on-site reconfiguration characteristics, although they are vulnerable to radiation. We propose a new methodology to study the effects of single events (SEU and MBU) on the input/output blocs (IOB) of SRAM-based FPGA. More precisely, this study propose a delay model to characterize the impacts of these events on IOBs.

In the same context, this Thesis is based on the study of two Xilinx FPGAs (Virtex-5 and Artix-7). Two different techniques were used to generate SEUs, namely fault injection and irradiation experiments. The results from irradiation showed the existence of delays in the IOBs up to 6.2 ns for the Virtex-5 and up to 3.8 ns for the Artix-7. Those results were validated by fault injection using the SEU Controller.

This thesis also presents a further study of the effect of radiations on the delays observed in the IOBs of SRAM-based FPGAs. More precisely, this research propose and validate delay models allowing to describe and better understand the mechanisms that can lead to the delays observed in IOBs.

A final aspect of this thesis is the study of the reliability and the robustness of some mitigation techniques applied inside the IOBs of SRAM-based FPGAs. Important observations have

revealed that the SEUs affecting the IOBs can make the correction and reconfiguration techniques (Scrubbing) insufficient to correct and avoid the accumulation of several errors. These observations led to a reflection on the type of adequate mitigation technique that must be used in IOBs in the presence of SEUs.

Keywords: SRAM-based FPGA, SEU, MBU, IOB, Radiation effects, Embedded electronics, Mitigation techniques.

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 NOTIONS DE BASE	5
1.1 Environnement radiatif naturel	5
1.1.1 Environnement radiatif spatial.....	5
1.1.2 Environnement radiatif atmosphérique.....	8
1.2 Effets des radiations sur les circuits électroniques : les événements singuliers	10
1.2.1 Événements singuliers	10
1.3 Architecture des FPGA à base de SRAM.....	12
1.3.1 FPGA à base de mémoire SRAM (<i>Static Random Access Memory</i>).....	13
1.3.2 FPGA à base de mémoire Flash.....	14
1.3.3 FPGA à base d’anti-fusibles	14
1.3.4 Architecture détaillée des FPGA à base de SRAM de la famille Virtex-5	15
1.4 Techniques d’injection de pannes.....	19
1.5 Techniques de mitigation.....	27
1.5.1 Triplification Modulaire (Triple Modular Redundancy TMR)	27
1.5.2 Reconfiguration “ <i>Scrubbing</i> ”	29
1.6 Conclusion	30
CHAPITRE 2 REVUE DE LITTÉRATURE.....	31
2.1 Effets des événements singuliers sur toutes les ressources des FPGA à base de SRAM (routage, logique et IOB).....	31
2.2 Effets des événements singuliers sur les blocs d’entrée/sortie (IOB) des FPGA à base de SRAM.....	36
2.3 Conclusion	44
CHAPITRE 3 GÉNÉRATION DES PANNES DE DÉLAIS DANS LES BLOCS D’ENTRÉE/SORTIE DES FPGA À BASE DE SRAM	47
3.1 Injection de pannes par émulation	48
3.2 Résultats d’émulation.....	50
3.3 Expériences d’irradiation	52
3.4 Premiers résultats d’irradiation.....	54
3.5 Comparaison des résultats d’irradiation avec les résultats d’émulation	58
3.6 Distribution des ODC sur les IOB	62
3.7 Portabilité de notre méthodologie de détection de délai	62
3.8 Conclusion	66
CHAPITRE 4 MODÈLE DE PANNES DE DÉLAIS	69
4.1 Modèles analytiques.....	70
4.1.1 Modèle logique d’un oscillateur en boucle et quelques définitions.....	70

4.1.2	Modèle RC d'un inverseur CMOS	74
4.1.3	Modèle RC de l'oscillateur en boucle et modèles de pannes de délai	75
4.2	Simulations HSPICE.....	79
4.3	Expériences d'émulation.....	81
4.4	Conclusion	84
CHAPITRE 5 OBSERVATIONS SUR L'IMPACT DES RADIATIONS SUR LA ROBUSTESSE DE QUELQUES TECHNIQUES DE MITIGATION À L'INTÉRIEUR DES BLOCS D'ENTRÉE/SORTIE DES FPGA À BASE DE SRAM.....		
5.1	Distribution des délais.....	86
5.2	Observations sur la robustesse des TMR face aux radiations dans les IOB des FPGA à base de SRAM.....	90
5.3	Effet mémoire	98
5.4	Conclusion	104
CONCLUSION.....		107
RECOMMANDATIONS		111
ANNEXE I	INTERFACE D'INJECTION DE PANNES	113
ANNEXE II	PREMIÈRE LISTE DE BITS DE CONFIGURATION.....	115
ANNEXE III	DEUXIÈME LISTE DE BITS DE CONFIGURATION.....	117
LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES.....		118

LISTE DES TABLEAUX

	Page
Tableau 2.1	Fréquence des MBU induits par une radiation à base de protons (63.3 MeV).....33
Tableau 2.2	Comparaison des deux techniques utilisées pour tester les effets.....44
Tableau 3.1	La valeur absolue des plus grands ODC observés versus le changement des paramètres des IOB; les changements sont soulignés en vert52
Tableau 4.1	Résultats obtenus par émulation83
Tableau 5.1	Résultats des mesures de délais88
Tableau 5.2	Liste des IOB utilisés pour le montage de la figure 5.4.....91
Tableau 5.3	Résultats d'inversion pour les 3 RO en partant du mode HSTL_II94
Tableau 5.4	Résultats d'inversion pour RO11, RO12 et RO13 en partant du HSTL_II.....95
Tableau 5.5	IOB utilisés dans chaque FPGA pour les 4 RO100
Tableau 5.6	Changements observés sur les 4 RO suite au bit-flip des 186 bits en partant de LVCMOS25 en mode accumulation103
Tableau 5.7	Changements observés sur les 4 RO suite au bit-flip des 186 bits en partant de LVCMOS25 en mode singulier.....104

LISTE DES FIGURES

	Page
Figure 1.1	Effet du vent solaire sur la magnétosphère terrestre6
Figure 1.2	Exemple d'éruption solaire7
Figure 1.3	La forme de ceinture de Van Allen.....8
Figure 1.4	Présentation de la cascade magnétosphérique et la production9
Figure 1.5	Exemple d'un SET propageant entre deux inverseurs11
Figure 1.6	Exemple d'architecture d'un FPGA.....13
Figure 1.7	Exemple d'une cellule SRAM14
Figure 1.8	Deux couches composant un FPGA à base de SRAM15
Figure 1.9	Architecture d'une cellule SRAM de configuration16
Figure 1.10	Architecture d'un CLB du Virtex-517
Figure 1.11	Architecture d'un IOB du Virtex-5.....18
Figure 1.12	Structure d'une trame du Virtex-519
Figure 1.13	Entrées/sorties du SEU Controller24
Figure 1.14	Structure d'une trame du Virtex-5 montrant les bits utilisés et ceux inutilisés26
Figure 1.15	Architecture de la technique TMR proposée par Xilinx.....28
Figure 1.16	Approche utilisée pour tripler les sorties29
Figure 2.1	Organigramme de la stratégie de validation appliquée pour les Virtex-4.....32
Figure 2.2	(a) Illustration de l'effet d'une particule causant un MBU dans les cellules mémoires adjacentes d'un même mot logique, (b) illustration d'un MBU à trois bits flippés causé par 3 particules34
Figure 2.3	Montage expérimental utilisé à TRIUMF.....35

Figure 2.4	éSultat d'irradiation de 6 ODC d'une valeur respective de 58, 46, 58, 70, 58 et 58 ps. Un délai total de 358 ps.....	36
Figure 2.5	Structure de la TMR recommandée par Xilinx.....	38
Figure 2.6	Nouvelle structure des TMR (quasi-TMR).....	38
Figure 2.7	Architecture de la méthodologie de test.....	39
Figure 2.8	Architecture de la technique basée sur la duplication des IOB	40
Figure 2.9	1 ^{er} montage « <i>NoTMR</i> » implémentant un simple montage composé d'une entrée et d'une sortie sans TMR	42
Figure 2.10	2 ^e montage « <i>Full TMR</i> » dérivant du montage de la figure 3.9 en insérant une TMR complète	42
Figure 2.11	3 ^e montage « <i>TMR In-only</i> » dérivant du montage de la figure 3.9 en insérant une TMR partielle	43
Figure 3.1	Montage d'émulation	49
Figure 3.2	Premier montage expérimental utilisé à TRIUMF.....	54
Figure 3.3	Graphe montrant un ODC d'une valeur de 3.9 ns	56
Figure 3.4	Comparaison entre les résultats d'émulation et d'irradiation;	60
Figure 3.5	Résultats d'émulation vs irradiation; essai 152	61
Figure 3.6	Résultats d'émulation vs irradiation; essai 206	61
Figure 3.7	Montage expérimental de l'Artix-7	65
Figure 3.8	Résultats expérimentaux obtenus à TRIUMF; ODC égal à 3.8 ns	66
Figure 4.1	Oscillateur en boucle (RO) de 3 étages.....	71
Figure 4.2	Chronogrammes simplifiés du RO de la figure 4.1 : a) Sans les délais induits par les radiations; b) avec ces mêmes délais.....	72
Figure 4.3	Modèle RC d'un inverseur CMOS	74
Figure 4.4	Modèle RC de 1 ^{er} ordre équivalent au RO de la figure 4.1	76
Figure 4.5	Résultats d'une simulation HSPICE des 4 modèles de délais décrits.....	80
Figure 4.6	Montage expérimental de l'émulation	82

Figure 5.1	Montage utilisé pour mesurer la distribution des délais	87
Figure 5.2	Mesure de délai	88
Figure 5.3	Accumulation de délai réalisée par Labview	89
Figure 5.4	Montage utilisé pour les expériences sur la robustesse	93
Figure 5.5	Montage dérivé de celui de la figure 5.4.....	96
Figure 5.6	Diagramme bloc de le TMR	97
Figure 5.7	Chronogramme montrant la sortie du voteur dans le cas où 2 copies de la TMR sont touchées par un délai.....	98
Figure 5.8	Montage utilisé pour deux cartes FPGA de Xilinx	101

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

ACM	Auto Correction Mode
ASIC	Application Specific Integrated Circuit
BRAM	Block Random Access Memory
CLB	Configurable Logic Block
CMOS	Complementary Metal-Oxide-Semiconductor
CRC	Cyclic Redundancy Check
DOM	Detection Only Mode
DUT	Device Under Test
FPGA	Field Programmable Gate Arrays
IOB	Input/Output Block
JTAG	Joint Test Action Group
LUT	Look Up Table
MBU	Multiple Bit Upset
MCU	Multiple Cell Upset
NCD	Native Circuit Description
ODC	Observable Delay Change
RO	Ring Oscillator
ROB	Ring Oscillator Break
RTL	Register Transfert Level
SEE	Single Event Effect
SEFI	Single Event Functional Interrupt
SEGR	Single Event Gate Rupture

XX

SEL	Single Event Latch-up
SER	Single Event Rate
SES	Single Event Snapback
SET	Single Event Transient
SEU	Single Event Upset
SHE	Single event Hard Error
SRAM	Static Random Access Memory
TCL	Tool Command Language
TMR	Triple Modular Redundancy
UART	Universal Asynchronous Receiver Transmitter
VHDL	VHSIC Hardware Description Language
XDL	Xilinx Design Language

INTRODUCTION

L'incessante réduction de la taille des transistors rend l'électronique généralement plus sensible à l'effet des radiations cosmiques, ce qui a un impact sur la fiabilité des systèmes embarqués sujets à ces radiations. Certains intervenants du secteur de l'aéronautique n'hésitent pas à identifier les radiations comme une cause importante des dysfonctionnements des équipements. Ces dysfonctionnements disparaissent typiquement après que les équipements fautifs ont été réinitialisés. Cette sensibilité accrue des modules électroniques face aux radiations a même poussé les fournisseurs d'équipements à usage ininterrompu utilisés au niveau du sol, tels les serveurs informatiques, à s'y intéresser. Une des pistes de solutions pouvant être envisagées est l'utilisation des circuits intégrés qualifiés dits résistants aux radiations. Cependant, leur coût est souvent trop élevé par rapport à celui des circuits intégrés conventionnels. De plus, ils offrent une capacité d'intégration et une performance bien inférieures, car ils ont généralement quelques nœuds technologiques en retard sur les circuits commerciaux conventionnels en raison des modifications à apporter aux procédés de fabrication. Par conséquent, même les concepteurs de systèmes embarqués exposés aux radiations (ex. technologie spatiale) sont de plus en plus intéressés à utiliser des circuits intégrés conventionnels (non qualifiés), dont les circuits programmables de type FPGA.

La tolérance aux radiations n'est pas en soi un sujet nouveau. Il existe donc déjà plusieurs stratégies de tolérance qui ont été développées, en particulier pour les modules spatiaux. L'aspect nouveauté réside dans l'adaptation de ces stratégies au domaine de l'avionique. Comme l'intensité de radiations est moindre aux altitudes visées (par rapport aux orbites spatiales), il faut s'assurer d'avoir le bon niveau de protection, et ce très rapidement dans le processus de conception. Il devient donc important de pouvoir estimer de manière hâtive la sensibilité aux radiations des architectures proposées. Cette estimation de la sensibilité nécessite une estimation hâtive des ressources requises pour la mise en œuvre des applications avioniques ciblées.

Ce projet de thèse a démarré dans le cadre du projet CRIAQ AVIO403 qui vise à adapter les méthodologies conventionnelles d'intégration des systèmes embarqués avioniques afin de tenir compte de l'effet des radiations cosmiques, et ce lorsqu'elles sont réalisées à l'aide de circuits programmables de type FPGA. Ce projet se divise en quatre sous objectifs :

- l'élaboration et la mise en œuvre d'une stratégie de validation architecturale et d'exploration à haut-niveau de l'espace de conception;
- l'élaboration et la mise en œuvre d'une stratégie de vérification à niveaux d'abstraction multiples supportant la simulation de pannes liées à l'effet des radiations;
- l'élaboration et la mise en œuvre d'une stratégie de conception facilitant les tests en pré-certification pour la robustesse à l'égard des radiations;
- l'élaboration et la mise en œuvre d'une stratégie pour l'exploration de la tolérance aux pannes basée sur des systèmes industriels complexes.

L'objectif principal de ce projet de thèse, qui s'inscrit à l'intérieur du premier sous-objectif du projet AVIO403, est l'élaboration, la mise en œuvre et la validation d'une approche méthodique permettant d'estimer la sensibilité des ressources, requises pour l'implémentation d'applications avioniques dans les circuits cibles (FPGA), par rapport aux événements singuliers (Single Event Upset, SEU) et multiples (Multiple Bit Upset, MBU). Cette recherche étudie principalement la sensibilité des blocs d'entrée/sortie (IOB) des FPGA à base de mémoire SRAM (*SRAM-based FPGA*). Dans ce contexte particulier, l'effet des SEU et des MBU est de modifier le contenu des cellules de mémoires SRAM, de 0 vers 1 ou de 1 vers 0.

Ainsi, la contribution majeure de cette thèse est d'étudier les effets de ces événements singuliers (SEU) et multiples (MBU) sur les IOB des FPGA à base de SRAM. Plus précisément, cette thèse vise à établir un modèle de pannes de délai permettant de caractériser l'impact de ces événements (SEU et MBU) affectant les IOB. Quelques travaux ont été effectués dans ce domaine (Iturbe et al., 2009), (Napier et al., Sept. 2004), (Quinn et al., 2005), (Rollins et al., 2002), (Swift et al., 2004). Cependant, ils n'analysent pas en détail tous les effets possibles engendrés dans les IOB; par exemple l'étude du comportement des IOB face à une panne de délai.

Afin de répondre à cette problématique, cette thèse s'est appuyée sur l'étude de deux FPGA (Virtex-5 et Artix-7) du fabricant Xilinx. Deux différentes techniques ont été utilisées pour générer des SEU, à savoir l'injection de pannes et les expériences réelles d'irradiation. L'injection de pannes a été réalisée avec le SEU Controller, un outil fourni par Xilinx et qui permet de détecter et corriger un SEU, mais aussi d'injecter des pannes sur les bits de configuration. Tandis que les expériences réelles de radiation ont été faites au laboratoire TRIUMF à Vancouver en utilisant un faisceau de protons.

Ces travaux de thèse ont menés à 3 contributions :

- (Tazi et al., 2014), a montré l'existence des délais additionnels induits par les radiations dans les blocs d'entrée/sortie des FPGA à base de SRAM. Ces délais ont été obtenus par deux approches différentes : expérimentalement avec des tests accélérés en irradiation et avec émulation en utilisant le SEU Controller. De plus, cet article fournit une meilleure compréhension du comportement des IOB sous l'effet des radiations;
- (Tazi, Thibeault et Savaria, 2016) a présenté une étude plus poussée de l'effet des radiations sur les délais observés dans les IOB des FPGA à base de SRAM. Plus spécifiquement, cette recherche a proposé et validé des modèles de pannes permettant de décrire et de mieux comprendre les mécanismes pouvant mener aux délais observés dans les IOB;
- l'étude approfondie des effets des événements singuliers (SEU) sur les techniques de mitigation (TMR et *Scrubbing*) lorsqu'elles sont appliquées à l'intérieur des blocs d'entrée/sortie (IOB) des FPGA à base de SRAM.

Cette thèse est organisée comme suit :

Le premier chapitre présente des notions de base expliquant les différentes connaissances nécessaires à la compréhension de ce sujet de thèse. Les rayons cosmiques ainsi que les pannes qui en découlent sur les circuits numériques y sont d'abord décrits. Ensuite, l'architecture des FPGA à base de SRAM ainsi que les effets des radiations sur ce type de circuits y sont présentés. Finalement, les différentes techniques d'injection de pannes et de mitigation sont décrites.

Le deuxième chapitre présente la revue de littérature effectuée, se concentrant notamment au niveau de l'effet des SEU sur la logique et sur le routage des FPGA basés sur des SRAM, ainsi que sur les IOB.

Le troisième chapitre présente la première contribution, à savoir l'existence des pannes de délais dans les IOB. Il décrit aussi la méthodologie suivie pour démontrer l'existence de ces pannes. Il explique par la suite le processus d'injection de pannes par émulation, avec les expériences réelles d'irradiation ainsi que les résultats obtenus dans les deux cas. À la fin, il donne une comparaison entre les deux techniques d'injection de pannes et montre la portabilité de notre méthodologie sur plusieurs familles de FPGA.

Le quatrième chapitre présente la deuxième contribution, à savoir les différents modèles de pannes permettant de décrire et de mieux comprendre les mécanismes pouvant mener aux délais observés dans les IOB. Il explique aussi les différents modèles théoriques et expérimentaux.

Le dernier chapitre décrit la troisième et dernière contribution, à savoir l'étude de la robustesse des techniques de mitigation dans les IOB. Le processus, la méthodologie ainsi que les différents montages y sont présentés, de même que les résultats obtenus. Ces résultats ont montré que les techniques de mitigation, spécialement les TMR, peuvent être affectées aussi par les SEU lorsqu'elles sont appliquées à l'intérieur des IOB et donc elles deviennent inefficaces pour la mitigation de ce type de pannes. Ces résultats ouvrent une grande porte de réflexion sur le type de technique de mitigation à utiliser dans les IOB en présence des SEU. Cette thèse se conclut par une discussion sur les pistes envisageables pour d'éventuels travaux futurs.

CHAPITRE 1

NOTIONS DE BASE

1.1 Environnement radiatif naturel

Les circuits intégrés modernes sont confrontés à des environnements radiatifs naturels différents. Ces derniers sont généralement décomposés en deux sous catégories (Boudenot, 1995) : l'environnement radiatif naturel spatial et l'environnement radiatif naturel atmosphérique. Le premier est relié aux applications spatiales et émet des particules énergétiques différentes qui comprennent essentiellement des électrons, des protons et des ions lourds. Le deuxième concerne les applications terrestres et aéronautiques et il est composé des interactions entre l'atmosphère et les particules spatiales.

1.1.1 Environnement radiatif spatial

L'environnement radiatif spatial peut être décomposé en quatre catégories : le rayonnement cosmique, le vent solaire, les éruptions solaires et les ceintures de radiations.

1) Rayonnement cosmique

Le rayonnement cosmique a été découvert pour la première fois par V. Hess en 1912 (Bocquillon, 2009). L'origine de ce rayonnement n'est pas très bien connue. Par contre, il a été supposé qu'il provient de deux sources : galactique et extragalactique.

Ce rayonnement est constitué de plusieurs particules. Les ions, qui sont les particules les plus énergétiques et dont l'énergie varie de quelques MeV à plusieurs GeV, représentent 1 % du flux observé. Les protons constituent 87 % du rayonnement cosmique et les noyaux d'hélium en forment 12 %.

Les flux des particules composant le rayonnement cosmique sont modulés par le cycle d'activité du Soleil. Lorsque le Soleil est en pleine activité, le vent solaire s'oppose aux flux de rayons cosmiques.

2) Vent solaire

Le vent solaire est un flot de particules chargées s'échappant en permanence de la haute atmosphère (couronne) du Soleil (Foucard, 2010). Il est composé essentiellement de protons, d'électrons et de noyaux d'Hélium. Il s'échappe continuellement et dans toutes les directions de la surface du Soleil et baigne l'ensemble du système solaire. La densité de ces particules varie de 10^{12} particules/cm³ au niveau du soleil jusqu'à 10 particules/cm³ au niveau de l'orbite terrestre.

Le vent solaire peut créer des cavités magnétosphériques lorsqu'il interagit avec les planètes du système solaire en général et avec la Terre en particulier. La figure 1.1 montre la forme de cette magnétosphère terrestre.

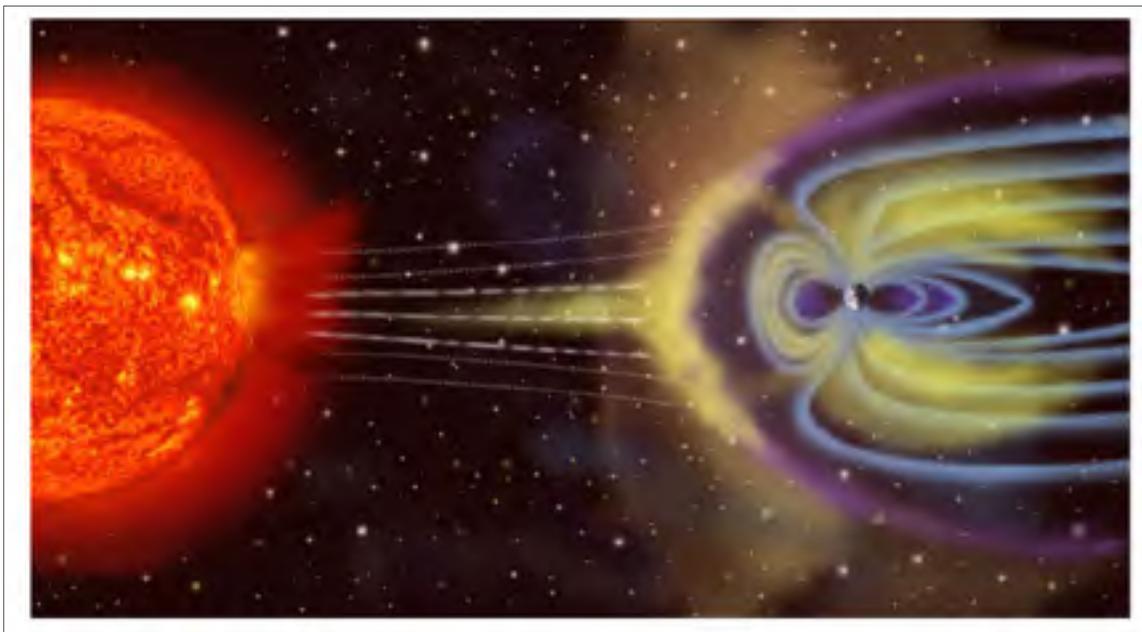


Figure 1.1 Effet du vent solaire sur la magnétosphère terrestre
Tirée de Barth (1999)

3) Éruptions solaires

Une éruption solaire est un événement primordial de l'activité du Soleil (Bocquillon, 2009). La variation du nombre d'éruptions solaires permet de définir un cycle solaire d'une période moyenne de 11 ans. Ce cycle solaire est composé de deux périodes essentielles: une période de 4 ans qui caractérise l'activité faible du Soleil et une autre de 7 ans relative à son activité haute. La période haute est ponctuée par les éruptions solaires qui s'affirment par des émissions importantes de particules énergétiques. Deux types d'éruptions solaires peuvent être distingués, selon la nature de ces particules :

- les éruptions solaires à protons, dont l'émission principale est composée de protons d'énergie considérable (jusqu'à quelques centaines de MeV). Cette émission ne dure seulement que quelques heures à quelques jours;
- les éruptions solaires à ions lourds, dont l'émission principale est composée d'ions lourds. Cette émission dure seulement quelques heures.

La figure 1.2 montre une image d'une éruption solaire capturée par la NASA.

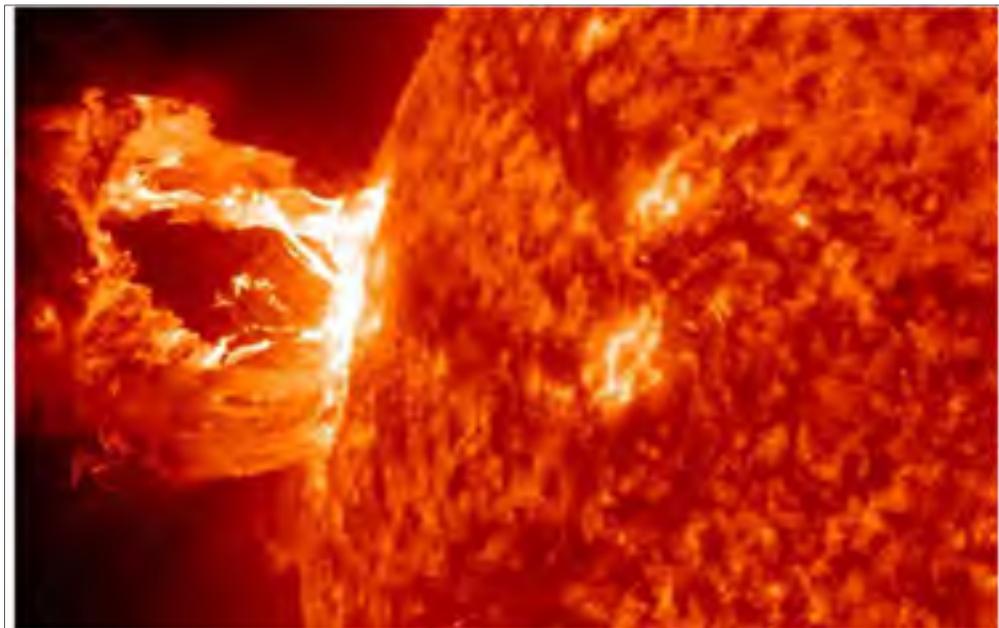


Figure 1.2 Exemple d'éruption solaire
Tirée de Bocquillon (2009)

4) Ceintures de radiation

Les ceintures de radiation sont des zones toroïdales de la magnétosphère terrestre contenant une grande densité de particules énergétiques (Souari, 2016). Elles sont nommées aussi ceintures de Van Allen en l'honneur du physicien qui les a découvertes. Elles sont constituées principalement de deux ceintures nommées ceinture interne et ceinture externe. La première est située à une altitude variant entre 700 km et 10000 km et est principalement constituée de protons à haute énergie (plusieurs centaines de MeV). La deuxième s'étend de 13000 km à 65000 km et est essentiellement composée de neutrons de quelques MeV d'énergie. La figure 1.3 donne la forme des ceintures de Van Allen.

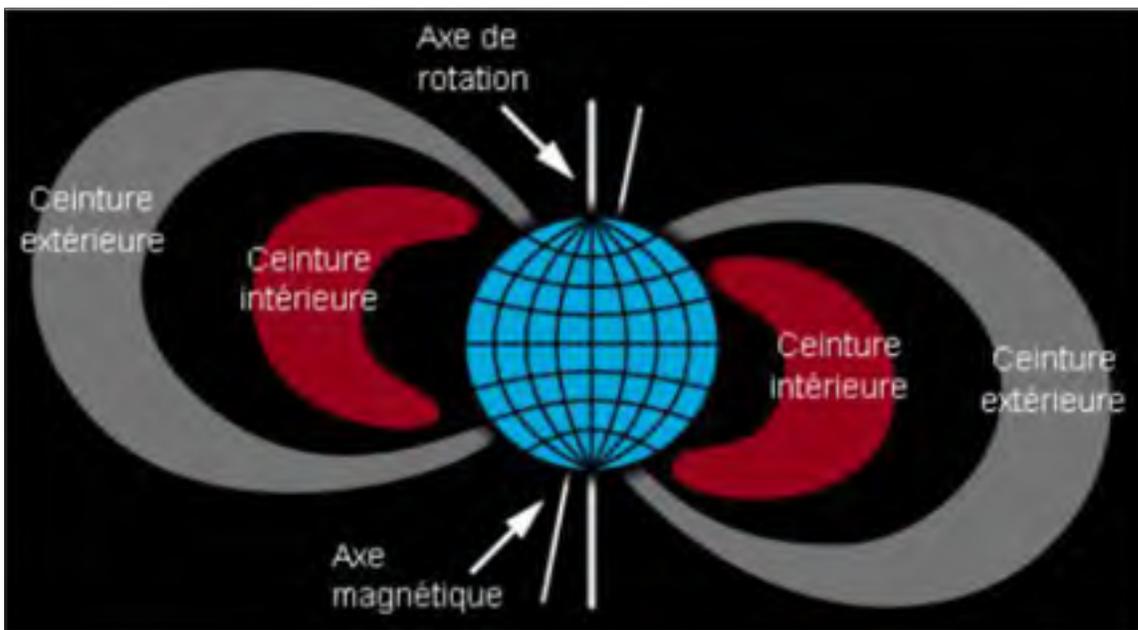


Figure 1.3 La forme de ceinture de Van Allen
Tirée de Souari (2016)

1.1.2 Environnement radiatif atmosphérique

L'atmosphère terrestre est le protecteur par excellence de la terre et de son environnement contre les radiations spatiales (Ziegler et al., 1994). Seulement une petite partie de ces radiations peut pénétrer dans l'atmosphère terrestre. Ce type de radiations est appelé radiations

atmosphériques et elles sont dues à l'interaction entre les radiations cosmiques et les atomes qui composent l'atmosphère, à savoir l'azote et l'oxygène.

Les particules de l'atmosphère peuvent réagir selon deux modes : soit elles perdent une partie de leur énergie par ionisation, soit elles créent le phénomène de la douche magnétosphérique, qui est une cascade de particules secondaires. La figure 1.4 montre ce phénomène et présente les principales particules à savoir les électrons, les protons, les muons, les photons et les pions.

Le flux de ces radiations dépend de l'altitude et de la latitude. Il est moins important quand il se rapproche du sol et donc il est 300 fois moins fort au niveau de la mer. Aussi, il est 4 fois plus fort aux pôles qu'à l'équateur.

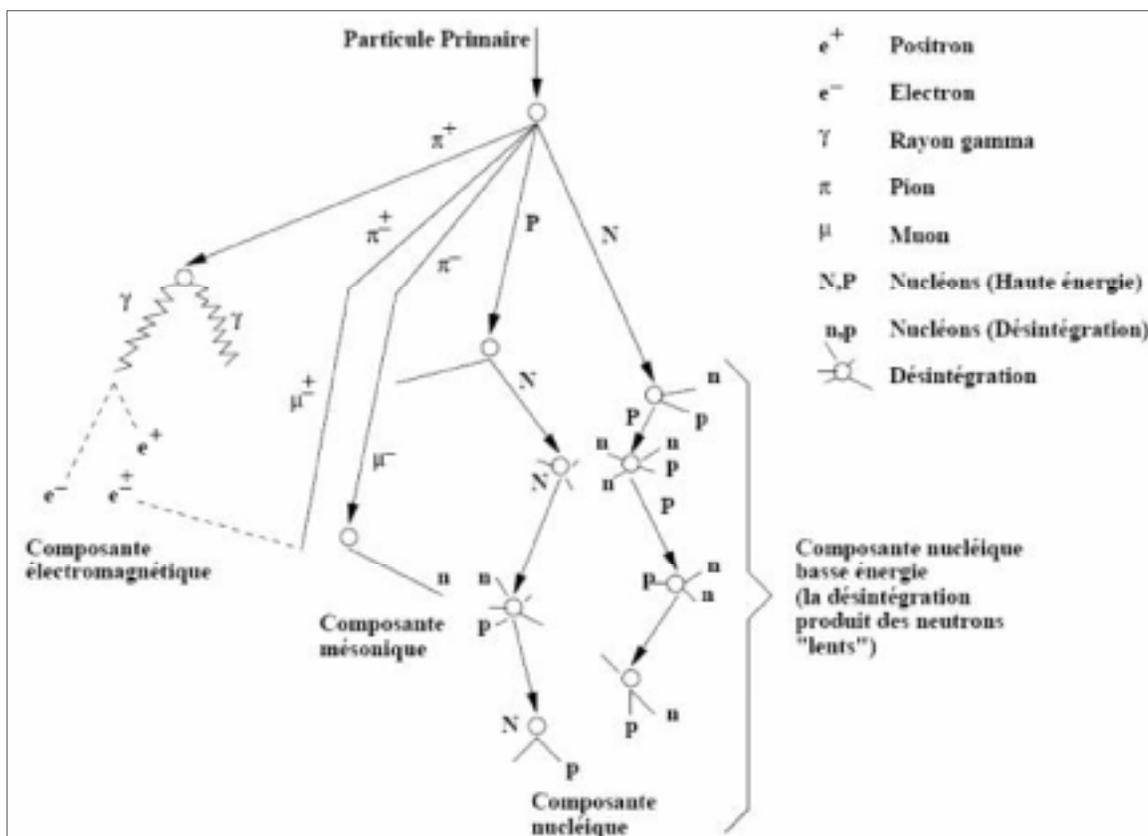


Figure 1.4 Présentation de la cascade magnétosphérique et la production des particules secondaires

Tirée de Ziegler et al. (1994)

Les altitudes des vols commerciaux sont les plus importants pour notre recherche et la radiation dominante à cette altitude est constituée de neutrons. Ces particules peuvent engendrer des pannes pour les équipements électroniques quand elles interagissent avec les particules qui composent ces composants. Le flux des neutrons qui contribuent aux erreurs au niveau du sol est estimé à 10 particules par cm^2 par heure. Par contre, il est estimé à 10^4 particules par cm^2 par heure au niveau des vols commerciaux (ASSOCIATION, 2006).

1.2 Effets des radiations sur les circuits électroniques : les événements singuliers

Les radiations cosmiques peuvent engendrer des erreurs sur les composants électroniques. Ces erreurs peuvent être transitoires, permanentes ou destructives. Elles sont classées en deux catégories : les événements singuliers et les effets de dose (Bocquillon, 2009).

1.2.1 Événements singuliers

Les événements singuliers appelés aussi « Single Event Effects » (SEEs), sont des erreurs causées par une seule particule nucléaire entrant en collision avec les composantes des circuits intégrés. Elles peuvent être classées en deux types : effets destructifs (permanents) et non destructifs (*soft error*) (Gaillard, 2011).

Les erreurs permanentes et irréversibles ou erreurs matérielles (Single Event Latch-up (SEL), Single Event Gate Rupture (SEGR), Single Event Snapback (SES)) ne seront pas détaillées dans le cadre de cette thèse, considérant que ces erreurs sont pratiquement absentes aux altitudes ciblées. Par contre, les effets non destructifs sont détaillés dans ce qui suit.

Effets non destructifs

SET (*Single Event Transient*) (Mavis et Eaton, 2000) : Le SET est une impulsion de courant transitoire qui peut se propager dans un circuit logique et qui est éventuellement capturée dans une cellule mémoire (ex. bascule). La figure 1.5 montre un exemple d'un SET se propageant

entre deux inverseurs. Si le SET est mémorisé, il peut devenir un SEU. Dans cette thèse, nous ne nous intéressons pas directement aux SET.

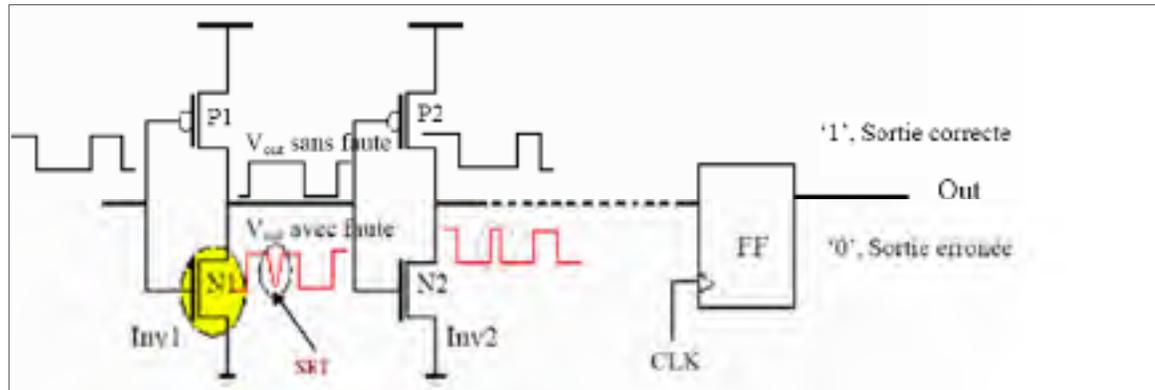


Figure 1.5 Exemple d'un SET propageant entre deux inverseurs
Tirée de Bocquillon (2009)

SEU (*Single Event Upset*): le SEU est un type d'évènement singulier qui affecte principalement les éléments mémoire (SRAM). Il consiste à changer l'état logique d'un bit de la cellule mémoire à son complémentaire.

Un SEU n'est pas destructif et il peut être corrigé par une simple réécriture.

MCU (*Multiple Cell Upset*) : le MCU est un type d'erreur causé par une seule particule qui engendre le changement de plusieurs points mémoires géographiquement voisins. La diminution de la taille des transistors engendre l'augmentation de la probabilité des MCU dans les circuits intégrés.

La diminution de la taille des transistors agit sur deux paramètres (Bocquillon, 2009) :

- 1) la diminution de la charge critique par bit. En effet la charge critique nécessaire pour inverser un bit de mémoire diminue avec la diminution de la tension d'alimentation et des capacités parasites dans la cellule mémoire;
- 2) la diminution de la distance entre les zones de collection de charge.

MBU (*Multiple Bit Upset*) : le MBU est un cas particulier de MCU qui correspond au changement d'état de plusieurs nœuds de mémoires appartenant au même mot logique et qui

est provoqué par la même particule. Plusieurs études se sont intéressées à l'étude de ce type d'erreur (Gasiot, Giot et Roche, 2007), (Quinn et al., 2005), (Tipton et al., 2008), (Violante et al., 2007).

SEFI (*Single Event Functional Interrupt*) (Sterpone et al., 2007) : Ce type de panne se manifeste par une perte de la fonctionnalité d'un système. Dans le cas des FPGA, le SEFI est causé par un SEU qui n'est corrigé que par une intervention extérieure au niveau du FPGA.

1.3 Architecture des FPGA à base de SRAM

Les FPGA sont des circuits intégrés programmables et reconfigurables qui offrent des solutions rapides et non coûteuses comparés aux ASIC qui demandent beaucoup de ressources en termes de temps de conception et de coût. Les FPGA contiennent des blocs logiques programmables (CLB) qui implémentent les fonctions logiques; des ressources de routage programmables qui connectent les fonctions logiques entre elles et des blocs d'entrée/sortie (I/O) qui sont connectés aux blocs logiques via les ressources de routage et qui assurent la communication du FPGA avec les systèmes extérieurs.

La figure 1.6 présente un exemple général de l'architecture d'un FPGA.

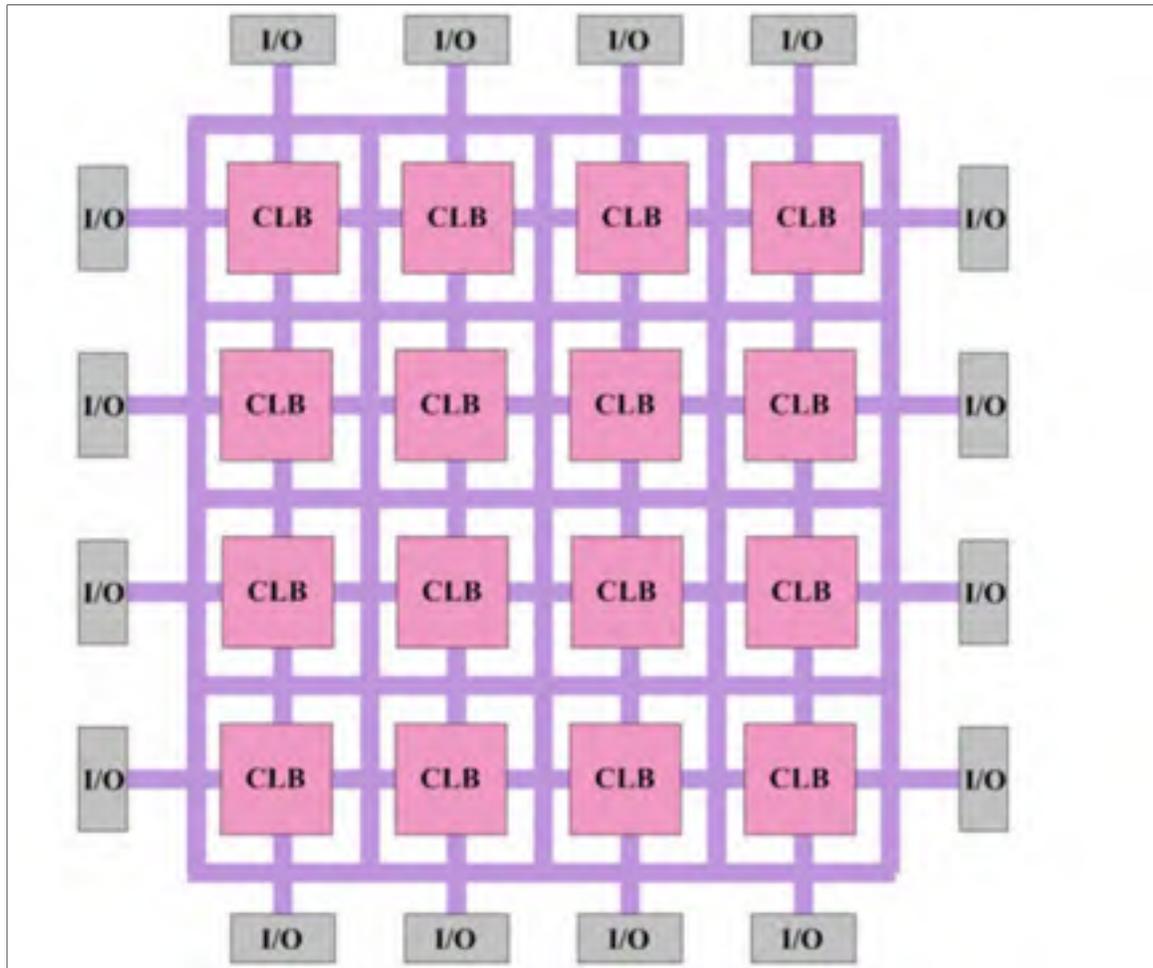


Figure 1.6 Exemple d'architecture d'un FPGA
Tirée de Umer, Marrakchi et Mehrez (2012)

Il existe 3 principales technologies utilisées pour assurer la reconfiguration des FPGA : mémoire statique (SRAM), mémoire flash et anti-fusibles.

1.3.1 FPGA à base de mémoire SRAM (*Static Random Access Memory*)

Les mémoires statiques sont les cellules de base utilisées dans les FPGA à base de SRAM qui assurent principalement les fonctions suivantes :

- programmer les ressources de routage des FPGA qui sont généralement contrôlés par des multiplexeurs;

- programmer les blocs logiques (CLB) qui sont utilisés pour implémenter les fonctions logiques.

La figure 1.7 montre l'exemple d'une cellule SRAM.

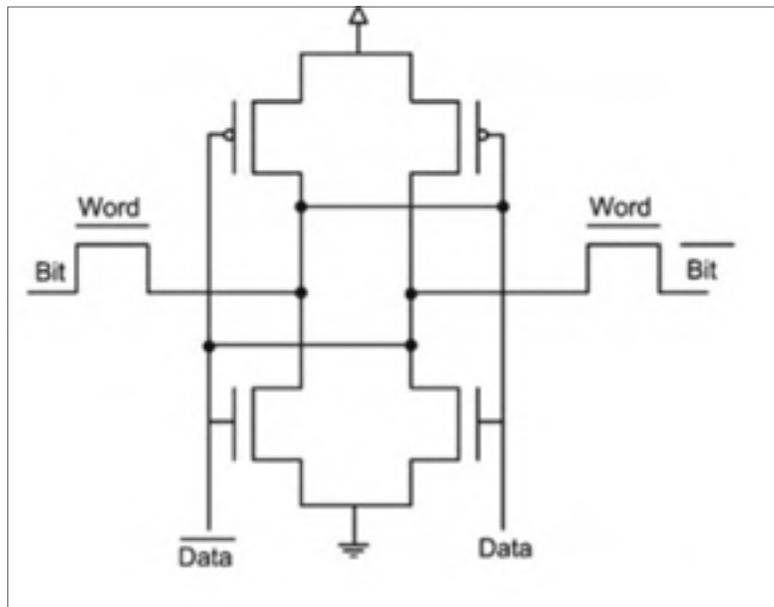


Figure 1.7 Exemple d'une cellule SRAM
Tirée de Umer, Marrakchi et Mehrez (2012)

1.3.2 FPGA à base de mémoire Flash

La technologie basée sur les mémoires Flash est une bonne alternative à celle utilisant les mémoires SRAM. Cette technologie a l'avantage d'être non volatile et aussi moins gourmande en termes de consommation d'énergie. Les FPGA à base de Flash sont aussi reconfigurables par contre, ils ne peuvent pas l'être infiniment.

1.3.3 FPGA à base d'anti-fusibles

Cette technologie diffère des deux autres (SRAM et Flash) en ce qu'elle n'est ni volatile ni reprogrammable. Par contre, les FPGA à base d'anti-fusibles sont plus robustes face aux radiations que les FGPA à base de SRAM ou Flash.

Les FPGA à base de SRAM de Xilinx (Virtex-5 et Artix-7) sont les FPGA utilisés dans toutes les expériences réalisées dans le cadre de cette thèse. Le choix de ces FPGA se justifie par le fait qu'ils sont rapides et reconfigurables bien qu'ils soient sensibles aux événements singuliers. Aussi ils permettent d'avoir des coûts d'ingénierie non récurrents par rapport aux circuits VLSI non-programmables. Notons de plus que le Virtex-5 (CMOS 65 nm) a déjà été utilisé par d'autres membres de l'équipe du projet AVIO403, et que l'Artix-7 (CMOS 28 nm) était le FPGA le plus récent disponible au début des travaux liés à cette thèse.

Dans ce qui suit, une description détaillée du FPGA à base de SRAM et surtout du Virtex-5 est présentée.

1.3.4 Architecture détaillée des FPGA à base de SRAM de la famille Virtex-5

Ce type de FPGA peut être décomposé en deux couches : couche opérative et couche de configuration comme montré dans la figure 1.8 (Herrera-Alzu et Lopez-Vallejo, 2013).

La couche opérative ou couche applicative permet d'implémenter les fonctions logiques (combinatoires ou séquentielles) à l'intérieur des FPGA. Cette couche est constituée principalement des blocs logiques configurables (CLB) qui sont entourés par des blocs d'entrée/sortie (IOB).

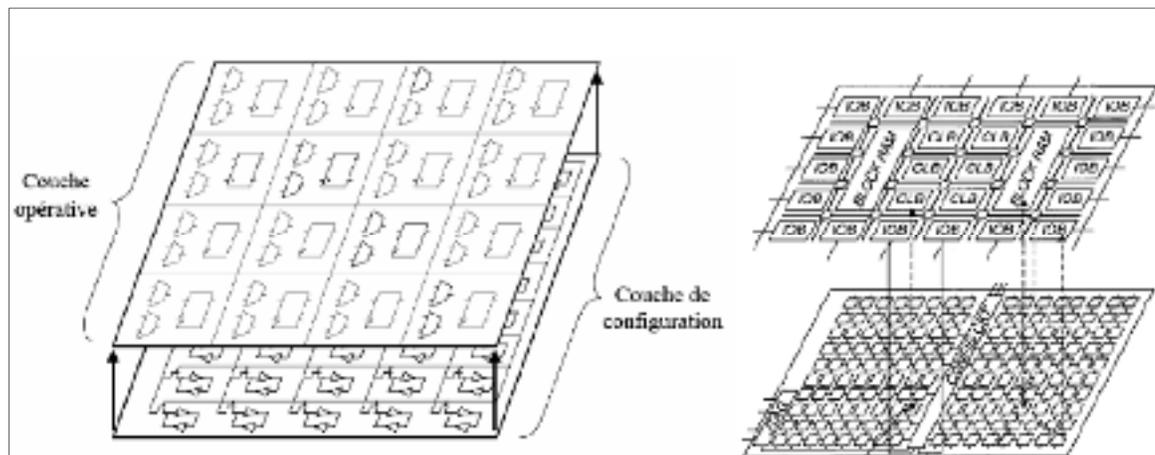


Figure 1.8 Deux couches composant un FPGA à base de SRAM
Tirée de Bocquillon (2009)

La couche de configuration est constituée de cellules mémoires SRAM chargées d'activer ou non les ressources appartenant à la couche applicative (CLB, IOB, etc). Les cellules mémoire SRAM de la couche de configuration ont une architecture différente de celle d'une cellule SRAM ordinaire (figure 1.7). L'architecture de ce type de mémoire est présentée à la figure 1.9. Elle contient deux inverseurs rebouclés et un seul transistor NMOS qui assurent les différentes opérations de lecture ou d'écriture.

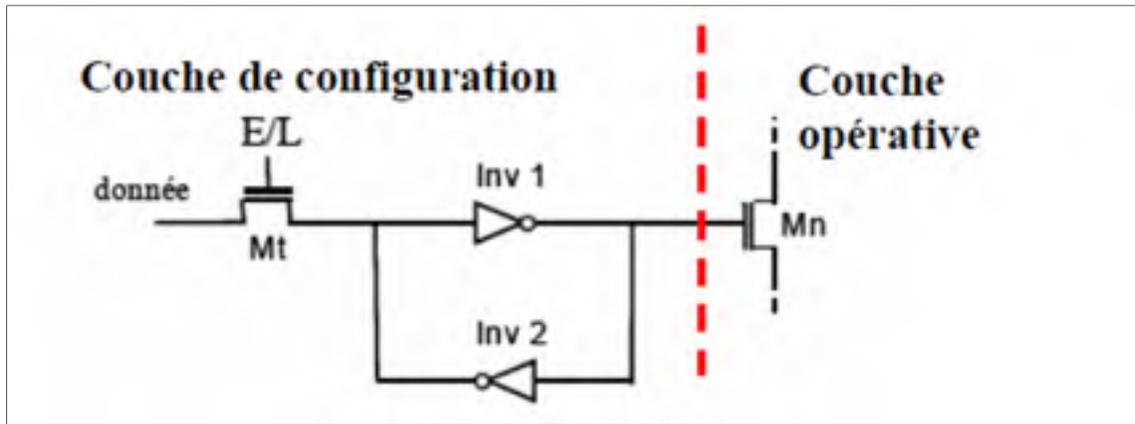


Figure 1.9 Architecture d'une cellule SRAM de configuration
Tirée de Souari (2016)

CLB

Les blocs logiques de configuration (CLB) constituent les composants fondamentaux d'un FPGA qui permettent aux utilisateurs d'implémenter n'importe quelle fonction logique (Borisov et Stoianova, 2009). Chaque CLB contient deux slices (SLICEM et SLICEL), qui à leur tour, sont composés de 4 LUT à 6 entrées, 4 bascules ainsi que des multiplexeurs et des portes logiques. Ces éléments servent à implémenter des fonctions logiques, arithmétiques et de mémoire.

La figure 1.10 montre l'architecture d'un CLB du FPGA Virtex-5.

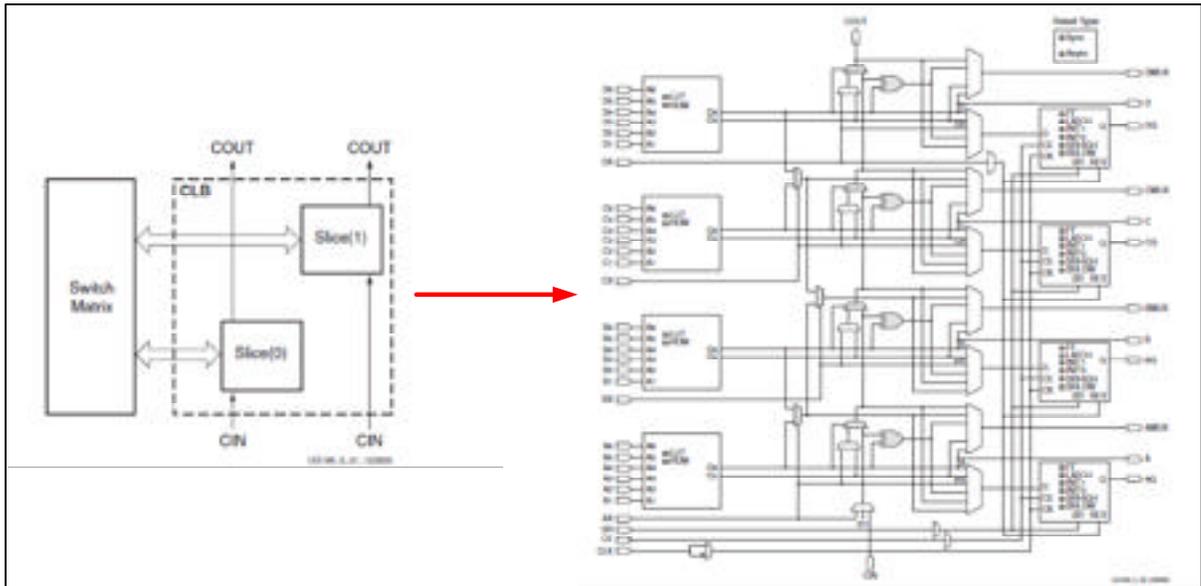


Figure 1.10 Architecture d'un CLB du Virtex-5
Tirée de Borisov et Stoianova (2009)

IOB

Les blocs d'entrée/sortie (IOB) sont des blocs qui permettent de connecter les broches du FPGA à la logique interne implémentée à l'intérieur du même circuit (UG190, 2012). Ils sont distribués sur tout le périphérique du FPGA où chaque IOB contrôle une broche du circuit. Chaque IOB peut être configuré comme entrée, sortie, signal bidirectionnel ou laissé tout simplement inutilisé (haute impédance). La figure 1.11 montre l'architecture d'un IOB du Virtex-5 qui contient des tampons d'entrée/sortie, des bascules, des résistances, un bloc de délai programmable et un contrôleur de temps de transition (*slew rate controller*).

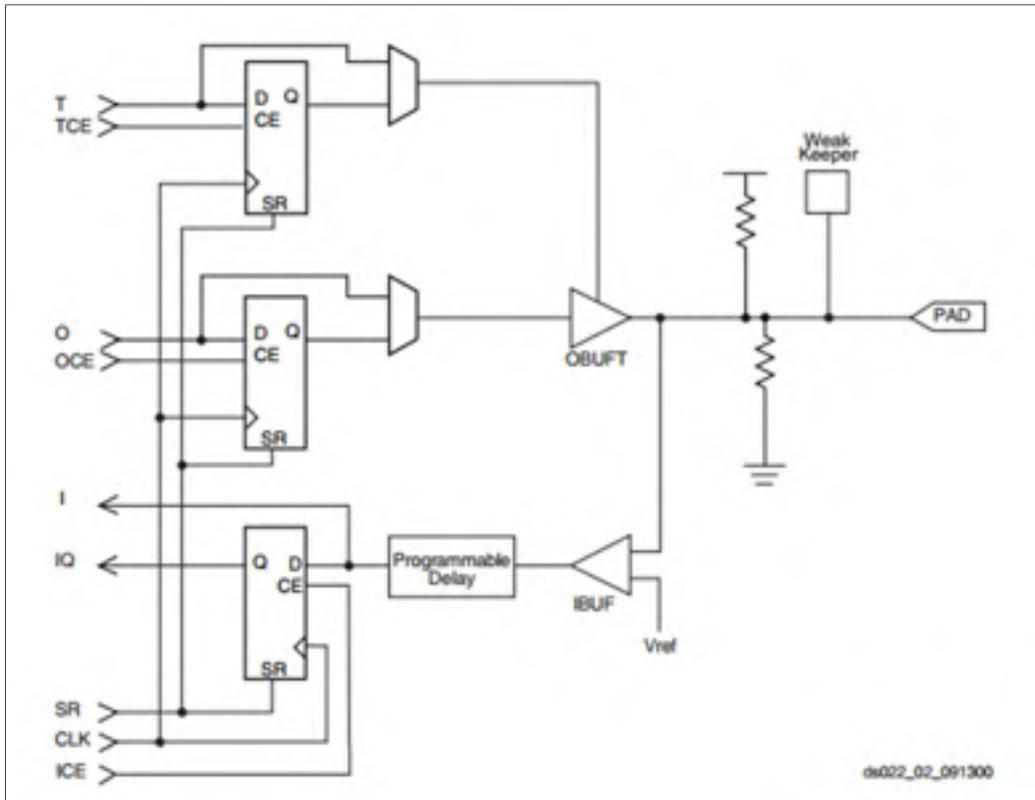


Figure 1.11 Architecture d'un IOB du Virtex-5
Tirée de Xilinx. (2002)

Configuration du FPGA Virtex-5

La configuration du Virtex-5 se fait au moyen d'un fichier qui contient les données de configuration, appelé *bitstream*, et qui est chargé dans la mémoire interne du FPGA (UG191, 2011). Cette mémoire de configuration est structurée en colonnes de mémoires appelés trames (*frames*) qui représentent les plus petits segments configurables. Chaque trame est composée de 1312 bits distribués sur 41 mots (32 bits pour chaque mot). L'organisation de la mémoire de configuration selon des trames permet d'effectuer la reconfiguration partielle qui consiste à reconfigurer une ou plusieurs trames.

La figure 1.12 montre la structure d'une trame en matière de mots et de bits.

La configuration du Virtex-5 peut se faire selon deux façons différentes : interne et externe. La configuration externe est réalisable à l'aide des interfaces *SelectMap* ou JTAG (UG191, 2011) et la configuration interne se fait à travers le port de configuration interne ICAP (*Internal Configuration Access Port*). ICAP permet de réaliser les opérations de lecture et écriture à l'intérieur de la mémoire de configuration.

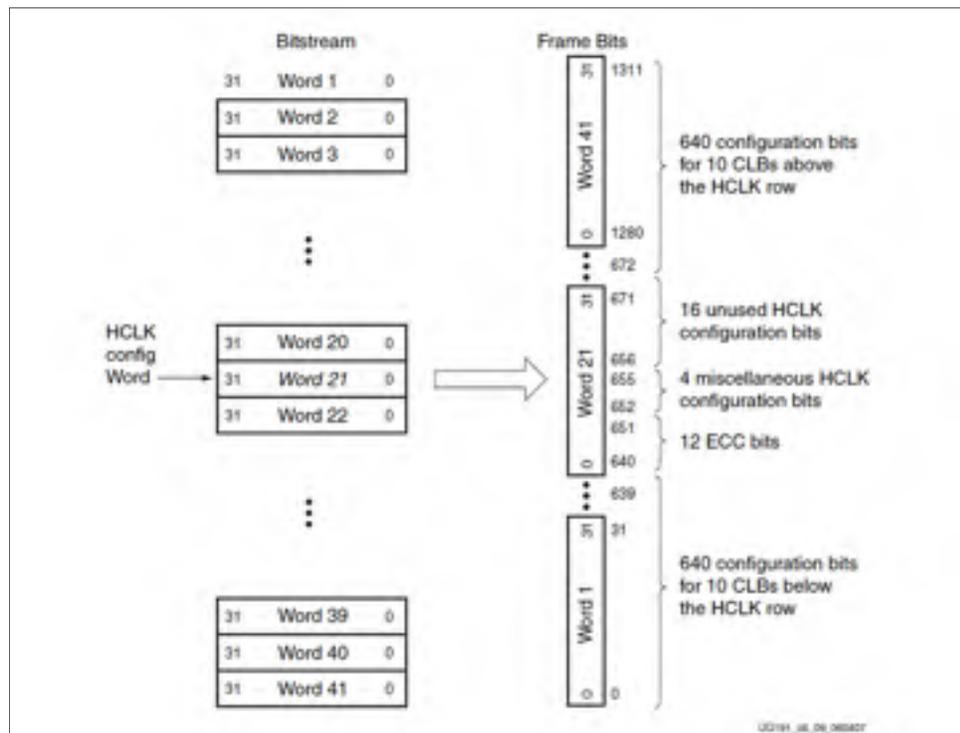


Figure 1.12 Structure d'une trame du Virtex-5
Tirée de UG191 (2011)

1.4 Techniques d'injection de pannes

Il existe une panoplie de techniques d'injection de pannes qui permettent de tester les circuits électroniques qui sont sujets aux événements singuliers.

Dans cette thèse, nous nous intéressons spécialement à l'injection matérielle et logicielle de pannes. Plus précisément, l'injection de pannes par reconfiguration est la technique d'injection utilisée dans le cadre de notre recherche.

Ce type d'injection peut être divisé en 3 approches :

- approche physique d'injection de pannes;
- injection de pannes par simulation;
- injection de pannes par émulation.

1) approche physique d'injection de pannes

Il existe différentes approches associées à ce type d'injection.

- **injection des pannes à travers les broches d'entrées/sorties** : Cette approche consiste à injecter des pannes dans les entrées/sorties d'un circuit en utilisant des sondes. Il existe plusieurs outils qui permettent d'injecter des pannes au niveau des broches. Le premier outil qui a été développé pour cette fin est MESSALINE (Arlat, 1990). La panne est injectée directement sur l'une des bornes du circuit intégré où une sonde force un niveau logique bas ou haut dans la broche sélectionnée. Il a été développé au sein du laboratoire LAAS en France Cet outil a subi plusieurs améliorations pour donner naissance à RIFLE (Madeira et al., 1994) et AFIT (Martinez et al., 1999);
- **injection de pannes par corruption de la mémoire** : cette approche permet d'injecter des pannes dans la mémoire d'un processeur. Ces pannes peuvent être permanentes ou transitoires. DEFI (Michel et al., 1994) est un exemple d'outil utilisé par ce type d'injection de pannes;
- **injection de pannes par perturbation de l'alimentation** : cette approche consiste à ajouter un transistor MOS entre l'alimentation et la masse Vcc (Karlsson et al., 1991). L'alimentation est perturbée par la modification de la tension de la grille de ce transistor.

2) injection de pannes par simulation

Cette technique consiste à injecter des pannes dans les différents niveaux d'abstraction du flot de conception d'un circuit intégré. Quatre approches d'injection de pannes à base de simulation, selon le niveau d'abstraction, peuvent être distinguées :

- **simulation des pannes au niveau système**

Cette approche consiste à analyser la fiabilité des systèmes très tôt dans le flot de conception (Bolchini, Castro et Miele, 2009), (Lajolo et al., 2000), (Lu et Radetzki, 2011)). Plusieurs langages permettent d'effectuer ce genre de simulation, tels que SystemC et les langages fournis par Mathwoks, qui est destinée principalement aux systèmes sur puces (*System-on-Chip*). Cette approche offre la rapidité de simulation par contre, elle manque de précision pour l'estimation de la sensibilité des systèmes concernés;

- **simulation des pannes au niveau RTL**

Plusieurs études se sont intéressées à ce type de simulation (Bombieri, Fummi et Guarnieri, 2011), (Chen, Mishra et Kalita, 2012). Cette approche est réalisée au niveau RTL selon deux techniques : la modification de la description du circuit et le forçage de ses nœuds internes en utilisant les commandes du simulateur. Nombreux sont les outils qui utilisent les commandes du simulateur. Nous pouvons citer MEPHISTO (*Multi level Error/Fault Injection Simulation Tool*) (Jenn et al., 1994), MEFISTO-L (Boue, Petillon et Crouzet, 1998) ou aussi d'autres outils basés sur les langages TCL (Tool Command Language) et Perl. L'outil MEPHISTO effectue une simulation normale jusqu'à un cycle d'arrêt nommé cycle d'injection. L'arrêt de la simulation est commandé avec la commande *wait* du VHDL. MEFISTO-L est un outil développé par le laboratoire LAAS et qui permet de réaliser une simulation instrumentée. Cette simulation a pour but d'ajouter des saboteurs et des sondes afin de rajouter un délai sur les signaux cibles ou de modifier leurs valeurs;

- **simulation des pannes au niveau portes logiques**

Il existe plusieurs outils qui permettent d'injecter des pannes au niveau des portes logiques. L'outil FAST (Fault Simulator for Transients) (Cha et al., 1996) est un outil qui se base sur l'utilisation des modèles réalistes de pannes. Il est composé de deux simulateurs; le premier assure la simulation des pannes de délai au niveau portes et le deuxième permet d'observer l'effet des pannes sur les sorties du système. L'outil, VERIFY (*VHDL-based Evaluation of Reliability by Injecting Faults efficiently*) (Sieh, Tschache et Balbach, 1997) permet l'injection de pannes au niveau porte logique et au niveau RTL. Un autre outil appelé ROBAN (Alexandrescu, Anghel et Nicolaidis, 2004) permet l'injection et la simulation des pannes

transitoires dans les circuits combinatoires. Cet outil a pour but d'analyser la probabilité qu'une panne transitoire se propage jusqu'à la sortie d'un registre;

- **simulation des pannes au niveau transistor**

Cette approche permet d'injecter des pannes dans la description au niveau transistor d'un circuit (*Netlist*). Ce type de simulation présente un grand inconvénient au niveau du temps de simulation. De plus, il exige d'avoir accès à cette description, ce qui n'est pas le cas pour les circuits FPGA de Xilinx.

3) injection de pannes par émulation

L'injection de pannes par émulation basée sur le prototypage par FPGA a été proposée pour réduire le temps considérable consommé par l'injection par simulation (Haissam, Ayoubi et Velazco, 2004). Cette technique est devenue de plus en plus utilisée de nos jours en raison de sa rapidité, son faible coût et sa performance. Deux types d'injection peuvent découler de cette catégorie à savoir l'injection par reconfiguration et l'injection par instrumentation (KHATRI et al., 2014). Le premier groupe d'injection profite des fonctionnalités fournies par les FPGA à savoir la reconfiguration totale et partielle. Dans ce cas, les pannes sont injectées en changeant les bits dans le fichier de configuration (*bitstream*). Le deuxième groupe d'injection, qui est l'injection par instrumentation, est réalisée en ajoutant un circuit additionnel ou en modifiant le code original. L'injection de pannes par reconfiguration est détaillée davantage dans ce qui suit parce que c'est la technique utilisée dans le cadre de notre recherche.

Injection des pannes par reconfiguration

La configuration des FPGA à base de SRAM se fait à travers un fichier de configuration qui contient toutes les données et commandes de configuration. Une fois que le FPGA est configuré, il peut être reconfiguré par la suite selon deux modes : reconfiguration statique et reconfiguration dynamique.

La reconfiguration statique consiste, à chaque modification, à reconfigurer et ré-synthétiser les modules modifiés et par la suite régénérer le fichier de configuration et le charger sur le FPGA.

La reconfiguration dynamique, quant à elle, permet de reconfigurer un FPGA pendant son fonctionnement. Cette configuration peut être globale quand tout le circuit est reconfiguré ou bien partielle si seulement une partie de ce circuit est reconfigurée. En général, cette reconfiguration permet d'économiser le temps induit par la reconfiguration statique.

Il existe plusieurs travaux qui utilisent la reconfiguration dynamique comme moyen d'injection de pannes (Antoni, Leveugle et Feher, 2003), (Carlo et al., 2014), (Ghaffari et al., 2014). Cette reconfiguration est basée sur l'utilisation des plateformes qui sont composées d'un ou plusieurs FPGA. Dans la catégorie des plateformes à plusieurs FPGA, nous pouvons citer Flipper (Alderighi et al., 2009), Thesic+ (Faure, Velazco et Peronnard, 2005) ou aussi FT-UNSHADES (Guzmán-Miranda, Barrientos-Rojas et Aguirre, 2016).

Plusieurs travaux ont utilisé la plateforme à un seul FPGA, à savoir (Bernardi et al., 2004), (Lee et Sedaghat, 2008), (Ebrahimi et al., 2014) et (Chapman, 2010a). Dans le cadre de cette thèse, nous sommes intéressés à l'outil d'injection de pannes, appelé **SEU Controller**, qui est présenté dans (Chapman, 2010a).

SEU Controller

Le SEU Controller est un utilitaire développé par Xilinx, pouvant être instancié avec n'importe quel design implémenté à l'intérieur d'un FPGA de la famille Virtex-5 ou des familles plus récentes. Le rôle principal de cet utilitaire est de corriger les erreurs de configuration causées par les SEU aussitôt qu'elles sont détectées. Le deuxième rôle est de fournir un moyen pour émuler les SEU à l'intérieur de la mémoire de configuration des Virtex-5.

Le SEU Controller est capable de fournir des rapports détaillés des SEU injectés, du nombre de trames (*frames*) balayées et du nombre d'erreurs de configuration corrigées. Les ports d'entrées/sorties du SEU Controller sont présentés à la figure 1.13.

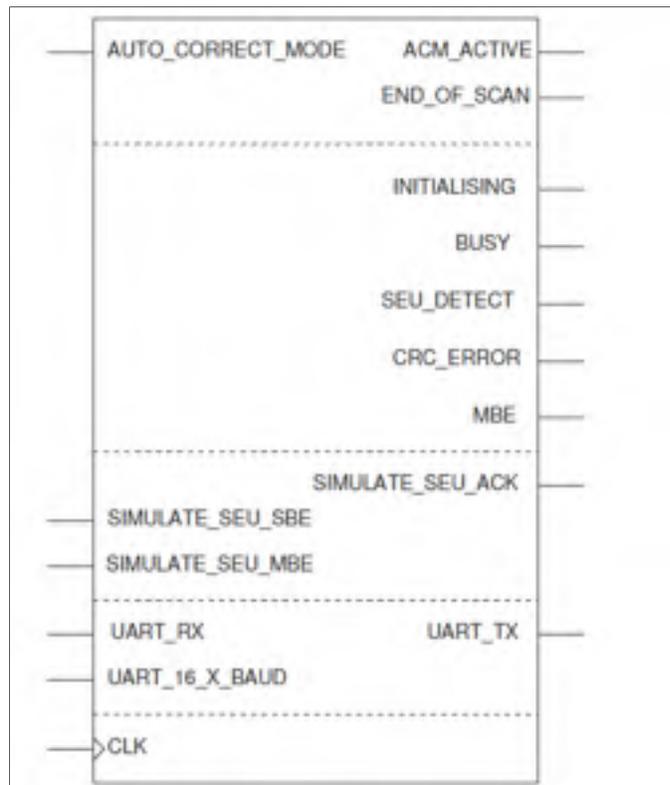


Figure 1.13 Entrées/sorties du SEU Controller
Tirée de Chapman (2010a)

Les entrées/sorties du SEU Controller sont décrites comme suit (Chapman, 2010a) :

- ***AUTO_CORRECT_MODE*** : donne le mode de fonctionnement du SEU Controller. Deux modes sont supportés : mode singulier où un bit est corrigé avant d'inverser un autre et le mode d'accumulation où les inversions sont faites sans correction;
- ***ACM_ACTIVE*** : indique que le *SEU Controller* est en mode *Automatic Correction Mode* (ACM);
- ***END_OF_SCAN*** : indique que l'opération de *Readback CRC* est en train de balayer le composant;
- ***INITIALISING*** : indique que le *SEU Controller* est dans la phase d'initialisation. Ce signal est actif après la configuration du composant;
- ***BUSY***: indique que l'outil est occupé avec la correction ou l'injection d'erreurs;

- ***SEU_DETECT*** : signifie qu'une erreur de configuration a été détectée ou non par le circuit *Readback CRC*;
- ***CRC_ERROR*** : indique qu'une erreur de configuration a été détectée par le circuit *Readback CRC*;
- ***MBE*** : indique qu'une erreur multiple (*Multiple Bit Error*) est détectée dans la mémoire de configuration et qu'elle ne peut pas être corrigée;
- ***SIMULATE_SEU_SBE* & *SIMULATE_SEU_MBE*** : indiquent que l'utilitaire est entrain de simuler une erreur simple (*Single Bit*) ou multiple (*Multiple Bit Error*), respectivement;
- ***SIMULATE_SEU_ACK*** : indique le début de l'opération d'injection d'erreur;
- ***UART_TX*** : permet de rapporter des informations sur l'état du SEU Controller;
- ***UART_RX*** : permet de contrôler le *SEU Controller* en lui envoyant les commandes à exécuter;
- ***CLK*** : signal d'horloge.

Le SEU Controller est composé de deux primitives fournies par Xilinx : *ICAP_VIRTEX5* et *FRAME_ECC_VIRTEX5* (Chapman, 2010b). La première primitive, *ICAP_VIRTEX5*, permet d'accéder à la mémoire de configuration du FPGA et d'inverser certains bits de configuration. La deuxième primitive, *FRAME_ECC_VIRTEX5*, permet la détection et l'identification d'erreurs simples et doubles.

Il est important de noter que, dans certains cas, les inversions de bits de configuration ne causent pas d'erreurs. En effet, chaque trame à l'intérieur du FPGA contient 1312 bit dont 16 bits inutilisés comme montré à la figure 1.14. Donc, si les inversions affectent ces bits inutilisés, aucune erreur ne sera détectée. De plus, le SEU Controller n'accède pas aux bits de configuration contrôlant les tables de conversions (LUT) utilisées comme mémoire distribuée dans un design ni à ceux des mémoires BRAM. Aussi, le SEU Controller utilise moins de 1%

1.5 Techniques de mitigation

Dans cette section, un aperçu sur les techniques de mitigation les plus utilisées dans les FPGA à base de SRAM est présenté.

1.5.1 TriPLICATION Modulaire (Triple Modular Redundancy TMR)

La triPLICATION modulaire ou TMR est une technique de mitigation implémentée via la synthèse et qui a pour but de réduire la sensibilité des FPGA face aux SEU.

La figure 1.15 présente l'architecture de la TMR développée par Xilinx. Cette architecture est caractérisée par l'utilisation de trois différents voteurs ainsi que la triPLICATION de tous les blocs fonctionnels. Il est nécessaire d'avoir un chemin de retour (*Feedback path*), comme montré à la figure 1.15, pour corriger le contenu des flip-flops vu que la configuration « *scrubbing* » ne peut pas corriger le contenu des blocs logiques configurables (CLB). Le choix de l'implémentation de ce chemin de retour revient à l'utilisateur qui peut décider de l'implémenter pour toutes les flip-flops ou seulement pour quelques unes utilisées par l'application à implémenter. De plus, cette technique nécessite 3 domaines d'horloge séparés.

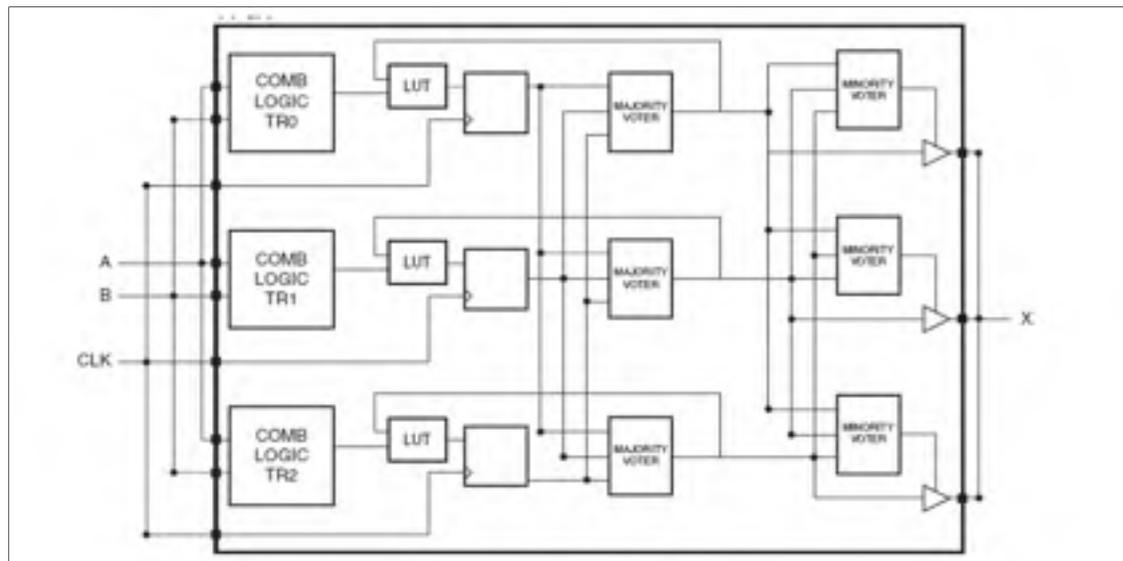


Figure 1.15 Architecture de la technique TMR proposée par Xilinx
Tirée de Adell et al. (2008)

En plus des CLB, les entrées et sorties peuvent aussi être triplées. L'approche utilisée pour les sorties est présentée à la figure 1.16. Les sorties sont liées entre elles à l'aide des voteurs minoritaires (*minority voting*).

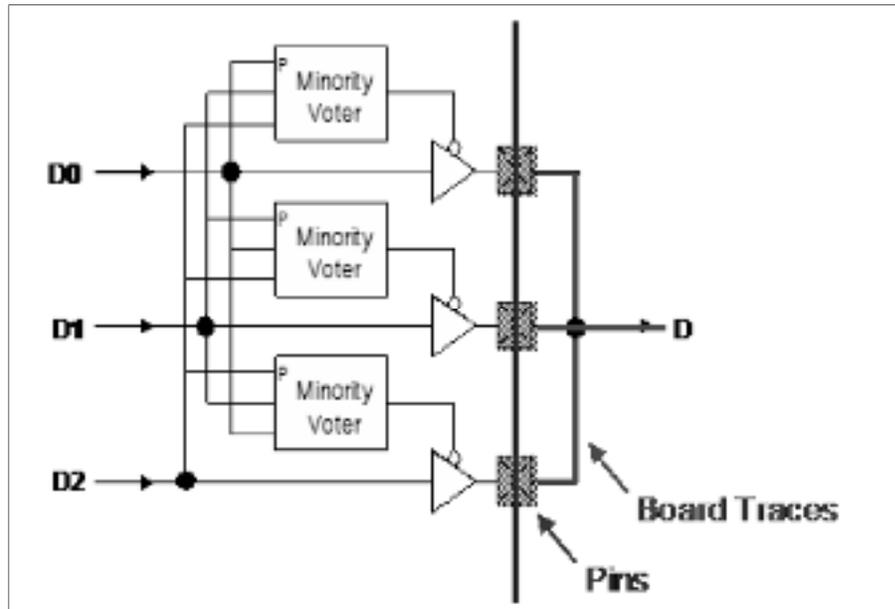


Figure 1.16 Approche utilisée pour tripler les sorties
Tirée de Adell et al. (2008)

1.5.2 Reconfiguration “*Scrubbing*”

L’utilisation de la redondance matérielle toute seule n’est pas suffisante pour éviter les erreurs dans les FPGA; il est obligatoire de recharger périodiquement le fichier de configuration (*bitstream*) pour éviter l’accumulation de pannes. Ce rechargement continu est appelé « *scrubbing* ». Le *scrubbing*, comme expliqué par Xilinx (Adell et al., 2008), permet à un système de réparer les inversions de bits (bit-flips) à l’intérieur de la mémoire de configuration sans perturber le fonctionnement du système. La mémoire de configuration contient les cellules mémoires qui configurent les LUT, le routage et les CLB. Le *scrubbing* permet de prévenir l’accumulation de plusieurs erreurs de configuration et aussi de réduire le temps de fonctionnement permis pour une configuration invalide.

Les systèmes qui implémentent les techniques de mitigation basées sur la redondance, comme les TMR, doivent utiliser aussi le *scrubbing* pour éviter l’accumulation de pannes et par ailleurs l’échec de la redondance.

Xilinx (Adell et al., 2008) recommande une fréquence de *scrubbing* 10 fois plus grande que le taux d'occurrence des SEU. Le « *scrubber* » peut être externe ou même interne au FPGA.

1.6 Conclusion

Ce chapitre a été consacré à l'étude détaillée des radiations cosmiques et leurs effets sur les circuits intégrés en général et sur les FPGA en particulier. En premier lieu, des informations pertinentes concernant les différentes sources de radiation, les différents types d'erreurs causées par ces radiations ainsi que la sensibilité des circuits numériques face à ces erreurs ont été présentées. En second lieu, un aperçu sur les FPGA à base de SRAM, leur architecture ainsi que leur sensibilité face aux radiations a été détaillée. De plus, les différentes techniques d'injection de pannes ont été explorées. Finalement, les techniques de mitigation les plus utilisées pour les FPGA de Xilinx ont été présentées.

CHAPITRE 2

REVUE DE LITTÉRATURE

Ce chapitre présente une revue de littérature qui étudie les travaux en lien avec notre recherche. En effet, il explore en détails les outils et techniques s'intéressant aux effets des événements singuliers sur toutes les ressources des FPGA à base de SRAM (logique, routage et IOB). De plus, la littérature a été prospectée afin de trouver les travaux s'intéressant spécifiquement à l'étude des effets des événements singuliers sur les IOB des FPGA à base de SRAM.

2.1 Effets des événements singuliers sur toutes les ressources des FPGA à base de SRAM (routage, logique et IOB)

Cette thèse s'intéresse aux événements singuliers qui ont des effets non destructifs. Plus particulièrement les SEU (*Single Event Upset*) et les MBU (*Multiple Bit Upset*). Les SEU et les MBU constituent le genre de pannes qui arrivent le plus souvent dans les FPGA à base de SRAM (Foucard, 2010), le type de circuits cibles de notre recherche.

Dans (Iturbe et al., 2009), les auteurs présentent une nouvelle stratégie de gestion de pannes qui augmente l'efficacité des techniques de mitigation à redondance triple (TMR) pour qu'elles soient capables de diminuer, à la fois, l'occurrence des SEU, MBU et SHE (*Single Hardware Error*) à l'intérieur des FPGA de type Virtex-4 de Xilinx. Cette stratégie combine deux techniques, à savoir la relecture des trames du FPGA (*Frame Read back*) basée sur les codes de correction d'erreur (ECC) et la reconfiguration continue (*Scrubbing*) du FPGA. La reconfiguration continue est effectuée avec l'outil SEU Controller et c'est un point en commun entre cette recherche et nos travaux. La figure 2.1 présente l'organigramme de cette stratégie.

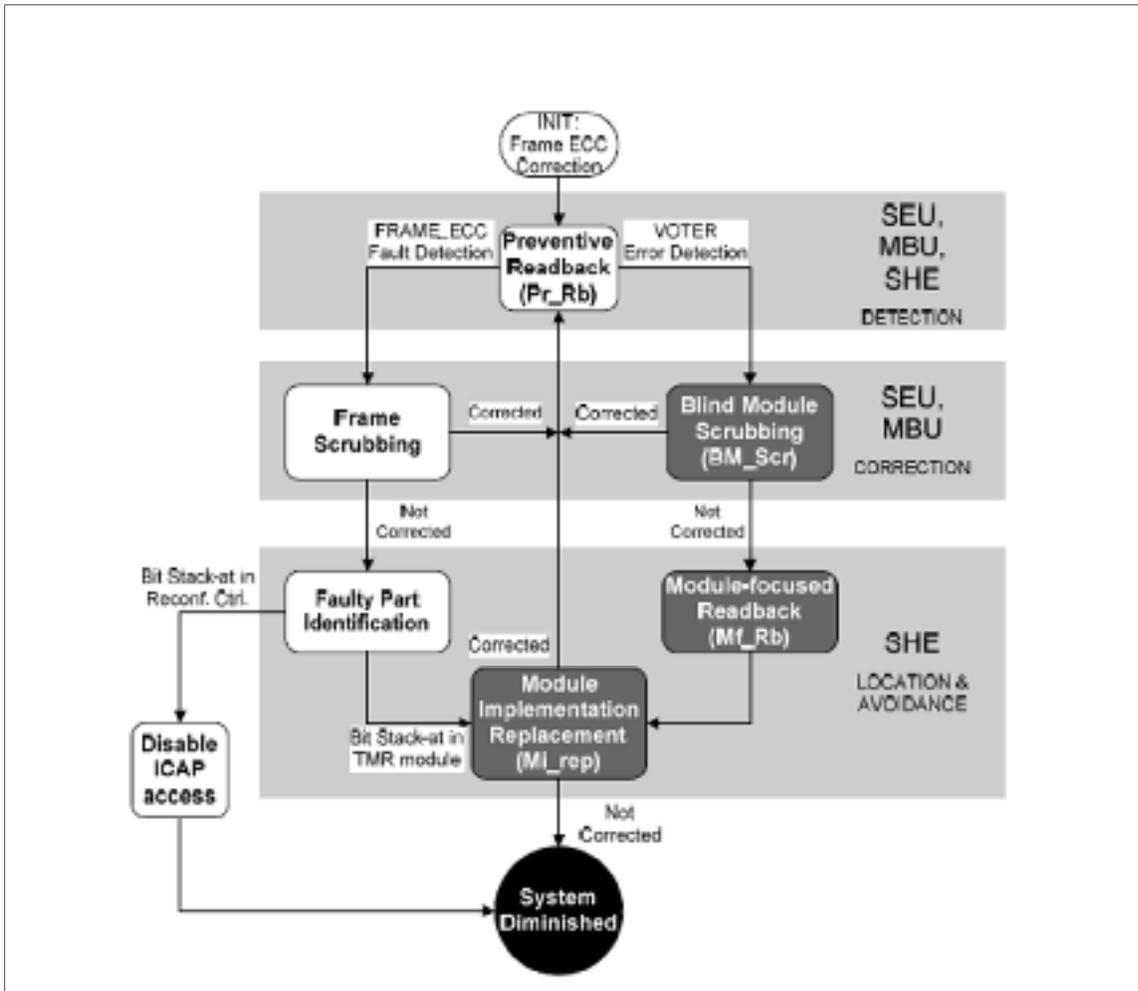


Figure 2.1 Organigramme de la stratégie de validation appliquée pour les Virtex-4
Tirée de Iturbe et al. (2009)

Cet organigramme montre que cette stratégie est capable de détecter les trois types de pannes. Par contre, elle ne peut corriger que les SEU et les MBU. Pour les SHE, elle peut seulement déterminer leurs positions et essayer de les éviter pour les prochaines implémentations.

Ce travail nous a aidés dans la compréhension du fonctionnement du SEU Controller. Par contre, il s'intéresse à toutes les ressources du FPGA, mais il ne détaille pas les pannes dans les IOB. De plus, le but principal de ce travail est de présenter une nouvelle stratégie de mitigation pour les Virtex-4 et non d'étudier en profondeur la nature des pannes observées dans les IOB. Pour ces raisons, ce travail diffère du nôtre.

Dans (Quinn et al., 2005), les auteurs proposent une méthodologie pour estimer la section efficace statique des protons et des ions engendrant des MBU dans les FPGA à base de SRAM de Xilinx. Ils présentent aussi une méthodologie pour déterminer les effets des MBU sur les TMR. Cette méthodologie s'est intéressée principalement à l'étude de 4 différentes familles de FPGA de Xilinx, à savoir Virtex, Virtex-2, Virtex-2 Pro et Virtex-4. Elle a montré l'existence des MBU dans ces 4 familles de FPGA et aussi dans la majorité des ressources composant chaque FPGA, à savoir les blocs configurables logiques (CLB), les mémoires (BRAM), les mémoires d'interconnexion (BRAMi) et les blocs d'entrée/sortie (IOB). Le tableau 2.1 montre la fréquence des MBU pour chaque type de ressource et pour chaque FPGA et cela pour des erreurs causées par un faisceau de radiation à base de protons à une énergie égale à 63.3 MeV.

Tableau 2.1 Fréquence des MBU induits par une radiation à base de protons (63.3 MeV)
Tiré de Quinn et al. (2005)

Family	BRAM Events	BRAMi Events	IOB Events	CLB Events
Virtex	0	in CLB	8	286
Virtex-2	162	1230	252	2404
Virtex-2 Pro	4	15	4	115
Virtex-4	640	Unknown	673	3246

Ces MBU se divisent en deux types selon leurs emplacements dans une cellule mémoire et selon le nombre de particules qui les ont causées : 1) les MBU réels (*true MBU*) qui sont causés par la même particule et 2) les faux MBU (*false MBU*) qui sont causés par plusieurs particules. Ainsi, ces MBU peuvent être engendrés par plusieurs inversions (2 bit-flips, 3 bit-flips, etc.). La figure 2.2 illustre l'effet des MBU sur des cellules adjacentes.

Cet article a inspiré notre recherche vu qu'il a montré l'existence des MBU dans les IOB mais il n'a pas investigué davantage le comportement des IOB face à ces erreurs.

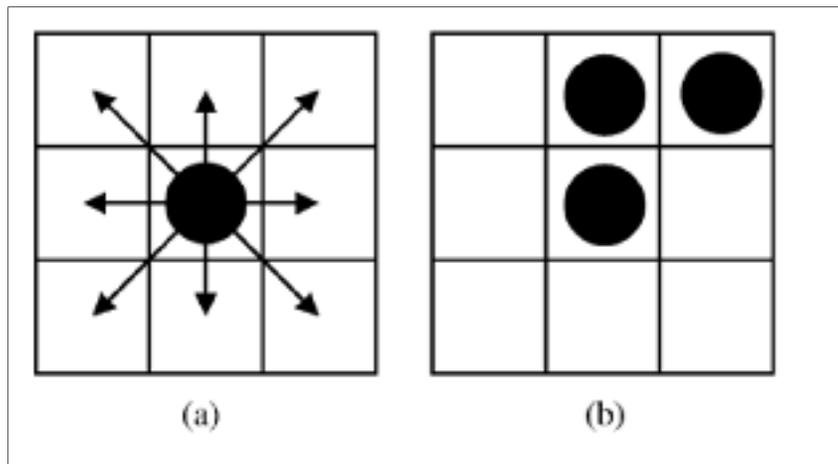


Figure 2.2 (a) Illustration de l'effet d'une particule causant un MBU dans les cellules mémoires adjacentes d'un même mot logique, (b) illustration d'un MBU à trois bits flippés causé par 3 particules
Tirée de Quinn et al. (2005)

Le travail présenté par (Thibeault et al., 2012) est le point de départ de notre recherche. Les auteurs ont montré que des délais additionnels pouvaient être induits par l'irradiation dans la logique et le routage des circuits intégrés programmables à base de mémoire vive, et ce en inversant leurs bits de configuration. L'irradiation de ces circuits FPGA (Virtex-5) a été effectuée à l'aide de protons au laboratoire TRIUMF à Vancouver.

Les délais observés ont été détectés à l'aide d'un montage basé sur des oscillateurs en boucle (RO). La figure 2.3 montre le montage utilisé dans ce travail, qui implémente 2 RO réalisés en serpentins à l'intérieur de la logique (CLB) du Virtex-5. La mesure des délais est faite selon la variation de la fréquence (i.e. variation de période), une variation qui inclut la différence de fréquences entre les 2 RO implémentés. Mesurer la différence de fréquences au lieu de mesurer séparément les fréquences des deux RO permet d'offrir une meilleure précision.

Plusieurs expériences ont été effectuées à des niveaux d'énergie différents pour mesurer les changements de délais (ODC). Les deux RO ont été exposés aux radiations et donc chaque expérience a été arrêtée quand l'un des deux RO a arrêté de fonctionner (BRO).

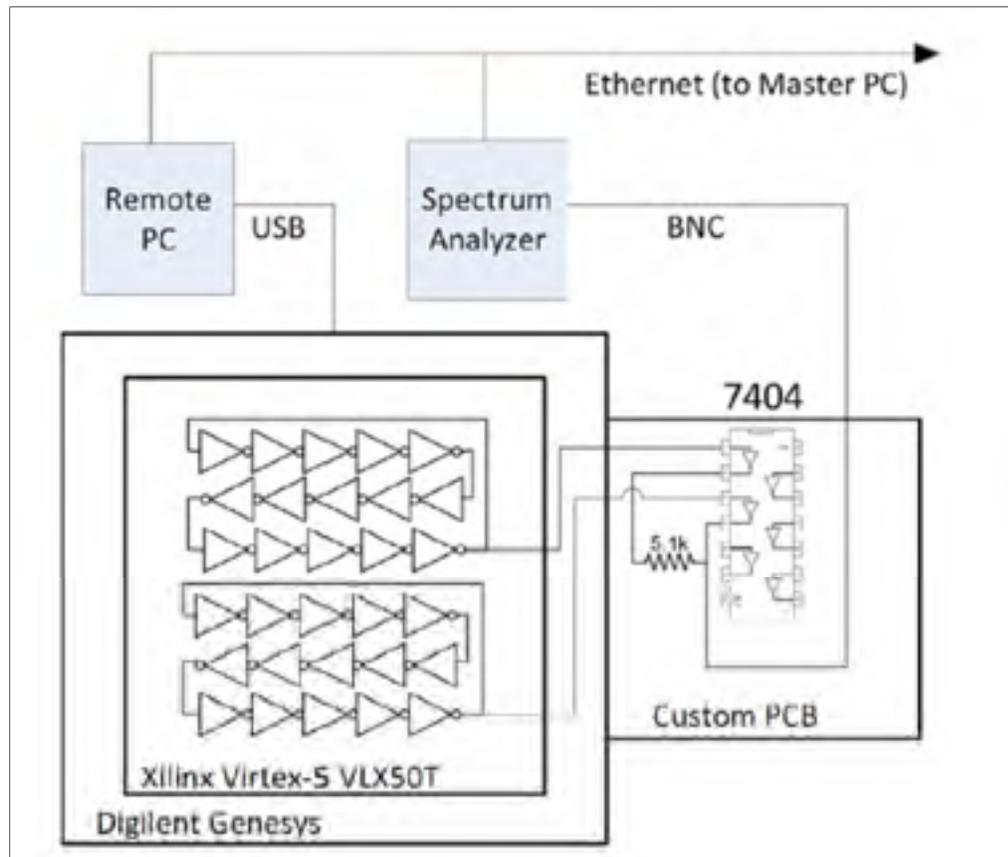


Figure 2.3 Montage expérimental utilisé à TRIUMF
Tirée de Thibeault et al. (2012)

Un ODC produit une variation sur la différence de fréquence ($F_2 - F_1$) qui peut être positive ou négative. La différence de fréquence augmente quand F_1 diminue et diminue quand F_2 diminue. La figure 2.4 montre un des graphes obtenus suite à une expérience d'irradiation. Ce graphe présente la mesure de la différence de fréquences ($F_2 - F_1$) en fonction du temps, réalisée avec l'analyseur de spectre. Les résultats d'irradiation obtenus dans ce travail ont révélé l'existence de 56 ODC, dont l'amplitude varie entre 38 et 422 ps (délai accumulé).

Un autre volet intéressant de ce travail est l'étude de la sensibilité relative des bits de configuration qui stockent un zéro et ceux qui stockent un 1 logique.

La méthodologie expérimentale (irradiation et émulation) utilisée pour les ressources de la logique et le routage a été adaptée aux IOB.

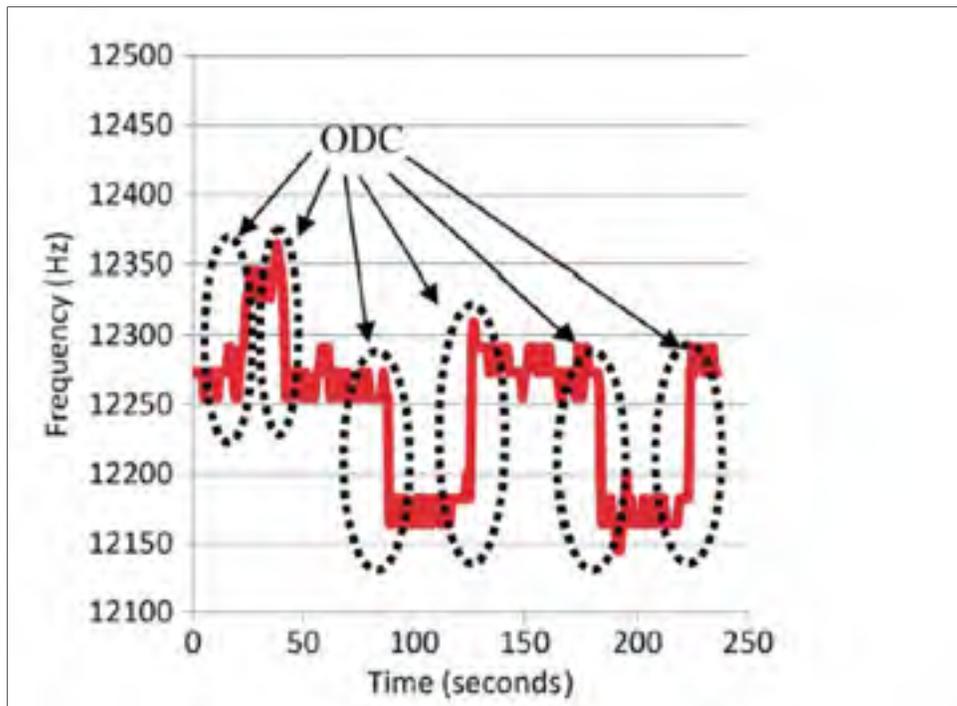


Figure 2.4 Résultat d'irradiation de 6 ODC d'une valeur respective de 58, 46, 58, 70, 58 et 58 ps.
Un délai total de 358 ps
Tirée de Thibeault et al. (2012)

2.2 Effets des événements singuliers sur les blocs d'entrée/sortie (IOB) des FPGA à base de SRAM

Comme il a été mentionné précédemment, les IOB sont les blocs d'entrée/sortie qui permettent de connecter les ports internes du circuit implémenté à l'intérieur du FPGA aux composants externes. Ils établissent aussi la communication entre deux systèmes différents. L'identification des pannes dans ces blocs permet d'éviter les problèmes de synchronisation et de communication entre les systèmes. Dans ce contexte, plusieurs travaux ont étudié le comportement des IOB avec la présence d'événements singuliers avec l'application ou non de techniques de mitigation.

Dans (Napier et al., Sept. 2004), les auteurs se sont concentrés sur l'étude de l'effet des SEU avec des différentes techniques de mitigation appliquées à l'intérieur des IOB des FPGA à base de mémoire SRAM de la famille Virtex-2 de la société Xilinx. Ils décrivent aussi les

compromis qui doivent être pris en compte pour choisir une technique de mitigation. Ces compromis concernent plusieurs paramètres, à savoir la section efficace des SEU, la vitesse du système à mitiger, les caractéristiques d'utilisation des IOB, etc.

Cet article propose plusieurs études pour comparer deux structures différentes de TMR montrées aux figures 2.5 et 2.6. Ces études incluent :

- des simulations *Hyperlinx* de la sortie des TMR pour différentes configurations des IOB (LVCMOS, LVDS et LVDCI), et cela avec et sans la présence des SEU;
- une analyse approfondie de l'architecture des IOB pour les deux configurations de TMR afin de déterminer la section efficace des SEU;
- des expériences réelles des deux structures de TMR pour tester leur fonctionnement en présence de pannes.

Les différentes études citées ci-dessus avaient pour but de déterminer la structure de TMR adéquate à utiliser à l'intérieur des IOB en présence de SEU.

Cet article nous a donné un aperçu des techniques de mitigation à utiliser dans les IOB et les différents paramètres à prendre en compte pour appliquer ces techniques. Par contre, ce travail étudie les techniques de mitigation avec la présence de deux types de pannes seulement, i.e les *stuck-0* et *stuck-1* et il n'est pas généralisé pour couvrir les autres pannes existantes comme les pannes de délai.

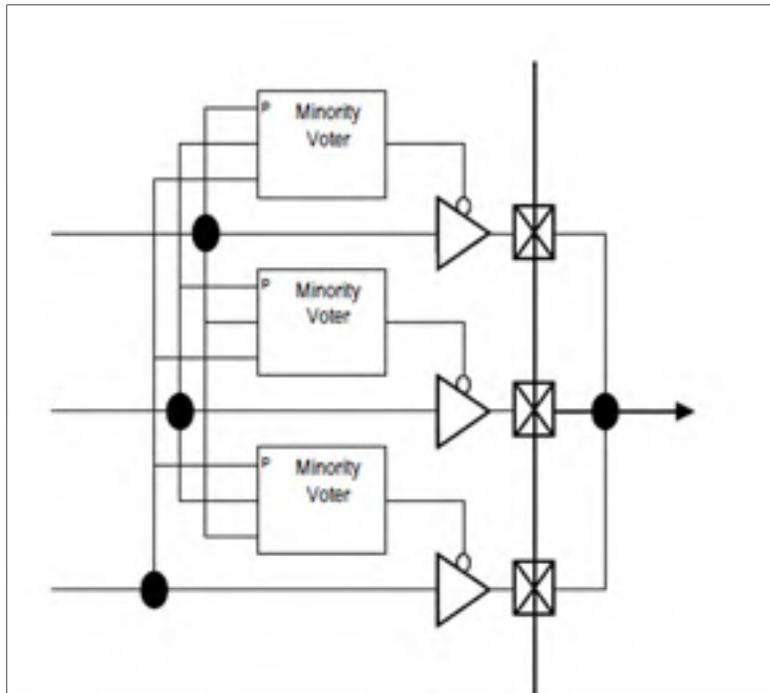


Figure 2.5 Structure de la TMR recommandée par Xilinx
Tirée de Napier et al. (Sept. 2004)

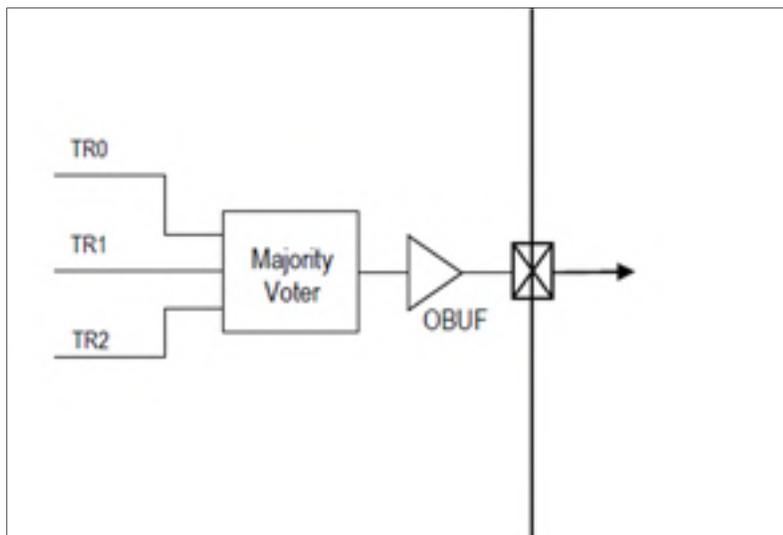


Figure 2.6 Nouvelle structure des TMR (quasi-TMR)
Tirée de Napier et al. (Sept. 2004)

Le travail présenté dans (Rollins et al., 2002) étudie le fonctionnement des blocs d'entrée/sortie (IOB) des FPGA à base de mémoire SRAM de la famille Virtex en présence des évènements

singuliers qui affectent la mémoire de configuration. Les auteurs proposent aussi des techniques pour détecter et corriger ces erreurs.

La méthodologie de test présentée dans ce travail montre que les erreurs affectant un IOB peuvent changer son comportement et le transformer d'une entrée à une sortie. Cette méthodologie permet de détecter les pannes de type *stuck-0* et *stuck-1* qui se produisent à l'intérieur des IOB. La figure 2.7 présente l'architecture de cette méthodologie.

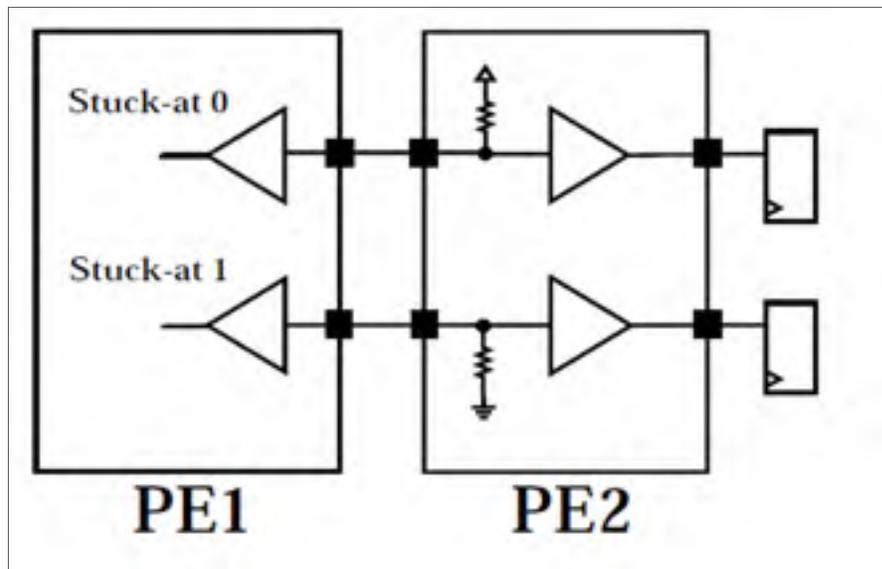


Figure 2.7 Architecture de la méthodologie de test
Tirée de Rollins et al. (2002)

Cette méthodologie est basée sur une plateforme de simulation constituée de deux FPGA de type Virtex V1000 (PE1 et PE2), utilisés pour tester le FPGA en question (FPGA sous test), et un autre FPGA (PE0) pour observer le comportement du FPGA sous test et pour générer les stimuli nécessaires pour le test. Le but ultime de cette méthodologie était de déterminer combien de bits de configuration doivent être inversés pour changer une entrée à une sortie. Les résultats issus de cette méthodologie ont révélé que le changement d'une entrée en sortie est plus probable avec des erreurs multiples (MBU) qu'avec des erreurs singulières (SEU).

Le deuxième aspect de ce travail est la présentation de deux techniques utilisées pour détecter les erreurs qui affectent les IOB, à savoir : 1) duplication des IOB, 2) reconfiguration des IOB erronés. L'architecture de la 1^{re} technique est présentée à la figure 2.8.

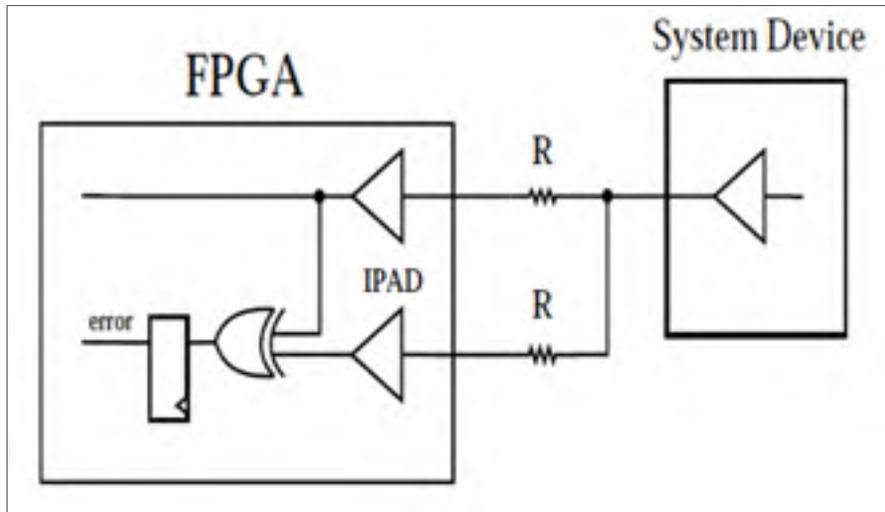


Figure 2.8 Architecture de la technique basée sur la duplication des IOB
Tirée de Rollins et al. (2002)

L'avantage principal de cette technique est sa rapidité dans la détection d'erreurs dans les IOB. Ceci peut éviter une consommation excessive de la puissance et limiter les dommages qui peuvent affecter le système. Par contre, cette technique peut être désavantageuse car elle demande plus de ressources pour être implémentée, chose qui n'est pas toujours possible surtout pour les systèmes qui possèdent un nombre limité d'entrées/sorties.

La 2^e technique utilise le principe de reconfiguration et relecture qui est supporté par les FPGA de type Virtex. L'avantage de cette technique est la possibilité de détecter des erreurs non seulement dans les blocs d'entrée/sortie mais aussi dans toute la mémoire de configuration. Par contre, cette technique demande un temps considérable pour détecter et identifier les erreurs dans les bits de configuration.

La limitation de ce travail est reliée au fait qu'il a étudié seulement l'effet de deux types de pannes, i.e les *stuck-0* et *stuck-1* et il n'est pas généralisé pour couvrir les autres pannes existantes.

Dans (Swift et al., 2004), les auteurs ont étudié la sensibilité des blocs d'entrée/sortie (IOB) des FPGA à base de mémoire SRAM de la famille Virtex-2, face aux évènements singuliers. Ces évènements sont créés en utilisant deux techniques différentes, l'injection de pannes et l'irradiation effectuée à l'aide d'ions. Les auteurs se sont intéressés aussi à évaluer la force et la faiblesse de ces deux techniques en insérant des techniques de mitigation à l'intérieur des IOB.

Les figures 2.9, 2.10 et 2.11 présentent les différents montages à tester en présence des évènements singuliers. La figure 2.9 montre le montage de base sans aucune technique de mitigation. Ce montage contient le FPGA (*DUT FPGA*) à tester, qui implémente une simple entrée routée directement à une sortie placée à proximité. Ce rapprochement a pour but de minimiser le nombre de bits de configuration critiques qui contrôlent les ressources de routage. Ce montage contient aussi un générateur de vecteurs (*Pseudo-Random Pattern Generator*) qui induit les pannes et un détecteur d'erreur (*Error Detector*) qui détecte et calcule le nombre d'erreurs affectant les IOB du FPGA (*DUT FPGA*).

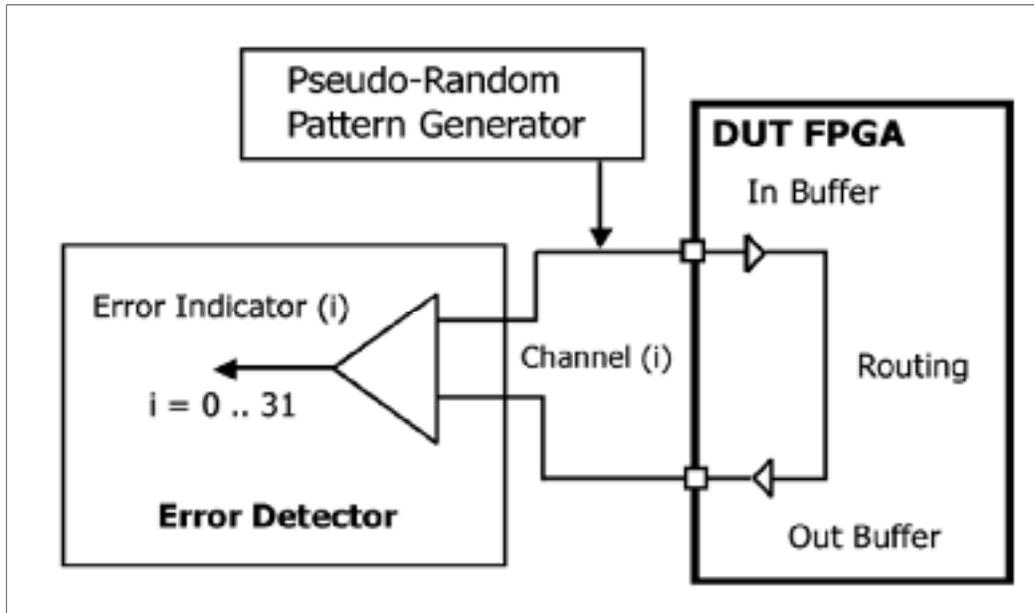


Figure 2.9 1^{er} montage « *NoTMR* » implémentant un simple montage composé d'une entrée et d'une sortie sans TMR
Tirée de Swift et al. (2004)

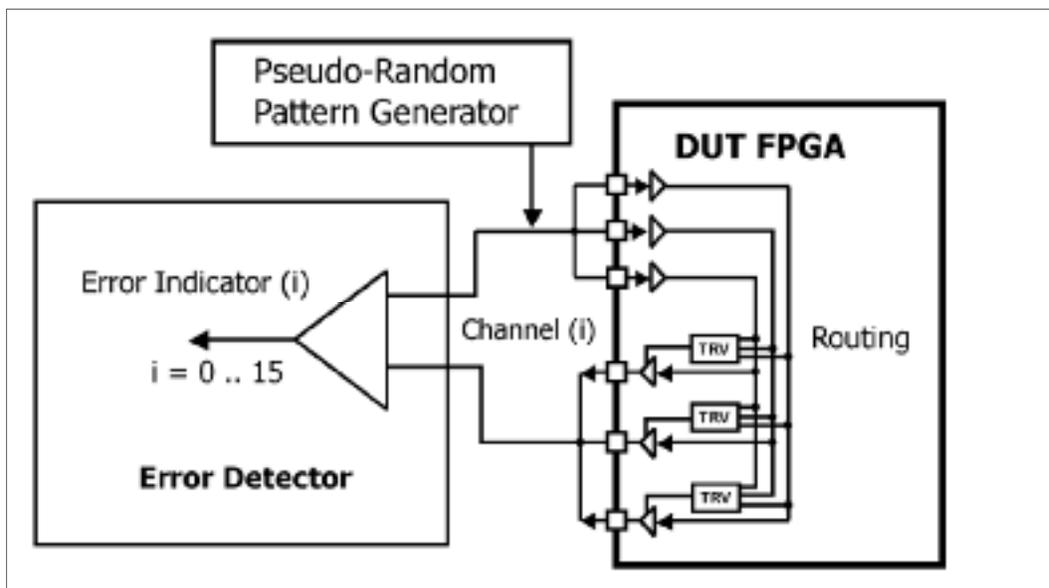


Figure 2.10 2^e montage « *Full TMR* » dérivant du montage de la figure 3.9 en insérant une TMR complète
Tirée de Swift et al. (2004)

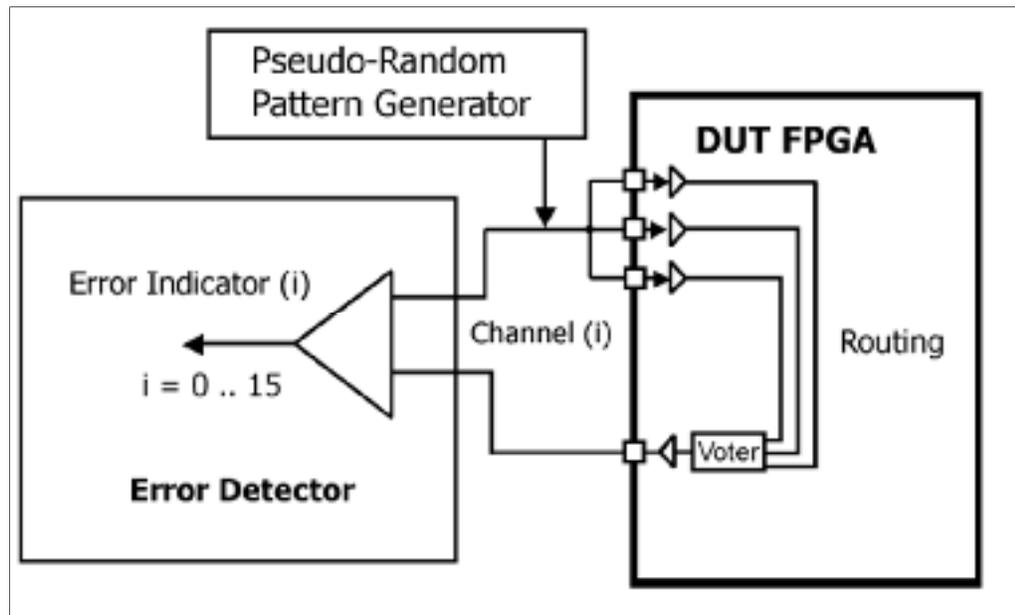


Figure 2.11 3^e montage « *TMR In-only* » dérivant du montage de la figure 3.9 en insérant une TMR partielle
Tirée de Swift et al. (2004)

La figure 2.10 montre le montage de base de la figure 2.9 combiné à une TMR complète. La TMR complète est une technique de mitigation qui consiste à tripler l'entrée et la sortie et à insérer 3 copies du même vecteur électeur. Cette technique augmente considérablement le nombre de bits de configuration d'où l'utilisation du montage de la figure 2.11.

Le montage de la figure 2.11 est une version allégée de celui de la figure 2.10. Au lieu de tripler les entrées, les sorties et les vecteurs électeurs, ce montage triple seulement les entrées et ajoute un seul vecteur électeur.

Les 3 montages sont testés en utilisant les deux techniques mentionnées ci-dessus : l'irradiation et l'injection de pannes. L'irradiation est effectuée à l'aide de plusieurs types d'ions (Xe-129, Kr-78 et Ar-40) au département de l'énergie de l'université du Texas. L'injection de pannes est réalisée avec un outil développé par le laboratoire de recherche de Xilinx nommé « SEUPI ». Cet outil tire profit de l'accès aux détails de l'architecture interne contrôlée par les bits de configuration d'un FPGA donné, et peut identifier quels bits sont potentiellement sensibles.

Les résultats issus des deux techniques ont montré que la TMR complète est très efficace pour atténuer les problèmes fonctionnels causés par une erreur de configuration à l'intérieur des IOB. Ils ont montré aussi que les deux techniques sont complémentaires; d'une part, parce que les techniques d'injection de pannes (FI) peuvent réduire le temps nécessaire pour effectuer les expériences d'irradiation et d'autre part, parce que les résultats obtenus par les techniques d'injection de pannes doivent être comparés aux informations obtenues par l'irradiation (Beam) pour être validés. Les deux techniques ont donné des résultats similaires comme montré dans le tableau 2.2.

Tableau 2.2 Comparaison des deux techniques utilisées pour tester les effets des SEU sur les IOB
Tiré de Swift et al. (2004)

3.3 V LCMOS Design	FI	Beam
No TMR	43	60
Full TMR	0	0
TMR-In only	19	30

Ce travail donne un aperçu sur l'effet des SEU sur les IOB des FPGA à base de SRAM en terme de nombre de bits de configuration potentiellement sensibles seulement mais il ne détaille pas le comportement des IOB face à ces SEU.

2.3 Conclusion

Ce chapitre a été consacré à faire une revue de littérature sur les travaux antérieurs qui se sont intéressés aux effets des événements singuliers sur les FPGA à base de mémoire SRAM. En premier lieu, des travaux étudiant principalement les effets des SEU sur la logique et le routage des FPGA à base de SRAM ont été présentés tout en expliquant les différentes méthodes d'évaluation de leur sensibilité face à ce type d'erreur et en proposant des techniques de mitigation pour atténuer l'impact de ces erreurs. En second lieu, une mise en contexte des travaux de la thèse a été faite tout en les situant par rapport aux travaux existants portant

spécifiquement sur les IOB, afin de montrer l'importance et l'innovation apportée par cette thèse. La majorité de travaux de recherche présentés dans le cadre de cette revue de littérature n'ont pas donné beaucoup d'importance aux IOB, alors que cette thèse va étudier en détails le comportement de ces blocs en présence des évènements singuliers et multiples.

CHAPITRE 3

GÉNÉRATION DES PANNES DE DÉLAIS DANS LES BLOCS D'ENTRÉE/SORTIE DES FPGA À BASE DE SRAM

Le but de ce chapitre est de caractériser les délais supplémentaires induits par les événements affectant les blocs d'entrée/sortie (IOB) des circuits intégrés programmables à base de mémoire SRAM (*SRAM-based FPGA*). Les délais induits par ces événements seront traités expérimentalement selon 2 approches :

- en utilisant l'émulation, à l'aide du module SEU Controller de Xilinx (Chapman, 2010a);
- avec des expériences réelles de radiation utilisant des protons faites au laboratoire « TRIUMF » à Vancouver (Blackmore, 2000).

Le travail présenté ici est basé sur l'article publié dans la revue *TNS (IEEE Transactions on Nuclear Science)* (Tazi et al., 2014). Il vient compléter le travail de (Thibeault et al., 2012). En résumé, il a été montré dans ce dernier que des délais additionnels pouvaient être induits dans la logique et le routage des circuits intégrés programmables à base de mémoire vive, et ce en inversant leurs bits de configuration. Ces délais ont été détectés à l'aide d'un montage basé sur des oscillateurs en boucle (RO).

Dans cette thèse, l'existence des délais additionnels induits dans les blocs d'entrée/sortie des FPGA à base de SRAM est révélée. A notre connaissance, c'est la première fois que les IOB sont l'objet de ce genre d'investigation, où l'amplitude et l'occurrence de ces délais sont mesurées. Les deux approches expérimentales citées plus hauts sont faites toutes les deux avec un montage basé sur des oscillateurs en boucle (RO) implémentés dans des circuits FPGA de la société Xilinx (à savoir le Virtex-5 et l'Artix-7).

Les résultats obtenus lors de l'irradiation de ces FPGA, effectuée à l'aide de protons, seront présentés en détail à la section 3.4. En résumé, ils ont montré que des variations de période allant jusqu'à 6.2 ns pour le Virtex-5 et 3.8 ns pour l'Artix-7 pouvaient être induites. Ces résultats ont aussi montré que l'occurrence des événements (à savoir des cassures et des délais)

affectant les RO implémentés dans les IOB est relativement proche de celle observée quand les RO sont implémentés à l'intérieur de la logique des FPGA. Ceci peut surprendre car le nombre de bits de configuration dédiés aux IOB est bien inférieur à celui de la logique des FPGA.

L'émulation de l'effet de l'irradiation est aussi possible avec l'utilitaire SEU Controller comme un outil d'injection de pannes. Comme il sera expliqué en détail plus loin, ces émulations ont permis une meilleure compréhension du comportement des IOB affectés par les délais supplémentaires dus à l'inversion de leurs bits de configuration. De plus, il a été observé que le comportement des IOB affectés est similaire à celui d'un choix erroné de normes ou de paramètre d'entrée/sortie.

3.1 Injection de pannes par émulation

Afin de reproduire les différents mécanismes de délai au moyen d'inversion de bits de configuration, des injections de pannes par émulation ont été effectuées en utilisant le montage de la figure 3.1 (Tazi et al., 2014). L'injection est faite à l'aide du module SEU Controller.

Ce montage contient une carte FPGA commerciale (Digilent Genesys (Digilent, Feb. 2012) basée sur un Virtex-5 de Xilinx XC5VLX50T), un analyseur de spectre (Anritsu Spectrum Master MS2721A) et un ordinateur. La carte FPGA est utilisée pour implémenter un simple oscillateur en boucle (RO) directement à l'intérieur des IOB. La boucle du RO est fermée de l'extérieur et connectée à l'analyseur de spectre qui mesure la fréquence des oscillations du RO. L'ordinateur est utilisé pour charger la configuration et communiquer avec le SEU Controller qui est aussi implémenté à l'intérieur du FPGA.

Le design complet (RO + SEU Controller), qui est codé en VHDL, est implémenté avec le flot de design régulier de Xilinx en utilisant l'environnement ISE. Une fois la configuration obtenue, la commande BitGen de Xilinx (Chapman, 2010c) est utilisée (avec l'option BitGEN -g EssentialBits :Yes) pour générer la liste des bits potentiellement critiques qui sont

sauvegardés dans le fichier EBD. SEU Controller est ensuite mis à profit pour émuler les SEU en utilisant le fichier EBD qui contient 186 bits pour notre cas de figure (design de la figure 3.1). Nos premières investigations ont montré que 90.3 % de ces bits de configuration appartiennent aux IOB tandis que seulement 9.7 % de ces bits correspondent au routage car le RO est implémenté directement dans les IOB.

Ces investigations sont basées sur notre propre cartographie du Virtex-5, à partir de laquelle la relation entre les adresses des bits de configuration qui figurent dans le fichier EBD et le type de ressources contrôlées par ces bits a pu être établie. Plusieurs documents (Chapman, 2010c), (UG191, 2011) et fichiers générés par le flot de design de Xilinx (fichier EBC et fichier d'allocation logique) nous ont aidé à générer cette cartographie.

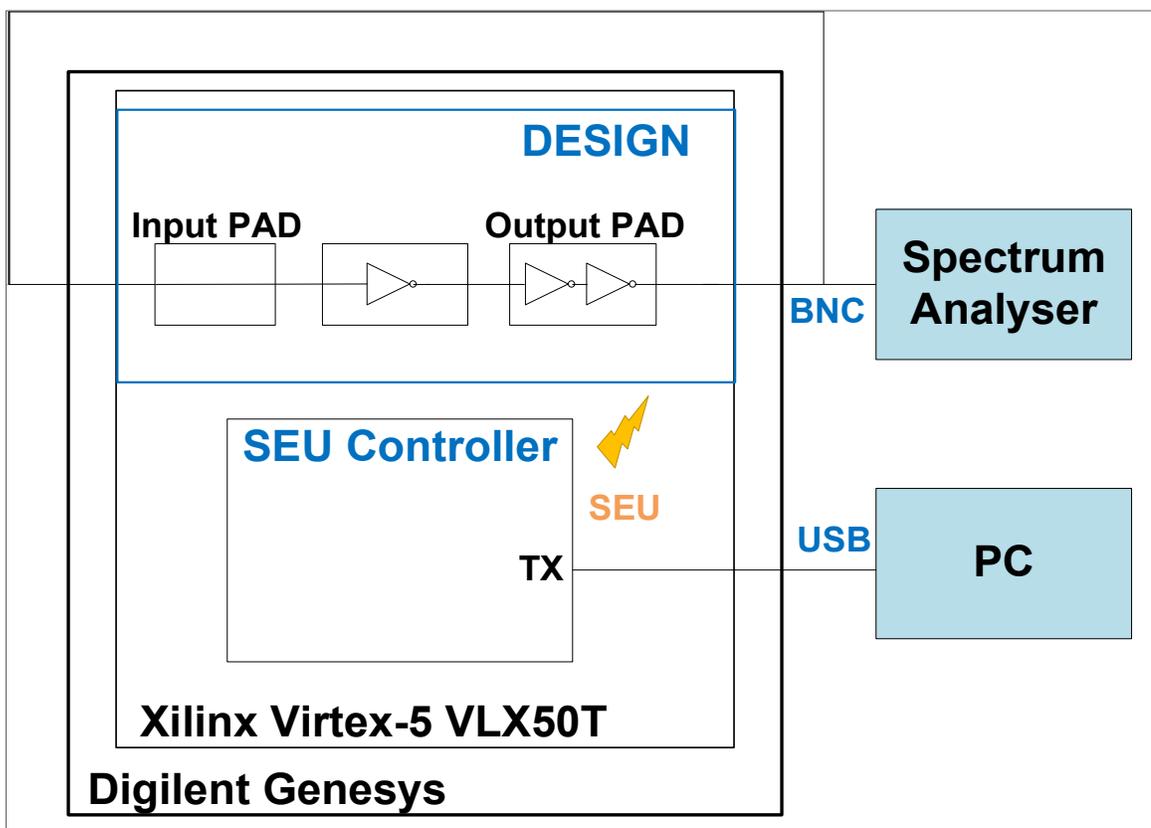


Figure 3.1 Montage d'émulation composé du RO et du SEU Controller

3.2 Résultats d'émulation

Le montage d'émulation décrit dans la section précédente a permis d'effectuer un premier ensemble d'injections selon deux modes : 1) le mode singulier (SBU), où un bit inversé est corrigé avant d'en injecter un autre (i.e. avant d'inverser un autre bit), et 2) le mode accumulation (MBU), où les bits sont injectés (inversés) un après l'autre sans correction. Le mode accumulation est appliqué après avoir enlevé tous les bits critiques détectés par le mode singulier. Aucun changement de délai (ODC) n'a été détecté dans le mode singulier. Par contre, 5 des 186 bits ont causé la cassure du RO (BRO). Toutes les autres cassures (BRO) et changements de délais (ODC) ont été observés dans le mode accumulation.

Tous les ODC et BRO observés dans le mode accumulation ont été causés par des paires d'inversion de bits potentiellement critiques appartenant aux IOB. Ce résultat représente une observation très importante dans la mesure où elle montre que plusieurs bits impliqués dans les ODC et BRO ne sont pas critiques d'une façon individuelle, mais qu'ils peuvent le devenir si d'autres bits sont inversés. Par conséquent, l'utilisation du mode accumulation est primordiale afin d'avoir une vision complète du comportement des IOB. Il faut noter aussi que certains ODC peuvent être causés par des bits individuels.

Plusieurs injections de pannes ont été effectuées afin d'identifier les paires de bits responsables des ODC observés. 32 paires de bits critiques ont été identifiées. Les bits impliqués dans ces 32 paires forment un ensemble de 32 bits appartenant aux 186 bits potentiellement critiques. Il faut aussi indiquer qu'il est possible que d'autres paires critiques puissent exister, étant donné que toutes les (496) combinaisons possibles des 32 bits identifiés n'ont pas été étudiées. Ces mêmes 32 bits sont importants car aucun ODC n'a été observé sans la présence de ces bits. Il existe 5 autres paires, différentes des 32 paires précédentes, qui ont causé la cassure du RO en mode accumulation. Ces nouvelles paires comptent un total de 5 bits individuels qui ne sont pas critiques dans le mode singulier.

Les valeurs mesurées des ODC vont de 400 à 830 ps par rapport à la fréquence nominale du RO qui est égale à 50 MHz (i.e. une période de 20 ns). L'extraction de la valeur absolue d'un ODC, $|T_{ODC}|$, se fait directement à partir de la valeur absolue de la variation de la période $|\Delta T|$ relative au fonctionnement du RO dans l'état normal (sans SEU). Cette valeur peut être exprimée comme suit :

$$|T_{ODC}| = |\Delta T| = |T_{SEU} - T_N|$$

Où T_N est la période du RO sans le SEU et T_{SEU} est la période après un SEU.

Des mesures supplémentaires ont été effectuées pour comparer les ODC issus de l'injection de pannes à ceux obtenus quand les paramètres des IOB, à savoir la norme d'entrée/sortie, le contrôle du temps de montée/descente (*slew rate*) et le courant maximal fourni (*drive*) (UG191, 2011), sont modifiés (ces changements se font dans le fichier de contraintes UCF, avant de faire la synthèse). Ces mesures supplémentaires ont été obtenues à l'aide du même montage (figure 3.1), mais sans activer le SEU Controller. Notons que ces changements de paramètres doivent être appliqués aux deux IOB composant le RO parce qu'ils appartiennent à la même banque d'IOB et qu'ils doivent obéir aux mêmes règles pour pouvoir combiner les différentes normes (UG191, 2011). Les changements de paramètres ont été effectués selon deux modes : 1) le mode singulier, où un seul paramètre est changé, et 2) le mode multiple, où deux paramètres ou plus sont changés en même temps. Dans les deux modes, le changement de paramètres implique le changement de deux bits de configuration ou plus. Les différents changements ont été faits par rapport aux paramètres par défaut à savoir : norme = LVCMOS25, *slew rate* = *slow* et *drive* = 12 mA (UG191, 2011).

Le tableau 3.1 présente les plus grandes valeurs d'ODC obtenues grâce aux changements de paramètres. Il est intéressant de constater que les deux valeurs d'ODC fréquemment observés dans ce tableau (770, 830 ps) sont similaires à celles obtenues par émulation utilisant le SEU Controller. Ceci montre clairement que l'inversion des bits de configuration peut mener à un comportement erroné similaire à un mauvais choix, pendant le design, des paramètres des IOB.

Il est également intéressant de constater que la valeur de ces ODC atteint 6 ns dans certains cas de figure (comme le cas de changement de norme de LVCMOS25 à LVTTTL).

Au meilleur de notre connaissance, c'est la première fois que l'existence de pannes de délais aussi significatives dans les IOB des FPGA basés sur la mémoire vive est rapportée, de même que le fait qu'elles soient causées par l'inversion de paires de bits de configuration. Ces observations sont importantes, car les délais affectant les caractéristiques des IOB peuvent mener à des problèmes de synchronisation, similaires à ceux induits par un mauvais choix de paramètres. Ces délais peuvent avoir un impact sur la fiabilité des systèmes à base de FPGA, surtout quand les FPGA sont utilisés comme un moyen de communication entre deux sous-systèmes.

Tableau 3.1 La valeur absolue des plus grands ODC observés versus le changement des paramètres des IOB; les changements sont soulignés en vert

Norme	Taux de montée	Sortance (mA)	Délai (ps)	Fréquence du RO (MHz)
Default Parameters				
LVCMOS25	Slow	12	0	50
Singular Change				
LVCMOS25	Fast	12	770	52
LVCMOS30	Slow	12	770	52
LVCMOS25	Slow	4	770	52
LVCMOS25	Slow	6	830	48
LVCMOS25	Slow	16	830	48
LVTTTL	Slow	12	6000	44
Multiple Changes				
LVCMOS33	Slow	2	770	52
LVCMOS33	Slow	4	830	48
LVCMOS33	Slow	8	770	52

3.3 Expériences d'irradiation

Dans cette section, les expériences d'irradiation utilisant les protons sont présentées, afin de valider les résultats d'émulation obtenus dans la section précédente. La figure 3.2 présente le premier montage expérimental utilisé au laboratoire TRIUMF pour réaliser ces expériences.

Ce montage est similaire à celui utilisé dans nos expériences précédentes faites à TRIUMF (Thibeault et al., 2012). Il comprend la même carte FPGA (Digilent Genesys, utilisée aussi pour l'émulation), une petite carte contenant le circuit 74AC04 (des inverseurs qui fonctionnent à $V_{cc} = 1.2 \text{ V}$), le même analyseur de spectre utilisé pour l'émulation et un ordinateur pour réaliser les tâches de chargement et lecture de la configuration. L'analyseur de spectre et l'ordinateur sont connectés tous les deux à un ordinateur central sur lequel roule une interface Labview. Cette interface est basée sur le pilote MS2721A VISA de National Instruments, qui permet de contrôler à distance l'analyseur de spectre et d'enregistrer les résultats.

Le Virtex-5 est utilisé pour implémenter deux RO (RO_1 et RO_2) qui roulent à peu près à la même fréquence (F_1 et F_2 , avec $F_2 > F_1$). Ces RO sont implémentés en utilisant les primitives internes des IOB (IOBUF) comme présenté à la figure 3.2. Le premier RO occupe 179 IOB tandis que le deuxième utilise 160 IOB (certains IOB sont configurés comme étant des inverseurs pour assurer la fonction d'oscillation). Globalement, les deux RO occupent 71% des 480 IOB disponibles. Ce circuit (2 RO) est utilisé pour augmenter la probabilité d'observer des inversions de bit de configuration à l'intérieur des IOB.

Chaque RO est connecté à l'entrée d'un des inverseurs de la carte 74AC04. Les sorties des inverseurs sont court-circuitées par une résistance de $5.1 \text{ K}\Omega$ et connectées à l'analyseur de spectre. Le court-circuit réalisé à l'aide de la résistance permet de créer un produit d'intermodulation qui donne un fort signal dont la fréquence est la différence entre les fréquences des 2 RO, $F_2 - F_1$, où :

- $F_2 \approx 919 \text{ kHz}$ et $F_1 \approx 827 \text{ kHz}$
- $F_2 - F_1 \approx 92 \text{ kHz}$

Mesurer la différence de fréquences au lieu de mesurer séparément les fréquences des deux RO permet d'offrir une meilleure précision. Cette technique a été testée et validée dans (Thibeault et al., 2012) et elle a permis de réaliser des mesures via un câble coaxial d'une longueur de 60 pieds.

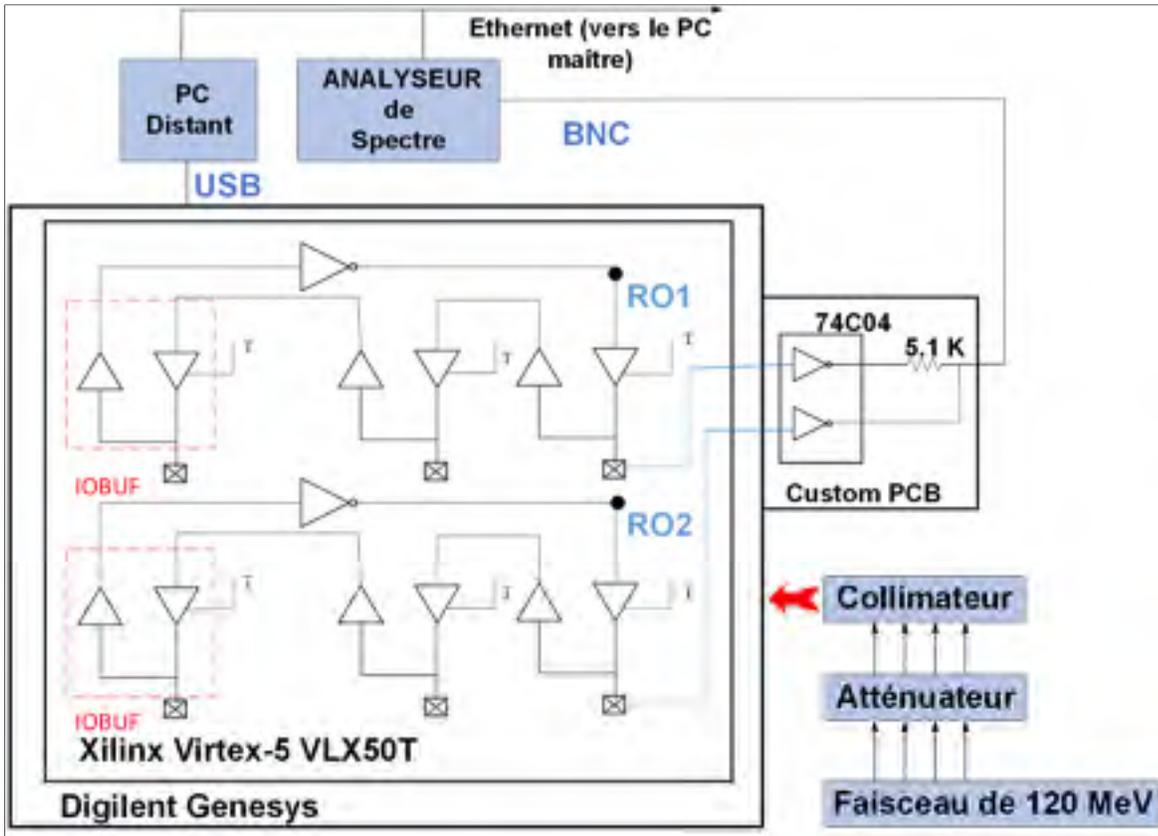


Figure 3.2 Premier montage expérimental utilisé à TRIUMF

3.4 Premiers résultats d'irradiation

Le montage expérimental décrit dans la section précédente nous a permis de réaliser 3 séries d'expériences pour mesurer les ODC. Chaque série contient 10 expériences qui ont été effectuées à des niveaux d'énergie différents pour le faisceau de protons : 63, 50 et 35 MeV. Chaque expérience a été arrêtée quand l'un des deux RO a cessé de fonctionner (BRO), sachant que les deux RO ont été exposés aux radiations.

Un ODC produit une variation sur la différence de fréquence ($F_2 - F_1$) qui peut être positive ou négative. La différence de fréquence augmente par exemple quand F_1 diminue et elle diminue quand F_2 diminue. La figure 3.3 montre un des graphes obtenus suite à une expérience d'irradiation. Ce graphe présente la mesure de la différence de fréquences ($F_2 - F_1$) en fonction

du temps, mesurée avec l'analyseur de spectre. Au début de l'expérience ($t = 0$), la différence de fréquences est égale à 91.8 kHz pour atteindre 94.5 kHz à 38 sec ce qui correspond à un ODC égal à 3.9 ns. La valeur de l'ODC est calculée selon la même expression utilisée pour l'expérience d'émulation (voir section 3.2). Comme mentionné plus tôt, seule la différence de fréquences ($F_2 - F_1$) est mesurée et donc il n'est pas possible de savoir si cette différence est due à une augmentation ou une diminution au niveau de l'une des fréquences des deux RO et quel RO est réellement impliqué. Notons cependant que durant les expériences d'émulation par injection, il a été possible d'identifier quel RO était affecté à l'aide de certaines mesures additionnelles.

Les premières analyses des résultats d'irradiation nous ont permis d'identifier 77 ODC, dont l'amplitude varie entre 63 ps et 6.2 ns, avec une moyenne égale à 515 ps. Si on compare le nombre d'ODC (77) à celui de BRO (30) obtenus durant les 30 expériences, on arrive à un rapport égal à 2.6, ce qui montre clairement que ce sont les ODC qui se produisent le plus souvent dans les IOB des FPGA cibles.

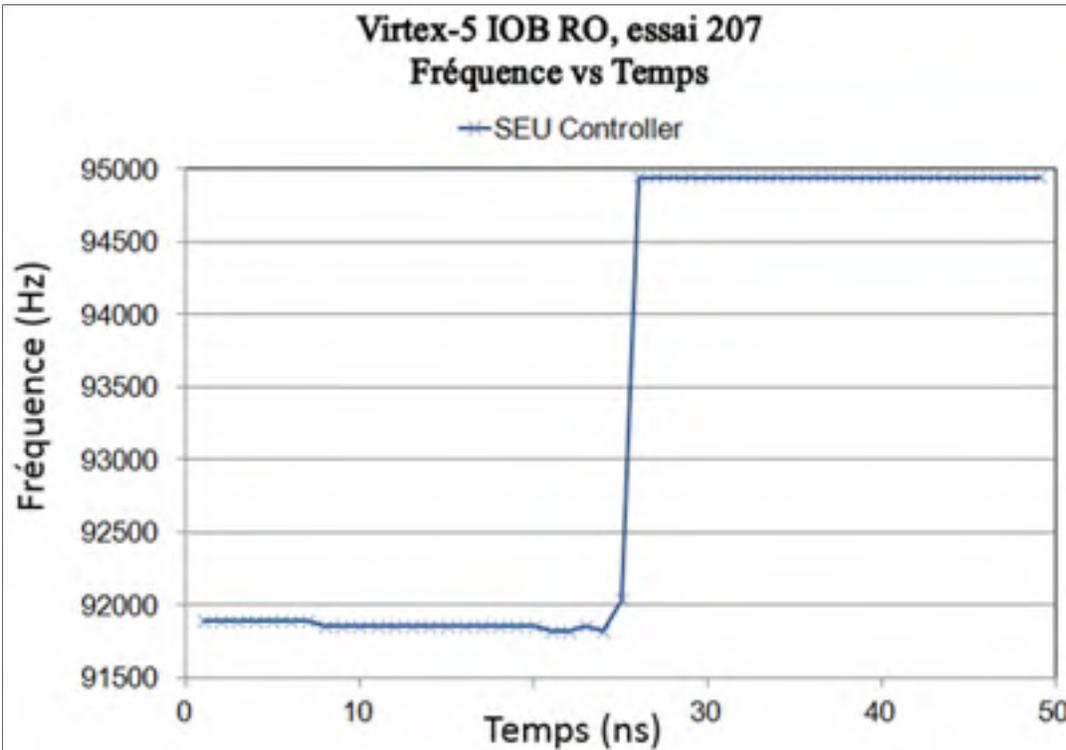


Figure 3.3 Graphe montrant un ODC d'une valeur de 3.9 ns

Il est également d'intérêt de connaître la sensibilité des IOB par rapport aux autres ressources à l'intérieur du FPGA (logique et routage). Pour ce faire, la méthodologie suivante est utilisée:

- 1) le point de départ est le nombre total d'évènements qui se produisent à l'intérieur des IOB, défini comme étant le nombre d'ODC et de BRO observés durant les 30 expériences d'irradiation, à savoir 107 évènements;
- 2) la surface sensible (cross-section) des IOB utilisés durant les expériences, IOB_CS, est estimée, en divisant le nombre total des évènements se produisant dans les IOB par la fluence globale des expériences qui est égale à $17.3 \times 10^{10} \text{ cm}^{-2}$. Selon cette estimation l'IOB_CS est égale à $6.2 \times 10^{-10} \text{ cm}^2$, ce qui couvre 339 des 480 IOB disponibles dans le FPGA;
- 3) cette surface sensible est extrapolée sur l'ensemble des 480 IOB disponibles à l'intérieur du FPGA. Cette surface sensible étendue, appelée E_IOB_CS, est égale à $8.7 \times 10^{-10} \text{ cm}^2$. Cette valeur sera utilisée dans notre comparaison;
- 4) similairement aux IOB, le point de départ est le nombre total d'évènements (147 évènements) affectant la logique et le routage, défini comme le nombre des ODC et BRO

- observés durant d'autres expériences ciblant ces ressources (un total de 42 expériences réalisées aussi aux mêmes niveaux d'énergie 63, 50 et 35 MeV), semblables à celles documentées dans (Ostler et al., 2009) et utilisant 2 RO occupant 50% des cellules dans le FPGA;
- 5) la surface sensible de la logique et du routage utilisés pendant ces expériences, appelée CLBR_CS, est estimée en divisant le nombre d'événements d'intérêt par la fluence globale des 42 expériences. La valeur de CLBR_CS obtenue est égale à $8.5 \times 10^{-10} \text{ cm}^2$;
 - 6) la surface sensible précédente est extrapolée sur toutes les cellules de logique et de routage disponibles à l'intérieur du FPGA. Cette surface sensible étendue, appelée E_CLBR_CS, est égale à $1.7 \times 10^{-9} \text{ cm}^2$;
 - 7) finalement, la comparaison est effectuée sur la base des surfaces sensibles étendues respectives. Le rapport E_CLBR_CS / E_IOB_CS donne une valeur qui est environ égale à 2, ce qui signifie qu'en moyenne, pour chaque événement affectant les IOB, il y a 2 événements affectant la logique et le routage.

En d'autres termes, en moyenne, 33 % des événements affectant les ressources du Virtex-5 (IOB, CLB, routage) se produisent dans les IOB. Cette proportion relative des événements est disproportionnée si on la compare au nombre de bits de configuration dédiés à chaque type de ressource. En effet, le nombre de bits de configuration dédiés aux CLBR et IOB est respectivement égal à 9.64×10^6 et 1.28×10^6 (Chapman, 2010b). Il y a donc 7.6 plus de bits de configuration dans la logique et le routage que dans les IOB. Ce déséquilibre du nombre de bits et du nombre d'événements entre le cœur du FPGA et les IOB peut être dû d'une part, à la proportion des bits des IOB qui sont critiques, et qui est plus élevée que la proportion des bits à l'intérieur du cœur, d'autre part. En fait, à l'intérieur du cœur seulement 10% des bits qui sont réellement critiques en moyenne.

Une autre manière de comparer la sensibilité relative des bits de configuration contrôlant les IOB et la logique/routage est d'estimer la surface sensible de chaque bit. Cette surface sensible par bit est simplement égale à la surface sensible étendue d'un type de ressources divisée par le nombre de bits de configuration dédiés à ce type de ressources. L'estimation de la surface

sensible par bit mène à des valeurs égales à $1.8 \times 10^{-16} \text{ cm}^2/\text{bit}$ et $6.8 \times 10^{-16} \text{ cm}^2/\text{bit}$, pour la logique/routage et les IOB, respectivement. En d'autres termes, les bits de configuration contrôlant les IOB sont en moyenne 3.8 fois plus sensibles que ceux contrôlant la logique et le routage. Ces résultats montrent clairement qu'il faut accorder plus d'attention et d'importance aux IOB spécialement pour les FPGA qui ont un plus faible rapport du nombre de bits de configuration dédiés à la logique et le routage sur celui des bits de configuration dédiés aux IOB. Ce cas de figure est présent pour les Virtex-5 XC5VLX50 (rapport = 5.7) et XC5VLX30 (rapport = 5.3), pour lesquels le pourcentage des événements affectant les IOB peuvent atteindre 40 et 42% respectivement.

3.5 Comparaison des résultats d'irradiation avec les résultats d'émulation

Afin d'investiguer certains résultats d'irradiation et de valider la cartographie faite pour le Virtex-5, un ensemble d'expériences d'émulation, visant à reproduire les résultats d'expériences obtenus au laboratoire TRIUMF, a été effectué en utilisant le SEU Controller. Pour s'approcher le plus possible des conditions dans lesquelles les expériences d'irradiation ont été faites à TRIUMF, le même montage et carte (Virtex-5) ont été utilisés, question d'obtenir des résultats similaires en termes de différence de fréquence entre deux RO (voir figure 3.2). Vu qu'il avait été planifié dès le début de reproduire les expériences d'irradiation par émulation, le SEU Controller avait été implémenté dans le Virtex-5 du premier montage expérimental utilisé durant les expériences d'irradiation par protons. Ainsi, le même fichier de configuration du FPGA a pu être réutilisé pendant l'émulation, ce qui signifie que le placement et le routage sont demeurés intacts. Une fois le chargement fait, les SEU ont été émulés avec le SEU Controller, en utilisant les listes de bits affectés par irradiation, listes qui ont été générées durant les expériences à TRIUMF. Ces listes de bits ont été générées suite à l'opération de relecture effectuée après chaque expérience d'irradiation. Il faut mentionner qu'il a été nécessaire d'établir la relation entre les adresses de bits fournis par la relecture et celles utilisées par le SEU Controller pour compléter notre cartographie. Les résultats d'émulation décrits ici sont basés sur l'information obtenue à partir du premier groupe d'expériences d'irradiation (voir section 3.3).

Rappelons qu'à TRIUMF, une première campagne de 30 expériences pour mesurer les ODC dans les IOB a été effectuée. Ces 30 expériences n'ont pu être reproduites exhaustivement en émulation, seulement quelques-unes parmi les plus significatives. Le premier exemple d'émulation reproduisant une expérience d'irradiation est présenté à la figure 3.4. Cet exemple correspond à l'essai 207 fait à TRIUMF et cible l'ODC de 3.9 ns montré avant à la figure 3.3. La figure 3.4 montre les deux courbes correspondantes à cet ODC; obtenues en émulation et en radiation. La courbe bleue, étiquetée « SEU Controller », donne les résultats d'émulation, tandis que la courbe rouge, étiquetée « TRIUMF », donne ceux obtenus en irradiation. Notons que ce code de couleur sera utilisé pour les graphes subséquents comparant les 2 types de résultats. Les deux courbes (bleu et rouge) montrent un comportement similaire au départ, avec une petite différence dans la dernière partie. Il est supposé à ce point-ci que cette légère différence peut avoir comme source : 1) les petites différences (ex. température) entre les montages utilisés en émulation et en radiation et 2) le fait que l'amplitude de l'ODC peut dépendre de l'ordre dans lequel les bits de configuration sont inversés.

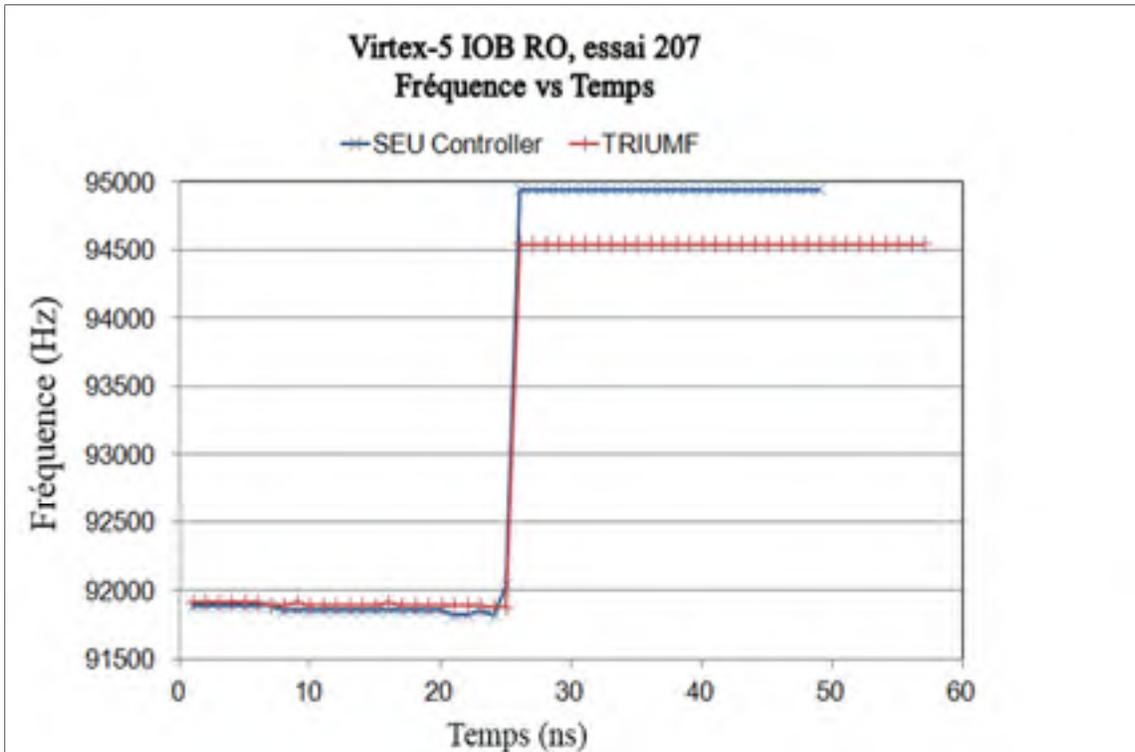


Figure 3.4 Comparaison entre les résultats d'émulation et d'irradiation; ODC égal à 3.9 ns; essai 207

Une autre comparaison apparaît à la figure 3.5 (essai 152 de TRIUMF). Dans ce cas particulier, on distingue deux ODC, un à 10 sec (0.14 ns) et un autre à 15 sec (0.62 ns). On remarque aussi une bonne similitude entre les résultats d'émulation et d'irradiation.

Un autre cas d'intérêt impliquait deux ODC d'une valeur de 1.3 ns, où une lente baisse continue de la différence entre les fréquences des deux RO était observée après le second ODC. La figure 3.6 montre ce cas de figure. On remarque pour ce cas aussi une bonne ressemblance entre les deux courbes de résultats, mais surtout que la lente baisse de fréquence observée en irradiation a pu être recréée. Il est important de mentionner que les ODC décrits dans cette section sont causés par des inversions singulières sur des bits potentiellement critiques appartenant aux IOB, contrairement aux expériences d'émulation où les ODC ont été causés par des paires de bits.

Nos résultats ont montré que le SEU Controller est capable de reproduire les phénomènes observés durant les expériences d'irradiation faites au laboratoire TRIUMF. Dans ce contexte particulier, cet outil peut être utile pour effectuer une émulation réaliste.

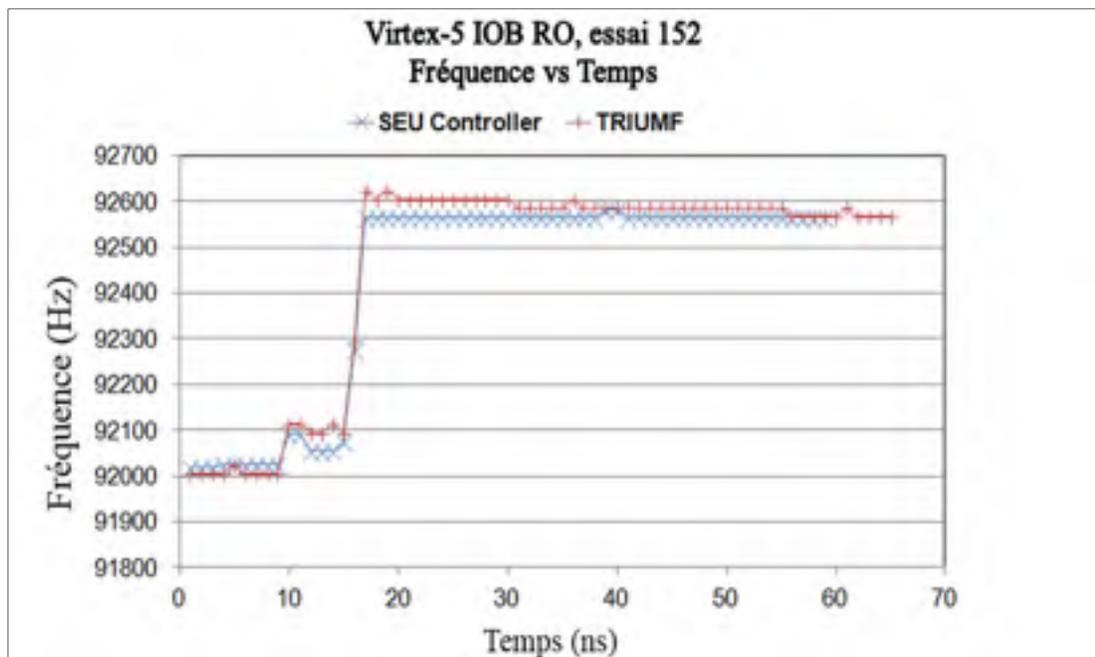


Figure 3.5 Résultats d'émulation vs irradiation; essai 152

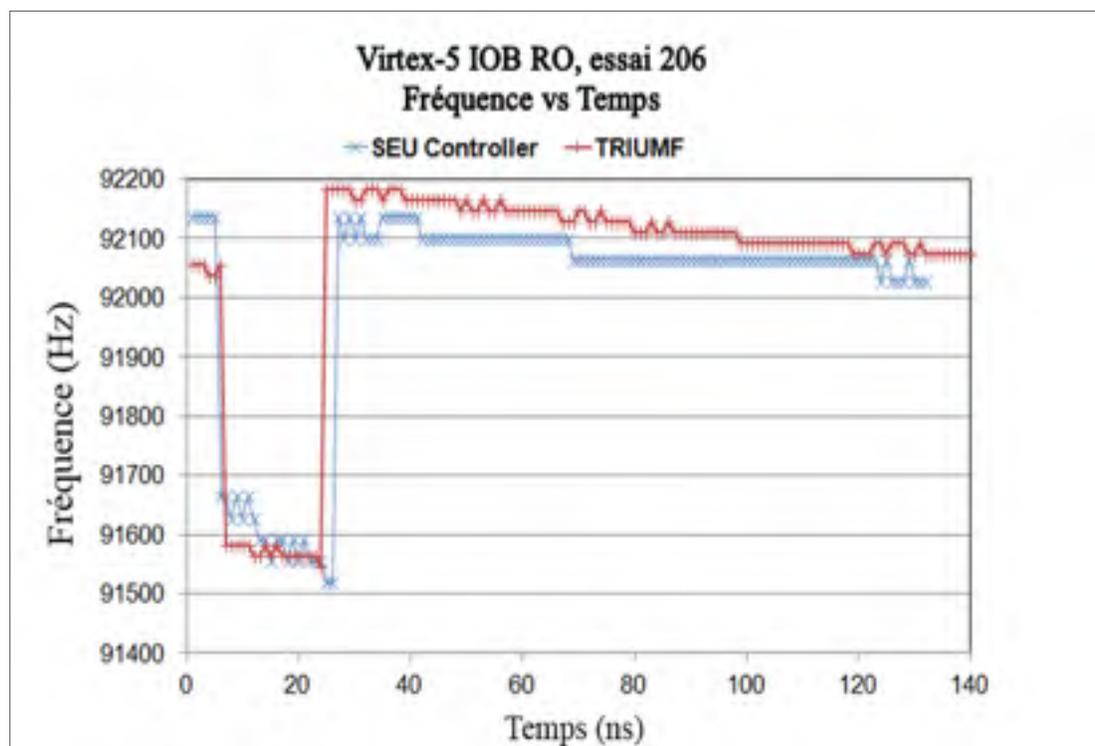


Figure 3.6 Résultats d'émulation vs irradiation; essai 206

3.6 Distribution des ODC sur les IOB

Une autre dimension de nos investigations a porté sur la distribution (ou non) des ODC observés sur l'ensemble des IOB composant les RO. En d'autres termes, nous voulions savoir si un ODC important était causé par : 1) une accumulation de délais le long du RO à l'intérieur de la même banque ou 2) un délai concentré sur un seul IOB. L'ODC choisi pour cette investigation fut celui de la figure 3.4 (égal à 3.9 ns). Pour ce faire, le bit responsable de cet ODC a été identifié, de même que la banque à laquelle il appartient. Ensuite le délai de propagation sur tous les IOB (accessibles pour les mesures) appartenant à la banque affectée a été mesuré, avant et après inversion du bit responsable du délai. La mesure du délai de propagation entre les IOB a été d'abord faite entre les IOB les plus éloignés, suivie d'une recherche binaire pour localiser les deux IOB les plus près directement affectés par l'ODC.

Nos investigations ont montré que l'inversion du bit et l'ODC correspondant étaient concentrés sur un seul IOB. Malgré ce premier résultat, il nous est apparu important de creuser d'avantage la question d'accumulation des délais à l'intérieur de la même banque d'IOB. Comme mentionné auparavant, tous les IOB appartenant à la même banque doivent obéir aux mêmes règles pour pouvoir rassembler différentes normes d'interface. Sur cette base, il fut supposé que les IOB appartenant à la même banque pouvaient partager certains bits de configuration définissant la norme d'interface utilisée. Ainsi, si l'hypothèse précédente sur l'accumulation des délais s'avère vraie, les caractéristiques temporelles de plusieurs sorties appartenant à la même banque peuvent changer simultanément. Ceci peut rendre les techniques de mitigation comme les TMR inefficaces pour tolérer les pannes de délais si 2 ou 3 sorties du même groupe de TMR sont similaires et affectés simultanément. Les résultats de cette recherche sont présentés dans le chapitre 5.

3.7 Portabilité de notre méthodologie de détection de délai

Notre méthodologie a été testée sur un FPGA plus récent (Artix-7 de Xilinx) pour montrer sa portabilité sur différentes technologies et aussi pour voir si les ODC peuvent se produire avec une technologie plus récente comme la 28 nm.

La figure 3.7 montre notre deuxième montage utilisé pour cette expérience réalisée aussi au laboratoire TRIUMF. Ce montage ressemble en partie au premier montage utilisé dans les expériences précédentes, vu qu'il contient aussi le petit circuit 74AC04, l'analyseur de spectre et l'ordinateur de commande qui effectue les mêmes opérations. La différence majeure provient de l'utilisation de deux cartes FPGA commerciales (Xilinx AC701, chacune contient l'Artix-7 XC7A200T de Xilinx (UG952, 2013)).

Les deux FPGA ont été connectées via le câble FMC « *FPGA Mezzanine Card* » et utilisées pour implémenter deux RO fonctionnant à peu près aux mêmes fréquences (F_1 et F_2 avec $F_2 > F_1$). Les RO ont été créés directement dans les IOB selon une forme en serpentín comme montré dans la figure 3.7. Chaque RO occupait 116 IOB (58 par FPGA) et contenait 57 inverseurs. Globalement, les deux RO occupaient 29% des 400 IOB disponibles dans chaque FPGA.

Comme pour le premier montage, chaque RO était connecté à l'entrée d'un inverseur du circuit 74AC04. Les sorties des deux inverseurs étaient court-circuitées par une résistance d'une valeur de $5.1\text{ K}\Omega$ et connectées à l'analyseur de spectre. Ce court-circuit permettait encore ici de générer un signal plus fort qui contient la différence de fréquences, $F_2 - F_1$, entre les deux RO, où:

- $F_2 \approx 1.14\text{ MHz}$ et $F_1 \approx 1.13\text{ MHz}$
- $F_2 - F_1 \approx 10\text{ KHz}$

Ce montage nous a permis de réaliser 27 expériences (niveau d'énergie = 105 MeV). Comme pour le premier montage, chaque expérience a été arrêtée quand un BRO a eu lieu ou après une limite de 10 minutes sans événement. Notons de plus que certaines expériences ont dû être arrêtées, en raison d'un problème avec l'analyseur de spectre qui cessait de fonctionner après plusieurs heures continues de travail. Comme pour les expériences effectuées sur le premier montage, un ODC pouvait produire une variation sur la différence de fréquence $F_2 - F_1$ pour laquelle des changements positifs et négatifs pouvaient être observés.

Les deux RO ont été exposés aux radiations (seulement la partie du FPGA sous test DUT) et ont subi des changements au niveau de leur fréquence d'oscillation. Au total, 14 ODC ont été observés, avec une amplitude variant de 28 ps à 3.8 ns et une moyenne de 275 ps.

La figure 3.8 présente un des graphes obtenus durant ces expériences sur l'Artix-7. Nous y observons la différence de fréquence $F_2 - F_1$ en fonction du temps, avec un ODC égal à 3.8 ns.

Durant les 27 expériences, autant d'ODC que de BRO ont été observés dans les IOB. Par contre nos expériences avec l'Artix-7 ne nous ont pas permis de comparer l'occurrence des événements dans les IOB avec ceux dans la logique du FPGA. Néanmoins ces résultats montrent clairement que notre méthodologie peut être facilement appliquée sur d'autres technologies et que les ODC peuvent également être observés sur des FPGA plus récents.

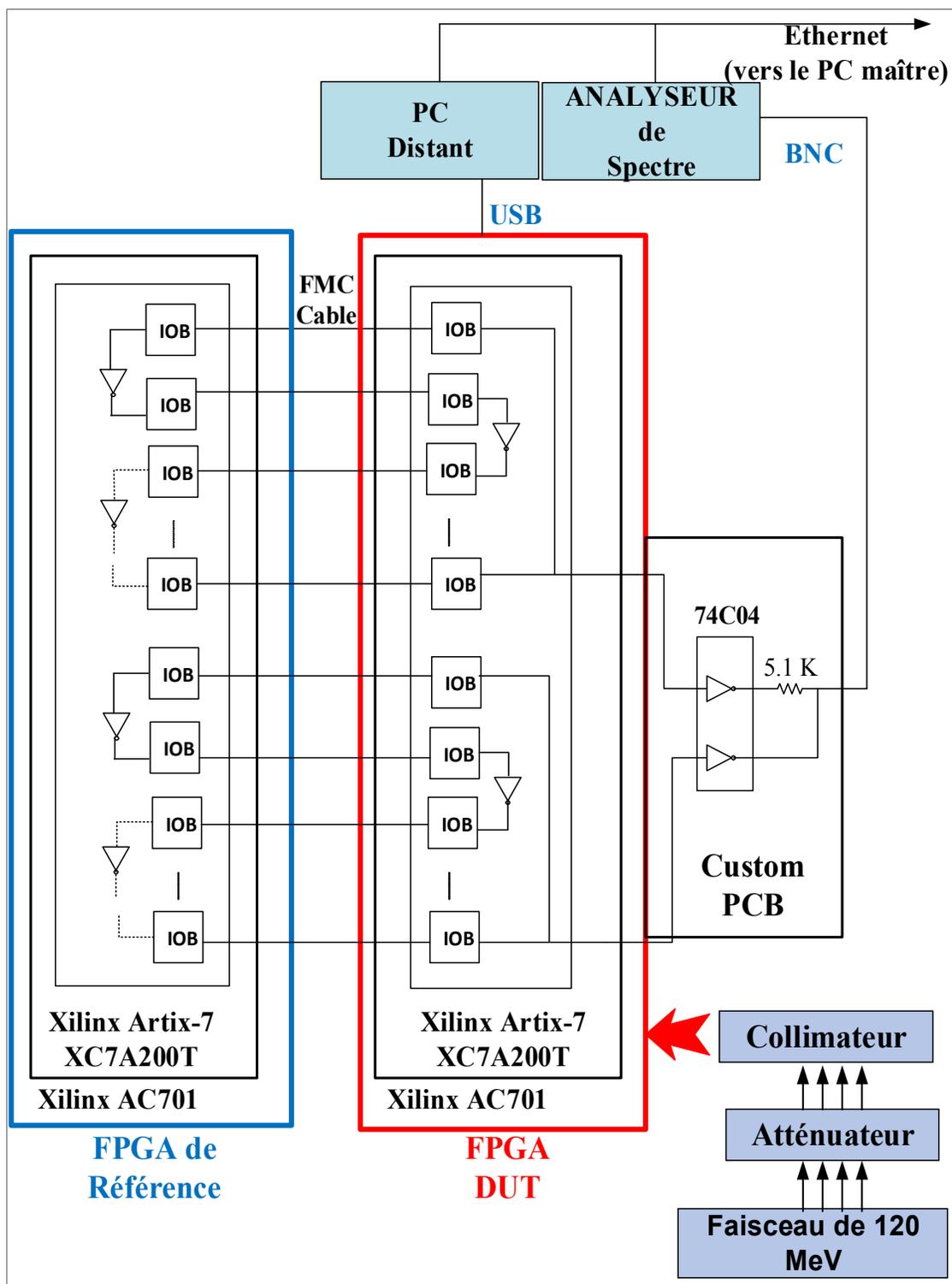


Figure 3.7 Montage expérimental de l'Artix-7

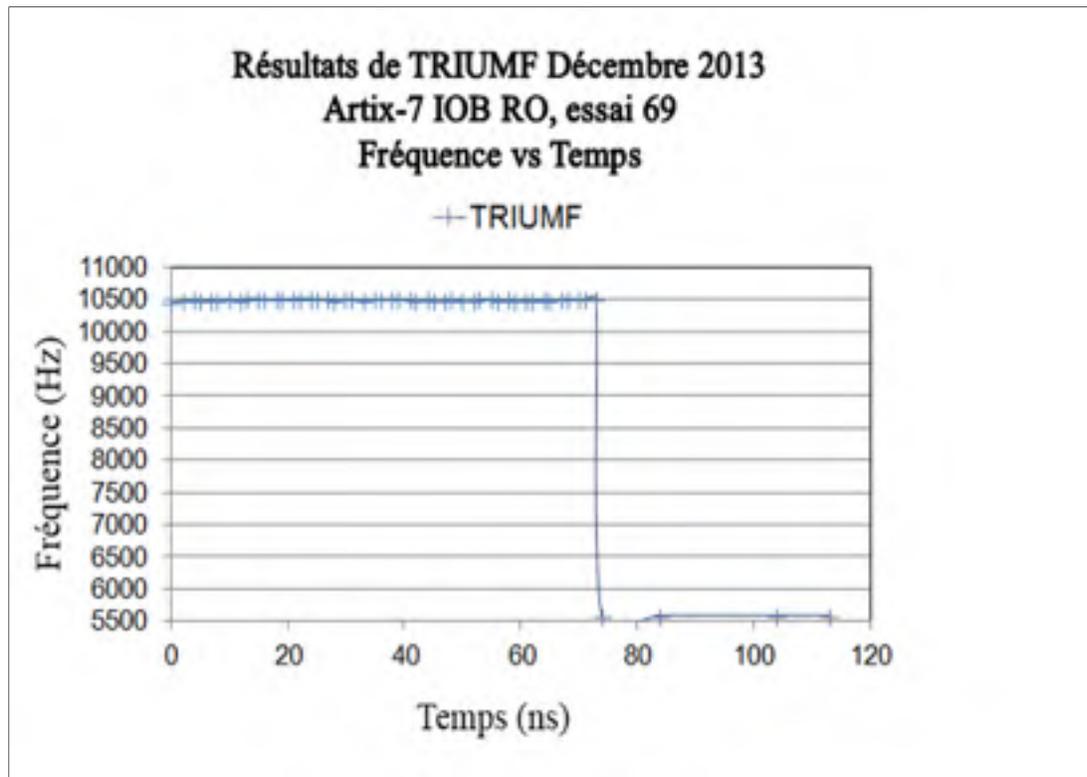


Figure 3.8 Résultats expérimentaux obtenus à TRIUMF;
ODC égal à 3.8 ns

3.8 Conclusion

L'occurrence et l'amplitude des ODC induits par les radiations dans les IOB des FPGA à base de SRAM ont été l'objet de nos investigations, en utilisant des montages à base de RO. Avec une première émulation, il a été montré que l'inversion des bits de configuration peut induire de tels ODC dans les Virtex-5 de Xilinx et que ces ODC sont similaires à ceux obtenus suite à un mauvais choix des paramètres des IOB. Les résultats obtenus durant cette émulation montrent que l'injection de pannes basée sur plusieurs bits ainsi que l'utilisation de paires de bits ont été nécessaires pour causer les ODC et BRO. Des expériences d'irradiation basée sur des protons au laboratoire TRIUMF ont également été effectuées, utilisant le même FPGA impliqué dans l'émulation. Les résultats obtenus avec ces expériences d'irradiation ont montré que des ODC aussi grands que 6.2 ns pouvaient être induits dans les IOB. Ces résultats ont aussi révélé que l'occurrence de tels événements dans les IOB pouvaient s'approcher de l'occurrence des mêmes événements dans la logique des FPGA, et ce même si les IOB

contenaient moins de bits de configuration que la logique et le routage. Certaines expériences d'irradiation ont été reproduites avec un deuxième montage d'émulation permettant ainsi l'explication d'un phénomène observé durant les expériences d'irradiation. Finalement, une deuxième expérience d'irradiation au laboratoire TRIUMF a eu lieu. Cette expérience était basée sur une génération plus récente de FPGA, à savoir l'Artix-7 de Xilinx. Les résultats de ces expériences ont révélé l'existence de délais aussi grands que 3.8 ns dans les IOB. Ils ont montré aussi que notre méthodologie pouvait être facilement appliquée sur d'autres technologies de FPGA (Tazi et al., 2014).

CHAPITRE 4

MODÈLE DE PANNES DE DÉLAIS

Ce chapitre est consacré à l'étude plus poussée des effets de la radiation sur les délais observés dans les blocs d'entrée/sortie (IOB) des circuits intégrés programmables à base de mémoire vive (*SRAM-based FPGA*). Plus spécifiquement, l'objectif est de proposer et de valider des modèles de pannes permettant de décrire et de mieux comprendre les mécanismes pouvant mener aux délais observés dans les IOB. Les différents mécanismes induits par ces radiations seront traités selon 3 approches :

- analytiquement : en utilisant des modèles de premier ordre de type RC;
- via simulation : en utilisant HSPICE;
- expérimentalement : en utilisant l'émulation, à l'aide du module SEU Controller de Xilinx (Chapman, 2010a).

Le travail présenté ici est basé sur l'article présenté lors la Conférence Canadienne en Génie Électrique et Informatique (Tazi, Thibeault et Savaria, 2016). Il vient compléter celui (Tazi et al., 2014) du chapitre 3. En résumé, il a été montré que des délais additionnels importants pouvaient être induits simultanément dans les blocs d'entrée/sortie des circuits intégrés programmables à base de mémoire vive, et ce en inversant leurs bits de configuration. Ces délais ont été détectés à l'aide d'un montage basé sur les oscillateurs en boucle (RO). Ce montage a été utilisé à l'origine dans (Thibeault et al., 2012) pour détecter la présence des délais dans la logique et le routage des mêmes circuits intégrés programmables à base de mémoire vive. Cette détection était faite en mesurant la différence de fréquence entre les RO.

Le modèle de pannes développé pour décrire les délais induits par la radiation ionisante dans les structures logiques et de routage était celui d'une capacité parasite supplémentaire. Ce même modèle de pannes supposait que les temps de montée et de descente étaient égaux. Selon ce modèle et ces hypothèses, la valeur du délai supplémentaire correspondant à une variation de période de ΔT est égale à $\Delta T/2$.

Si cette relation entre variation de fréquence des RO et délai supplémentaire est valable pour les délais observés dans la logique et le routage (Thibeault et al., 2012), elle ne l'est pas nécessairement pour ceux observés au niveau des blocs d'entrée/sorties. En effet, d'autres mécanismes de panne peuvent entrer en jeu dans le cas des IOB. Dans le reste du chapitre, nous allons montrer que les hypothèses posées auparavant pour la logique et le routage ainsi que la formule dite $(\Delta_T/2)$ (équation 4.5) peuvent causer une sous-estimation de la valeur réelle des délais observés dans les IOB. Il sera également montré que des mesures additionnelles (à la différence de fréquence des *RO*) sont nécessaires pour mieux estimer la valeur de ces délais.

Cette estimation peut s'avérer cruciale dans la mesure où ces délais peuvent créer de sérieux problèmes de synchronisation et de métastabilité, surtout quand les *FPGA* sont utilisés comme un moyen de communication entre deux systèmes.

4.1 Modèles analytiques

Dans cette section, nous développons des modèles analytiques simples pour décrire le comportement d'un oscillateur en boucle sous l'influence de délais induits par la radiation ionisante. Nous présentons d'abord un modèle logique pour un oscillateur en boucle et quelques définitions pertinentes. Nous rappelons ensuite le modèle de premier ordre RC d'un inverseur CMOS, suivi du modèle RC de l'oscillateur bouclé non défectueux et de quatre modèles de pannes de délai induits par la radiation pouvant affecter l'oscillateur.

4.1.1 Modèle logique d'un oscillateur en boucle et quelques définitions

Toutes les analyses, expériences et résultats présentés dans ce chapitre sont basés sur des montages d'oscillateurs en boucle. La figure 4.1 montre un RO de 3 étages composé de 3 inverseurs identiques.

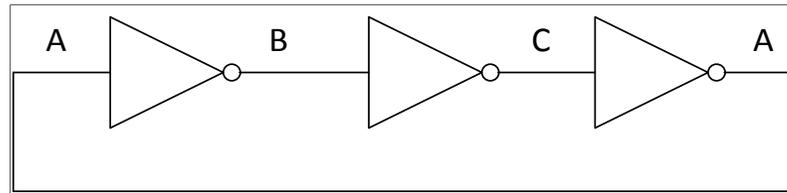


Figure 4.1 Oscillateur en boucle (RO) de 3 étages

Dans ce qui suit, certains symboles et termes utilisés dans le reste du chapitre seront définis. Les diagrammes temporels simplifiés avec et sans les délais induits par la radiation (pour le nœud C) sont présentés à la figure 4.2. La période (T) du RO peut être exprimée selon la somme de la durée des portions dites haute (W_H) et basse (W_L). Sans la présence des délais additionnels induits par les événements singuliers (Figure 4.2a), cette période est exprimée comme :

$$T = (W_H) + (W_L) \quad (4.1)$$

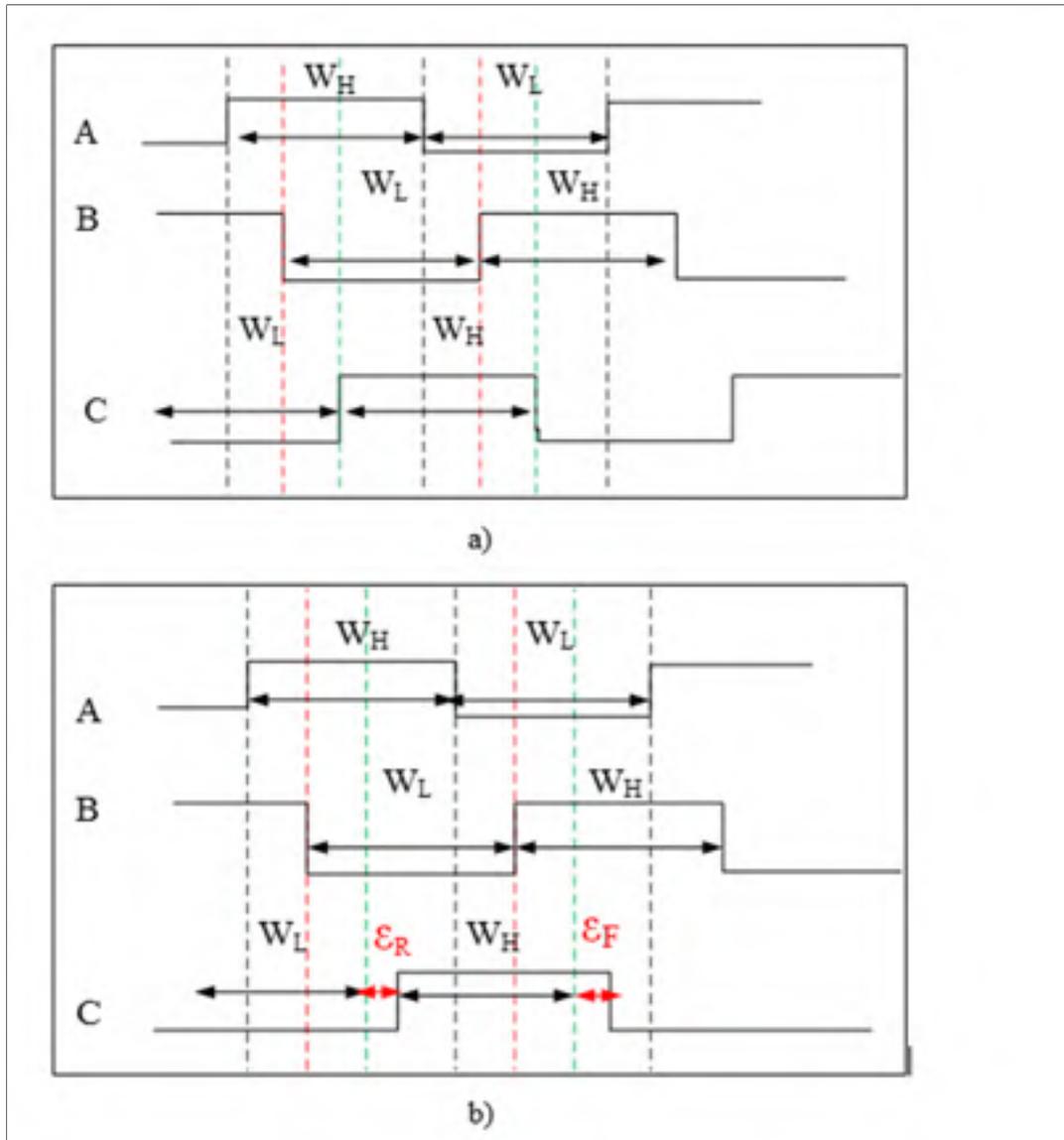


Figure 4.2 Chronogrammes simplifiés du RO de la figure 4.1 :
 a) Sans les délais induits par les radiations;
 b) avec ces mêmes délais

Avec la présence des délais induits par les événements singuliers affectant le nœud C, la période du RO peut être exprimée comme suit :

$$T_{SEU} = W_{H_{SEU}} + W_{L_{SEU}} = W_H + \epsilon_R + W_L + \epsilon_F \quad (4.2)$$

Où :

W_{H_SEU} et W_{L_SEU} sont, respectivement, la durée des portions d'amplitude haute et basse après que le système ait été affecté par un événement singulier; $\varepsilon_R (=W_{H_SEU} - W_H)$ est l'effet sur la durée de la portion haute; et $\varepsilon_F (=W_{L_SEU} - W_L)$ est l'effet sur la durée de la portion basse du signal. Il faut signaler que cette équation reste valide même si le SEU affecte les autres nœuds (A ou B).

Dans le travail présenté au chapitre précédent, le changement de délai (ODC, qui est égal à la variation de période Δ_T) causé par un événement singulier affectant le RO est défini comme suit :

$$ODC = T_{SEU} - T \quad (4.3)$$

En substituant les équations (4.1) et (4.2) dans (4.3) on obtient :

$$ODC = \varepsilon_R + \varepsilon_F \quad (4.4)$$

Comme mentionné auparavant, il a été supposé (Thibeault et al., 2012) pour le cas des SEU affectant le routage que $\varepsilon_R = \varepsilon_F = \varepsilon$, ce qui nous amène au délai additionnel relatif à un inverseur:

$$\varepsilon = ODC/2 \quad (4.5)$$

En supposant plutôt que l'ODC n'est pas distribué également sur ε_R et ε_F , alors ces derniers peuvent être redéfinis de la manière suivante :

$$\varepsilon_R = K * ODC \quad (4.6)$$

$$\varepsilon_F = (1-K) * ODC \quad (4.7)$$

Où :

K est le rapport de l'ODC relatif au temps de montée sur sa valeur totale. Notons qu'avec une valeur de $K=0.5$, on retombe sur le cas où $\varepsilon_R = \varepsilon_F = ODC/2$ (équation 4.5). Notons aussi que

pour certains types de pannes, il est possible d'obtenir des valeurs négatives pour ϵ_R ou ϵ_F . En effet, certaines pannes peuvent accélérer une transition au lieu de la ralentir.

Toutes les équations présentées ci-dessus vont être appliquées à l'exemple de la figure 4.1 en utilisant des modèles de délai pour bien analyser les différents mécanismes de délai. Pour ce faire, nous avons besoin de modèles au niveau circuit qui sont définis dans ce qui suit.

4.1.2 Modèle RC d'un inverseur CMOS

Commençons tout d'abord par un modèle RC du premier ordre d'un inverseur CMOS (Weste et Harris, 2011) :

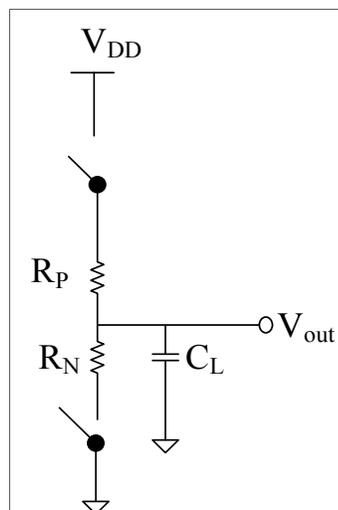


Figure 4.3 Modèle RC d'un inverseur CMOS

Où R_P et R_N représente respectivement les résistances effectives des transistors P et N lorsqu'impliqués dans la commutation du nœud de sortie V_{out} , et C_L est la capacité totale de charge de ce même nœud de sortie.

Ce modèle est basé sur les considérations et hypothèses suivantes :

- les résistances sont habituellement définies de manière relative par rapport à celle d'un transistor de type N de taille minimale ($R_{n,wmin}$), et les transistors de type P sont supposés 2 fois plus résistifs que les transistors de type N, ce qui donne :

$R_N = R_{n,wmin}/(W/W_{min})$, $R_P = 2 * R_N = 2 * R_{n,wmin}/(W/W_{min})$, où W et W_{min} sont respectivement la largeur et la largeur minimale d'un transistor;

- les grilles de transistor sont modélisées comme des charges capacitives, de même que les autres capacités parasites d'intérêt. Les capacités de diffusion des drains des transistors sont souvent négligées. C_N et C_P représentent alors respectivement la capacité de grille des transistors de type N et P;
- les capacités de grille C_N et C_P sont habituellement définies de manière relative par rapport à celle d'une grille d'un transistor de taille minimale, C_g , ce qui donne :

$$C_N = C_P = (W/W_{min}) * C_g ;$$

- en première approximation, le temps de montée (R_i) relatif à un inverseur CMOS est défini comme :

$$R_i = R_P C_L ;$$

- en première approximation, le temps de descente (F_i) relatif à un inverseur CMOS est défini comme :

$$F_i = R_N C_L$$

4.1.3 Modèle RC de l'oscillateur en boucle et modèles de pannes de délai

En appliquant le modèle RC de l'inverseur de la figure 4.3 au modèle logique de l'oscillateur en boucle de la figure 4.1, nous obtenons un modèle RC de premier ordre illustré à la figure 4.4.

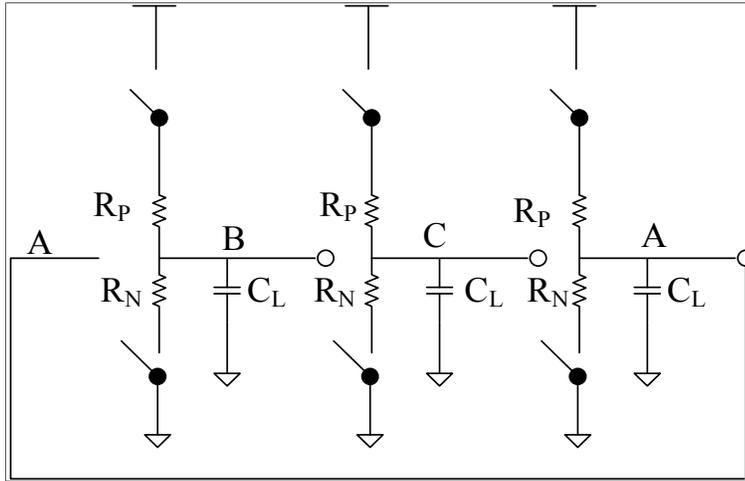


Figure 4.4 Modèle RC de 1^{er} ordre équivalent au RO de la figure 4.1

Il s'agit du modèle de base, sans les pannes de délais induites par les événements singuliers. Ici, quatre modèles sont considérés pour décrire le comportement fautif de l'oscillateur : A) une capacité de charge additionnelle (comme dans (Tazi et al., 2014)), B) une charge additionnelle vers la masse, C) une charge additionnelle vers l'alimentation, et D) un effet asymétrique sur R_N et R_P .

Sans perte de généralité, ces quatre différents modèles sont appliqués au nœud C. Ils sont décrits plus en détail dans ce qui suit.

Modèle A : une capacité de charge (ΔC) additionnelle au nœud C.

En utilisant le modèle RC du 1^{er} ordre, les délais additionnels aux temps de montée et de descente induits par ΔC sous le modèle A, $\varepsilon_{R,A}$ et $\varepsilon_{F,A}$, peuvent être exprimés comme suit :

$$\varepsilon_{R,A} = R_P \Delta C \quad (4.8)$$

$$\varepsilon_{F,A} = R_N \Delta C \quad (4.9)$$

Si d'après le modèle RC, la résistance R_P est plus résistive que R_N ($R_P = \alpha R_N$), alors les équations 4.6 et 4.7 permettent d'obtenir :

$$K = \alpha / (1 + \alpha) \quad (4.10)$$

Quand $\alpha = 1$, les temps originaux de montée et de descente (dans le RO non fautif) sont égaux et le demeurent malgré la présence de ΔC , parce qu'ils sont affectés de la même manière. Dans ce cas, nous retrouvons encore une fois le cas où $K=0.5$, et $\varepsilon_{R,A} = \varepsilon_{F,A} = ODC / 2$.

Quand $\alpha \neq 1$, l'effet du SEU n'est pas équitablement distribué sur les temps de montée et de descente (qui étaient au départ inégaux). Dans ce cas, l'utilisation de la formule $ODC/2$ sous-estime la valeur du délai induit par le SEU.

Quand $\alpha > 0$, nous pouvons démontrer que $0 < K < 1$ pour le modèle A. Le pire scénario possible attaché à cette formule a lieu quand K s'approche de ses limites (0 ou 1). C'est un cas de figure où le changement du délai induit par un événement singulier sur la montée ou la descente est proche de l'ODC au lieu d'ODC/2.

Modèle B : une charge additionnelle vers la masse R_{dw} (toujours active) est ajoutée au nœud C.

En première approximation (quand la valeur de R_{dw} est grande par rapport à celle de R_N), le délai supplémentaire induit par ce modèle de pannes affectant le temps de descente $\varepsilon_{F,B}$ peut être exprimé comme suit :

$$\varepsilon_{F,B} = (R_{eq,N} - R_N)C_L \quad (4.11)$$

où $R_{eq,N}$ est la résistance équivalente de R_N en parallèle avec R_{dw} .

Comme cette résistance équivalente $R_{eq,N}$ est inférieure à R_N et le délai additionnel de la descente $\varepsilon_{F,B}$ est inférieur à 0 selon l'équation (4.11). Ceci signifie que la transition descendante est accélérée. Il est plus ardu de développer une équation pour le délai supplémentaire induit par ce modèle de pannes affectant le temps de montée $\varepsilon_{R,B}$. Des simulations HSPICE (section 4.2) vont montrer que la charge ajoutée au nœud C ralentit la montée. Cela signifie que le délai supplémentaire induit par ce modèle de pannes affectant le temps de montée $\varepsilon_{R,B}$ sera supérieur

à 0. Ce mécanisme peut donc mener à un facteur $K > 1$ et à une sous-estimation du délai induit plus sévère que celle décrite dans le Modèle A (avec l'utilisation de la formule ODC/2).

Modèle C : une charge additionnelle vers l'alimentation R_{up} (toujours active) est ajoutée au nœud C.

En première approximation, le délai supplémentaire induit par ce modèle de pannes affectant le temps de montée $\varepsilon_{R,C}$ peut être exprimé comme suit :

$$\varepsilon_{R,C} = (R_{eq,P} - R_P)C_L \quad (4.12)$$

où $R_{eq,P}$ est la résistance équivalente de R_P en parallèle avec R_{up} .

Comme cette résistance équivalente $R_{eq,P}$ est inférieure à R_P et le délai additionnel de la montée $\varepsilon_{R,C}$ est inférieur à 0 selon l'équation (4.12). Ceci signifie que la transition montante est accélérée.

Il est plus ardu ici de développer une équation pour le délai supplémentaire induit par ce modèle de pannes affectant la transition descendante. Dans ce cas de figure aussi, des simulations HSPICE (section 4.2) vont montrer qu'une charge additionnelle vers l'alimentation ajoutée au nœud C ralentissait sa descente, i.e $\varepsilon_{F,C}$ inférieur à 0. Ce mécanisme peut ainsi amener à un facteur $(1 - K) > 1$. On parlera aussi d'une sévère sous-estimation de la valeur de délai.

Modèle D : un effet asymétrique sur R_N et R_P de l'inverseur du nœud C.

Ce modèle de pannes représente le cas de figure où une inversion d'un bit de configuration modifie le type d'interface active d'un IOB. Les valeurs de R_N et R_P sont affectées toutes les deux, mais d'une façon asymétrique.

On définit $R_{eq,N} = R_N + \Delta R_N$ et $R_{eq,P} = R_P + \Delta R_P$ comme étant les nouvelles valeurs correspondantes aux R_N et R_P respectivement. En première approximation, l'effet sur les temps de montée et de descente peut être exprimé comme suit :

$$\varepsilon_{R,D} = (R_{eq,P} - R_P)C_L = C_L \Delta R_P \quad (4.13)$$

$$\varepsilon_{F,D} = (R_{eq,N} - R_N)C_L = C_L \Delta R_N \quad (4.14)$$

Si on suppose que $\Delta R_P = \beta \Delta R_N$, on peut montrer que la valeur de K (équations 4.6 et 4.7) devient :

$$K = \beta / (1 + \beta) \quad (4.15)$$

Dans ce cas de figure, la valeur du délai est encore sous-estimée, tout comme pour le modèle A.

4.2 Simulations HSPICE

Pour valider les résultats obtenus théoriquement avec les modèles de délai, des simulations HSPICE de ces modèles de délai ont été effectuées. Pour ce faire, un RO composé de 41 inverseurs (plus grand que le RO de la figure 4.2) a été simulé avec la technologie 90 nm. Les modèles d'inverseurs ont été ajustés afin que R_N et R_P soient à peu près égaux. Les résultats des différentes simulations effectuées apparaissent à la figure 4.5.

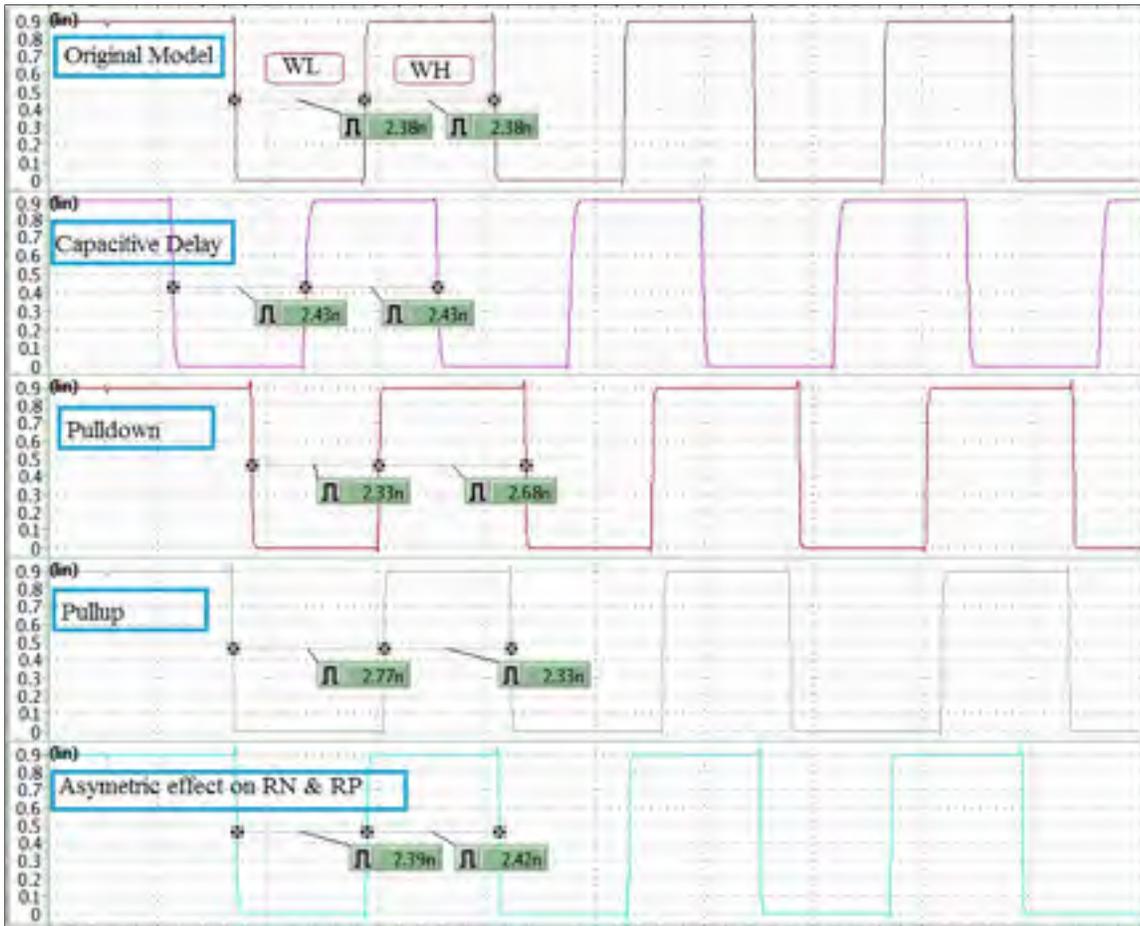


Figure 4.5 Résultats d'une simulation HSPICE des 4 modèles de délais décrits dans la section précédente

La figure 4.5 présente les résultats des simulations HSPICE relatives aux 4 modèles théoriques expliqués dans la section 4.1.3. Cette figure comporte 5 graphes. Le premier graphe montre le cas d'origine du RO (41 inverseurs) sans aucun délai appliqué. Le deuxième graphe donne la forme d'ondes d'un des nœuds du RO quand l'ajout d'une charge capacitive affecte un autre nœud (modèle A). Les troisième et quatrième graphes montrent respectivement le cas d'une charge additionnelle vers la masse et vers l'alimentation (modèle B). Le dernier graphe, quant à lui, montre le résultat de simulation du dernier modèle à savoir le modèle D.

Comme prévu, à partir du deuxième graphe, la durée des temps de montée et de descente est affectée de la même façon (les deux augmentent de 0.05 ns); ceci montre que l'effet d'un SEU est effectivement équitablement réparti sur les temps de montée et de descente ($K = 0.5$).

Le 3^e graphe de la figure 4.5 montre clairement que la charge additionnelle vers la masse ralentit effectivement le temps de montée, avec $\epsilon_{R,B} (=W_{H_SEU} - W_H = 0.3 \text{ ns}) > 0$. Comme prévu, la descente est accélérée, avec $\epsilon_{F,B} (=W_{L_SEU} - W_L = -0.05 \text{ ns}) < 0$. Dans cet exemple, une valeur de $K = 1.2$ et une sous-estimation de la valeur du délai de 0.17 ns par rapport à la formule ODC/2 sont obtenues.

Tel que prévu, le 4^e graphe montre que la charge additionnelle vers l'alimentation ralentit la descente, avec $\epsilon_{F,C} (=W_{L_SEU} - W_L = 0.39 \text{ ns}) > 0$, et accélère la montée, avec $\epsilon_{R,C} (=W_{H_SEU} - W_H = -0.05 \text{ ns}) < 0$. Dans cet exemple, on obtient une valeur de $1 - K = 1.1$, et une sous-estimation de la valeur du délai de 2.2 ns par rapport à la formule ODC/2.

Les résultats obtenus avec le modèle D sont présentés au dernier graphe. Comme prévu, la durée des temps de montée et de descente est affectée d'une façon asymétrique. En effet, le temps de montée ($=W_{H_SEU} - W_H$) augmente de 0.04 ns et le temps de descente ($=W_{L_SEU} - W_L$) augmente de 0.01 ns); ceci montre que l'effet d'un SEU n'est pas équitablement distribué sur les temps de montée et de descente ($K = 0.44$) au lieu d'avoir un K relatif à la formule ODC/2 (équation 4.5).

4.3 Expériences d'émulation

Afin de reproduire les différents mécanismes de délai au moyen d'inversion de bits de configuration, des expériences sont effectuées en utilisant le montage de la figure 4.6 (Tazi et al., 2014). Ce montage contient une carte FPGA commerciale (Digilent Genesys (Digilent, Feb. 2012) centrée sur un Virtex-5 de Xilinx XC5VLX50T), un oscilloscope (Agilent 6000 Series) et un ordinateur. Les inversions des bits de configuration sont injectées par émulation en utilisant le module SEU Controller de Xilinx (Chapman, 2010a). Les inverseurs du RO sont implémentés dans les IOB du Virtex-5. La boucle du RO est complétée de l'extérieur du FPGA et connectée à l'oscilloscope qui mesure la fréquence d'oscillation, la période, ainsi que W_H et

W_L . L'ordinateur est utilisé pour charger les bits de configuration dans le FPGA et pour contrôler le SEU Controller via un port USB.

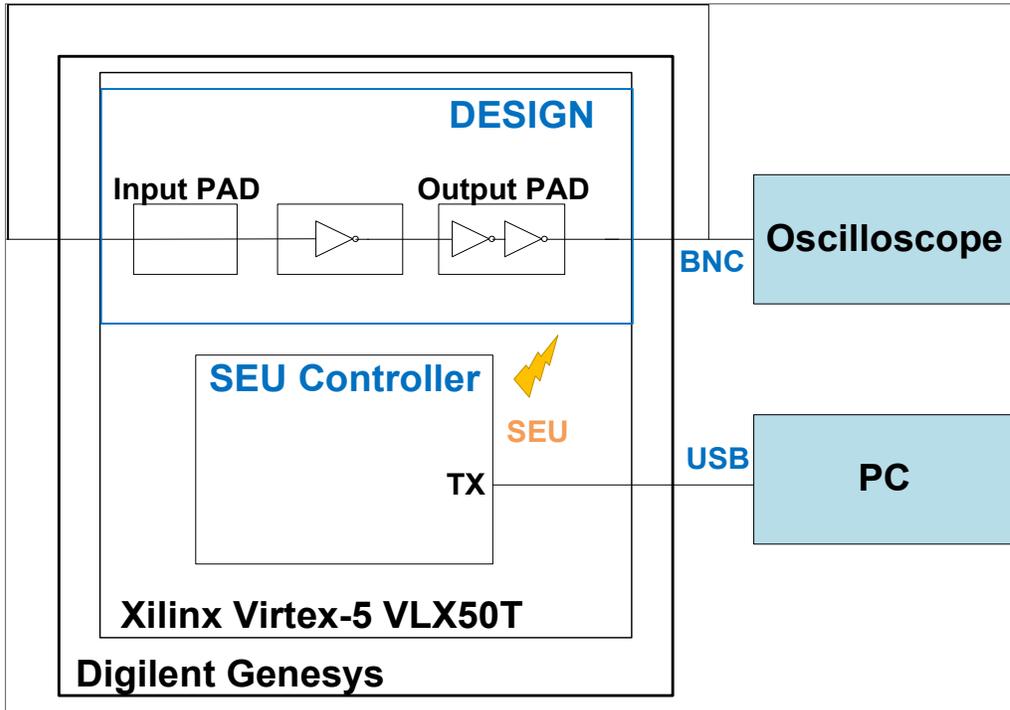


Figure 4.6 Montage expérimental de l'émulation

Au total, 5 séries d'émulations sont effectuées avec les paramètres d'IOB suivants (Tazi et al., 2014): norme d'interface entrée-sortie = LVCMOS25, $slew\ rate = slow$ et $drive = 12mA$. Les résultats de ces émulations sont présentés au tableau 4.1. L'organisation de ce tableau de gauche à droite est comme suit : le code de la série d'émulation (ER), la fréquence du RO (F), la période du RO (T), la valeur de l'ODC, les durées des portions haute et basse W_H et W_L , les délais induits par les pannes affectant les temps de montée (ϵ_R) et de descente (ϵ_F) et finalement l'erreur de sous-estimation U_E définie comme étant le maximum de $(|\epsilon_R|, |\epsilon_F|) - (|ODC/2|)$. Cette erreur correspond à la valeur absolue de la sous-estimation quand on utilise la formule $ODC/2$ pour l'estimation du délai induit par les radiations.

La 1^{ère} ligne de résultats, surlignée en vert, présente les résultats dans le cas d'origine sans l'injection d'évènement singulier (ER0) qui va servir aussi pour mesurer les délais pour les autres cas. Les cinq premiers paramètres (F, T, ODC, W_H et W_L) sont mesurés à l'aide de

l'oscilloscope tandis que les trois derniers (ϵ_R , ϵ_F et U_E) sont calculés par rapport au cas d'origine et selon les équations définies précédemment. Les autres séries (ER1 à ER4) montrent toutes les mesures prises avec inversion de bits. Les deux premières séries d'émulation avec inversion de bits (ER1, ER2) donnent des résultats similaires à ceux obtenus avec le modèle B et montrent clairement que la charge additionnelle vers la masse ralentit effectivement le temps de montée et accélère le temps de descente ($\epsilon_{R,B} > 0$, $\epsilon_{F,B} < 0$, $K > 1$) avec une erreur U_E égale à 1.1 et 0.5ns respectivement pour ER1 et ER2.

La 3^e série d'émulation (ER3) donne des résultats semblables à ceux obtenus avec le modèle C et montre clairement que la charge additionnelle vers l'alimentation ralentit effectivement le temps de descente et accélère le temps de montée ($\epsilon_{R,C} < 0$, $\epsilon_{F,C} > 0$, $1 - K > 1$) avec une erreur U_E égale à 1.0 ns.

Les résultats obtenus dans la dernière série d'émulation (ER4) coïncident avec ceux obtenus avec le modèle D. Ils montrent que la durée des temps de montée et de descente est affectée d'une façon asymétrique ($\epsilon_{R,D} > 0$, $\epsilon_{F,D} > 0$, $K > 1$) avec une erreur U_E égale à 0.4ns.

Tous ces résultats montrent que les inversions de bits de configuration peuvent aussi induire des délais avec des comportements semblables à ceux décrits théoriquement par les 4 modèles de pannes (A, B, C et D) définis dans la section précédente. Ainsi, l'utilisation seule de la fréquence du RO (et de la formule $ODC/2$) pour estimer l'amplitude de ces délais peut mener à une sous-estimation aussi grande que 1 ns (potentiellement grande en théorie).

Tableau 4.1 Résultats obtenus par émulation

Série	F(MHz)	T (ns)	ODC (ns)	W _H (ns)	W _L (ns)	ε _R (ns)	ε _F (ns)	U _E (ns)
ER0	45,3	22,1	0	9,9	12,1	-	-	-
ER1	42.4	23.6	1.5	11.8	11.8	1.8	-0.4	1.1
ER2	44.8	22.3	0.2	10.5	11.8	0.6	-0.4	0.5
ER3	47.1	21.2	-0.9	8.5	12.7	-1.4	0.5	1.0
ER4	42.9	23.3	1.1	10.2	13.0	0.2	0.9	0.4

4.4 Conclusion

Ce chapitre présente différents modèles de pannes de délais pouvant être induits par des événements singuliers sur la configuration des IOB des FPGA basés sur la mémoire vive. Il a été montré que certaines hypothèses, formulées dans des travaux antérieurs ciblant d'autres ressources du FPGA, ne sont pas toujours applicables pour les IOB. Des mesures additionnelles sont nécessaires pour mieux estimer l'impact des SEU sur les délais qui affectent les IOB. Les résultats obtenus dans ce chapitre montrent aussi que l'effet sur les temps de montée et de descente n'est pas toujours symétrique à l'intérieur des IOB. Ceci peut créer des changements de délai beaucoup plus importants pour les IOB que ceux décrivant auparavant les autres ressources du FPGA.

CHAPITRE 5

OBSERVATIONS SUR L'IMPACT DES RADIATIONS SUR LA ROBUSTESSE DE QUELQUES TECHNIQUES DE MITIGATION À L'INTÉRIEUR DES BLOCS D'ENTRÉE/SORTIE DES FPGA À BASE DE SRAM

Ce chapitre est consacré à l'étude approfondie des effets des événements singuliers (SEU) sur les techniques de mitigation lorsqu'elles sont appliquées à l'intérieur des blocs d'entrée/sortie (IOB) des FPGA à base de SRAM.

Comme il a été mentionné au chapitre 3, tous les IOB appartenant à la même banque doivent obéir aux mêmes règles pour pouvoir rassembler différents types d'interface. Il a été supposé que ces IOB partagent certains bits de configuration qui définissent le type d'interface utilisé. Ainsi, si le délai induit par les SEU est dû à l'accumulation des délais sur tous les IOB appartenant à la même banque, leurs caractéristiques temporelles peuvent changer simultanément. Ceci peut rendre inefficaces les techniques de mitigation (TMR), qui sont appliquées à l'intérieur des IOB. C'est le cas si au moins 2 sorties du même groupe de TMR sont affectées simultanément par la même erreur.

Dans ce chapitre, nous allons présenter les résultats d'une série d'observations faites dans le cadre d'expérimentations. Ces résultats incluent les éléments suivants:

- le délai induit par un SEU à l'intérieur de la même banque d'IOB peut être distribué sur tous ces IOB et non pas seulement concentré sur un seul IOB;
- la présence d'un **seul SEU** peut affecter en même temps plusieurs IOB (2 et plus) appartenant à la même banque, ce qui peut avoir un effet sur la robustesse des techniques de mitigation;
- la présence des SEU à l'intérieur des IOB peut donner naissance à un phénomène appelé l'effet de mémoire. Nous parlons de l'effet de mémoire quand l'état d'un circuit demeure altéré après que tous les bits inversés, qui ont causé ce changement, (par injection de pannes) retrouvent leur valeur initiale;

- la technique de reconfiguration (*Scrubbing*) peut être perturbée et affectée par la présence des SEU à l'intérieur des IOB.

5.1 Distribution des délais

Dans le but d'étudier comment sont distribués les délais induits par l'inversion de bits de configuration d'IOB appartenant à une même banque, des expériences basées sur le montage de la figure 5.1 ont été réalisées. Ce montage ressemble au montage (de la figure 3.2) du chapitre 3 avec une différence au niveau du circuit implémenté sur le FPGA.

Ce circuit est composé d'un simple oscillateur en boucle (RO) implémenté en utilisant les primitives internes des IOB (IOBUF) (UG190, 2012). Ce RO occupe 29 IOB de la banque 22 et oscille à une fréquence F égale à 5.17 MHz. Le choix de la banque est basé sur le fait qu'elle est la seule banque facilement accessible de l'extérieur du FPGA.

La méthodologie décrite ci-dessous a été suivie pour générer les bits de configuration qui vont être inversés par la suite par le SEU Controller :

- 1) implémenter le RO en VHDL en utilisant le standard LVCMOS25 (contrainte à ajouter dans le fichier de contraintes .UCF);
- 2) charger la configuration dans le FPGA et faire une relecture « *Readback* » pour en extraire une première liste de bits de configuration (Liste 1);
- 3) remplacer le type d'interface LVCMOS25 par HSTL_II en modifiant la contrainte qui définit ce type dans le fichier de contrainte. Le choix de HSTL_II est basé sur le fait qu'il utilise un paramètre, V_{REF} , commun pour tous les IOB configurés de cette façon;
- 4) charger la configuration dans le FPGA et faire une relecture « *Readback* » pour en extraire une deuxième liste de bits de configuration (Liste 2);

- 5) comparer les deux listes issues de la relecture (Liste 1 et Liste 2). Le résultat de cette comparaison représente la liste des bits de configuration correspondant à HSTL_II (et V_{REF}) et qui contient 566 bits (voir annexe II pour plus de détails);
- 6) inverser à l'aide du SEU Controller cette liste de bits et mesurer le délai correspondant sur tous les IOB de la banque 22.

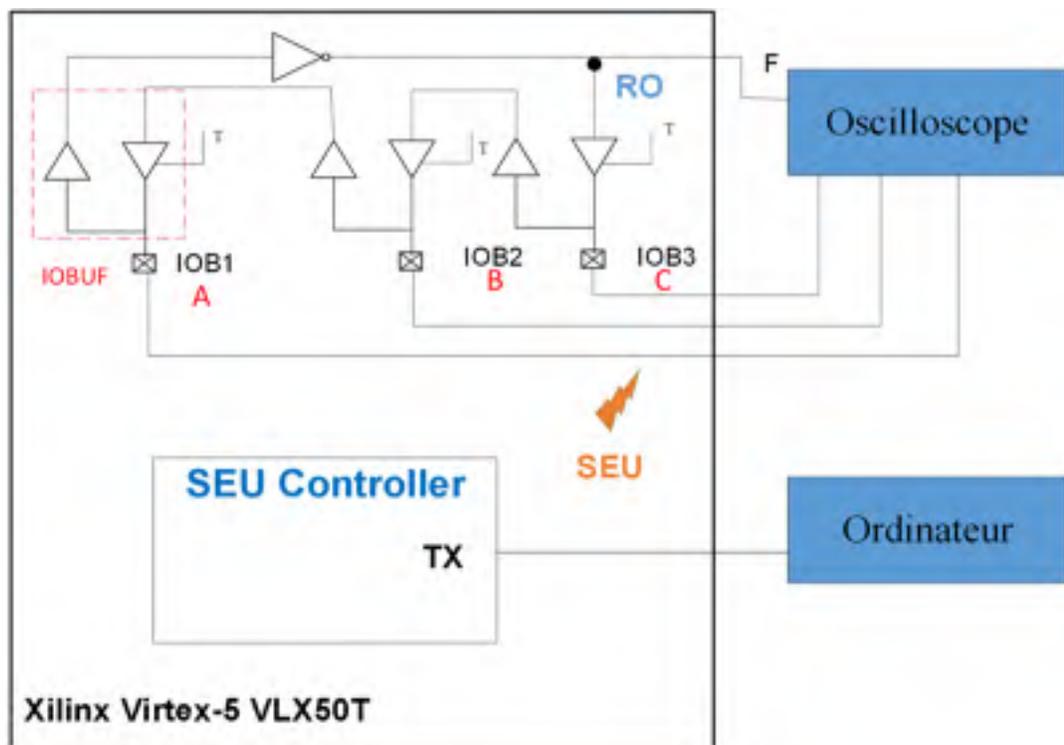


Figure 5.1 Montage utilisé pour mesurer la distribution des délais

La mesure du délai est faite à l'aide de l'oscilloscope branché aux bornes des IOB concernés selon la procédure présentée dans la figure 5.2.

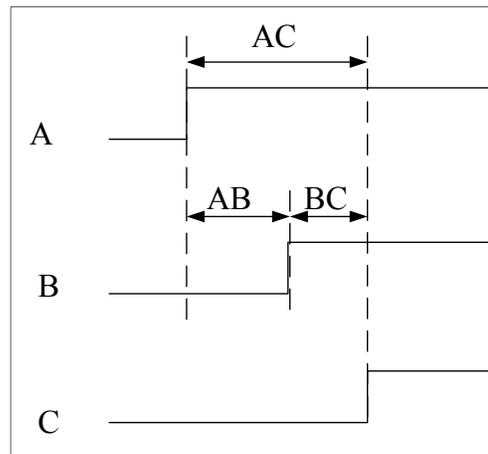


Figure 5.2 Mesure de délai

Cette figure montre les signaux A, B et C aux bornes des IOB à mesurer avec l'oscilloscope. Les IOB en question sont choisis de telle sorte à être distribués sur toute la banque 22 (début, milieu et fin). AC, AB et BC sont respectivement les délais mesurés entre le début et la fin de la banque, le début et le milieu de la banque et entre le milieu et la fin de la banque. Le résultat des mesures est présenté au tableau 5.1.

Tableau 5.1 Résultats des mesures de délais

	AB (ns)	BC (ns)	AC (ns)	AB+BC (ns)	Fréquence (MHz)
LVC MOS25	37	37	74	74	5.17
HSTL_II	25	30	55	55	6.94
Inversion en mode accumulation à partir de LVC MOS25	25	30	55	55	6.94

La 1^{er} colonne du tableau présente la configuration des IOB. Les colonnes 2 à 4 montrent les délais mesurés avec l'oscilloscope aux bornes des 3 IOB. La 5^{er} colonne donne le résultat de la somme des délais qui figurent dans les 2^{es} et 3^{es} colonnes. La dernière colonne donne la fréquence du RO pour chaque configuration.

D'après les résultats du tableau 5.1, nous constatons que le délai mesuré sur toute la banque (AC) est égal à la somme des délais distribués sur toute la banque (AB + BC). C'est ce qui est montré dans les 4^{ème} et 5^{ème} colonnes (ex. pour la configuration LVCMOS25, AC = 74 ns et AB + AC = 74 ns. De même pour les autres configurations).

Ce résultat nous laisse supposer que le délai induit par les SEU peut être distribué sur tous les IOB et non pas concentré sur un seul IOB pour cette banque d'IOB. Une façon de valider cette hypothèse est de mesurer les délais sur l'ensemble des IOB et pas seulement 3 comme indiqué au tableau 5.1.

Une autre façon, graphique, qui peut nous donner une vision plus claire de cette accumulation de délai est l'utilisation de l'interface Labview pour capturer toutes les inversions des bits de configuration de ces IOB. Les résultats obtenus par Labview sont présentés à la figure 5.3.

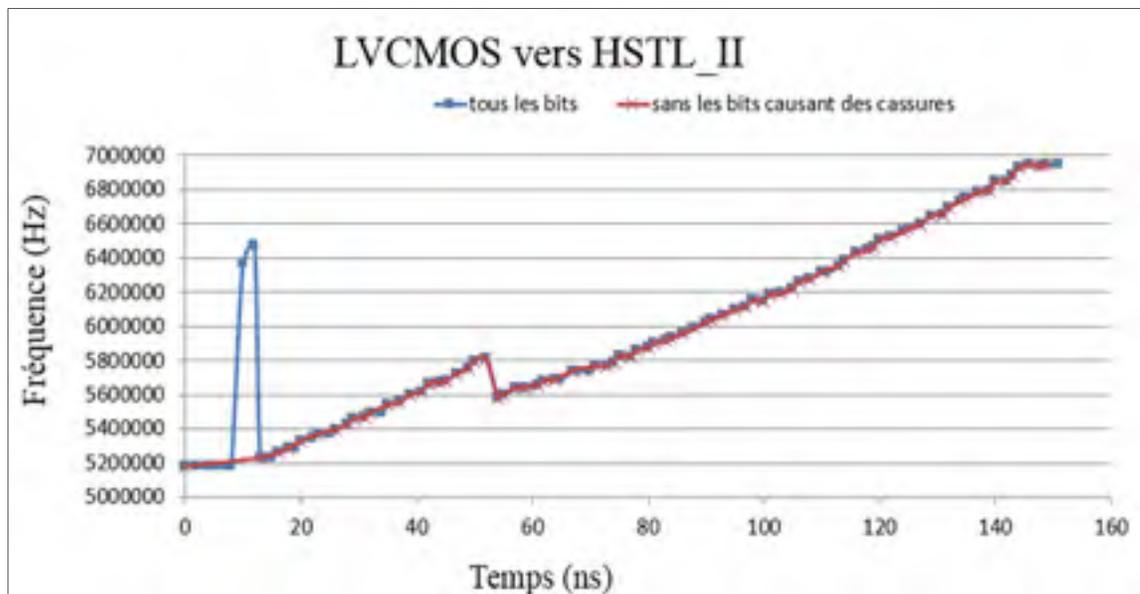


Figure 5.3 Accumulation de délai réalisée par Labview

Dans cette figure, deux différentes courbes peuvent être distinguées. La courbe bleue, étiquetée « tous les bits » donne la mesure de délai sur toute la banque suite à l'inversion de bits de configuration en mode accumulation sans corriger les bits qui cassent la fonctionnalité du RO.

La courbe rouge, étiquetée « sans les bits causant des cassures » donne la mesure de délai après avoir enlevé tous les bits qui causent la cassure du RO avant d'effectuer l'inversion en mode accumulation. Nous avons utilisé le mode singulier pour identifier les bits qui causent la cassure du RO. Les deux courbes montrent un comportement similaire avec deux petites différences, une à 10 sec et une autre à 52 sec. La première différence est due à la cassure du RO et correspond à la fréquence du bruit. La deuxième différence peut être due à une accumulation de capacités parasites suite à l'inversion d'un des 566 bits de configuration (Annexe II). Cette inversion a causé la diminution de la fréquence de 5.8 MHz à 5.6 MHz ce qui correspond à un ODC égal à 6.1 ns.

Les deux courbes montrent également que le changement de la fréquence du RO de 5.17 MHz à 6.94 MHz est dû à une accumulation de petits délais sur tous les IOB de la banque.

5.2 Observations sur la robustesse des TMR face aux radiations dans les IOB des FPGA à base de SRAM

Cette section est consacrée à l'étude de la robustesse des techniques de mitigation (ex TMR) avec la présence des événements singuliers (SEU) à l'intérieur des IOB des FPGA à base de SRAM.

Pour ce faire, il est nécessaire de montrer que la présence d'un seul SEU peut affecter simultanément plusieurs IOB appartenant à une même banque. Le nombre d'IOB touchés doit être supérieur ou égal à 2.

Les expériences réalisées dans cette partie sont semblables à celles décrites dans la section 5.1. Ces expériences adoptent la même méthodologie et utilisent la même banque d'IOB utilisées dans la section 5.1. De plus, le montage utilisé pour ces expériences, présenté à la figure 5.4, ressemble au montage de la figure 5.1 avec une différence au niveau du circuit implémenté sur le FPGA.

Le Virtex-5 est utilisé pour implémenter 3 oscillateurs en boucle (RO1, RO2 et RO3) (au lieu d'un seul RO comme montré à la figure 5.1). Chaque RO occupe 6 IOB de la banque 22, présentés au tableau 5.2.

Tableau 5.2 Liste des IOB utilisés pour le montage de la figure 5.4

Oscillateur en boucle	IOB
RO1	AC8, AB10, AC9, AF8, AB8, AA10
RO2	AJ10, AK9, AF9, AK11, AC10, AJ9
RO3	AN13, AP12, AL10, AP14, AM11, AK8

La méthodologie utilisée pour ces expériences est semblable à celle de la section 5.1 avec des mesures additionnelles faites au niveau du V_{REF} . Les différences entre les deux méthodologies sont présentées ci-dessous :

- 1) la liste des bits de configuration résultante de la comparaison entre les deux listes issues de la relecture (Liste 1 et Liste 2) contient 634 bits (566 bits pour le premier cas présenté à la section 5.1);
- 2) l'inversion de la liste de bits se fait seulement en mode singulier, vu que notre but est de chercher un seul SEU, contrairement au cas précédent où la conversion se faisait dans les deux modes (accumulation et singulier). Le résultat de cette inversion est présenté dans le tableau 5.3.

Il est à noter que cette inversion est faite en partant des interfaces du mode HSTL_{II}.

L'organisation de gauche à droite du tableau 5.3 est comme suit : les bits qui ont engendré un changement pour un des oscillateurs quand ils sont inversés sont présentés dans la 1^e colonne. Tandis que les 2^e, 3^e et 4^e colonnes donnent les fréquences respectives F1, F2 et F3 de RO1, RO2 et RO3. La ligne verte montre le cas d'origine avec le mode HSTL_{II} sans aucune inversion. Parmi les 634 bits inversés, seulement 12 bits ont causé des changements pour les 3 RO répartis en 3 groupes : un groupe de 4 bits pour RO1, un autre de 5 bits pour RO2 et un

dernier groupe de 3 bits pour RO3. Les résultats des 3 groupes de bit sont soulignés en rouge dans le tableau 5.3.

Les résultats de ce tableau montrent que tous les IOB composant un RO (RO1, RO2 ou RO3) pourraient être affectés par le groupe de bit qui a causé un changement de fréquence pour ce RO. Pour confirmer ce résultat, un autre montage a été réalisé pour lequel chaque RO est divisé en 3 sous RO comme montré à la figure 5.5.

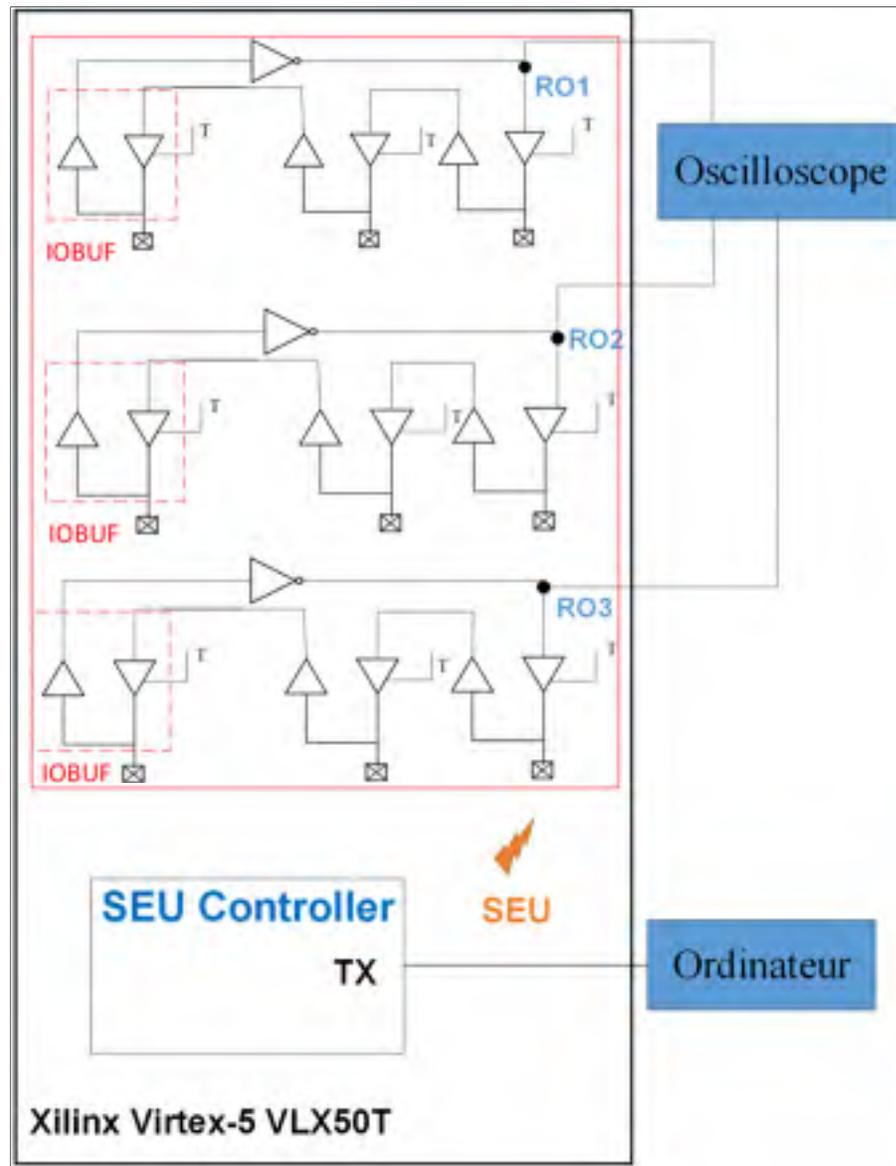


Figure 5.4 Montage utilisé pour les expériences sur la robustesse des techniques de mitigation

Tableau 5.3 Résultats d'inversion pour les 3 RO en partant du mode HSTL_II

Bit \ Fréquence	F1 (MHz)	F2(MHz)	F3(MHz)
Aucune inversion	39.23	39.03	39.43
1FE3,1F9	36.84	38.95	39.4
1FE3,326	36.81	38.94	39.5
1FE3,3A6	36.8	38.95	39.4
1FE3,4D9	36.8	38.96	39.4
1FE3,106	39.23	36.74	39.43
1FE3,179	39.24	36.7	39.42
1FE3,186	39.23	36.8	39.42
1FE3,239	39.22	36.67	39.41
1FE3,359	39.21	36.56	39.41
1FE3,279	39.14	38.96	37.05
1FE3,2A6	39.14	38.96	37.12
1FE3,466	39.14	38.96	37.2

Le montage de la figure 5.5 possède la même structure que celui de la figure 5.4, à savoir la carte FPGA, l'oscilloscope et le SEU Controller, sauf qu'au lieu d'avoir 3 RO, il y en a 9 (RO11, RO12, RO13, RO21, RO22, RO23, RO31, RO32 et RO33). Chaque nouveau RO est composé seulement de deux IOB.

Pour chaque nouveau groupe de RO, les bits qui ont causé un changement pour le RO d'origine dont ils découlent sont inversés. Par exemple, pour RO11, RO12 et RO13, seulement les 4 bits qui ont causé un changement pour le RO1 sont inversés et les changements sont notés. De même pour les autres RO. Le tableau 5.4 présente seulement les résultats obtenus pour le premier groupe de RO à savoir RO11, RO12 et RO13, vu que c'est le cas de figure qui a donné des résultats les plus intéressants.

Tableau 5.4 Résultats d'inversion pour RO11, RO12 et RO13
en partant du HSTL_II

Bit \ Fréquence	F11 (MHz)	F12(MHz)	F13(MHz)
Aucune inversion	203.75	209.0	193.0
1FE3,1F9	203.75	209.0	193.0
1FE3,326	160.0	161.0	166.3
1FE3,3A6	183.8	208.5	160.77
1FE3,4D9	203.75	209.0	193.0

L'organisation de ce tableau est la même utilisée pour le tableau 5.3. La 1^{re} colonne donne la liste des bits qui sont inversés. Les 2^e, 3^e et 4^e colonnes présentent le changement de fréquence des 3 RO (RO11, RO12 et RO13) associés à l'inversion des bits de configuration. La ligne verte présente le cas d'origine sans aucune inversion et la ligne jaune présente le résultat recherché. Les autres lignes (2^e, 4^e et 5^e) présentent aussi les résultats d'inversion des autres bits de configuration qui n'ont pas donné un résultat important. D'après les résultats présentés à la ligne jaune, nous pouvons constater que les fréquences des 3 RO (RO11, RO12 et RO13) ont changé simultanément suite à l'inversion d'un seul bit [1FE3,326]. Les valeurs de changements de délais correspondant aux changements de fréquence des RO11, RO12 et RO13 sont respectivement égales à 1.3 ns, 1.5 ns et 0.8 ns. Notons que l'extraction de la valeur absolue du changement de délai (ODC) se fait directement à partir de la valeur absolue de la variation de la période $|\Delta T|$ relative au fonctionnement du RO dans l'état normal (sans SEU). Cette valeur a été trouvée au chapitre 3 et peut être exprimée comme suit :

$$|T_{ODC}| = |\Delta T| = |T_{SEU} - T_N|$$

Où T_N est la période du RO sans le SEU et T_{SEU} est la période après un SEU.

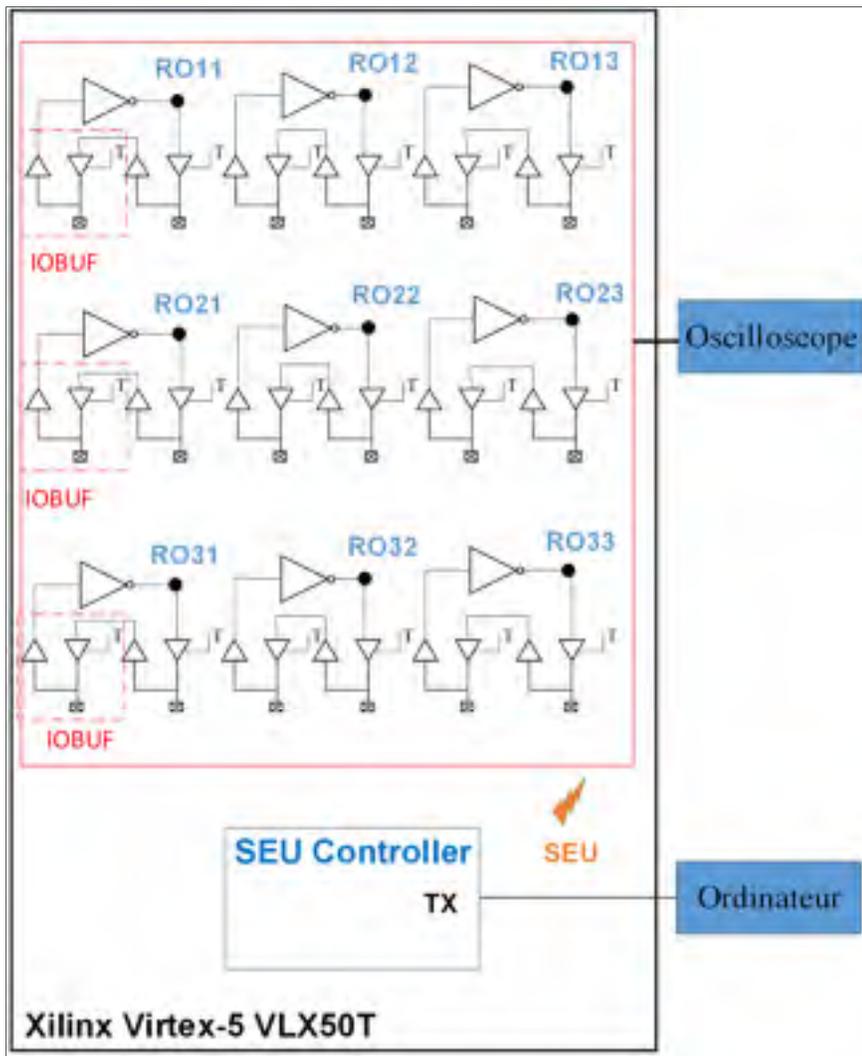


Figure 5.5 Montage dérivé de celui de la figure 5.4

Les résultats présentés au tableau 5.4 représentent une observation très importante dans la mesure où il révèle que plusieurs IOB peuvent être affectés simultanément par un seul SEU. Ceci remet en question l'efficacité et la robustesse de la TMR surtout lorsqu'elle est appliquée à l'intérieur des IOB des FPGA à base de SRAM.

En effet, les TMR consistent à tripler chaque module à l'intérieur du système à mitiger et à relier les 3 copies au moyen d'un voteur comme montré à la figure 5.6. Dans cette figure les entités nommées « fonction module 2 » et « fonction module 3 » sont des copies de l'entité « fonction module 1 ». X, Y et Z représentent à la fois les sorties des 3 entités et les entrées

primaires du voteur, dont la sortie est étiquetée « V ». Si une des entités est touchée par une panne, le système TMR va normalement continuer à fonctionner correctement compte tenu de la majorité Booléenne (*Boolean majority*) établie par le voteur selon l'équation 5.1 (Balasubramanian, Prasad et Mastorakis, 2016) :

$$V = XY + YZ + XZ \quad (5.1)$$

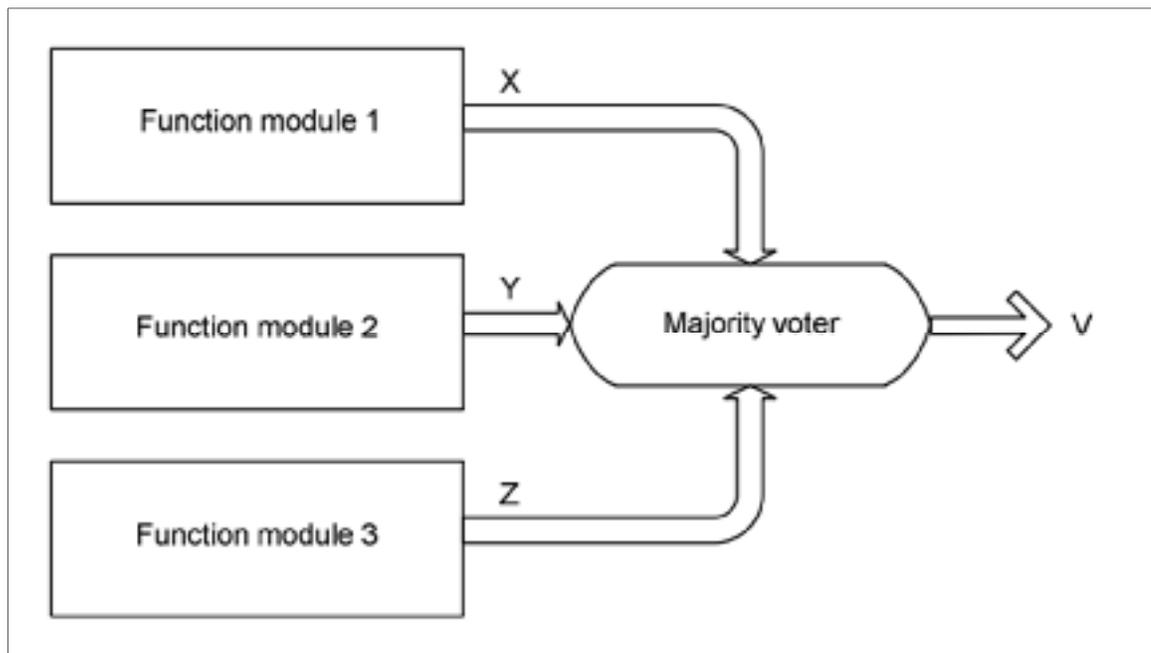


Figure 5.6 Diagramme bloc de le TMR
Tirée de Balasubramanian, Prasad et Mastorakis (2016)

D'après l'équation 5.1, nous pouvons montrer que si deux des trois entités sont touchées par une panne alors la sortie du voteur peut être erronée et par conséquent tout le système de la TMR sera alors affecté par cette erreur. La figure 5.7 présente un chronogramme qui montre ce cas de figure.

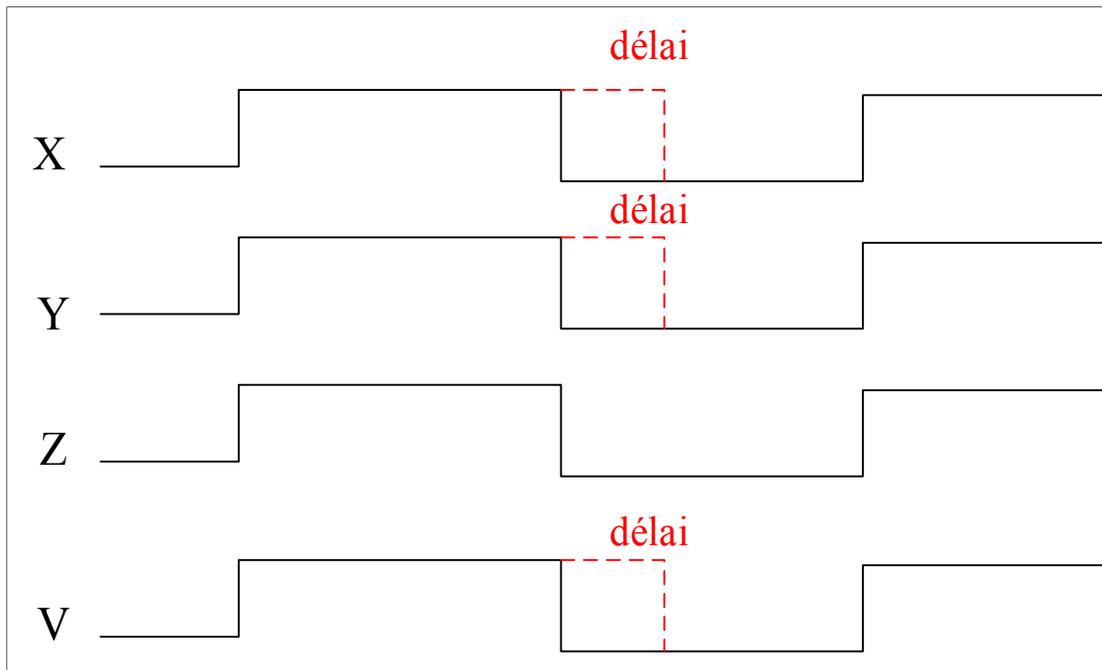


Figure 5.7 Chronogramme montrant la sortie du voteur dans le cas où 2 copies de la TMR sont touchées par un délai

X, Y et Z représentent les sorties des trois copies de la TMR de la figure 5.6 et V est la sortie du voteur de la même figure.

Ce cas de figure peut se concrétiser si la TMR est appliquée à l'intérieur des IOB des FPGA à base de SRAM parce que nous avons montré que tous les IOB appartenant à la même banque pourront être affectées, simultanément, par la même panne.

Compte tenu de tous ces résultats, une réflexion doit être faite avant de choisir le type de technique de mitigation à utiliser dans les IOB en présence des SEU.

5.3 Effet mémoire

Cette section présente les résultats d'expériences qui ont permis d'observer un phénomène non anticipé au départ. Ce phénomène, appelé effet de mémoire, se manifeste de la manière suivante : le comportement du circuit demeure altéré après que tous les bits inversés (par

injection de pannes) retrouvent leur valeur initiale. Ce phénomène n'est pas totalement nouveau. Il a été montré dans (Berg et al., 2013) qu'un seul SEU peut causer des erreurs multiples à l'intérieur de la logique des systèmes synchrones (les auteurs ont pris l'exemple du compteur) et même si le SEU est corrigé, le système total ne retrouve pas son fonctionnement désiré. C'est ce qui peut être traduit par l'effet de mémoire.

Les expériences réalisées dans cette partie diffèrent de celles faites auparavant vu qu'elles utilisent deux cartes FPGA au lieu d'une seule. L'utilisation de deux cartes évite le risque de dissimuler le problème d'incompatibilité entre les types de signaux, appliqués aux entrées/sorties, dans la communication entre deux FPGA. De plus, elle permet d'accroître la charge capacitive et par conséquent d'augmenter le délai. La figure 5.8 montre le montage utilisé dans ces expériences.

Ce montage est composé de deux cartes FPGA (Digilent Genesys basée sur un Virtex-5 de Xilinx XC5VLX50T), une est utilisée comme référence (*Reference FPGA*) et l'autre (*DUT FPGA*) qui est l'objet de tous les tests réalisés. Le montage comporte aussi un oscilloscope pour mesurer les fréquences des RO implémentés et le SEU Controller pour émuler les SEU (qui ne sont pas montrés sur la figure 5.6). Les deux cartes FPGA sont utilisées pour implémenter quatre RO (RO1, RO2, RO3 et RO4) en serpentins entre les deux cartes qui sont connectées par le connecteur VHDC. Les fréquences des quatre RO sont présentées ci-dessous :

$F1 = F2 = F3 = 13 \text{ MHz}$ et $F4 = 9 \text{ MHz}$

Chacun des trois premiers oscillateurs (RO1, RO2 et RO3) contiennent 8 IOB (4 IOB pour chaque FPGA dont 2 IOB sont utilisés comme entrée et les 2 autres comme sortie). Tandis que le quatrième oscillateur (RO4) comporte 12 IOB (6 IOB dans chaque FPGA). Tous les IOB appartiennent à la banque 11 dont le détail est présenté dans le tableau 5.5.

Tableau 5.5 IOB utilisés dans chaque FPGA pour les 4 RO

Oscillateur en boucle	IOB
RO1	C32, B33, E32, B32
RO2	G32, F33, J32, C34
RO3	H34, L34, L33, G33
RO4	P32, P34, R33, T33, U32, N33

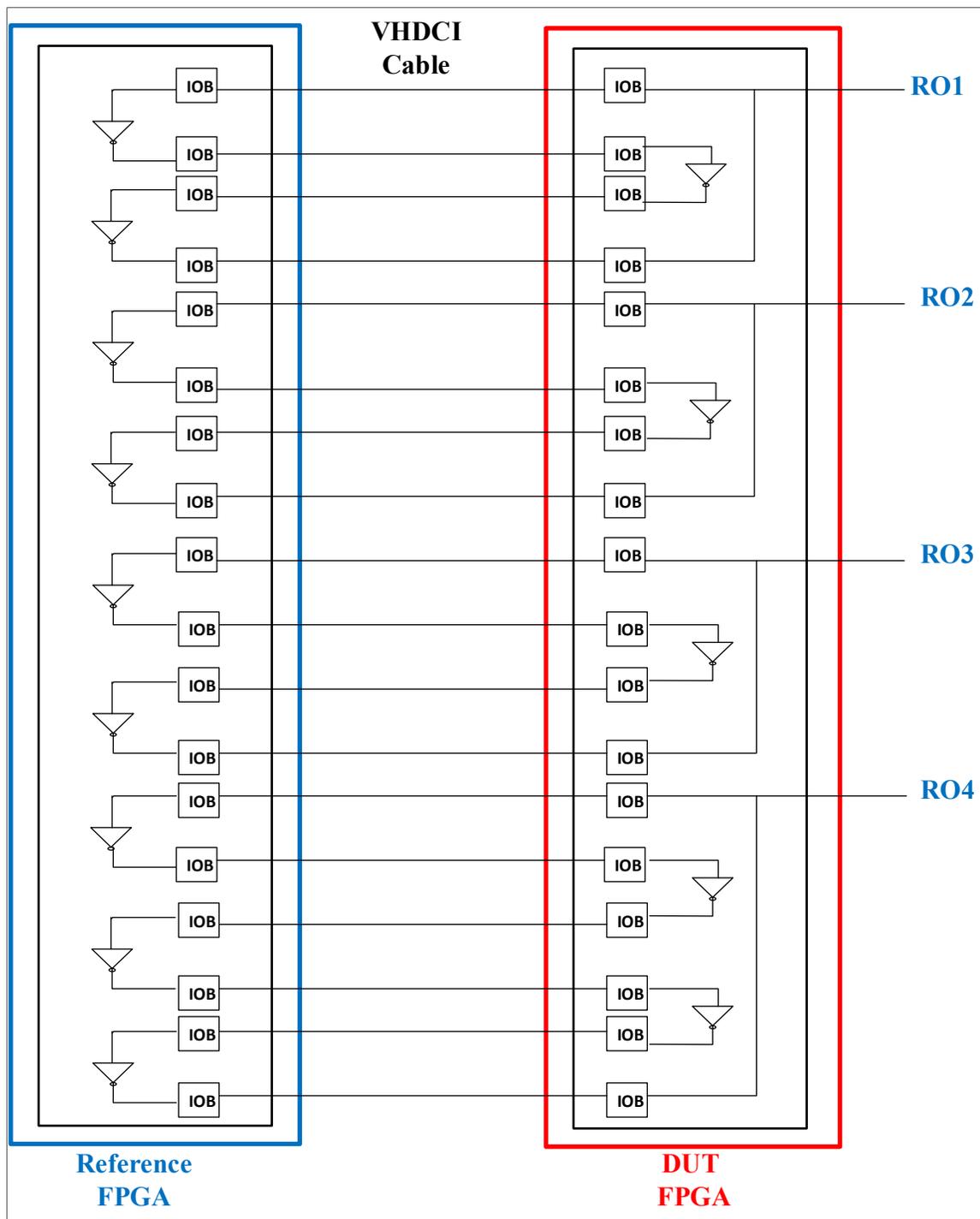


Figure 5.8 Montage utilisé pour deux cartes FPGA de Xilinx

La méthodologie utilisée pour ces expériences est semblable à celle utilisée précédemment dans les sections 5.1 et 5.2. La différence entre cette méthodologie et celles présentées dans les sections précédentes est présentée ci-dessous :

- 1) le changement du mode LVCMOS25 par HSTL_II est appliqué uniquement aux IOB du *DUT FPGA*;
- 2) la liste des bits de configuration résultante de la comparaison entre les deux listes issues de la relecture (Liste 1 et Liste 2) contient 186 (contrairement aux cas précédents) (voir Annexe III);
- 3) l'inversion de cette liste de bits se fait dans les deux modes singulier et accumulation, et le résultat est présenté aux tableaux 5.6 et 5.7. Il est à noter que cette inversion est faite en partant du standard LVCMOS25.

Comme mentionné précédemment, le mode singulier consiste à inverser un seul bit à la fois et le corriger avant d'inverser un autre. Par contre dans le mode accumulation tous les bits sont inversés un après l'autre sans correction.

Le tableau 5.6 donne le résultat de l'inversion dans le mode accumulation. Le résultat final de ce tableau montre que les fréquences des 4 RO correspondent aux fréquences obtenues selon la norme HSTL_II.

Le tableau 5.7 donne le résultat de l'inversion dans le mode singulier. Le résultat est présenté en deux parties : 1) effet des inversions individuelles qui représente l'effet observé après l'inversion d'un seul bit. Dans cette partie, nous pouvons remarquer que la fréquence a changé pour les 4 RO (voir tableau 5.7 pour les valeurs des fréquences). Les nouvelles fréquences relevées correspondent aux fréquences des RO lorsque les IOB sont configurés avec le standard HSTL_II (changement de configuration), 2) fréquences à la fin de l'inversion et correction de toute la liste qui donne les fréquences relevées pour les 4 RO après avoir inversé et corrigé toute la liste des bits (Annexe III).

La liste inversée des bits a été analysée de près pour déterminer le ou les bits qui ont contribué réellement aux changements observés. Cette analyse a montré que parmi les 186 bits, seulement 4 bits sont responsables des changements observés. Réellement, un seul bit parmi ces 4 bits déclenche ces changements observés, mais il a besoin de l'aide des 3 autres bits pour engendrer ce changement. Ce bit figure à la fin de la liste composée des 4 bits, donc le changement ne peut être observé qu'après l'inversion et la correction des 3 bits qui précèdent ce bit. Ceci peut être expliqué par l'existence de l'effet de mémoire dans les IOB qui s'explique par le fait que l'effet qui accompagne l'inversion des 3 bits reste présent même après leur correction.

Tableau 5.6 Changements observés sur les 4 RO suite
au bit-flip des 186 bits en partant de LVC MOS25
en mode accumulation

Mode accumulation
-Changement de fréquence pour les 4 RO :
F1(RO1) : 13MHz -> 39 MHz
F2(RO2) : 13MHz -> 39 MHz
F3(RO3) : 13MHz -> 39 MHz
F4(RO4) : 9MHz -> 43 MHz

Tableau 5.7 Changements observés sur les 4 RO suite au bit-flip des 186 bits en partant de LVCMOS25 en mode singulier

Mode singulier
<p>1) effet des bits flips individuels :</p> <p>Changement de fréquence pour les 4 RO :</p> <p>F1(RO1) : 13MHz -> 39 MHz</p> <p>F2(RO2) : 13MHz -> 39 MHz</p> <p>F3(RO3) : 13MHz -> 39 MHz</p> <p>F4(RO4) : 9MHz -> 43MHz</p> <p>2) fréquences à la fin de l'inversion et correction de toute la liste :</p> <p>F1(RO1) = F2(RO2) = F3(RO3) = 39 MHz; F4(RO4) = 43 MHz</p>

Normalement, après la correction de chaque inversion, la configuration doit revenir à celle de départ (changement de la configuration faite avec HSTL_II pour retrouver celle faite avec LVCMOS25). Les fréquences de départ devraient être observées, pourtant ce n'est pas le cas comme montré dans le tableau 5.7. À la fin de la correction de toute la liste, les fréquences ne changent pas et restent égales aux fréquences correspondant à la nouvelle configuration (HSTL_II) ce qui veut dire que la correction n'a pas été faite correctement. Ce résultat est très important dans la mesure où il montre que les techniques de correction telle que le *Scrubbing* peuvent être affectées par les SEU à l'intérieur des IOB.

5.4 Conclusion

Ce chapitre apporte des observations importantes sur la robustesse de quelques techniques de mitigation (TMR et *Scrubbing*) à l'intérieur des blocs d'entrée/sortie (IOB) des FPGA à base de SRAM en présence des événements singuliers (SEU). Toutes les expériences réalisées dans ce chapitre sont basées sur l'utilisation des FPGA de la famille Virtex-5 de la société Xilinx. L'injection d'événements singuliers (SEU) est faite avec l'utilitaire d'émulation SEU Controller. Les résultats des expériences ont montré qu'un seul SEU pourrait affecter,

simultanément, plusieurs IOB dans la même banque d'IOB. Ils ont révélé aussi que le délai induit par ce SEU est distribué sur toute la banque d'IOB affectée par cette erreur et non pas concentré sur un seul IOB. Ces résultats sont très importants dans la mesure où ils mettent en question la robustesse et l'efficacité des techniques de mitigation (TMR). Ils ouvrent aussi la porte pour une discussion sur le type de technique de mitigation adéquat qui doit être utilisé dans les IOB en présence des SEU.

Il a été montré aussi dans ce chapitre que les SEU qui affectent les IOB peuvent rendre les techniques de correction et de reconfiguration (*Scrubbing*) insuffisantes pour corriger et éviter l'accumulation de plusieurs erreurs et donc éviter la défaillance de tout le système. Dans le même contexte, il a été révélé que ces SEU peuvent créer un effet mémoire à l'intérieur des IOB.

CONCLUSION

L'objectif principal de ce projet de thèse était d'élaborer, de mettre en œuvre et de valider une approche méthodique qui permet d'estimer la sensibilité des ressources, requises pour l'implémentation d'applications avioniques dans les circuits cibles (FPGA). Cette estimation est faite par rapport aux événements singuliers (Single Event Upset, SEU) et multiples (Multiple Bit Upset, MBU). Cette thèse a étudié principalement la sensibilité des blocs d'entrée/sortie (IOB) des FPGA à base de mémoire SRAM (*SRAM-based FPGA*).

L'étude de la sensibilité des IOB a mené les travaux de recherche à trois contributions principales :

- 1) la découverte des délais additionnels induits par les radiations dans les blocs d'entrée/sortie des FPGA à base de SRAM. Ces délais ont été obtenus par deux approches différentes : expérimentalement avec des tests accélérés en irradiation et avec émulation en utilisant le SEU Controller. L'analyse approfondie des résultats issus des différentes expérimentations ont permis une meilleure compréhension du comportement des IOB sous l'effet des radiations;
- 2) l'étude plus poussée de l'effet des radiations sur les délais observés dans les IOB des FPGA à base de SRAM. Plus spécifiquement, cette étude a proposé et validé des modèles de pannes permettant de décrire et de mieux comprendre les mécanismes pouvant mener aux délais observés dans les IOB;
- 3) l'étude approfondie des effets des événements singuliers (SEU) sur quelques techniques de mitigation (TMR et *Scrubbing*) lorsqu'elles sont appliquées à l'intérieur des blocs d'entrée/sortie (IOB) des FPGA à base de SRAM.

L'idée derrière la première contribution, qui est majeure, est venue de l'analyse des résultats publiés dans (Thibeault et al., 2012) qui ont montré l'existence des ODC supplémentaires dans la logique des FPGA à base de SRAM. En effet, nos investigations ont eu pour objectif d'étudier l'occurrence et l'amplitude des ODC induits par les radiations dans les IOB des FPGA à base de SRAM. Avec une première émulation, il a été montré que l'inversion des bits

de configuration peut induire de tels ODC dans les Virtex-5 de Xilinx et que ces ODC sont similaires à ceux obtenus suite à un mauvais choix des paramètres des IOB. Les résultats obtenus durant cette émulation montrent que l'injection de pannes basée sur plusieurs bits ainsi que l'utilisation de paires de bits ont été nécessaires pour causer les ODC. Des expériences d'irradiation basée sur des protons au laboratoire TRIUMF ont également été effectuées, utilisant le même FPGA impliqué dans l'émulation. Les résultats obtenus avec ces expériences d'irradiation ont montré que des ODC aussi grands que 6.2 ns pouvaient être induits dans les IOB. Ces résultats ont aussi révélé que l'occurrence de tels événements dans les IOB pouvaient s'approcher de l'occurrence des mêmes événements dans la logique des FPGA, et ce même si les IOB contenaient moins de bits de configuration que la logique et le routage. Certaines expériences d'irradiation ont été reproduites avec un deuxième montage d'émulation permettant ainsi l'explication d'un phénomène observé durant les expériences d'irradiation. Cette méthodologie a été testée aussi sur une génération plus récente de FPGA, à savoir l'Artix-7 de Xilinx et les résultats ont révélé l'existence de délais aussi grands que 3.8 ns dans les IOB.

Cette contribution a fait l'objet d'un article de revue publié :

Tazi Fatima Zahra, Claude Thibeault, Yvon Savaria, Simon Pichette et Yves Blaquièrre 2014.
« On Extra Delays Affecting I/O Blocks of an SRAM-Based FPGA Due to Ionizing Radiation ».
IEEE Transactions on Nuclear Science (Publié).

La deuxième contribution consistait à étudier les effets de la radiation sur les délais observés dans les blocs d'entrée/sortie (IOB) des circuits intégrés programmables à base de mémoire vive (*SRAM-based FPGA*). Plus spécifiquement, son objectif était de proposer et de valider des modèles de pannes permettant de décrire et de mieux comprendre les mécanismes pouvant mener aux délais observés dans les IOB. Dans ce contexte, il a été montré que certaines hypothèses, formulées dans des travaux antérieurs ciblant d'autres ressources du FPGA, ne sont pas toujours applicables pour les IOB. Des mesures additionnelles sont nécessaires pour mieux estimer l'impact des SEU sur les délais qui affectent les IOB. Les résultats obtenus ont montré que l'effet sur les temps de montée et de descente n'est pas toujours symétrique à l'intérieur des IOB. Ceci peut créer des changements de délai beaucoup plus importants pour

les IOB que ceux décrivant auparavant les autres ressources du FPGA. Cette contribution a fait l'objet d'un article de conférence présenté à :

Tazi Fatima Zahra, Claude Thibeault et Yvon Savaria 2016. « Detailed Analysis of Radiation-Induced Delays on I/O Blocks of an SRAM-Based FPGA ». IEEE Canadian Conference on Electrical and Computer Engineering (CCECE) (Publié).

La dernière contribution de cette thèse avait pour but d'étudier les effets des événements singuliers (SEU) sur les techniques de mitigation lorsqu'elles sont appliquées à l'intérieur des blocs d'entrée/sortie (IOB) des FPGA à base de SRAM. Les deux techniques qui ont été concernées par cette étude sont les TMR et les techniques de correction et de reconfiguration (*Scrubbing*). Toutes les expériences qui ont été réalisées dans ce contexte ont été basées sur l'utilisation des FPGA de la famille Virtex-5 de Xilinx. Les résultats de ces expériences ont montré qu'un seul SEU pourrait affecter, simultanément, plusieurs IOB dans la même banque d'IOB. Ils ont révélé aussi que le délai induit par ce SEU pourrait être distribué sur toute la banque d'IOB affectée par cette erreur et non pas concentré sur un seul IOB. Ces résultats sont très importants dans la mesure où ils mettent en question la robustesse et l'efficacité des techniques de mitigation (TMR). Ils ouvrent aussi la porte pour une discussion sur le type de technique de mitigation adéquat qui doit être utilisé dans les IOB avec la présence des SEU. Il a été montré aussi que les SEU qui affectent les IOB peuvent rendre les techniques de correction et de reconfiguration (*Scrubbing*) insuffisantes pour corriger et éviter l'accumulation de plusieurs erreurs. Dans le même contexte, il a été révélé que ces SEU peuvent créer un effet mémoire à l'intérieur des IOB.

Cette thèse a permis de valider l'objectif de l'un des volets du projet global AVIO403 et qui visait à proposer une approche méthodique permettant d'estimer la sensibilité des ressources, spécifiquement les IOB, requises pour l'implémentation d'applications avioniques dans les FPGA à base de SRAM, par rapport aux SEU et aux MBU.

RECOMMANDATIONS

Ce travail de thèse offre plusieurs perspectives, au niveau de l'amélioration de la méthodologie d'estimation de la sensibilité. À cause des coûts élevés des tests réalisés au moyen de l'irradiation, seulement un seul type de circuit a été testé à savoir le RO (implémenté dans les IOB). Ce circuit a servi comme référence et moyen de validation pour nos travaux. Il serait donc intéressant de tester avec irradiation un exemple concret d'un système avionique utilisant un FPGA afin de mesurer la fiabilité de notre méthodologie. L'application de notre méthodologie sur un système réel pourrait nous donner une idée sur les pannes système qui peuvent être induites par les effets observés (panne de délai). Il serait important aussi d'appliquer notre méthodologie sur d'autres familles de FPGA (Ex. Altera, Actel), afin de tester sa portabilité sur des familles autres que Virtex.

Une autre ouverture du projet réside dans la publication des résultats des travaux présentés dans le dernier chapitre de cette thèse. En fait, ces résultats ont montré, d'une part, l'existence de l'effet mémoire dans les IOB qui suggère qu'un *Scrubbing* complet peut ne pas restaurer une configuration donnée. L'analyse de cet effet de mémoire est demeurée superficielle dans cette thèse, c'est pour cela qu'il faut développer davantage avec d'autres exemples qui valident l'existence de cet effet à l'intérieur des IOB. D'autre part, il a été montré qu'un seul SEU peut affecter plusieurs IOB en même temps, affectant ainsi la fiabilité de quelques techniques de mitigation dont la TMR. A notre connaissance, c'est la première fois que ce genre de phénomène est rapporté et cela mérite d'être publié dans la communauté scientifique s'intéressant à la fois aux radiations et aux FPGA. Il serait aussi important d'explorer d'autres techniques de mitigation à part la TMR et le *Scrubbing*

ANNEXE I

INTERFACE D'INJECTION DE PANNES

La figure figure-A I-1 décrit en détail l'interface *Injector* utilisée pour faciliter la communication avec *SEU Controller* et par la suite faciliter la procédure d'injection des pannes.

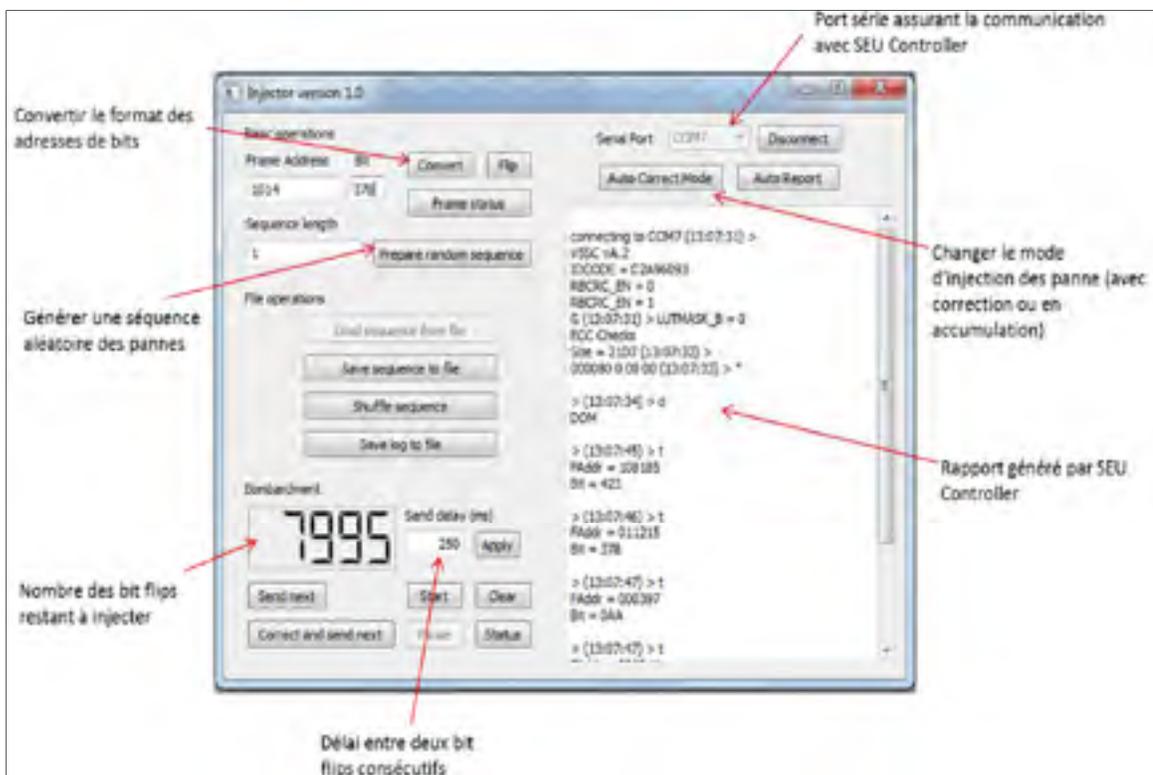


Figure-A I-1 Interface d'injection de pannes
Tirée de Souari (2016)

ANNEXE II

PREMIÈRE LISTE DE BITS DE CONFIGURATION

Le tableau Tableau-A II-1 présente en détail la liste des bits de configurations issus de la comparaison entre les relectures des deux configurations, LVCMOS25 et HSTL_II, pour le montage de la figure 5.2 présentée au chapitre 5.

Tableau-A II- 1 Liste des 566 bits résultante de la relecture entre les 2 standards, pour le montage de la figure 5.2

Trame	Position des bits
1fe3	01b, 017, 00a, 00e, 004, 006, 039, 03b, 031, 035, 028, 024, 05b, 057, 04a, 04e, 044, 046, 079, 07b, 071, 075, 068, 064, 09b, 097, 08a, 08e, 084, 086, 0b9, 0bb, 0b1, 0b5, 0a8, 0a4, 0d9, 0db, 0dd, 0d7, 0ca, 0ce, 0c4, 0c6, 0f9, 0fb, 0f1, 0f5, 0e8, 0e2, 0e4, 0e6, 119, 11b, 11d, 117, 10a, 10e, 104, 106, 139, 13b, 131, 135, 128, 122, 124, 126, 15e, 150, 14a, 14e, 179, 17b, 171, 175, 168, 162, 164, 166, 199, 19b, 19d, 197, 18a, 18e, 184, 186, 1b9, 1bb, 1b1, 1b5, 1a8, 1a2, 1a4, 1a6, 1fb, 1fb, 1f1, 1f5, 1e8, 1e2, 1e4, 1e6, 239, 23b, 231, 235, 228, 222, 224, 226, 25b, 257, 24a, 24e, 244, 246, 28b, 281, 282, 283, 2bb, 2b7, 2aa, 2ae, 2a4, 2a6, 2f9, 2fb, 2fd, 2f7, 2ea, 2ee, 2e4, 2e6, 319, 31b, 311, 315, 308, 302, 304, 306, 339, 33b, 33d, 337, 32a, 32e, 324, 326, 359, 35b, 351, 355, 348, 342, 344, 346, 3b9, 3bb, 3bd, 3b7, 3aa, 3ae, 3a4, 3a6, 3d9, 3db, 3d1, 3d5, 3c8, 3c2, 3c4, 3c6, 3fe, 3f0, 3ea, 3ee, 419, 41b, 411, 415, 408, 402, 404, 406, 439, 43b, 43d, 437, 42a, 42e, 424, 426, 459, 45b, 451, 455, 448, 442, 444, 446, 499, 49b, 491, 495, 488, 482, 484, 486, 4b9, 4bb, 4bd, 4b7, 4aa, 4ae, 4a4, 4a6, 4d9, 4db, 4d1, 4d5, 4c8, 4c2, 4c4, 4c6, 4f9, 4fb, 4fd, 4f7, 4ea, 4ee, 4e4, 4e6, 519, 51b, 511, 515, 508, 502, 504, 506

Tableau-A II- 2 Liste des 566 bits résultante de la relecture
entre les 2 standards, pour le montage de la figure 5.2 (suite)

Trame	Position des bits
1fe4	01b, 01c, 01d, 01e, 011, 017, 00a, 00e, 000, 003, 03c, 03f, 031, 035, 028, 02e, 021, 022, 023, 024, 05b, 05c, 05d, 05e, 051, 057, 04a, 04e, 040, 043, 07c, 07f, 071, 075, 068, 06e, 061, 062, 063, 064, 09b, 09c, 09d, 09e, 091, 097, 08a, 08e, 080, 083, 0bc, 0bf, 0b1, 0b5, 0a8, 0ae, 0a1, 0a2, 0a3, 0a4, 0db, 0dc, 0dd, 0de, 0d1, 0d7, 0ca, 0ce, 0c0, 0c3, 0fc, 0ff, 0f1, 0f5, 0e8, 0ee, 0e1, 0e2, 0e3, 0e4, 11b, 11c, 11d, 11e, 111, 117, 10a, 10e, 100, 103, 13c, 13f, 131, 135, 128, 12e, 121, 122, 123, 124, 149, 14e, 142, 17c, 17f, 171, 175, 168, 16e, 161, 162, 163, 164, 19b, 19c, 19d, 19e, 191, 197, 18a, 18e, 180, 183, 1bc, 1bf, 1b1, 1b5, 1a8, 1ae, 1a1, 1a2, 1a3, 1a4, 1fc, 1ff, 1f1, 1f5, 1e8, 1ee, 1e1, 1e2, 1e3, 1e4, 23c, 23f, 231, 235, 228, 22e, 221, 222, 223, 224, 25b, 25c, 25d, 25e, 251, 257, 24a, 24e, 240, 243, 289, 280, 282, 285, 286, 287, 2bb, 2bc, 2bd, 2be, 2b1, 2b7, 2aa, 2ae, 2a0, 2a3, 2fb, 2fc, 2fd, 2fe, 2f1, 2f7, 2ea, 2ee, 2e0, 2e3, 31c, 31f, 311, 315, 308, 30e 301, 302, 303, 304, 33b, 33c, 33d, 33e, 331, 337, 32a, 32e, 320, 323, 35c, 35f, 351, 355, 348, 34e, 341, 342, 343, 344, 3bb, 3bc, 3bd, 3be, 3b1, 3b7, 3aa, 3ae, 3a0, 3a3, 3dc, 3df, 3d1, 3d5, 3c8, 3ce, 3c1, 3c2, 3c3, 3c4, 3e9, 3ee, 3e2, 41c, 41f, 411, 415, 408, 40e, 401, 402, 403, 404, 43b, 43c, 43d, 43e, 431, 437, 42a, 42e, 420, 423, 45c, 45f, 451, 455, 448, 44e, 441, 442, 443, 444, 49c, 49f, 491, 495, 488, 48e, 481, 482, 483, 484, 4bb, 4bc, 4bd, 4be, 4b1, 4b7, 4aa, 4ae, 4a0, 4a3, 4dc, 4df, 4d1, 4d5, 4c8, 4ce, 4c1, 4c2, 4c3, 4c4, 4fb, 4fc, 4fd, 4fe, 4f1, 4f7, 4ea, 4ee, 4e0, 4e3, 51c, 51f, 511,515, 508, 50e, 501, 502, 503, 504

ANNEXE III

DEUXIÈME LISTE DE BITS DE CONFIGURATION

Le tableau Tableau-A III-1 présente en détail la liste des bits de configurations issus de la comparaison entre les relectures des deux configurations, LVCMOS25 et HSTL_II, pour le montage de la figure 5.6 présenté au chapitre 5, impliquant 18 IOB de la banque 11; 4 IOB par RO (2 comme entrée, 2 comme sortie) sauf pour RO4 (6, dont 3 entrées et 3 sorties).

Tableau-A III- 1 Liste des 186 bits résultante de la relecture entre les 2 standards, pour le design de la figure 5.6

Trame	Position des bits
0025	022, 026, 0a2, 0a6, 0f9, 0fb, 0f1, 0f5, 0e8, 0e4, 122, 126, 15e, 150, 14a, 14e, 179, 17b, 171, 175, 168, 164, 1a2, 1a6, 1f9, 1fb, 1f1, 1f5, 1e8, 1e4, 279, 27b, 271, 275, 268, 264, 28b, 281, 282, 283, 2c2, 2c6, 302, 306, 359, 35b, 351, 355, 348, 344, 386, 382, 3d9, 3db, 3d1, 3d5, 3c8, 3c4, 3fe, 3f0, 3ea, 3ee, 402, 406, 459, 45b, 451, 455, 448, 444, 482, 486, 4d9, 4db, 4d1, 4d5, 4c8, 4c4, 519, 51b, 511, 515, 508, 504,
0026	0fc, 0ff, 0f1, 0f5, 0e8, 0ee, 0e1, 0e2, 0e3, 0e4, 149, 14e, 142, 17c, 17f, 171, 175, 168, 16e, 161, 162, 163, 164, 1fc, 1ff, 1f1, 1f5, 1e8, 1ee, 1e1, 1e2, 1e3, 1e4, 27c, 27f, 271, 275, 268, 26e, 261, 262, 263, 264, 289, 280, 282, 285, 286, 287, 35c, 35f, 351, 355, 348, 34e, 341, 342, 343, 344, 3dc, 3df, 3d1, 3d5, 3c8, 3ce, 3c1, 3c2, 3c3, 3c4, 3c9, 3ee, 3e2, 45c, 45f, 451, 455, 448, 44e, 441, 442, 443, 444, 4dc, 4df, 4d1, 4d5, 4c8, 4ce, 4c1, 4c2, 4c3, 4c4, 51c, 51f, 511, 515, 508, 50e, 501, 502, 503, 504

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES

- Adell, P., G. Allen, G. Swift et S. McClure. 2008. « Assessing and mitigating radiation effects in Xilinx SRAM FPGAs ». In *2008 European Conference on Radiation and Its Effects on Components and Systems*. (10-12 Sept. 2008), p. 418-424.
- Alderighi, M., F. Casini, S. D' Angelo, M. Mancini, D. M. Codinachs, S. Pastore, C. Poivey, G. R. Sechi et G. S. R. Weigand. 2009. « Experimental validation of fault injection analyses by the FLIPPER tool ». In *2009 European Conference on Radiation and Its Effects on Components and Systems*. (14-18 Sept. 2009), p. 544-548.
- Alexandrescu, Dan, Lorena Anghel et Michael Nicolaidis. 2004. « Simulating Single Event Transients in VDSM ICs for Ground Level Radiation ». *Journal of Electronic Testing*, vol. 20, n° 4, p. 413-421.
- Antoni, L., R. Leveugle et B. Feher. 2003. « Using run-time reconfiguration for fault injection applications ». *IEEE Transactions on Instrumentation and Measurement*, vol. 52, n° 5, p. 1468-1473.
- Arlat, Jean. 1990. « Validation de la sûreté de fonctionnement par injection de fautes : méthode, mise en oeuvre, application ». 190 f. p.
<http://www.theses.fr/1990INPT094H>.
- BALASUBRAMANIAN, P., K. PRASAD et N.E. MASTORAKIS. 2016. « A Fault Tolerance Improved Majority Voter for TMR System Architectures ». *WSEAS TRANSACTIONS on CIRCUITS and SYSTEMS*, vol. 15, p. 108-122.
- Barth, J. 1999. « The Radiation Environment ». *NASA Publication*.
- Berg, M.D., H.S. Kim, A.D. Phan, C.M. Seidleck, K.A. LaBel et J.A. Pellish. 2013. « Single Event Induced Multiple Bit Errors and the Effects of Logic Masking ». *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, vol. 60, n° 6, p. 4192-4199.
- Bernardi, P., M. S. Reorda, L. Sterpone et M. Violante. 2004. « On the evaluation of SEU sensitiveness in SRAM-based FPGAs ». In *Proceedings. 10th IEEE International On-Line Testing Symposium*. (12-14 July 2004), p. 115-120.
- Blackmore, E.W. 2000. « Operation of the TRIUMF (20-500 MeV) Proton Irradiation Facility ». In *IEEE Radiation Effects Data Workshop Conference*. p. 1-5.
- Bocquillon, A. 2009. « Evaluation de la Sensibilité des FGPA SRAM-Based Face Aux Erreurs Induites par les Radiations Naturelles ». Institut Polytechnique de Grenoble.

- Bolchini, C., F. Castro et A. Miele. 2009. « A Fault Analysis and Classifier Framework for Reliability-Aware SRAM-Based FPGA Systems ». In *2009 24th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*. (7-9 Oct. 2009), p. 173-181.
- Bombieri, N., F. Fummi et V. Guarnieri. 2011. « Accelerating RTL Fault Simulation through RTL-to-TLM Abstraction ». In *2011 Sixteenth IEEE European Test Symposium*. (23-27 May 2011), p. 117-122.
- Borisov, P., et V. Stoianova. 2009. « The Virtex-5 Routing and Logic Architecture ». In *ELECTRONICS-ET*. (SOZOPOL, BULGARIA).
- Boudenot, J.C. 1995. *L'environnement spatial*, 2. 127 p.
- Boue, J., P. Petillon et Y. Crouzet. 1998. « MEFISTO-L: a VHDL-based fault injection tool for the experimental assessment of fault tolerance ». In *Digest of Papers. Twenty-Eighth Annual International Symposium on Fault-Tolerant Computing (Cat. No.98CB36224)*. (23-25 June 1998), p. 168-173.
- Carlo, S. Di, P. Prinetto, D. Rolfo et P. Trotta. 2014. « A fault injection methodology and infrastructure for fast single event upsets emulation on Xilinx SRAM-based FPGAs ». In *2014 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT)*. (1-3 Oct. 2014), p. 159-164.
- Cha, H., E. M. Rudnick, J. H. Patel, R. K. Iyer et G. S. Choi. 1996. « A gate-level simulation environment for alpha-particle-induced transient faults ». *IEEE Transactions on Computers*, vol. 45, n° 11, p. 1248-1256.
- Chapman, K. 2010a. « New Generation Virtex-5 SEU Controller ». *Xilinx*.
- Chapman, K. 2010b. « SEU strategies for virtex-5 devices ». *XAPP864(v2.0)*.
- Chapman, K. 2010c. « Virtex-5 SEU Critical Bit Information Extending the capability of the Virtex-5 SEU Controller ». In., sous la dir. de Xilinx.
- Chen, Mingsong, Prabhat Mishra et Dhruvajyoti Kalita. 2012. « Automatic RTL Test Generation from SystemC TLM Specifications ». *ACM Transactions on Embedded Computing Systems*, vol. 11, n° 2, p. 1-25.
- Ebrahimi, Mojtaba, Abbas Mohammadi, Alireza Ejlali et Seyed Ghassem Miremadi. 2014. « A fast, flexible, and easy-to-develop FPGA-based fault injection technique ». *Microelectronics Reliability*, vol. 54, n° 5, p. 1000-1008.

- Faure, F., R. Velazco et P. Peronnard. 2005. « Single-event-upset-like fault injection: a comprehensive framework ». *IEEE Transactions on Nuclear Science*, vol. 52, n° 6, p. 2205-2209.
- Foucard, G. 2010. « Taux d'erreurs dues aux radiations pour des applications implémentées dans des FPGAs à base de mémoire SRAM : prédictions versus mesures ». Institut polytechnique de Grenoble.
- Gaillard, Rémi. 2011. « Single Event Effects: Mechanisms and Classification ». *Soft Error in Modern Electronic Systems*, vol. 41, p. 27-54.
- Gasiot, G., D. Giot et P. Roche. 2007. « Multiple Cell Upsets as the Key Contribution to the Total SER of 65 nm CMOS SRAMs and Its Dependence on Well Engineering ». *IEEE Transactions on Nuclear Science*, vol. 54, n° 6, p. 2468-2473.
- Ghaffari, F., F. Sahraoui, M. El Amine Benkhelifa, B. Granado, M. A. Kacou et O. Romain. 2014. « Fast SRAM-FPGA fault injection platform based on dynamic partial reconfiguration ». In *2014 26th International Conference on Microelectronics (ICM)*. (14-17 Dec. 2014), p. 144-147.
- Guzmán-Miranda, H., J. Barrientos-Rojas et M. A. Aguirre. 2016. « A Fault Injection technique oriented to SRAM-FPGAs ». p. 49-59.
- Haissam, Z., R. Ayoubi et R. Velazco. 2004. « A Survey on Fault Injection Techniques ». *The International Arab Journal of Information Technology*, vol. 1, n° 2.
- Herrera-Alzu, I., et M. Lopez-Vallejo. 2013. « Design Techniques for Xilinx Virtex FPGA Configuration Memory Scrubbers ». *IEEE Transactions on Nuclear Science*, vol. 60, n° 1, p. 376-385.
- Iturbe, X., M. Azarate, I. Martinez et J. Perez. 2009. « A Novel SEU, MBU AND SHE Handling Strategy For Xilinx Virtex-4 FPGAs ». In *International Conference on Field Programmable Logic and Applications*, p. 569-573.
- JEDEC Solid State Technology Association. 2006. « Measurement and Reporting of Alpha Particle and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices ».
- Jenn, E., J. Arlat, M. Rimen, J. Ohlsson et J. Karlsson. 1994. « Fault injection into VHDL models: the MEFISTO tool ». In *Proceedings of IEEE 24th International Symposium on Fault-Tolerant Computing*. (15-17 June 1994), p. 66-75.
- Karlsson, J., U. Gunneflo, P. Liden et J. Torin. 1991. « TWO FAULT INJECTION TECHNIQUES FOR TEST OF FAULT HANDLING MECHANISMS ». In *1991, Proceedings. International Test Conference*. (26-30 Oct 1991), p. 140.

- KHATRI, A.R. , M. MILDE, A. HAYEK et J. BÖRCSÖK. 2014. « Instrumentation Technique for FPGA based Fault Injection Tool ».
- Lajolo, M., M. Rebaudengo, M. S. Reorda, M. Violante et L. Lavagno. 2000. « Evaluating system dependability in a co-design framework ». In *Proceedings Design, Automation and Test in Europe Conference and Exhibition 2000 (Cat. No. PR00537)*. (2000), p. 586-590.
- Lee, Peter Ming-Han, et Reza Sedaghat. 2008. « FPGA-based switch-level fault emulation using module-based dynamic partial reconfiguration ». *Microelectronics Reliability*, vol. 48, n° 10, p. 1724-1733.
- Lu, W., et M. Radetzki. 2011. « Efficient Fault Simulation of SystemC Designs ». In *2011 14th Euromicro Conference on Digital System Design*. (Aug. 31 2011-Sept. 2 2011), p. 487-494.
- Madeira, Henrique, Mário Rela, Francisco Moreira et João Gabriel Silva. 1994. « RIFLE: A general purpose pin-level fault injector ». In *Dependable Computing — EDCC-1: First European Dependable Computing Conference Berlin, Germany, October 4–6, 1994 Proceedings*, sous la dir. de Echtle, Klaus, Dieter Hammer et David Powell. p. 197-216. Berlin, Heidelberg: Springer Berlin Heidelberg.
< http://dx.doi.org/10.1007/3-540-58426-9_132 >.
- Martinez, R. J., P. J. Gil, G. Martin, C. Perez et J. J. Serrano. 1999. « Experimental validation of high-speed fault-tolerant systems using physical fault injection ». In *Dependable Computing for Critical Applications 7*. (Nov 1999), p. 249-265.
- Mavis, D.G., et P.H. Eaton. 2000. « SEU and SET Mitigation Techniques for FPGA Circuit and Configuration Bit Storage Design ». In *Military and Aerospace Programmable Logic Devices (MAPLD)*.
- Michel, T., R. Leveugle, G. Saucier, R. Doucet et P. Chapier. 1994. « Taking advantage of ASICs to improve dependability with very low overheads [PLC] ». In *Proceedings of European Design and Test Conference EDAC-ETC-EUROASIC*. (28 Feb-3 Mar 1994), p. 14-18.
- Napier, M., J. Moore, S. Rezgui, C. Carmichael, J. George et G. Swift. Sept. 2004. « Single Event Effect (SEE) Analysis, Test & Mitigation of the Xilinx Virtex-II Input Output Block (IOB) ». In *Military and Aerospace Programmable Logic Devices Conference*. (Washington, D. C., USA).
- Ostler, Patrick S., Michael P. Caffrey, Derrick S. Gibelyou, Paul S. Graham, Keith S. Morgan, Brian H. Pratt, Heather M. Quinn et Michael J. Wirthlin. 2009. « SRAM FPGA Reliability Analysis for Harsh Radiation Environments ». *IEEE Transactions on Nuclear Science*, vol. 56, n° 6, p. 3519-3526.

- Quinn, H., P. Graham, J. Krone, M. Caffrey et S. Rezgui. 2005. « Radiation-Induced Multi-Bit Upsets in SRAM-Based FPGAs ». *IEEE Transactions on Nuclear Science*, vol. 52, n° 6.
- N. Rollins, M. Wirthlin, M. Caffrey et P. Graham. 2002. « Reliability of Programmable Input/Output Pins in the Presence of Configuration Upsets ». In *Military and Aerospace Applications of Programmable Logic Devices (MAPLD)*.
- Sieh, V., O. Tschache et F. Balbach. 1997. « VERIFY: evaluation of reliability using VHDL-models with embedded fault descriptions ». In *Proceedings of IEEE 27th International Symposium on Fault Tolerant Computing*. (24-27 June 1997), p. 32-36.
- Souari, A. 2016. « Stratégies facilitant les tests en pré-certification pour la robustesse à l'égard des radiations ». École de Technologie Supérieure.
- Sterpone, L., M. Violante, R. H. Sorensen, D. Merodio, F. Sturesson, R. Weigand et S. Mattsson. 2007. « Experimental Validation of a Tool for Predicting the Effects of Soft Errors in SRAM-Based FPGAs ». *IEEE Transactions on Nuclear Science*, vol. 54, n° 6, p. 2576-2583.
- Swift, G., S. Rezgui, J. George, C. Carmichael, M. Napier, J. Maksymowicz, J. Moore, A. Lesea et T.F. Wrobel. 2004. « Dynamic Testing of Xilinx Virtex-II Field Programmable Gate Array (FPGA) Input/Output Blocks (IOBs) ». *IEEE Transactions on Nuclear Science*, vol. 51, n° 6, p. 3469-3474.
- Tazi, F. Z., C. Thibeault et Y. Savaria. 2016. « Detailed Analysis of Radiation-Induced Delays on I/O Blocks of an SRAM-Based FPGA ». *IEEE Canadian Conference on Electrical and Computer Engineering*.
- Tazi, F. Z., C. Thibeault, Y. Savaria, S. Pichette et Y. Audet. 2014. « On Extra Delays Affecting I/O Blocks of an SRAM-Based FPGA Due to Ionizing Radiation ». *IEEE Transactions on Nuclear Science*, vol. 61, n° 6, p. 3138-3147.
- Thibeault, C., S. Pichette, Y. Audet, Y. Savaria, H. Rufenacht, E. Gloutnay, Y. Blaquiere, F. Moupfouma et N. Batani. 2012. « On Extra Combinational Delays in SRAM FPGAs Due to Transient Ionizing Radiations ». *IEEE Transactions on Nuclear Science*, vol. 59, n° 6, p. 2959-2965.
- Tipton, A.D., J.A. Pellish, J.M. Hutson, R. Baumann, X. Deng, A. Marshall, M.A. Xapsos, H.S. Kim, M.R. Friendlich et M.J. Campola. 2008. « Device-Orientation Effects on Multiple-Bit Upset in 65 nm SRAMs ». *IEEE Transactions on Nuclear Science*, vol. 55, n° 6, p. 2880-2885.
- UG190. 2012. « Virtex-5 FPGA User Guide ». *Xilinx*, vol. 5.

- UG191. 2011. « Virtex-5 FPGA Configuration UserGuide ». *Xilinx*, vol. 5.
- UG952. 2013. « AC701 Evaluation Board for the Artix-7 FPGA ». *Xilinx*, vol. 1.
- Umer, F., Z. Marrakchi et H. Mehrez. 2012. « FPGA Architectures: An Overview ». In *Tree-based Heterogeneous FPGA Architectures*. p. 7-48. Spring.
- Violante, M., L. Sterpone, A. Manuzzato, S. Gerardin, P. Rech, M. Bagatin, A. Paccagnella, C. Andreani, G. Gorini, A. Pietropaolo, G. Cardarilli, S. Pontarelli et C. Fros. 2007. « A New Hardware/Software Platform and a New 1/E Neutron Source for Soft Error Studies: Testing FPGAs at the ISIS Facility ». *IEEE Transactions on Nuclear Science*, vol. 54, n° 4, p. 1184-1189.
- Weste, Neil.H.E, et David.M Harris. 2011. *CMOS VLSI DESIGN: A Circuits and Systems Perspective*, 4. Addison-Wesley, 864 p.
- Xilinx. 2002. « Virtex™-E 1.8 V Field Programmable Gate Arrays ». *Datasheet, DS022-1 (v2.3)*.
- Ziegler, J.F., F. James, W.C. Huntington, P.H Hans, C.J. Montrose et B. Chin. 1994. « IBM experiments in soft fails in computer electronics (1978–1994) ». *IBM Journal of Research and Development*, vol. 40, n° 1, p. 3-18.