

Prédiction et analyse statistique des performances des circuits
asynchrones dans un contexte d'adaptation dynamique de la
tension d'alimentation

par

Maryem BENYOUSSEF

THÈSE PRÉSENTÉE À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
COMME EXIGENCE PARTIELLE À L'OBTENTION DE
DU DOCTORAT EN GÉNIE
Ph. D.

MONTRÉAL, LE 10 OCTOBRE 2024

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

©Tous droits réservés

Cette licence signifie qu'il est interdit de reproduire, d'enregistrer ou de diffuser en tout ou en partie, le présent document. Le lecteur qui désire imprimer ou conserver sur un autre media une partie importante de ce document, doit obligatoirement en demander l'autorisation à l'auteur.

PRÉSENTATION DU JURY

CETTE THÈSE A ÉTÉ ÉVALUÉE

PAR UN JURY COMPOSÉ DE :

M. Claude Thibeault, directeur de thèse
Département de génie électrique à l'École de technologie supérieure

M. Yvon Savaria, codirecteur de thèse
Département de génie électrique à Polytechnique

M. Éric Granger, président du jury
Département de génie des systèmes à l'École de technologie supérieure

M. Pascal Giard, membre du jury
Département de génie électrique à l'École de technologie supérieure

Mme. Rachel Bouserhal, membre du jury
Département de génie électrique à l'École de technologie supérieure

M. Daniel Massicotte, examinateur externe
Département de génie électrique à l'Université du Québec à Trois-Rivières

ELLE A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 19 AOUT 2024

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEUR

REMERCIEMENTS

Je tiens à exprimer ma profonde gratitude envers mes directeurs de recherche, Claude Thibeault et Yvon Savaria, pour leur guidance, leur expertise, et leur soutien inestimable tout au long de cette aventure de recherche. Leurs connaissances et leur engagement inébranlable ont été des sources d'inspiration pour moi. Leur capacité à susciter la curiosité intellectuelle et à inciter à l'excellence a été un véritable moteur pour la réussite de cette thèse. Leurs précieux conseils, leur patience et leur disponibilité ont été essentiels pour me guider à travers les défis de la recherche. Je leur suis profondément reconnaissante pour leur contribution à mon développement académique et professionnel, et je ne saurais les remercier suffisamment pour leur confiance en moi.

Je souhaite également remercier mes collègues, Mickael Fiorentino, Andrei Dulipovici, Marc-André Léonard, et bien d'autres collègues du laboratoire LACIME. Leur collaboration et leur expertise partagée ont enrichi ma vie professionnelle.

Je tiens à exprimer ma profonde gratitude envers ma famille, qui a joué un rôle exceptionnel dans ma réussite académique et professionnelle. Tout d'abord, mon père Abdellah, qui a attendu avec fierté ce moment de ma graduation au doctorat, a été un modèle de persévérance et de détermination. Ma mère Fatiha, grâce à ses prières et son amour inconditionnel, a été une source d'inspiration constante. Mon mari Rachid a été mon pilier, avec sa patience, son amour, ses encouragements, son aide précieuse et sa générosité. Enfin, mes enfants, Firdaws, Yassir et Sarah, avec leur amour inconditionnel et leur présence dans ma vie, ont été ma motivation ultime. Leur soutien a été inestimable tout au long de mon parcours.

Prédiction et analyse statistique des performances des circuits asynchrones dans un contexte d'adaptation dynamique de la tension d'alimentation

Maryem BENYOUSSEF

RÉSUMÉ

L'analyse des circuits asynchrones revêt une importance cruciale dans la conception et l'optimisation des systèmes électroniques, permettant de garantir des performances fiables et efficaces. Cette thèse se penche sur deux aspects cruciaux de l'analyse des circuits asynchrones.

Dans le premier volet, la thèse explore les contraintes de délai pour les circuits *SRBDHF* (*Single Rail Bundled Data Handshake Free*) utilisant la technique *DVS* (*Dynamic Voltage Scaling*) afin de gérer la consommation d'énergie. Un modèle novateur est proposé pour définir ces contraintes, couvrant divers aspects tels que la synchronisation, la dégradation du signal de synchronisation et la sensibilité des portes logiques à la variation de tension d'alimentation. Ces contraintes, jusque-là non explicitement formulées, sont cruciales pour garantir la conformité temporelle. Les résultats des simulations mettent en évidence la faisabilité de respecter ces contraintes avec la *DVS*, mais indiquent également que des ajustements peuvent être nécessaires pour optimiser la propagation des signaux et l'efficacité des opérations.

Le second volet de cette thèse introduit un modèle d'analyse statistique de performance spécialement adapté aux pipelines asynchrones. Ce modèle est applicable à deux styles de circuits asynchrones, les *SRBDHF* et les *CE* (*Click Element*), et il permet une évaluation efficace des performances face à des variations de procédé de fabrication, de tension et de température. Il inclut un modèle de variabilité de délai pour évaluer l'impact des variations de procédé de fabrication sur les performances, ainsi qu'un modèle d'analyse statistique de performance intégrant diverses vérifications de contraintes, logiques et temporelles. La prise en compte de la variation de tension d'alimentation dans l'analyse, de la région nominale à la région proche du seuil, ainsi que des variations de température, est essentielle pour vérifier les différentes contraintes statistiques. Les résultats démontrent que ce modèle offre une précision raisonnable, avec une erreur moyenne de seulement 2% par rapport aux analyses détaillées basées sur des simulations Monte Carlo de bas niveau. De plus, cette méthode permet une évaluation rapide des performances des circuits asynchrones, réduisant considérablement le temps nécessaire pour des analyses approfondies.

Ces deux aspects de la thèse apportent une contribution significative à l'analyse des circuits asynchrones, offrant des perspectives prometteuses pour l'avancement de la conception de ces circuits.

Mots clés : circuit asynchrones, adaptation dynamique de la tension d'alimentation, prédition des performances, analyse statistique, contraintes temporelles, contraintes logiques

Prediction and Statistical Analysis of Asynchronous Circuit Performance in the Context of Dynamic Voltage Scaling

Maryem BENYOUSSEF

ABSTRACT

The analysis of asynchronous circuits is of crucial importance in the design and optimization of electronic systems, ensuring reliable and efficient performance. This thesis delves into two crucial aspects of asynchronous circuit analysis.

In the first part, the thesis explores delay constraints for Single-Rail Bundled-Data Handshake-Free (*SRBDHF*) circuits using *Dynamic Voltage Scaling (DVS)* to manage power consumption. An innovative model is proposed to define these constraints, covering various aspects such as synchronization, degradation of the synchronization signal, and the sensitivity of logic gates to changes in supply voltage. These constraints, not explicitly formulated before, are crucial to ensure temporal compliance. Simulation results highlight the feasibility of meeting these constraints with *DVS*, but also suggest that adjustments may be necessary to optimize signal propagation and operation efficiency.

The second part of this thesis introduces a statistical performance analysis model specifically tailored to asynchronous pipelines. This model is applicable to two styles of asynchronous circuits, *SRBDHF* and Click Element (*CE*), and enables effective performance evaluation in the face of variations in manufacturing process, voltage, and temperature. It includes a delay variability model to assess the impact of manufacturing process variations on performance, as well as a statistical performance analysis model incorporating various logical and temporal constraint checks. Accounting for supply voltage variation in the analysis, from the nominal region to the near-threshold region, as well as temperature variations, is essential for verifying different statistical constraints. Results demonstrate that this model offers reasonable accuracy, with an average error of only 2% compared to detailed analyses based on low-level Monte Carlo simulations. Moreover, this method allows for a rapid assessment of asynchronous circuit performance, significantly reducing the time required for in-depth analyses.

These two aspects of the thesis make a significant contribution to asynchronous circuit analysis, providing promising insights for the advancement of the design of these circuits.

Keywords: asynchronous circuits, dynamic voltage scaling, performance prediction, statistical analysis, temporal constraints, logical constraints

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 NOTIONS DE BASE	11
1.1 Introduction.....	11
1.2 Les circuits asynchrones	11
1.2.1 Protocole de communications	12
1.2.2 Type de codage	14
1.2.3 Classification des circuits asynchrones.....	14
1.3 Variabilité de procédés de fabrication	18
1.3.1 Sources de variation de procédés de fabrication.....	19
1.3.2 Types de variation de procédés de fabrication.....	21
1.3.3 Modélisation des variations de procédés de fabrication	23
1.4 Délai de propagation d'une porte logique.....	24
1.5 Techniques de réduction de la consommation énergétique	26
1.5.1 Dynamic Voltage Scaling	26
1.6 Analyse temporelle de circuit	27
1.6.1 Analyse statique	28
1.6.2 Analyse statistique	29
1.6.3 Rendement temporel	30
1.7 Notions statistiques	31
1.7.1 Calcul de la moyenne et écart type d'une variable aléatoire	31
1.7.2 Calcul de la moyenne et écart type de plusieurs variables aléatoires	32
1.7.3 La fonction de répartition cumulative (<i>CDF</i>)	35
CHAPITRE 2 REVUE DE LITTÉRATURE.....	37
2.1 Introduction.....	37
2.2 <i>DVS</i> dans les circuits synchrones et asynchrones	37
2.3 Analyse de performance dans les circuits asynchrones	42
2.4 Approche proposée	44
CHAPITRE 3 MODÈLE DE PRÉDICTION DES CONTRAINTES DE DÉLAIS ASSOCIÉES À LA TECHNIQUE <i>DVS</i> DANS LES CIRCUITS ASYNCHRONES DE TYPE SRBDHF.....	45
3.1 Introduction.....	45
3.2 Type de circuits ciblés	45
3.3 Modèle de prédiction proposé.....	47
3.3.1 Propagation de l'impulsion de synchronisation.....	48
3.3.2 Les marges de prépositionnement et de maintien	51
3.3.3 Sensibilité de la logique utilisée	52
3.3.4 Application du modèle proposé	54
3.4 Résultats et discussion	56

3.5	Conclusion	64
CHAPITRE 4 MÉTHODE D'ANALYSE STATISTIQUE DE PERFORMANCES POUR LES CIRCUITS ASYNCHRONES EN CONSIDÉRANT LA TECHNIQUE <i>DVS</i> 67		
4.1	Introduction.....	67
4.2	Approche d'analyse statistique	67
4.2.1	Modèle de variabilité de délai.....	68
4.2.2	Modèle d'analyse statistique de performance.....	73
4.3	Résultats et discussion	80
4.3.1	Validation du modèle de variabilité de délai proposé.....	82
4.3.2	Impact des variations de tension, de température et de procédés de fabrication	89
4.3.3	Analyse statistique versus analyse statique.....	93
4.3.4	Comparaison avec les travaux de littérature	95
4.4	Conclusion	102
CONCLUSION.....		103
RECOMMANDATIONS		109
ANNEXE I	CODE HSPICE DU CIRCUIT <i>SRBDHF</i>	99
ANNEXE II	CODE HSPICE DU CIRCUIT <i>CE</i>	105
ANNEXE III	ÉROSION / DILATATION.....	111
ANNEXE IV	PERTE DE L'IMPULSION DANS LA LIGNE À DÉLAI	113
ANNEXE V	DÉLAI DE PROPAGATION EN FONCTION DE FANOUT	114
LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES		131

LISTE DES TABLEAUX

	Page
Tableau 3.1 Délais des transitions montantes et descendantes pour différentes valeurs de tension d'alimentation et portes logiques.....	49
Tableau 3.2 Facteurs de croissance des délais des différentes portes logiques lorsque Vdd passe de 1.1V à 0.9V (<i>DGF1</i>) et de 1.1V à 0.7V (<i>DGF2</i>).....	53
Tableau 3.3 Largeur initiale de l'impulsion (PW1, PW2) en nanosecondes et le nombre de portes logiques (Nb1, Nb2) à partir desquelles l'impulsion est perdue à différentes tensions V_{dd} et pour deux longueurs de chaîne d'inverseurs <i>PGB</i>	58
Tableau 3.4 Délais et marge (en nanoseconde) pour différents cas.....	61
Tableau 3.5 Correction et optimisation de la marge de prépositionnement en nanosecondes pour différentes valeurs de tension et types d'ajustement	62
Tableau 3.6 Configurations des éléments de délai pour différentes valeurs de tension, ajustement 2	64
Tableau 4.1 Valeurs statistiques des paramètres L Vthn et Vthp	81
Tableau 4.2 Erreurs relatives de la moyenne et de l'écart type des différents délais en (%) entre <i>MC</i> et le modèle proposé pour le circuit <i>CE</i> en fonction de la variation de tension d'alimentation.....	84
Tableau 4.3 Erreurs relatives de la moyenne et de l'écart type des différents délais en (%) entre <i>MC</i> et le modèle proposé pour le circuit <i>SRBDHF</i> en fonction de la variation de tension d'alimentation	85

Tableau 4.4	Comparaison du ratio μ/σ pour les marges de prépositionnement et de maintien estimé par les mesures <i>Hspice</i> et le modèle proposé pour les circuits <i>CE</i> et <i>SRBDHF</i> en fonction de la tension d'alimentation.....	87
Tableau 4.5	Évolution des performances logiques statistiques pour le circuit <i>SRBDHF</i> sous variation de tension d'alimentation.....	89
Tableau 4.6	Évaluation de la contrainte logique statistique pour le circuit <i>SRBDHF</i> à différentes valeurs de température sous variation de tension, en utilisant des simulations <i>Hspice</i>	90
Tableau 4.7	Comparaison du rapport μ/σ estimé par les mesures <i>Hspice</i> pour les circuits <i>CE</i> et <i>SRBDHF</i> sous variation de température.....	92
Tableau 4.8	Comparaison des marges de prépositionnement pire cas et statistique (s) des circuits <i>CE</i> et <i>SRBDHF</i> en fonction de la variation de tension d'alimentation.....	94
Tableau 4.9	Impact des variations de tension, de température et de procédés de fabrication sur les contraintes statistiques temporelles	96
Tableau 4.10	Impact des variations de tension, de température et de procédés après ajustement de configuration.....	98
Tableau 4.11	Comparaison entre le modèle proposé et les travaux de la littérature	101

LISTE DES FIGURES

	Page
Figure 1.1	Protocole deux phases Tirée de Yahya (2009, p. 6)12
Figure 1.2	Protocole quatre phases Tirée de Yahya (2009, p. 6)13
Figure 1.3	Schéma bloc du pipeline <i>CE</i>16
Figure 1.4	Configuration détaillée d'architecture du pipeline CE17
Figure 1.5	Architecture de base d'une unité d'exécution (<i>EU</i>) des circuits <i>SRBDHF</i>18
Figure 1.6	Rugosité des bords de ligne Tirée de Champac (2018, p 51)20
Figure 1.7	Effet de proximité optique Tirée de Champac (2018, p 52)20
Figure 1.8	Classification des variations de procédé en fonction de leur comportement Tirée de Champac (2018, p 56)21
Figure 1.9	Vitesse de traitement d'une tache lors de l'application de la <i>DVS</i>27
Figure 1.10	Distribution normale de X31
Figure 3.1	Architecture de base d'une unité d'exécution (<i>EU</i>) dans des circuits asynchrones de type <i>SRBDHF</i>46
Figure 3.2	Diagramme de flux du processus de vérification dans un circuit asynchrone <i>SRBDHF</i> utilisant le modèle proposé55

Figure 3.3	Circuit d'essai	57
Figure 4.1	Circuit d'essai de type <i>SRBDHF</i>	82
Figure 4.2	Circuit d'essai de type <i>CE</i>	82

INTRODUCTION

Contexte et motivation

La conception des circuits numériques a connu une évolution constante au fil des années pour répondre aux demandes croissantes en termes de performance, de fiabilité et d'efficacité énergétique. Les circuits asynchrones sont perçus comme une option intéressante lorsqu'il s'agit de concevoir des systèmes électroniques qui consomment peu d'énergie. Plutôt que de suivre une horloge fixe, les circuits asynchrones fonctionnent de manière autonome, ce qui signifie qu'ils peuvent s'adapter dynamiquement aux besoins de traitement et ils peuvent contribuer à réduire la consommation d'énergie. Cette approche est particulièrement pertinente dans de nombreuses applications où l'efficacité énergétique est essentielle, comme dans les appareils mobiles, les capteurs sans fil et d'autres systèmes alimentés par batterie. Les circuits asynchrones offrent donc une solution prometteuse pour répondre à ces exigences de conception à faible consommation d'énergie (Beigne, Vivet, Thonnart, Christmann, & Clermidy, 2016). Les compromis de la conception des circuits asynchrones sont principalement liés à la complexité accrue de conception et de vérification par rapport aux circuits synchrones, l'absence de signal d'horloge global compliquant l'analyse du comportement et la détection des erreurs. Dans cette introduction, nous explorerons cette approche de conception asynchrone et mettrons en évidence les avantages qu'elle offre. Nous discuterons également de l'influence des variations paramétriques de procédés de fabrication, de température et de tension d'alimentation sur la conception des circuits asynchrones.

La conception des circuits numériques synchrones est la norme depuis de nombreuses années. Dans cette approche, un signal d'horloge global est utilisé pour synchroniser toutes les opérations à travers le circuit. Cette méthode présente des avantages évidents en termes de facilité de conception, de vérification et d'implémentation (Kaeslin, 2014), Le signal d'horloge global coordonne toutes les parties du circuit, simplifiant ainsi le flux de données et permettant aux concepteurs de se concentrer sur la logique à chaque front d'horloge, et comme l'état des registres change de manière synchrone, la vérification, la simulation, le débogage et les tests deviennent plus systématiques et efficaces. Ainsi l'architecture synchrone, largement utilisée

dans l'industrie, bénéficie d'outils de conception, de simulation et de vérification très efficaces. Cependant, à mesure que les exigences en matière de performance et de complexité des systèmes numériques ont augmenté, les limites de la conception synchrone ont commencé à se manifester (Khodosevych & Sakib, 2022).

Tout d'abord, les circuits asynchrones présentent un avantage en termes d'efficacité énergétique par rapport aux circuits synchrones. La principale raison en est l'absence d'une horloge globale constamment active. À la base, dans les systèmes synchrones, l'horloge fonctionne en permanence, même lorsque certaines parties du circuit sont inactives, entraînant une consommation d'énergie inutile. En revanche, les conceptions asynchrones activent uniquement les parties du circuit nécessaires, minimisant ainsi la dépense énergétique inutile. Notons cependant qu'il existe des techniques pour moduler le fonctionnement de l'horloge (*power gating* et *frequency scaling*) qui permettent aux circuits synchrones de minimiser la consommation d'énergie. De plus, la nature événementielle de la conception asynchrone génère des circuits en veille à faible consommation d'énergie, en comparaison avec la conception synchrone qui maintienne une consommation d'énergie en veille inefficace. De plus, certaines techniques de conception asynchrone qui utilisent des bascules sensibles aux niveaux permettent de réduire la consommation d'énergie en raison notamment d'une plus faible capacité d'entrée sur l'entrée d'horloge que les bascules sensibles aux fronts de l'horloge utilisés dans les systèmes synchrones. Ces avantages contribuent de manière significative à l'économie d'énergie globale des circuits asynchrones (Beerel, Ozdag, & Ferretti, 2010) .

En outre, contrairement à la conception synchrone, où la fréquence d'horloge est fixée en fonction du pire scénario de délai de propagation, les circuits asynchrones, en utilisant des signaux de commande dépendant des données, ont la flexibilité d'exploiter le délai de propagation moyen. Cela se traduit souvent par un délai moyen plus court par rapport au pire cas synchrone, car il n'est pas nécessaire d'ajuster la fréquence d'horloge en fonction du scénario le plus pessimiste (Beerel et al., 2010).

De plus, l'avantage des circuits asynchrones par rapport aux circuits synchrones en ce qui concerne la modularité réside dans la facilité avec laquelle les différents blocs d'un circuit asynchrone peuvent être interconnectés et validés. Cela est rendu possible grâce à l'utilisation de canaux de communication spécifiques dans la conception asynchrone. Ces canaux sont conçus pour permettre une communication efficace entre les blocs du circuit, en utilisant une discipline de synchronisation adaptée. En comparaison, dans les circuits synchrones, l'interconnexion des blocs peut être plus complexe en raison de la synchronisation stricte imposée par l'horloge globale. Les concepteurs de circuits synchrones doivent veiller à ce que chaque bloc du circuit soit synchronisé avec précision en fonction du signal d'horloge global. Cela peut entraîner des défis supplémentaires, en particulier lorsqu'il s'agit d'assurer une synchronisation précise dans un système complexe. L'utilisation de canaux de communication dans les circuits asynchrones facilite la connectivité entre les blocs, car les signaux sont transmis de manière asynchrone, c'est-à-dire sans dépendance d'une horloge globale. Cela permet aux blocs de communiquer de manière plus flexible, en se basant sur des événements spécifiques plutôt que sur une horloge commune. En conséquence, les interfaces entre les modules asynchrones sont mieux définies et plus cohérentes, ce qui simplifie leur validation. Cette approche modulaire offre une meilleure flexibilité et elle simplifie le processus de développement des circuits complexes.

Enfin, dans un circuit synchrone, comme toutes les opérations sont synchronisées avec une horloge globale, toutes les transitions de signaux à la sortie des bascules se produisent en même temps, générant des impulsions de courant et de tension très pointues à des fréquences spécifiques correspondant à la fréquence de l'horloge. Cette concentration d'énergie autour de la fréquence d'horloge crée des pics de bruit électromagnétique bien définis à ces fréquences. Ces pics de bruit peuvent potentiellement interférer avec d'autres circuits électroniques, en particulier les circuits analogiques, car ils peuvent introduire des signaux indésirables à des fréquences précises. En revanche, dans un circuit asynchrone, les opérations ne sont pas synchronisées par une horloge globale, et les transitions de signaux se produisent en fonction d'événements spécifiques. Par conséquent, le spectre de bruit généré est plus dispersé et moins concentré autour d'une fréquence précise. Cela signifie qu'il y a moins de pics de bruit à des

fréquences spécifiques, ce qui réduit le risque d'interférences avec d'autres circuits. Les niveaux de bruit électromagnétique global sont généralement plus faibles dans les circuits asynchrones.

Cependant, il convient de noter que la conception asynchrone présente également des défis spécifiques. Les tests et le débogage sont compliqués en raison de l'absence d'horloge, rendant le processus de débogage moins intuitif que dans les conceptions synchrones. Malgré la recherche en cours, la commercialisation de ces techniques progresse lentement. En outre, il y a un manque d'outils de CAO (conception assistée par ordinateur) adaptés à la conception asynchrone. La facilité de conception de circuits asynchrones de haute qualité dépendra de la disponibilité d'outils de CAO adaptés, de l'expertise dans ce domaine et de la demande industrielle.

Problématique et objectifs

La conception des circuits asynchrones constitue un domaine de recherche en constante évolution, offrant de nombreuses perspectives prometteuses. Les circuits asynchrones présentent des avantages significatifs par rapport à leurs homologues synchrones, tels que des performances améliorées et une consommation d'énergie réduite. Cependant, la mise en œuvre de techniques avancées, telles que l'adaptation dynamique de tension d'alimentation (*DVS* : *Dynamic Voltage Scaling*), introduit de nouveaux défis dans la conception des circuits asynchrones.

L'implémentation de la *DVS* dans les circuits asynchrones vise à réduire davantage la consommation d'énergie en ajustant dynamiquement la tension d'alimentation du circuit en fonction de sa charge et de ses besoins en performance. Cette technique permet de réduire la consommation d'énergie en exploitant les niveaux de tension appropriés pour chaque partie du circuit. Cependant, dans un environnement asynchrone, caractérisé par l'absence d'horloge globale, l'application de la *DVS* peut s'avérer complexe. Les variations paramétriques

inhérentes aux procédés de fabrication peuvent compromettre les performances et la fiabilité du circuit lorsqu'il est soumis à une tension d'alimentation réduite. Par conséquent, il est essentiel de développer des approches de conception spécifiques pour garantir le bon fonctionnement des circuits asynchrones lors de l'application de la *DVS*.

Dans les circuits synchrones, la robustesse du fonctionnement repose souvent sur des marges de sécurité importantes pour éviter les erreurs, notamment en s'appuyant sur une horloge globale pour coordonner les opérations. Cependant, à faibles tensions, cette méthode montre ses limites, car elle peut ralentir davantage les systèmes, nécessitant des ajustements excessifs pour compenser les variations de tension.

Parallèlement à l'implémentation de la *DVS*, la prise en compte des variations paramétriques de procédés de fabrication est un autre défi majeur dans la conception des circuits asynchrones. Les variations de procédés de fabrication, telles que les variations de tension seuil, les variations de longueur du canal et les variations de la largeur d'oxyde, combinés aux variations de température peuvent entraîner des écarts significatifs par rapport aux valeurs nominales attendues des paramètres de conception. Ces variations peuvent affecter les performances du circuit, entraînant des délais de propagation non uniformes, des violations de synchronisation et des problèmes de fiabilité. Par conséquent, une analyse précise et robuste des performances des circuits asynchrones en présence de variations paramétriques est nécessaire pour garantir un fonctionnement fiable et efficace.

L'analyse statistique des délais de propagation (*SSTA - Statistical Static Timing Analysis*) est une approche puissante pour évaluer et prendre en compte les variations paramétriques de procédés de fabrication dans la conception des circuits asynchrones. Contrairement aux méthodes déterministes traditionnelles, la *SSTA* permet de modéliser les variations paramétriques comme des variables aléatoires, fournissant ainsi des estimations statistiques des performances du circuit. L'application de la *SSTA* permet de prendre en compte les incertitudes liées aux variations paramétriques dans la conception, la vérification et

l'optimisation des circuits asynchrones. Elle offre également une vision plus réaliste des performances du circuit dans des conditions réelles de fonctionnement.

Dans cette étude, nous explorons les défis spécifiques liés à la conception des circuits asynchrones dans le contexte de l'implémentation de la *DVS* et des variations paramétriques de procédés de fabrication et de température. Nous mettons en évidence l'importance d'appliquer l'analyse statistique, telle que la *SSTA*, pour évaluer et garantir les performances des circuits asynchrones dans des conditions réalistes. Nous discutons des avantages de l'application de la *SSTA*, tels que la prise en compte des variations paramétriques et la capacité d'améliorer la conception pour répondre aux contraintes de synchronisation et de performance.

Contributions de la thèse :

Les travaux de thèse ont mené à 2 contributions majeures :

Contribution 1 : Un nouveau modèle de prédiction tenant en compte de nouvelles contraintes à satisfaire pour appliquer la *DVS* sur les circuits asynchrones.

Contribution 2 : Une approche d'analyse statistique des performances des circuits asynchrones tenant compte des variations paramétriques des procédés de fabrication, de la tension d'alimentation et de la température, en se basant sur un modèle de variabilité de délai pour estimer l'impact de ces variations sur les performances des circuits asynchrones.

Organisation de la thèse :

La suite de cette thèse est organisée comme suit. Le chapitre 1 se concentre sur la présentation des notions de base essentielles pour comprendre le sujet abordé. Il explore tout d'abord les circuits asynchrones, en examinant leurs protocoles de communication et leurs classifications.

En deuxième partie de ce chapitre, on met l'accent sur la variabilité de procédé de fabrication et son impact sur les circuits asynchrones. Nous explorons les différentes sources de variations,

et examinons comment ces variations peuvent affecter les performances des circuits. Nous abordons également les techniques de modélisation des paramètres de variabilité de procédé pour une meilleure compréhension et une conception plus robuste des circuits asynchrones.

Nous étudions aussi l'analyse temporelle des circuits asynchrones. Nous examinons l'analyse temporelle statique, qui permet de déterminer les délais de propagation dans les pires cas d'opération, ainsi que l'analyse temporelle statistique, qui prend en compte les variations de délai pour une évaluation plus précise des performances des circuits.

Finalement, la dernière partie du chapitre 1 se concentre sur les techniques de réduction de la consommation de puissance dans les circuits asynchrones. Nous explorons en détail l'adaptation dynamique de la tension d'alimentation (*Dynamic Voltage Scaling*), qui permet d'ajuster la tension d'alimentation en fonction des besoins de performance, contribuant ainsi à une consommation d'énergie réduite.

Le chapitre 2 présente les travaux connexes et les recherches existantes dans le domaine des circuits asynchrones. Nous explorons les contributions précédentes, les résultats obtenus et les tendances actuelles de recherche. Cette analyse nous permet de situer notre recherche dans le contexte global et d'identifier les lacunes et les opportunités pour des avancées futures.

Le troisième chapitre de cette thèse se concentre sur le développement d'un modèle de prédiction des performances du type de circuit asynchrone *SRBDHF* (*Single-Rail Bundled-Data Handshake-Free*). Ce modèle, offre une approche novatrice pour évaluer les performances de ce type spécifique de circuit asynchrone.

Nous présentons en détail le modèle de prédiction proposé pour le circuit *SRBDHF*. Nous explorons les différents aspects du modèle, en commençant par la propagation de l'impulsion à travers les différents éléments du circuit. Nous examinons également les marges de pré-positionnement (*setup*) et de maintien (*hold*), qui sont des paramètres critiques pour assurer le

bon fonctionnement du circuit. De plus, nous analysons la sensibilité de la logique utilisée dans le circuit *SRBDHF* et son impact sur les performances globales.

Nous présentons aussi l'application du modèle de prédiction dans le processus de vérification des circuits *SRBDHF*. Nous décrivons la manière dont le modèle de prédiction est utilisé, nous expliquons comment les résultats du modèle sont utilisés pour guider les choix de conception, les optimisations et les ajustements nécessaires pour atteindre les performances souhaitées.

Les résultats obtenus à partir de l'application du modèle de prédiction dans les circuits *SRBDHF* seront analysés. Nous discutons des performances mesurées par rapport aux performances prédictes par le modèle. Enfin, nous tirons des conclusions sur l'efficacité et la pertinence du modèle de prédiction des performances du circuit *SRBDHF*, ainsi que sur les perspectives de recherche future dans ce domaine.

Le quatrième chapitre de cette thèse se concentre sur l'analyse statistique des performances des circuits asynchrones. Ce chapitre propose une approche statistique pour évaluer les performances de ces circuits. Nous détaillons le flot d'analyse statistique proposé. Nous commençons par présenter le modèle de variabilité, qui tient compte des variations inhérentes aux procédés de fabrication. Ensuite, nous abordons la contrainte statistique de la largeur de l'impulsion, qui joue un rôle crucial dans la synchronisation des signaux dans les circuits asynchrones de type *SRBDHF*. Enfin, nous explorons la contrainte statistique temporelle, qui permet de vérifier les limites de temps imposées par le fonctionnement du circuit.

Nous présentons ensuite les résultats obtenus à partir de l'analyse statistique des performances des circuits asynchrones. Nous discutons des mesures statistiques utilisées pour évaluer les performances, telles que les marges de variation et les probabilités de dépassement des contraintes. Nous analysons les résultats obtenus à partir de différentes simulations et nous en tirons des conclusions pertinentes sur l'efficacité de l'approche statistique proposée.

Le dernier chapitre est dédié à la conclusion et aux perspectives de recherche futures. Dans ce chapitre, nous procédons à une synthèse des résultats obtenus tout au long de cette thèse. Nous mettons en évidence les contributions et les avancées significatives réalisées dans le domaine des circuits asynchrones. Nous récapitulons les modèles, les méthodes et les techniques développés, ainsi que les résultats expérimentaux obtenus. Nous soulignons également les principales conclusions tirées de ces résultats et leur impact potentiel sur le domaine des circuits asynchrones.

Finalement, nous proposons des pistes de recherche prometteuses pour l'avenir. Nous identifions les domaines qui nécessitent davantage d'investigations et d'approfondissements. Cela peut inclure l'exploration de nouvelles modélisations pour prendre en compte des facteurs spécifiques, l'amélioration d'analyse, ainsi que l'élargissement de l'étude à d'autres types de circuits asynchrones.

CHAPITRE 1

NOTIONS DE BASE

1.1 Introduction

Dans cette section de notre thèse, nous nous plongeons au cœur de la revue de littérature, explorant un éventail de sujets cruciaux pour notre recherche sur les circuits asynchrones et la réduction de la consommation énergétique. Nous débutons en examinant les caractéristiques essentielles des circuits asynchrones, ainsi que leur classification. En parallèle, nous étudions les protocoles de communication et les types de codage associés, avant de nous pencher sur la variabilité des procédés de fabrication, comprenant les variations systématiques et non systématiques qui influencent la performance des circuits asynchrones. Ensuite, nous explorons les techniques de réduction de la consommation énergétique, en mettant l'accent sur la technique *DVS (Dynamic Voltage Scaling)*. Notre investigation se poursuit en explorant les méthodes d'analyse temporelle des circuits, notamment l'analyse statique, statistique et le rendement temporel. Enfin, nous concluons cette section en présentant quelques notions de base statistiques essentielles dans le développement de la suite de nos travaux proposés dans cette thèse.

1.2 Les circuits asynchrones

Un circuit asynchrone est un circuit électronique dans lequel les composants ne sont pas strictement synchronisés par une horloge centrale, ce qui signifie que leur fonctionnement peut être déclenché par des signaux ou des événements spécifiques. Contrairement aux circuits synchrones qui se basent sur un signal d'horloge pour coordonner les opérations, les circuits asynchrones réagissent aux changements des signaux locaux en temps réel. Ils sont conçus pour effectuer des opérations au fur et à mesure que les données sont disponibles, sans attendre un signal d'horloge global (Srivastava, 2022).

1.2.1 Protocole de communications

La communication entre deux blocs d'un circuit asynchrone se fait dans la majorité des cas à travers des protocoles de communication pour synchroniser l'émission et la réception des données. Ces protocoles sont de type poignée de main « *handshaking protocol* » (chaque activité de l'émetteur est validée par le récepteur et vice versa). Ce protocole permet aux différentes parties du circuit de s'envoyer des signaux de demande (*Req*) et d'accusé de réception (*Ack*) pour synchroniser leurs actions (Spars & Furber, 2002). Lorsqu'une partie du circuit souhaite communiquer avec une autre partie, elle envoie un signal de demande. Lorsque la partie cible est prête à recevoir les données, elle envoie un signal d'accusé de réception, permettant ainsi le transfert des données. Ce protocole de *Handshake* permet une coordination efficace entre les parties du circuit sans nécessiter une horloge globale.

Ces protocoles sont gérés dans chacun des blocs asynchrones par des contrôleurs. Deux principales classes de protocoles sont utilisées : les protocoles deux phases et les protocoles quatre phases.

Pour les protocoles deux phases, les données s'enchaînent et le signal d'acquittement changent d'état pour autoriser le passage à la donnée suivante (Figure 1.1).

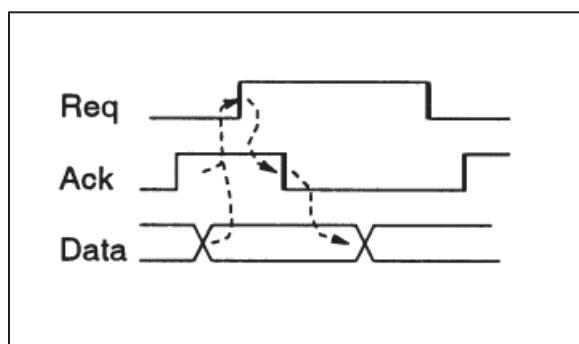


Figure 1.1 Protocole deux phases
Tirée de Yahya (2009, p. 6)

Le fonctionnement d'un protocole en deux phases, illustré à la figure 1.2, se divise en deux étapes distinctes, comme l'indique son nom :

Phase 1 : Dans cette phase, l'émetteur envoie une transition sur le fil de demande (Req) pour signaler qu'elle a de nouvelles données à transmettre. Cette transition indique au récepteur qu'il doit se préparer à recevoir ces données.

Phase 2 : Dans cette phase, une fois que le récepteur a lu les données, il envoie une transition sur le fil d'accusé de réception (Ack) pour confirmer qu'il a reçu les données correctement. Après cette confirmation, la source sait que la transmission a été réussie et peut envoyer d'autres données si nécessaire.

Pour les protocoles quatre phases, l'enchainement de données et l'acquittement sont séparés par un état de repos (Figure 1.2).

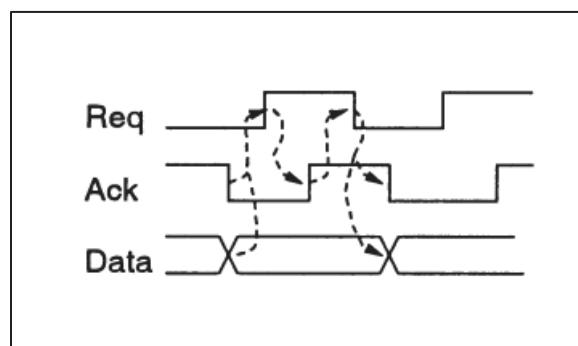


Figure 1.2 Protocole quatre phases
Tirée de Yahya (2009, p. 6)

Lors de la première phase, l'émetteur envoie la demande, activant le récepteur en mettant le signal Req à 1. À la deuxième phase, le récepteur lit les données et envoie l'accusé de réception en mettant le signal Ack à 1. À la troisième phase l'émetteur désactive la demande en mettant Req à 0. Et finalement, à la quatrième phase, le récepteur finalise l'échange et remet le signal Ack à 0.

1.2.2 Type de codage

Les circuits asynchrones utilisent différents types de codage pour représenter et transmettre les données. Deux de ces méthodes sont souvent employées : le codage *Dual-Rail* et le codage *Single-Rail* (Myers, 2001).

- Codage *Dual-Rail* (Double Fil) : Dans ce mode de codage, chaque bit de donnée est représenté par deux fils de signal. Les bits sont encodés en utilisant une combinaison de transitions sur les fils. Par exemple, un "0" pourrait être représenté par une transition sur un fil et l'absence de transition sur l'autre fil. Le "1" serait alors l'inverse : absence de transition sur le premier fil et transition sur le second fil.
- Codage *Single-Rail* (Simple Fil) : Contrairement au codage *Dual-Rail*, le codage *Single-Rail* utilise un seul fil de signal pour représenter chaque bit. Un "0" pourrait être représenté par une transition ou un niveau bas, tandis qu'un "1" pourrait être représenté par l'absence de transition ou un niveau élevé.

1.2.3 Classification des circuits asynchrones

Les circuits asynchrones sont généralement regroupés en fonction de l'hypothèse temporelle. Les circuits asynchrones peuvent être classés comme étant auto-rythmés (*self-timed*), indépendants de la vitesse (*SI* pour *Speed-Independent*) et insensibles aux délais (*DI* pour *Delay-Insensitive*) (Myers, 2001) (Hauck, 1995) (Fiorentino, 2020; Spars & Furber, 2002).

Un circuit *speed-independent* (*SI*) est conçu en tenant compte de l'idée que les délais à l'intérieur des portes logiques sont constants et positifs, et que les fils de connexion n'ont aucun délai. Toutefois, cette supposition se révèle non réaliste dans le contexte des technologies actuelles de semi-conducteurs.

Un circuit *delay-insensitive* (*DI*) assure son fonctionnement de manière correcte même lorsque les délais, bien que positifs et bornés, restent inconnus à la fois sur les fils de connexion et à

l'intérieur des portes logiques. Ces circuits se distinguent par leur grande robustesse, leur capacité à résister aux variations de délai sans compromettre leur bon fonctionnement. Malheureusement, très peu de circuits font partie de cette classe, seuls les circuits composés d'éléments C et d'inverseurs peuvent être insensibles aux délais (pipeline de *Muller*).

Pour pallier à cette limitation, une sous-classe de circuits *DI* a été proposée : les circuits *quasi-delay-insensitive (QDI)*. Cette sous-classe couvre les circuits qui sont *DI*, à l'exception de certaines déviations de fil où les transitions de signal se produisent simultanément à tous les points d'extrémité, qualifiées d'*isochroniques*.

En ce qui concerne les circuits « *self-timed* », les propriétés d'indépendance de la vitesse et d'insensibilité aux délais décrites ci-dessus sont bien définies d'un point de vue mathématique pour les portes logiques et les fils de connexion. Les circuits qui dépendent de considérations de délai plus complexes ou spécifiques à l'ingénierie sont simplement appelés « *self-timed* ». Dans le cadre d'un projet parrainé par la société Octasic, nous avons choisi de nous concentrer spécifiquement sur deux classes de circuits asynchrones qui font partie de la catégorie (*self-timed*) : les Circuits (*CE* : *Click-Element*) et les Circuits (*SRBDHF* : *Single-Rail Bundled-Data Handshake-Free*).

- **Circuit *CE***

Le concept du modèle asynchrone *CE* a été présenté en 2009 au sein d'une approche de conception asynchrone novatrice (A. Peeters, Te Beest, De Wit, & Mallon, 2010) (W. C. M. A. M. G. Peeters, 2009-05-28). Ce modèle utilise le protocole de communication en deux phases, utilisant uniquement des cellules standards. Le modèle *CE* utilise des bascules (*flip flop*) déclenchées par front montant pour le contrôle et les données. La Figure 1.3 montre une implémentation basique du circuit *CE* (Fiorentino, 2020). Il est composé d'un nuage logique combinatoire, de registres source et destination, ainsi que de deux blocs de signaux de protocole de communication appelés "éléments click". Chaque élément click, détaillé à la Figure 1.4, comprend une bascule de contrôle D et un circuit de conversion de phase. Le circuit

de conversion de phase est constitué de deux portes "ET" et une porte "OU". Entre les deux blocs d'éléments click, un élément de délai est intégré pour assurer une synchronisation adéquate entre les étages.

Lorsqu'une nouvelle donnée est prête, une transition du signal "Req0" dans "click_element1" est utilisée pour générer une horloge locale "Fire1". La transition du signal "Ack1" peut être transmise à "Req1" dans "click_element2", devenant ainsi le signal de requête d'entrée de l'étage suivante. Le signal "Fire1" est utilisé pour capturer les données et déclencher "click_element2" afin de générer "Fire2". Ensuite, une transition du signal d'accusé de réception "Ack2" dans "click_element2" indique la fin de cette action. Les transitions montantes et descendantes du signal de requête indiquent la validité des données, tandis que les transitions montantes et descendantes du signal d'acquittement indiquent que les données ont été capturées. Notons que la largeur d'impulsion des signaux Fire1 et Fire2 doit être supérieure à la largeur minimale définie dans la bibliothèque de la technologie utilisée pour garantir un fonctionnement correct (Kuentzer, Herrera, Schrape, Beerel, & Krstic, 2020).

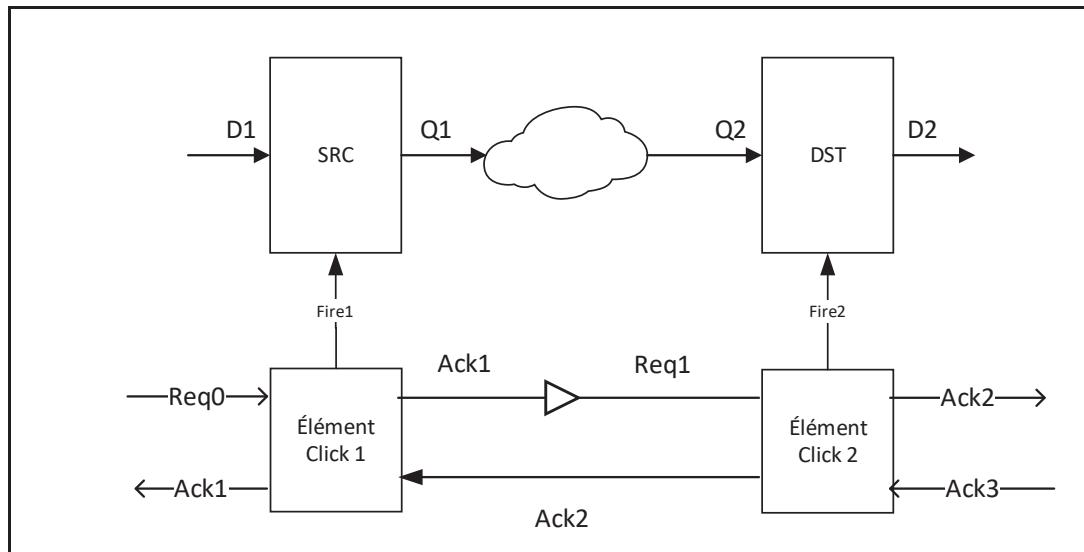


Figure 1.3 Schéma bloc du pipeline *CE*

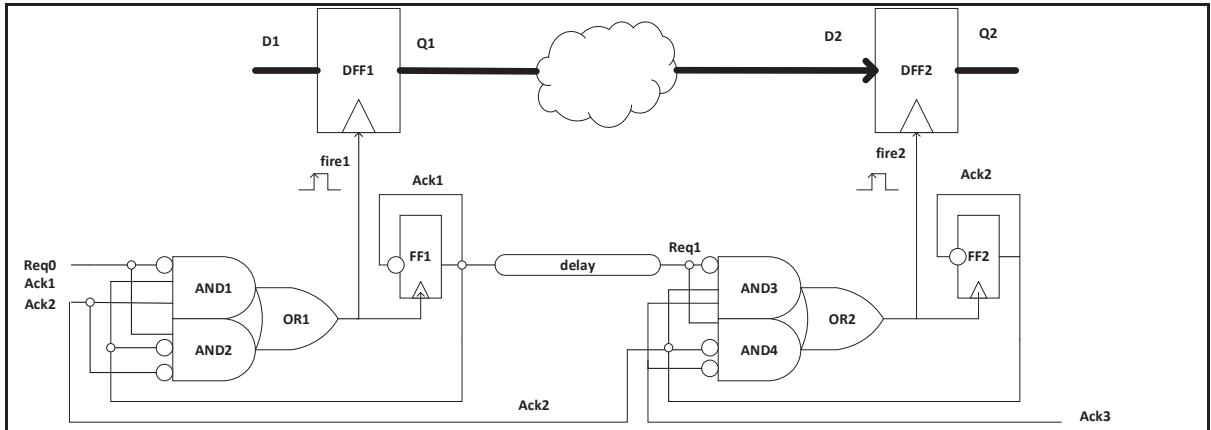


Figure 1.4 Configuration détaillée d'architecture du pipeline CE

- **Circuit SRBDHF**

Le type de circuits ciblé appartient à la classe des circuits asynchrones à données groupées (*Bundled Data*) (Laurence, 2012) (Fiorentino, 2020), avec la particularité de ne pas utiliser de mécanisme de handshake. Ce style de conception particulier repose sur l'utilisation d'un certain nombre d'unités d'exécution (*EU*) qui communiquent dans un anneau séquentiel. Elle est composée d'un nuage de logique combinatoire, d'une ligne à délai variable (bloc configurable ajusté à l'opération effectuée lors d'un cycle donné), ainsi que de registres source (*SRC*) et destination (*DST*). Le registre *SRC* est activé par le front montant de l'impulsion émise par le bloc générateur d'impulsions, lançant les données vers le nuage combinatoire. Les données sortantes du nuage combinatoire sont capturées par le registre *DST*, qui est activé par le front montant d'une version retardée de l'impulsion.

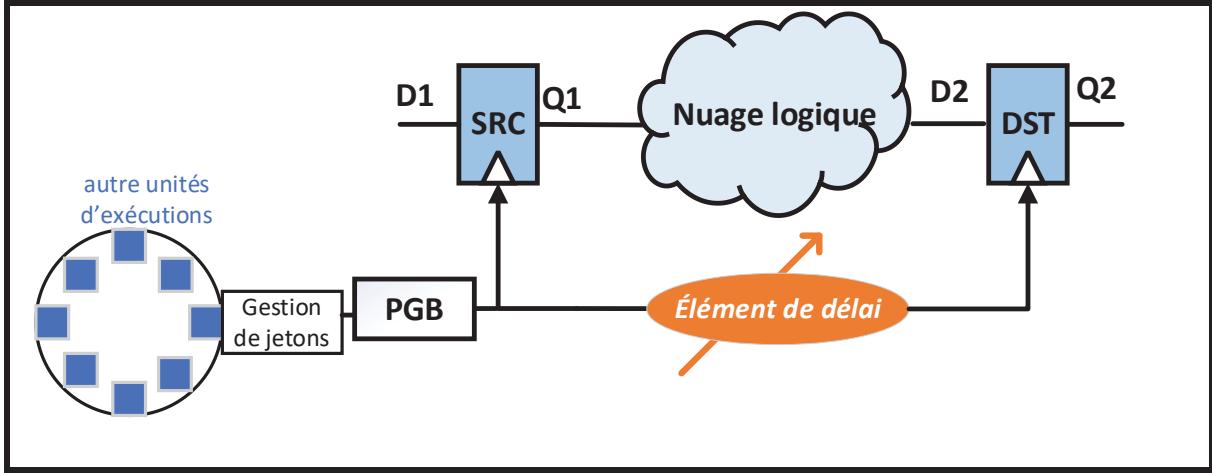


Figure 1.5 : Architecture de base d'une unité d'exécution (*EU*) des circuits *SRBDHF*

1.3 Variabilité de procédés de fabrication

La variabilité de procédé de fabrication se réfère à la fluctuation naturelle des paramètres lors de la fabrication de composants électroniques tels que des puces de silicium. Lorsque des circuits électroniques sont fabriqués en masse, des variations involontaires peuvent survenir dans les propriétés physiques et électriques des composants individuels. Ces variations peuvent être causées par divers facteurs, notamment les fluctuations dans le procédé de fabrication, la qualité des matériaux utilisés et les conditions environnementales (Champac & Gervacio, 2018). Cette variabilité peut avoir un impact significatif sur les performances des circuits électroniques. Les variations de paramètres tels que les dimensions des transistors, les tensions de seuil, les capacités interconnectées et les vitesses de commutation peuvent entraîner des différences dans les performances des composants individuels, même s'ils sont censés être identiques.

Dans le contexte des circuits asynchrones et de la conception de systèmes électroniques, la variabilité de procédé de fabrication peut causer des problèmes tels que des délais inattendus dans les signaux et des défaillances de communication entre les composants (J. Liu, Nowick,

& Seok, 2013). Les concepteurs de circuits doivent prendre en compte cette variabilité pour garantir que les circuits fonctionnent correctement dans une plage de conditions différentes.

1.3.1 Sources de variation de procédés de fabrication

Les caractéristiques physiques et électriques des dispositifs définissent les caractéristiques de performance. La longueur du canal (L), la largeur du canal (W), l'épaisseur de l'oxyde (Tox) et la tension de seuil (Vth) sont les principaux paramètres qui définissent le comportement de performance des dispositifs MOSFET. Par conséquent, les variations des valeurs nominales de ces paramètres dues au procédé de fabrication modifient les avantages de performance attendus (Orshansky, Nassif, & Boning, 2007), (Wirnshofer, 2013), (Dietrich & Haase, 2011). La longueur (L) et la largeur (W) du canal sont des paramètres physiques qui déterminent les dimensions d'un transistor MOSFET et sont connus sous le nom de dimensions critiques (CD). L'isolant qui sépare l'électrode de la grille du substrat a une épaisseur définie (Tox); ce paramètre physique joue un rôle critique dans le comportement du dispositif. La tension de seuil (Vth) est la tension minimale requise à la grille du transistor pour le mettre en marche. Les principales sources de variation de ces paramètres sont exposées ci-dessous.

- **La rugosité des bords de ligne :** (*LER : Line Edge Roughness*) est la variation aléatoire des bords en polysilicium le long de leur largeur. Étant donné que les systèmes de photolithographie utilisent des sources lumineuses avec des longueurs d'onde supérieures à la taille minimale des caractéristiques (dimension critique), le procédé lié à la lithographie entraîne une plus grande variation de la porte en raison du *LER* (C. A. Mack, 2006), (Bai et al., 2004), (C. Mack, 2007). Le *LER* est devenu une source importante de variation de la longueur de canal, et il devrait continuer à augmenter dans les technologies à venir (Asenov, Kaya, & Brown, 2003). La Figure 1.6 illustre le *LER* sur une porte en polysilicium d'un transistor. On peut observer que la longueur de canal effective fluctue le long de la largeur du canal.

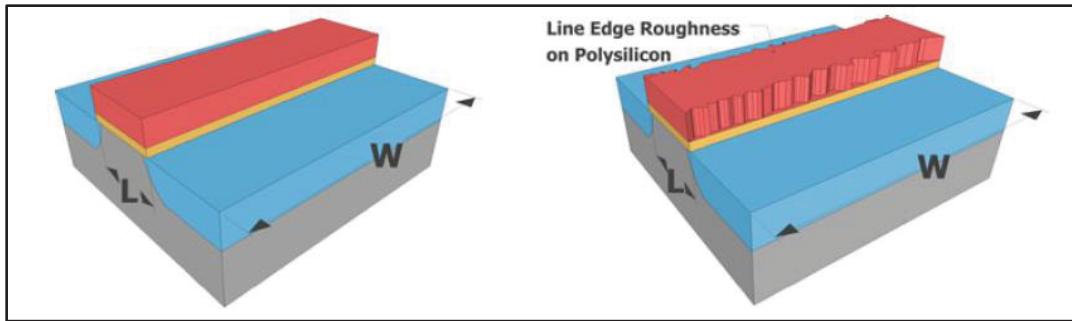


Figure 1.6 Rugosité des bords de ligne
Tirée de Champac (2018, p 51)

- **L'effet de proximité optique :** (*OPE; Optical proximity effect*) est la variation de la taille et de la forme d'une caractéristique en fonction de la proximité d'autres caractéristiques voisines (C. A. Mack, 1993), (C. A. Mack, 1996), (C. Mack, 2007). L'*OPE* se produit pendant le procédé de photolithographie en raison de la diffraction de la lumière par les structures voisines (Figure 1.7). En raison de cela, la taille et la forme d'une ligne isolée seraient différentes de la taille et de la forme d'une ligne dans un réseau.

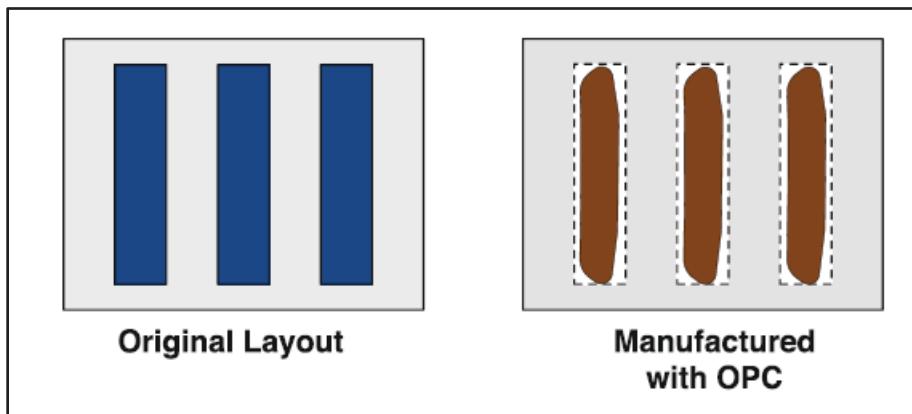


Figure 1.7 Effet de proximité optique
Tirée de Champac (2018, p 52)

- **La fluctuation aléatoire de dopant :** (*RDF : Random dopant fluctuations*) La région de canal du transistor est dopée avec des atomes d'un matériau différent du substrat pour contrôler et déterminer la tension de seuil. Ce procédé est réalisé par implantation. La

manière dont ce procédé se développe fait que la quantité et l'emplacement des atomes implantés dans le canal du transistor sont complètement aléatoires ; d'où le terme Fluctuation Aléatoire de Dopant (*RDF*) (Veendrick, 2017), (Takeuchi, Nishida, & Hiramoto, 2009).

1.3.2 Types de variation de procédés de fabrication

D'un point de vue global, les variations peuvent être générées en raison d'un comportement systématique ou non systématique. Les variations non systématiques peuvent être générées à l'échelle inter-puces et intra-puces. De plus, la variation intra-puce peut être produite en raison d'un comportement purement aléatoire ou corrélé.

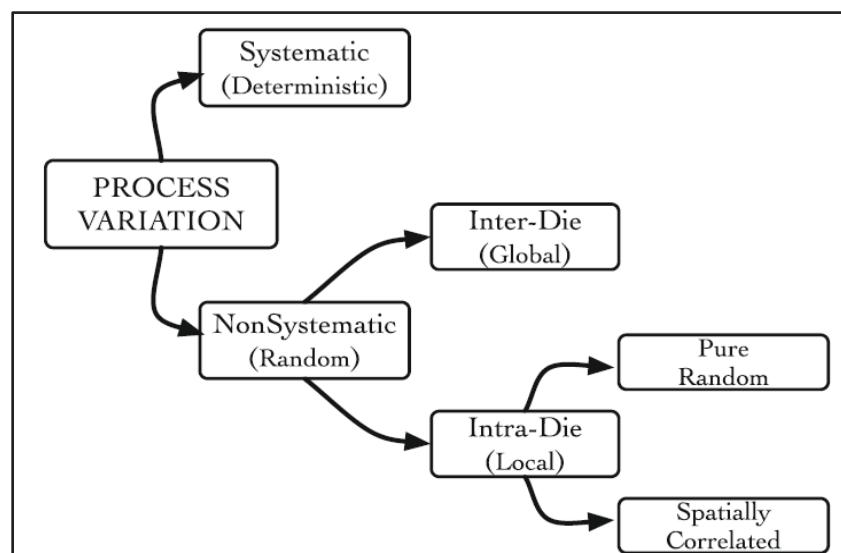


Figure 1.8 Classification des variations de procédé en fonction de leur comportement
Tirée de Champac (2018, p 56)

La Figure 1.8 illustre la classification des variations de procédé en fonction de leur comportement.

Variations systématiques : Les variations systématiques (déterministes) sont celles qui sont produites de manière systématique par les mêmes étapes du procédé de fabrication (Kishore, Patnala, Tigadi, & Jamshed, 2020). Dans le développement des dispositifs et des interconnexions, plusieurs étapes du procédé peuvent causer des variations systématiques ; cependant, la plus importante est celle de la photolithographie. Les effets de proximité optique dans les motifs voisins sont la source principale de ces variations. En raison de la nature des variations systématiques, la quantité de variation introduite est approximativement la même. Pour cette raison, elle peut être prévisible et corrigible à l'aide de techniques d'amélioration de la résolution telles que l'*OPC* (Correction de la Proximité Optique). Il peut rester quelques variations après l'*OPC*.

Variations non systématiques: Les variations non systématiques (aléatoires) sont celles qui sont produites de manière aléatoire à partir d'un grand nombre d'étapes de procédé et d'équipements utilisés dans le flot de fabrication (Kishore et al., 2020). Dans le développement des dispositifs et des interconnexions, de nombreuses étapes peuvent causer des variations aléatoires. En raison de leur nature arbitraire, les variations aléatoires sont modélisées statistiquement et sont les plus importantes d'un point de vue du concepteur. Ce type de variations peut être divisé en fonction de leur comportement en variations inter-dé (globales) et intra-dé (locales). Les deux types de variations sont décrits ci-dessous.

- Variations Inter-Dé : Les variations inter-dé (*D2D :Die-to-Die*) (ou variations globales ou dé-à-dé) affectent tous les dispositifs fabriqués d'une puce de la même manière (Zuchowski, Habitz, Hayes, & Oppold, 2004). La valeur d'un paramètre dans tous les dispositifs d'une puce a la même valeur en raison des variations *D2D*. Les variations inter-die se produisent à différents niveaux du procédé de fabrication. Les variations dé-à-dé peuvent se produire pendant l'exposition d'un masque au suivant car le scanner doit être aligné sur le procédé précédemment réalisé. Les variations de gaufre à gaufre peuvent se produire lors du traitement d'une tranche à une autre en raison de la position inexacte des tranches dans l'équipement. Les variations de lot à lot peuvent se produire lors du traitement d'un lot de tranches à un autre en raison des changements dans le fonctionnement de

l'équipement. Les variations d'usine à usine peuvent se produire en raison des conditions de fabrication uniques de chaque usine.

- Variations Intra-Dé : Les variations intra-dé (*WID* : *Within Die*) (ou variations locales ou à l'intérieur de la puce) affectent chaque dispositif fabriqué dans la même puce de manière différente (Zuchowski et al., 2004). Les variations *WID* font que les tailles de caractéristiques de certains dispositifs dans une puce ont des dimensions plus petites que nominales, tandis que d'autres dispositifs de la même puce ont des dimensions plus grandes que nominales. En raison de cela, les dispositifs conçus avec une taille et une forme égale et fabriqués dans la même puce donnent lieu à des propriétés intrinsèques différentes les unes des autres et par conséquent avec des performances différentes. Aux technologies sub-nanométriques, la variation intra-die représente la plus grande partie de la variation totale.
- Les variations purement aléatoires, sont des variations des dispositifs sans corrélation spatiale ni dépendance entre elles. Elles sont principalement causées par les fluctuations aléatoires des dopants (*RDF*) et les irrégularités des bords de ligne (*LER*)
- La variation corrélée spatialement, ou variation dépendante de la position, signifie que la déviation d'un paramètre dans un dispositif est liée aux déviations des autres dispositifs proches sur la puce. Plus les dispositifs sont proches, plus leur variation est similaire. Les étapes des procédés de fabrication comme la photolithographie et le polissage influencent cette corrélation.

1.3.3 Modélisation des variations de procédés de fabrication

Des modèles statistiques de dispositifs décrivant l'effet des variations de procédé sont nécessaires pour analyser les performances des circuits. Ces modèles permettent de représenter le comportement des paramètres variant avec le procédé et peuvent être utilisés pour comprendre le comportement des circuits avec des outils de CAO. Une manière de quantifier la variation de procédé d'un paramètre consiste à utiliser la somme linéaire des différentes

composantes de variation. Par exemple, soit X une variable aléatoire normale représentant un paramètre de procédé. Le modèle tenant compte des variations inter-dé et intra-dé peut être écrit comme suit (Agarwal, Blaauw, & Zolotov, 2003; Agrawal, 2003):

$$X = X_0 + X_{D2D} + X_{WID} \quad (1.1)$$

Où X_0 représente la valeur nominale du paramètre. X_{D2D} et X_{WID} sont des variables normales représentant les variations inter-dé et intra-dé, respectivement.

1.4 Délai de propagation d'une porte logique

L'estimation du délai de propagation dans les portes *CMOS* (*Complementary Metal-Oxide-Semiconductor*) est un aspect crucial de la conception de circuits numériques. Le délai d'une porte *CMOS* dépend principalement de facteurs tels que la capacité d'entrée, l'effort logique, la capacité parasite et la technologie utilisée dans le processus de fabrication. Voici quelques considérations clés pour estimer le délai dans les portes *CMOS*:

- **Effort logique :** L'effort logique est une mesure utilisée pour estimer le délai relatif d'une porte. Il est calculé comme le rapport de la capacité d'entrée à la capacité équivalente d'un inverseur qui alimente la même charge. Cette mesure aide à comparer le délai relatif de différentes configurations de portes.
- **Capacité d'entrée :** La capacité d'entrée d'une porte *CMOS* est déterminée par le nombre et la taille des transistors et des interconnexions. Une capacité d'entrée plus importante entraîne un délai plus long.
- **Capacité parasite :** Outre la capacité intrinsèque, la capacité parasite des interconnexions et du routage peut s'ajouter à la capacité d'entrée de la porte, augmentant ainsi le délai.

- **Nœud technologique** : Le délai des portes *CMOS* est affecté par le nœud technologique de fabrication des semi-conducteurs. Les nœuds avancés offrent généralement des vitesses de porte plus élevées en raison de la réduction de la taille des composants.
- **Charge de porte** : La charge capacitive que la porte *CMOS* pilote joue également un rôle crucial dans l'estimation du délai. Des charges plus importantes entraînent des délais plus longs.
- **Dimensionnement des transistors** : Les tailles des transistors NMOS et PMOS dans une porte *CMOS* affectent ses performances. Un dimensionnement approprié des transistors peut minimiser le délai.

Par exemple dans (Cao & Clark, 2005), le délai de propagation d'une porte logique est donné par :

$$T_d = \frac{K V_{dd} \left\{ 1 + \ln \left[\left(\frac{V_{dd} - V_{th}}{E_{sat} L} \right) \right] \right\}}{\left\{ \ln \left[1 + \exp \left(\frac{V_{dd} - V_{th}}{2S} \right) \right] \right\}} \quad (1.2)$$

Avec :

V_{dd} : tension d'alimentation de la porte logique.

V_{th} : tension de seuil.

S : paramètre de la technologie (sub-threshold swing).

L : longueur de canal.

E_{sat} : vitesse de saturation des porteurs de charge.

K : coefficient de proportionnalité qui peut être extrait des données de simulation sous différentes conditions de V_{DD} , L , et capacité de charge.

Pour estimer le délai d'une porte *CMOS* spécifique, vous pouvez utiliser des modèles de délai fournis par les fonderies de semi-conducteurs ou des outils *EDA* (*Electronic Design Automation*) tels que *Cadence* ou *Synopsys*. Ces outils utilisent divers algorithmes et données pour fournir des estimations précises du délai en fonction des paramètres de la porte et des informations technologiques.

1.5 Techniques de réduction de la consommation énergétique

Dans le domaine de la conception électronique moderne, l'efficacité énergétique est devenue une préoccupation primordiale. Les circuits électroniques, qu'ils soient synchrones ou asynchrones, sont confrontés à la nécessité croissante de réduire leur consommation de puissance pour répondre aux exigences du marché (Engels, 2022). Dans ce contexte, les techniques de réduction de la consommation de puissance dans les circuits asynchrones ont gagné en importance, offrant des solutions pour relever ce défi majeur (Tan, Li, & Wang, 2014).

1.5.1 Dynamic Voltage Scaling

L'une des approches potentielles pour réduire la consommation d'énergie dans les circuits asynchrones est la technique d'ajustement dynamique de la tension d'alimentation également connue sous le nom de *Dynamic Voltage Scaling (DVS)*, (K.-H. Chen, 2016). La *DVS* repose sur le principe de varier la tension d'alimentation appliquée aux circuits en fonction des besoins de performances à un moment donné. Cette technique permet d'adapter la tension d'alimentation aux exigences de traitement, réduisant ainsi la puissance dissipée et améliorant l'efficacité énergétique.

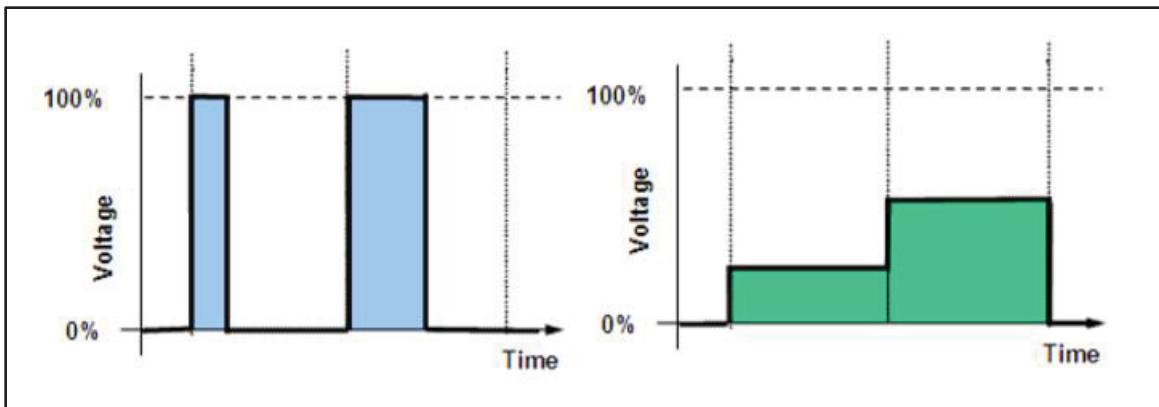


Figure 1.9 Vitesse de traitement d'une tache lors de l'application de la *DVS*

Lorsque des performances élevées sont nécessaires, la tension d'alimentation est augmentée, ce qui permet d'atteindre des vitesses de fonctionnement plus élevées. En revanche, lorsque des performances plus modestes sont suffisantes, la tension d'alimentation est réduite, permettant de diminuer la consommation d'énergie tout en maintenant un fonctionnement stable.

Par exemple, dans la Figure 1.10, lorsque la tension d'alimentation est réduite à 50 % ou 70 % de sa valeur initiale, le gain en termes de consommation de puissance est significatif. Cependant, cette réduction de tension s'accompagne d'une augmentation considérable du temps nécessaire pour effectuer le traitement, comparé à une situation où la tension est maintenue à sa valeur nominale, ceci est acceptable si la charge de travail est inférieure à la capacité de traitement du processeur, ce qui se traduit par des temps morts.

1.6 Analyse temporelle de circuit

L'analyse temporelle des circuits est une méthode cruciale dans la conception et la vérification des circuits électroniques. Elle vise à évaluer comment les signaux se propagent à travers le circuit en termes de délais et de synchronisation. Cette analyse permet de s'assurer que les signaux arrivent aux bons moments, évitant ainsi les problèmes de synchronisation qui pourraient conduire à des erreurs de fonctionnement (Sapatnekar, 2004). L'analyse temporelle consiste à calculer les délais de propagation des signaux le long des différents chemins du

circuit. Ces délais dépendent des caractéristiques des composants tels que les transistors et les interconnexions, ainsi que des conditions environnementales comme la tension d'alimentation et la température. L'objectif est de garantir que les signaux respectent les contraintes de synchronisation nécessaires pour que le circuit fonctionne correctement. Deux principales approches d'analyse temporelle sont utilisées : l'analyse statique et l'analyse statistique.

1.6.1 Analyse statique

L'analyse temporelle statique des circuits repose sur la modélisation des délais de propagation des signaux à travers les différents composants d'un circuit électronique. Cette modélisation permet de prédire le temps nécessaire pour qu'un signal atteigne un point spécifique du circuit à partir d'un autre point (Bhasker & Chadha, 2009). Voici les principaux éléments sur lesquels repose cette analyse :

- **Modèles de délai :** Les modèles de délai décrivent comment les signaux se propagent à travers les portes logiques, les interconnexions et les autres composants du circuit. Ces modèles sont basés sur des caractéristiques physiques des composants, telles que les capacités de charge, les transistors et les résistances.
- **Chemin critique :** L'analyse temporelle statique identifie les chemins critiques dans le circuit, c'est-à-dire les chemins où les signaux prennent le plus de temps pour se propager. Ces chemins ont un impact majeur sur les performances globales du circuit et sont ceux qui limitent la vitesse de fonctionnement.
- **Contraintes temporelles :** Les concepteurs définissent des contraintes temporelles pour garantir que les signaux atteignent leurs destinations dans les délais spécifiés. Ces contraintes incluent les délais maximaux et minimaux pour les signaux d'entrée, de sortie et internes.

- **Calcul des délais :** À l'aide des modèles de délai et des chemins critiques, l'analyse temporelle statique calcule les temps de propagation des signaux le long de ces chemins. Ces calculs tiennent compte des caractéristiques des composants, des interconnexions et des conditions de fonctionnement.
- **Vérification des contraintes :** Une fois les délais calculés, l'analyse compare ces délais aux contraintes temporelles. Si un délai ne respecte pas les limites spécifiées, cela indique une violation de contrainte.
- **Optimisation :** Si des violations de contraintes sont détectées, les concepteurs peuvent corriger le circuit en apportant des ajustements tels que le redimensionnement des composants, ou l'ajout de tampons pour améliorer les performances temporelles.

1.6.2 Analyse statistique

Les variations inévitables des procédés de fabrication actuels ont entraîné d'importantes fluctuations de performances dans la conception des circuits à l'échelle nanométrique. À mesure que les technologies se miniaturisent, les écarts dans les dimensions des transistors et autres paramètres augmentent, affectant significativement les performances des circuits (Nassif, 2001). L'analyse statistique, également connue sous le nom de *SSTA* (Statistical Static Timing Analysis), permet non seulement d'évaluer les délais moyens, mais aussi de modéliser leur distribution statistique, ce qui améliore la précision et réduit les marges de sécurité excessives. Plusieurs recherches ont exploré cette approche ((H. Chang & Sapatnekar, 2003), (Devgan & Kashyap, 2003), (Agarwal et al., 2003), (Viswesvariah, Ravindran, Kalafala, Walker, & Narayan, 2004), (Zhan et al., 2005), (Feng, Li, & Zhan, 2007)).

La *SSTA* consiste en une modélisation statistique de la variabilité du délai et de ses effets sur les performances du circuit. Voici comment cela fonctionne :

- **Modélisation de la variabilité** : Les modèles de variabilité sont créés pour décrire les variations possibles dans les caractéristiques des composants. Ces modèles prennent en compte des facteurs tels que la dispersion des dimensions des transistors et les fluctuations des propriétés électriques.
- **Calcul des délais statistiques** : Plutôt que de considérer un seul délai fixe, la *SSTA* effectue des calculs sur une distribution de délais possibles en tenant compte de la variabilité. Cette distribution de délais est obtenue en utilisant les modèles de variabilité et les propriétés statistiques des composants.
- **Propagation des délais** : Les délais statistiques sont propagés à travers les différents composants et chemins du circuit. Cela permet de calculer la distribution statistique des temps de propagation pour les signaux à travers le circuit.
- **Évaluation des performances** : En utilisant la distribution statistique des temps de propagation, la *SSTA* peut évaluer les performances du circuit. Cela permet d'obtenir une compréhension plus réaliste des performances attendues compte tenu de la variabilité (Bhasker & Chadha, 2009).

1.6.3 Rendement temporel

Le rendement temporel, également connu sous le nom de "*timing yield*", est une mesure de performance essentielle pour les circuits numériques (Najm & Menezes, 2004). Il évalue la proportion de puces qui satisfont une exigence de synchronisation spécifique. En d'autres termes, c'est la probabilité qu'une puce fonctionne correctement à une fréquence donnée, malgré les variations de procédé, de tension, de température et d'autres facteurs influents.

Le calcul du rendement temporel implique une analyse temporelle pour déterminer le chemin critique du circuit, c'est-à-dire le trajet qui présente le plus grand délai entre une entrée et une sortie. Cette analyse prend en compte les délais à travers les composants et les interconnexions

du circuit. Ensuite, des méthodes statistiques sont utilisées pour évaluer la distribution des délais et estimer la probabilité que le circuit respecte les contraintes de synchronisation.

Le rendement temporel est un indicateur important pour les concepteurs de circuits, car il reflète la capacité du circuit à fonctionner de manière fiable dans des conditions variables. Il guide également les choix de conception et les compromis entre performances et rendement.

1.7 Notions statistiques

1.7.1 Calcul de la moyenne et écart type d'une variable aléatoire

Une variable aléatoire X qui est approximée par une distribution normale (Figure 1.10) est donnée par :

$$X \sim N(\mu_X, \sigma_X^2) \quad (1.3)$$

Où μ_X et σ_X^2 sont la valeur moyenne et la variance de X , respectivement (N représente la loi normale).

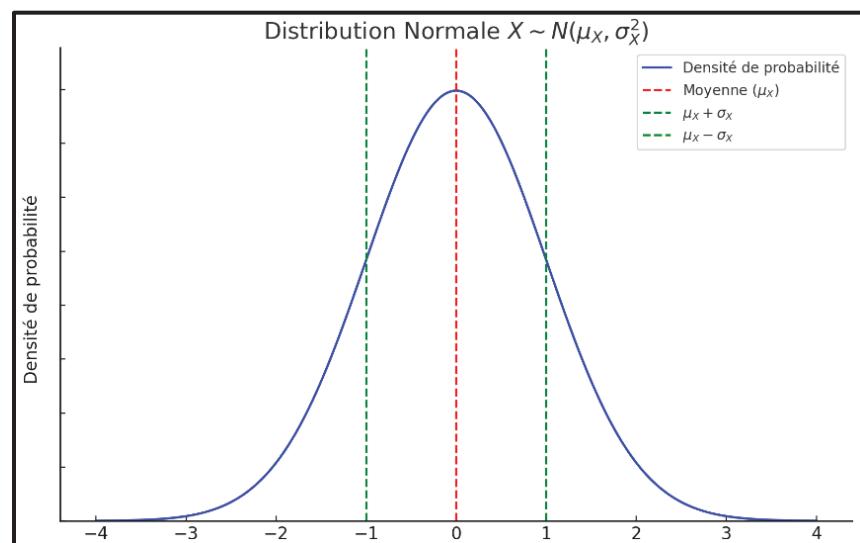


Figure 1.10 Distribution normale de X

Pour obtenir la moyenne et l'écart type de X, on utilise un développement de la série de Taylor du premier ordre (Champac & Gervacio, 2018). Cette approximation résulte en une fonction X avec une dépendance linéaire aux paramètres auxquelles elle dépend. La moyenne (μ_X) et la variance (σ_X^2) sont estimées en termes de la moyenne et de la variance de chaque paramètre.

1.7.2 Calcul de la moyenne et écart type de plusieurs variables aléatoires

Soient X_1, X_2, \dots, X_n des variables aléatoires représentant une distribution normale, chacune étant notée :

$$X_1 \sim N(\mu_{X_1}, \sigma_{X_1}^2) \quad (1.4)$$

$$X_2 \sim N(\mu_{X_2}, \sigma_{X_2}^2) \quad (1.5)$$

$$X_n \sim N(\mu_{X_n}, \sigma_{X_n}^2) \quad (1.6)$$

Considérons :

$$T = X_1 + X_2 + \dots + X_n \quad (1.7)$$

Le calcul de la moyenne et de la variance de la somme résultante, représentée par la variable T, est décrit ci-dessous.

La moyenne de T pour n variables aléatoires est obtenue en additionnant la moyenne de chaque variable aléatoire comme suit (Ross, 2014), (Soong, 2004) :

$$\mu_T = \mu_{X_1} + \mu_{X_2} + \dots + \mu_{X_n} \quad (1.8)$$

Si

$$X1 = f(X1_{p1}, X1_{p2}) \quad (1.9)$$

En appliquant le premier moment à X1, une expression du premier ordre de la valeur moyenne (μ_{X1}) est obtenue en évaluant X1 aux valeurs nominales des paramètres $X1_{p1}$ et $X1_{p2}$ auxquelles elle dépend.

Où $X1_{p1}$ $X1_{p2}$, sont les variables aléatoires liées aux variations des paramètres p1 et p2 de X1. Alors μ_{X1} est donné par l'approximation de (1.9) au valeurs nominales (nom):

$$\mu_{X1} = [f(\mu_{X1_{p1}}, \mu_{X1_{p2}})]_{nom} \quad (1.10)$$

Le calcul de la variance dépend du fait que les variables aléatoires X1, X2, ..., Xn soient indépendantes ou dépendantes les unes des autres (Montgomery & Runger, 2010), (Weatherburn, 1949), (Ross, 2014), (Soong, 2004).

Pour des variables aléatoires normales indépendantes, la variance de T pour n variables aléatoires est obtenue en additionnant la variance de chaque variable aléatoire comme:

$$\sigma_T^2 = \sigma_{X1}^2 + \sigma_{X2}^2 + \dots + \sigma_{Xn}^2 \quad (1.11)$$

Pour des variables aléatoires normales dépendantes, la variance de T pour n variables aléatoires est donnée par:

$$\sigma_T^2 = \sigma_{X1}^2 + \sigma_{X2}^2 + \dots + \sigma_{Xn}^2 + 2 * \sum_{i=1}^{n-1} \sum_{j=i+1}^n cov(X_i, X_j) \quad (1.12)$$

(1.13)

Où $cov(X_i, X_j)$ est la covariance entre chaque paire de variables.

La variance de X_i est calculée en termes de la somme de tous les produits des sensibilités au carré par la variance de chaque paramètre. La contribution d'un paramètre à la variance de X_i est déterminée par l'impact relatif de la sensibilité de cette fonction à un paramètre et de l'écart type du paramètre.

La variance de la fonction X_1 par exemple pour les variations des paramètres X_{1,p_1} et X_{1,p_2} est obtenue alors comme suit :

$$\sigma_{X_1} = \sqrt{S_{X_1, X_{1,p_1}}^2 \sigma_{X_{1,p_1}}^2 + S_{X_1, X_{1,p_2}}^2 \sigma_{X_{1,p_2}}^2} \quad (1.14)$$

Avec

$S_{X_1, X_{1,p_1}}^2$: sensibilité de X_1 aux variations du paramètre X_{1,p_1}

$S_{X_1, X_{1,p_2}}^2$: sensibilité de X_1 aux variations du paramètre X_{1,p_2}

Tout en considérant que X_{1,p_1} et X_{1,p_2} suivent des lois normale données comme suit :

$$X_{1,p_1} \sim N(\mu_{X_{1,p_1}}, \sigma_{X_{1,p_1}}^2) \quad (1.15)$$

$$X_{1,p_2} \sim N(\mu_{X_{1,p_2}}, \sigma_{X_{1,p_2}}^2) \quad (1.16)$$

Les sensibilités nécessaires pour estimer la variance de X_1 peuvent être obtenues analytiquement à partir de l'équation, comme suit (Montgomery & Runger, 2010), (Weatherburn, 1949), (Ross, 2014), (Soong, 2004):

$$S_{X_1, X_1 p_1}^2 = \left(\frac{\partial X_1}{\partial X_1 p_1} \right)^2 \quad (1.17)$$

$$S_{X_1, X_1 p_2}^2 = \left(\frac{\partial X_1}{\partial X_1 p_2} \right)^2 \quad (1.18)$$

1.7.3 La fonction de répartition cumulative (*CDF*)

La fonction de répartition cumulative (*CDF* : *cumulative distribution function*) d'une variable aléatoire normale, également connue sous le nom de loi normale ou loi gaussienne, est une fonction qui donne la probabilité que la variable aléatoire prenne une valeur inférieure ou égale à une valeur donnée. La CDF d'une variable aléatoire normale est définie par :

$$F(x) = \frac{1}{2} (1 + \operatorname{erf}\left(\frac{x - \mu}{\sigma\sqrt{2}}\right)) \quad (1.19)$$

Dans cette équation, $F(x)$ représente la probabilité que la variable aléatoire prenne une valeur inférieure ou égale à x , tandis que μ et σ correspondent respectivement à la moyenne et à l'écart-type de la distribution normale. La fonction erf est la fonction d'erreur, qui intervient dans le calcul de la CDF pour une distribution normale.

CHAPITRE 2

REVUE DE LITTÉRATURE

2.1 Introduction

Ce chapitre s'ouvre sur une introduction, offrant un aperçu préliminaire des thèmes qui seront explorés dans les sections suivantes. En approfondissant le sujet, la section 2.2 se penche sur l'intégration des techniques de *DVS* dans les circuits, qu'ils soient synchrones ou asynchrones, soulignant ainsi l'importance et les limitations de cette approche dans la gestion efficace de la consommation d'énergie. Par la suite, la section 2.3 se consacre à une analyse des performances dans les circuits asynchrones, mettant en lumière les défis et les opportunités inhérents à cette architecture particulière. Enfin, la section 2.4 présente l'approche novatrice envisagée dans cette étude, jetant les bases d'une compréhension des contributions spécifiques de cette recherche. Ce chapitre, par sa structure, vise à établir un contexte pour la compréhension des travaux antérieurs, tout en préparant le terrain pour les développements originaux à suivre.

2.2 *DVS* dans les circuits synchrones et asynchrones

Les variations de procédés de fabrication-tension-température (*PVT*) sont généralement considérées comme l'un des aspects les plus difficiles de la conception de circuits, car ces conditions dictent souvent si un circuit donné fonctionne correctement ou non. Les variations *PVT* deviennent encore plus variables lorsque la tension de fonctionnement est réduite.

Dans la conception synchrone, les variations *PVT* peuvent introduire des écarts de synchronisation et des incertitudes temporelles, rendant difficile la garantie d'un fonctionnement sans erreur. De plus, le rendement et la fiabilité des circuits synchrones en fonctionnement à tension réduite peuvent également être faibles.

Pour accommoder les variations *PVT* à des tensions réduites, plusieurs stratégies ont été adoptées :

- Les approches employées avec des environnements de fonctionnement stricts: par exemple, des procédés de fabrication coûteux et hautement contrôlés et des conditions électriques précises (Lin, 2014).
- L'augmentation de la taille des transistors dans une conception de circuit: cela est fait pour améliorer les performances et la fiabilité du circuit, en particulier en cas de fonctionnement à basse tension. L agrandissement des transistors peut également entraîner des problèmes de densité, de sorte que les concepteurs doivent soigneusement considérer les compromis entre la robustesse et la superficie de la cellule. De plus, une simulation approfondie est nécessaire pour déterminer la taille optimale des transistors pour la tension de fonctionnement prévue (Zhai, Hanson, Blaauw, & Sylvester, 2008).
- Les approches de contrôle de courant: en polarisant correctement les circuits logiques *CMOS*, il est possible d'atteindre une très faible consommation d'énergie (Tajalli, Alioto, & Leblebici, 2009). Par exemple dans (Tajalli et al., 2009) , dans les circuits de logique source-couplée (*SCL*), le courant de polarisation contribue à améliorer les performances en termes de puissance et de délai. L'utilisation d'un étage tampon suiveur de source à la sortie de chaque étage *SCL* permet de réduire le délai. En choisissant correctement le rapport du courant de polarisation de la queue par rapport au courant de polarisation principal, il est possible d'obtenir une réduction significative du délai associé à la réduction de tension.
- La duplication des circuits: le circuit original est reproduit dans plusieurs blocs de duplication. Chaque bloc de duplication produit sa propre sortie en fonction de la même entrée. Ces sorties sont ensuite alimentées dans le circuit de vote, qui compare les valeurs et sélectionne la valeur majoritaire comme sortie finale (S.-C. Chang, Hsieh, & Wu, 2004).

- Les conceptions prudentes avec des marges de sécurité étendues en termes de délai : cette stratégie implique la création de circuits intégrant des marges de sécurité substantielles afin de couvrir les variations *PVT* les plus critiques.

Par conséquent, la conception de systèmes garantissant une robustesse de fonctionnement à basse tension peut s'avérer difficile. De plus, ces systèmes risquent de devenir plus lents que nécessaire. L'adoption de la *DVS* dans les systèmes asynchrones semble plus prometteuse que dans les systèmes synchrones, comme mentionné dans (K.-L. Chang, Chang, Gwee, & Chong, 2013), en raison de leur capacité à s'adapter dynamiquement aux variations de charge et aux conditions environnementales. Dans (K.-L. Chang et al., 2013), le microcontrôleur asynchrone présente des avantages dans les scénarios où les variations de procédés, de tension et de température sont plus prononcées. Cela rend les systèmes synchrones moins efficaces que les systèmes asynchrones, en raison de leurs marges de sécurité plus larges.

L'approche asynchrone *DI*, bien que théoriquement robuste, présente des limitations pratiques en raison des choix restreints de sa mise en œuvre, limitant les types de circuits possibles. Cette restriction à des inverseurs et des circuits C-Muller peut rendre cette approche impraticable dans de nombreux systèmes (Myers, 2001) (Hauck, 1995) (Fiorentino, 2020; Spars & Furber, 2002).

De même, l'approche asynchrone *SI* présente des contraintes importantes en ne pouvant fonctionner correctement qu'avec des délais de fil négligeables, la rendant peu pratique et insuffisamment robuste dans le régime de tension réduite (Myers, 2001) (Hauck, 1995) (Fiorentino, 2020; Spars & Furber, 2002).

L'approche asynchrone *QDI*, en revanche, a été largement étudiée dans la littérature en relation avec la *DVS*. Plusieurs travaux ont exploré son utilisation dans des applications spécifiques, Dans (Lin, 2014), l'auteur présente un système de réseau de capteurs sans fil qui se base sur l'approche asynchrone *QDI*, intégrant un nouveau moyen d'ajustement automatique de la tension d'alimentation. Dans (Guazzelli, 2017), l'auteur propose deux nouveaux modèles *QDI*,

appelés *VELO* et *VELO+*, fonctionnant à des tensions d'alimentation réduites, tout en précisant leur structure de pipeline, les détails de mise en œuvre de la logique combinatoire et séquentielle, ainsi que leur organisation de détection de complétion. Dans (Gopalakrishnan, 2011), l'auteur applique la *DVS* en conjonction avec le dimensionnement des portes logiques pour réduire davantage la consommation de puissance dans les architectures de type *NCL* (*Null Convention Logic*) de type *QDI*. Enfin, dans (de Paiva Leite, Bastos, Jadue, & Fesquet, 2016), les auteurs comparent les performances de circuits asynchrones et synchrones en technologie *FD-SOI* 28 nm, en se concentrant sur une unité arithmétique et logique de 8 bits (*ALU*). Les résultats montrent que la technologie *FD-SOI* permet la réduction de la tension de fonctionnement, offrant des avantages en termes d'efficacité énergétique et de robustesse aux variations de procédés, de tension et de température, en particulier pour les circuits asynchrones de la classe *QDI*. Cependant, il est important de noter que malgré les avantages de la conception *QDI*, son adoption peut être entravée par des surcoûts en termes de surface (2 fois plus grand que leur homologue synchrone (K.-L. Chang et al., 2013)) et de consommation d'énergie. Ces inconvénients peuvent compromettre la viabilité de cette approche dans certaines applications.

En ce qui concerne l'approche asynchrone de données groupées (*Bundled-Data*), plusieurs travaux ont été mené pour adopter la *DVS* dans de tel circuits.

Dans (de Paiva Leite et al., 2016; Diamant, Ginosar, & Sotiriou, 2015), les styles de conception synchrones et de données groupées ont été comparés, et le style de données groupées est suggéré comme étant plus adapté aux processeurs (*ULP Ultra Low Power*) en raison de sa capacité à gérer les variations de délai grâce à l'ajustement de la ligne de délai post-silicium (ajout des éléments de délai ajustables, tels que des buffers ou des lignes à délai pour corriger les écarts par rapport aux spécification), évitant ainsi les marges de synchronisation excessives imposées par une conception synchrone fonctionnant à des tensions ultra-basses. Le style de conception *QDI* a été argumenté comme inadapté pour les circuits *ULP* dans ce travail.

Dans (Heck et al., 2015) les auteurs ont proposé une nouvelle approche reposant sur le dimensionnement des transistors et la duplication de circuits. Cela permet aux lignes à délais des circuits asynchrones de s'adapter aux variations du chemin de données. Ces ajustements suivent les évolutions de la tension. L'objectif est de réduire les marges nécessaires dans les conceptions. Cependant, cette méthode nécessite l'utilisation de cellules personnalisées.

Dans (Tadros et al., 2016) les auteurs ont appliqué la *DVS* aux circuits asynchrones *BD*. Ils ont fait des hypothèses discutables sur le ralentissement des lignes à délai par rapport à la logique combinatoire. Ils ont supposé qu'à basse tension, la ligne à délai serait toujours plus lente que le pire cas de la logique combinatoire. Ils ont également affirmé que toutes les contraintes de données seraient respectées, ce qui n'est pas toujours vrai, comme démontré au chapitre 3.

Dans (Imai & Nanya, 2006) les auteurs ont proposé une méthode pour concevoir des circuits asynchrones *BD* basés sur un modèle de délai insensible aux variations, en utilisant une bibliothèque de cellules personnalisées adaptées aux variations dynamiques de tension. (Bhatia & Khanna, 2009), quant à eux, ont proposé un ajustement dynamique du délai des circuits *self-timed* en fonction des conditions de fonctionnement. Cependant, ces deux travaux n'ont pas suffisamment abordé la conception des lignes à délai dans un contexte de *DVS*. Ils n'ont pas étudié comment le circuit asynchrone se comporte lorsque la tension diminue, ni comment la propagation du signal est affectée, ou encore comment les contraintes temporelles sont respectées.

Le circuit asynchrone de type *BD* proposé dans (Zhu, Yu, Bai, Qiao, & Hei, 2019), appelé *Snake*, prend en charge l'échelle dynamique des tensions (*DVS*). Le pipeline *Snake* est conçu pour être robuste en mode de fonctionnement de basse tension, où les variations *PVT* peuvent dégrader significativement les performances des pipelines. Le pipeline *Snake* utilise une ligne de délai de demande en boucle (*LRDL :Lopped Request Delay Line*) pour réduire le nombre de portes logiques et améliorer la tolérance aux variations. Il fonctionne de manière asynchrone, en utilisant des horloges locales pour synchroniser les registres voisins.

Dans (Lotze, Ortmanns, & Manoli, 2007), les auteurs ont exploité la technique d'auto-opération pour permettre aux circuits asynchrones *BD* de fonctionner à basse tensions correctement, cette technique d'auto-opération faisant référence à la capacité d'un circuit à détecter la fin d'une opération sans nécessiter de délais de synchronisation supplémentaires.

Des phénomènes critiques affectant la propagation des signaux, tels que l'élargissement et le rétrécissement d'impulsion (P. Chen, Liu, & Wu, 2000), (Veronique Ferlet-Cavrois, Massengill, & Gouker, 2013), ainsi que l'effet de renversement de température (*TRE*) (Kahng, 2015) n'ont pas été traité dans les travaux précédents, Cela est particulièrement problématique, car ces phénomènes s'aggravent lorsque la tension d'alimentation est réduite.

2.3 Analyse de performance dans les circuits asynchrones

L'analyse de la performance des circuits asynchrones est une tâche compliquée et sans une méthode d'analyse de performance efficace, il est difficile de tirer pleinement profit des propriétés des systèmes asynchrones pour atteindre des performances optimales (McGee, Nowick, & Coffman Jr, 2005).

Comme dans un circuit asynchrone, il n'y a pas de signal d'horloge global pour synchroniser les opérations. Les changements d'état dans différentes parties du circuit peuvent se produire de manière indépendante, sans se conformer à une horloge commune. Cela crée une non-linéarité intrinsèque, car il n'y a pas de divisions naturelles du temps qui permettent une analyse facile de chaque partie du circuit séparément. Les variations de délais, principalement causées par les variations de procédé au niveau des composants individuels, peuvent avoir un effet considérable sur les performances du système.

Compte tenu la nature événementielle dans le fonctionnement des systèmes asynchrones, ces événements sont souvent sujets à des variations de délais, principalement attribuables aux fluctuations des procédés de fabrication au niveau des composants individuels. Ces variations

peuvent avoir un impact significatif sur les performances globales du système asynchrone, ce qui rend l'analyse basée uniquement sur le délai pire cas inadéquate.

À mesure que les technologies de fabrication submicronique avancée se développent, les variations de procédé deviennent un défi de plus en plus préoccupant. Il devient pertinent de passer de l'analyse de synchronisation déterministe à l'analyse de synchronisation statistique pour les conceptions de circuits asynchrones à haute performance, tout comme cela est fait pour les circuits synchrones (Viswesvariah et al., 2004), (Wang, Kreinovich, & Orshansky, 2006).

Dans (Zaeemi & Mohammadi, 2022) l'auteur introduit une approche innovante basée sur un modèle de réseau de pétri stochastique généralisé pour l'analyse statistique de circuit asynchrone. Cependant, cette analyse ne tient pas compte des variations de tension et se concentre uniquement sur la vérification de la contrainte de pré-positionnement, ignorant la contrainte de maintien. De plus, cette approche néglige les aspects statistiques liés à la logique du circuit, qui influencent le comportement global.

Dans (Ghavami, 2018), un modèle avancé basé sur le réseau de pétri temporel étendu est utilisé pour analyser les performances statistiques. Cependant, l'analyse se focalise sur la puissance de fuite et ne traite pas des contraintes statistiques temporelles ou logiques. Ces aspects sont pourtant cruciaux pour évaluer la performance et la fiabilité du circuit.

L'article (T.-T. Liu & Rabaey, 2012) propose un cadre d'analyse statistique qui considère les variations de procédé de fabrication. Cette approche évalue l'évolution des délais et les marges de protocole dans les circuits asynchrones. Cependant, elle ne traite pas des contraintes temporelles statistiques de (prépositionnement et maintien) et logiques, nécessaires pour garantir le fonctionnement précis.

L'article (Mosaffa, Mohammadi, & Safari, 2016) présente une méthodologie basée sur un modèle formel pour analyser statistiquement les circuits asynchrones. Cependant, ce modèle

ne discute pas de la manière d'appliquer ces analyses aux contraintes de synchronisation temporelle et logique, essentielles pour assurer le bon fonctionnement du circuit.

2.4 Approche proposée

Face aux nombreux défis et enjeux liés à l'analyse de performance des circuits asynchrones, ainsi qu'à l'application de la *DVS* pour maximiser l'efficacité énergétique, il est essentiel de développer des méthodes et des modèles pour surmonter ces obstacles. Notre proposition dans la suite de cette thèse vise à combler les lacunes actuelles et à ouvrir de nouvelles perspectives pour la conception des circuits asynchrones.

Dans un premier temps, nous étudions la faisabilité d'adoption de la *DVS* dans le type de circuit asynchrones *SRBDHF*. Un modèle de prédition des performances sera proposé pour caractériser le fonctionnement de ce type de circuits à différentes valeurs de tension d'alimentation.

Dans un deuxième temps, on proposera une approche d'analyse statistique de performance spécifiquement adaptée aux circuits asynchrones de type *SRBDHF* et *CE*, tenant compte des variations de procédé, de tension et de température. Contrairement aux méthodes traditionnelles qui se concentrent sur des aspects spécifiques, notre modèle global intègre les contraintes statistiques temporelles et logiques pour garantir une évaluation fiable.

CHAPITRE 3

MODÈLE DE PRÉDICTION DES CONTRAINTES DE DÉLAIS ASSOCIÉES À LA TECHNIQUE *DVS* DANS LES CIRCUITS ASYNCHRONES DE TYPE *SRBDHF*

3.1 Introduction

Ce chapitre traite de l'analyse des contraintes de délai pour les circuits exploitant un type particulier de circuits asynchrones, à savoir les circuits *SRBDHF* sujets à la technique *DVS* qui permet de réduire la tension d'alimentation afin de gérer la consommation de puissance dissipée. Par rapport à leurs homologues synchrones, l'application de la *DVS* à ce type de circuits impose des contraintes qui doivent être respectées pour garantir un fonctionnement correct. Un nouveau modèle définissant ces contraintes est proposé. Ces contraintes liées à la *DVS* n'ont jamais été formulées explicitement jusqu'à présent pour ce type de circuit. Ce modèle prend en compte des contraintes de synchronisation, notamment celles liées au pré-positionnement (*setup*) et au maintien (*hold*), ainsi que la dégradation du signal de synchronisation et la sensibilité des portes logiques à la variation de tension d'alimentation. Tout cela est essentiel pour garantir une conformité temporelle appropriée. Les résultats de simulation rapportés montrent que les contraintes temporelles peuvent être satisfaites lors de l'application de la *DVS*, mais ils soulignent également que des ajustements pourraient être nécessaires pour assurer une propagation adéquate des impulsions et des opérations efficaces.

3.2 Type de circuits ciblés

Le type de circuits ciblés appartient à la classe des circuits asynchrones à données groupées (*Bundled Data*) (Laurence, 2012) *SRBDHF*, avec la particularité de ne pas utiliser de mécanisme de handshake. Ce style de conception particulier repose sur l'utilisation d'un certain nombre d'unités d'exécution (*EU*) qui communiquent dans un anneau séquentiel. Un exemple simplifié de l'architecture de base d'une *EU* est illustré à la Figure 3.1. Elle est composée d'un nuage de logique combinatoire, d'une ligne à délai variable (bloc configurable ajusté à

l'opération effectuée lors d'un cycle donné), ainsi que de registres source (*SRC*) et destination (*DST*). Le registre *SRC* est activé par le front montant de l'impulsion émise par le bloc générateur d'impulsions, lançant les données vers le nuage logique. Les données sortant du nuage logique sont capturées par le registre *DST*, qui est activé par le front montant d'une version retardée de l'impulsion.

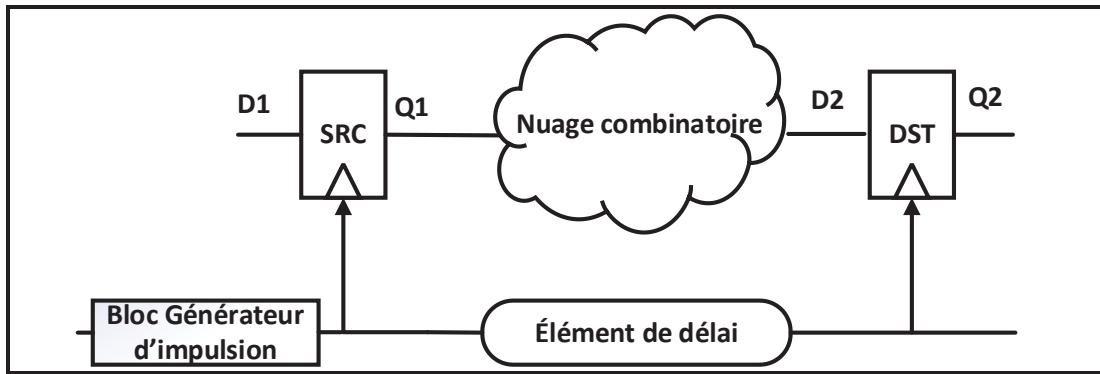


Figure 3.1 Architecture de base d'une unité d'exécution (EU) dans des circuits asynchrones de type *SRBDHF*

Les marges de synchronisation (*setup* et *hold*) définissent les intervalles temporels dans lesquels les signaux doivent être stables pour une lecture ou une écriture correcte des données. Les contraintes temporelles de pré-positionnement et de maintien ont été définies dans (Fiorentino, Al-Terkawi, Savaria, & Thibeault, 2015) et sont reproduites ci-dessous:

$$D_{CL\min} \geq D_e + h - T_c \quad (3.1)$$

$$D_{CL\max} \leq D_e - su \quad (3.2)$$

Avec

$D_{CL\min}$: délai de propagation minimal du nuage combinatoire

$D_{CL\max}$: délai de propagation maximal du nuage combinatoire

D_e : délai de propagation dans la ligne à délai

T_c : durée du cycle de lancement d'impulsion (c'est-à-dire le temps nécessaire à ce qu'un jeton revienne à une unité d'exécution et relance une impulsion)

su : temps de prépositionnement

h : temps de maintien

Ces équations montrent que $D_{CL_{max}}$ et D_e sont utilisés pour définir la contrainte de pré-positionnement, tandis que $D_{CL_{min}}$, D_e et T_c sont utilisés pour définir la contrainte de maintien. Les délais de ces différents termes peuvent évoluer différemment lorsque la tension d'alimentation diminue. Par conséquent, pour une conception de circuit robuste et efficace, les contraintes temporelles doivent prendre en compte l'impact de plusieurs valeurs de tensions d'alimentation de fonctionnement possibles.

3.3 Modèle de prédiction proposé

Dans cette section les détails techniques du modèle de prédiction sont présentés. Ce modèle permettra de mettre en place la *DVS* de manière correcte dans les circuits spécifiquement étudiés *SRBDHF*. Le modèle prend en compte plusieurs aspects importants, tels que la propagation des impulsions à l'intérieur de l'unité d'exécution (*EU*), les marges de synchronisation de pré-positionnement et de maintien, ainsi que les effets de la sensibilité des portes logiques lorsque la tension d'alimentation est modifiée.

Les lignes directrices concernant la propagation des impulsions dans l'*EU* sont essentielles pour assurer que les signaux sont correctement transmis et reçus. La synchronisation précise des signaux est cruciale pour éviter les erreurs et les délais indésirables.

Enfin, les effets de la sensibilité des portes logiques lors de l'adaptation dynamique de la tension d'alimentation doivent être pris en compte. À mesure que la tension d'alimentation varie, la sensibilité des composants logiques peut également changer, ce qui peut avoir un impact sur les performances globales du circuit. Il est donc nécessaire de comprendre et de modéliser ces effets pour une mise en œuvre efficace de la *DVS*.

3.3.1 Propagation de l'impulsion de synchronisation

Dans le contexte des portes logiques, l'élargissement et le rétrécissement des impulsions sont des phénomènes cruciaux liés à la propagation des signaux. L'élargissement fait référence à l'augmentation de la durée du niveau haut d'une impulsion lorsqu'elle traverse une porte logique, le rétrécissement désigne la diminution de la durée du niveau haut d'une impulsion à la sortie d'une porte logique. Ces deux phénomènes doivent être soigneusement pris en compte lors de la conception de circuits numériques, car ils impactent la fiabilité et la performance des systèmes logiques. (ANNEXE III) (V Ferlet-Cavrois et al., 2008).

Dans ce contexte, nous considérons une configuration de ligne à délai qui implique l'utilisation de portes logiques spécifiques (*AND*) dans une technologie de fabrication de 90 nm avec des paramètres de procédé typiques du modèle *BSIM4*. La simulation repose sur l'utilisation de l'outil *Hspice* pour évaluer les mesures de vitesse des transitions montantes et descendantes pour différentes valeurs de tension d'alimentation, ainsi que le nombre de portes logiques à partir duquel l'impulsion d'entrée est perdue.

Dans cet exemple, nous avons choisi d'utiliser des portes *AND* de la bibliothèque en tant que structures atomiques. Cependant, il est bien connu que l'opération d'une porte *AND* équivaut à l'inversion d'une porte *NAND*. Ainsi, lorsque nous optons pour l'utilisation de portes *AND*, chaque porte contient en réalité deux opérations distinctes. Ce qui fait que la charge sur un nœud interne d'une porte *AND* diffère de la charge sur un nœud externe, et lorsque l'on tient compte de la différence de propagation entre une transition montante et une transition descendante de la porte *AND* cela peut affecter le délai de propagation (voir section 1.4).

Tableau 3.1 Délais des transitions montantes et descendantes pour différentes valeurs de tension d'alimentation et portes logiques

Voltage d'alimentation	T_r (ps)	T_f (ps)	Diff (T_r-T_f)	Nb de portes
1	56	39	17	144
0.9	70	48	22	111
0.8	93	63	30	82
0.7	130	91	39	63
0.6	230	150	80	30
0.5	520	330	190	12
0.4	1700	1000	700	2

Le Tableau 3.1 présente les mesures de la différence de délai de propagation entre les transitions montantes et descendantes pour différentes valeurs de tension d'alimentation, ainsi que le nombre d'étages à partir duquel l'impulsion d'entrée cesse de se propager.

Par exemple, à une tension d'alimentation de 0.4V, nous constatons que le signal est perdu dès la deuxième porte de la chaîne de portes logiques *AND*. Cela signifie que la tension d'alimentation est devenue si basse que le signal ne peut plus être correctement propagé après seulement deux portes logiques.

Les résultats obtenus mettent en évidence une relation importante entre la tension d'alimentation, le nombre de portes logiques et la capacité à maintenir une propagation correcte du signal (ANNEXE IV). Plus précisément, il ressort de nos observations que, lorsque la

tension d'alimentation est réduite, le nombre maximum de portes logiques permettant une transmission correcte d'impulsion d'entrée diminue de manière significative.

L'expression mentionnée ci-dessous permet de modéliser cette relation et de s'assurer que les impulsions se propagent correctement dans ce type de circuits asynchrones dans le contexte de la *DVS* :

$$Nb < \frac{(PW)_{V_i}}{|T_r - T_f|_{V_i}} \quad (3.3)$$

T_r : délais de propagation de transition montante

T_f : délais de propagation de transition descendante

Nb : nombre de portes logiques compris dans la ligne à délai

V_i : tension d'alimentation de fonctionnement spécifiée

PW : largeur de l'impulsion injectée à l'entrée de la ligne à délai

À mesure que les tensions d'alimentation diminuent, les délais de propagation associés aux transitions montantes et descendantes dans les circuits asynchrones étudiés augmentent. Ce phénomène est dû aux limitations imposées par les composants à basse tension, tels que les transistors, qui nécessitent plus de temps pour effectuer les transitions.

Dans le modèle proposé, il est crucial de garantir que la largeur de l'impulsion (PW), injectée dans la ligne à délai, soit plus grande que la durée de propagation des transitions montantes et descendantes tout au long des portes logiques compris dans la ligne à délai (Nb), comme illustré dans l'équation (3.3). Cette condition doit être satisfaite pour toutes les valeurs de *DVS* spécifiques données.

3.3.2 Les marges de prépositionnement et de maintien

Les contraintes temporelles de prépositionnement et de maintien du circuit *SRBDHF* des équations (3.1) et (3.2) peuvent être reformulées pour la tension nominale comme suit :

$$[D_{CL_{max}} + su \leq D_e \leq D_{CL_{min}} - h + T_c]_{V_{nom}} \quad (3.4)$$

Ces contraintes déterminent les marges de temps nécessaires pour que les signaux d'entrée et de sortie d'un circuit se stabilisent correctement avant et après une transition. Lors de l'application de la *DVS* aux circuits *SRBDHF*, l'équation (3.4) devient :

$$[c_i \cdot D_{CL_{max}} + su \leq a_i \cdot D_e \leq d_i \cdot D_{CL_{min}} - h + b_i \cdot T_c]_{V_i} \quad (3.5)$$

Où a_i , b_i , c_i et d_i sont des facteurs de croissance des délais de propagation (≥ 1) (*DGF* : *Delay Growth Factors*) pour la ligne à délai , la logique de génération de jetons, le chemin maximal dans le nuage logique et le chemin minimal dans le nuage logique, respectivement.

Les *DGF* sont exprimés comme le rapport du délai de propagation à V_i sur le même délai de propagation à la tension d'alimentation maximale considérée, à savoir 1.1V. Cela permet de quantifier la variation du délai de propagation en fonction de la tension d'alimentation. Pour simplifier, nous supposons que les valeurs de pire cas de su et de h sont utilisées pour toutes les valeurs de tension. La reformulation de l'équation (3.5) permet de tenir compte des modifications des délais induites par la *DVS*.

Une autre façon d'exprimer l'équation (3.5) est de définir les marges de maintien (MH_i) et de prépositionnement (MS_i):

$$MH_i = (d_i \cdot D_{CL_{min}}) - (a_i \cdot D_e) + (b_i \cdot T_c) - h \quad (3.6)$$

$$MS_i = (a_i \cdot D_e) - (c_i \cdot D_{CL_{max}}) - su \quad (3.7)$$

L'équation (3.6) et l'équation (3.7) sont calculées en fonction des facteurs de croissance des délais DGF et des valeurs de pire cas de maintien h , et pire cas de prépositionnement su .

Les marges MH_i et MS_i doivent être toutes deux positives pour toutes les valeurs possibles V_i de tensions d'alimentation. Si l'une de ces marges devient négative, cela signifie que le circuit ne répond plus aux spécifications de synchronisation et peut entraîner des erreurs de fonctionnement.

Une observation intéressante peut être tirée à partir des équations (3.6) et (3.7) soulignant la dépendance entre MH_i et MS_i . Lorsque le délai de la ligne à délai D_e est augmenté pour améliorer la marge de prépositionnement (MS_i), cela a pour effet de diminuer la marge de maintien (MH_i) en même temps. De même, une diminution du délai de la ligne à délai a l'effet inverse. Cette observation met en évidence le compromis entre les marges de prépositionnement et de maintien, et souligne la nécessité de trouver un équilibre pour respecter les contraintes de synchronisation.

Il convient également de noter qu'une valeur MS_i trop conservatrice entraîne une surcharge de performance, se traduisant par un nombre excessif de portes logiques. Cette surcharge peut être amplifiée avec la DVS . Dans ce cas spécifique, il peut être nécessaire d'ajuster la valeur de MS_i en rendant configurable la ligne à délai afin d'optimiser les performances du circuit sans compromettre les contraintes de synchronisation.

3.3.3 Sensibilité de la logique utilisée

Les facteurs de croissance de délai (DGF) dans différents types de portes logiques peuvent varier en fonction de la technologie de fabrication, de la taille de la porte, des paramètres spécifiques du modèle MOS utilisé, ainsi que d'autres facteurs liés à la conception des circuits.

Les valeurs des DGF sont généralement obtenues à partir des simulations ou des mesures expérimentales dans le cadre de la caractérisation des circuits. Les facteurs de croissance de délai (DGF) sont des valeurs qui quantifient l'impact de la variation de la tension d'alimentation sur le délai des portes logiques.

Considérons un exemple illustratif basé sur les facteurs de croissance de délai (DGF) obtenus à partir de simulations *Hspice* de la librairie *BSIM4* pour différentes chaînes de portes logiques. Nous avons mesuré les délais de propagation des portes logiques à des tensions d'alimentation de 1.1V, 0.9V et 0.7V. Le $DGF1$ est déterminé en divisant le délai de propagation à 0.9V par celui à 1.1V, tandis que le $DGF2$ est calculé en divisant le délai de propagation à 0.7V par celui à 1.1V. Pour les portes *AND* et *NAND*, une entrée a été fixée à V_{dd} , alors que pour les portes *OR* et *NOR*, une entrée a été maintenue à 0. Les délais mesurés sont des valeurs déterministes.

Le Tableau 3.2 présente les valeurs des $DGF1$ et $DGF2$ pour les différentes portes logiques, obtenues en réduisant la tension d'alimentation de 1.1V à 0.9V et de 1.1V à 0.7V, respectivement.

Tableau 3.2 Facteurs de croissance des délais des différentes portes logiques lorsque V_{dd} passe de 1.1V à 0.9V ($DGF1$) et de 1.1V à 0.7V ($DGF2$)

DGF	NAND	AND	INV	NOR	OR
$DGF1$	1.42	1.41	1.39	1.38	1.33
$DGF2$	2.91	2.89	2.83	2.72	2.39

Observons pour la porte logique *AND*, le $DGF1$ est de 1.41 pour une réduction de tension de 1.1V à 0.9V, et le $DGF2$ est de 2.89 pour une réduction de tension de 1.1V à 0.7V. Cela signifie que lorsque la tension d'alimentation est réduite à 0.9V, le délai de propagation de la porte *AND* augmente de 41%, tandis que lorsque la tension est réduite à 0.7V, le délai de propagation augmente de 189% par rapport à la valeur nominale à 1.1V.

De même, d'autres portes logiques comme *NAND*, *NOR* et *OR* ont également leurs propres facteurs de croissance de délai correspondants (*DGF1* et *DGF2*). Ces valeurs indiquent la sensibilité de chaque porte logique à la variation de la tension d'alimentation.

On observe que chaque porte logique a une sensibilité différente à la réduction de la tension d'alimentation. Les valeurs de *DGF2* sont toujours plus élevées que les valeurs de *DGF1*, ce qui signifie que la réduction de tension a un impact plus important sur les délais de propagation des portes logiques à 0.7V par rapport à 0.9V.

Cette différence de sensibilité entre les portes logiques est importante lors de l'application de la *DVS*. Par exemple, une ligne à délai conçue pour fonctionner correctement à 0.9V peut ne pas être adaptée lorsque la tension d'alimentation est réduite à 0.7V. Dans certains cas, la ligne à délai peut devenir plus rapide que le nuage logique, entraînant des erreurs de synchronisation, ou significativement plus lente, entraînant une surcharge de performance. Il est donc essentiel de prendre en compte cette différence de sensibilité et vérifier les équations définies dans (3.5) (3.6) (3.7) lors de la conception des circuits avec *DVS* pour assurer le respect des spécifications de synchronisation et de performance.

3.3.4 Application du modèle proposé

Pour appliquer le modèle proposé aux circuits asynchrones *SRBDHF*, un diagramme de flux du processus de vérification est présenté à la Figure 3.2. Le diagramme de flux représente la séquence des opérations qui sont exécutées pour assurer le respect des contraintes temporelles dans les circuits asynchrones *SRBDHF*.

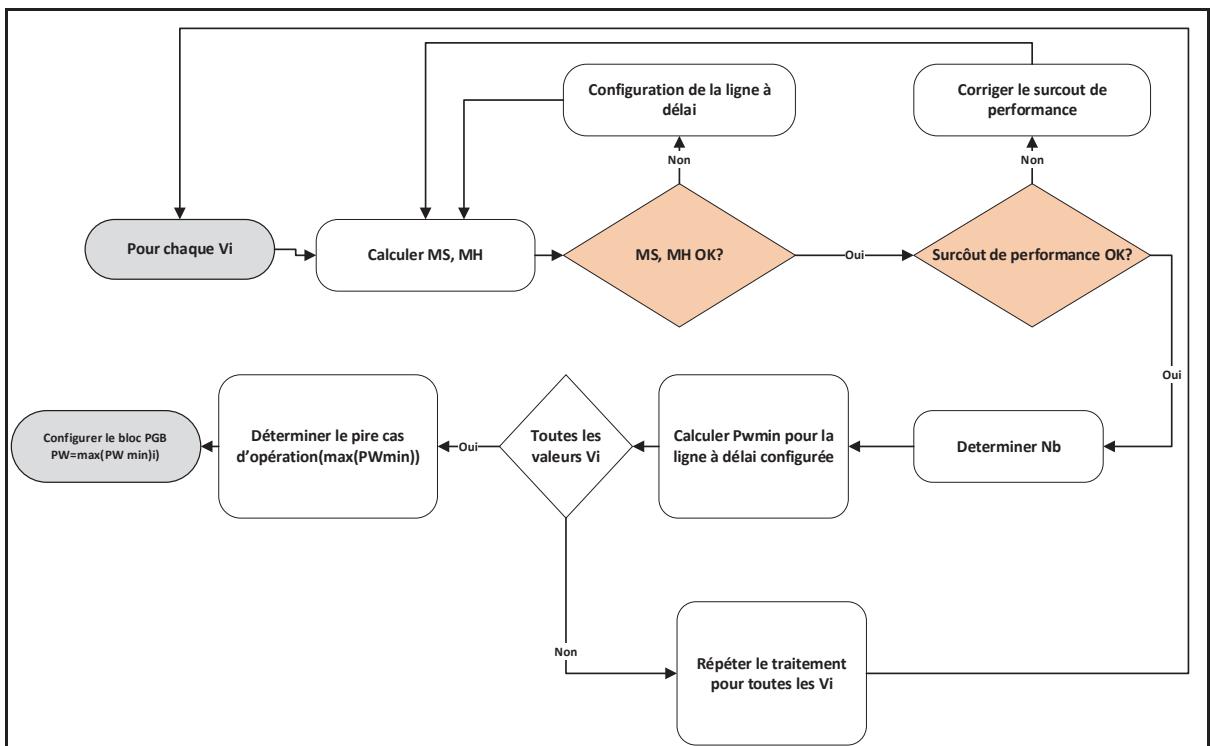


Figure 3.2 Diagramme de flux du processus de vérification dans un circuit asynchrone SRBDHF utilisant le modèle proposé

La première étape est le calcul des marges de temps de *setup* (MS_i) et de *hold* (MH_i) pour chaque valeur de tension d'alimentation. Ces marges représentent les écarts permis par rapport aux contraintes de synchronisation et sont utilisées comme référence pour vérifier si les délais de propagation des signaux sont respectés.

Ensuite, le processus de vérification compare les marges calculées avec les contraintes temporelles spécifiques du circuit. Si les marges ne sont pas suffisantes pour garantir le respect de ces contraintes, une reconfiguration de la ligne à délai est effectuée. Cette reconfiguration consiste à modifier la longueur de la ligne de délai afin d'ajuster les différences de délais et de garantir le respect des contraintes temporelles.

Ensuite, pour vérifier les surcoûts de performance, la valeur des marges MS est vérifiée : si une dégradation inacceptable est détectée, une autre ligne à délai est ajoutée et configurée pour

corriger le surcoût. Enfin, pour configurer correctement le bloc *PGB* (*Pulse Generator Block*), la largeur minimale d'impulsion (PW_{min}) requise pour chaque valeur de tension est calculée. La valeur maximale des PW_{min} est choisie pour garantir une propagation correcte de l'impulsion pour tout l'intervalle des tensions requis.

L'objectif de ce processus de vérification est d'assurer le bon fonctionnement des circuits asynchrones *SRBDHF* en respectant les contraintes temporelles. En ajustant les marges et en reconfigurant la ligne à délai si nécessaire, on s'assure que les signaux se propagent correctement dans le circuit, évitant ainsi les erreurs de synchronisation et les défaillances du système.

En suivant ces étapes, il est possible de mettre en œuvre correctement la technique *DVS* dans les circuits asynchrones *SRBDHF*. Le diagramme de flux, en fournissant une vue d'ensemble du processus de vérification, facilite la compréhension et l'application du modèle proposé pour les circuits asynchrones *SRBDHF*.

3.4 Résultats et discussion

Dans cette section, les résultats des simulations sont présentés et discutés afin d'analyser les effets de la technique *DVS* sur les circuits asynchrones de type *SRBDHF*. Les simulations ont été réalisées à l'aide du logiciel *Hspice* en utilisant une bibliothèque de cellules standard basée sur une technologie de procédés de fabrication *CMOS* de 90 nm.

Un circuit de référence simple a été spécialement conçu pour mettre en évidence les problèmes de conception rencontrés lors de l'application de la technique *DVS* dans les circuits *SRBDHF* (Figure 3.3).

Ce circuit de référence comprend un registre source (*SRC*), un registre de destination (*DST*), un bloc générateur d'impulsion (*PGB*) contenant une chaîne d'inverseurs et une porte *XOR*, ainsi qu'un bloc logique représentant deux instructions différentes, *instr1* et *instr2*. Chaque

instruction est composée de chemins critiques potentiels (DCL_{max1} , DCL_{max2}) et d'un chemin court (DCL_{min}).

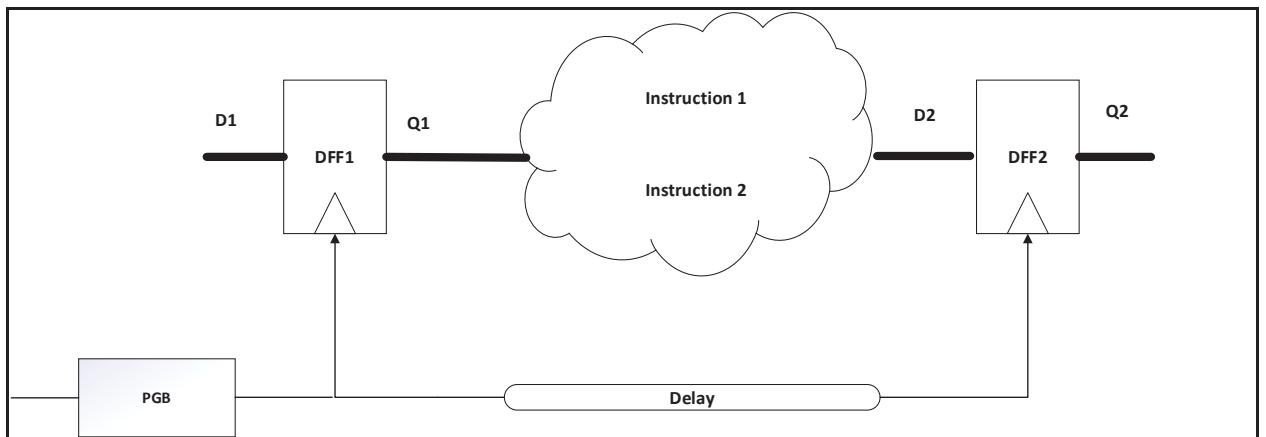


Figure 3.3 Circuit d'essai

Pour chaque instruction, nous avons utilisé deux éléments de délai composés de portes logiques spécifiques. Dans le cas de l'instruction instr1, nous avons utilisé 69 portes *OR* pour le premier chemin critique potentiel (DCL_{max1}), 78 portes *AND* pour le deuxième chemin critique potentiel (DCL_{max2}), et 29 portes *NAND* pour le chemin court (DCL_{min}). Pour l'instruction instr2, nous avons utilisé 55 portes *OR* pour le premier chemin critique potentiel (DCL_{max1}), 63 portes *AND* pour le deuxième chemin critique potentiel (DCL_{max2}), et 25 portes *NAND* pour le chemin court (DCL_{min}).

La raison pour laquelle nous avons utilisé des portes *OR* est qu'elles sont plus sensibles à l'effet d'élargissement. Cela en fait un choix approprié pour illustrer les éventuels problèmes liés à l'application de la technique *DVS*. En identifiant les différents chemins critiques potentiels et les chemins courts pour chaque instruction, nous pouvons mieux comprendre comment la tension d'alimentation peut affecter les performances et les contraintes de synchronisation des circuits asynchrones SRBDHF.

Le premier ensemble de simulations menées avait pour objectif de démontrer que la technique *DVS* peut nécessiter des ajustements de la largeur de l'impulsion afin de garantir une

propagation appropriée des signaux. Dans cette étude, nous avons utilisé une chaîne d'inverseurs dans le bloc générateur d'impulsions (*PGB*) pour générer des impulsions. La largeur de l'impulsion peut être modifiée en augmentant ou en diminuant le nombre d'inverseurs dans cette chaîne.

Dans cette série de simulations, nous avons injecté une transition à l'entrée du bloc *PGB* (comme illustré dans la Figure 3.3) et nous avons observé la propagation de l'impulsion générée par ce bloc. L'objectif était de déterminer le nombre de portes logiques dans la ligne à délai variable qui serait nécessaire pour perdre cette impulsion. En d'autres termes, nous cherchions à identifier le point critique où la propagation de l'impulsion serait interrompue en raison de la réduction de la tension d'alimentation.

Tableau 3.3 Largeur initiale de l'impulsion (PW1, PW2) en nanosecondes et le nombre de portes logiques (Nb1, Nb2) à partir desquelles l'impulsion est perdue à différentes tensions V_{dd} et pour deux longueurs de chaîne d'inverseurs *PGB*

V_{dd}	(SS, 125 °C)				(SS, -40 °C)			
	160 inverseurs		184 inverseurs		160 inverseurs		184 inverseurs	
	PW1	Nb1	PW2	Nb2	PW1	Nb1	PW2	Nb2
1.1V	2.89	76	3.31	87	2.52	78	2.85	88
1V	3.35	74	3.84	85	3.02	76	3.42	86
0.9V	4.02	72	4.6	83	3.82	74	4.32	84
0.8V	5.06	71	5.72	80	5.23	64	5.9	73
0.7V	6.85	69	7.73	77	8.17	63	9.36	72

Le Tableau 3.3 présente la largeur initiale de l'impulsion à la sortie du bloc générateur d'impulsions (*PGB*) et le nombre de portes logiques à partir desquelles l'impulsion est perdue dans la ligne à délai, pour différentes valeurs de tension d'alimentation et deux longueurs de chaîne d'inverseurs *PGB* (160, 184) dans deux conditions (SS, 125 °C) et (SS, -40 °C). Il convient de noter que les résultats des simulations ont été obtenus pour ces conditions de processus spécifiques : (SS, 125 °C), (SS, -40 °C), (FF, 125 °C), (FF, -40 °C), (SF, 125 °C),

(SF, -40 °C), (FS, 125 °C) et (FS, -40 °C). Seuls les conditions (SS, 125 °C) et (SS, -40 °C) sont présentées dans Tableau 3.3 (car ils entraînent les plus grands délais de propagation).

Les termes suivants désignent les variations de processus : *SS (Slow-Slow)* représente un processus où à la fois le transistor n-type et le transistor p-type sont lents. *FF (Fast-Fast)* indique un processus où les deux types de transistors sont rapides. *SF (Slow-Fast)* désigne un processus où le transistor n-type est lent tandis que le transistor p-type est rapide. Enfin, *FS (Fast-Slow)* se réfère à un processus où le transistor n-type est rapide et le transistor p-type est lent. Ces classifications permettent d'évaluer les performances des circuits intégrés en fonction des caractéristiques des transistors.

Le Tableau 3.3 montre que les conditions les plus défavorables sont obtenues à la condition (SS, 125 °C) pour des tensions comprises entre 1.1V, 1V et 0.9V, et à la condition (SS, -40 °C) pour les autres valeurs de tension. Ces conditions représentent des scénarios extrêmes qui conduisent à des délais de propagation plus élevés dans le circuit. En observant les valeurs du nombre de portes à partir desquelles l'impulsion est perdue, on peut constater que ces valeurs augmentent avec la diminution de la tension d'alimentation. Cela indique que la réduction de la tension d'alimentation affecte la capacité du circuit à propager correctement les impulsions, ce qui nécessite une adaptation de la configuration de la ligne à délai pour compenser cette perte d'impulsion.

Par exemple, avec $V_{dd} = 0.8V$, l'impulsion est perdue après 80 portes *VDL (Variable Delay Line)* à la condition (SS, 125 °C), mais après seulement 73 portes *VDL* à la condition (SS, -40°C). Les délais plus importants à des températures plus basses dans le Tableau 3.3 montrent clairement que l'effet *TRE (Temperature Reversal Effect)* peut également se produire à des tensions inférieures à la tension nominale avec des technologies de 90 nm, alors qu'il a été indiqué dans (Kahng, 2015) que l'effet *TRE* ne devrait être pris en compte qu'avec des technologies de 65 nm et inférieures.

Malgré le fait que la largeur de l'impulsion augmente lorsque la tension d'alimentation est réduite, le nombre de portes logiques à partir desquelles l'impulsion est perdue dans la ligne à délai diminue généralement. Sachant que la ligne à délai cible est composée de 71 portes *OR*, une chaîne d'inverseurs *PGB* de 160 est trop courte pour garantir une propagation appropriée de l'impulsion dans la ligne à délai lorsque $V_{dd} \leq 0.8V$, tandis que la même longueur de chaîne d'inverseurs fonctionnerait correctement pour les valeurs nominales de V_{dd} [0.9V; 1V; 1.1V]. Selon le modèle proposé, la chaîne d'inverseurs *PGB* doit contenir au moins 184 inverseurs pour couvrir les valeurs de V_{dd} considérée [0.7V; 0.8V; 0.9V; 1; 1.1V], ce qui montre que des ajustements peuvent être nécessaires lors de l'application du *DVS* au type de circuit ciblé.

Ces résultats mettent en évidence l'importance de prendre en compte les effets de température et de tension dans la conception des circuits asynchrones *SRBDHF* et soulignent la nécessité d'adapter les paramètres du circuit pour assurer une propagation appropriée des signaux, en particulier lorsque la tension d'alimentation est réduite. Cela montre également que la longueur de la chaîne d'inverseurs *PGB* doit être soigneusement sélectionnée pour chaque valeur de tension d'alimentation afin de garantir une performance optimale et de respecter les contraintes de temporelles. Ces simulations nous ont permis d'évaluer l'effet de la tension d'alimentation sur la propagation des impulsions et de quantifier la sensibilité du circuit à cette variation de tension. En ajustant le nombre de portes dans la ligne à délai variable, nous avons pu observer comment cela influençait la durée de l'impulsion et sa capacité à se propager correctement à travers le circuit.

Ces résultats sont essentiels pour comprendre les défis liés à l'application de la technique *DVS* dans les circuits asynchrones *SRBDHF*.

Le deuxième ensemble des résultats de simulation obtenus est présentée dans le Tableau 3.4. Ce tableau présente l'évolution des délais de propagation (DCL_{max1} , DCL_{max2} , D_e) et des marges (MS , MH) définies dans les équations (3.6) et (3.7) associés au nuage logique cible et aux lignes de délai pour la mise en œuvre des deux instructions considérées (instr1, instr2).

Tableau 3.4 Délais et marge (en nanoseconde) pour différents cas

Instruction	Coin	Voltage	DCL_{max1}	DCL_{max2}	D_e	MS	MH
Instr1	(SS, 125°C)	1.1V	3.8	3.73	3.98	0.18	0.3
		1V	4.3	4.37	4.66	0.29	0.4
		0.9V	5.1	5.28	5.39	0.11	0.6
	(SS, -40°C)	0.8V	6.2	6.7	6.52	-0.18	1.3
		0.7V	9.2	10.7	9.66	-1.04	2.6
Instr2	(SS, 125°C)	1.1V	3.08	2.9	3.2	0.12	1
		1V	3.51	3.5	3.65	0.14	1.1
		0.9V	4.12	4.2	4.29	0.09	1.4
	(SS, -40°C)	0.8V	5	5.41	5.23	-0.18	2.3
		0.7V	7.4	8.63	7.76	-0.87	4

Le Tableau 3.4 présente les valeurs de délai de propagation (DCL_{max1} , DCL_{max2} , D_e) et les marges MS , MH pour différentes conditions de fonctionnement, telles (SS, 125°C) et (SS, -40°C) et différentes tensions d'alimentation (1.1V, 1V, 0.9V, 0.8V, 0.7V) pour les instructions instr1 et instr2.

En analysant les valeurs de MS et MH , nous constatons que pour les valeurs nominales de tension d'alimentation [0.9V; 1V; 1.1V], les marges sont positives pour les deux instructions. Cela signifie que les lignes à délai choisies garantiraient un fonctionnement approprié pour ces valeurs de tension. Cependant, lorsque la tension d'alimentation devient inférieure ou égale à 0.8V, MS devient négative pour les deux instructions. Cela est dû à la sensibilité différente des différentes portes logiques, où le délai de propagation DCL_{max2} augmente plus rapidement que le délai de propagation D_e .

Il est intéressant de noter que DCL_{max2} augmente davantage que DCL_{max1} , ce qui indique que le chemin critique peut changer à des valeurs inférieures de tension d'alimentation. Cela souligne l'importance d'ajuster les paramètres du circuit pour optimiser la propagation des

signaux dans les conditions de tension d'alimentation plus faibles. Dans cet exemple, il est clair que la longueur de la chaîne d'inverseurs du *PGB* (160) n'est pas suffisante pour garantir une propagation correcte de l'impulsion dans la ligne à délai lorsque $V_{dd} \leq 0.8V$. Selon le modèle proposé, il est recommandé d'utiliser une chaîne d'inverseurs de 184 pour couvrir les valeurs de tension d'alimentation considérée (0.7V, 0.8V, 0.9V, 1V et 1.1V).

Le Tableau 3.5 présente les résultats sélectionnés obtenus après des ajustements appropriés. Deux types d'ajustements différents ont été explorés pour résoudre les problèmes de valeurs négatives observés précédemment. Dans le premier ajustement (ajustement 1), la longue ligne à délai a été modifiée pour contenir 83 portes *AND*, tandis que la ligne à délai courte a été modifiée pour contenir 64 portes *OR*. Ainsi, la seule modification nécessaire était d'augmenter le nombre de portes dans les deux lignes à délai.

Tableau 3.5 Correction et optimisation de la marge de prépositionnement en nanosecondes pour différentes valeurs de tension et types d'ajustement

Instruction	Coin	Voltage	Ajustement 1			Ajustement 2		
			De'	MS'	MH'	De''	MS''	MH''
Long (Instr1)	(SS, 125°C)	1.1V	4.5	0.67	0.21	4	0.15	0.34
		1V	5.1	0.79	0.36	4.5	0.14	0.48
		0.9V	6	0.77	0.56	5.4	0.15	0.57
	(SS, -40°C)	0.8V	7.3	0.61	1.2	6.9	0.16	0.89
		0.7V	10.9	0.13	2.5	10.9	0.14	1.31
Short (Instr2)	(SS, 125°C)	1.1V	3.6	0.56	0,53	3.2	0.14	0.9
		1V	4.1	0.64	0.62	3.65	0.14	1.1
		0.9V	4.8	0.65	0.85	4.39	0.16	1.3
	(SS, -40°C)	0.8V	5.6	0.53	1.51	5.58	0.17	1.87
		0.7V	8.4	0.17	2.85	8.76	0.13	2.9

Les valeurs des nouvelles marges de prépositionnement et de maintien *MS'* et *MH'*, obtenues après cet ajustement, sont maintenant positives pour toutes les valeurs de tension

d'alimentation et pour les deux instructions considérées. Cela indique que la propagation du signal est maintenant garantie, car MS' et MH' sont supérieures à zéro.

Les marges positives sont essentielles pour assurer une propagation correcte du signal et pour compenser les variations et les contraintes du système. Cependant, il convient de noter qu'avec l'augmentation de ces marges, il y a une dégradation des performances en termes de débit de traitement plus lent. Ceci se traduit souvent par un plus grand nombre de portes logiques dans la ligne à délai, ce qui engendre une augmentation des opérations de commutation et réduit les gains en matière de réduction de la consommation d'énergie.

Les ajustements apportés dans cet exemple étaient spécifiques aux deux instructions considérées et aux conditions de tension d'alimentation spécifiques (condition SS, 125 °C et condition SS, -40 °C). Les circuits et instructions différents peuvent nécessiter des ajustements différents en termes de nombre et de type de portes utilisées.

Pour optimiser davantage les performances, une possibilité consiste à exploiter la nature variable des lignes à délai et à concevoir un élément de délai approprié pour les valeurs de tension d'alimentation suivantes : (0.7V, 0.8V, 0.9V, 1V et 1.1V).

L'ajustement 2 des lignes à délai a pour but d'optimiser les performances du circuit. Le Tableau 3.6 présente les configurations spécifiques des lignes à délai pour les deux instructions considérées. L'ajustement est réalisé en utilisant un multiplexeur qui sélectionne la configuration appropriée en fonction de la valeur de tension d'alimentation active.

Tableau 3.6 Configurations des éléments de délai pour différentes valeurs de tension, ajustement 2

Instructions	Configuration de la ligne à délai	
Voltage	Instr1	Instr2
1.1V	69 OR + 2 NOR	55 OR + 4 INV
1V	70 OR	56 OR
0.9V	71 OR + 1 NAND	57 OR +1 INV
0.8V	75 OR	60 OR
0.7V	77 OR + 8 INV	61 OR +7 INV

Les configurations de lignes à délai résultantes liées à l'ajustement 2 pour les deux instructions sont présentées dans le Tableau 3.6. La configuration appropriée est sélectionnée à l'aide d'un multiplexeur en fonction de la valeur active de la tension d'alimentation. Comme le montre le Tableau 3.5, les nouvelles valeurs de marges de prépositionnement et de maintien (MS'' et MH'') obtenues avec l'ajustement 2 restent positives, mais les valeurs de MS'' sont maintenues autour de 100 ps. Le circuit de référence simple respecte donc ses contraintes avec une dégradation légère des performances par rapport aux marges initiales. Malgré cette dégradation, le circuit de référence simple satisfait toujours ses contraintes de synchronisation. Il convient de noter que l'ajustement des configurations se fait manuellement.

Le modèle proposé dans cette étude peut être étendu à d'autres types de circuits asynchrones utilisant des lignes à délai. Cela signifie que les méthodes et les concepts développés pour optimiser les performances et garantir la synchronisation dans ce circuit spécifique peuvent être appliqués à d'autres circuits asynchrones similaires.

3.5 Conclusion

Dans ce chapitre, l'application de la technique de variation dynamique de la tension (DVS) aux circuits asynchrones SRBDHF a été explorée. Un nouveau modèle de prédiction des

performances a été proposé pour concevoir des éléments de délai efficaces et sécurisés prenant en charge *DVS*. Ce modèle permet de prendre explicitement en compte de nouvelles contraintes afin de satisfaire les exigences du type de circuits ciblé. Les résultats de simulation rapportés ont révélé des difficultés et des défis liés, ainsi que la nécessité d'ajustements dans l'implémentation des circuits pour garantir un fonctionnement adéquat et efficace. Les travaux futurs comprennent l'extension de cette analyse à des cas d'utilisation plus réalistes et à d'autres types de circuits asynchrones utilisant des technologies plus récentes.

CHAPITRE 4

MÉTHODE D'ANALYSE STATISTIQUE DE PERFORMANCES POUR LES CIRCUITS ASYNCHRONES EN CONSIDÉRANT LA TECHNIQUE DVS

4.1 Introduction

Dans ce chapitre, nous proposons un modèle d'analyse statistique de performance spécifiquement conçu pour des pipelines asynchrones. Notre modèle s'applique à deux styles différents de circuits asynchrones, *SRBDHF* et *CE*. Il permet d'évaluer efficacement les performances des circuits asynchrones sous variations de procédé de fabrication, de tension et de température. Tout d'abord, nous présentons un modèle de variabilité de délai pour estimer l'impact des variations de procédés de fabrication sur les performances des circuits asynchrones. Ensuite, nous développons un modèle d'analyse statistique de performance prenant en compte diverses vérifications de contraintes : logiques et temporelles. La variation de tension d'alimentation est considérée dans cette analyse de la région nominale à la région proche du seuil. Tandis que pour les variations de température, les coins de meilleurs et pires cas d'opération ont été considérés pour vérifier les différentes contraintes statistiques.

Les résultats démontrent que notre modèle offre une précision raisonnable avec une erreur moyenne sur la moyenne de seulement 2% par rapport aux analyses détaillées réalisées à l'aide des simulations bas niveau de circuits Monte Carlo. De plus, notre méthode permet d'évaluer les performances des circuits asynchrones tout en réduisant considérablement le temps nécessaire pour effectuer des analyses approfondies.

4.2 Approche d'analyse statistique

Cette section expose la méthodologie utilisée pour effectuer une analyse statistique des circuits asynchrones ciblés, prenant en compte les variations de procédés de fabrication, de température et de tension d'alimentation dès les premières étapes de conception. Pour garantir un fonctionnement fiable, nous suivons une série d'étapes bien définies.

Tout d'abord, nous utilisons un modèle de variabilité pour prendre en compte les variations possibles dans les paramètres de procédés de fabrication, qui peuvent influencer les performances des circuits asynchrones. Ensuite, nous vérifions les contraintes logiques statistiques pour assurer une propagation correcte des signaux entre les différentes parties du circuit asynchrone.

Pour garantir la fiabilité du modèle, nous effectuons une vérification des contraintes temporelles statistiques. Cela garantit que les délais de synchronisation entre les différentes parties du circuit asynchrone sont respectés pour différentes valeurs de tension d'alimentation, tout en choisissant une configuration d'architecture appropriée pour faire face aux variations réelles.

Enfin, nous procémons à une vérification des différentes contraintes statistiques définies précédemment, en tenant compte des variations de température. Nous considérons les valeurs extrêmes de température commerciale, soit 0°C pour le pire cas et 85°C pour le meilleur cas. Dans l'autre chapitre, le choix des températures extrêmes de -40°C et 125°C avait pour objectif de simuler des conditions environnementales sévères, afin d'accélérer la détection de violations des contraintes temporelles lors de l'analyse temporelle statique. Toutefois, dans cette partie, les températures commerciales extrêmes de 0°C et 85°C sont suffisantes pour réaliser une analyse temporelle statistique appropriée.

4.2.1 Modèle de variabilité de délai

Tel que mentionné au chapitre 2, la variabilité des procédés de fabrication des circuits intégrés peut être classée en deux grandes catégories : (a) les variations globales et (b) les variations locales. En général, toutes les variations d'une puce à l'autre, d'une tranche à l'autre sont combinées en une variation globale (également appelée variation inter-dé). La variabilité à travers une puce (intra-dé) est appelée variation locale (selon la section 1.3).

Chaque paramètre de procédés de fabrication ayant un impact significatif sur les caractéristiques du circuit peut être représenté sous la forme suivante :

$$P = P_0 + P_{global} + P_{local} \quad (4.1)$$

Où P_0 est la valeur nominale ou moyenne, P_{global} la composante globale des variations pour ce paramètre, et P_{local} la composante locale des variations pour ce paramètre.

Dans notre modèle de variabilité proposé, la composante globale est représentée par un ensemble de modèles, chaque modèle de transistor *NMOS* et *PMOS* ayant une version rapide (F), typique (T) et lente (S), fournies par le fabricant sous forme de *netlist* dans le cadre du kit de conception de procédé (*PDK*).

Pour la composante locale, elle est modélisée par une distribution de variables aléatoires gaussiennes de chacun des paramètres de procédés de fabrication caractérisées par une moyenne μ_p et un écart type σ_p .

Estimation du délai d'une porte logique

Pour estimer la variabilité du délai d'une porte logique, nous prenons en compte deux composantes principales de variation paramétrique : les variations de tension de seuil V_{th} et la longueur du dispositif L , dans des conditions de température ambiante. En nous basant sur l'équation (1.2), le délai analytique T_d d'une porte est donné par l'équation suivante, en tenant compte de l'effet de la tension de seuil V_{th} et de la longueur du dispositif L :

$$T_d = KV_{dd} * \left(\frac{\left(1 + \frac{V_{dd}-V_{thn}}{E_{sat}*L}\right)}{(V_{dd}-V_{thn})^2} + \frac{\left(1 + \frac{V_{dd}-|V_{thp}|}{E_{sat}*L}\right)}{(V_{dd}-|V_{thp}|)^2} \right) \quad (4.2)$$

Où

V_{dd} : tension d'alimentation de fonctionnement

V_{thn} : tension de seuil *NMOS*

V_{thp} : tension de seuil *PMOS*

E_{sat} : saturation de la vitesse

L : longueur du dispositif

K : facteur de proportionnalité

Le paramètre "K" est déterminé de manière expérimentale en utilisant les données de simulation *Hspice*.

Puisque :

$$T_d(\text{hspice}) \approx T_d(\text{model}) \quad (4.3)$$

Alors :

$$K \approx \frac{T_d(\text{hspice})}{\frac{V_{dd}(1 + \frac{V_{dd} - V_{th}}{E_{sat}L})}{(V_{dd} - V_{th})^2}} \quad (4.4)$$

Le délai statistique T_d est composé de 2 variables aléatoires indépendantes; V_{th} et L . Ces variables aléatoires correspondent à des paramètres physiques et de performance, qui peuvent être approximés par des distributions normales, avec une valeur moyenne μ et une variance σ^2 .

Soit :

$$X_{Vth} \sim N(\mu_{Vth}, \sigma_{Vth}^2) \quad (4.5)$$

$$X_L \sim N(\mu_L, \sigma_L^2) \quad (4.6)$$

Ce sont les paramètres qui ont l'impact le plus signifiant sur le délai de la porte logique en considérant les variations paramétriques de procédés de fabrication. Ces valeurs sont fournies par la bibliothèque de la technologie utilisée. Bien que ces variables ne soient pas strictement normales, leur comportement normal peut être approximé comme discuté dans (Nassif, 2001), (Zhan et al., 2005).

Une expression du premier ordre de la valeur moyenne du délai de la porte (μ_{T_d}) est obtenue en évaluant la fonction T_d aux valeurs nominales des paramètres.

Soit :

$$T_d = f(X_{Vth}, X_L) \quad (4.7)$$

Alors :

$$\mu_{T_d} = [f(\mu_{Vth}, \mu_L)]_{nom} \quad (4.8)$$

Donc :

$$\mu_{T_d} = \left[K \left(\frac{V_{dd} \left(1 + \frac{V_{dd} \cdot V_{thn}}{Esat * L} \right)}{(V_{dd} - V_{thn})^2} + \frac{V_{dd} \left(1 + \frac{V_{dd} \cdot |V_{thp}|}{Esat * L} \right)}{(V_{dd} - |V_{thp}|)^2} \right) \right]_{nom} \quad (4.9)$$

La variance de T_d est calculée en utilisant l'équation (1.10). La contribution d'un paramètre à la variance de délai d'une porte logique est déterminée par l'impact relatif de la sensibilité de délai à un paramètre technologique de procédés de fabrication et de l'écart type du paramètre.

La variance du délai de la porte pour les variations des paramètres L et V_{th} est obtenue alors comme suit :

$$\sigma_{T_d} = \sqrt{S_{T_d, V_{thn}}^2 \sigma_{V_{thn}}^2 + S_{T_d, V_{thp}}^2 \sigma_{V_{thp}}^2 + S_{T_d, L}^2 \sigma_L^2} \quad (4.10)$$

Tout en considérant que V_{thn} , V_{thp} et L suivent des lois normale données comme suit :

$$V_{thn} \sim N(\mu_{V_{thn}}, \sigma_{V_{thn}}^2) \quad (4.11)$$

$$V_{thp} \sim N(\mu_{V_{thp}}, \sigma_{V_{thp}}^2) \quad (4.12)$$

$$L \sim N(\mu_L, \sigma_L^2) \quad (4.13)$$

Les sensibilités nécessaires pour estimer la variance du délai de porte logique peuvent être obtenues analytiquement, comme suit :

$$S_{T_d, V_{thn}}^2 = \left(\frac{\partial T_d}{\partial V_{thn}} \right)^2 \quad (4.14)$$

$$S_{T_d, V_{thp}}^2 = \left(\frac{\partial T_d}{\partial V_{thp}} \right)^2 \quad (4.15)$$

$$S_{T_d, L}^2 = \left(\frac{\partial T_d}{\partial L} \right)^2 \quad (4.16)$$

Dans l'équation (4.10), la variance du délai est estimée en tenant en compte de la variation des transistors du réseau de commutation activé par les transitions du signal d'entrée.

Estimation du délai d'un chemin de portes logiques

Cette section présente les performances statistiques d'un chemin logique composé de plusieurs portes logiques soumis à des variations de procédés de fabrication. On suppose que les délais

des différents portes logiques suivent des distributions normales de moyenne μ_{T_d} et de variance $\sigma_{T_d}^2$ où $(T_d \sim N(\mu_{T_d}, \sigma_{T_d}^2))$.

La valeur moyenne du délai à la sortie d'un chemin de M portes logiques est calculée en accumulant tous les délais nominaux des portes dans le chemin, il est donné selon l'équation (1.8):

$$\mu_{T_d} = \sum_{i=1}^M \mu_{T_{d_i}} \quad (4.17)$$

La variance à la sortie du chemin de portes logiques est alors obtenue par la somme de toutes les variables aléatoires corrélées selon l'équation (1.13), comme indiqué dans l'équation :

$$\sigma_{T_d}^2 = \sum_{i=1}^M \sigma_{T_{d_i}}^2 + 2 \sum_{i=1}^M \sum_{j=i+1}^M cov(T_{d_i}, T_{d_j}) \quad (4.18)$$

Où M est le nombre de portes logiques contenues dans le chemin, le premier terme représente la somme des variances de M portes logiques du chemin et le deuxième terme représente la covariance entre les distributions de délais du porte logique i avec la porte logique j. Le deuxième terme prend en compte les contributions de covariance dues à la corrélation spatiale des paramètres entre les emplacements de la porte logique.

Pour les variations locales, nous supposons que les paramètres de procédés de fabrication sont indépendants, ce qui signifie que les coefficients de corrélation ainsi que les éléments des matrices de covariance sont égaux à zéro pour la composante P_{local} de l'équation (4.1).

4.2.2 Modèle d'analyse statistique de performance

Dans ce modèle d'analyse statistique de performance on va présenter 3 sections à savoir : contrainte statistique logique, contrainte statistique temporelle et rendement temporel.

Contrainte statistique logique

Lorsque la propagation des transitions montantes et descendantes n'est pas parfaitement équilibrée, la propagation d'une impulsion peut être interrompue dans la ligne à délai, ce qui peut entraîner une défaillance du système. La largeur d'une impulsion peut être réduite/augmentée par la différence entre les durées respectives des deux transitions. En tenant compte des variations de procédés de fabrication et du *DVS*, les effets du phénomène d'élargissement/rétrécissement sont généralement amplifiés. En utilisant l'équation proposée dans (3.3), nous pouvons dériver l'expression statistique suivante pour garantir sur une limite basée à 3 sigma, une propagation appropriée des impulsions dans les circuits du type *SRBDHF* :

$$(PW - 3\sigma_{diff_De} > \text{Nb} * |diff| + 3\sigma_{PW})_{V_i} \quad (4.19)$$

Avec :

diff : différence de propagation entre la transition montante et la transition descendante

Nb : nombre de portes logiques identiques dans la ligne à délai du circuit *SRBDHF*

PW : largeur de l'impulsion qui se propage dans la ligne à délai

σ_{PW} : écart type de la largeur de l'impulsion

σ_{diff_De} : écart type de la différence de délai de propagation des transitions montantes et descendantes

V_i : tension d'alimentation d'opération

Étant donné que le délai de propagation des transitions montantes et descendantes augmente lorsque les tensions d'alimentation diminuent, il est essentiel que l'impulsion injectée dans une ligne à délai d'un circuit *SRBDHF* satisfasse la condition définie dans l'équation (4.19) pour toutes les conditions de *DVS* données. Cette condition garantit sur la limite traditionnelle de 3 sigma, un bon fonctionnement du circuit en assurant que la largeur de l'impulsion est

suffisamment grande pour compenser l'augmentation du délai de propagation causée par la réduction de la tension d'alimentation.

Dans le circuit de pipeline *CE*, le bon fonctionnement repose sur la génération de signaux de contrôle bien définis (*fire1* et *fire2*), et non sur la génération locale (et en boucle ouverte) d'une impulsion. Cela implique par exemple qu'un signal passant de 0 à 1 et envoyé dans une ligne à délai ne peut redescendre à 0 avant que l'étage voisin ne signifie sa réception. Par conséquent, la largeur des signaux de contrôle doit être supérieure à la largeur minimale définie dans la bibliothèque technologique.

Contraintes statistiques temporelles

Pour générer des signaux de contrôle locaux, les circuits *SRBDHF* et *CE* utilisent des lignes de délai plutôt que de recourir à un signal d'horloge global. La ligne de délai est conçue pour garantir un transfert sécurisé des données dans le nuage logique. Cependant, les écarts de délai causés par les variations de procédés de fabrication entre le nuage logique et la ligne à délai posent des limites de performances dans les conceptions *SRBDHF* et *CE*.

Si les variations de procédés de fabrication dans les circuits *SRBDHF* et *CE* suivent une distribution statistique gaussienne, la variabilité de la logique combinatoire et les lignes à délai de circuit *SRBDHF* et *CE* peut être modélisée par une distribution normale avec une fonction de densité de probabilité f_{logic} , f_{De} et f_{T_1} respectivement, où *logic* est la valeur du délai de propagation dans le nuage combinatoire, *De* est valeur du délai de propagation dans la ligne à délai et T_1 est la valeur délai de propagation entre les fronts montants *fire1* et *fire2* dans le circuit *CE*.

Afin d'analyser l'impact des variations de procédés de fabrication sur la performance de la structure de ces circuits, nous supposons dans ce cas que:

$$f_{logic} \sim N(\mu_{logic}, \sigma_{logic}^2) \quad (4.20)$$

$$f_{De} \sim N(\mu_{De}, \sigma_{De}^2) \quad (4.21)$$

$$f_{T1} \sim N(\mu_{T1}, \sigma_{T1}^2) \quad (4.22)$$

Pour garantir la fiabilité des contraintes de synchronisation tout en prenant en compte les variations de procédés de fabrication, le délai de la ligne doit toujours être supérieur au délai du chemin critique. La spécification statistique exige que la probabilité de respecter cette contrainte soit égale à 1. Ces contraintes de synchronisation pour deux types de circuits asynchrones (*SRBDHF* et *CE* respectivement) sont définies comme suit :

$$P(f_{logic} < f_{De}) = 1 \quad (4.23)$$

$$P(f_{logic} < f_{T1}) = 1 \quad (4.24)$$

Comme mentionné au chapitre 2, la tolérance temporelle des circuits asynchrones est : 1) basée sur les contraintes de temps de prépositionnement (*setup time*) et de temps de maintien (*hold time*), 2) liée à la notion de rendement temporel. Rappelons également que le circuit fonctionne correctement uniquement lorsque ces deux contraintes sont respectées, mais qu'il existe une faible probabilité de mauvais fonctionnement malgré le respect des contraintes. Rappelons finalement qu'une violation du temps de prépositionnement signifie que le nuage logique est trop lent pour transférer les données vers le registre de destination *DST*. L'application du *DVS* aux circuits asynchrones de type *SRBDHF* et *CE* peut affecter différemment les délais des différents composants du circuit.

La contrainte statistique qui permet de prévenir une violation des contraintes temporelles de prépositionnement basée sur la limite traditionnelle de 3 sigmas pour les circuits asynchrones *SRBDHF* et *CE*, respectivement, pour une tension d'alimentation V_i donnée, est la suivante :

$$MS_{i(SRBDHF)} = ((a_i De) - b_i D_{clmax}) - 3c_i \sigma_{D_{clmax}} - 3d_i \sigma_{De} - su)_{V_i} > 0 \quad (4.25)$$

$$MS_{i(CE)} = (a'_i T_1) - (b_i D_{clmax}) - 3c_i \sigma_{D_{clmax}} - 3d'_i \sigma_{T_1} - su)_{V_i} > 0 \quad (4.26)$$

Où

$MS_{i(SRBDHF)}$: contrainte de prépositionnement pour le type de circuit SRBDHF

$MS_{i(CE)}$: contrainte de prépositionnement pour le type de circuit CE

D_{clmax} : valeur moyenne du délai maximal du chemin dans le nuage logique

De : valeur moyenne du délai de propagation dans la ligne à délai (≥ 1) du circuit SRBDHF

T_1 : valeur moyenne du délai de propagation entre les fronts montants fire1 et fire2 dans le circuit CE (voir Figure 1.4).

$\sigma_{D_{clmax}}$: écart type de D_{clmax}

σ_{De} : écart type de De

σ_{T_1} : écart type de T_1

a_i, b_i, a'_i : facteurs de croissance du délai pour les termes De , D_{clmax} et T_1 respectivement.

(*Delay Growth Factor*, DGF ≥ 1)

c_i, d_i, d'_i : facteurs de croissance de l'écart type pour les termes $\sigma_{D_{clmax}}, \sigma_{De}, \sigma_{T_1}$, respectivement.

(*Standard deviation Growth Factor*, SGF ≥ 1)

Les DGF sont exprimés sous forme de rapport entre le délai à V_i et le même délai à la tension d'alimentation maximale considérée, à savoir 1,1V.

Les SGF sont exprimés sous forme de rapport entre l'écart type à V_i et le même écart type à la tension d'alimentation maximale considérée, à savoir 1,1V.

Pour simplifier l'expression, nous supposons que les valeurs utilisées de su et de h sont nulles pour toutes les valeurs de tension.

Les violations du temps de maintien se produisent lorsque les marges décrites par les équations (4.27) et (4.28) sont négatives. La contrainte statistique pour prévenir une violation basée sur la limite traditionnelle du 3 sigma pour les circuits asynchrones SRBDHF et CE, respectivement, pour une tension d'alimentation V_i donnée, est la suivante :

$$\begin{aligned} MH_{i(SRBDHF)} &= ((e_i D_{clmin}) + (f_i T_c) - (a_i D_e) - 3d_i \sigma_{D_e} - \\ &\quad 3g_i \sigma_{T_c} - 3h_i \sigma_{Dclmin} - h)_{Vi} > 0 \end{aligned} \quad (4.27)$$

$$MH_{i(CE)} = (e_i D_{CLmin} + j_i T_2 - 3h_i \sigma_{Dclmin} - 3l_i \sigma_{T_2} - h)_{Vi} > 0 \quad (4.28)$$

Où

D_{clmin} : valeur moyenne du délai minimal du chemin dans le nuage logique

D_e : valeur moyenne du délai de propagation dans la ligne à délai (≥ 1) du circuit CE

T_c : valeur moyenne durée du cycle de lancement de l'impulsion (c'est-à-dire le temps nécessaire pour qu'un jeton revienne à une unité d'exécution et relance une impulsion)

T_2 : valeur moyenne du délai de propagation entre les fronts montants Fire2 et Fire1

σ_{Dclmin} : écart type de D_{clmin}

σ_{T_c} : écart type de T_c

σ_{D_e} : écart type de D_e

σ_{T_2} : écart type de T_2

V_i : tension d'opération spécifique

e_i, f_i, j_i : facteurs de croissance du délai pour les termes D_{clmin}, T_c, T_2 respectivement. (*Delay Growth Factor, DGF* ≥ 1)

g_i, h_i, l_i : facteurs de croissance de l'écart type pour les termes $\sigma_{T_c}, \sigma_{Dclmin}, \sigma_{T_2}$ respectivement. (*Standard deviation Growth Factor, SGF* ≥ 1)

Rendement temporel

Étant donné une valeur de tension spécifique V_i , considérons la marge de prépositionnement comme une variable aléatoire donnée par:

$$MS_i \sim N(\mu_{MS_i}, \sigma_{MS_i}) \quad (4.29)$$

Où μ_{MS_i} et σ_{MS_i} sont la moyenne et l'écart type de la variable aléatoire normalement distribuée. Pour trouver la probabilité que la variable aléatoire MS_i soit supérieure à zéro, la fonction de densité de probabilité de MS_i est désignée par $P(MS_i)$.

Si $P(MS_i) > 0$, le circuit satisfait la contrainte de prépositionnement statistique. Ainsi, le rendement temporel pour une marge de prépositionnement est la probabilité que :

$$Y_{MS_i} = P(MS_i > 0) \quad (4.30)$$

Alors

$$Y_{MS_i} = [1 - P(MS_i < 0)] \quad (4.31)$$

Où $P(MS_i < 0)$ est la fonction de distribution cumulative (*CDF*) bien connue de la distribution normale de MS_i .

Considérons MS_i variable aléatoire gaussienne de moyenne μ_{MS_i} et de variance σ_{MS_i} , sachant que :

$$CDF(MS_i) = P(MS_i < 0) = \frac{1}{2}(1 + \operatorname{erf}\left(\frac{-\mu_{MS_i}}{\sqrt{2} \sigma_{MS_i}}\right)) \quad (4.32)$$

Remplaçons 4.32 dans 4.31, on obtient alors :

$$Y_{MS_i} = 1 - \frac{1}{2} \left(1 + \operatorname{erf} \left(\frac{-\mu_{MS_i}}{\sqrt{2} \sigma_{MS_i}} \right) \right) \quad (4.33)$$

Le développement de l'expression de la performance temporelle pour une marge de maintien Y_{MH_i} est similaire à celui décrit précédemment pour la marge de prépositionnement. Ainsi, Y_{MH_i} devient:

$$Y_{MH_i} = 1 - \frac{1}{2} \left(1 + \operatorname{erf} \left(\frac{-\mu_{MH_i}}{\sqrt{2} \sigma_{MH_i}} \right) \right) \quad (4.34)$$

Nous voulons qu'à la fois Y_{MS_i} et Y_{MH_i} du circuit soient supérieurs à zéro. Pour obtenir la performance combinée pour Y_{MS_i} et Y_{MH_i} , nous supposons que Y_{MS_i} et Y_{MH_i} sont indépendants. La performance temporelle statistique combinée est donc donnée par:

$$Y_i(MS_i, MH_i) = Y_{MS_i} * Y_{MH_i} \quad (4.35)$$

Où $Y_i(MS_i, MH_i)$ est le rendement temporel statistique combiné du circuit à la tension d'opération V_i .

4.3 Résultats et discussion

Cette section présente les résultats des simulations de circuits Figure 4.1 et Figure 4.2 pour évaluer les performances statistiques des circuits ciblés. Les variations de procédés de fabrication, de température et de tension sont prises en compte. Rappelons que les paramètres de variation de procédés de fabrication sont la tension seuil V_{th} et la longueur du transistor L . Les spécifications de la variation de procédés de fabrication sont répertoriées dans le Tableau 4.1. La valeur nominale V_{dd} est de 1,1V. Plusieurs valeurs de température de 0°C, 25°C et 85°C sont utilisées pour évaluer les contraintes statistiques en fonction des variations de température. Pour le DVS, les valeurs de tension d'alimentation varient entre 1,1V et 0,7V. Toutes les

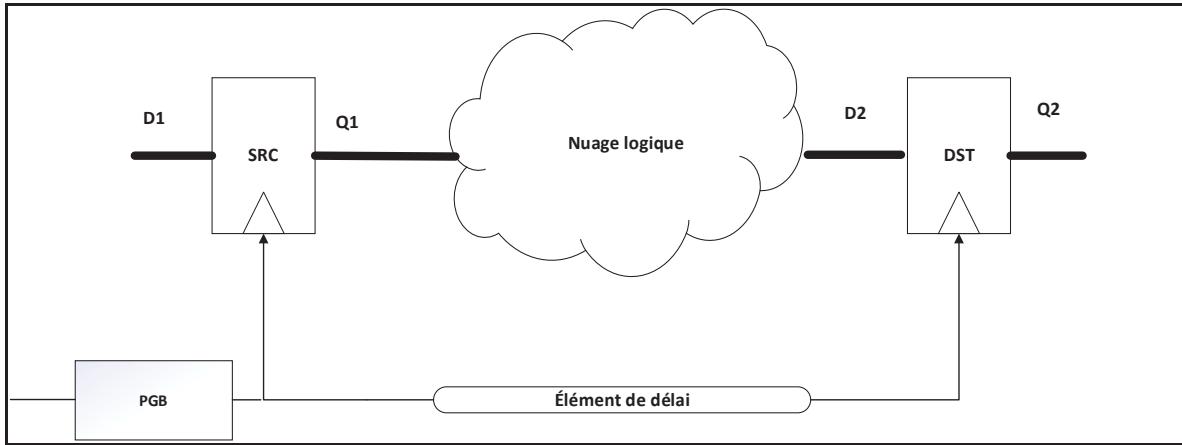
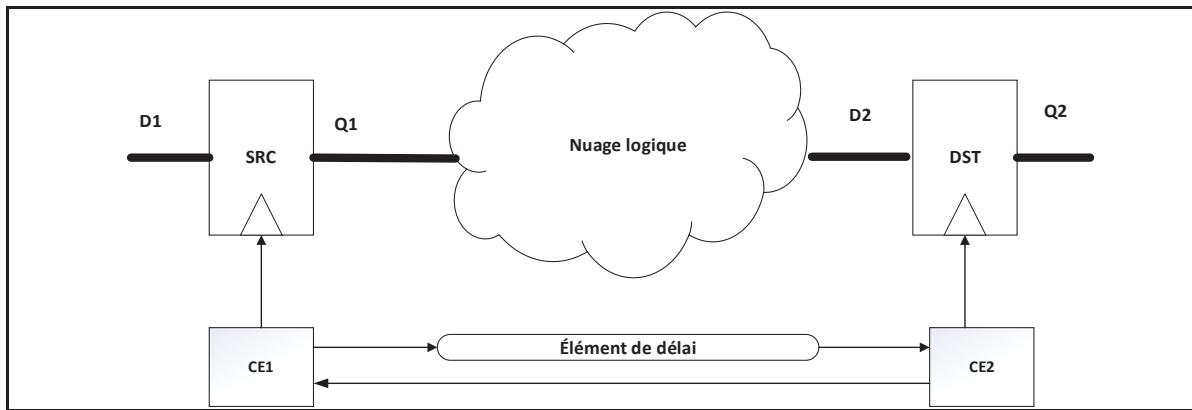
simulations ont été réalisées à l'aide de *Hspice*, basé sur une bibliothèque de cellules standards implémentée avec le modèle *BSIM4* de la technologie *CMOS* 90 nm adoptée (Dunga et al., 2006). Des pipelines de référence sont utilisés pour valider le modèle proposé (ANNEXE I, ANNEXE II).

Tableau 4.1 Valeurs statistiques des paramètres L V_{thn} et V_{thp}

Paramètres	L(en nm)	V _{thn} (en V)	V _{thp} (en V)
Valeur nominale	90	0.2715	-0.188
Écart type	9	0.02715	0.0188

Le pipeline de référence *SRBDHF* (Figure 4.1) comprend un registre source et un registre de destination, un bloc générateur d'impulsions, un nuage logique émulant deux instructions et une ligne à délai. Le pipeline *CE* (Figure 4.2) comprend également un registre source et un registre de destination, deux blocs d'éléments *Click* séparés par une ligne à délai, et un nuage logique représentant les mêmes deux instructions. Nous avons configuré le nuage logique du pipeline de la même manière pour les deux circuits asynchrones. Le chemin court du nuage logique contient 5 portes *NAND*, tandis que le chemin long en contient 7. La ligne à délai des pipelines *SRBDHF* et des *CE* comprend 20 portes *NAND*.

Dans notre modèle, nous supposons que les coefficients de corrélation ainsi que les éléments des matrices de covariance sont égaux à zéro.

Figure 4.1 Circuit d'essai de type *SRBDHF*Figure 4.2 Circuit d'essai de type *CE*

4.3.1 Validation du modèle de variabilité de délai proposé

Pour valider notre approche statistique proposée, nous avons utilisé une simulation Monte Carlo (*MC*) avec 1000 itérations comme référence pour la comparaison. Dans le contexte de la simulation Monte Carlo, les variations locales font référence aux variations spécifiques à un transistor donné en variant les paramètres V_{th} et L selon le Tableau 4.1. Tandis que les variations globales qui affectent l'ensemble du circuit sont définies par les coins des dispositifs *NMOS* et *PMOS*.

Les Tableau 4.2 et Tableau 4.3 présentent l'erreur en % de la moyenne et de l'écart type des différents délais de propagation $Dclmin$, $Dclmax$, T_1 et De en fonction de la tension d'alimentation entre la simulation Monte Carlo et la méthode proposée dans ce modèle pour les circuits *CE* et *SRBDHF* respectivement.

Pour chaque mesure de délai, l'erreur des valeurs moyennes et d'écart type pour les deux méthodes (*MC* et méthode proposée) sont calculées en utilisant la formule suivante :

$$\text{erreur} (\%) = \frac{|Valeur_{modèle} - Valeur_{MC}|}{Valeur_{MC}} * 100 \quad (4.36)$$

Tableau 4.2 Erreurs relatives de la moyenne et de l'écart type des différents délais en (%) entre *MC* et le modèle proposé pour le circuit *CE* en fonction de la variation de tension d'alimentation

Voltage	<i>Dclmin</i>		<i>Dclmax</i>		<i>T_I</i>	
	μ	σ	μ	σ	μ	σ
1.1	1.30	18.2	0.93	22.3	1	33.3
1	1.65	24.3	1.15	27.6	1.65	37.6
0.9	1.94	32.4	1.45	38.2	1.98	44.7
0.8	2.13	48.2	2.18	50.9	2.43	55.9
0.7	2.79	53.1	2.83	58.1	2.99	62.1

Tableau 4.3 Erreurs relatives de la moyenne et de l'écart type des différents délais en (%) entre *MC* et le modèle proposé pour le circuit *SRBDHF* en fonction de la variation de tension d'alimentation

Voltage	<i>Dclmin</i>		<i>Dclmax</i>		<i>De</i>	
	μ	σ	μ	σ	μ	σ
1.1	1.12	16.2	1.15	20.3	1.55	28.3
1	1.44	26.3	1.74	29.6	1.74	33.6
0.9	1.67	30.4	1.88	33.2	1.98	39.7
0.8	2.13	46.2	2.43	50.9	2.63	52.6
0.7	2.45	50.2	2.86	55.1	3.17	58.5

On peut observer que dans le Tableau 4.2 par exemple, l'erreur sur la moyenne du délai *Dclmin* est de 1.3% pour la tension d'alimentation 1.1V et de 2.79% pour la tension d'alimentation 0.7V. De même l'erreur sur l'écart type du délai *Dclmin* est de 18.2% pour la tension d'alimentation 1.1V et de 53.1% pour la tension d'alimentation 0.7V. De la même manière, on peut observer dans le Tableau 4.3 par exemple que l'erreur sur la moyenne du délai *De* est de 1.55% pour la tension d'alimentation 1.1V et de 3.17% pour la tension d'alimentation 0.7V, tandis que l'erreur sur l'écart type du délai *De* est de 28.3% pour la tension d'alimentation 1.1V et de 58.5% pour la tension d'alimentation 0.7V. On peut donc constater qu'en diminuant la tension d'alimentation l'erreur sur la moyenne et l'écart type a tendance d'augmenter.

Les résultats du modèle proposé pour les valeurs moyennes de délai sont proches des résultats *MC*, avec des erreurs variantes entre 1 % et 3.17 % pour les deux types de circuits asynchrones. À mesure que nous approchons de la région sous seuil (*sub-threshold*), des paramètres supplémentaires peuvent être inclus pour une meilleure précision dans l'estimation des délais.

D'autre part, l'erreur relative dans l'écart type varie de 18 % à 62.1 %. Notez que toutes les valeurs d'erreur pour les mesures comparées entre le modèle et les simulations de Monte Carlo sont négatives si la valeur absolue n'est pas prise en compte. Cela peut s'expliquer par l'absence du terme de coefficient de corrélation dans le modèle proposé. Comme observé dans le travail de (Raji, Ghavami, & Pedram, 2009), qui ont réalisé une analyse statistique de circuits asynchrones en utilisant une modélisation par réseaux de Petri, leurs résultats, comparés à ceux de Monte Carlo, présentaient également des erreurs importantes dans l'écart type, avec une erreur relative allant de 18 % à 51,3 % (en valeurs absolues). Nous supposons que cette erreur relative provient de l'hypothèse de zéro coefficient de corrélation, étant donné qu'il y a une corrélation dans la définition statistique des paramètres V_{th} et L dans les fichiers de bibliothèque de simulation *MC* sur *Hspice BSIM4*. La prise en compte de la corrélation pour améliorer la précision fait partie de nos travaux futurs.

Dans le but d'analyser l'impact de l'erreur d'écart type obtenu dans les Tableau 4.2 et Tableau 4.3 sur les performances des circuits asynchrones *CE* et *SRBDHF*, nous examinerons comment ces erreurs influencent les performances statistiques de ces circuits. Les résultats obtenus sont présentés au Tableau 4.4.

Tableau 4.4 Comparaison du ratio μ/σ pour les marges de prépositionnement et de maintien estimé par les mesures *Hspice* et le modèle proposé pour les circuits *CE* et *SRBDHF* en fonction de la tension d'alimentation

Circuit <i>CE</i>	<i>Hspice</i>		Modèle	
Voltage	$\frac{\mu_{MS}}{\sigma_{MS}}$	$\frac{\mu_{MH}}{\sigma_{MH}}$	$\frac{\mu_{MS}}{\sigma_{MS}}$	$\frac{\mu_{MH}}{\sigma_{MH}}$
1.1	17.44	652.26	29.98	1230.7
1.0	15.72	518.16	30.20	1050.1
0.9	14.70	397.37	30.54	868.91
0.8	11.73	260.16	30.97	671.31
0.7	10.02	144.02	31.87	486.04
Circuit <i>SRBDHF</i>	<i>Hspice</i>		Modèle	
Voltage	$\frac{\mu_{MS}}{\sigma_{MS}}$	$\frac{\mu_{MH}}{\sigma_{MH}}$	$\frac{\mu_{MS}}{\sigma_{MS}}$	$\frac{\mu_{MH}}{\sigma_{MH}}$
1.1	10.73	373.37	17.27	632.03
1.0	10.43	280.17	17.34	518.20
0.9	9.43	205.25	17.59	406.12
0.8	7.61	128.59	17.64	280.20
0.7	7.00	64.90	18.29	182.83

Nous examinons comment ces erreurs d'écart-type affectent les valeurs μ/σ des circuits *CE* et *SRBDHF*, utilisées dans les équations (4.33), (4.34) et (4.35). Pour vérifier si la contrainte cible de rendement temporel statistique peut être atteinte. Les résultats présentés dans le Tableau 4.4 sont dérivés à travers deux approches de calcul distinctes : l'une reposant sur le simulateur *Hspice* et l'autre utilisant le modèle établi dans le cadre de cet article.

Le Tableau 4.4 répertorie les valeurs μ/σ des deux contraintes temporelles statistiques liées aux marges de prépositionnement et de maintien. L'évaluation des contraintes statistiques repose sur le rapport μ/σ , car ce terme figurant dans les équations 4.33 et 4.34, sera ensuite utilisé pour calculer le rendement paramétrique du circuit à différentes valeurs de tension d'alimentation. Le ratio obtenu à partir du simulateur *Hspice*, par exemple pour la contrainte de marge de prépositionnement, varie de 17.44 pour une tension d'alimentation de 1.1V à 10.02 pour une tension d'alimentation de 0.7V pour le circuit *CE* et de 10.73 pour une tension d'alimentation de 1.1V à 7 pour une tension d'alimentation de 0.7V pour le circuit *SRBDHF*. De même, le ratio μ/σ obtenu par le modèle proposé pour la contrainte de prépositionnement varie de 29.98 pour une tension d'alimentation de 1.1 V à 31.87 pour une tension d'alimentation de 0.7V pour le circuit *CE* et de 17.27 pour une tension d'alimentation de 1.1V à 18.29 pour une tension d'alimentation de 0.7V pour le circuit *SRBDHF*. Le ratio μ/σ obtenu dans les simulations *Hspice* a tendance à diminuer légèrement avec la diminution de la tension d'alimentation pour les circuits *CE* et *SRBDHF*. D'autre part, le ratio μ/σ obtenu par le modèle proposé a tendance à augmenter légèrement avec la diminution de la tension d'alimentation pour les deux types de circuits. Il est également remarquable que les valeurs de ratio μ/σ prédites par le modèle proposé sont supérieures à celles calculées par les simulations *Hspice*. Le modèle calcule des valeurs inférieures pour σ_{MS} , σ_{MH} par rapport à celles obtenues par *Hspice*, principalement en raison de l'omission du terme de corrélation dans l'équation (4.10).

Même avec un pourcentage d'erreur variant de 18 % à 62.1 % pour les valeurs sigma, cela entraîne seulement une perte de rendement supplémentaire de 1.12e-12 (en utilisant l'équation (4.36)). Cela indique que seulement un pourcentage de 1.12e-12 des circuits ne respecteront pas les contraintes temporelles statiques définies à l'aide du modèle développé.

Ainsi, nous concluons que l'erreur d'écart-type entre le modèle et les simulations de Monte Carlo n'affecte pas significativement la contrainte de rendement temporel statistique. Dans cette étude spécifique, il est noté que la contrainte temporelle statistique est satisfaite à la fois par le modèle et par les simulations *Hspice*.

Un autre aspect à considérer est le temps d'exécution de notre modèle par rapport aux simulations de Monte Carlo. Le circuit précédent a été analysé pour toutes les contraintes statistiques proposées en 25.6 heures avec les simulations de Monte Carlo, tandis que notre modèle ne prend que quelques secondes lorsqu'il est exécuté sur une machine Intel Core i7.

4.3.2 Impact des variations de tension, de température et de procédés de fabrication

Nous évaluons l'impact des variations de tension, de température et des procédés de fabrication sur la propagation de l'impulsion dans le circuit *SRBDHF*. En utilisant l'équation (4.19), nous examinons les paramètres statistiques pour différentes tensions de fonctionnement.

Tableau 4.5 Évolution des performances logiques statistiques pour le circuit *SRBDHF* sous variation de tension d'alimentation

Voltage (V)	PW		diff		param1 (ns)	param2 (ns)
	μ_{PW} (ns)	σ_{PW} (ps)	μ_{diff} (ps)	σ_{diff} (ps)		
1.1	1.36	3.05	5.07	0.69	1.32	0.111
1.0	1.57	4.40	5.03	0.89	1.52	0.114
0.9	1.89	5.84	4.88	1.24	1.82	0.115
0.8	2.39	9.05	4.67	1.80	2.28	0.121
0.7	3.21	12.9	4.42	3.00	3.03	0.127

Le Tableau 4.5 présente l'effet de la variation des procédés de fabrication et de la tension sur la largeur de l'impulsion injectée dans la ligne à délai (composée de 20 portes *NAND*) du circuit *SRBDHF* à une température de 25 °C, tandis que le Tableau 4.6 illustre l'effet de la variation de température sur ce type de circuit. Notez que toutes les mesures pour les Tableau 4.5 et Tableau 4.6 ont été effectuées à l'aide de l'outil *Hspice*. Le paramètre "param1" représente la mesure de la largeur de l'impulsion dérivée de $PW - 3\sigma_{diff_De}$, tandis que "param2" représente la mesure de $Nb * |diff| + 3\sigma_{PW}$ (équation (4.14)).

Tableau 4.6 Évaluation de la contrainte logique statistique (ns) pour le circuit *SRBDHF* à différentes valeurs de température sous variation de tension, en utilisant des simulations *Hspice*

Voltage	“param1-param2”		
	0°C	25°C	85°C
1.1	1.08	1.21	1.24
1.0	1.25	1.40	1.42
0.9	1.52	1.70	1.76
0.8	1.96	2.16	2.22
0.7	2.49	2.90	3.54

Les résultats du Tableau 4.5 montrent que la moyenne de la largeur d'impulsion (μ_{PW}) augmente avec la diminution de la tension d'alimentation (passant de 1.36 ns pour une tension de 1.1V à 3.21 ns pour une tension de 0.7V). Cela est attribué à la nature des portes logiques dans le bloc de génération d'impulsions (*PGB*) et à la ligne à délai du circuit *SRBDHF*. Comme le montre (Benyoussef, Thibeault, & Savaria, 2019), avec des variations de tension d'alimentation, le signal propagé à travers une chaîne de portes logiques peut subir des déformations en fonction des caractéristiques de chaque porte logique vis-à-vis des variations de la tension d'alimentation. Il est également possible d'observer à partir du Tableau 4.5 que param1 varie entre 1.32 ns et 3.03 ns pour des tensions de 1.1V et 0.7V, respectivement, et param2 varie entre 0.111 ns et 0.127 ns pour des tensions de 1.1V et 0.7V, respectivement. Les valeurs de param1 et de param2 augmentent toutes deux avec la diminution de la tension

d'alimentation. De plus, l'écart entre les mesures de param1 et de param2 augmente avec la diminution de la tension. Par conséquent, dans cet exemple d'étude de cas, param1 est systématiquement supérieur à param2 dans le circuit SRBDHF.

Il convient de noter qu'avec d'autres configurations architecturales de circuit SRBDHF, où la largeur d'impulsion n'est pas suffisamment grande ou a diminué en raison des variations de la tension d'alimentation, une diminution de la largeur d'impulsion avec une diminution de la tension d'alimentation peut être observée. Étant donné que σ_{diff} et σ_{PW} tendent à augmenter avec la diminution de la tension d'alimentation, la mesure "param1" peut diminuer d'un côté, tandis que la mesure "param2" peut augmenter. Cela pourrait avoir un impact sur la propagation correcte à travers la ligne à délai, potentiellement conduire à un circuit peu fiable à basse tension. Par conséquent, le modèle proposé devient pertinent, permettant de vérifier la viabilité d'une configuration potentielle du circuit SRBDHF avec DVS.

En tenant compte des différentes conditions de température, nous avons évalué la contrainte logique statistique dans différents scénarios de température, à 0°C et 85°C. Nous avons enregistré l'évolution de "param1-param2" pour déterminer si, indépendamment des variations de température, cette mesure reste positive et conforme à la condition définie dans l'équation (4.19).

Selon le Tableau 4.6, la mesure "param1-param2" est systématiquement positive pour les températures de 85°C et 0°C. Elle varie de 1.08 ns pour 1.1 V à 2.94 ns pour 0.7 V pour une température de 0°C, et varie de 1.24 ns pour 1.1 V à 3.54 ns pour 0.7 V pour une température de 85°C.

On observe que pour toutes les conditions de température étudiées, la valeur "param1-param2" satisfait la condition spécifiée dans l'équation (4.19). Par conséquent, nous pouvons conclure que la contrainte logique statistique est validée.

Pour illustrer l'effet de la température sur les contraintes statistiques temporelles pour les deux types de circuits, le rapport μ/σ est calculé pour deux températures distinctes : 0°C et 85°C,

pour les marges de prépositionnement et de maintien. Ce rapport est ensuite utilisé pour calculer les pertes de rendement. Les résultats sont présentés dans le Tableau 4.7.

Tableau 4.7 Comparaison du rapport μ/σ estimé par les mesures *Hspice* pour les circuits *CE* et *SRBDHF* sous variation de température

Circuit <i>CE</i>	0°C		85°C	
Voltage	$\frac{\mu_{MS}}{\sigma_{MS}}$	$\frac{\mu_{MH}}{\sigma_{MH}}$	$\frac{\mu_{MS}}{\sigma_{MS}}$	$\frac{\mu_{MH}}{\sigma_{MH}}$
1.1	19.23	1240.0	12.55	241.77
1.0	17.34	1006.6	14.45	231.25
0.9	15.61	467.32	13.78	222.24
0.8	13.30	340.76	11.88	172.31
0.7	11.60	227.54	9.87	127.82
Circuit <i>SRBDHF</i>	0°C		85°C	
Voltage	$\frac{\mu_{MS}}{\sigma_{MS}}$	$\frac{\mu_{MH}}{\sigma_{MH}}$	$\frac{\mu_{MS}}{\sigma_{MS}}$	$\frac{\mu_{MH}}{\sigma_{MH}}$
1.1	19.88	637.73	9.67	355.43
1	19.15	389.69	9.34	167.87
0.9	18.13	296.46	8.73	145.82
0.8	13.60	147.13	7.05	102.58
0.7	12.47	69.31	6.98	61.11

À partir du Tableau 4.7, nous observons que le rapport obtenu pour une température de 0°C pour la contrainte de marge de prépositionnement varie par exemple de 19.23 pour une tension d'alimentation de 1.1V à 11.6 pour une tension d'alimentation de 0.7V pour le circuit *CE*. À 85°C, le rapport μ/σ varie de 9.67 pour une tension d'alimentation de 1.1V à 6.98 pour une tension d'alimentation de 0.7V pour le circuit *SRBDHF*.

L'analyse du Tableau 4.7 révèle que la température influence les contraintes statistiques

temporelles pour les deux circuits, à savoir le circuit *CE* et le circuit *SRBDHF*. Plus précisément, les valeurs du rapport μ/σ diminuent lorsque la température augmente, passant de 0°C à 85°C. Cela indique une augmentation du pourcentage de perte de rendement.

En tenant compte des variations des procédés de fabrication et de la tension d'alimentation à partir du Tableau 4.4 ainsi que de la variation de température à partir du Tableau 4.7, on observe que la condition représentant la plus petite valeur du rapport μ/σ se produit à 85°C pour 0.7V pour la marge de contrainte de configuration pour le circuit *SRBDHF*, entraînant une perte de rendement de seulement 1.3e-12.

Ces résultats soulignent l'importance de prendre en compte à la fois la température et la tension d'alimentation dans la conception de ces circuits. Comprendre comment ces paramètres influencent les performances est crucial pour maintenir les contraintes de ces circuits vérifiées dans des conditions variables.

4.3.3 Analyse statistique versus analyse statique

Pour illustrer l'importance de l'approche statistique lors de l'évaluation des performances des circuits asynchrones, nous avons réalisé une analyse des marges temporelles pour les circuits *CE* et *SRBDHF* en utilisant deux méthodes d'analyse : déterministe et statistique. L'analyse déterministe repose sur le scénario du pire cas, impliquant l'évaluation des performances du circuit en supposant que toutes les conditions les plus défavorables en termes de délais de processus, de température et de tension se produisent simultanément. Cette approche vise à assurer le bon fonctionnement du circuit dans les conditions les plus critiques, garantissant ainsi sa fonctionnalité dans toutes les situations réelles. Dans cette section, il s'avère que *MS* (marge de prépositionnement) est toujours plus petite que *MH* (marge de maintien), donc dans le Tableau 4.8, nous ne présenterons que *MS* pour éviter d'encombrer le tableau avec des valeurs excessives, les mêmes conclusions s'appliquent pour les deux marges. Le Tableau 4.8 présente les marges temporelles de contrainte de prépositionnement requises pour les deux circuits, *CE* et *SRBDHF*, pour assurer la fonctionnalité correcte du circuit. Les marges

temporelles requises sont calculées pour deux scénarios différents : le premier scénario utilise l'analyse temporelle statique (*STA*) pour calculer la marge de prépositionnement du pire cas (*WCMS* : *worst case margin setup*), tandis que le deuxième scénario est basé sur l'approche statistique proposée dans notre modèle pour calculer la marge de prépositionnement statistique (*SMS* : *statistical margin setup*). Notez que le scénario du pire cas sélectionné ici en raison de la nature asynchrone du circuit est (coin FF, 85°C) pour les tensions de 1.1V, 1V et 0.9V, et (coin FF, 0°C) pour les tensions de 0.8V et 0.7V, en tenant compte du phénomène d'inversion de température.

Tableau 4.8 Comparaison des marges de prépositionnement pire cas et statistique (s) des circuits *CE* et *SRBDHF* en fonction de la variation de tension d'alimentation

Voltage	Circuit CE		Circuit SRBDHF	
	WCMS	SMS	WCMS	SMS
1.1	2.74E-10	3.22E-10	1.17 E-10	1.27E-10
1.0	3.11E-10	3.75E-10	1.33 E-10	1.49E-10
0.9	3.64E-10	4.50E-10	1.57 E-10	1.82E-10
0.8	4.47E-10	5.71E-10	1.93 E-10	2.31E-10
0.7	5.70E-10	7.91E-10	2.50 E-10	3.26E-10

Selon le Tableau 4.8, on peut observer que *SMS* varie de 3.22E-10 à 7.91E-10 pour les tensions de fonctionnement de 1.1V et 0.7V, respectivement, pour le circuit *CE*, tandis qu'il varie et s'étend de 1.27E-10 à 3.26E-10 pour les tensions de 1.1V et 0.7V, respectivement, pour le circuit *SRBDHF*. Lorsque l'on compare les valeurs statistiques de la marge *MS* obtenues dans le Tableau 4.8 avec les valeurs de pire cas de la marge *MS* pour les deux circuits, par exemple, dans le circuit *SRBDHF* pour une tension de fonctionnement de 0.8V, la valeur *MS* de pire cas est de 1.93E-10 et la valeur *MS* statistique est de 2.31E-10. On remarque que les marges observées dans l'analyse déterministe sont plus petites que celles obtenues pour l'analyse statistique. Cela est vrai pour les circuits asynchrones *CE* et *SRBDHF* et pour toutes les valeurs

de tension. Cela implique que l'approche déterministe tend à être conservatrice et pessimiste, nécessitant une extension des lignes à délai pour respecter la contrainte temporelle et conduisant ensuite à une réduction des performances du circuit. Ainsi, cela confirme que l'utilisation de l'approche statistique pour l'analyse de la contrainte de synchronisation peut éviter l'introduction de marges pessimistes comme on l'observe couramment.

4.3.4 Exemple plus complexe

Dans l'exemple précédent, nous avons illustré l'utilisation d'un circuit de référence pour valider l'approche proposée (Figures 4.1 et 4.2). Cet exemple portait sur un circuit simple avec un nombre limité de portes logiques, un choix motivé par l'idée que, dans les circuits à haute performance, les chemins critiques sont souvent optimisés en réduisant le nombre de portes logiques dans leur configuration.

Dans ce paragraphe, nous avons choisi d'intégrer une combinaison plus variée de portes logiques, afin d'évaluer l'impact de cette diversité sur les performances du circuit, notamment sous l'effet de variations de tension, de température et de procédés de fabrication.

Cette configuration de circuit comprend un registre source (*SRC*), un registre de destination (*DST*), et un bloc générateur d'impulsion (*PGB*) contenant une chaîne de 200 inverseurs (portes *INV*) ainsi qu'une porte *XOR*. Le bloc logique représente une instruction, l'instruction étant composée de chemins critiques potentiels et d'un chemin court.

Les chemins critiques potentiels sont définis comme suit :

- Premier chemin critique potentiel (*Dclmax1*) : 20 portes *OR* et 30 portes *AND*.
- Deuxième chemin critique potentiel (*Dclmax2*) : 17 portes *OR* et 50 portes *AND*.

Le chemin le plus court (*Dclmin*) : 30 portes *NAND*. Nous avons également utilisé un élément de délai composé de 41 portes *AND* et 25 portes *OR*.

Le Tableau 4.9 illustre comment les variations de tension, de température et de procédés de fabrication affectent les performances du circuit SRBDHF en considérant les contraintes statistiques temporelles avec la configuration décrite ci-dessus.

Tableau 4.9: Impact des variations de tension, de température et de procédés de fabrication sur les contraintes statistiques temporelles

VOLTAGE	0°C					85°C				
	$\frac{\mu_{MS}}{\sigma_{MS}}$	Y_{MS}	$\frac{\mu_{MH}}{\sigma_{MH}}$	Y_{MH}	Perte (%)	$\frac{\mu_{MS}}{\sigma_{MS}}$	Y_{MS}	$\frac{\mu_{MH}}{\sigma_{MH}}$	Y_{MH}	Perte (%)
1.1	3.70	0.99	1342.27	1	0.01	3.18	0.99	1258.6	1	0.07
1	1.77	0.96	977.59	1	3.75	1.46	0.92	908.48	1	7.18
0.9	0.14	0.55	635.2	1	44.28	0.01	0.50	625.09	1	49.39
0.8	-1.11	0.13	369.42	1	86.76	-1.33	0.19	396.85	1	90.85
0.7	-1.91	0.02	175.35	1	97.23	-2.26	0.01	208.48	1	98.82

Le ratio entre la moyenne et l'écart-type pour deux séries de mesures $\frac{\mu_{MS}}{\sigma_{MS}}$ et $\frac{\mu_{MH}}{\sigma_{MH}}$ a été calculé pour déterminer les paramètres Y_{MS} et Y_{MH} en utilisant les équations (4.33) et (4.34). Ces paramètres représentent respectivement la probabilité que les circuits respectent les contraintes statistiques de *setup* et de *hold*.

La perte de performance en pourcentage (Perte (%)) a ensuite été calculée en utilisant l'équation suivante pour différentes valeurs de tension d'alimentation :

$$perte (\%) = (1 - (Y_{MS} \times Y_{MH})) \times 100 \quad (4.37)$$

La colonne Perte (%) correspond donc à la valeur du rendement combiné paramétrique, exprimant le pourcentage de circuits ne satisfaisant pas simultanément les contraintes statistiques temporelles.

D'après le tableau, on constate que les mesures effectuées révèlent plusieurs points importants. Tout d'abord, lorsque la tension d'alimentation diminue, en particulier aux niveaux de 0.8V et 0.7V, les contraintes temporelles sont violées car la moyenne de la marge (*MS*) devient négative. De plus, la perte de performance augmente à mesure que la tension d'alimentation diminue. Par exemple, elle passe de 0.01% à 44.28% pour des tensions respectives de 1.1V et 0.9V à une température de 0°C.

Cette perte de performance est également influencée par la température. En effet, à une tension de 1V, la perte passe de 3.75% à 7.18% lorsque la température augmente de 0°C à 85°C.

Pour corriger la violation des contraintes temporelles due aux variations de tension, de température et de fabrication, nous avons modifié la configuration en ajoutant des portes logiques supplémentaires à la ligne à délai. Celle-ci comporte maintenant 41 portes *AND* et 55 portes *OR*.

Tableau 4.10: Impact des variations de tension, de température et de procédés après ajustement de configuration

Voltage	0°C					85°C				
	$\frac{\mu_{MS}}{\sigma_{MS}}$	Y_{MS}	$\frac{\mu_{MH}}{\sigma_{MH}}$	Y_{MH}	Perte (%)	$\frac{\mu_{MS}}{\sigma_{MS}}$	Y_{MS}	$\frac{\mu_{MH}}{\sigma_{MH}}$	Y_{MH}	Perte (%)
1.1	121.54	1	867.22	1	0	117.82	1	750.26	1	0
1	95.45	1	604.83	1	0	99.35	1	559.87	1	0
0.9	78.13	1	392.57	1	0	80.18	1	379.79	1	0
0.8	60.41	1	209.67	1	0	69.64	1	223.05	1	0
0.7	45.51	1	80.78	1	0	53.42	1	100.51	1	0

Selon les résultats du Tableau 4.10, les valeurs μ/σ pour la contrainte de setup sont devenues positives pour toutes les tensions d'alimentation et pour les températures extrêmes de 0°C et 85°C. À 0°C, elles varient de 121.54 à 1.1V jusqu'à 45.54 à 0.7V, tandis qu'à 85°C, elles varient de 117.82 à 1.1V jusqu'à 53.42 à 0.7V. La perte de rendement est pratiquement nulle, ce qui prouve que la nouvelle configuration fonctionne bien sous les différentes conditions de variations indiquées.

Ainsi, en prenant cet exemple, il est possible de conclure que la configuration des chemins critiques, des chemins courts, ainsi que les éléments de délai jouent un rôle crucial dans le respect des contraintes statistiques temporelles. Ces contraintes sont déterminantes pour savoir si le circuit fonctionnera comme prévu ou non. Ces résultats mettent en lumière l'impact considérable de la DVS combiné avec la variation de température et de procédés de fabrication sur la performance globale du circuit SRBDHF.

4.3.5 Comparaison avec les travaux de littérature

Le Tableau 4.11 compare notre méthode proposée à plusieurs travaux de la littérature selon divers aspects : la vérification logique statistique, la vérification temporelle statistique, la précision, la technologie utilisée et la variation dynamique de la tension d'alimentation. Le critère de choix pour ces travaux est basé sur des études qui effectuent une analyse statistique sur certains circuits asynchrones spécifiques. Notre approche intègre la vérification de la contrainte statistique logique des circuits asynchrones de type *SRBDHF*, symbolisée par un signe plus (+) dans le tableau, ce qui la distingue avantageusement des autres travaux qui n'ont tiennent pas en compte. En ce qui concerne la vérification temporelle statistique, nous prenons en compte les marges de prépositionnement et de maintien pour tous les registres, assurant ainsi la satisfaction des contraintes temporelles globales du circuit. Cette approche plus large se démarque de certains travaux de la littérature qui ne s'intéressent qu'à la marge de prépositionnement.

En termes d'erreur, notre méthode présente une erreur moyenne sur les valeurs de délai moyen de seulement 2 % par rapport aux simulations de référence de Monte Carlo, surpassant la plupart des travaux de la littérature qui montrent une erreur moyenne de 2.8 % à 10 %, lorsque cela est fourni. La colonne "Technologie (nm)" indique la technologie de fabrication en nanomètres utilisée pour chaque travail. Par exemple, notre modèle proposé utilise une technologie de 90 nm. D'autres travaux de la littérature ont utilisé des technologies de fabrication de 32 nm, 90 nm, 40 nm, 65 nm et 180 nm. Enfin, notre méthode proposée prend en compte la variation de la tension d'alimentation. Cela signifie que notre méthode prend en

compte la vérification des contraintes liées à la variation de la tension d'alimentation et garantit que le circuit continue de fonctionner correctement. Cela constitue un avantage significatif par rapport à certaines autres approches de la littérature qui n'en tiennent pas compte.

Tableau 4.11 Comparaison entre le modèle proposé et les travaux de la littérature

Travaux	(Zaeemi & Mohammadi, 2022)	(T.-T. Liu & Rabaey, 2012)	(Mosaffa et al., 2016)	(Ghavami, 2018)	(Raji et al., 2009)	Ce travail
Vérification statistique de contraintes logiques	-	-	-	-	-	+
Vérification statistique de contraintes temporelles (<i>setup</i>)	+	+	+	-	-	+
Vérification statistique de contraintes temporelles (<i>hold</i>)	-	-	-	-	-	+
Erreur	-	5%	5%	10%	2.8%	2%
Technologie (nm)	32	90	32	90	130	90
Variation de tension d'alimentation	-	+	-	-	-	+

Notez que (Ghavami, 2018) considère un aspect non couvert dans notre travail, à savoir la corrélation spatiale. Cependant, il ne prend pas en compte l'effet *DVS* sur le circuit asynchrone, ni les trois étapes de vérification répertoriées dans le Tableau 4.11, ce qui peut influencer son bon fonctionnement.

4.4 Conclusion

En conclusion, ce chapitre a présenté un modèle d'analyse statistique de performance spécifiquement conçu pour les circuits asynchrones *CE* et *SRBDHF*, offrant une solution pour évaluer les performances de ces circuits dans des conditions de variations de procédé de fabrication, de tension et de température. À travers la modélisation de la variabilité de délai et l'intégration de diverses vérifications de contraintes, notre modèle se distingue par sa capacité à prendre en compte des aspects cruciaux de la conception des circuits asynchrones. Les résultats obtenus ont montré que notre modèle offre une précision avec une erreur moyenne de seulement 2% par rapport aux analyses détaillées réalisées à l'aide de simulations de circuits Monte Carlo de bas niveau. De plus, sa principale force réside dans sa capacité à fournir des évaluations rapides des performances des circuits asynchrones, ce qui réduit considérablement le temps nécessaire pour mener des analyses approfondies.

CONCLUSION

Ce travail de thèse a été guidé par la nécessité de comprendre et d'améliorer les performances des circuits asynchrones tout en réduisant leur consommation énergétique, notamment grâce à l'application de la technique de variation dynamique de la tension (*DVS*). Ce travail revêt une importance particulière pour des entreprises innovantes telles qu'Octasic, spécialisée dans la conception de puces asynchrones. L'analyse statistique développée dans cette recherche offre des perspectives cruciales pour analyser les performances de ces circuits, répondant ainsi aux besoins spécifiques de sociétés comme Octasic, qui cherchent à maximiser l'efficacité de leurs puces asynchrones tout en tenant compte des variations liées au procédés de fabrication et à la technique (*DVS*). Dans cette conclusion, nous résumons les principales contributions de cette thèse. Par la suite, nous abordons les limitations de ce domaine de recherche spécifique et les perspectives de travaux futurs.

L'introduction de cette thèse a exposé le contexte et les motivations de notre recherche, en mettant en évidence les enjeux liés aux circuits asynchrones et à la *DVS*. Nous avons énoncé nos objectifs de recherche et l'organisation de la thèse a été présentée pour donner une vue d'ensemble de notre travail.

Le premier chapitre a posé les bases en présentant les notions de base essentielles pour la compréhension de la thèse. Nous avons exploré les caractéristiques des circuits asynchrones, leur classification, ainsi que les protocoles de communication et les types de codage associés. De plus, nous avons étudié la variabilité des procédés de fabrication, en mettant en lumière les sources de variation paramétriques et les méthodes de modélisation. Nous avons également examiné la notion de délai de propagation d'une porte logique et les techniques de réduction de la consommation énergétique, avec un accent particulier sur la *DVS*. Enfin, nous avons présenté les méthodes d'analyse temporelle des circuits, y compris les analyses statique, statistique et les contraintes temporelles, ainsi que des notions statistiques fondamentales pour le développement des modèles d'analyse de performance statistique de cette thèse.

Le deuxième chapitre a approfondi la revue de littérature en se concentrant sur l'application de la *DVS* dans les circuits asynchrones. Nous avons examiné les défis liés à cette application, notamment les défis spécifiques aux circuits asynchrones. Ensuite, nous avons exploré l'analyse de performance dans les circuits asynchrones et relevé les lacunes existantes. Enfin, nous avons présenté notre approche proposée, qui vise à combler ces lacunes en développant un modèle de prédiction des contraintes de délais associées à la *DVS* dans les circuits asynchrones de type *SRBDHF* ainsi qu'un flot d'analyse statistique des performances des circuits asynchrones *CE* et *SRBDHF*.

Le troisième chapitre a détaillé notre modèle de prédiction des contraintes de délais pour les circuits asynchrones de type *SRBDHF* dans un contexte de *DVS*. Nous avons expliqué les composantes de ce modèle, notamment la propagation des impulsions de synchronisation, les marges de prépositionnement et de maintien, ainsi que la sensibilité de la logique utilisée tout en considérant les variations de la tension d'alimentation. Des résultats de simulation ont été présentés pour valider notre modèle et en discuter les implications. Les résultats de simulation ont souligné la nécessité d'ajustements manuelles pour garantir une conformité temporelle appropriée, mettant en évidence les défis liés à l'application de la *DVS* à ce type de circuits.

Le quatrième chapitre a abordé notre méthode d'analyse statistique des performances, en considérant la technique *DVS*. Nous avons présenté un modèle de variabilité de délai et un modèle d'analyse statistique de performance. Par la suite, nous avons discuté de leurs utilisations. Notre modèle a permis d'évaluer les performances statistiques (logiques et temporelles) des circuits asynchrones *CE* et *SRBDHF* face aux variations de procédés de fabrication, de tension et de température, offrant une précision raisonnable de 2% sur la moyenne et réduisant significativement le temps nécessaire pour de telles analyses.

Les deux contributions majeures de la thèse peuvent être détaillées de la manière suivante, mettant en lumière l'importance et l'intérêt de chaque aspect :

1. Modèle de prédiction des performances :

Ce modèle examine les éventuelles défaillances liées à l'application de la technique *Dynamic Voltage Scaling (DVS)* sur une architecture de circuit asynchrone de type *self-timed*. Elle met en lumière des phénomènes tels que la perte de signal amplifiée par la variation de la tension d'alimentation, l'inversion de température, et la possibilité de changement de chemin critique devenant plus lent que le signal de synchronisation du circuit asynchrone.

En réponse à ces défis, l'étude propose des solutions architecturales visant à garantir la sécurité et la fiabilité du circuit asynchrone lors de l'utilisation de la *DVS*. Ces solutions comprennent la configuration appropriée du bloc de génération de l'impulsion pour éviter la perte de signal, l'adaptation du nuage combinatoire en fonction de la variation de la tension d'alimentation, et l'ajustement du nuage combinatoire pour maintenir la rapidité du chemin critique par rapport à la ligne à délai.

Enfin, l'étude souligne l'importance de l'optimisation du système en intégrant ces solutions architecturales tout en préservant la sécurité et la fiabilité initiales du système grâce à une utilisation judicieuse de la *DVS*. L'objectif global est de réduire les marges temporelles additionnelles et le nombre de portes logiques dans une ligne à délai, permettant ainsi des économies d'espace et de consommation, tout en améliorant les performances globales du circuit asynchrone.

2. Modèle d'analyse statistique :

Cette contribution se focalise sur le développement d'un modèle de variabilité pour une analyse statistique des contraintes temporelles et logiques associées à la *DVS*. Le modèle introduit une définition statistique explicite des marges de *setup* et de *hold*, ainsi que de la contrainte statistique logique des circuits *self-timed*, prenant en compte les variations au niveau des paramètres de fabrication et de la tension d'alimentation.

La vérification de notre modèle par rapport aux simulations Monte Carlo a montré son efficacité dans la prédiction des valeurs moyennes de délai avec une erreur d'environ 2 % en moyenne. Cependant, l'erreur d'écart type a présenté une plage plus large, allant de 18 % à

62.1%, soulignant la nécessité de travaux futurs pour tenir compte des coefficients de corrélation en vue d'une précision meilleure. Néanmoins, malgré les erreurs sur l'écart type, les contraintes de rendement temporelles statistique ont été respectées.

Nous avons montré que le modèle proposé pouvait économiser des marges significatives ajoutées pour compenser la variation de procédés de fabrication utilisée dans l'approche d'analyse statique. L'impact de la *DVS*, de la température et de la variation de procédés de fabrication a été estimé efficacement en tenant compte des contraintes logiques et temporelles statistiques. L'application pratique de ce modèle sur deux types de circuits asynchrones différents, à savoir le circuit *CE* avec un protocole de poignée de main 2 phases, et le circuit *SRBDHF* sans protocole de poignée de main, démontre la flexibilité de l'approche développée.

Enfin, cette étude souligne une réduction significative du temps d'analyse statistique grâce à l'approche proposée, comparée à la méthode de référence Monte Carlo. Cette amélioration de l'efficacité d'analyse renforce l'applicabilité pratique et l'efficacité globale du modèle de variabilité dans le contexte de la *DVS*.

Cependant, malgré ces contributions substantielles, certaines limitations subsistent dans la portée de cette recherche. En particulier, l'utilisation de circuits de test simples pour la validation pourrait être étendue à des exemples de circuits plus complexes après placement et routage, offrant ainsi une validation plus robuste des avancées présentées. De plus, la négligence de la corrélation entre les paramètres de procédés de fabrication et l'omission de la corrélation spatiale représentent des lacunes qui pourraient affecter la précision des estimations du modèle. Enfin, l'utilisation d'un modèle de délai limité à la région proche du sous seuil peut être considérée comme une contrainte, suggérant la nécessité d'explorer un modèle unifié couvrant toute la région sous seuil pour une évaluation plus complète des circuits asynchrones à des tensions très basses.

D'une manière générale, même si la conception asynchrone est une approche prometteuse pour la conception de circuits numériques, susceptible d'offrir plusieurs avantages par rapport à la

conception synchrone traditionnelle, tels qu'une consommation d'énergie plus faible, de meilleures performances et une réduction des interférences électromagnétiques, elle n'est pas très largement adoptée. Alors, pourquoi tout le monde n'opte-t-il pas pour la conception asynchrone ? La conception de circuits asynchrones présente diverses limitations qui peuvent influencer leur adoption dans le domaine des circuits numériques, la commercialisation des circuits asynchrones a été difficile en raison de plusieurs facteurs. L'un des principaux défis est le manque de développement commercial d'outils de CAO asynchrones, ce qui rend difficile l'adoption des méthodologies de conception asynchrone par les concepteurs. De plus, les circuits asynchrones nécessitent des connaissances et une expertise spécialisée, ce qui limite leur disponibilité sur le marché.

Une considération particulière souvent citée comme un inconvénient de la conception asynchrone est son surcoût en surface de silicium, car il est généralement plus cher de fabriquer des puces plus grandes. La logique de contrôle asynchrone, qui doit être ajoutée remplace la logique de distribution d'horloge dans les circuits synchrones. Elle peut occuper une surface considérable, et en utilisant certains styles de conception, un circuit asynchrone peut facilement finir par être deux fois plus grand qu'un circuit synchrone équivalent.

Parallèlement, la mise en œuvre de l'approche d'analyse statistique *SSTA* (*Statistical Static Timing Analysis*) dans la conception des circuits numériques n'est pas sans limites. Dans l'industrie CAO, la complexité liée à la prédiction précise des distributions statistiques constitue un défi substantiel. Lorsqu'il s'agit de modéliser le comportement statistique des composants, la tâche devient complexe en raison de la variabilité inhérente à la fabrication. De plus, le coût financier associé à la caractérisation des modèles statistiques est colossal. La création de modèles précis et représentatifs des variations statistiques exige des ressources substantielles en termes de temps et d'investissements financiers. Ces obstacles, combinés aux difficultés inhérentes à l'obtention de données fiables et exploitables, forment un ensemble de défis majeurs qui ralentissent significativement l'adoption généralisée de l'analyse (*SSTA*) dans l'industrie de la CAO comme c'est le cas pour la compagnie Octasic.

RECOMMANDATIONS

Les développements futurs de cette recherche pourraient bénéficier de l'extension de notre analyse à des cas d'utilisation plus réalistes, impliquant des scénarios complexes qui reflètent davantage les conditions réelles d'exploitation des circuits asynchrones. Ceci permettrait une compréhension approfondie des performances du circuit dans des situations plus diversifiées. De plus, l'utilisation de technologies plus récentes pourrait être explorée pour tenir compte des avancées technologiques et évaluer l'impact sur les résultats obtenus.

Une autre recommandation importante serait d'inclure la corrélation dans le calcul de l'écart-type (*sigma*) dans l'approche de l'analyse statistique. La prise en compte de la corrélation entre différentes variables peut améliorer la précision des résultats.

Par ailleurs, pour élargir la portée du modèle, une suggestion intéressante serait de développer un modèle unifié de délai qui couvre toute la zone de fonctionnement sous le seuil (*subthreshold*). Actuellement, notre modèle se concentre principalement sur la zone proche du seuil. Étendre le modèle pour couvrir la toute la zone sous le seuil élargirait son applicabilité et permettrait de mieux comprendre le comportement du circuit dans une plage plus large de conditions opérationnelles de tension d'alimentation.

Enfin, il serait bénéfique de modéliser le délai en intégrant le paramètre de température comme une variable dans l'équation de délai. Cela permettrait de capturer plus précisément l'influence de la température sur les performances du circuit, ce qui est particulièrement important compte tenu des variations de température rencontrées dans différents environnements d'exploitation. Ces recommandations visent à renforcer la robustesse, la précision et la pertinence de notre approche pour des applications futures dans le domaine des circuits asynchrones.

ANNEXE I

CODE HSPICE DU CIRCUIT *SRBDHF*

***** Définition des librairies *****

```
.lib 'mos_bsim4_svt.lib' svt_TT  
.include core90gpsvt_ct2.spi  
.temp=25
```

*****Définition des paramètres

```
Vdd vdd 0 dc vdd_val  
.param vdd_val = 1.1  
.param halfvdd = 'vdd_val/2'  
.param offset0 = 0.0ns  
.param pas_sim = 5e-12  
.param duree = 50e-9  
.param debut = 'duree/2'  
.param vref=2.5
```

*****Définition des blocs

*****PGB bloc

```
.subckt PGB_bloc n100 n300 gnd vdd  
x11 n100 n101 0 vdd DL_100INV  
*x12 n101 n102 0 vdd DL_10INV  
x133 n100 n101 n300 0 vdd xor  
.ends PGB_bloc
```

```
.SUBCKT DL_10NAND n10008 n100000008 n272 gnd vdd
```

```

X255 n10008 vdd n238 0 vdd ND2SVTX1
X256 n238 vdd n239 0 vdd ND2SVTX1
X257 n239 vdd n240 0 vdd ND2SVTX1
X258 n240 vdd n241 0 vdd ND2SVTX1
X259 n241 vdd n242 0 vdd ND2SVTX1
X260 n242 vdd n243 0 vdd ND2SVTX1
X261 n243 vdd n244 0 vdd ND2SVTX1
X262 n244 vdd n245 0 vdd ND2SVTX1
X263 n245 vdd n246 0 vdd ND2SVTX1
X264 n246 vdd n272 0 vdd ND2SVTX1
.ends DL_10NAND

```

```

.SUBCKT DFF1 n1 n5 n8 n9 gnd vdd
X91880001 n1 n2 n3 0 vdd ND2SVTX1
X25600002 n3 n5 n7 n2 0 vdd ND3SVTX1
X25500030 n6 n5 n7 0 vdd ND2SVTX1
X25500050 n3 n7 n6 0 vdd ND2SVTX1
X91880008 n7 n9 n8 0 vdd ND2SVTX1
X256011000 n8 n2 n9 0 vdd ND2SVTX1
.ends DFF1

```

****Définition des signaux d'entrées

```

Vin0      n0  0  PULSE(0 vdd_val  offset0  0.05ns 0.05ns  10ns  20ns)
Vin110   data_in1 0  PULSE(0 vdd_val  offset0  0.05ns 0.05ns  10ns  20ns)
Vin2     select_mux 0  PULSE(0 vdd_val  offset0  0.05ns 0.05ns  70ns  140ns)

```

****Bloc PGB

x14 n0 n1 gnd vdd PGB_bloc

****D_flip_flop d'entrée

x327771 data_in1 n1 n33 n332 gnd vdd DFF1

****Ligne à délai

X1 n1 vdd n2 0 vdd DL_10NAND

x17 n2 vdd n12 gnd vdd DL_10NAND

*****Nuage combinatoire Dclmax 7 nand

x32222177 n33 vdd n33111 gnd vdd ND2SVTX1

x322221772 n33111 vdd n331112 gnd vdd ND2SVTX1

x322221773 n331112 vdd n3311123 gnd vdd ND2SVTX1

x3222217734 n3311123 vdd n555 gnd vdd ND2SVTX1

x3222217735 n555 vdd n666 gnd vdd ND2SVTX1

x317735 n666 vdd n777 gnd vdd ND2SVTX1

x32222177346 n777 vdd n331 gnd vdd ND2SVTX1

*****Nuage combinatoire Dclmin 5 nand

x3222217781 n33 vdd n4411 gnd vdd ND2SVTX1

x3222217782 n4411 vdd n44112 gnd vdd ND2SVTX1

x3222217783 n44112 vdd n4413 gnd vdd ND2SVTX1

x3222217787 n4413 vdd n4417 gnd vdd ND2SVTX1

x3222217788 n4417 vdd n441 gnd vdd ND2SVTX1

***** multiplieur

x33 n441 n331 select_mux out_mux 0 vdd MUX21SVTX1

*****D_flip_flop de sortie

x321 out_mux n12 data_out1 data_out1bar gnd vdd DFF1

*****Initialisations des signaux

.ic V(n33)=0 V(data_out1)=0 V(out_mux)=0

***** les mesures de métriques

*****De

.MEASURE TRAN De TRIG V(n1) VAL=halfvdd rise=1

+ TARG V(n12) VAL=halfvdd rise=1

.MEASURE TRAN max TRIG V(n1) VAL=halfvdd rise=1

+ TARG V(out_mux) VAL=halfvdd fall=1

.MEASURE TRAN min TRIG V(n1) VAL=halfvdd rise=9

+ TARG V(out_mux) VAL=halfvdd fall=5

*****Tc

.MEASURE TRAN Tc TRIG V(n1) VAL=halfvdd rise=1

+ TARG V(n1) VAL=halfvdd rise=2

*****PW

.MEASURE TRAN pw_before_DL TRIG V(n1) VAL=halfvdd rise=2

+ TARG V(n1) VAL=halfvdd fall=2

.MEASURE TRAN pw_after_DL TRIG V(n12) VAL=halfvdd rise=2

+ TARG V(n12) VAL=halfvdd fall=2

*****Diff

.MEASURE TRAN tr2 TRIG V(n1) VAL=0.5*vdd_val rise=1

+ TARG V(n2) VAL=0.5*vdd_val fall=1

.MEASURE TRAN tf2 TRIG V(n1) VAL=0.5*vdd_val fall=1

+ TARG V(n2) VAL=0.5*vdd_val rise=1

```
.measure diff param='tr2-tf2'
*****MS
.MEASURE TRAN MS param='De-max'
*****MH
.MEASURE TRAN MH param='min+Tc-De'
*****SSHTM
.MEASURE TRAN SSHTM param='min(MS, MH)'
```

***** Visualisation des signaux*****

```
.OP
.OPTIONS
+ABSTOL=1NA
+NOMOD
+POST
+PROBE
```

```
.PROBE TRAN V(n0) V(data_in1) V(data_in2) V(n1) V(n3) V(n4) V(n2) V(n30) V(n44)
V(n33) V(n441) V(n331) V(data_out1) V(data_out2) V(n27) V(n12) V(select_mux)
V(out_mux) V(n14) V(n15) V(n16) V(n17) V(n18) V(n19) V(n20) V(n21) V(n22) V(n23)
V(n24) V(n25) V(n26) V(n27) V(n28) V(n29) V(n5) V(Vdd)
.PRINT TRAN V(n0) V(data_in1) V(data_in2) V(n1) V(n3) V(n4) V(n2) V(n30) V(n441)
V(n331) V(n33) V(n44) V(data_out1) V(data_out2) V(n27) V(n12) V(select_mux)
V(out_mux) V(n14) V(n15) V(n16) V(n17) V(n18) V(n19) V(n20) V(n21) V(n22) V(n23)
V(n24) V(n25) V(n26) V(n27) V(n28) V(n29) V(n5) V(Vdd)
```

***** Répéter pour d'autres valeurs de tension*****

.alter

.param vdd_val = 1

.alter

.param vdd_val = 0.9

.alter

.param vdd_val = 0.8

.alter

.param vdd_val = 0.7

.END

ANNEXE II

CODE HSPICE DU CIRCUIT *CE*

***** Définition des librairies *****

```
.lib 'mos_bsim4_svt.lib' svt_TT  
.include core90gpsvt_ct2.spi  
.temp=25
```

```
Vdd vdd 0 dc vdd_val  
.param vdd_val = 1.1  
.param halfvdd = 'vdd_val/2'  
.param offset0 = 0.0ns  
.param cload='1f  
.param pas_sim = 5e-12  
.param duree = 50e-9  
.param debut = 'duree/2'  
.param vref=2.5 sigma=0
```

****Définition des blocs

```
.SUBCKT click_element1 n200 n2 n5000 n1 gnd vdd  
X96881 n200 n300 0 vdd IVSVTX1  
X96882 n1 n301 0 vdd IVSVTX1  
X96883 n2 n302 0 vdd IVSVTX1  
X96884 n1 n2 n300 n3000 0 vdd AN3SVTX1  
X96885 n301 n302 n200 n4000 0 vdd AN3SVTX1  
X96886 n3000 n4000 n5000 0 vdd OR2SVTX1  
x327774441 n301 n5000 n1 n222 gnd vdd DFF2
```

```
.ends click_element1
```

```
.SUBCKT DL_10NAND n10008 n100000008 n272 gnd vdd
X255 n10008 vdd n238 0 vdd ND2SVTX1
X256 n238 vdd n239 0 vdd ND2SVTX1
X257 n239 vdd n240 0 vdd ND2SVTX1
X258 n240 vdd n241 0 vdd ND2SVTX1
X259 n241 vdd n242 0 vdd ND2SVTX1
X260 n242 vdd n243 0 vdd ND2SVTX1
X261 n243 vdd n244 0 vdd ND2SVTX1
X262 n244 vdd n245 0 vdd ND2SVTX1
X263 n245 vdd n246 0 vdd ND2SVTX1
X264 n246 vdd n272 0 vdd ND2SVTX1
.ends DL_10NAND
```

```
.SUBCKT DFF1 n1 n5 n8 n9 gnd vdd
X91880001 n1 n2 n3 0 vdd ND2SVTX1
X25600002 n3 n5 n7 n2 0 vdd ND3SVTX1
X25500030 n6 n5 n7 0 vdd ND2SVTX1
X25500050 n3 n7 n6 0 vdd ND2SVTX1
X91880008 n7 n9 n8 0 vdd ND2SVTX1
X256011000 n8 n2 n9 0 vdd ND2SVTX1
.ends DFF1
```

****signaux d'entrées

```
Vin0      data_in1 0 PULSE(0 vdd_val offset0 0.05ns 0.05ns 10ns 20ns)
Vin23    select_mux 0 PULSE(0 vdd_val offset0 0.05ns 0.05ns 70ns 140ns)
Vin1      ack3 0 PULSE(0 vdd_val offset0 0.05ns 0.05ns 10ns 20ns)
Vin2      req0 0 PULSE(0 vdd_val offset0 0.05ns 0.05ns 10ns 20ns)
```

***premier bloc click element

X99 req0 ack2 fire1 ack1 gnd vdd click_element1

****Delai entre les blocs click elements

x17 ack1 vdd n11 gnd vdd DL_10NAND

x170 n11 vdd req1 gnd vdd DL_10NAND

*** signal ack3

x160 req1 ack3_delayed gnd vdd IVSVTX1

*****deuxième bloc click element

X991 req1 ack3_delayed fire2 ack2 gnd vdd click_element1

****D_flip_flop d'entrée

x327771 data_in1 fire1 n33 n332 gnd vdd DFF1

*****Nuage combinatoire Dclmax 7 nand

x32222177 n33 vdd n33111 gnd vdd ND2SVTX1

x322221772 n33111 vdd n331112 gnd vdd ND2SVTX1

x322221773 n331112 vdd n3311123 gnd vdd ND2SVTX1

x3222217734 n3311123 vdd n555 gnd vdd ND2SVTX1

x3222217735 n555 vdd n666 gnd vdd ND2SVTX1

x317735 n666 vdd n777 gnd vdd ND2SVTX1

x32222177346 n777 vdd n331 gnd vdd ND2SVTX1

*****Nuage combinatoire Dclmin 5 nand

x3222217781 n33 vdd n4411 gnd vdd ND2SVTX1

x3222217782 n4411 vdd n44112 gnd vdd ND2SVTX1

x3222217783 n44112 vdd n4413 gnd vdd ND2SVTX1

x3222217787 n4413 vdd n4417 gnd vdd ND2SVTX1

x3222217788 n4417 vdd n441 gnd vdd ND2SVTX1

***** multiplixeur

x33 n441 n331 select_mux out_mux 0 vdd MUX21SVTX1

*****D_flip_flop de sortie

x321 out_mux fire2 data_out1 data_out1bar gnd vdd DFF1

*****initialisations des signaux

.ic V(ack1)=0 V(ack2)=0 V(data_out1)=0 V(n33)=0

***** les mesures de métriques

.MEASURE TRAN mux_1 TRIG V(n441) VAL=halfvdd rise=1

+ TARG V(out_mux) VAL=halfvdd rise=1

.MEASURE TRAN mux_2 TRIG V(n331) VAL=halfvdd rise=1

+ TARG V(out_mux) VAL=halfvdd rise=1

.MEASURE TRAN DFF TRIG V(fire1) VAL=halfvdd rise=1

+ TARG V(n33) VAL=halfvdd rise=1

.MEASURE TRAN max TRIG V(fire1) VAL=halfvdd rise=1

+ TARG V(out_mux) VAL=halfvdd fall=1

.MEASURE TRAN min TRIG V(fire1) VAL=halfvdd rise=9

+ TARG V(out_mux) VAL=halfvdd fall=5

***** T2

.MEASURE TRAN T2 TRIG V(fire2) VAL=halfvdd rise=1

```

+          TARG V(fire1) VAL=halfvdd rise=2
*****T1
.MEASURE TRAN T1 TRIG V(fire1) VAL=halfvdd rise=1
+          TARG V(fire2) VAL=halfvdd rise=1
*****MH
.MEASURE TRAN MH param='T2+min'

*****MS
.MEASURE TRAN MS param='T1-max'

*****SSHTM
.MEASURE TRAN SSHTM param='min(MS, MH)

```

***** Visualisation des signaux*****

```

.OP
.OPTIONS
+ABSTOL=1NA
+NOMOD
+POST
+PROBE

.PROBE TRAN V(data_in1) V(data_out1) V(req1) V(ack1) V(ack2) V(req0)
V(ack3_delayed) V(fire1) V(fire2) V(n33) V(out_mux) V(n2) V(n12) V(select_mux) V(n331)
V(n441) V(n6) V(n7) V(n8) V(n9) V(n10) V(n11) V(n12) V(n13) V(n14) V(n15) V(n16)
V(n17) V(n18) V(n19) V(n20) V(n21)V(n22) V(n23) V(n24) V(n25) V(n26) V(n27) V(n28)
V(n29) V(n30) V(Vdd)

.PRINT TRAN V(data_in1) V(data_out1) V(req1) V(ack1) V(ack2) V(req0) V(ack3_delayed)
V(fire1) V(fire2) V(n33) V(n331) V(n441) V(out_mux) V(n7) V(n8) V(n9) V(n10) V(n11)

```

V(n12) V(n13) V(n14) V(n15) V(n16) V(n17) V(n18) V(n19) V(n20) V(n21)V(n22) V(n23)
V(n24) V(n25) V(n26) V(n27) V(select_mux) V(n29) V(n30) V(Vdd)

***** Répéter pour d'autres valeurs de tension*****

.alter

.param vdd_val = 1

.alter

.param vdd_val = 0.9

.alter

.param vdd_val = 0.8

.alter

.param vdd_val = 0.7

END

ANNEXE III

ÉROSION / DILATATION



Figure A III-1 perte d'impulsion à travers d'une ligne à délai de portes AND

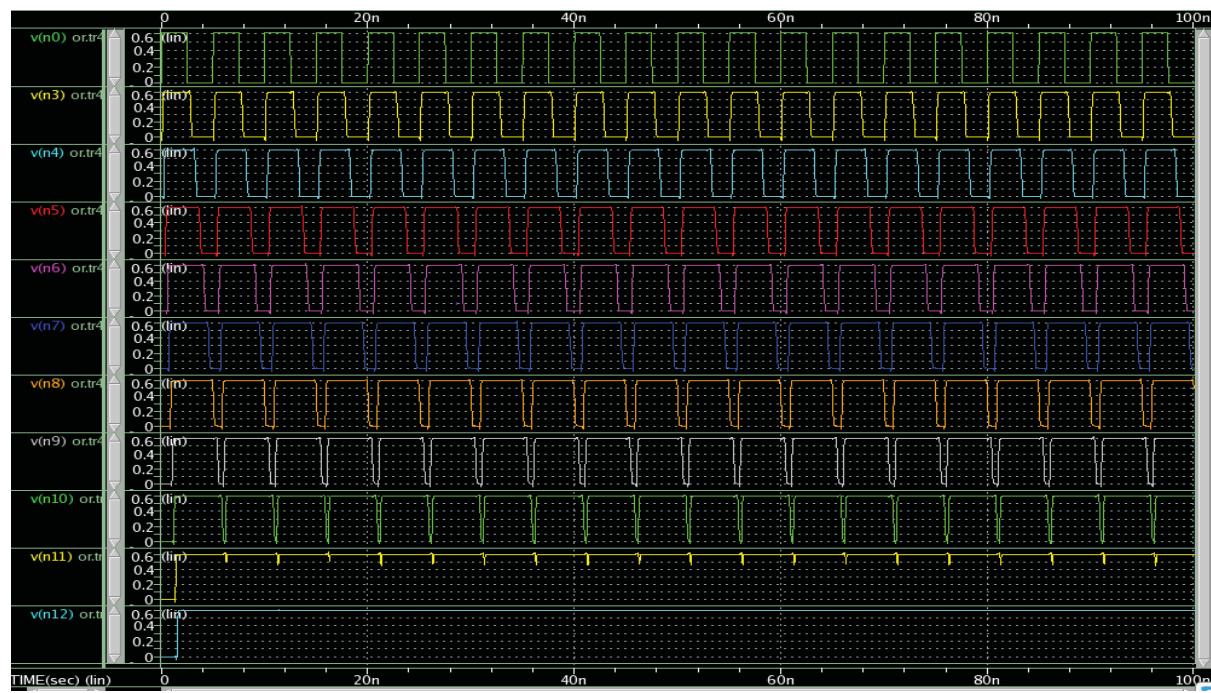


Figure A III-2 perte d'impulsion à travers d'une ligne à délai de portes OR

ANNEXE IV

PERTE DE L'IMPULSION DANS LA LIGNE À DÉLAI

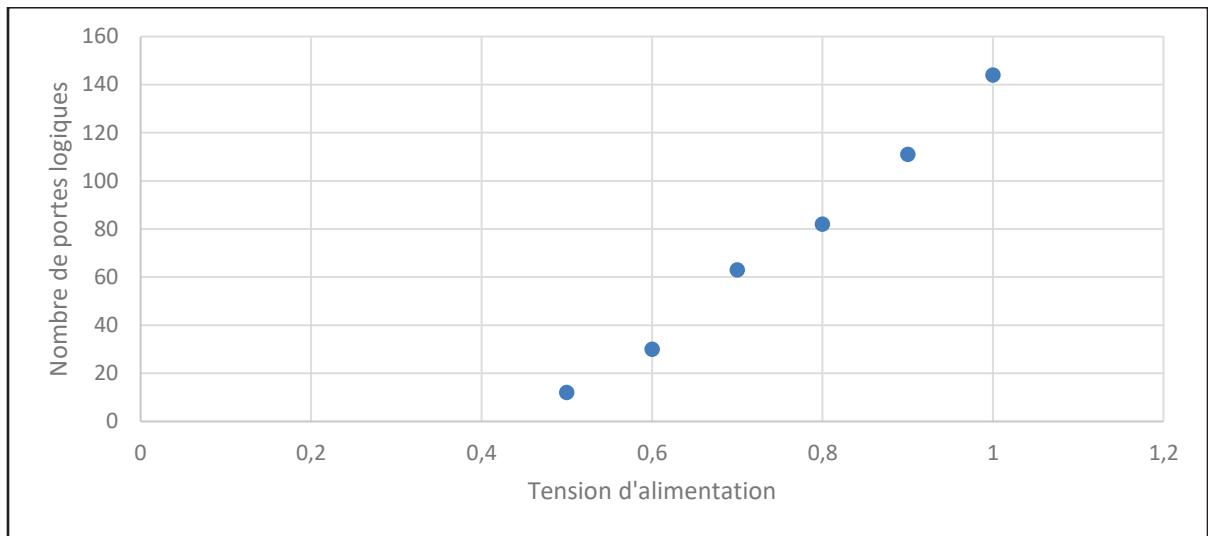


Figure A IV-1 Nombre de portes logiques à partir duquel l'impulsion d'entrée est perdue pour chaque valeur de tension d'alimentation dans une ligne à délai de portes AND

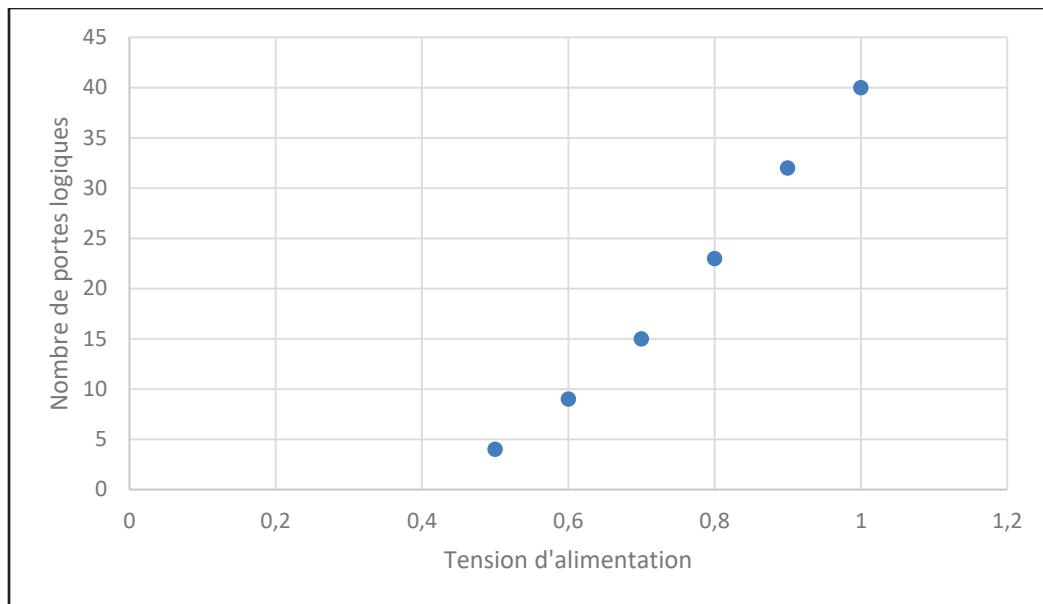


Figure A IV-2 Nombre de portes logiques à partir duquel l'impulsion d'entrée est perdue pour chaque valeur de tension d'alimentation dans une ligne à délai de portes OR

ANNEXE V

DÉLAI DE PROPAGATION EN FONCTION DU FANOUT

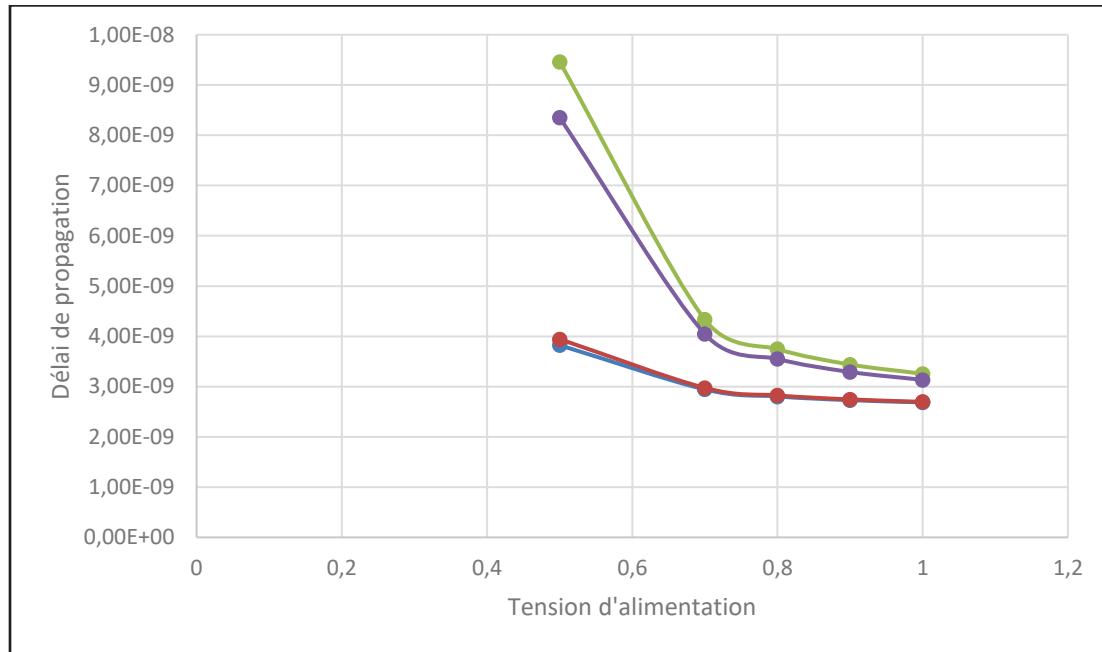


Figure A V-1 Délai de propagation de la porte logique NAND en fonction du fanout pour différentes valeurs de tension d'alimentation

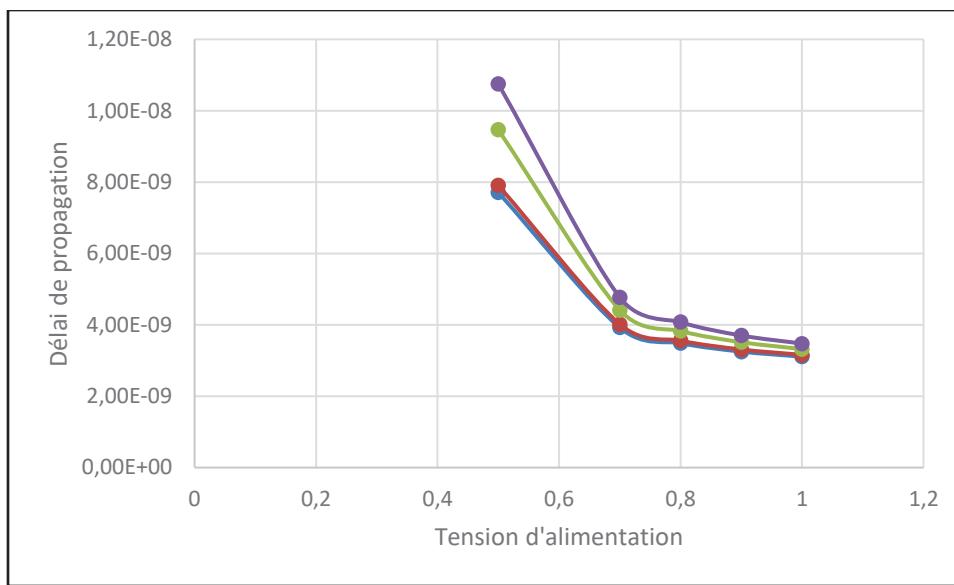


Figure A V-2 Délai de propagation de la porte logique NOR en fonction du fanout pour différentes valeurs de tension d'alimentation

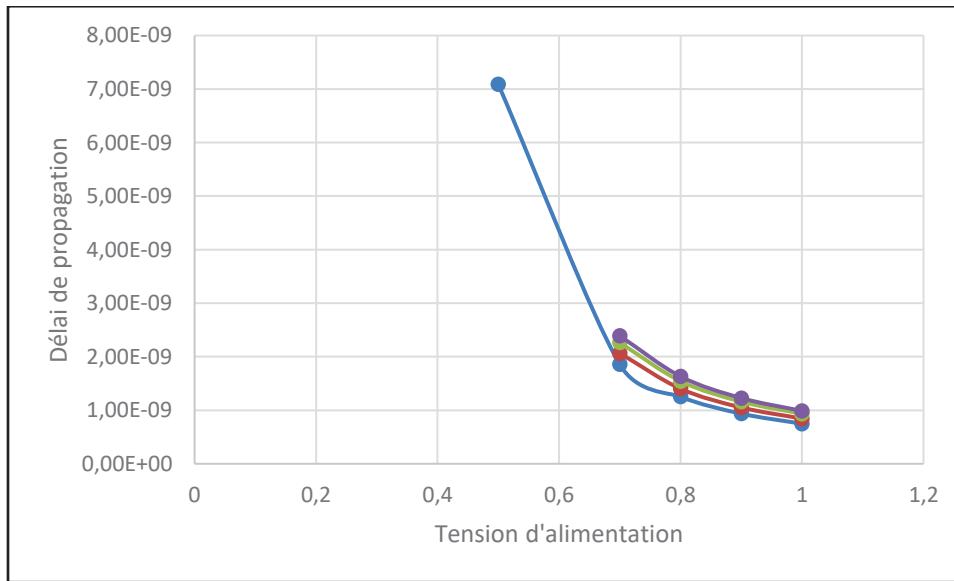


Figure A V-3 Délai de propagation de la porte logique AND en fonction du fanout pour différentes valeurs de tension d'alimentation

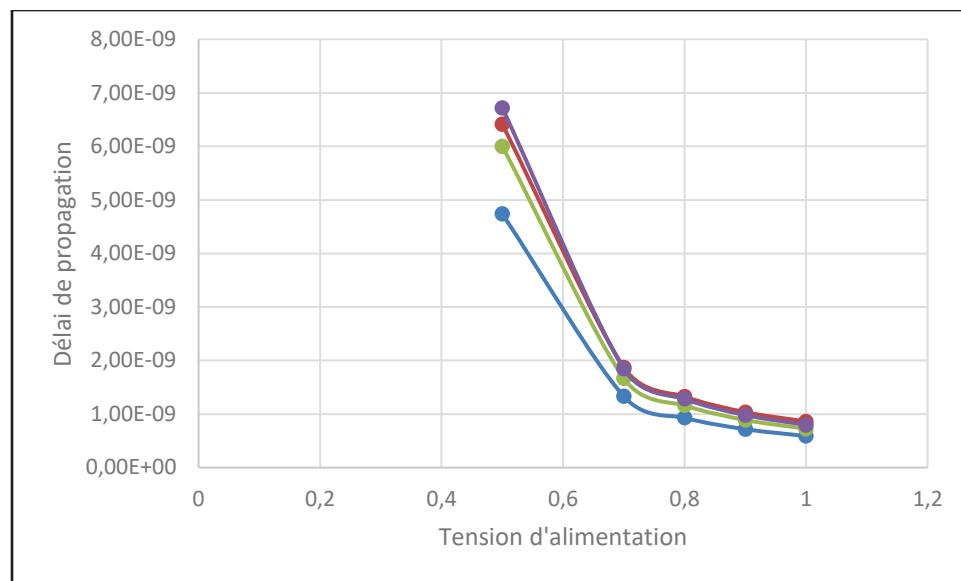


Figure A V-4 Délai de propagation de la porte logique OR en fonction du fanout pour différentes valeurs de tension d'alimentation

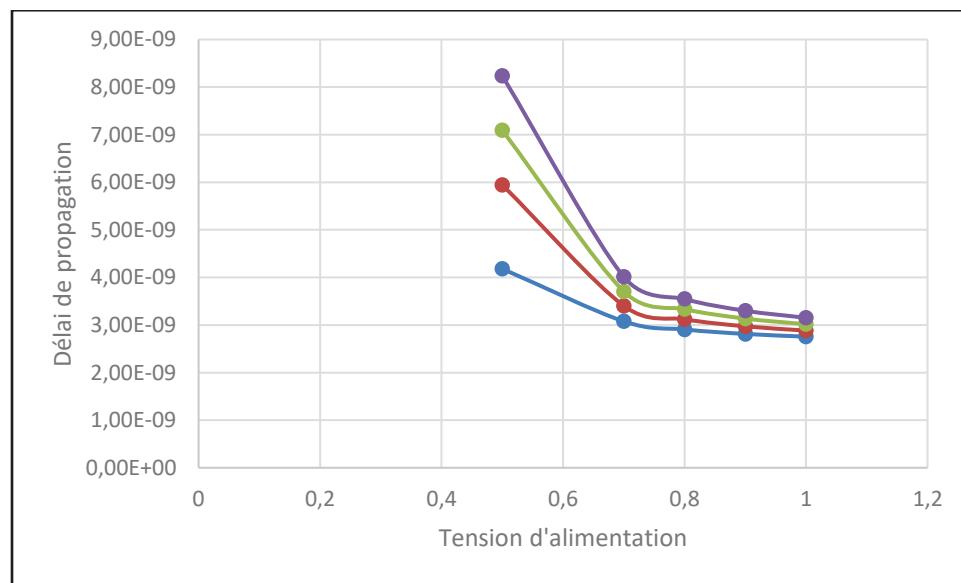


Figure A V-5 Délai de propagation de la porte logique INV en fonction du fanout pour différentes valeurs de tension d'alimentation

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES

- Agarwal, A., Blaauw, D., & Zolotov, V. (2003). Statistical timing analysis for intra-die process variations with spatial correlations. Dans *ICCAD-2003. International Conference on Computer Aided Design (IEEE Cat. No. 03CH37486)* (pp. 900-907). IEEE.
- Agrawal, A. (2003). Statistical Delay Computation Considering Spatial Correlation. *Proc. Asian South Pacific*.
- Asenov, A., Kaya, S., & Brown, A. R. (2003). Intrinsic parameter fluctuations in decananometer MOSFETs introduced by gate line edge roughness. *IEEE transactions on electron devices*, 50(5), 1254-1260.
- Bai, P., Auth, C., Balakrishnan, S., Bost, M., Brain, R., Chikarmane, V., . . . Ingerly, D. (2004). A 65nm logic technology featuring 35nm gate lengths, enhanced channel strain, 8 Cu interconnect layers, low-k ILD and 0.57/spl mu/m/sup 2/SRAM cell. Dans *IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004*. (pp. 657-660). IEEE.
- Beere, P. A., Ozdag, R. O., & Ferretti, M. (2010). *A designer's guide to asynchronous VLSI-1.5 Potential Advantages of Asynchronous Design page p:7*. Cambridge University Press.
- Beigne, E., Vivet, P., Thonnart, Y., Christmann, J.-F., & Clermidy, F. (2016). Asynchronous circuit designs for the Internet of everything: A methodology for ultralow-power circuits with GALS architecture. *IEEE Solid-State Circuits Magazine*, 8(4), 39-47.
- Benyoussef, M., Thibeault, C., & Savaria, Y. (2019). A prediction model for implementing DVS in single-rail bundled-data handshake-Free asynchronous circuits. Dans *2019 IEEE International Symposium on Circuits and Systems (ISCAS)* (pp. 1-5). IEEE.
- Bhasker, J., & Chadha, R. (2009). *Static timing analysis for nanometer designs : a practical approach* [Version WorldCat.org]. New York: Springer. doi: 10.1007/978-0-387-93820-2.
- Bhatia, A., & Khanna, R. (2009). Dynamic voltage scaling for self-timed or racing paths: Google Patents.

- Cao, Y., & Clark, L. T. (2005). Mapping statistical process variations toward circuit performance variability: an analytical modeling approach. Dans *Proceedings of the 42nd annual Design Automation Conference* (pp. 658-663).
- Champac, V., & Gervacio, J. G. (2018). *Timing Performance of Nanometer Digital Circuits Under Process Variations*. Springer.
- Chang, H., & Sapatnekar, S. S. (2003). Statistical timing analysis considering spatial correlations using a single PERT-like traversal. Dans *ICCAD-2003. International Conference on Computer Aided Design (IEEE Cat. No. 03CH37486)* (pp. 621-625). IEEE.
- Chang, K.-L., Chang, J. S., Gwee, B.-H., & Chong, K.-S. (2013). Synchronous-logic and asynchronous-logic 8051 microcontroller cores for realizing the internet of things: A comparative study on dynamic voltage scaling and variation effects. *IEEE journal on emerging and selected topics in circuits and systems*, 3(1), 23-34.
- Chang, S.-C., Hsieh, C.-T., & Wu, K.-C. (2004). Re-synthesis for delay variation tolerance. Dans *Proceedings of the 41st annual Design Automation Conference* (pp. 814-819).
- Chen, K.-H. (2016). *Power management for integrated chip design* [Version WorldCat.org]. Chichester, UK ;: John Wiley & Sons. doi: 10.1002/9781118896846.
- Chen, P., Liu, S.-L., & Wu, J. (2000). A CMOS pulse-shrinking delay element for time interval measurement. *IEEE Transactions on Circuits and Systems II: Analog and digital signal processing*, 47(9), 954-958.
- de Paiva Leite, T. F., Bastos, R. P., Jadue, R. I., & Fesquet, L. (2016). Comparison of low-voltage scaling in synchronous and asynchronous fd-soi circuits. Dans *2016 26th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS)* (pp. 229-234). IEEE.
- Devgan, A., & Kashyap, C. (2003). Block-based static timing analysis with uncertainty. Dans *ICCAD-2003. International Conference on Computer Aided Design (IEEE Cat. No. 03CH37486)* (pp. 607-614). IEEE.
- Diamant, R., Ginosar, R., & Sotiriou, C. (2015). Asynchronous sub-threshold ultra-low power processor. Dans *2015 25th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS)* (pp. 89-96). IEEE.
- Dietrich, M., & Haase, J. (2011). *Process variations and probabilistic integrated circuit design*. Springer Science & Business Media.
- Dunga, M. V., Xi, X., He, J., Liu, W., Cao, K. M., Jin, X., . . . Hu, C. (2006). Bsim4. 6.0 mosfet model. *University of California, Berkeley*.

- Engels, S. (2022). *Conception pour l'efficacité énergétique des circuits intégrés* (Université Grenoble Alpes).
- Feng, Z., Li, P., & Zhan, Y. (2007). Fast second-order statistical static timing analysis using parameter dimension reduction. Dans *Proceedings of the 44th annual Design Automation Conference* (pp. 244-249).
- Ferlet-Cavrois, V., Massengill, L. W., & Gouker, P. (2013). Single event transients in digital CMOS—A review. *IEEE Transactions on Nuclear Science*, 60(3), 1767-1790.
- Ferlet-Cavrois, V., Pouget, V., McMorrow, D., Schwank, J., Fel, N., Essely, F., . . . Kobayashi, D. (2008). Investigation of the propagation induced pulse broadening (PIPB) effect on single event transients in SOI and bulk inverter chains. *IEEE Transactions on Nuclear Science*, 55(6), 2842-2853.
- Fiorentino, M. (2020). *Architectural Exploration of KeyRing Self-Timed Processors* (Ecole Polytechnique, Montreal (Canada)).
- Fiorentino, M., Al-Terkawi, O., Savaria, Y., & Thibeault, C. (2015). Self-timed circuits FPGA implementation flow. Dans *2015 IEEE 13th International New Circuits and Systems Conference (NEWCAS)* (pp. 1-4). IEEE.
- Ghavami, B. (2018). Spatial correlation-aware statistical dual-threshold voltage design of template-based asynchronous circuits. *COMPEL-The international journal for computation and mathematics in electrical and electronic engineering*.
- Gopalakrishnan, H. (2011). *Energy Reduction for Asynchronous Circuits in SoC Applications* (Wright State University).
- Guazzelli, R. A. (2017). *QDI Asynchronous Design and Voltage Scaling* (the Pontifical Catholic University).
- Hauck, S. (1995). Asynchronous design methodologies: An overview. *Proceedings of the IEEE*, 83(1), 69-93.
- Heck, G., Heck, L. S., Singhvi, A., Moreira, M. T., Beerel, P. A., & Calazans, N. L. (2015). Analysis and optimization of programmable delay elements for 2-phase bundled-data circuits. Dans *2015 28th international conference on VLSI design* (pp. 321-326). IEEE.
- Imai, M., & Nanya, T. (2006). A novel design method for asynchronous bundled-data transfer circuits considering characteristics of delay variations. Dans *12th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC'06)* (pp. 10 pp.-77). IEEE.

- Kaeslin, H. (2014). *Top-down digital VLSI design: from architectures to gate-level circuits and FPGAs*. Morgan Kaufmann.
- Kahng, A. B. (2015). New game, new goal posts: A recent history of timing closure. Dans *Proceedings of the 52nd Annual Design Automation Conference* (pp. 1-6).
- Khodosevych, D., & Sakib, A. A. (2022). Evolution of NULL convention logic based asynchronous paradigm: an overview and outlook. *IEEE Access*, 10, 78650-78666.
- Kishore, S. K., Patnala, T. R., Tigadi, A. S., & Jamshed, A. (2020). An On-chip Analysis of the VLSI designs under Process Variations. Dans *2020 International Conference on Smart Electronics and Communication (ICOSEC)* (pp. 1273-1277). IEEE.
- Kuentzer, F. A., Herrera, M., Schrape, O., Beerel, P. A., & Krstic, M. (2020). Radiation hardened click controllers for soft error resilient asynchronous architectures. Dans *2020 26th IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)* (pp. 78-85). IEEE.
- Laurence, M. (2012). Introduction to octasic asynchronous processor technology. Dans *2012 IEEE 18th International Symposium on Asynchronous Circuits and Systems* (pp. 113-117). IEEE.
- Lin, T. (2014). *Ultra low-power asynchronous-logic design for high variation-space and wide operation-space applications*.
- Liu, J., Nowick, S. M., & Seok, M. (2013). Soft mousetrap: A bundled-data asynchronous pipeline scheme tolerant to random variations at ultra-low supply voltages. Dans *2013 IEEE 19th International Symposium on Asynchronous Circuits and Systems* (pp. 1-7). IEEE.
- Liu, T.-T., & Rabaey, J. M. (2012). Statistical analysis and optimization of asynchronous digital circuits. Dans *2012 IEEE 18th International Symposium on Asynchronous Circuits and Systems* (pp. 1-8). IEEE.
- Lotze, N., Ortmanns, M., & Manoli, Y. (2007). A study on self-timed asynchronous subthreshold logic. Dans *2007 25th International Conference on Computer Design* (pp. 533-540). IEEE.
- Mack, C. (2007). *Fundamental principles of optical lithography: the science of microfabrication*. John Wiley & Sons.
- Mack, C. A. (1993). Understanding focus effects in submicrometer optical lithography: a review. *Optical Engineering*, 32(10), 2350-2362.
- Mack, C. A. (1996). Optical proximity effects, Part 3. *Microlithography World*, 5(4), 23-24.

- Mack, C. A. (2006). Field guide to optical lithography. Dans. SPIE Bellingham.
- McGee, P. B., Nowick, S. M., & Coffman Jr, E. G. (2005). Efficient performance analysis of asynchronous systems based on periodicity. Dans *Proceedings of the 3rd IEEE/ACM/IFIP international conference on Hardware/software codesign and system synthesis* (pp. 225-230).
- Montgomery, D. C., & Runger, G. C. (2010). *Applied statistics and probability for engineers*. John wiley & sons.
- Mosaffa, M., Mohammadi, S., & Safari, S. (2016). Statistical analysis of asynchronous pipelines in presence of process variation using formal models. *Integration*, 55, 98-117.
- Myers, C. J. (2001). *Asynchronous circuit design*. New York ;: Wiley.
- Najm, F. N., & Menezes, N. (2004). Statistical timing analysis based on a timing yield model. Dans *Proceedings of the 41st annual Design Automation Conference* (pp. 460-465).
- Nassif, S. R. (2001). Modeling and analysis of manufacturing variations. Dans *Proceedings of the IEEE 2001 Custom Integrated Circuits Conference (Cat. No. 01CH37169)* (pp. 223-228). IEEE.
- Orshansky, M., Nassif, S., & Boning, D. (2007). *Design for manufacturability and statistical design: a constructive approach*. Springer Science & Business Media.
- Peeters, A., Te Beest, F., De Wit, M., & Mallon, W. (2010). Click elements: An implementation style for data-driven compilation. Dans *2010 IEEE Symposium on Asynchronous Circuits and Systems* (pp. 3-14). IEEE.
- Peeters, W. C. M. A. M. G. (2009-05-28). *Brevet n° WO/2009/066238*.
- Raji, M., Ghavami, B., & Pedram, H. (2009). Statistical static performance analysis of asynchronous circuits considering process variation. Dans *2009 10th International Symposium on Quality Electronic Design* (pp. 291-296). IEEE.
- Ross, S. M. (2014). A first course in probability.
- Sapatnekar, S. S. (2004). *Timing* [Version WorldCat.org]. Boston: Kluwer Academic Publishers.
- Soong, T. T. (2004). *Fundamentals of probability and statistics for engineers*. John Wiley & Sons.
- Spars, J., & Furber, S. (2002). *Principles asynchronous circuit design*. Springer.

- Srivastava, P. (2022). Introduction to Asynchronous Circuit Design. *Completion Detection in Asynchronous Circuits*, 1-13.
- Tadros, R. N., Hua, W., Gibiluka, M., Moreira, M. T., Calazans, N. L., & Beerel, P. A. (2016). Analysis and design of delay lines for dynamic voltage scaling applications. Dans *2016 22nd IEEE International Symposium on Asynchronous Circuits and Systems (ASYNC)* (pp. 11-18). IEEE.
- Tajalli, A., Alioto, M., & Leblebici, Y. (2009). Improving power-delay performance of ultra-low-power subthreshold SCL circuits. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 56(2), 127-131.
- Takeuchi, K., Nishida, A., & Hiramoto, T. (2009). Random fluctuations in scaled MOS devices. Dans *2009 International Conference on Simulation of Semiconductor Processes and Devices* (pp. 1-7). IEEE.
- Tan, N., Li, D., & Wang, Z. (2014). *Ultra-low power integrated circuit design : circuits, systems, and applications* [Version WorldCat.org]. New York: Springer. doi: 10.1007/978-1-4419-9973-3.
- Veendrick, H. J. (2017). *Nanometer CMOS ICs*. Springer.
- Viswesvariah, C., Ravindran, K., Kalafala, K., Walker, S. G., & Narayan, S. (2004). First-order incremental block-based statistical timing analysis. Dans *Proceedings of the 41st annual Design Automation Conference* (pp. 331-336).
- Wang, W.-S., Kreinovich, V., & Orshansky, M. (2006). Statistical timing based on incomplete probabilistic descriptions of parameter uncertainty. Dans *Proceedings of the 43rd annual Design Automation Conference* (pp. 161-166).
- Weatherburn, C. E. (1949). *A first course mathematical statistics* (Vol. 158). CUP Archive.
- Wirnhofer, M. (2013). *Variation-aware adaptive voltage scaling for digital CMOS circuits* (Vol. 41). Springer Science & Business Media.
- Zaeemi, M., & Mohammadi, S. (2022). High-level Modeling and Verification Platform for Elastic Circuits with Process Variation Considerations. *ACM Journal of Emerging Technologies in Computing System*.
- Zhai, B., Hanson, S., Blaauw, D., & Sylvester, D. (2008). A variation-tolerant sub-200 mV 6-T subthreshold SRAM. *IEEE Journal of Solid-State Circuits*, 43(10), 2338-2348.

- Zhan, Y., Strojwas, A. J., Li, X., Pileggi, L. T., Newmark, D., & Sharma, M. (2005). Correlation-aware statistical timing analysis with non-Gaussian delay distributions. Dans *Proceedings of the 42nd annual Design Automation Conference* (pp. 77-82).
- Zhu, Z.-j., Yu, Y., Bai, X., Qiao, S.-s., & Hei, Y. (2019). Snake: An asynchronous pipeline for ultra-low-power applications. *IEICE Electronics Express*, 16(12), 20190293-20190293.
- Zuchowski, P. S., Habitz, P. A., Hayes, J. D., & Oppold, J. H. (2004). Process and environmental variation impacts on ASIC timing. Dans *IEEE/ACM International Conference on Computer Aided Design, 2004. ICCAD-2004*. (pp. 336-342). IEEE.