

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

THÈSE PRÉSENTÉE À
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE
À L'OBTENTION DU
DOCTORAT EN GÉNIE
Ph.D.

PAR
YASSINE HARIRI

ÉTUDE DE FAISABILITÉ D'UNE MÉTHODOLOGIE DE TEST EXPLOITANT LE
TEST PAR LE COURANT I_{DDQ} , ET L'INTÉRACTION D'AUTRES MÉTHODES DE
TEST ET DE DIAGNOSTIC

MONTRÉAL, LE 20 FÉVRIER 2008

© droits réservés de Yassine Hariri

CETTE THÈSE A ÉTÉ ÉVALUÉE

PAR UN JURY COMPOSÉ DE :

M. Claude, Thibeault, directeur de la thèse
Département de génie électrique à l'École de technologie supérieure

M. Roger, Champagne, président du jury
Département de génie logiciel et des TI à l'École de technologie supérieure

M. Gabrea, Gheorghe Marcel, membre du jury
Département de génie électrique à l'École de technologie supérieure

M. Khouas, Abdelhakim, externe
Département de génie électrique à l'École Polytechnique de Montréal

ELLE A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

C'est une habitude saine que de remercier au début d'un tel travail tous ceux qui, plus ou moins directement, ont contribué à le rendre possible. Même si dans mon cas, cette liste peut sembler plus longue que de coutume, c'est avec mon enthousiasme le plus vif et le plus sincère que je voudrais rendre mérite à tous ceux qui (plus ou moins récemment) à leur manière m'ont aidé à mener bien cette thèse.

La première personne que je tiens à remercier est le professeur Claude Thibeault, mon directeur de thèse de doctorat, ainsi que de mon mémoire de maîtrise, qui a su me laisser la liberté nécessaire à l'accomplissement de mes travaux, tout en y gardant un œil critique et avisé. Nos continuelles oppositions, contradictions et confrontations ont sûrement été la clef de notre travail commun. Plus qu'un encadrant ou un collègue, je crois avoir trouvé en lui un ami qui m'a aidé aussi bien dans le travail que dans la vie lorsque j'en avais besoin.

Je remercie également messieurs les membres du jury pour leur collaboration durant l'examen de ce travail et leur participation à la soutenance.

Cela va de soi, je remercie évidemment ma famille pour son irremplaçable et inconditionnel soutien. Mon père Mohammed, ma mère Saadia, mes deux chères sœurs Nabila et Soumya, mon grand frère Khalid et ma chère-aimée Nadia. Ils ont été présents pour écarter les doutes, soigner les blessures et partager les joies. Cette thèse est un peu la leur, aussi.

Je tiens à remercier mes cousins : Rachid, Tawfik, Zakaria et Mohammed. Ainsi que mes cousines : Fatiha, Rachida, Nadia et Khadija.

Je termine cette page par dédier cette thèse aux familles : Hariri, Thibeault, Nabat et El Atlassi.

ÉTUDE DE FAISABILITÉ D'UNE MÉTHODOLOGIE DE TEST EXPLOITANT LE TEST PAR LE COURANT I_{DDQ} , ET L'INTERACTION D'AUTRES MÉTHODES DE TEST ET DE DIAGNOSTIC

Yassine Hariri

SOMMAIRE

Cette thèse porte globalement sur l'élaboration d'une méthodologie permettant d'améliorer le test des circuits intégrés (CI), et ce, en utilisant des concepts propres au diagnostic et en se basant sur l'interaction des méthodes de test existantes. Le premier objectif de cette thèse est la généralisation plus poussée de la méthode de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ} , et ce, à plusieurs niveaux.

D'une part, nous avons développé plusieurs modèles de pannes de courts-circuits incluant la totalité des types de portes logiques de la technologie CMOS $0.35\mu\text{m}$. D'autre part, nous avons amélioré la technique de réduction des sites physiques de courts-circuits; nous parlons de celle basée sur les résultats des sorties erronées du circuit sous test obtenus à l'aide de son émulation (ou son test). Cette technique supportait des circuits purement combinatoires. L'amélioration apportée permet maintenant d'utiliser cette technique sur des circuits séquentiels. Nous avons également présenté les derniers résultats de réduction des sites de court-circuit, et ce, en se basant sur les signatures ΔI_{DDQ} , les capacités parasites de routage extraites du dessin des masques et les erreurs logiques observées à la sortie du circuit, et ce, pour les technologies $0.35\mu\text{m}$ et 90nm . La combinaison de ces trois techniques réduit significativement le nombre de sites de courts-circuits à considérer dans le diagnostic. Les résultats de simulation confirment que le nombre de sites de court-circuit est réduit de $O(N^2)$ à $O(N)$, où N est le nombre de nœuds dans le circuit. Du côté de l'outil logiciel permettant l'émulation de la méthode de diagnostic proposée, nous avons complété sa conception, et nous avons défini les conditions permettant son utilisation dans un environnement de test en temps réel.

Le deuxième objectif de cette thèse est l'introduction d'une nouvelle stratégie d'optimisation pour le test adaptatif de haute qualité. La stratégie proposée permet dans un premier temps de couvrir les pannes qui habituellement ne causent pas une consommation anormale du courant I_{DDQ} avec le minimum de vecteurs possibles qui sont appliqués à tous les circuits; et dans un deuxième temps, propose deux pistes de traitement pour les pannes qui habituellement causent une élévation du courant I_{DDQ} . Le traitement *a priori* (prévision) est basé sur l'ajout d'autres vecteurs de test pour couvrir les sites non couverts par les tests logiques ou de délais. Le traitement *a posteriori* (guérison) est basé sur un diagnostic rapide sur les sites non couverts. Nous faisons appel à la méthode de diagnostic proposée avec quelques modifications. Ce traitement correspond à une stratégie d'optimisation visant à n'appliquer les vecteurs supplémentaires que sur les CI montrant des symptômes particuliers.

FEASIBILITY STUDY OF A CURRENT-BASED TESTING METHODOLOGY AND OF THE INTERACTION OF OTHER TESTING AND DIAGNOSIS METHODS

Yassine Hariri

ABSTRACT

This thesis relates to the development of a methodology improving the test of integrated circuits by using concepts suitable for diagnosis and the interaction of existing test methods.

The prime objective of this thesis is the improvement of the diagnosis method based on ΔI_{DDQ} probabilistic signatures. First, we developed several bridging fault models including all logic gates of the $0.35\mu\text{m}$ technology. Second, we improved the bridging fault site reduction technique based on failing primary outputs. This technique supported only combinational circuits. The improved one can be applied to sequential circuits. We had also presented the last results of bridging fault site reduction for the $0.35\mu\text{m}$ and 90nm technologies. These results are obtained by combining three different data sources. The first data source is a set of I_{DDQ} measurements used to identify the most probable fault type. The second source is a list of parasitic capacitances extracted from layout and used to create a list of realistic potential bridging fault sites. The third source is logical faults detected at the primary outputs (including scan flip flops), used to limit the number of suspected gates. Combining these data significantly reduces the number of potential bridging fault sites to consider in the diagnosis process. Simulation results confirm that the number of potential bridging fault sites is reduced from $O(N^2)$ to $O(N)$, where N is the number of nodes in the circuit. On the software aspects of the tool allowing the emulation of the proposed diagnosis method, we completed its design, and we defined conditions allowing its use in a real time testing environment.

The second objective of this thesis is the introduction of a new adaptive test optimization strategy. This strategy first targets faults that usually do not cause any increase in quiescent current with the minimum of test vectors, which are applied to all circuits. Then, proposes two different techniques for faults that usually cause an increase in quiescent current. The first technique (forecast) is based on the addition of other test vectors to cover the non covered sites by the logical or delay test vectors. The second technique (cure) is based on a fast diagnosis on the non covered sites. We propose the use of our diagnosis method with some modifications. This technique relates to an optimization strategy aiming at applying the additional test vectors only to circuits showing particular symptoms.

TABLE DES MATIÈRES

CHAPITRE 1 INTRODUCTION	1
1.1 Notions de base du test et du diagnostic.....	2
1.1.1 Définitions	3
1.1.2 Comprendre les types de tests et les modèles de pannes.....	4
1.2 Motivations.....	6
1.2.1 Tendances technologiques.....	6
1.2.2 Conséquences des tendances technologiques	7
1.2.3 Symptômes de l'inefficacité du processus de test et du modèle de panne collé-à	10
1.3 Objectifs global et spécifiques de la thèse.....	12
1.4 Contributions de la thèse	14
1.5 Organisation de la thèse.....	15
CHAPITRE 2 STRATÉGIE D'OPTIMISATION POUR LE TEST ADAPTATIF DE HAUTE QUALITÉ	17
2.1 Introduction	18
2.2 Évaluation de la couverture de panne du test basé sur le modèle IRF	21
2.3 Génération des vecteurs de test IRF avec la sélection de la transition	24
2.3.1 Le défi de détection des pannes séquentielles	24
2.3.2 Génération des vecteurs de test IRF améliorée avec la sélection de la transition	25
2.3.3 Amélioration additionnelle de la couverture des pannes séquentielles	30
2.4 Ciblage des autres pannes.....	32
2.4.1 Les pannes TDF restantes.....	32
2.4.2 Les pannes de type court-circuit.....	35
2.4.3 Une très haute couverture des courts-circuits.....	37
2.5 Test conditionnel basé sur le courant	40
2.6 Conclusion	44
CHAPITRE 3 AMÉLIORATION DE LA METHODE DE DIAGNOSTIC BASÉE SUR LES SIGNATURES PROBABILISTES DU COURANT ΔI_{DDQ}	45
3.1 Description de la méthode de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ}	46
3.2 Aspects à améliorer et solutions proposées	48
3.2.1 Rappel des améliorations apportées à la méthode dans le cadre de la maîtrise.....	48
3.2.2 Améliorations apportées à la méthode dans le cadre de la thèse.....	49
3.3 Technique de réduction basée sur les capacités parasites de routage.....	50

3.4	Technique de réduction basée sur l'isolation de la panne	53
3.5	Combinaison des techniques de réductions et résultats.....	58
3.6	Conclusion.....	59
CHAPITRE 4 L'OUTIL DE DIAGNOSTIC ET SON ENVIRONNEMENT DE VALIDATION		60
4.1	L'algorithme de diagnostic	60
4.2	Description de l'outil du diagnostic et de l'environnement de validation	61
4.2.1	Méthodologie de conception pour le test.....	63
4.2.2	La préparation pour le diagnostic	64
4.2.3	Test	66
4.2.4	Émulation de pannes.....	66
4.3	Ressources logicielles.....	68
4.4	Applicabilité de l'outil de diagnostic et extension future.....	69
4.5	Conclusion.....	70
CHAPITRE 5 ÉLABORATION D'UNE NOUVELLE MÉTHODOLOGIE DE TEST BASÉE SUR LES RÉSULTATS DU DIAGNOSTIC.....		71
5.1	Mise en contexte.....	71
5.2	Prévision versus guérison	73
5.2.1	Traitement <i>a priori</i> (prévision).....	73
5.2.2	Traitement <i>a posteriori</i> (guérison)	74
5.3	Technique d'estimation du délai additionnel basée sur les résultats du diagnostic.....	78
5.3.1	Chemins de conduction possibles entre V_{DD} et G_{ND} créés par un court-circuit	78
5.3.2	Variations du procédé de fabrication.....	80
5.3.3	Délai et courant additionnels versus la résistance du court-circuit	81
5.3.4	Impact du chemin entre V_{DD} et G_{ND} sur l'estimation du délai	82
5.3.5	Impact du scénario de procédé sur l'estimation du délai.....	84
5.4	Procédure d'estimation du délai basée sur les résultats du diagnostic	88
5.5	Conclusion.....	90
CONCLUSION ⁹²		
RECOMMANDATIONS ET TRAVAUX FUTURS		94
ANNEXE I LES DEUX PHASES DU DIAGNOSTIC.....		95
ANNEXE II TYPES DE PANNES DE LA TECHNOLOGIE 0.35		98
ANNEXE III EXEMPLE DE STATISTIQUES DE RÉDUCTION DES SITES DE COURTS-CIRCUITS POUR LE FILRE 100 ÉTAGES.....		99
ANNEXE IV MODÉLISATION DES PANNES À L'AIDE DE HSPICE.....		104

ANNEXE V AUTOMATISATION DU PROCESSUS DE SIMULATION DES TYPES DE PANNES DE COURT-CIRCUIT SUR HSPICE	110
ANNEXE VI EXEMPLE DE RÉSULTATS DE LA SIMULATION LOGIQUE DES PANNES DE COURT-CIRCUIT	118
ANNEXE VII RÉSUMÉ DE LA RÉDUCTION DES SITES DE COURTS-CIRCUITS POUR LES 3 FILTRES FIR (4, 7 ET 15 ÉTAGES).....	119
ANNEXE VIII ALGORITHME DE GÉNÉRATION DES VECTEURS DE TEST N- DÉTECTE	123
ANNEXE IX LARGEUR DES TRANSISTORS PMOS ET NMOS UTILISÉS ET TYPE DE PORTES IMPLIQUÉES DANS CHAQUE CONFLIT,.....	125
LISTE DE RÉFÉRENCES.....	127

LISTE DES TABLEAUX

Page

<i>Tableau 1.1 Types de test et modèles de pannes associés.....</i>	<i>5</i>
<i>Tableau 1.2 Estimations sur la densité d'intégration [14].....</i>	<i>7</i>
<i>Tableau 2.1 Nombre de nœuds et de bascules pour les neuf circuits.....</i>	<i>21</i>
<i>Tableau 2.2 Résultats de l'évaluation de la couverture de panne en (%) du test IRF_B pour différents modèles de pannes.....</i>	<i>23</i>
<i>Tableau 2.3 Contraintes de test. N : peu importe, F: transition descendante, R: transition montante.....</i>	<i>28</i>
<i>Tableau 2.4 Couvertures des pannes séquentielles et nombre de vecteurs pour les tests IRF_B et IRF_TS.....</i>	<i>30</i>
<i>Tableau 2.5 Couverture des pannes séquentielles et nombre de vecteurs pour le test IRF_TS+</i>	<i>32</i>
<i>Tableau 2.6 Couverture TDF (%) pour les tests IRF_B, IRF_TS, et IRF_TS+.....</i>	<i>33</i>
<i>Tableau 2.7 Couverture TDF et nombre de vecteurs pour le test IRF_TS+TOT</i>	<i>34</i>
<i>Tableau 2.8 Couverture de courts-circuits (%) avec les tests IRF_B, IRF_TS, IRF_TS+, et IRF_TS+TOT</i>	<i>36</i>
<i>Tableau 2.9 Couverture des courts-circuits et nombre de vecteurs avec le test N-detect</i>	<i>37</i>
<i>Tableau 2.10 Statistiques pour la dernière étape</i>	<i>39</i>
<i>Tableau 2.11 Types de test et pannes ciblées.....</i>	<i>39</i>
<i>Tableau 3.1 Résultats de la réduction des sites de courts-circuits</i>	<i>52</i>
<i>Tableau 5.1 Chemins de conduction possibles entre V_{DD} et G_{ND} versus les vecteurs d'entrées.....</i>	<i>79</i>
<i>Tableau 5.2 Table de vérité pour le type de panne court-circuit entre les sorties de deux inverseurs.....</i>	<i>108</i>
<i>Tableau 5.3 Simulation logique après insertion du modèle de pannes.....</i>	<i>109</i>
<i>Tableau 5.4 Résultats de la simulation logique du multiplicateur contenant une panne de type court-circuit entre les sorties de deux portes Non_Et à deux entrées.....</i>	<i>118</i>

<i>Tableau 5.5</i>	<i>Largeur des transistors en μm</i>	<i>125</i>
<i>Tableau 5.6</i>	<i>Portes impliquées dans chaque conflit</i>	<i>126</i>

LISTE DES FIGURES

	Page
<i>Figure 1.1</i> Types de défauts possibles.....	4
<i>Figure 1.2</i> Maximum I_{DDQ} versus le temps [14].....	8
<i>Figure 1.3</i> Estimation sur les délais en fonction de la génération technologique [14].....	8
<i>Figure 1.4</i> Distribution des délais additionnels [10].....	10
<i>Figure 1.5</i> Nombre de pannes détectées pour chaque vecteur de test [10].....	11
<i>Figure 2.1</i> Exemple d'une porte Non-ou à deux entrées avec deux circuits-ouverts.....	24
<i>Figure 2.2</i> Simulation Hspice du circuit-ouvert 1 de la figure 2.1.....	25
<i>Figure 2.3</i> Algorithme de génération des contraintes de test IRF avec la sélection de la transition.....	27
<i>Figure 2.4</i> Exemple de circuit.....	28
<i>Figure 2.5</i> Distribution du rendement apparent avant le test I_{DDQ} , en fonction de I_{max}	41
<i>Figure 2.6</i> Procédure de test proposée.....	43
<i>Figure 3.1</i> Histogrammes symbolisant ΔI_{DDQ} pour deux types de panne.....	46
<i>Figure 3.2</i> Les deux étapes du diagnostic.....	47
<i>Figure 3.3</i> Les trois cas d'extraction du bloc combinatoire.....	54
<i>Figure 3.4</i> Recherche des nœuds candidats.....	55
<i>Figure 3.5</i> Schéma haut niveau d'un FIR à 4 étages.....	56
<i>Figure 3.6</i> Cas 1 : Le site se trouve en aval des entrées primaires et en amont du premier registre à balayage.....	56
<i>Figure 3.7</i> Cas 2 : Le site se trouve en aval d'un registre à balayage et en amont d'un autre.....	56
<i>Figure 3.8</i> Cas 3 : Le site se trouve en aval d'un registre Scan et en amont des sorties primaires.....	57
<i>Figure 3.9</i> Deuxième niveau d'abstraction (niveau portes logique).....	57

Figure 3.10	Nombre de sites restants après l'application des trois techniques de réduction....	59
Figure 4.1	Algorithme de diagnostic.....	62
Figure 4.2	Méthodologie de conception axée sur le test, préparation pour le diagnostic, test et émulation de panne.....	65
Figure 4.3	Procédure de simulation de panne.....	67
Figure 4.4	Insertion du modèle de panne.....	67
Figure 4.5	Ressources logicielles en fonction du nombre de cellules.....	68
Figure 5.1	Distribution du courant $ I_{DDQ} $	72
Figure 5.2	Les deux pistes proposées pour le traitement des courts-circuits non couverts.....	77
Figure 5.3	Chemins de conduction possibles entre V_{DD} et G_{ND} créés par une panne de court-circuit.....	79
Figure 5.4	Résultats de simulation pour les technologies $0.35\mu\text{m}$ et 90nm : le délai additionnel et le courant (I_{DDQ}) versus en fonction de R_{br} pour les 5 scénarios.....	82
Figure 5.5	Résultats de simulation pour la technologie $0.35\mu\text{m}$: le délai additionnel vs I_{DDQ} pour différents type de chemin entre V_{DD} et G_{ND} pour le scénario (TT).....	83
Figure 5.6	Résultats de simulation pour la technologie 90nm : le délai additionnel vs I_{DDQ} pour différents type de chemin entre V_{DD} et G_{ND} pour le corner (TT).....	83
Figure 5.7	Résultats de simulations pour les technologies $0.35\mu\text{m}$ et 90nm : le délai additionnel vs le courant (I_{DDQ}) pour les cinq scénarios de procédé.....	85
Figure 5.8	Résultats de simulations pour la technologie $0.35\mu\text{m}$: le délai additionnel vs le courant (I_{DDQ}) pour tous les scénarios de procédé possibles.....	86
Figure 5.9	Période de l'horloge (ns) en fonction du scénario de procédé pour un oscillateur en anneau de 11 inverseurs.....	87
Figure 5.10	Délai estimé en fonction de la période de l'oscillateur en anneau pour $I_{DDQ} = 400, 600, 800$ et 1000 (μA).....	88
Figure 5.11	Procédure d'estimation du délai basée sur les résultats du diagnostic.....	89
Figure 5.12	Identification des types de pannes les plus probables.....	95
Figure 5.13	Localisation des pannes.....	97

<i>Figure 5.14 L'effet du court-circuit.</i>	105
<i>Figure 5.15 Schéma logique représentant un court-circuit entre deux inverseurs.</i>	106
<i>Figure 5.16 Résultats de la simulation d'un court-circuit entre les sorties de deux inverseurs.</i>	107
<i>Figure 5.17 Insertion du modèle dans le circuit.</i>	109

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

I _{DDQ}	Direct drain quiescent current
VLSI	Very Large Scale Integration
ATPG	Automatique test pattern generation
TDF	Transition delay fault
IRF	Inline resistance fault
SSF	Single stuck-at fault
SF	Sequential fault
CC	Court-circuit
TPPP	Types de pannes les plus probables
LLPP	Liste des localisations les plus probables
MLE	Maximum likelihood estimation
CPLD	Complex programmable logic device
FPGA	Field-programmable gate array
FIR	Finite impulse response
BLC	Bloc logique combinatoire
RTL	Register transfer level

CHAPITRE 1

INTRODUCTION

Depuis plusieurs dizaines d'années, l'industrie de la micro-électronique et des semi-conducteurs poursuit une course folle repoussant toujours plus loin les limites technologiques. Cette évolution se traduit par une migration des technologies CMOS vers des géométries de plus en plus petites, et par une augmentation de la fréquence du fonctionnement et de la taille des puces. Ceci permet de réaliser des circuits VLSI "*Very Large Scale Integration*" plus complexes, fonctionnant à des fréquences plus élevées.

Cependant, ce progrès est à l'origine d'une confrontation permanente à plusieurs défis, liés au besoin de maîtriser la complexité inhérente aux procédés de fabrication et de s'adapter aux évolutions technologiques. Ces défis touchent notamment le domaine du test, du diagnostic et de l'analyse physique de défaillance. Chacune de ces trois opérations a son propre rôle dans l'amélioration du rendement du procédé de fabrication.

Le but principal du test est d'assurer à un coût raisonnable une haute qualité des circuits fournis aux clients. Ce but est de plus en plus difficile à atteindre à cause de l'évolution des mécanismes de défauts, ce qui a forcé les ingénieurs de test à ajouter différents types de tests dans leur ensemble final de vecteurs. Le tout mène à une augmentation du temps de test et par conséquent du coût de test, et éventuellement par un délai de livraison des circuits aux clients.

L'analyse physique de défaillance a comme but de confirmer la localisation et la cause de la diminution du rendement. Cette analyse est généralement précédée par une opération de diagnostic. Ce processus, basé sur la connaissance de la structure du circuit, des stimuli qui lui sont appliqués et de la réponse du circuit à ces stimuli (informations fournies par un testeur ou un émulateur) a pour objectif d'identifier et de localiser au mieux les défauts.

ayant conduit au comportement erroné du circuit sous test. L'information issue du processus de diagnostic est ensuite utilisée pour orienter l'observation physique du circuit. Ainsi, la résolution du processus de diagnostic dépend de l'efficacité de l'analyse physique de défaillance.

Il y a un intérêt et un besoin croissants de méthodes de diagnostic automatisées [1-3]. Les techniques basées sur le diagnostic matériel telles que celles basées sur le *liquid-crystal hot-spot*, *static photon-emission microscopy*, et *fluorescent-micro-thermal-imaging* ont leurs propres limitations [4,5], qui sont accentuées par l'avancement de la technologie:

- elles sont relativement lentes;
- elles requièrent l'accès aux transistors internes et/ou les connections internes, ce qui est de plus en plus difficile;
- elles sont difficiles à appliquer pour les technologies *flip-chip*.

Ces limitations ont créé un besoin croissant de méthodes de diagnostic logicielles comme des alternatives/suppléments aux méthodes de diagnostic matérielles *hardware-based* [6]. De nouveaux outils logiciels de diagnostic sont requis pour diagnostiquer le comportement anormal d'un circuit révélé par son test.

Avant d'entrer dans le cœur du sujet proposé par cette thèse, il est opportun de présenter un court préambule résumant les notions de base dans le domaine de la microélectronique, et plus spécifiquement le domaine du test et du diagnostic.

1.1 Notions de base du test et du diagnostic

Un circuit *VLSI* fonctionnel doit effectuer la ou les fonctions définies par son cahier des charges. L'apparition d'un comportement non conforme au comportement attendu, est définie par l'ensemble des termes suivants: défautuosité, erreur, et modèle de panne [7].

1.1.1 Définitions

Définition 1 :

Une défautuosité physique est la différence, non voulue, entre l'implantation réelle et l'implantation désirée du système. Les défautuosités dans les circuits *VLSI* surviennent pendant la fabrication ou apparaissent après la fabrication [2].

Les défautuosités survenant pendant la fabrication sont causées par:

- les variations des paramètres pendant le procédé de fabrication (réglages de l'équipement);
- des problèmes dans le matériel de base (cristal de silicium);
- des contaminations avec des particules (facteur d'environnement);
- les tests de stress de température et les tests mécaniques, etc.

Les défautuosités apparaissant après la fabrication sont causées par:

- l'augmentation du champ électrique dans l'isolateur de grille;
- l'augmentation de la densité du courant dans le conducteur;
- l'augmentation de la température impliquant piégeage/depiégeage d'électrons, décharges électroniques impliquant le stress électrique;
- la corrosion, le stress mécanique, etc.

Les défautuosités qui nous intéressent dans le cadre de cette thèse sont celles causant des courts-circuits entre les lignes dans un circuit intégré (CI). Nous ciblons ce type de défautuosités car elles sont dominantes dans les technologies *CMOS* [9][82].

Définition 2 :

Une erreur est la manifestation observable d'une défautuosité/panne. Elle peut se produire en présence de certains stimuli [7].

Définition 3 :

Un modèle de panne est la représentation logique ou structurelle d'une défectuosité physique [7]. Il permet de prédire le comportement d'un circuit en présence de défectuosité/panne (ex. court-circuit entre deux lignes). La modélisation de pannes permet l'utilisation d'outils de simulation et de génération automatique des vecteurs de test (*ATPG*).

1.1.2 Comprendre les types de tests et les modèles de pannes

Le but de l'*ATPG* est de créer un ensemble de vecteurs de test qui détecte le plus de défectuosités physiques possibles.

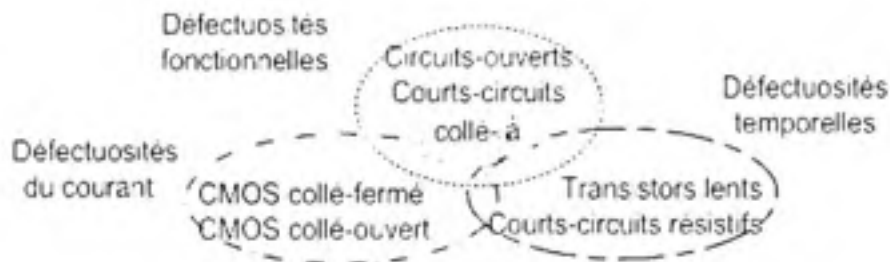


Figure 1.1 *Types de défectuosités possibles.*

La figure 1.1 montre les trois catégories principales de défectuosités. Il existe un type de test adéquat pour chacune de ces catégories de défectuosités. Le test fonctionnel cible généralement les défectuosités fonctionnelles, le test I_{DDQ} cible les défectuosités causant une élévation du courant de fuite, et le test de vitesse cible généralement les défectuosités temporelles.

Le test fonctionnel permet de vérifier et valider la fonction pour laquelle le circuit est conçu. Le test I_{DDQ} permet de mesurer le courant en régime permanent. Le test de vitesse permet la détermination du temps requis par un circuit afin de changer son état logique.

Le tableau 1.1 présente les modèles de pannes ciblées et des exemples de défauts détectés par chaque type de test.

Tableau 1.1

Types de test et modèles de pannes associés

Type de test	Modèles de panne	Exemples de défauts détectés
Fonctionnel	Pas de modèles	Quelques circuits-ouverts/courts-circuits au niveau des interconnexions
I_{DDQ}	Pseudo Collé-à	Transistor CMOS collé-fermé/quelques collés-ouverts, courts-circuits résistifs, transistors en conduction partielle
Vitesse	Délai de Transition, délai du chemin (path delay)	Transistors en conduction partielle, courts-circuits résistifs

Test fonctionnel

Le test fonctionnel permet de vérifier et valider le bon fonctionnement d'un circuit. Ce test considère le circuit comme une boîte noire avec des entrées/sorties. Sa génération nécessite une connaissance de la fonction du circuit pour laquelle il a été conçu. Par exemple, un test fonctionnel pour un circuit de multiplication permet tout simplement d'envoyer des valeurs sur l'entrée du circuit, et vérifier le résultat de la multiplication à la sortie.

Test I_{DDQ} et le modèle de panne pseudo collé-à

Le test I_{DDQ} permet de détecter les pannes causant une élévation du courant en régime permanent. Il est caractérisé par sa grande observabilité. Le générateur des vecteurs de test que nous utilisons cible le modèle pseudo « collé-à » pour sélectionner les meilleurs vecteurs I_{DDQ} . Si utilisé à un niveau suffisamment bas, le modèle de panne « pseudo collé-à » détecte plusieurs types de défauts que le modèle de panne « collé-à » traditionnel est incapable de détecter, comme quelques défauts de courts-circuits et des défauts liés aux transistors.

Test de vitesse et les modèles de pannes délai de transition et délai du chemin

Le test de vitesse cible les modèles de pannes délai de transition et délai du chemin (font partie des pannes temporelles). Ces modèles sont utilisés dans la génération des vecteurs de test pour la détection des défauts n'affectant pas le fonctionnement du circuit à une fréquence relativement basse, mais provoquant un dysfonctionnement à haute fréquence. Afin d'être manipulées par les outils de test, ces défauts sont représentés par des modèles appelés pannes temporelles. L'objectif du test des pannes temporelles est de vérifier que le circuit respecte bien les spécifications de fréquence pour lesquelles il a été conçu, c'est à dire de garantir que les délais de propagation des signaux sont toujours inférieurs au délai maximum autorisé par la fréquence de fonctionnement. Contrairement au test des pannes de collage, où un seul vecteur est suffisant pour exciter une panne et propager son effet jusqu'à une sortie du circuit, le test des pannes temporelles nécessite l'application de paires de vecteurs afin de produire et propager les transitions. Une panne temporelle peut représenter soit un défaut localisé sur un site particulier (modèle local tel que panne de délai de porte et panne de délai de transition), soit modéliser plusieurs défauts accumulés le long d'un chemin de propagation (modèle global tel que panne de délai de chemin [88]). Il existe deux modèles pour les pannes transitions :

- le modèle TDF (transition delay fault) qui exige deux transitions (montante et descendante) pour couvrir chaque nœud du circuit [87,89],
- le modèle IRF (inline resistance fault) exige une seule transition (montante ou descendante) pour couvrir chaque nœud du circuit [28][29].

1.2 Motivations

1.2.1 Tendances technologiques

Les avancées technologiques des trois dernières décennies ont contribué à maintenir un rythme incroyable au niveau de la capacité d'intégration, rythme mieux connu sous le nom de la loi de *Moore* selon laquelle la densité d'intégration double à tous les 18 mois. Ces évolutions technologiques se traduisent par une diminution constante de la taille des

transistors et par une augmentation de la fréquence du fonctionnement, ainsi que par une augmentation de la taille des puces. Le tableau 1.2 illustre l'augmentation de la densité d'intégration en fonction des technologies passées et futures pour des circuits de type microprocesseur [14].

Tableau 1.2

Estimations sur la densité d'intégration [14]					
Année	2004	2007	2010	2013	2016
Technologie	90 nm	65 nm	45 nm	32 nm	22 nm
Nb. Transistors /cm ²	110M	276M	552M	1104M	2209M

1.2.2 Conséquences des tendances technologiques

La diminution de la largeur des transistors, des lignes d'interconnexions et de l'espacement entre ces lignes a permis une densité d'intégration plus importante. Cependant, ces mêmes avancées sont à l'origine de l'apparition de divers phénomènes menaçant de ralentir le rythme actuel. Parmi eux, nous citons les plus importants dans ce qui suit.

1.2.2.1 L'augmentation du courant de fuite

La figure 1.2 montre les valeurs anticipées du courant I_{DDQ} en fonction des années. Ce courant augmente de manière exponentielle lors de la réduction à l'échelle du transistor [11,12,13], impliquant un impact direct sur les tests basés sur le courant I_{DDQ} . Cette augmentation du courant pourrait également causer des variations de température pouvant affecter d'autres types de test.

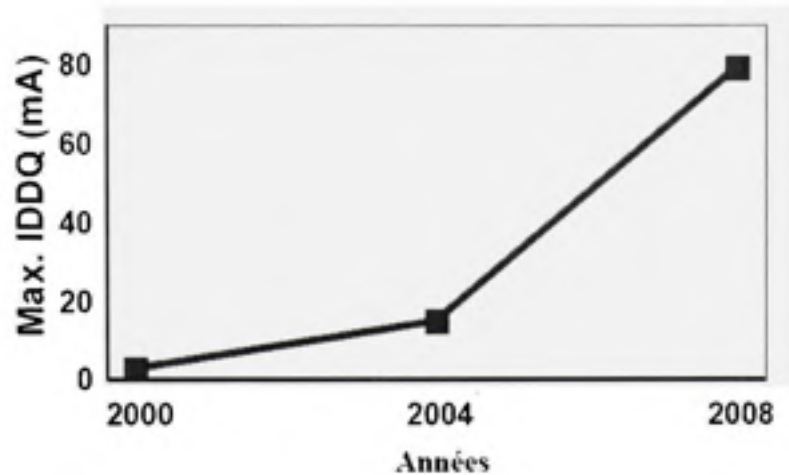


Figure 1.2 *Maximum I_{DDQ} versus le temps [14].*

1.2.2.2 Les retards de propagation de type résistance-capacité (RC)

Les circuits actuels sont de plus en plus sensibles à des pannes temporelles. L'origine s'explique, d'une part, par les fréquences de fonctionnement élevées et d'autre part, par la prépondérance des interconnexions sur les performances des circuits. Cette dernière notion est illustrée à la figure 1.3 dans le cas d'interconnexions en aluminium.

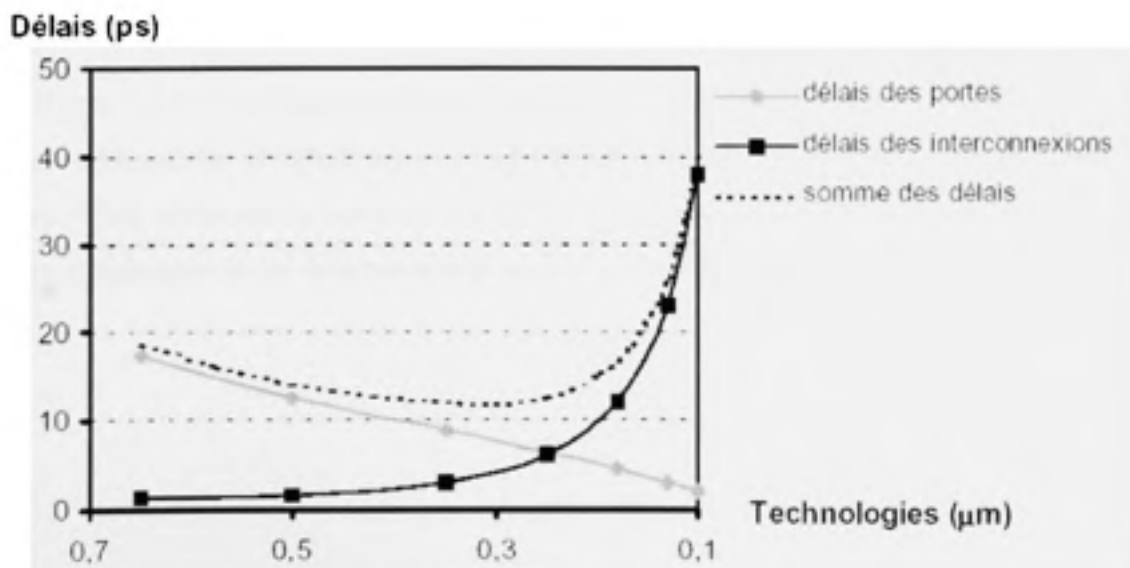


Figure 1.3 *Estimation sur les délais en fonction de la génération technologique [14].*

Cette figure montre clairement une inversion de tendance à partir de la technologie 0,25 μm . En effet, à partir de cette technologie, les interconnexions influent de manière significative sur la performance des circuits, et interviennent sous forme de couplage capacitif entre les lignes (crosstalks), mais aussi par des phénomènes inductifs. Ce type de pannes n'affecte pas le comportement logique du circuit, mais peut limiter sa vitesse.

Les sources de pannes causant des délais additionnels incluent :

- les vias et contacts résistifs;
- les courts-circuits résistifs;
- les courts-circuits aux travers l'oxyde de grille;
- les impacts impropres;
- les cassures dans les différents isolants;
- les cassures dans l'oxyde de silicium [15,16].

On s'attend que les pannes causées par les retards de propagation de type résistance-capacité (RC) prennent une plus grande importance dans le futur [10]. Ceci est causé par la diminution du cycle de l'horloge, ce qui rend les circuits plus sensibles face aux petits délais, dans la mesure où ces délais additionnels évoluent de la même façon lors de la réduction à l'échelle.

La figure 1.4 montre une distribution des délais additionnels [10]. On constate que les petits délais additionnels affectent un grand nombre de circuits, et dominent les grands délais. Ces petits délais additionnels ont un impact direct sur les performances des circuits rapides. Il est donc primordiale de les détecter afin d'assurer un fonctionnement sain de ces circuits.

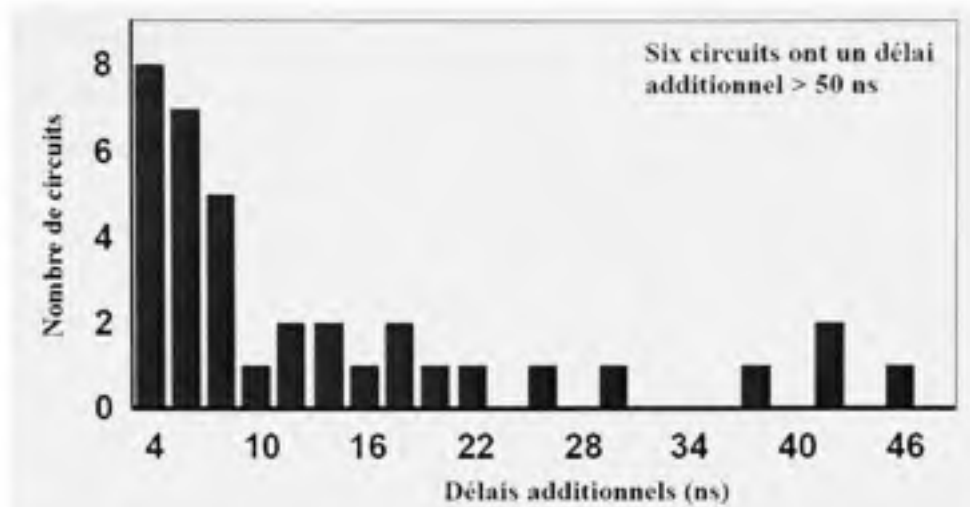


Figure 1.4 *Distribution des délais additionnels [10].*

1.2.2.3 Changements importants dans les procédés de fabrication

L'efficacité des méthodes de test doit être révisée face aux changements des procédés semi-conducteurs. Par exemple, comment les mécanismes de défauts changent-ils face à la migration de l'aluminium vers le cuivre ?

L'apparition de ces phénomènes menaçant l'efficacité des méthodes de test a sollicité l'intérêt de plusieurs chercheurs. Leur principal objectif était d'évaluer les méthodes de test actuelles. Dans la prochaine section, nous allons mettre en lumière des résultats pratiques provenant de différentes sources, montrant clairement l'impact de l'avancement technologique sur l'efficacité des méthodes de test. Ceci va nous permettre par la suite de justifier les objectifs visés par cette thèse.

1.2.3 Symptômes de l'inefficacité du processus de test et du modèle de panne collé-à

Les statistiques collectées par Nigh et Gattiker, dans le cadre du projet SEMATECH S-121[10], montrent que 89 % des vecteurs de test « collé-à » ne détectent aucune panne pour un échantillon de 20 000 CI. Selon les auteurs, ceci suggère que les défauts affectant ces CI ne se comportent pas comme de simples pannes « collé-à ». La figure 1.5 présente

sous forme d'un graphique le nombre de fois qu'il y a détection de pannes de type « collé-à » pour chaque vecteur de test. Ces résultats présentés à titre indicatif constituent un indice certain de la relative inefficacité du processus de test, qui est une source de motivation pour cette thèse.

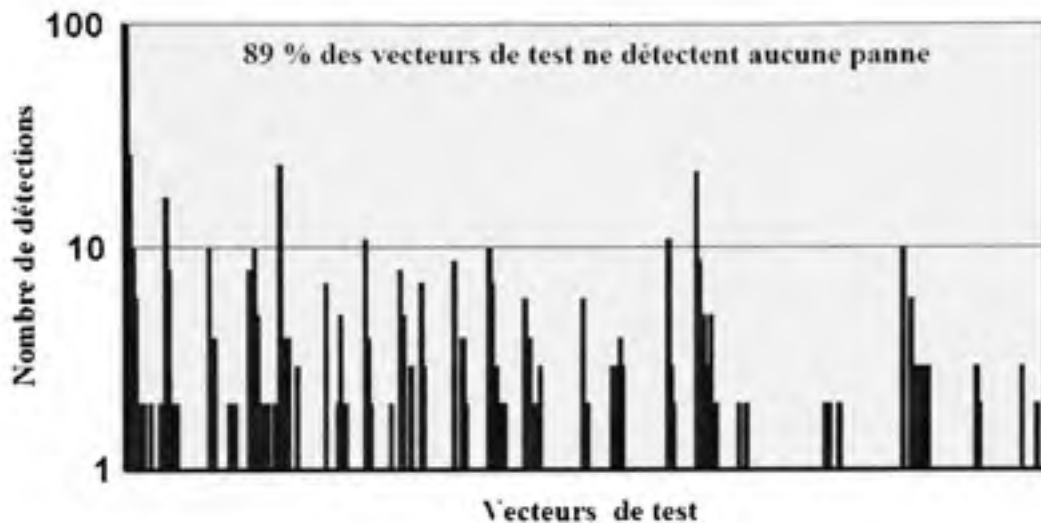


Figure 1.5 *Nombre de pannes détectées pour chaque vecteur de test [10].*

Dans la cadre du même projet [17,18], une analyse plus fine des résultats obtenus par les différents tests appliqués a été effectuée [19]. Ainsi, pour un certain nombre de circuits défectueux, les auteurs ont recherché la localisation de la ou des défauts dans le circuit. Ces analyses ont permis de montrer l'importance des modèles de panne utilisés, ainsi que les limitations du modèle de panne « collé-à » vis-à-vis de l'obtention d'une bonne couverture de panne. De plus, ces analyses ont mis en évidence l'importance des défauts du type court-circuit.

Nous terminons cette section portant sur les motivations derrière les travaux de la thèse par un résumé de la problématique. Comme nous avons constaté, les conséquences des tendances technologiques ont un impact direct sur l'efficacité du test « collé-à » des CI VLSI. Parmi les pannes pouvant échapper au test « collé-à » sont les pannes causées par les retards de propagation de type résistance-capacité (RC). On s'attend que ces pannes prennent une

grande importance dans le futur. Cette importance est amplifiée d'une part, par l'augmentation des fréquences de fonctionnement et d'autre part, par la prépondérance des interconnexions sur les performances des circuits. Différents types de tests sont requis pour tester efficacement ces pannes. Le tout mène à une augmentation du temps de test et par conséquent du coût de test, et éventuellement par un délai de livraison des circuits aux clients. Nous attaquons ce problème par l'élaboration d'une méthodologie permettant d'améliorer le test des circuits intégrés (CI), et ce, en utilisant des concepts propres au diagnostic et en se basant sur l'interaction des méthodes de test existantes.

1.3 Objectifs global et spécifiques de la thèse

L'objectif global de la thèse est l'amélioration du processus de test des CI, soit en optimisant le nombre de vecteurs pour une qualité de test donnée, ou soit en optimisant la qualité du test pour un nombre donné de vecteurs. L'atteinte de cet objectif global passe par divers objectifs spécifiques.

Il est important ici de mentionner que la thèse de doctorat s'appuie notamment sur les travaux effectués dans le cadre de la maîtrise [20], qui portait sur l'amélioration de la méthode de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ} .

Le premier objectif spécifique de cette thèse est la généralisation plus poussée de la méthode de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ} . Cette généralisation est importante car nous comptons insérer la méthode de diagnostic dans le processus bonifié de test. Cette généralisation touche les points suivants :

- Développer plusieurs modèles de pannes de courts-circuits de la technologie $0.35\mu\text{m}$. Nous avons choisi cette technologie tout simplement car elle était la plus récente disponible au sein de notre laboratoire de recherche.
- Étudier l'impact de l'avancement technologique sur les résultats de la réduction des sites physiques de courts-circuits basée sur les capacités parasites. Nous allons étudier spécifiquement l'impact du passage de la technologie $0.35\mu\text{m}$ à la technologie 90nm .

- Améliorer la deuxième technique de réduction des sites physiques de courts-circuits; nous parlons de celle qui utilise les résultats des sorties erronées du circuit sous test obtenus à l'aide de son émulation (ou son test). Cette technique supportait des circuits purement combinatoires. L'amélioration apportée permet d'utiliser cette technique sur des circuits séquentiels.
- Compléter la conception logicielle de l'outil de diagnostic permettant l'émulation de la méthode de diagnostic proposée, et définir les conditions permettant son utilisation dans un environnement de test en temps réel.

Le deuxième objectif de la thèse est d'élaborer une méthodologie permettant d'améliorer le test des circuits intégrés, et ce, en utilisant des concepts propres au diagnostic et en se basant sur l'interaction des méthodes de test existantes. Il s'agit d'introduire dans un premier temps une stratégie d'optimisation pour le test adaptatif de haute qualité. Ce test doit couvrir plusieurs modèles de panne (délai, transition, collé-à, court-circuit, I_{DDQ}) afin d'augmenter la couverture des pannes. L'ensemble final des vecteurs sera optimisé en utilisant des techniques d'évaluation de la couverture de panne. La nouveauté dans ce travail se situe dans un premier temps au niveau de l'introduction des courts-circuits dans le processus d'optimisation et de l'utilisation des capacités parasites de routage comme indication de probabilité de court-circuit, afin d'identifier et de cibler des sites ayant un réel potentiel d'être affectés par un court-circuit. Cette pratique est dérivée de nos travaux de maîtrise (portant sur le diagnostic), que nous appliquons maintenant au niveau du test. Ceci s'avère un élément clé de notre stratégie qui vise à identifier, *a priori* les sites potentiels de court-circuit ne pouvant pas être détectés par les tests logiques. Pour ces sites de court-circuit, nous allons investiguer deux types de traitement possibles :

Traitement a priori (Prévision):

Ce traitement est basé sur l'ajout d'autres vecteurs de test pour couvrir les sites non couverts par les tests logiques ou de délais.

Traitement a posteriori (guérison):

Ce traitement est basé sur un diagnostic rapide sur les sites non couverts. Nous allons faire appel à la méthode de diagnostic proposée avec quelques modifications. Ce traitement correspond à une stratégie d'optimisation visant à n'appliquer les vecteurs supplémentaires que sur les CI montrant des symptômes particuliers.

1.4 Contributions de la thèse

Nous résumons les contributions de la thèse dans les points suivants :

- Nous avons proposé dans [86] une nouvelle stratégie d'optimisation pour le test adaptatif de haute qualité. (1) nous avons essayé de couvrir les pannes qui habituellement ne causent pas une consommation anormale du courant I_{DDQ} avec le minimum de vecteurs possibles qui sont appliqués à tous les circuits; (2) nous avons complété la couverture de pannes causant une élévation du courant I_{DDQ} avec un autre ensemble de vecteurs qui sont conditionnellement appliqués. Cette philosophie de test implique un nouveau rôle du test basé sur le courant, qui n'est plus utilisé pour décider si un circuit est défectueux ou non, mais comme un seuil de décision pour l'application des vecteurs de test additionnels.
- Nous avons publié deux articles résumant les améliorations apportées à la méthode de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ} .
 - En [34], nous avons présenté l'utilisation des capacités parasites de routage extraites du dessin des masques dans le processus de réduction des sites de courts-circuits. Nous avons également présenté la technique de réduction basée sur l'isolation de la panne. Cependant, la technique présentée est limitée aux circuits purement combinatoires.
 - En [60], nous avons présenté une version améliorée de la méthode de diagnostic présentée en [34]. Cette amélioration touche plusieurs niveaux ciblant la généralisation plus poussée de la méthode de diagnostic. D'une part, nous avons développé plusieurs modèles de pannes incluant la totalité des

types de portes de la technologie $0.35\mu\text{m}$. D'autre part, nous avons présenté une version améliorée de la technique de réduction basée sur l'isolation de la panne. Cette nouvelle version supporte les circuits séquentiels et permet donc de remédier à la limitation de celle présentée en [34].

- Nous avons présenté en [59] l'outil de diagnostic des courts-circuits permettant l'automatisation de la méthode de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ} . Nous avons également présenté les derniers résultats de réduction des sites de court-circuit, et ce, en se basant sur les signatures ΔI_{DDQ} , les capacités parasites de routage extraites du dessin des masques et les erreurs logiques observées à la sortie du circuit. Dans le même travail nous avons présenté une nouvelle technique d'estimation du délai additionnel causé par le court-circuit diagnostiqué.
- Une autre publication (sujet du chapitre 5) est en cours de rédaction. Elle propose une toute nouvelle méthodologie de test des circuits. Cette méthodologie consiste à identifier, *a priori* des sites potentiels de court-circuit ne pouvant par être détectés par les tests logiques. Pour ces sites de court-circuit, nous investiguons deux types de traitement possibles. Le traitement *a priori* (Prévision) est basé sur l'ajout d'autres vecteurs de test pour couvrir les sites non couverts par les tests logiques ou de délais. Le traitement *a posteriori* (guérison) basé sur un diagnostic rapide sur les sites non couverts. Nous exploitons tous les travaux publiés jusqu'ici pour élaborer cette méthodologie de test.

1.5 Organisation de la thèse

Cette thèse est structurée comme suit. Le chapitre 2 présente une nouvelle stratégie d'optimisation pour le test adaptatif de haute qualité. Nous allons générer un test de haute qualité ciblant plusieurs modèles de pannes, par la suite nous allons proposer une stratégie d'adaptation du test appliqué. Le chapitre 3 présente la méthode existante de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ} . Par la suite, nous rappelons les

améliorations effectuées sur cette méthode dans les cadres de la maîtrise et de cette thèse. L'outil de diagnostic proposé permettant l'émulation de la méthode de diagnostic est présentée dans le chapitre 4, montrant la praticabilité et l'applicabilité de l'approche de diagnostic à deux étapes pour les circuits complexes. Le chapitre 5 met la lumière une nouvelle piste permettant d'analyser les pannes/défectuosités causant une élévation anormale du courant. Par la suite il introduit une nouvelle technique d'estimation du délai additionnel basée sur les résultats du diagnostic.

CHAPITRE 2

STRATÉGIE D'OPTIMISATION POUR LE TEST ADAPTATIF DE HAUTE QUALITÉ

Ce chapitre présente une nouvelle stratégie d'optimisation pour le test adaptatif de haute qualité [86]. Cette stratégie cible deux catégories de types de pannes. La première concerne les pannes ne causant habituellement aucune augmentation du courant I_{DDQ} , et la deuxième au contraire de la première, concerne les pannes qui habituellement causent une augmentation du courant I_{DDQ} . Le point de départ de notre stratégie d'optimisation de test est le modèle de panne (IRF) qui cible la première catégorie de types de pannes. Ce modèle a un bon potentiel pour l'optimisation des vecteurs de test. Il cible les pannes de type circuit-ouvert. Nous allons démontrer d'abord qu'une couverture de panne très élevée basée sur le modèle IRF de base peut laisser une proportion significative de pannes dites séquentielles non couvertes. Ce type de pannes est défini à la section suivante. Par la suite, nous proposerons une technique améliorée de génération des vecteurs de test basée sur le modèle IRF. Avec pratiquement le même nombre de vecteurs de test basé sur le modèle IRF de base, la technique améliorée permet d'obtenir une couverture additionnelle significative des pannes séquentielles. Dans l'étape suivante, nous allons démontrer qu'une couverture de pannes séquentielles de 90% ou plus est possible avec une augmentation raisonnable du nombre de vecteurs de test. Finalement, nous allons proposer une technique permettant d'appliquer conditionnellement des vecteurs de test ciblant spécifiquement les types de pannes de la deuxième catégorie (ceux causant une augmentation du courant I_{DDQ}). Cette technique permet une adaptation du test appliqué en se basant sur les mesures du courant I_{DDQ} . Nous allons démontrer que cette technique pourrait fournir une réduction intéressante du temps de test atteignant jusqu'à 53%, tout en offrant une qualité de test global dépassant celle offerte par le test N-défecte (défini plus loin dans ce chapitre).

2.1 Introduction

Avec la diminution de la taille des transistors à 90 nm et moins, un intérêt croissant a été mis sur les pannes temporelles afin de maintenir la qualité du test [21], car ces pannes se produisent plus souvent [22]. D'ailleurs, les pannes en général (et les pannes temporelles en particulier) sont observées souvent au niveau du routage [23]. Dans ces conditions, les pannes temporelles sont principalement causées par les circuits-ouverts et les courts-circuits. Les circuits-ouverts causent une discontinuité complète (forte) ou partielle (faible ou résistive) sur n'importe quelle ligne physique du circuit. Les circuits-ouverts forts au niveau du routage mènent habituellement à un comportement collé-à, et par ailleurs peuvent être détectés par un test collé-à régulier. Cependant, la détection des circuits-ouverts faibles ou résistifs avec le test collé-à régulier n'est pas assurée, car ils peuvent causer des pannes de délais [24][25]. Les pannes de type court-circuit sont également très délicates à détecter car leur modélisation exige des informations du niveau transistors [26][27], et aussi car le nombre de sites potentiels de courts-circuits augmente en fonction du carré du nombre de portes.

Les tests basés sur le modèle transition (TDF) ont démontré une bonne capacité de détection des pannes de type court-circuit et circuit-ouvert. Malheureusement, l'utilisation de ce modèle de pannes implique une augmentation significative du volume et du temps de test. Ceci est causé par le fait que le modèle TDF exige des transitions montantes et descendantes pour couvrir chaque nœud du circuit. Cependant, il était observé que la majorité des pannes sensibles à la fréquence de l'horloge sont de type IRF [28]. D'un point de vue d'optimisation, cette observation est très intéressante, car l'ensemble entier du test basé sur le modèle TDF n'est pas requis pour détecter les pannes IRF, puisqu'une simple transition par nœud est suffisante pour détecter ces pannes.

Pour exploiter l'observation précédente, les auteurs [29] ont présenté une technique de génération des vecteurs de test basée sur le modèle IRF. Ce processus de génération choisit aléatoirement une des deux transitions pour chaque nœud du circuit. L'utilisation de cette

approche a révélé que la technique de génération des vecteurs de test basée sur le modèle IRF permet d'accélérer le processus de génération des vecteurs de test de 1,4 à 1,8 , tout en offrant une bonne réduction de 45% à 58% du nombre de vecteurs, et ce, en la comparant avec l'approche traditionnelle basée sur le modèle TDF. Plus encore, pour un circuit particulier (logique LSI 0.18 μ m), il était démontré que la combinaison du test basé sur le modèle IRF et leur technique statistique de post traitement [81] basée sur des mesures I_{DDQ} permet de réduire de manière significative l'impact global d'utiliser seulement le test basé sur le modèle IRF, au lieu de l'ensemble traditionnel de test basé sur le modèle TDF.

Bien que leur approche ait mené à de bons résultats pour leur ASIC particulier, nous croyons que plus d'investigations sont requises pour évaluer l'efficacité de leur approche basée sur le modèle IRF pour la détection de différents types de pannes. Dans ce chapitre, nous nous concentrons sur :

- **Les pannes séquentielles.** Ici nous définissons les pannes séquentielles comme des circuits-ouverts transformant des portes logiques combinatoires en portes logiques séquentielles. L'utilisation des tests basés sur le modèle IRF comme décrit en [29] ne garantit pas leur détection, car elles exigent souvent une transition spécifique pour être détectées. Nous allons démontrer plus loin dans ce chapitre qu'une couverture très élevée de test basée sur le modèle IRF de base peut laisser jusqu'à 60% des pannes séquentielles non couvertes. La détection de ces pannes est nécessaire afin de maintenir une haute qualité de test, surtout que les expérimentations [30] ont prouvé que 54 sur 128 circuits défectueux ont été diagnostiqués comme étant affectés par des pannes séquentielles.
- **Les pannes de type court-circuit.** L'approche proposée par [29] est basée sur une méthode sophistiquée qui utilise une technique statistique de post traitement du courant I_{DDQ} pour prendre en considération les pannes de type court-circuit. Intuitivement, l'impact sur la qualité du test aurait été plus significatif sans une méthode basée sur le courant. Dans ce chapitre, nous étudions la possibilité de combiner le test basé sur un model IRF amélioré avec une méthode I_{DDQ} plus simple.

Nos investigations précédentes nous mènent à proposer les contributions suivantes:

- La première est la nouvelle philosophie de test sur laquelle notre stratégie d'optimisation et d'adaptation de test est fondée. Cette nouvelle philosophie consiste à créer un premier ensemble de vecteurs de test couvrant d'abord les pannes ne causant pas habituellement une élévation du courant, puis dans un deuxième temps, à créer un ensemble de vecteurs de test complétant la couverture des pannes qui peuvent causer une élévation du courant. Cette nouvelle philosophie permet la réduction du temps de test grâce à l'application conditionnelle du deuxième ensemble de vecteurs de test aux circuits ayant une consommation anormale du courant I_{DDQ} . Ceci implique un nouveau rôle du test basé sur le courant. Dans l'approche proposée, le test basé sur le courant consiste à utiliser les mesures I_{DDQ} non plus pour décider si un circuit est défectueux ou non (excepté pour des valeurs évidentes), mais comme un indicateur de décision pour l'application conditionnelle du deuxième ensemble de vecteurs de test. Cette approche tire profit du fait que la majorité des circuits échappant au moins un test non- I_{DDQ} ont une consommation anormale de courant [10,31,33].
- Notre deuxième contribution est présentée pour compenser la couverture insuffisante des pannes séquentielles offerte par l'ensemble des vecteurs de test basé sur le modèle IRF. Cette compensation est possible en utilisant une technique de génération de test basée sur un modèle IRF amélioré permettant un choix de transition, ce qui augmente de manière significative la couverture des pannes séquentielles avec pratiquement le même nombre de vecteurs que le test basé sur le modèle IRF de base.

Le reste de ce chapitre est organisé comme suit. La prochaine section présente des résultats d'évaluation de la couverture de pannes pour différents modèles en utilisant un ensemble de vecteurs basés sur le modèle IRF de base. La section 2.3 décrit la technique de génération des vecteurs de test basé sur un modèle IRF amélioré avec le choix de transition. Nous présentons ensuite les résultats permettant de comparer le test IRF amélioré avec le test IRF de base. Dans la section 2.4, différentes méthodes de test sont étudiées pour compléter la couverture de pannes causant une consommation anormale du courant. Dans la section 2.5,

nous présentons la technique permettant l'adaptation du test appliqué en se basant sur les mesures du courant I_{DDQ} . Nous concluons le chapitre à la section 2.6.

2.2 Évaluation de la couverture de panne du test basé sur le modèle IRF

Cette section présente quelques résultats d'évaluation de la couverture de panne d'un ensemble de vecteurs de test basé sur le modèle IRF de base, appelé test IRF_B, semblable à celui utilisé par [29]. Ces résultats ont été obtenus avec des circuits séquentiels ISCAS 89, et des filtres (FIR) de différentes tailles (nombre d'étages). Nous avons utilisé ce dernier type particulier de circuits car son code VHDL est facilement paramétrable pour produire de grands circuits. Le tableau 2.1 décrit les neuf circuits en termes du nombre de nœuds et de bascules.

Tableau 2.1

Nombre de nœuds et de bascules pour les neuf circuits

Circuit	Nœuds	Bascules
s1196	529	18
s1238	508	18
s1423	657	74
s5378	13223	179
s38584	19253	1426
FIR100	27387	792
FIR250	53732	2376
FIR500	107837	4752
FIR1000	214857	9504

L'ensemble de test IRF_B, produit avec un outil commercial (Fastscan de Mentor), était évalué pour les modèles de pannes suivants:

- Le modèle de panne IRF, qui consiste à couvrir une transition montante ou descendante pour chaque nœud du circuit.
- Le modèle de panne collé-à (SSF), qui consiste à couvrir les pannes de collage-à '0' et à '1' pour chaque nœud du circuit.
- Le modèle de panne TDF, qui consiste à couvrir les transitions (montante et descendante) pour chaque nœud du circuit.
- Le modèle de panne séquentielle (SF), qui consiste en un circuit-ouvert sur le drain des transistors dans des topologies parallèles; leur présence peut causer des pannes séquentielles (voir les exemples sur la figure 2.1).
- Le modèle de panne de type court-circuit (CC). Les localisations réalistes des courts-circuits ont été identifiées en se basant sur le dessin des masques. Ceci permet la réduction du nombre de sites de court-circuit, qui devient proportionnel au nombre de portes [32,34]. Bien qu'il existe d'autres méthodes pour identifier les sites potentiels du court-circuit [35,36], nous utilisons l'extraction des capacités parasites car elle fait déjà partie de la procédure standard de conception des circuits numériques [37]. Dans cette étude, nous considérons les courts-circuits forts. Nous verrons plus de détails sur la réduction du nombre de sites de courts-circuits dans le prochain chapitre.

Pour les trois premiers modèles de pannes, nous avons utilisé l'outil *Fastscan* pour obtenir les résultats d'évaluation de la couverture de panne. Pour les deux autres, nous avons utilisé notre propre simulateur de panne (décrit en détails dans le prochain chapitre). Les résultats d'évaluation de la couverture de panne pour les cinq modèles apparaissent dans le tableau 2.2. Globalement, les modèles de pannes IRF, SSF, TDF, SF et CC ont respectivement obtenu une couverture de 99.96, 99.61, 70.6, 74.6 et 41.2% avec l'ensemble de test IRF_B. Le terme couverture globale est le rapport de la somme de toutes les pannes couvertes sur la somme de toutes les pannes possibles pour un modèle de panne donné. À partir de ces résultats, il est

clair que même une couverture IRF de base très élevée n'est pas suffisante pour garantir un test de haute qualité. En effet, un test basé sur le modèle IRF de base avec une grande couverture peut laisser non couvertes approximativement 30% des pannes de type transition, jusqu'à 25% des pannes de type court-circuit, mais surtout, de près de 60% des pannes séquentielles. Ces résultats sont importants car ils démontrent clairement l'inefficacité relative du test basé sur le modèle IRF de base vis-à-vis les modèles de pannes considérés. Dans les prochaines sections, nous étudierons comment améliorer l'ensemble du test basé sur le modèle IRF de base, en commençant par les pannes séquentielles.

Tableau 2.2

Résultats de l'évaluation de la couverture de panne en (%) du test IRF_B pour différents modèles de pannes

Circuit	IRF	SSF	TDF	CC	SF
s1196	99.89	100	70.23	79.23	55.82
s1238	99.89	100	70.21	79.04	55.19
s1423	99.98	100	72.56	76.13	54.80
s5378	99.99	100	71.74	73.85	55.11
s38584	99.99	100	72.49	73.69	54.19
FIR100	99.99	100	68.66	74.96	43.29
FIR250	99.98	99.88	70.21	73.36	41.01
FIR500	99.97	99.63	71.63	74.83	40.19
FIR1000	99.94	99.42	70.14	74.76	39.40
Globale	99.96	99.61	70.6	74.6	41.2

2.3 Génération des vecteurs de test IRF avec la sélection de la transition

2.3.1 Le défi de détection des pannes séquentielles

Comme nous venons de voir, le test IRF de base, consistant à choisir une transition aléatoirement pour chaque nœud dans le circuit, produit une très faible couverture de pannes séquentielles. Nous pouvons illustrer le défi de détection de ce type de panne par un simple exemple. La figure 2.1 montre une porte Non-ou à deux entrées avec deux pannes potentielles de type circuits-ouverts au niveau des drains du réseau de transistors N. Considérez le circuit-ouvert 1 au niveau du drain du transistor N1. Les conditions de détection de ce circuit-ouvert sont une transition montante sur In1 en maintenant In2 à la valeur logique '0'. Ces conditions sont confirmées par une simulation *Hspice* du circuit-ouvert 1 (la sortie dans ce cas est out_open) présentée sur la figure 2.2.

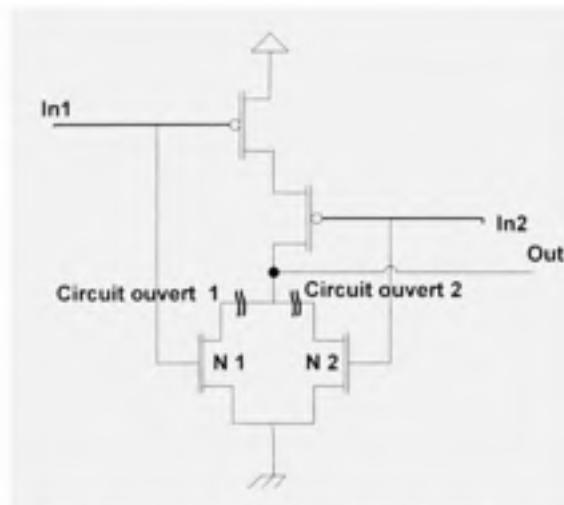


Figure 2.1 Exemple d'une porte Non-ou à deux entrées avec deux circuits-ouverts.

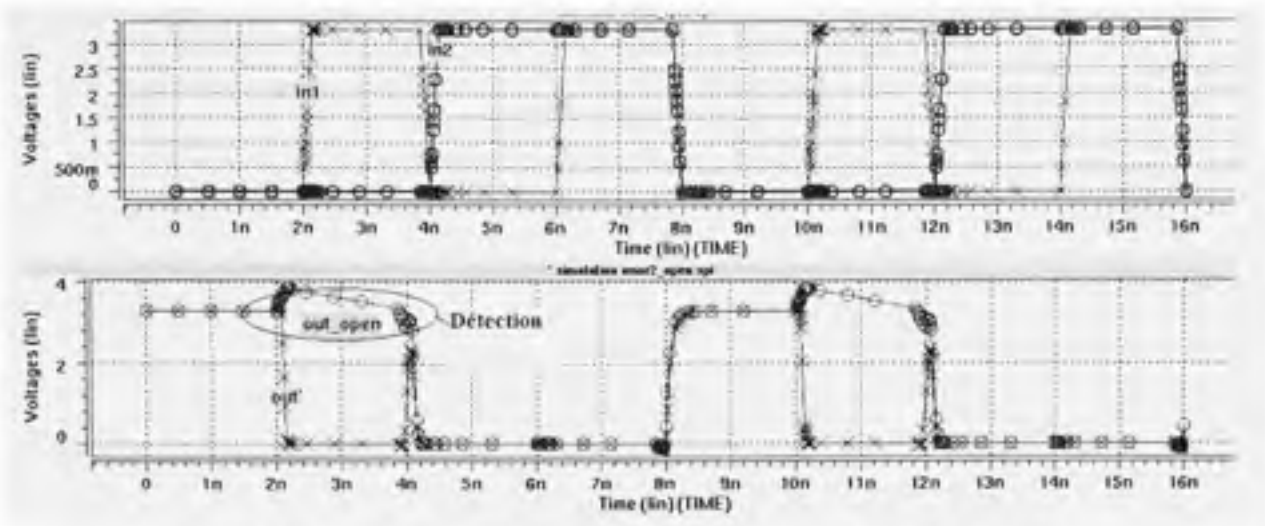


Figure 2.2 *Simulation Hspice du circuit-ouvert 1 de la figure 2.1.*

La détection du circuit-ouvert 2 requiert un test différent, à savoir une transition montante sur In2 tout en maintenant In1 à '0'. La détection des pannes séquentielles affectant le réseau PMOS d'une porte Non-et exige également un ordre différent de test. Clairement, la détection de telles pannes dépend essentiellement de leur localisation et du type de porte affectée.

2.3.2 Génération des vecteurs de test IRF améliorée avec la sélection de la transition

Afin d'augmenter la couverture des pannes séquentielles tout en respectant la contrainte limitant le nombre de vecteurs de test, nous avons développé un algorithme de génération des contraintes de test pour les pannes séquentielles basé sur le choix de la transition. La figure 2.3 illustre les étapes de cet algorithme.

L'algorithme proposé produit un fichier contenant les contraintes de test pour les pannes séquentielles. Il commence par l'identification de la transition exigée pour chaque nœud dans le Netlist. Cette identification requiert la connaissance du Netlist au niveau des portes logiques, ainsi que les informations au niveau transistor de chaque porte. Pour chaque nœud, l'algorithme vérifie si :

- Le nœud conduit un des transistors PMOS parallèles mais aucun des transistors NMOS parallèles (par exemple une entrée d'une porte Non-et); dans ce cas-ci, le test exigé est une transition descendante sur ce nœud tout en maintenant les autres entrées de la porte à la valeur logique 1.
- Le nœud conduit un des transistors NMOS parallèles mais aucun des transistors PMOS parallèles (par exemple une entrée d'une porte Non-ou); dans ce cas-ci, le test exigé est une transition montante sur ce nœud tout en maintenant les autres entrées de la porte à la valeur logique 0.
- Le nœud ne conduit aucun réseau de transistors parallèles (par exemple une entrée d'inverseur); dans ce cas-ci, la transition est choisie aléatoirement comme proposé par [29].
- Le nœud conduit les deux réseaux de transistors PMOS et NMOS parallèles (par exemple un FAN OUT : un nœud conduisant plusieurs portes dans un circuit); dans ce cas, les deux transitions sont exigées (montante et descendante). Cependant, l'algorithme considère le premier réseau de transistors parallèles rencontré pendant la phase d'assignation des contraintes aux nœuds. La raison pour laquelle nous ciblons une seule transition dans ce cas malgré le fait que nous devons cibler les deux types de transitions, est simplement par ce que nous voulons générer un premier ensemble de vecteurs de test comparable à celui généré par [29]. Les transitions volontairement non couvertes seront ciblées par la suite dans une étape d'amélioration de la couverture de pannes séquentielles.

Ce tableau résume les contraintes attachées à chaque nœud afin de détecter les pannes séquentielles. Par exemple, le nœud N1 exige une transition descendante tout en maintenant N2 à la valeur logique '1'; cette contrainte est justifiée par le fait que le nœud N1 conduit un des transistors PMOS parallèle de la porte Non-et (G1). La transition est choisie aléatoirement pour le nœud N3 car il ne conduit aucun réseau de transistors parallèles. N7 est un FANOUT et il conduit un transistor du réseau PMOS parallèle de la porte (G5) et un transistor du réseau NMOS parallèle de la porte (G4); dans ce cas particulier, les deux transitions sont exigées. Cependant, et comme mentionné au par avant, nous ciblons volontairement une des deux transitions afin de produire un premier ensemble de test d'une taille comparable à l'ensemble du test basé sur le modèle IRF_B. Le fichier des contraintes est le point de départ pour la génération des vecteurs de test. Ce fichier permet la définition du choix de transition selon les règles énumérées ci-dessus, au lieu d'un choix aléatoire tel que proposé par [29]. Nous employons l'outil *FastScan* pour produire le nouvel ensemble des vecteurs de test appelé IRF_TS, qui veut dire : IRF avec le choix de transition.

Les résultats de la génération des vecteurs de tests (tableau 2.4) démontrent clairement l'efficacité des vecteurs de test IRF_TS comparativement à l'ensemble des vecteurs de test IRF_B en termes de la couverture des pannes séquentielles et du nombre de vecteurs. De façon générale, l'ensemble des vecteurs de test IRF_TS améliore la couverture des pannes séquentielles de plus de 35%. Cette amélioration significative de la couverture est obtenue avec pratiquement le même nombre de vecteurs utilisés par le modèle de base IRF_B. C'est un résultat très significatif car il indique qu'une couverture de pannes séquentielles plus élevée peut être atteinte sans pénalité au niveau du nombre de vecteurs de test. Ceci constitue notre première étape d'amélioration. Nous nous concentrerons dans ce qui suit sur les pannes séquentielles non couvertes par l'ensemble des vecteurs de test IRF_TS.

Tableau 2.4

Couvertures des pannes séquentielles et nombre de vecteurs pour les tests IRF_B et IRF_TS

Circuit	Couverture SF (%)		Nombre de vecteurs	
	IRF_B	IRF_TS	IRF_B	IRF_TS
s1196	55.82	85.17	220	219
s1238	55.19	89.83	220	218
s1423	54.80	90.19	121	123
s5378	55.11	82.53	332	326
s38584	54.19	85.74	975	979
FIR 100	43.29	78.44	445	449
FIR 250	41.01	77.38	548	541
FIR 500	40.19	76.15	886	857
FIR 1000	39.40	75.88	998	1034
Globale	41.2	77.0	4745	4746

2.3.3 Amélioration supplémentaire de la couverture des pannes séquentielles

Les pannes séquentielles non couvertes volontairement par les vecteurs de test IRF_TS sont principalement causées par les FANOUTs. Comme mentionné précédemment, nous nous sommes limités à cibler une seule transition pour chaque nœud dans le cas des FANOUTs. Pour les pannes séquentielles provenant des FANOUTs, nous produirons maintenant un ensemble additionnel de vecteurs de test de type transition appelé Add_IRF_TS. Notez qu'aucun effort de recherche de ces sites de pannes séquentielles n'est nécessaire. Ces sites sont déjà déterminés et sauvegardés par l'algorithme de génération des contraintes pour couvrir les pannes séquentielles. À ce niveau, il suffit de générer un ensemble de vecteurs de test transitions additionnel couvrant les pannes séquentielles non couvertes jusqu'ici. Cet

ensemble additionnel de vecteurs est par la suite fusionné avec l'ensemble des vecteurs IRF_TS pour créer l'ensemble des vecteurs IRF_TS+. Le tableau 2.5 énumère le nombre de vecteurs résultant et la couverture des pannes séquentielles obtenue avec le test IRF_TS+. Nous pouvons constater clairement qu'une couverture de pannes séquentielles élevée de plus de 90 % est possible (91.8% en général). De façon générale, l'augmentation du nombre de vecteur de test est de 13% comparativement au nombre de vecteurs de test IRF_B, pour une augmentation de la couverture de pannes séquentielles de 50.5%, et une augmentation du nombre de vecteurs de 14.8% comparativement au nombre de vecteurs de test IRF_TS. D'ailleurs, ces vecteurs de test supplémentaires contribueront de toute façon à augmenter la couverture d'autres pannes. La réalisation d'une telle couverture de pannes séquentielles élevée avec un prix raisonnable au niveau de l'augmentation du nombre de vecteurs utilisé constitue notre deuxième étape d'amélioration. Nous avons également comparé le nombre de vecteur de test IRF+ avec le nombre de vecteur de test TDF traditionnel, nous avons trouvé que le premier ensemble de test résultant est moins de 55% que le nombre de vecteurs généré par le modèle TDF standard.

Dans un contexte de haute qualité requise, une couverture élevée des pannes séquentielles est importante car le test basé sur le courant ne peut pas la compenser, puisque la plupart de ces pannes séquentielles échappent au test basé sur le courant.

Un autre aspect très important de cette couverture élevée est le fait que les défauts/pannes ne causant pas une consommation anormale du courant sont bien couvertes. Pour ce qui est des défauts/pannes qui ne sont pas couvertes, elles causent généralement une consommation anormale du courant. La prochaine étape visera ces types de défauts/pannes.

Tableau 2.5

Couverture des pannes séquentielles et nombre de vecteurs pour le test IRF_TS+

Circuit	Couverture (%)	Nombre de vecteurs
s1196	98.63	248
s1238	99.08	245
s1423	93.15	137
s5378	92.40	364
s38584	97.29	1003
FIR 100	91.16	524
FIR 250	90.35	633
FIR 500	91.85	984
FIR 1000	91.57	1225
Globale	91.8	5363

2.4 Ciblage des autres pannes

Dans cette section, nous nous concentrons sur les pannes TDF en général, puis plus spécifiquement sur les pannes de type courts-circuits.

2.4.1 Les pannes TDF restantes

Afin d'estimer la proportion des pannes TDF non couvertes par les différents types de test étudiés jusqu'ici, nous avons effectué une évaluation de la couverture des pannes TDF en

utilisant ces types de test. Les résultats de cette évaluation sont présentés dans le tableau 2.6. De façon générale, nous avons respectivement obtenu une couverture TDF de 70.6%, de 73.2% et de 77.8% pour les tests IRF_B, IRF_TS et le test IRF_TS+. Ces couvertures TDF ne sont pas suffisantes pour un test de haute qualité. Dans ce cas, une approche « top-off » devrait être appropriée pour compléter la couverture. Nous utilisons de nouveau l'outil *Fastscan* pour produire un ensemble supplémentaire de vecteurs de test, appelé *Top_off_TDF*, pour cibler les pannes TDF non couvertes. Nous avons fusionné cet ensemble *Top_off_TDF* avec l'ensemble de test IRF_TS+ pour créer l'ensemble de test IRF_TS+TOT. La couverture de panne TDF ainsi que le nombre de vecteurs obtenu apparaissent dans le tableau 2.7.

Tableau 2.6

Couverture TDF (%) pour les tests IRF_B, IRF_TS, et IRF_TS+

Circuit	IRF_B	IRF_TS	IRF_TS+
s1196	70.23	73.46	79.93
s1238	70.21	73.28	79.95
s1423	72.56	74.83	80.11
s5378	71.74	73.85	79.36
s38584	72.49	74.64	80.14
FIR 100	68.66	70.55	77.58
FIR 250	70.21	73.47	77.45
FIR 500	71.63	72.21	78.24
FIR 1000	70.14	73.74	77.31
Globale	70.6	73.2	77.8

De façon générale, l'ensemble de test IRF_TS+TOT mène à une couverture TDF de 97.7%. Ce dernier gain au niveau de la couverture est d'environ 20% par rapport au test IRF_TS+, avec une augmentation du nombre de vecteur de 84%. Une telle augmentation a un impact

direct sur le temps de test ainsi que la mémoire limitée du testeur. Supposant qu'il y a assez de mémoire sur le testeur pour sauvegarder la totalité des vecteurs, un tel volume de test pourrait mener à un temps de test inacceptable. Heureusement, nous avons développé une stratégie de test adaptatif pour réduire l'impact de ces vecteurs de test sur le temps du test total. Cette stratégie est décrite dans la section 2.5. L'avantage principal de notre approche comparée à celle utilisant un ensemble monolithique de test TDF est de pouvoir créer deux sous-ensembles séparés de test. Le premier est utilisé pour tous les circuits, alors que le second sera conditionnellement appliqué aux circuits ayant une consommation anormale du courant. L'utilisation d'un ensemble de test TDF monolithique mènerait à une couverture globale et un volume pratiquement semblable, mais à une couverture séquentielle globale mais élevée de 91.8%, alors qu'avec notre approche, cette couverture peut atteindre 98.4%.

Tableau 2.7

Couverture TDF et nombre de vecteurs pour le test IRF_TS+TOT

Circuits	Couverture TDF (%)	Nombre de vecteurs
s1196	99.29	457
s1238	99.28	463
s1423	95.74	248
s5378	95.47	735
s38584	98.73	1947
FIR 100	98.54	903
FIR 250	98.13	1115
FIR 500	98.05	1809
FIR 1000	97.37	2178
Globale	97.7	9855

Nous avons également évalué (avec *Fastscan*) le test IRF_B (déjà disponible, tableau 2.2), le test IRF_TS+, et le test IRF_TS+TOT pour des pannes de type collé-à. La couverture globale obtenue avec ces ensembles des trois tests est respectivement: 99.61%, 99.73%, et 100%.

2.4.2 Les pannes de type court-circuit

Dans cette section, nous nous concentrons sur la détection des pannes de type court-circuit. Nous utilisons notre simulateur de courts-circuits pour évaluer la couverture de ces pannes en utilisant les types de tests définis jusqu'ici. Ici nous nous intéressons aux sites de courts-circuits potentiels extraits du dessin de masques. Les résultats de l'évaluation de la couverture des sites potentiels de court-circuit sont présentés dans le tableau 2.8. De façon générale, nous avons respectivement obtenu les couvertures de courts-circuits de 74.6%, de 74.5%, de 83.7% et de 99.95% pour les tests l'IRF_B, l'IRF_TS, l'IRF_TS+ et l'IRF_TS+TOT.

Nous avons également évalué un cinquième ensemble de test produit par l'outil *Fastscan* pour le modèle de panne collé-à. De façon générale, nous avons obtenu une couverture de courts-circuits de 73.2% avec cet ensemble de test, ce qui confirme de nouveau la limite du modèle collé-à dans la détection des courts-circuits.

Pour un objectif de comparaison, nous considérons également un ensemble de test à détection multiple, ou *N-detect* ($N=3,4$). Un ensemble de test à détection multiple exige que chaque nœud du circuit soit couvert par N vecteurs différents ciblant le modèle collé-à [38,39,40]. La motivation ici de produire des tests multiples pour le modèle de panne collé-à, dans l'approche *N-detect*, est d'augmenter la probabilité de détection des pannes liées aux nœuds impliqués dans les courts-circuits. Les résultats en termes du nombre de vecteurs ainsi que la couverture des courts-circuits apparaissent dans le tableau 2.9.

Tableau 2.8

Couverture de courts-circuits (%) avec les tests IRF_B, IRF_TS, IRF_TS+, et IRF_TS+TOT

Circuits	IRF_B	IRF_TS	IRF_TS+	IRF_TS+TOT
s1196	79.23	79.5	85.57	99.95
s1238	79.04	79.98	87.34	99.91
s1423	76.13	77.12	86.46	99.87
s5378	73.85	74.15	85.32	99.92
s38584	73.69	74.52	88.35	99.83
FIR 100	74.96	74.35	83.98	99.95
FIR 250	73.36	73.97	84.75	99.94
FIR 500	74.83	74.19	83.93	99.96
FIR 1000	74.76	74.89	82.73	99.97
Globale	74.6	74.5	83.7	99.95

Les résultats de cette comparaison sont tout à fait significatifs, car ils indiquent que l'ensemble de test IRF_TS+TOT fournit une couverture de courts-circuits globale de (99.95%, tableau 2.8) plus grande que celle obtenue avec les tests *3-* et *4-detect*, tout en exigeant moins de vecteurs de test (9855, tableau 2.7). De façon générale, le nombre de vecteurs dans l'ensemble du test *N-detect* est environ N fois le nombre de vecteurs dans un test SSF, ce qui confirme des résultats présentés par [41] qui suggèrent également la même tendance.

Tableau 2.9

Couverture des courts-circuits et nombre de vecteurs avec le test N-detect

	Couverture des courts-circuits (%)		Nombre de vecteurs	
	N=3	N=4	N=3	N=4
s1196	99.85	99.93	762	1016
s1238	99.02	99.36	789	1052
s1423	98.70	99.81	426	568
s5378	98.01	99.42	1305	1740
s38584	97.20	99.47	3102	4136
FIR 100	93.10	98.06	1319	1753
FIR 250	96.89	98.74	1592	2118
FIR 500	94.63	97.92	1928	2572
FIR 1000	95.34	96.83	2353	3151
Globale	95.4	97.6	13576	18106

2.4.3 Une très haute couverture des courts-circuits

Sachant que n'importe quel modèle additionnel ciblant les courts-circuits peut être conditionnellement appliqué, nous accomplissons notre génération des vecteurs de test avec un supplément et une étape finale, avec l'objectif de couvrir les quelque courts-circuits non couverts jusqu'ici. Notre motivation est d'avoir une couverture de courts-circuits la plus élevée possible (idéalement 100%), pour réduire notre dépendance sur le test basé sur le courant pour les détecter. Ceci permet la modification du rôle du test basé sur le courant, comme expliqué au section 2.5.

Ces vecteurs de test additionnels, appelés l'ensemble du test AddCC, ciblent les pannes de courts-circuits non couvertes jusqu'ici. Pour ces vecteurs de test supplémentaires, nous utilisons une procédure de génération des vecteurs de test inspirés par l'approche *N-detect*,

comme supporté par notre version actuelle de l'outil *Fastscan*. Ce processus est décrit dans l'annexe 8. Principalement, l'idée consiste à générer des vecteurs de transitions additionnels jusqu'à ce que tous les sites de courts-circuits soit couverts. Contrairement au test *N-detect* où tous les vecteurs de test sont utilisés, nous gardons seulement les vecteurs supplémentaires qui ont une contribution sur la couverture des courts-circuits. Le nombre limité des courts-circuits non couverts rend cette approche efficace et possible. Nous utilisons également ici notre simulateur de courts-circuits pour cette sélection.

Le tableau 2.10 montre les résultats obtenus. Le nombre de sites de courts-circuits non couverts par le test IRF_TS+TOT apparaît dans la première colonne. Dans la deuxième colonne, nous présentons le nombre de vecteurs *N-detect* permettant de couvrir tous les sites de courts-circuits non couverts par le test *N-detect* (encore pour le but de comparaison). Ce nombre est significativement plus élevé que le nombre de vecteurs de test supplémentaires sélectionnés par notre approche. Ce nombre apparaît dans la dernière colonne. Ce nombre est égal au nombre de sites de courts-circuits, qui suggère qu'une certaine réduction additionnelle soit probablement réalisable avec un procédé plus sophistiqué de génération de vecteurs de test. La recherche d'un tel procédé fait partie des travaux futurs.

De façon générale, le fusionnement du test IRF_TS+TOT et des ensembles de test AddCC causerait une augmentation de 3.5% dans le nombre de vecteurs de test (comparativement au test IRF_TS+TOT). Ce point est très intéressant car en ajoutant ces derniers vecteurs de test mène à une couverture de court-circuit de 100%.

Avant de passer à la prochaine section qui introduit la technique du test conditionnel basée sur le courant, nous présentons dans le tableau 2.11 tous les tests considérés jusqu'ici. Nous présentons également les pannes ciblées par chaque type de test. Notez que l'ordre de la génération de ces tests est important.

Tableau 2.10

Statistiques pour la dernière étape

Circuits	Sites de courts-circuits non couverts	Nombre de vecteurs <i>N-detect</i>	Nombre de vecteurs <i>AddCC</i>
s1196	1	7	1
s1238	1	6	1
s1423	8	31	8
s5378	11	62	11
s38584	18	114	18
FIR 100	27	159	27
FIR 250	66	213	66
FIR 500	84	254	84
FIR 1000	132	389	132
Globale	348	1235	348

Le test IRF_TS+ est utilisé pour détecter les pannes ne causant habituellement aucune augmentation du courant. Les tests additionnels Top_off_TDF et AddCC seront appliqués pour détecter les pannes causant habituellement une augmentation du courant. La prochaine section élabore en détails quand et comment chacun de ces types de test sera appliqué.

Tableau 2.11

Types de test et pannes ciblées

Pannes ciblées	Types de test		
Pannes ne causant habituellement aucune augmentation du courant	IRF_TS	IRF_TS+	IRF_TS+TOT
	Add_IRF_TS		
Pannes causant habituellement une augmentation du courant	Top_off_TDF		
	AddCC		

2.5 Test conditionnel basé sur le courant

Dans cette section, nous décrivons une nouvelle façon d'utiliser le test par le courant. Notre objectif principal est de réduire le temps de test en évitant l'application du test `Top_off_TDF` et le test `Add_CC` développés dans la section précédente. Comme ces tests visent spécifiquement les pannes qui causeraient très probablement une consommation additionnelle du courant, nous proposons de ne pas les appliquer à moins que la consommation du courant additionnelle anormale soit détectée. Il y a différents scénarios possibles pour mettre en œuvre cette technique. Nous proposons d'appliquer les deux tests additionnels si au moins une des mesures I_{DDQ} est plus haute qu'un seuil prédéterminé.

Il est tout à fait important de noter ici que fixer un seuil I_{DDQ} a un impact moins significatif que dans le cas du test I_{DDQ} traditionnel à seuil unique, car ce seuil n'est pas directement utilisé pour décider si un circuit est défectueux ou non. Comme pour n'importe quelle technique de détermination du seuil I_{DDQ} , la valeur du seuil est déterminée pendant la phase de caractérisation, avant le test final.

Pour évaluer notre approche, nous utilisons le travail décrit en [42] qui consiste en l'utilisation de l'histogramme spécial I_{max} . Cet histogramme représente la distribution du rendement apparent ou observé avant l'application du test I_{DDQ} , Y_{ABI} , en fonction de la valeur maximale du courant I_{DDQ} mesurée pour chaque circuit, I_{max} .

Pour chaque intervalle I_{max} , $Y_{ABI}(i) = P_{ANI}(i) / NIC(i)$ est estimé, où $P_{ANI}(i)$ est le nombre de circuits dans l'intervalle i passant tous les tests non- I_{DDQ} (notamment collé-à, transition et le test fonctionnel) et $NIC(i)$ est le nombre des circuits dans l'intervalle i . Chaque intervalle contient approximativement 1000 CIs. Le graphique résultant, en utilisant ici les données du projet Sematech S-121 [10] comme exemple, apparaît sur la figure 2.5. Chaque intervalle contient approximativement 1000 circuits, sauf le dernier qui contient environ 2000.

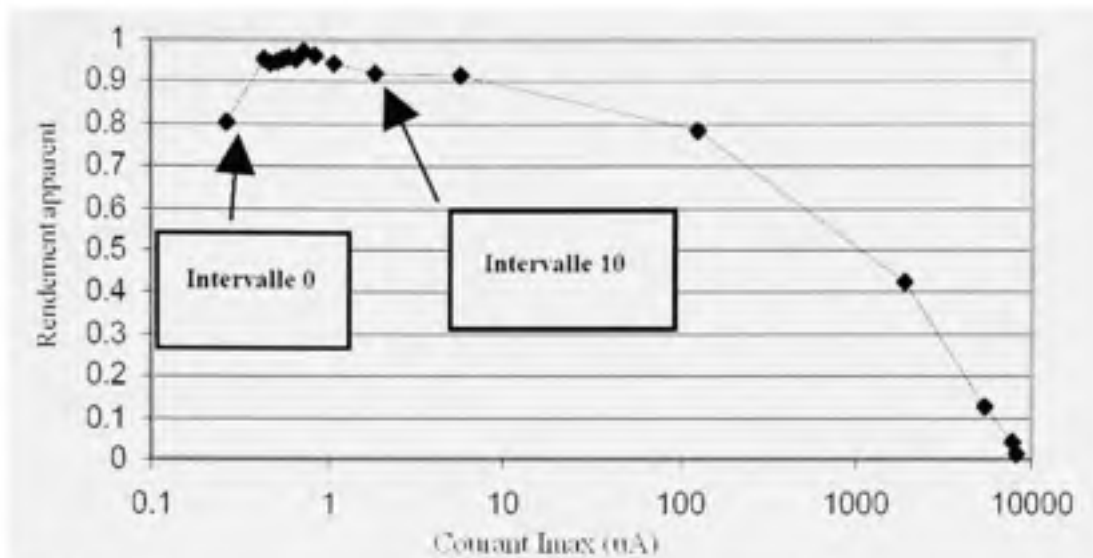


Figure 2.5 *Distribution du rendement apparent avant le test I_{DDQ} , en fonction de I_{max} .*

L'analyse de cette figure mène à deux observations intéressantes:

- pour les circuits ayant $0.41 < I_{max} < 1.25 \mu A$ (intervalles 1 à 9), $Y_{ABI}(i)$ est presque constant à 0.95; dans cet ensemble, $Y_{ABI}(i)$ est indépendant de I_{max} , suggérant que I_{DDQ} ne détecte pas ce type de défaut causant une perte de rendement. Nous supposons que ces circuits ne contiennent pas de défauts entraînant une élévation du courant I_{DDQ} , la même remarque s'applique sur les circuits de l'intervalle 0
- $Y_{ABI}(i)$ commence à diminuer de 0.92 (intervalle 10, $1.25 < I_{max} < 2.45 \mu A$) à 0.014 (intervalle 16, $8100 < I_{max} < 8200 \mu A$), suggérant que le test I_{DDQ} détecte les défauts entraînant cette perte de rendement. Nous supposons ces circuits contiennent des défauts entraînant une élévation du courant I_{DDQ} . Il est intéressant de savoir que 88.6% des circuits échouant au moins un test non- I_{DDQ} ont une valeur I_{max} supérieure à $1.25 \mu A$.

Basé sur ces observations, nous proposons la procédure de test de la figure 2.6. Cette procédure commence par l'application du test I_{DDQ} . L'objectif est d'identifier la valeur I_{DDQ} maximale (I_{max}). Notez que le test s'arrête si une première mesure I_{DDQ} est au-dessus d'une

valeur limite fixée (dans notre cas $T0=8100\mu A$). Si aucune valeur limite I_{DDQ} n'est observée, alors le circuit subira le test IRF_TS+ seulement.

L'aspect du test conditionnel apparaît à ce point. Les deux ensembles additionnels de test (Top_off_TDF+Add_CC) sont seulement appliqués aux circuits potentiellement affectés par des courts-circuits. Basé sur l'observation précédente, un seuil conditionnel est défini. Pour les circuits Sematech, cette valeur de seuil serait placée à ($I_{trigger}=1.25\mu A$), et les circuits avec une valeur I_{max} inférieure à cette valeur ne subiront pas ces deux ensembles de tests supplémentaires.

La réduction du temps de test est possible grâce aux circuits n'ayant pas des pannes qui peuvent causer une consommation anormale du courant I_{DDQ} . En utilisant les résultats de Sematech, et avec la technique du test conditionnel proposée, 53% des circuits (notamment la proportion de circuits passant tous les tests avec une valeur de courant I_{max} inférieure ou l'égale à $1.25\mu A$) verraient leur test écourté. Pour ces circuits, nous diminuons le temps de test en appliquant un ensemble de vecteurs de test réduit, i.e. IRF_TS+ (environ la moitié des vecteurs de test).

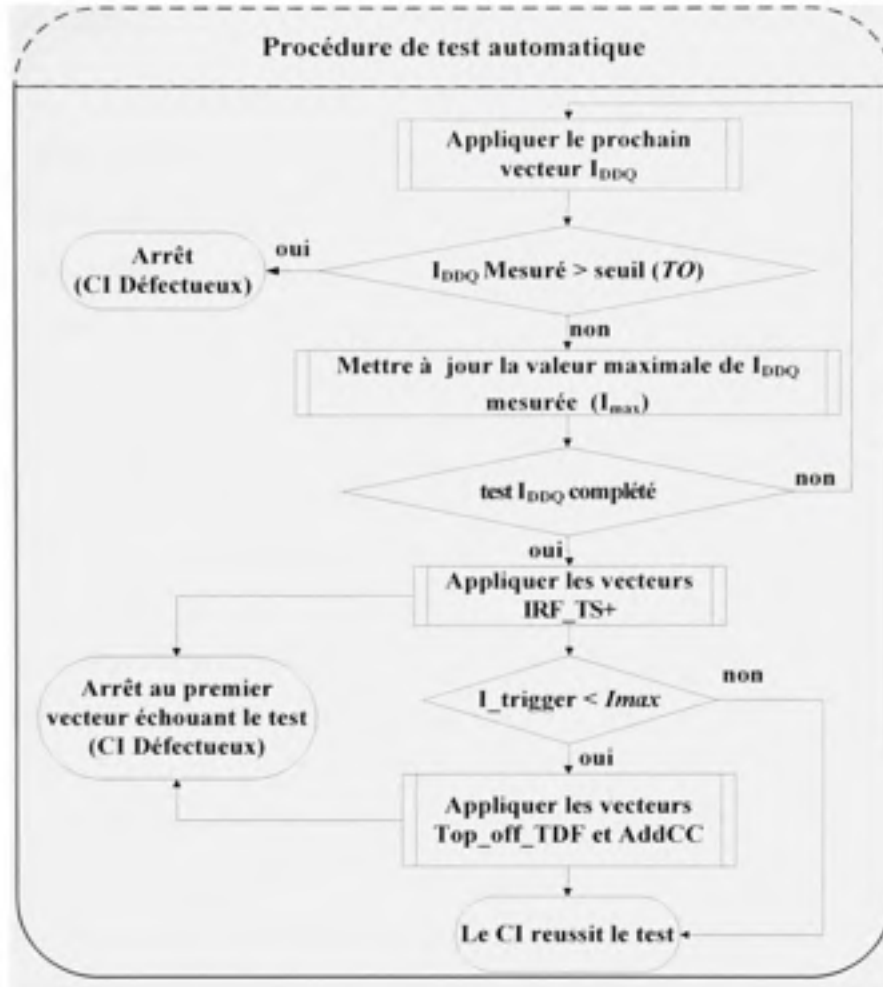


Figure 2.6 Procédure de test proposée.

Notez que les conditions de détermination du seuil $I_{trigger}$ pourraient être plus sophistiquées et également impliquer des techniques populaires de post-traitement comme ΔI_{DDQ} ou ratio du courant. La recherche d'une technique de détermination du seuil $I_{trigger}$ plus développée fait partie des travaux futurs. Notez également que cette stratégie pourrait être généralisée à d'autres types de pannes, ce qui pourrait potentiellement mener à des gains plus substantiels du temps de test. C'est également une partie des travaux futurs.

2.6 Conclusion

Nous avons proposé dans ce chapitre une nouvelle stratégie d'optimisation pour le test adaptatif de haute qualité. (1) nous avons essayé de couvrir les pannes qui habituellement ne causent pas une consommation anormale du courant I_{DDQ} avec le minimum de vecteurs possibles qui sont appliqués à tous les circuits; (2) nous avons complété la couverture de pannes causant une élévation du courant I_{DDQ} avec un autre ensemble de vecteurs qui sont conditionnellement appliqués. Cette philosophie de test implique un nouveau rôle du test basé sur le courant, qui n'est plus utilisé pour décider si un circuit est défectueux ou non, mais comme un seuil de décision pour l'application des vecteurs de test additionnels.

Notre point de départ pour développer le premier ensemble de test était le modèle de panne IRF, récemment proposé comme une alternative au modèle TDF. Nous avons d'abord estimé les capacités de détection du test basé sur le modèle IRF de base en ciblant plusieurs modèles de pannes. Les résultats ont montré qu'une couverture IRF très élevée donne une couverture médiocre des pannes séquentielles. Nous avons présenté un nouvel algorithme de génération des vecteurs de test, basé sur le choix de transition afin d'augmenter la couverture des pannes séquentielles. Les résultats obtenus avec cet algorithme ont révélé une augmentation significative de la couverture (jusqu'à 35%) avec pratiquement le même nombre de vecteurs. Nous avons démontré qu'il était possible d'améliorer d'avantage cette couverture des pannes séquentielles jusqu'à 90% avec un ensemble additionnel de vecteurs de test. Le premier ensemble de test résultant est moins de 55% que le nombre de vecteurs généré par le modèle TDF standard. Nous avons par la suite complété la couverture de pannes en générant des vecteurs ciblant les pannes qui habituellement peuvent causer une élévation du courant, spécifiquement, les sites de pannes de courts-circuits non couverts par le premier ensemble de vecteurs. Nous avons ensuite proposé la technique permettant l'application conditionnelle de ces vecteurs. En utilisant les données de Sematech comme exemple, nous avons estimé que notre approche conditionnelle du test adaptatif pourrait fournir jusqu'à 54.3% de réduction du temps de test, et ce pour 53% des circuits.

CHAPITRE 3

AMÉLIORATION DE LA METHODE DE DIAGNOSTIC BASÉE SUR LES SIGNATURES PROBABILISTES DU COURANT I_{DDQ}

Les techniques de diagnostic [3-6] diffèrent principalement suivant leur nature (matériel versus logiciel) [43], le type de défectuosité/pannes qu'elles ciblent (par exemple, délai, I_{DDQ} , courts-circuits), les modèles de pannes qu'elles utilisent (par exemple, collé-à, pseudo-collé-à, court-circuit, les modèles non classiques), et l'information qu'elles emploient (par exemple, valeurs logiques de sortie, I_{DDQ}).

Selon le type d'analyse utilisé, les méthodes de diagnostics peuvent être classées en deux catégories. L'analyse «cause à effet» fait intervenir un traitement *a priori* basé sur la simulation de pannes. Ce traitement permet de construire un dictionnaire de pannes, sur lequel s'appuiera le processus de diagnostic [44,45]. Ce type de diagnostic compare les résultats obtenus à partir des tests avec les signatures de pannes. L'application de telles approches au diagnostic des courts-circuits est proposée dans [46,47]. L'analyse «effet à cause» consiste à analyser le comportement du circuit afin d'en extraire les origines possibles du dysfonctionnement. Cette analyse *a posteriori* s'appuie sur un processus de remontée du comportement du circuit à partir de ses sorties erronées jusqu'à l'origine de la panne [43,48]. Les méthodes utilisant ce type d'analyse peuvent être appliquées pour le diagnostic des pannes de délai [49]. La combinaison des deux types d'analyse «cause à effet» et «effet à cause» est proposée en [50] afin de réduire le nombre des localisations de pannes à diagnostiquer.

Comme approche de type «cause à effet», on cite celle basée sur le courant I_{DDQ} qui a joué un rôle important dans l'amélioration du processus de fabrication. Cette approche permet d'identifier et de localiser avec une grande précision les pannes de type court-circuit [51, 52], qui sont l'un des types de pannes les plus fréquents dans les technologies CMOS [9][82].

3.1 Description de la méthode de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ}

La méthode qui nous intéresse dans cette thèse est celle qui a été développée au départ par Thibeault [52-54]. Cette méthode de diagnostic se base sur le concept des signatures probabilistes du courant différentiel ΔI_{DDQ} . L'expression « courant différentiel ΔI_{DDQ} » signifie que l'on s'intéresse à la différence qui existe entre deux mesures consécutives du courant. Le terme « signature » indique que l'on tire profit du fait que certains types de pannes menant à des formes particulières de la distribution du courant différentiel [55], ce qui facilite leur identification. Le terme « probabiliste » s'applique à la manière de comparer la signature d'un circuit sous test avec celles anticipées des différents types de pannes. Un des éléments distinctifs de cette méthode est le fait que les pannes soient définies en fonction du type de portes dont les sorties sont impliquées dans le court-circuit. Par exemple, un court-circuit entre les sorties de deux inverseurs devient un type de panne donné, alors qu'un court-circuit entre les sorties de deux portes non-et à deux entrées est un autre type de panne. Ces deux types de panne et leurs signatures respectives sont symboliquement représentés sur la figure 3.1.

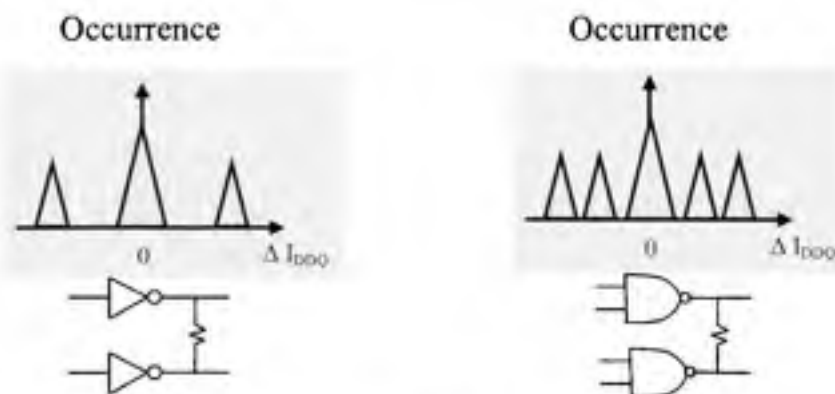


Figure 3.1 *Histogrammes symbolisant ΔI_{DDQ} pour deux types de panne.*

Ces signatures permettent la séparation du processus de diagnostic en deux phases. La première phase s'appelle *la phase d'identification* et joue un rôle de pré-traitement. Elle consiste à classer les types de pannes suivant leurs probabilités d'apparition, et tire profit des

différences de forme de signatures du courant différentiel. Cette phase requiert seulement la liste des portes utilisées dans le circuit (le « *Netlist* » n'est pas nécessaire). À la fin de cette phase, nous obtenons une liste contenant par ordre de probabilité les types de pannes les plus probables «*TPPP*». La figure 3.2 montre un exemple, le type de panne le plus probable ici étant un court-circuit entre les sorties d'un inverseur et une porte non-et à deux entrées.

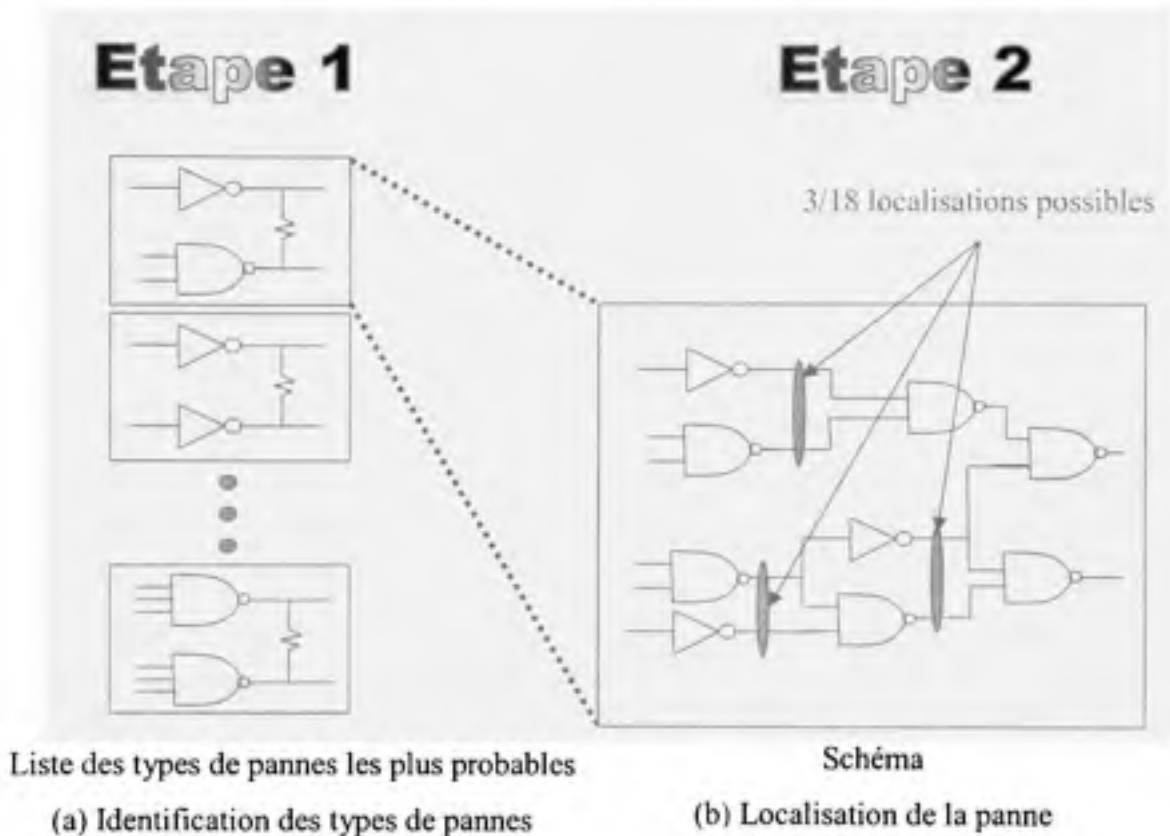


Figure 3.2 Les deux étapes du diagnostic.

Cette liste «*TPPP*» constitue le point d'entrée à la deuxième phase du diagnostic qui est la phase de localisation. La phase de localisation a comme objectif la création d'une liste de nœuds ayant la plus grande probabilité d'être impliqués dans un type de pannes donné. La procédure de localisation utilise la liste générée lors de la phase d'identification «*TPPP*». Nous commençons par analyser le type de pannes le plus probable. Une liste de paires de nœuds pouvant engendrer ce type de pannes est préparée au départ. Dans l'exemple précédent (figure 3.2), il existe 18 localisations possibles pour le type de panne le plus probable, vu qu'il y a trois inverseurs et six

portes Non-et à deux entrées. Nous montrons sur la figure 3.2 trois localisations possibles pour ce type de panne.

Cette deuxième phase se base sur le principe MLE [56] (Maximum Likelihood Estimation). Ce principe est largement utilisé dans le monde des télécommunications. Il est utilisé ici pour comparer les valeurs ΔI_{DDQ} simulées et mesurées. Les valeurs ΔI_{DDQ} simulées sont générées par un outil d'émulation composé du simulateur logique (*Verilog-XL*) et d'un émulateur I_{DDQ} utilisant des valeurs pré-estimées (générées par *HSpice*). Les localisations possibles pour le type de panne en cours de traitement sont placées dans une liste ordonnée appelé la liste des localisations les plus probables «*LLPP*». L'annexe 1 présente une explication plus détaillée sur le principe des deux phases du diagnostic.

La phase d'identification permet une première réduction des sites envoyés à la phase de localisation. En effet, pour chaque type de panne choisi, nous considérons seulement les paires de nœuds liées à ce type(s). Cependant, malgré ce premier effort de réduction, le nombre de sites augmente toujours en fonction du carré du nombre de portes (ciblées). Dans notre cas, l'impact sera sur le temps (processeur) pris pour converger vers le site(s) réel(s), et par conséquent, limite l'utilisation de cette méthode pour les circuits plus complexes en terme du nombre de portes utilisées.

3.2 Aspects à améliorer et solutions proposées

3.2.1 Rappel des améliorations apportées à la méthode dans le cadre de la maîtrise

Les travaux effectués au niveau de la maîtrise [20] ont permis d'améliorer la méthode de diagnostic, et ce, à différents niveaux. D'une part, il s'agissait d'accélérer la méthode en réduisant le nombre de sites potentiels de courts-circuits. Pour ce faire, nous avons proposé deux techniques de réduction.

La première se base sur les capacités parasites de routage qui permettent de réduire le nombre de sites de courts-circuits. Ces sites représentent toutes les paires de nœuds qu'il est possible de former à partir de la liste des nœuds ciblés pour un type de pannes donné.

Or, il faut que les nœuds soient à proximité pour qu'il puisse y avoir un court-circuit. La présence d'une capacité parasite entre deux nœuds est un indicateur assez fiable de la probabilité de court-circuit entre ces deux nœuds. Pour valider cette première technique de réduction, nous avons considéré neuf types de pannes seulement. Comme nous allons le voir, la généralisation de cette méthode pour les autres types de panne fait partie des travaux effectués dans le cadre de cette thèse.

La deuxième méthode de réduction se base sur les résultats des sorties erronées du circuit sous test obtenus à l'aide de son émulation. Elle permet aussi de réduire le nombre de sites physiques. Cependant, cette deuxième technique ne supportait que les circuits purement combinatoires. La généralisation de cette méthode pour les circuits séquentiels fait partie des travaux de la thèse. D'autre part, nous avons comme objectif de palier à certaines limitations de l'outil logiciel qui avait été développé pour permettre la validation de la méthode. Du côté de l'outil logiciel, nous avons développé l'infrastructure nécessaire permettant de l'interfacer avec l'outil de simulation *Verilog-XL* de *Cadence*. Ce développement a permis de remédier à la limitation du simulateur existant qui ne supportait que les circuits logiques purement combinatoires. Nous sommes donc maintenant en mesure d'utiliser la méthode de diagnostic sur des circuits combinatoires et séquentiels. Ces travaux s'inscrivent dans le cadre du mémoire de maîtrise [20], et ont fait l'objet de deux affiches [57,58].

3.2.2 Améliorations apportées à la méthode dans le cadre de la thèse

Un premier travail était de publier un travail résumant les améliorations apportées à la méthode de diagnostic dans le cadre de la maîtrise, accompagnés des résultats d'expérimentation sur des circuits complexes [34]. En parallèle, les travaux de la thèse

ciblaient la généralisation plus poussée de la méthode de diagnostic. D'une part, nous avons développé plusieurs modèles de pannes incluant la totalité des types de portes de la technologie 0.35 μm (135 types de panne (annexe 2)). D'autre part, la deuxième amélioration apportée à la méthode est au niveau de la deuxième technique de réduction, soit celle qui utilise les résultats des sorties erronées du circuit sous test obtenus à l'aide de son émulation (ou son test). L'amélioration apportée a permis de remédier à la limitation de cette deuxième technique de réduction qui ne supportait que les circuits logiques purement combinatoires. Nous sommes donc maintenant en mesure d'utiliser cette technique sur des circuits combinatoires et séquentiels [60]. Les derniers résultats de la technique de réduction basée sur les capacités parasites de routage sont présentés à la prochaine section. Une description détaillée de la deuxième technique de réduction accompagnée des résultats sera donné à la section 3.4. Par la suite, nous allons présenter les résultats de réduction des sites de courts-circuits résultant de la combinaison de toutes les techniques de réduction précédemment citées.

3.3 Technique de réduction basée sur les capacités parasites de routage

Les défauts de courts-circuits peuvent se produire à deux niveaux : le niveau des portes logiques, impliquant les sorties des différentes portes [61][62], et au niveau des transistors, impliquant les nœuds internes des portes logiques. Dans le cadre de cette thèse, nous considérons les courts-circuits impliquant les sorties des portes logiques, car ces courts-circuits comptent pour environ 90% de tous les courts-circuits [62][63]. Les interconnexions sont les endroits les plus importants pour diagnostiquer ces courts-circuits [64]. C'est particulièrement vrai dans le cas des circuits logiques programmables complexes (CPLDs) et les réseaux de portes programmables (FPGAs) où le réseau d'interconnexion programmable occupe une grande partie du circuit [65]. C'est la raison pour laquelle les courts-circuits de niveau portes logiques ont été intensivement étudiés et des méthodes pour leur diagnostic ont été développées [46,47][66-68].

Le tableau 3.1 présente les résultats de la réduction des sites de courts-circuits utilisant les capacités parasites et le type de pannes. Ces résultats ont été obtenus avec les mêmes circuits du chapitre 2 (tableau 2.1), à savoir les cinq circuits séquentiels ISCAS (s1196, s1238, s1423, s5378 et s38584), et les quatre filtres (FIR) de différentes tailles (nombre d'étages). Pour obtenir ces résultats, nous avons ciblé la technologie 0.35 μ m.

Le tableau décrit les neuf circuits en termes du :

- nombre de nœuds, #Nœuds, variant de 529 à 215k;
- nombre de bascules, #Bascules, variant de 18 à 9,5k;
- nombre de sites physiques de courts-circuits (sans aucune réduction), (#Total), variant de 140k à 23.1G.
- nombre de sites réduit basé sur :
 - les capacités parasites, #Capacités, variant de 0,49k à 441k.
 - le type de panne, (#Type), variant de 14,2k à 73,3M. Ici, nous considérons le type de panne court-circuit entre la sortie d'un inverseur et la sortie d'une porte ou-exclusif à deux entrées.
 - le type de panne et les capacités parasites, (#T_C), variant de 285 à 79,1k.
- pourcentage des sites retenus basé sur :
 - les capacités parasites, #Capacités/#Total, variant de 0,002 et 0,395%.
 - le type de panne, #Type/#Total, variant entre 0,317 et 11,08%.
 - le type de panne et les capacités parasites, #C_T/#Type, variant entre 0,09 et 2,01%.

Tableau 3.1

Résultats de la réduction des sites de courts-circuits

Circuits	#Nœuds	#Bascules	#Total	#Sites réduit			% sites retenus		
				#Capacités	#Type	Type et capacités (#T_C)	#Capacités/#Total (%)	#Type/#Total (%)	#T_C/#Type (%)
s1196	5,29E+02	18	1,40E+05	4,93E+02	1,42E+04	2,85E+02	0,352	10,14	2,01
s1238	5,08E+02	18	1,29E+05	5,09E+02	8,96E+03	1,71E+02	0,395	6,95	1,91
s1423	6,57E+02	74	2,15E+05	6,71E+02	2,29E+04	2,49E+02	0,312	10,65	1,09
s5378	1,32E+04	179	8,74E+07	1,33E+04	4,24E+05	9,82E+02	0,015	0,49%	0,23
s38584	1,93E+04	1426	1,85E+08	3,85E+04	2,05E+07	1,90E+04	0,021	11,08	0,09
FIR100	2,74E+04	792	3,75E+08	5,48E+04	7,33E+06	1,10E+05	0,015	1,950	1,50
FIR250	5,37E+04	2376	1,44E+09	1,07E+05	1,83E+07	2,65E+05	0,007	1,273	1,45
FIR500	1,08E+05	4752	5,81E+09	2,16E+05	3,67E+07	5,37E+05	0,004	0,631	1,46
FIR1000	2,15E+05	9504	2,31E+10	4,41E+05	7,33E+07	7,91E+05	0,002	0,317	1,08
Moyenne							0,12	4,83	1,20

Ces résultats démontrent l'efficacité de deux techniques de réduction; l'identification du type de panne le plus probable (la première phase du diagnostic) permet de retenir en moyenne 4,83 % de sites de court-circuit pour le type de pannes considéré dans cet exemple. Ce pourcentage est d'avantage amélioré par la deuxième technique de réduction (celle basée sur les capacités parasites). En effet, ce pourcentage passe de 4,83% à 1,20% de sites de court-circuit retenus. Si nous considérons tous les types de pannes possibles, nous démontrons que l'utilisation des capacités parasites permet d'avoir une réduction très significative du nombre de sites potentiels de courts-circuits. Cette réduction atteint 99,998% pour le FIR1000. Tel que mentionné précédemment, l'utilisation de ces capacités permet de passer d'un nombre de sites de l'ordre de N^2 (#Total) à un nombre de sites de l'ordre de N (#Capacités).

Nous avons aussi étudié l'impact de l'échelle d'intégration sur le nombre de sites physiques potentiels. Nous avons alors ciblé une technologie plus récente (90 nm), qui permet d'avoir jusqu'à sept couches de métallisation. Il est logique de s'attendre à une augmentation au niveau du nombre de sites physiques potentiels. Cependant, les résultats d'extraction

confirment que cette augmentation est tout à fait limitée et n'affecte pas notre méthode de diagnostic. En effet, pour les cinq circuits étudiés (s1196, s1238, s1423, s5378 et s38584), l'augmentation du nombre de sites physiques potentiels est de 4% en moyenne. Un exemple de structure des informations de réduction des sites de courts-circuits sur la base de tous les types de pannes possibles, et sur la base des capacités parasites est présenté dans l'annexe 3.

3.4 Technique de réduction basée sur l'isolation de la panne

Dans cette section, nous présentons l'utilisation des valeurs logiques erronées aux sorties du circuit sous test comme moyen de réduction du nombre de sites potentiels de courts-circuits [60]. Dans ce cas-ci, les résultats erronés des sorties (incluant les sorties des registres à balayage) du circuit suite à l'application des vecteurs de test serviront à identifier les nœuds pouvant être à l'origine des erreurs logiques. La technique de réduction basée sur l'isolation de la panne se décompose en deux étapes :

Étape 1 : isolation du bloc logique combinatoire (BLC)

La première étape consiste à extraire le bloc logique combinatoire (BLC) contenant le site de panne responsable des résultats logiques erronés. Cette extraction est basée sur les sorties primaires et/ou les entrées des registres à balayage échouant le test. Cette étape emploie la description RTL (Register Transfer Level) du circuit comme le montre la Figure 3.3. La Figure 3.3 (a) présente le schéma niveau RTL d'un circuit séquentiel où les BLCs sont interconnectés par l'intermédiaire des registres à balayage. Les Figures 3.3 (b)(c)(d) présentent les trois cas possibles de l'extraction du BLC. La Figure 3.3 (b), par exemple, présente le cas où le BLC extrait se trouve en amont des sorties primaires, ce cas correspond à un résultat logique erroné observé au niveau des sorties primaires, avec un résultat logique correct au niveau de tous les registres à balayage. La Figure 3.3 (c) présente le cas où le BLC extrait se trouve en amont d'un registre à balayage et en aval d'un autre, ce cas correspond à un résultat logique erroné observé au niveau des entrées d'un registre à balayage, avec un résultat logique correct au niveau de tous les autres registres à balayage. Et finalement, la

figure 3.3 (d) présente le cas où le BLC extrait se trouve en amont d'un registre à balayage et en aval des entrées primaires.

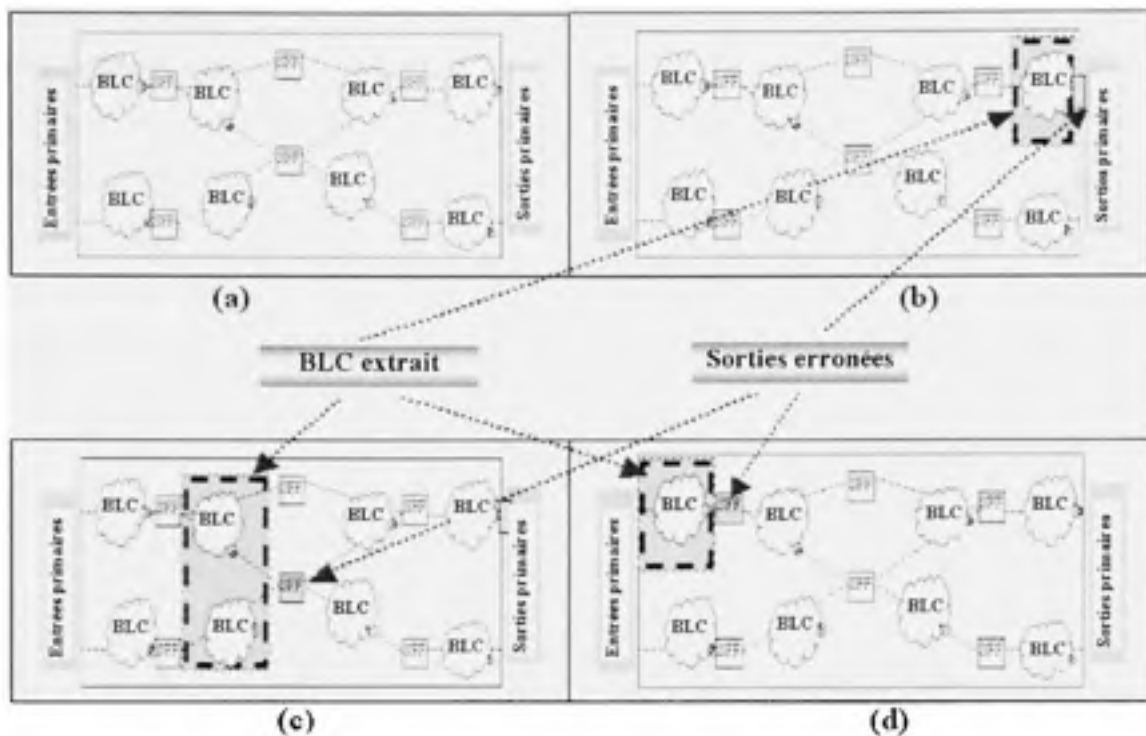


Figure 3.3 Les trois cas d'extraction du bloc combinatoire.

BLC : bloc logique combinatoire

SFF: scan flip flop

a) schéma haut niveau d'un circuit séquentiel;

b) le bloc combinatoire extrait se trouve en amont des sorties primaires;

c) le bloc combinatoire extrait se trouve en amont d'un registre à balayage et en aval d'un autre;

d) le bloc combinatoire extrait se trouve en amont d'un registre à balayage et en aval des entrées primaires.

Étape 2 : réduction basée sur l'isolation de la panne

Cette étape opère au niveau portes logiques du BLC extrait par l'étape 1. La recherche des nœuds potentiellement fautifs au sein de ce BLC est présentée à la figure 3.4. Deux cas de

figure sont illustrés : à la figure 3.4 (a), une seule sortie est erronée; à la figure 3.4 (b), deux sorties sont erronées. Il s'agit donc d'une recherche qui débute aux sorties primaires (incluant l'entrée des registres à balayage) et qui se termine aux entrées primaires (incluant la sortie des registres à balayage). Dans tous les cas, l'algorithme de réduction fait une union entre les différents ensembles de nœuds trouvés en amont des sorties erronées. La réduction se fera en éliminant toutes les paires de nœuds pour lesquelles aucun des nœuds ne se trouve dans la zone potentielle identifiée (*Cône*) à partir des sorties erronées. Noter que seulement le BLC extrait par l'étape 1 est requis pour effectuer cette réduction. Ceci permet d'optimiser significativement les ressources en terme de mémoire requise pour cette deuxième étape.

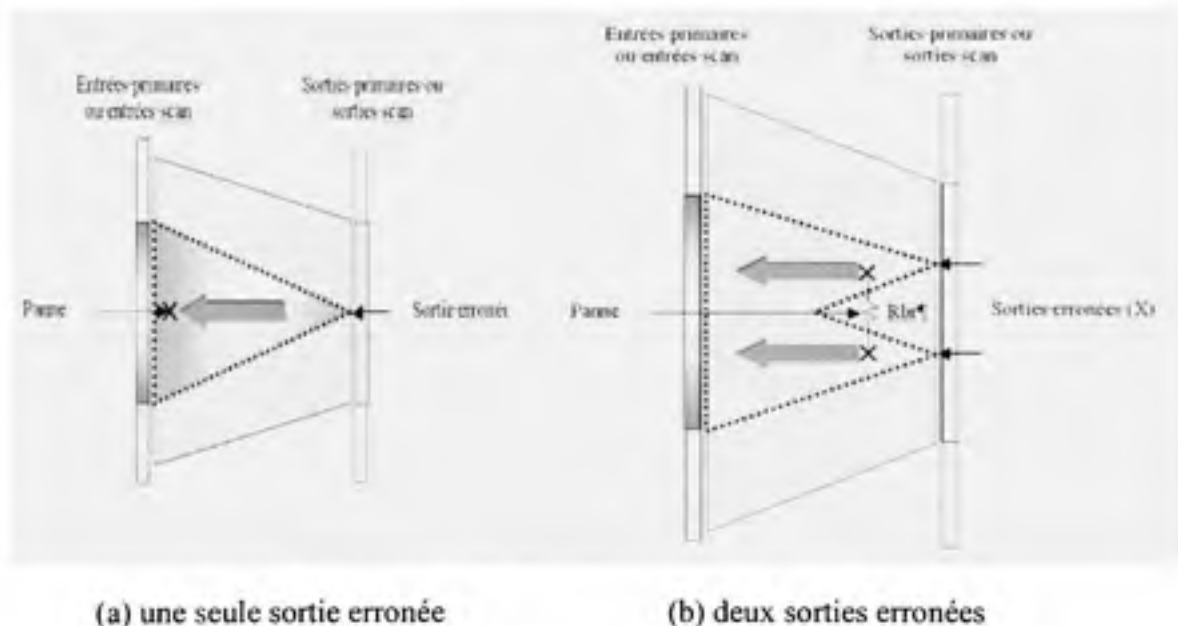


Figure 3.4 Recherche des nœuds candidats.

Pour bien comprendre la technique de réduction basée sur l'isolation de la panne proposée, nous avons sélectionné le filtre FIR à quatre étages de la figure 3.5. Comme nous avons vu, la technique de réduction opère à deux niveaux d'abstraction: le premier niveau celui de la Figure 3.5 représente le circuit sous sa forme RTL, les BLC (additionneurs et multiplicateurs) sont interconnectés par l'intermédiaire des registres à balayage (des registres à base de bascules D).

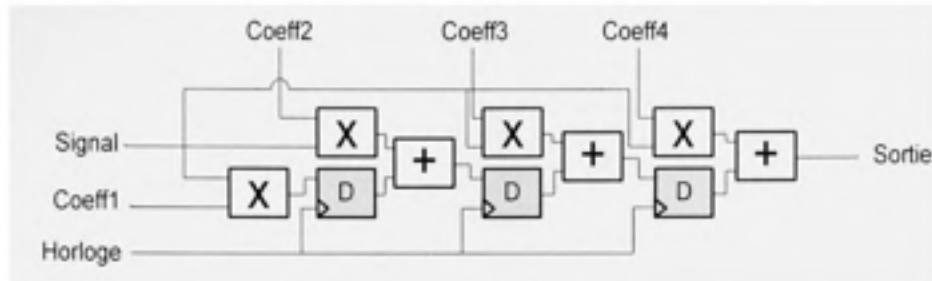


Figure 3.5 Schéma haut niveau d'un FIR à 4 étages.

Nous commençons par exécuter l'étape de l'isolation du BLC contenant la panne. Les résultats logiques du test sont analysés afin de déterminer ce BLC. Dépendamment du BLC isolé, rappelons que nous trouvons devant trois situations possibles. Ces situations sont décrites dans les trois figures suivantes :

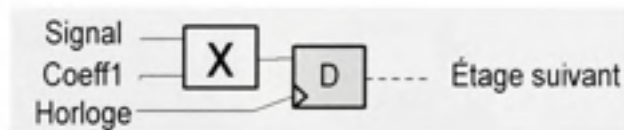


Figure 3.6 Cas 1 : Le site se trouve en aval des entrées primaires et en amont du premier registre à balayage.

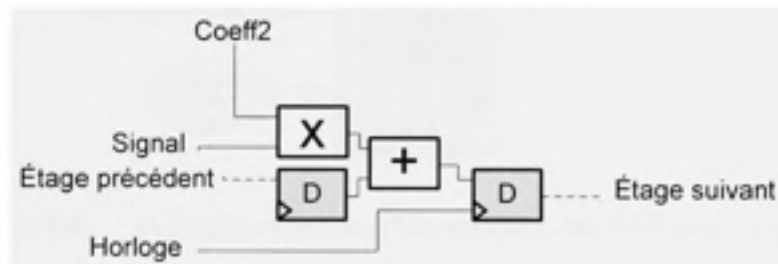


Figure 3.7 Cas 2 : Le site se trouve en aval d'un registre à balayage et en amont d'un autre.

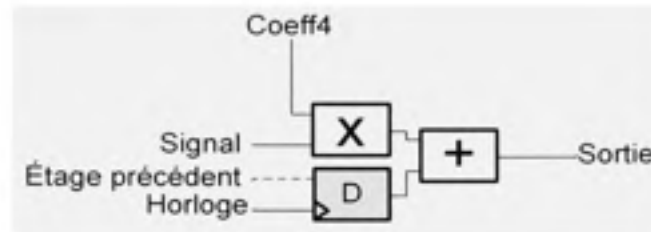


Figure 3.8 *Cas 3 : Le site se trouve en aval d'un registre Scan et en amont des sorties primaires.*

Une fois le BLC contenant la panne est isolé, la technique de réduction passe à l'étape 2, qui opère au niveau portes logiques. Par exemple, la figure 3.9 montre le cas où le site de panne se trouve en aval d'un registre *Scan* et en amont d'un autre.

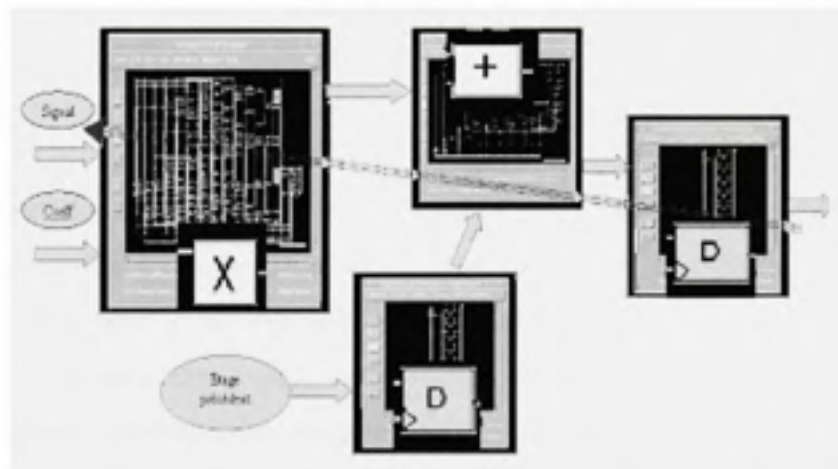


Figure 3.9 *Deuxième niveau d'abstraction (niveau portes logique).*

Dans ce cas, la technique de réduction considère le BLC formé par (l'additionneur et le multiplicateur) présentés sur la figure 3.9. Nous présentons en détails les résultats de la technique de réduction basée sur l'isolation de panne dans l'annexe 7.

3.5 Combinaison des techniques de réductions et résultats

La figure 3.10 projette graphiquement les résultats de réduction des sites potentiels de courts-circuits pour les circuits du tableau 3.1. La courbe foncée présente le nombre restant de sites quand les 3 techniques de réduction sont combinées. Une paire de nœuds fera partie de la liste des sites potentiels si :

- les nœuds sont des sorties de portes ciblées par le type de pannes considéré (réduction introduite par le modèle de panne liée au type de portes impliquées, «Phase d'identification »),
- une capacité parasite a été détectée entre les deux nœuds (réduction liée à l'utilisation des capacités parasites),
- au moins un des deux nœuds se retrouve dans l'ensemble des nœuds situés en amont des sorties erronées.

Le type de panne considéré dans cet exemple est un court-circuit entre la sortie d'un inverseur et une porte ou-exclusif à deux entrées. Nous avons sélectionné ce type de court-circuit car il est le plus dominant pour les circuits que nous considérons. La courbe pâle est obtenue suite à une régression linéaire des points de la courbe foncée. Chaque panne de court-circuit émulée a été jusqu'ici correctement diagnostiquée. Dans tous les cas simulés, un seul site de court-circuit est retenu dans la liste finale des suspects.

Ce nombre de site physiques potentiels est inférieur à 2k pour un circuit avec plus de 200k portes. Notez que ce nombre ne correspond pas à la taille de la liste finale des suspects. Cette liste de suspects sera d'avantage réduite par l'étape d'identification des types de pannes les plus probables et l'étape de réduction basée sur l'isolation de la panne (section3.4).

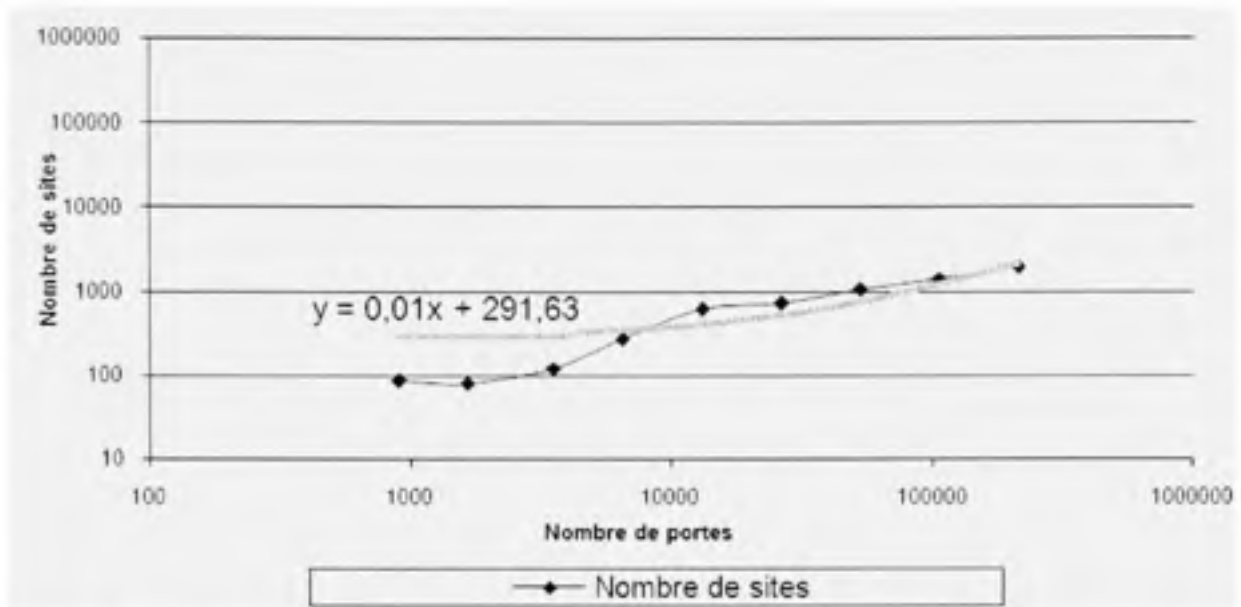


Figure 3.10 *Nombre de sites restants après l'application des trois techniques de réduction.*

3.6 Conclusion

Nous avons présenté dans ce chapitre la méthode existante de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ} . Par la suite, nous avons rappelé les améliorations effectuées sur cette méthode dans le cadre de la maîtrise. Les nouvelles améliorations effectuées sur la méthode dans le cadre du doctorat ont comme objectif de généraliser la méthode et la rendre rapide et applicable pour des circuits plus complexes. La généralisation de la méthode consistait à supporter tous les types de pannes possibles de la technologie $0.35\mu\text{m}$. En ce qui concerne l'applicabilité de la méthode pour des circuits plus complexes, nous avons amélioré la technique de réduction basée sur les résultats logiques. La combinaison des trois techniques de réduction réduit significativement le nombre de sites de courts-circuits. Ce nombre augmente environ linéairement en fonction du nombre de cellules, et il est inférieur à 2k pour un circuit avec plus de 200k portes. Le prochain chapitre présente l'outil de diagnostic permettant l'émulation de la méthode.

CHAPITRE 4

L'OUTIL DE DIAGNOSTIC ET SON ENVIRONNEMENT DE VALIDATION

Dans ce chapitre, nous présentons en détail l'outil de diagnostic proposé, ainsi que l'environnement logiciel qui a été mis en place pour sa validation [59].

4.1 L'algorithme de diagnostic

L'organigramme de la figure 4.1 illustre l'algorithme de diagnostic proposé. Le diagnostic d'un circuit est exécuté généralement suite à une anomalie détectée par son test. Avant d'appliquer notre procédure de diagnostic, trois tâches préparatoires doivent être accomplies. La première tâche est la création d'un dictionnaire pré-compilé de signatures I_{DDQ} . Ce dictionnaire peut être d'abord créé pour une technologie et une bibliothèque de cellules données, puis par la suite, peut être adapté pour le circuit sous test. La deuxième tâche est de créer la liste de nœuds adjacents des capacités parasites extraites à partir du dessin des masques. La troisième et dernière tâche consiste à l'extraction du cône contenant les nœuds potentiellement fautifs à partir des sorties logiques erronées (mesurées ou émulées). Une fois ces trois tâches effectuées, le diagnostic en tant que tel peut débuter. Il commence par les mesures I_{DDQ} qui peuvent être obtenues à partir d'un testeur ou à partir d'un émulateur de pannes I_{DDQ} . Nous avons utilisé ce dernier pour valider notre outil de diagnostic. Ces valeurs I_{DDQ} sont d'abord utilisées pendant l'identification du type de pannes, avec le dictionnaire des signatures, pour créer la liste des types de pannes les plus probables «TPPP». À ce stade, un type de panne est sélectionné, commençant par le plus probable dans cette liste. Par la suite, trois techniques de réduction précédemment décrites sont séquentiellement exécutées, à savoir la réduction basée sur l'identification du type de panne, la réduction basée sur les capacités parasites, et la réduction basée sur les résultats logiques, menant à la liste finale des candidats de court-circuit.

Ces candidats de court-circuit appartenant à la liste finale sont les cibles de l'étape de localisation. Si pour un type de panne, il n'existe aucun site candidat de court-circuit, alors ce type de panne est éliminé de la liste TPPP, et un autre type de panne est sélectionné. Finalement, si tous les types de pannes ne montrent aucune localisation, alors le processus de diagnostic est arrêté. S'il y a un (ou plusieurs) site(s) trouvé(s), la recherche de tels emplacements s'arrête.

4.2 Description de l'outil du diagnostic et de l'environnement de validation

Pour valider notre méthode et outil de diagnostic, nous avons mis en œuvre un logiciel et un environnement complets comprenant l'émulation du circuit, le test, et le diagnostic. La figure 4.2 illustre cet environnement. Dans ce qui suit, nous décrivons les différents éléments représentés sur cette figure. Le tout vient compléter les premiers efforts de validation déjà présentés [69], portant essentiellement sur les signatures probabilistes de ΔI_{DDQ} et sur l'évaluation du maximum de vraisemblance. Ce premier volet de validation incluait notamment les résultats obtenus à partir d'un CI moniteur contenant des pannes contrôlables.

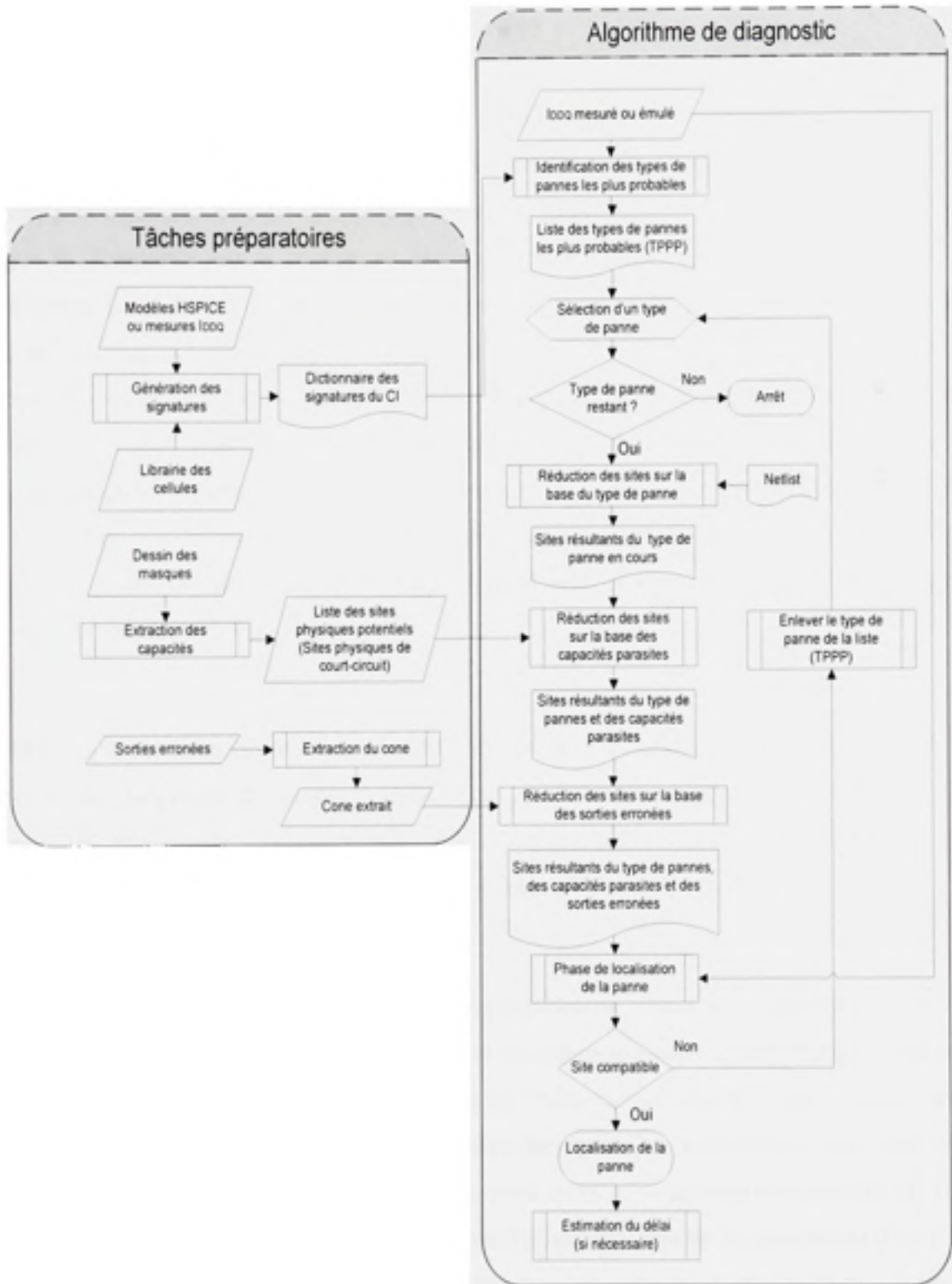


Figure 4.1 *Algorithme de diagnostic.*

4.2.1 Méthodologie de conception pour le test

Nous classons cet élément dans l'environnement de validation, mais dans les faits, il s'agit du processus normal de conception d'un CI basé sur les registres à balayage. Nous avons utilisé une procédure de conception typique [70]. Le premier item issu de cette procédure et utilisé par le diagnostic est le Netlist en format Verilog généré après la synthèse avec l'étape d'insertion des chaînes à balayage. Dans notre cas, nous avons utilisé l'outil Synopsys pour la synthèse, qui permet de générer ce Netlist. Dans cette étape, nous ciblons des technologies spécifiques (ici les technologies 0.35 μm et 90nm). L'insertion de la circuiterie des chaînes à balayage (Scan) a été assurée par l'outil DFTAdvisor de Mentor. L'outil de diagnostic que nous proposons supporte les circuits complètement ou partiellement équipés par des chaînes à balayage. Le deuxième item issu de la procédure typique de conception inclut les vecteurs de test. Nous utilisons l'outil FastScan (Mentor) pour produire trois ensembles différents de test (collé-à, transition et I_{DDQ}).

Notez que nous utilisons des outils de Cadence pour finaliser la conception des circuits, à savoir le placement et routage, l'analyse statique de temporisation, l'extraction des éléments parasites RC, la vérification des règles de conception (DRC) et des règles électriques (ERC), ainsi que le dessin des masques versus le schéma (LVS).

Le troisième et dernier item issu de la procédure de conception typique est la liste de dispositifs parasites (capacités, résistances et diodes parasites). Ces informations sont sauveées dans la vue extraite du dessin des masques. Nous avons utilisé l'outil Analog artist de Cadence pour cette tâche. Seulement les capacités parasites sont utilisées par notre outil de diagnostic. Il est important de noter que les trois items ci-avant mentionnés (Netlist, vecteurs de test, capacités parasites) sont de toute manière générés lors de la conception d'un CI. Leur génération ne représente donc pas une tâche supplémentaire amenée par notre méthode de diagnostic. Cette préoccupation de minimiser les efforts supplémentaires requis est au cœur de notre stratégie. Ainsi, il existe différentes façons d'extraire les sites potentiels de court-

circuit à partir du dessin des masques [35,36]. Nous avons donc choisi celle qui fournit des bons résultats [37] et qui fait déjà partie de la procédure typique de conception d'un ASIC pour les délais [71] et l'évaluation de la puissance [72].

4.2.2 La préparation pour le diagnostic

Ce bloc inclut les trois tâches préparatoires au diagnostic. Comme mentionné auparavant, la première tâche est de créer le dictionnaire des signatures de ΔI_{DDQ} , qui est généré soit en utilisant des modèles de Hspice ciblant une technologie spécifique, ou des mesures I_{DDQ} prises à partir d'un testeur. Notez que nous n'avons pas besoin du Netlist entier pour cette étape; seulement la connaissance de la liste de portes logiques utilisées est exigée.

Rappelons que la seconde tâche consiste à préparer une liste de sites de court-circuit. Cette liste contient toutes les paires de nœuds ayant la condition de contiguïté (notamment ayant une capacité parasite entre l'un et l'autre).

Rappelons finalement que la troisième tâche mène à l'identification des nœuds potentiellement fautifs à partir des sorties erronées.

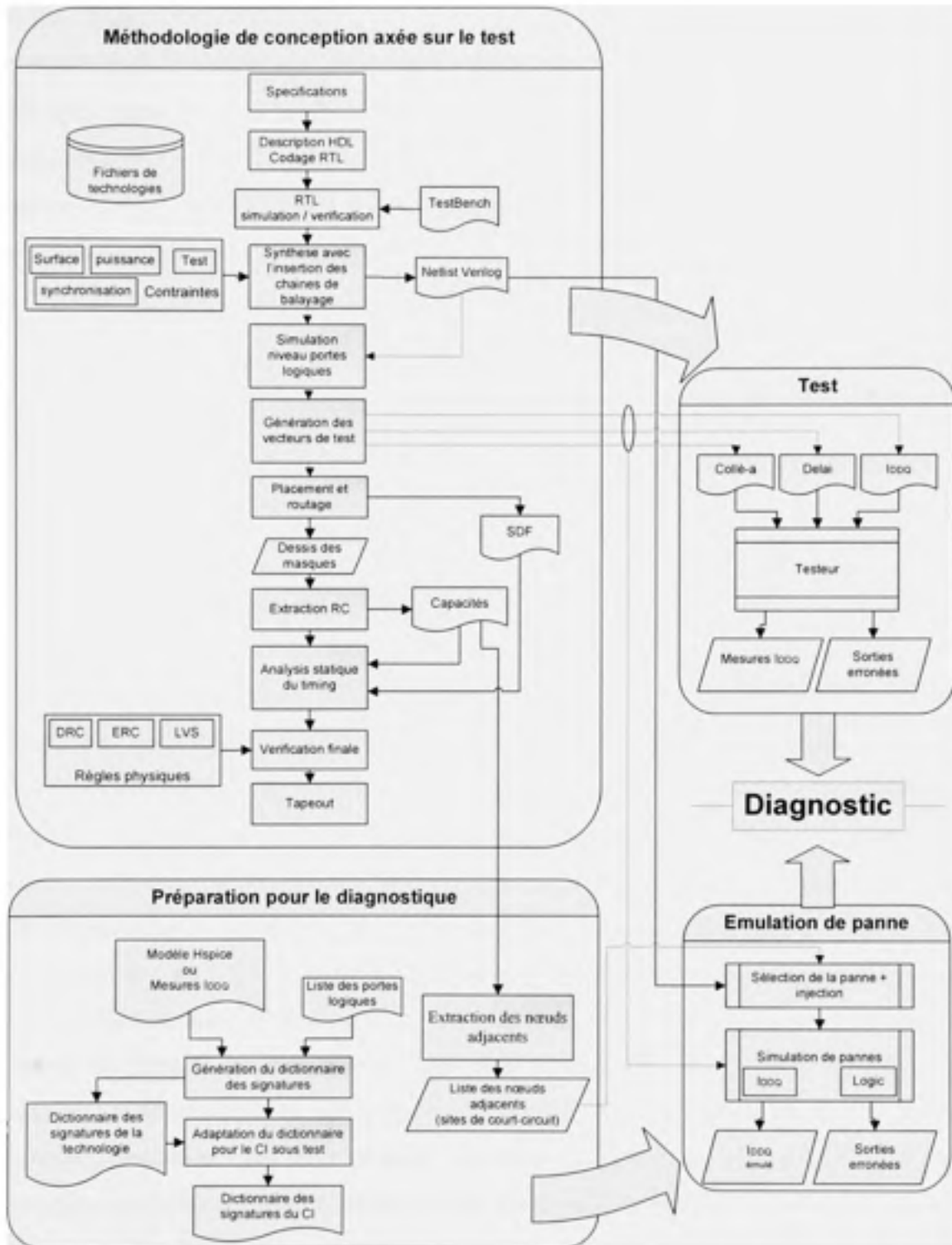


Figure 4.2 *Méthodologie de conception axée sur le test, préparation pour le diagnostic, test et émulation de panne.*

4.2.3 Test

Ce bloc a été ajouté à la Figure 4.2 car il aurait pu faire partie de l'environnement de validation. Le test par contre est inclus dans le processus normal de diagnostic. Quand il est utilisé dans un environnement de test en temps réel, l'outil de diagnostic utilise les données suivantes à partir du testeur :

1. les mesures I_{DDQ} obtenues en appliquant l'ensemble du test I_{DDQ} .
2. les sorties erronées du circuit suite à l'application de l'ensemble des tests logiques (collé-à et transition).

Cependant, comme il a été indiqué auparavant, nous avons eu recours à l'émulation de pannes pour valider notre approche.

4.2.4 Émulation de pannes

Ce bloc fait partie de l'environnement de validation, car il n'est pas utilisé pendant les opérations normales du diagnostic d'un CI. Ce bloc a donc été développé spécifiquement pour valider l'outil de diagnostic et sera employé pour produire les résultats (émulés). La figure 4.3 présente la procédure de l'émulation de pannes. L'émulateur de pannes utilise comme entrées le Netlist original, tous les vecteurs de test (I_{DDQ} , collé-à et transition), la liste des nœuds adjacents (les capacités parasites) et le dictionnaire des signatures du CI. Il utilise également un ensemble de modèles de pannes préalablement définies, le développement de ces modèles est décrit à l'annexe 4. L'automatisation du processus de simulation des types de pannes sur Hspice est présentée à l'annexe 5. L'émulateur de pannes sélectionne un site potentiel de court-circuit et injecte le modèle de panne correspondant dans le Netlist. Puis, il exécute l'émulation I_{DDQ} en appliquant l'ensemble du test I_{DDQ} , et il enregistre les sorties erronées du circuit obtenues à l'aide de notre propre simulateur où l'ensemble de test logique (collé-à et transition) est appliqué. Un exemple de résultats de la simulation logique des pannes de court-circuit est présenté à l'annexe 6. Comme mentionné auparavant, nous cibons les technologies 0.35 μ m et 90 nm. Notez que notre travail peut être facilement adapté à d'autres technologies.

L'insertion du modèle de panne se fait par l'intermédiaire d'un programme, écrit en langage C. Ce programme lit d'abord le fichier contenant le « Netlist », et insère par la suite le modèle de panne correspondant à la localisation choisie au hasard. La figure 4.4(a) présente un exemple de schéma avec court-circuit avant l'insertion du modèle de panne. Les deux lignes X et Y sont en court-circuit. Le modèle de panne correspondant à ce court-circuit va dépendre des types de porte U1 et U2. La figure 4.4(b) représente le nouveau schéma après l'insertion du modèle de panne. On constate ici les sorties en court-circuit (X et Y) deviennent les entrées du modèle, et la sortie du modèle (le nœud fictif n0) devient l'entrée des portes en aval du court-circuit.

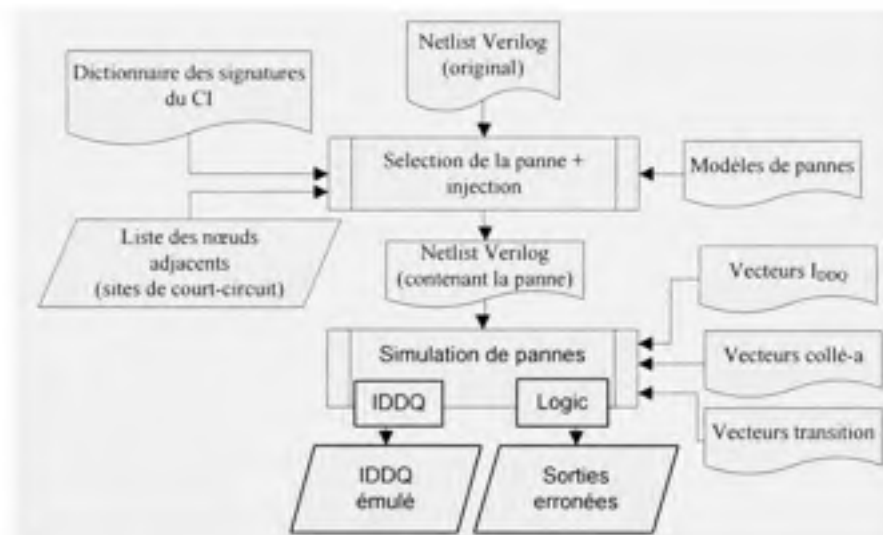
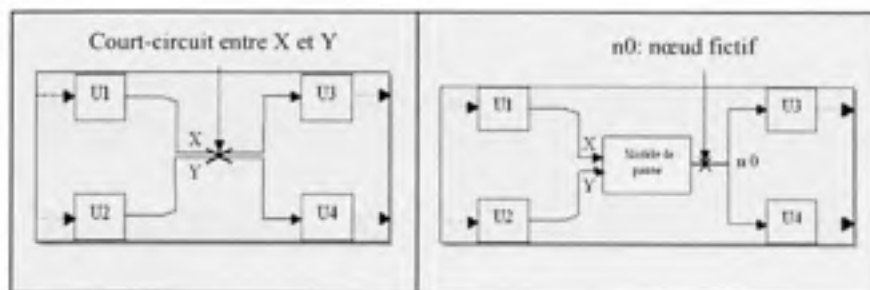


Figure 4.3 *Procédure de simulation de panne.*



(a) Avant l'insertion du modèle **(b) Après l'insertion du modèle**

Figure 4.4 *Insertion du modèle de panne.*

4.3 Ressources logicielles

L'algorithme de diagnostic proposé a été conçu en respectant le nouveau paradigme d'analyse de pannes (passage des méthodes matérielles aux méthodes logicielles). Il a été validé sur un poste de travail Sunblade 2000 d'une capacité de 8 gigaoctets de mémoire vive et cadencé à 900 MHz. La figure 4.5 montre graphiquement les ressources logicielles (mémoire et temps processeur de diagnostic) aussi bien que le nombre de sites simulés en fonction du nombre de cellules. Nous utilisons ici les circuits FIR (4, 7, 15, 25 et 50 étages) [20], et les circuits FIR (100, 250, 500 et 1000 étages) présenté dans le tableau 2.1 en ciblant la technologie 0.35 μ m. Le type de panne considéré ici est un court-circuit entre les sorties d'un inverseur et une porte XOR à deux entrées. Pour chaque circuit, nous simulons tous les sites physiques potentiels correspondant à ce type de panne. Nous incluons également une ligne pointillée ($R=C$) pour montrer graphiquement que les ressources logicielles (R) augmentent moins rapidement que le nombre de cellules (C).

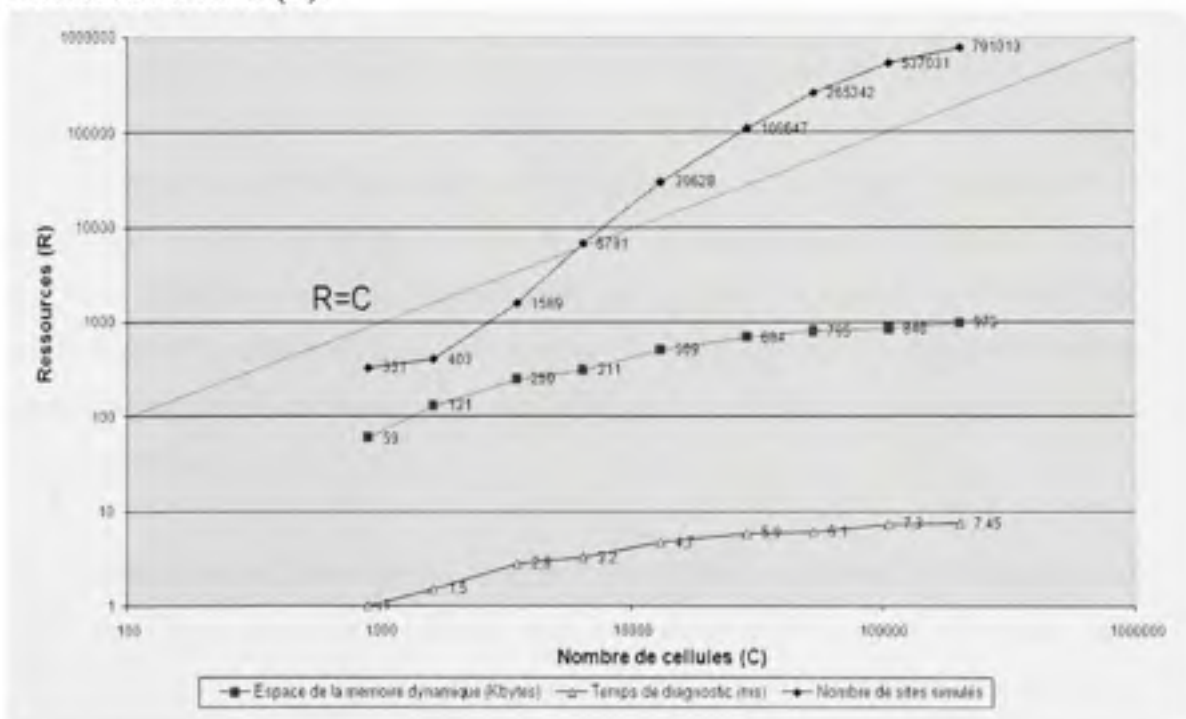


Figure 4.5 *Ressources logicielles en fonction du nombre de cellules.*

Ces résultats montrent clairement une tendance au niveau de l'augmentation des ressources de mémoire et du temps de diagnostic qui suggère que notre technique de diagnostic peut être appliquée à des circuits de très grande complexité.

Notons finalement que l'outil de diagnostic a jusqu'ici toujours été en mesure d'identifier chacune des pannes émulées, de telle sorte qu'un et un seul site de panne (le bon) réside sur la liste des sites potentiels à la fin du diagnostic. Cette résolution du diagnostic est particulière à notre outil. En effet, les autres outils proposés disposent d'une résolution moins fine: la liste des sites potentiels à la fin du diagnostic contient habituellement plus d'un site suspect [43,48].

4.4 Applicabilité de l'outil de diagnostic et extension future

L'outil de diagnostic que nous proposons cible principalement les défauts et les pannes de type courts-circuits. L'analyse des résultats du test notamment ceux basés sur le courant permettent de justifier le besoin d'utiliser notre outil. Nous utilisons ici notre étude décrite dans [42] qui porte sur l'utilisation de l'histogramme spécial I_{max} . Cette étude révèle que 88.6% des circuits échouant au moins un test non- I_{DDQ} ont une valeur I_{max} supérieure à $1.25\mu A$. Nous pouvons alors utiliser cette valeur (dans le contexte de l'étude) comme un seuil à partir duquel nous pouvons supposer une consommation anormale du courant. Les courts-circuits sont un bon exemple des défauts qui causent souvent une augmentation du courant I_{DDQ} .

En se basant sur ces observations, nous pouvons utiliser notre outil de diagnostic seulement pour les CI potentiellement affectés par des défauts causant une augmentation du courant I_{DDQ} . Si ces CI échouent également le test logique, notre outil de diagnostic reste applicable; autrement, si on n'observe aucun courant anormal, des techniques de diagnostic telles que [74,75] peuvent être appliquées pour diagnostiquer avec précision les défauts causant le mauvais fonctionnement. Dans le cadre de cette thèse, l'outil de diagnostic est

utilisé pour diagnostiquer des circuits défectueux échouant au moins un vecteur de test I_{DDQ} . En conclusion, notre outil de diagnostic ne donnera aucun résultat utile que pour des cas rares, où les défauts de type circuits-ouverts peuvent causer une augmentation du courant I_{DDQ} . Ces défauts échoueront le diagnostic pour la simple raison de leur incompatibilité avec les signatures du courant utilisées, et qui sont dédiées pour les courts-circuits. Dans une telle situation où il n'y a aucune signature suffisante pour effectuer le diagnostic, notre outil déclarera que la défectuosité réelle n'est pas une défectuosité de type court-circuit.

4.5 Conclusion

Les objectifs de ce chapitre étaient de présenter l'outil de diagnostic et l'environnement de validation développé et de démontrer la praticabilité et l'applicabilité de notre approche de diagnostic à deux étapes pour les circuits complexes. L'outil de diagnostic proposé combine les trois sources de données présentées dans le chapitre 3. La première est constituée des valeurs I_{DDQ} utilisées pour identifier le type de panne. La deuxième source est la liste des capacités parasites extraites à partir du dessin des masques afin de créer une liste de sites physiques potentiels de court-circuit. La troisième source est l'ensemble des erreurs logiques permettant l'analyse de la panne, qui sont utilisées pour extraire dynamiquement les nœuds du circuit en amont des sorties erronées. Les résultats ont montré que ces trois sources de données ont réduit significativement le nombre de sites de court-circuit. Ce nombre augmente environ linéairement en fonction du nombre de cellules, et il peut être inférieur à 2k pour un circuit avec plus de 200k portes. Avec ce petit nombre de suspects, la deuxième étape de notre approche de diagnostic peut être exécutée plus rapidement tout en utilisant moins de ressources logicielles. De façon générale, les résultats ont montré que le temps processeur et l'espace mémoire exigés par notre outil de diagnostic augmente moins rapidement que le nombre de cellules, ce qui le rend approprié à des circuits plus grands.

CHAPITRE 5

ÉLABORATION D'UNE NOUVELLE MÉTHODOLOGIE DE TEST BASÉE SUR LES RÉSULTATS DU DIAGNOSTIC

Nous avons présenté dans le chapitre 2 une nouvelle stratégie d'optimisation pour le test adaptatif de haute qualité. Dans un premier temps, nous avons créé un premier ensemble de vecteurs de test couvrant les pannes qui habituellement ne causent pas une consommation anormale du courant I_{DDQ} . Cet ensemble de vecteurs est appliqué à tous les circuits. Par la suite, nous avons complété la couverture de pannes en ciblant celles qui habituellement causent une élévation anormale du courant I_{DDQ} avec un deuxième ensemble de vecteurs, qui sont conditionnellement appliqués. L'objectif de ce chapitre est de mettre la lumière sur une nouvelle piste permettant d'analyser les pannes/défectuosités causant une élévation anormale du courant. Nous considérons cette piste comme une alternative à l'application du deuxième ensemble de vecteurs de tests (ciblant les pannes/défectuosités causant une élévation du courant I_{DDQ}), tel que proposé dans le chapitre 2.

5.1 Mise en contexte

La figure 5.1 présente une distribution tri-modale idéalisée du courant ΔI_{DDQ} [76], où ΔI_{DDQ} est défini comme la différence entre deux mesures consécutives du courant. Cette distribution est construite à partir de la valeur maximale $|\Delta I_{DDQ}|$ pour chaque CI n'échouant aucun autre test.

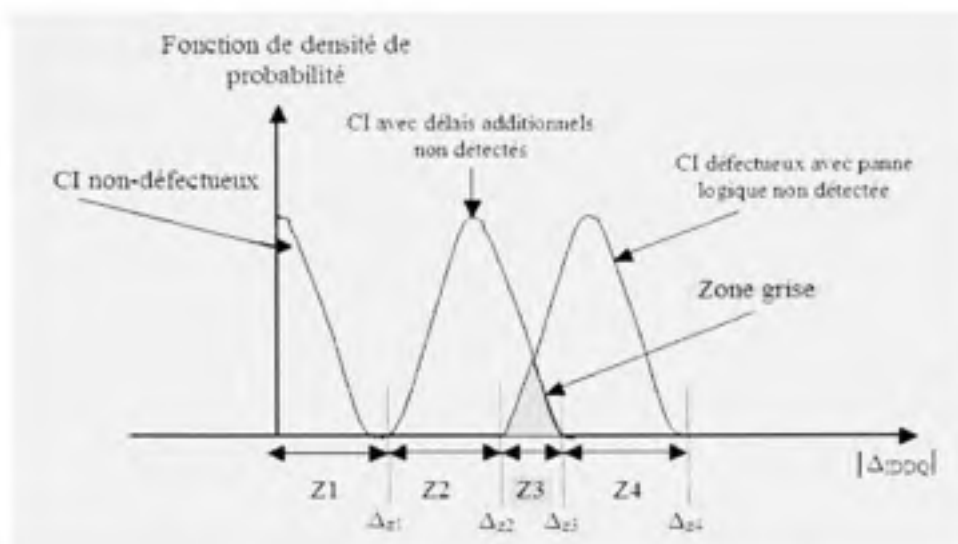


Figure 5.1 *Distribution du courant $|\Delta I_{DDQ}|$.*

On retrouve sur cette figure les zones suivantes :

- Z1 : cette zone représente les circuits non défectueux où les circuits avec des pannes ne causant aucune consommation anormale du courant I_{DDQ} , la valeur maximale $|\Delta I_{DDQ}|$ de ces CI ne dépassant pas un certain seuil, $\Delta z1$.
- Z2 : cette zone, où $\Delta z1 < |\Delta I_{DDQ}| < \Delta z2$, représente les circuits affectés seulement par des délais additionnels (non détectés).
- Z3 : cette zone est considérée comme critique dans notre étude; son existence est causée par le recouvrement entre la zone 2 et la zone 4 ($\Delta z2 < |\Delta I_{DDQ}| < \Delta z3$). Les pannes situées dans cet intervalle peuvent être soit des délais additionnels ne causant pas d'erreurs logiques détectées ou qui pourraient en causer s'ils étaient correctement couverts, soit des pannes de type collées ou des courts-circuits non détectés.
- Z4 : cette zone, où $\Delta z3 < |\Delta I_{DDQ}| < \Delta z4$, représente des circuits forcément défectueux, non détectés par les autres tests.

Nous ciblons la zone grise (Z3): nous cherchons à réduire l'ambiguïté quant à l'impact réel (délai ou panne logique), et à évaluer la pertinence d'ajouter quelques tests supplémentaires.

Dans le cadre de cette thèse, nous proposons deux pistes de traitement: le traitement *a priori* (prévision telle que présentée au chapitre 2) et le traitement *a posteriori* (guérison, le sujet de ce chapitre).

5.2 Prévision versus guérison

La figure 5.2 est une reprise de la figure 2.6 (section 2.5), avec l'ajout de la nouvelle piste de guérison dans la procédure de test. Cette figure montre comment les deux traitements proposés (prévision et guérison) s'insèrent dans la procédure de test, en supposant une couverture à 100% des sites de courts-circuits par les vecteurs I_{DDQ} . Nous visons ici des sites réalistes de courts-circuits qui ont été identifiées en se basant sur le dessin des masques (section 3.3). Rappelons que la procédure de test commence par l'application du test I_{DDQ} . L'objectif de ce test est d'identifier la valeur I_{DDQ} maximale (I_{max}) pour chaque circuit. Notez que le circuit est déclaré défectueux pour la première mesure I_{DDQ} au-dessus d'un seuil (TO). Si la valeur I_{max} est inférieure à la limite fixée $I_trigger$, alors le circuit subira le test IRF_TS+ seulement, qui couvre les pannes qui habituellement ne causent pas une consommation anormale du courant I_{DDQ} (tel que discuté dans le chapitre 2). Dans le cas contraire où ($I_{max} \geq I_trigger$), les deux traitements proposés (prévision et guérison) peuvent s'appliquer.

5.2.1 Traitement *a priori* (prévision)

Ce traitement, décrit dans le chapitre 2, consiste à générer avant la fabrication des CIs, des vecteurs supplémentaires (Top_off_TDF+Add_CC) visant à couvrir les courts-circuits non couverts par l'ensemble initial des vecteurs de test logique (section 2.4.3 du chapitre 2). Ces vecteurs supplémentaires sont conditionnellement appliqués aux CI ayant une consommation anormale du courant ($I_{max} \geq I_trigger$). Rappelons que tout le développement du chapitre 2 est basé sur le modèle de panne transition (TDF). Rappelons également que ce modèle de pannes suppose que le délai est suffisamment important pour causer une panne. De ce fait, une panne sera considérée couverte peu importe le chemin emprunté par la transition. Or, il

s'avère que les outils de génération automatisée des vecteurs de test choisissent souvent les chemins les plus courts [83][90]. Il est donc possible qu'un délai additionnel trop faible pour causer une panne lors de l'application de la transition choisie puisse causer une panne temporelle si une transition de sensibilisation empruntait un chemin plus long. Par conséquent, une des limitations de l'approche de traitement *a priori* basée sur le modèle TDF est que de petits délais additionnels puissent ne pas être correctement couverts par les transitions choisies.

5.2.2 Traitement *a posteriori* (guérison)

La guérison est une deuxième solution possible qui peut être envisagée pour traiter les circuits ayant une consommation anormale du courant ($I_{max} \geq I_{trigger}$). Ce traitement *a posteriori* peut s'effectuer hors-testeur (off-tester) en utilisant les résultats des tests (I_{DDQ} , IRF_TS+) obtenus à partir d'un testeur. Cette pratique hors-testeur est semblable à celle proposée par les chercheurs de *LSI Logic* [81].

La piste de traitement *a posteriori* que nous proposons se base sur un diagnostic rapide des sites réalistes de courts-circuits qui ne sont pas couverts par les vecteurs de test logique (IRF_TS+), mais qui sont couverts par les vecteurs de test I_{DDQ} . Nous appliquons ici notre outil de diagnostic présenté dans le chapitre 4 sur ces sites de courts-circuits. À ce niveau, nous nous retrouvons devant deux cas de figures :

- L'outil de diagnostic ne donne aucun résultat utile : il s'agit de cas rares, où les défauts de type circuit-ouvert peuvent causer par exemple une augmentation du courant I_{DDQ} , tel que mentionné au chapitre 4. Rappelons que ces défauts échoueront le diagnostic pour la simple raison de leur incompatibilité avec les signatures du courant utilisées, et qui sont dédiées pour les courts-circuits. Dans une telle situation où il n'y a aucune signature suffisante pour effectuer le diagnostic, notre outil déclarera que la défaut réel n'est pas une défaut de type court-circuit. Dans ce cas, nous faisons appel au traitement *a priori* (prévision) en bonifiant le test par des vecteurs collé-à sur les nœuds diagnostiqués.

- L'outil de diagnostic révèle la localisation du court-circuit : cette localisation est cruciale pour compléter le traitement *a posteriori* (guérison). En effet, la connaissance de telle localisation rend possible deux nouvelles sous-pistes de traitement.

La première sous-piste propose l'utilisation du modèle de panne délai du chemin (path delay) [84] afin de générer des vecteurs de test couvrant le chemin le plus long passant par la localisation diagnostiquée. Ce modèle est connu par sa grande capacité de couvrir des petits délais causés par des défauts physiques, ainsi que des petits délais causés par les variations du procédé. Cependant, la limitation majeure de ce modèle est que le nombre de chemins dans le circuit augmente exponentiellement par rapport au nombre de portes. Par exemple, un multiplicateur 16-bit (benchmark c6288) a 10^{20} chemins possibles [85]. Cette limitation n'a aucun impact sur notre traitement *a posteriori* pour la simple raison que nous n'avons pas besoin de cibler tous les chemins possibles. En effet, la connaissance de la localisation diagnostiquée du court-circuit permet de cibler un seul chemin lors de la génération des vecteurs de test du délai du chemin. Ce chemin correspond au chemin le plus long passant par la localisation du court-circuit. De cette façon, des petits délais additionnels auront plus de chance d'être détectés. Ceci constitue une correction de la limitation du traitement *a priori*, et de l'ensemble de test transition, qui se base souvent sur les chemins les plus courts pour être généré. Le temps processeur requis pour exécuter cette sous-piste est la somme du temps processeur requis pour identifier le chemin le plus long passant par la localisation diagnostiquée, et le temps processeur requis pour générer les deux vecteurs transitions (transition montante et descendante) permettant de couvrir ce chemin.

La deuxième sous-piste de traitement se base sur une nouvelle technique d'estimation du délai additionnel causé par le court-circuit diagnostiqué [59]. Ce délai estimé permet de classer les circuits dans un intervalle de vitesse de fonctionnement en présence d'un court-circuit (speed binning). Cette classification permettra d'attribuer un prix approprié pour chaque circuit. Ce prix est fonction de la vitesse maximale avec laquelle le circuit peut rouler sans erreur logique à la sortie. Puisque les défauts temporels sont devenues une partie

significative des mécanismes de pannes, cette estimation est importante pour évaluer l'impact des petits délais additionnels causés par ces défauts. Comme nous allons démontrer dans la prochaine section, il est pratiquement impossible d'estimer directement le délai additionnel causé par une défaut de court-circuit à partir uniquement des mesures I_{DDQ} . En effet, un tel délai dépend des portes logiques impliquées dans le court-circuit, des caractéristiques de la puce par rapport au procédé (« process corner »), de la résistivité du court-circuit, des portes logiques de charge, etc... Cependant, connaître la localisation exacte du court-circuit aussi bien que la vitesse estimée d'un circuit contribue considérablement à rendre plus précise l'estimation du délai, comme décrit ci-après. Une phase préparatoire considérable est requise avant l'exécution de cette deuxième sous-piste de traitement *a posteriori*. En effet et comme nous allons le voir dans la prochaine section, le développement de cette phase requiert plusieurs simulations analogiques, ainsi que la tabulation et l'indexation des résultats de ces simulations.

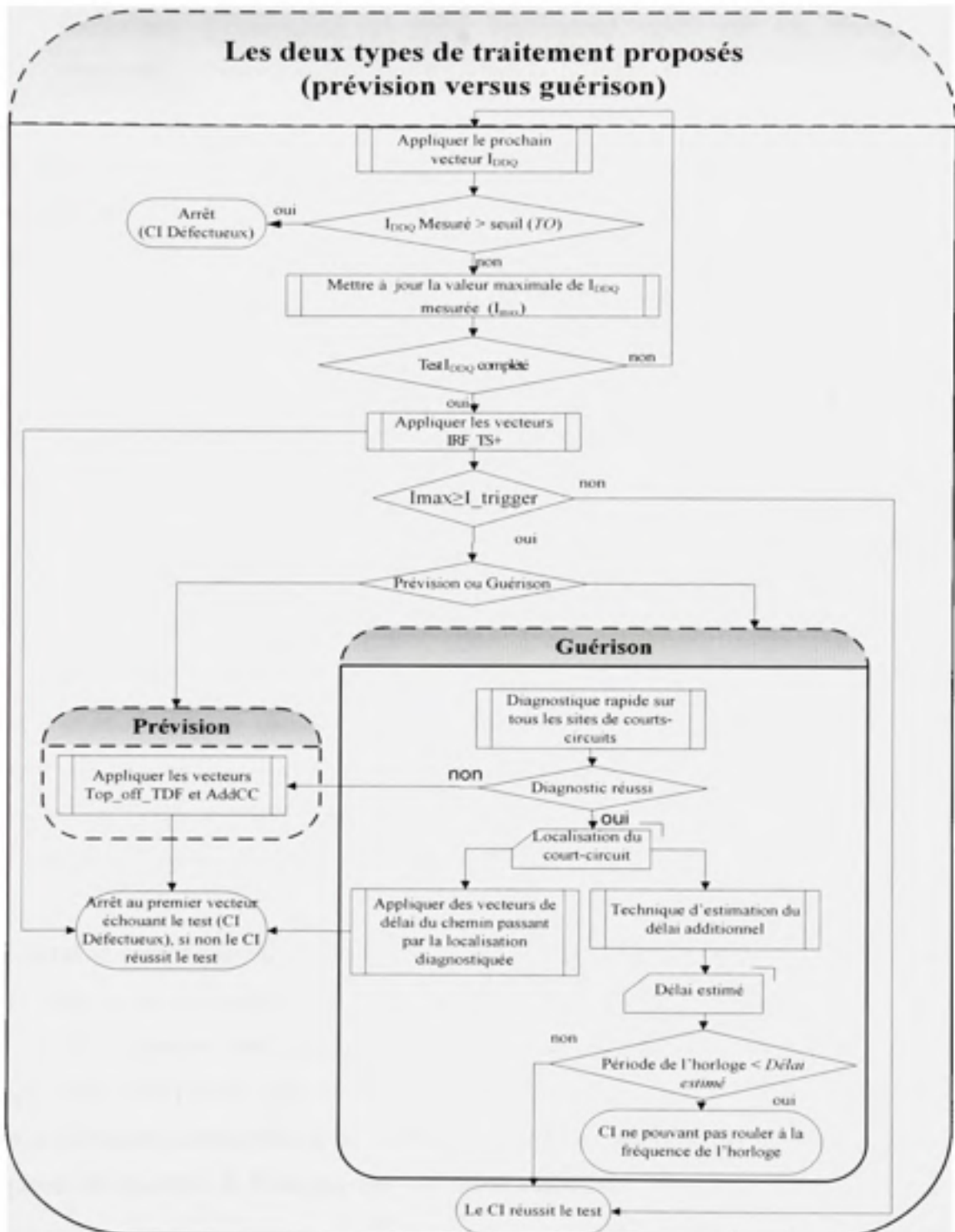


Figure 5.2 *Les deux pistes proposées pour le traitement des courts-circuits non couverts.*

5.3 Technique d'estimation du délai additionnel basée sur les résultats du diagnostic

Dans cette section, nous présentons une nouvelle technique d'estimation du délai additionnel causé par une panne de court-circuit. Cette technique exploite les résultats du diagnostic, et permet de les confirmer, à savoir la présence ou non des erreurs logiques à la sortie du circuit causées par la panne diagnostiquée. Mais si cette technique est présentée ici dans un contexte de test adaptatif, il est clair qu'elle constitue un complément fort utile à la méthode de diagnostic du chapitre 4, et qu'elle peut s'avérer un outil de choix dans la validation d'un diagnostic.

5.3.1 Chemins de conduction possibles entre V_{DD} et G_{ND} créés par un court-circuit

La figure 5.3 montre les chemins de conduction possibles formés par la sortie d'un inverseur et la sortie d'une porte non-et à deux entrées. Le tableau 5.1 décrit les valeurs logiques d'entrée et le chemin de conduction correspondant pour le circuit de la figure 5.3. Par exemple, quand nous appliquons le vecteur d'entrée $(in3, in2, in1) = (001)$, un courant continu traversera les transistors PMOS parallèles de la porte non-et, en série avec la résistance du court-circuit R_{br} , en série avec le transistor NMOS de l'inverseur.

En général, le comportement d'un court-circuit entre deux nœuds ou plus est déterminé par la valeur relative de la résistance du court-circuit et les détails physiques tels que les forces relatives de conduction des transistors en amont et en aval du court-circuit. Les portes de charge composées par les transistors en aval des nœuds en court-circuit transforment les niveaux de tension intermédiaires des sorties des portes en conflit en un délai additionnel ou une panne de type collé-à. Elles peuvent contribuer à la consommation anormale du courant.

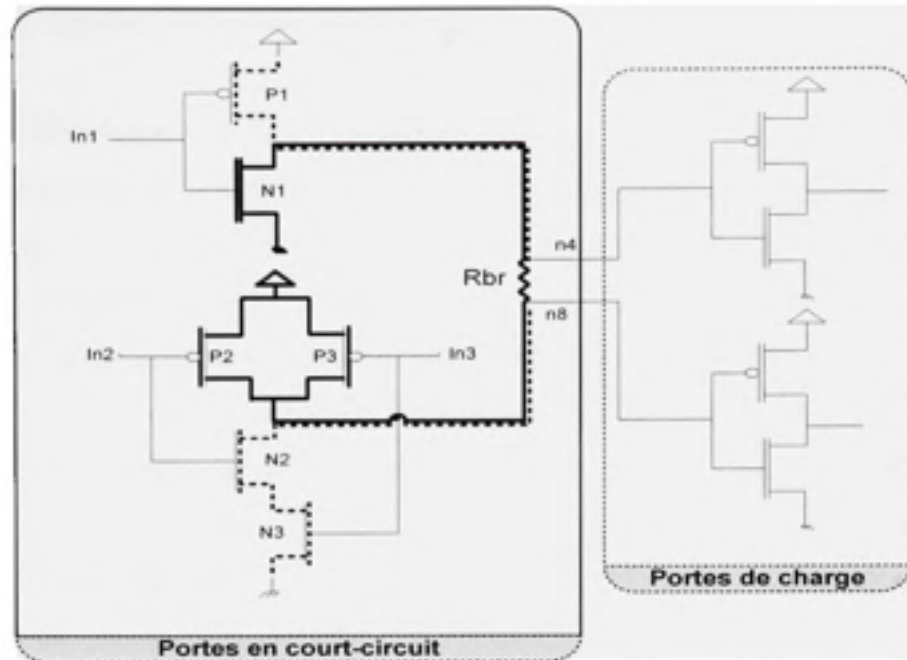


Figure 5.3 Chemins de conduction possibles entre V_{DD} et G_{ND} créés par une panne de court-circuit.

Tableau 5.1

Chemins de conduction possibles entre V_{DD} et G_{ND} versus les vecteurs d'entrées

In3	In2	In1	Chemins de conduction possibles entre V_{DD} et G_{ND}
1	1	0	$P1 \rightarrow Rbr \rightarrow N2 \rightarrow N3$
1	0	1	$P2 \rightarrow Rbr \rightarrow N1$
0	1	1	$P2 \rightarrow Rbr \rightarrow N1$
0	0	1	$(P2 \text{ parallèle } P3) \rightarrow Rbr \rightarrow N1$

Les variations induites par le procédé de fabrication constituent un autre facteur important dans le comportement des pannes de court-circuit. Elles sont décrites dans ce qui suit.

5.3.2 Variations du procédé de fabrication

La technique d'évaluation du délai proposée est basée sur les résultats du diagnostic, à savoir: le type et la localisation de la panne, ainsi que les valeurs I_{DDQ} simulées. Les caractéristiques de la puce par rapport au procédé (process corner) sont employées ici pour démontrer seulement la faisabilité de la technique d'estimation du délai proposée, et pour prouver que les paramètres du procédé de variation ont un impact significatif sur l'évaluation du délai. Cet impact augmente avec la diminution de la longueur du canal du transistor MOSFET à 90 nm et moins, et avec l'augmentation de la fréquence des circuits de 1 à 5 GHz.

Plusieurs structures de test [77, 78] ont été développées pour extraire efficacement les composantes du délai et des paramètres des transistors MOSFET. Les oscillateurs en anneau et les circuits basés sur des impulsions constituent les deux formes générales de ces structures de test. La conception d'oscillateurs en anneau est exploitée depuis plusieurs années afin de déterminer les valeurs moyennes des variations du procédé de fabrication et des paramètres principaux des transistors [79]. L'oscillateur en anneau décrit en [79] peut identifier les sources de variation systématique du délai à travers le circuit, à travers la gaufre et à travers différents modèles physiques du CI.

Si disponibles, les variations aléatoires locales peuvent être facilement employées par notre technique d'évaluation. L'obtention de ces variations aléatoires locales exige une population statistique significative de structures de test dans un circuit. Dans [78], les auteurs décrivent une technique innovatrice pour évaluer rapidement les variations aléatoires du délai de commutation pour un grand nombre espacé de circuits identiques. En général, leur structure est utilisée pour mesurer la distribution de la fréquence dans les circuits nominalemt identiques. Ceci est possible en plaçant leurs structures de test dans des localisations multiples à travers les circuits, ce qui permet d'obtenir la composante systématique et aléatoire des variations. Notre technique d'estimation du délai additionnel peut tirer profit de ces structures de test afin d'identifier et employer les composantes des variations aléatoires.

Pour démontrer la faisabilité de notre technique d'estimation, nous considérons dans un premier temps les scénarios de procédé suivants :

- TT : modèle typique;
- SS : modèles NMOS lent et PMOS lent;
- FF : modèles NMOS rapide et PMOS rapide;
- SF : modèles NMOS lent et PMOS rapide;
- FS : modèles NMOS rapide et PMOS lent.

Les transistors utilisés dans ce travail ont une longueur de $L = 0.35\mu\text{m}$ pour la technologie $0.35\mu\text{m}$, et une longueur de $L = 0.1\mu\text{m}$ pour la technologie 90nm . Les largeurs de ces transistors dépendent des types de portes logiques utilisées (Annexe IX).

5.3.3 Délai et courant additionnels versus la résistance du court-circuit

Des simulations ont été effectuées afin d'estimer le délai et le courant additionnels pour différentes valeurs de la résistance du court-circuit (R_{br}) et de scénarios de procédé (TT, FF, SS, FS et SF). La figure 5.4 montre les résultats correspondants dans le cas d'un court-circuit entre deux inverseurs.

Le scénario du procédé peut avoir un impact significatif sur le délai et le courant. Pour la technologie $0.35\mu\text{m}$, le courant additionnel change environ de $\pm 15\%$ autour du TT quand la valeur de R_{br} est moins que 100Ω , alors qu'il existe un intervalle critique de R_{br} (entre 770 et 1160Ω) dans lequel l'impact d'un court-circuit va du petit délai additionnel à la panne de type collé-à selon le scénario du procédé. Pour la technologie 90nm , la variation relative du courant additionnel autour du TT est également environ $\pm 15\%$ tandis l'intervalle critique de R_{br} est environ deux fois plus large (entre 1180 et 1860Ω). En conséquence, il est important d'identifier les caractéristiques de la puce par rapport au procédé dans tout processus d'estimation du délai.

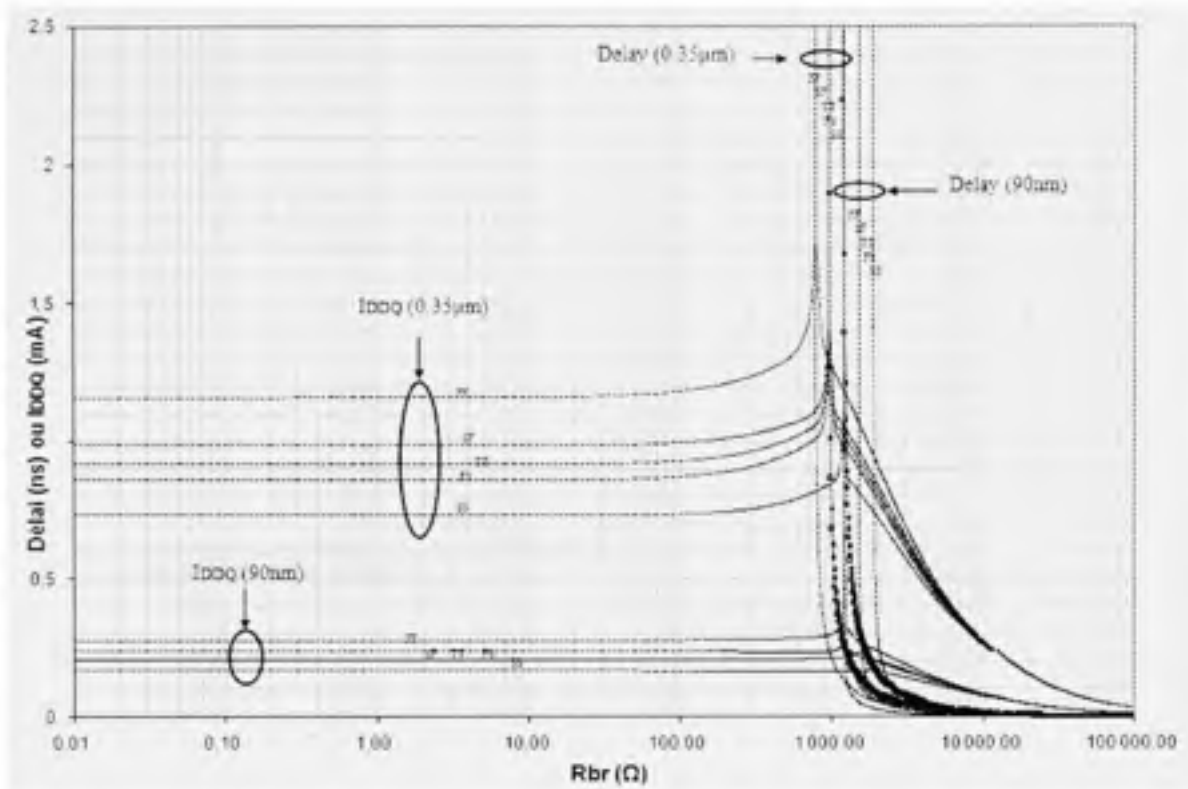


Figure 5.4 *Résultats de simulation pour les technologies 0.35 μm et 90nm: le délai additionnel et le courant (I_{DDQ}) versus en fonction de R_{br} pour les 5 scénarios.*

5.3.4 Impact du chemin entre V_{DD} et G_{ND} sur l'estimation du délai

Nous avons effectué les mêmes simulations de la figure 5.4 pour différentes topologies de chemins V_{DD} à G_{ND} , pour visualiser l'impact de telles topologies sur le délai additionnel et le courant. Les figures 5.5 et 5.6 exposent respectivement cet impact pour les technologies 0.35 μm et de 90nm, pour le cas typique (le scénario TT, température ambiante, tensions typiques). Comme le montre ces deux figures, l'impact du chemin de conduction entre V_{DD} et G_{ND} est considérable, ce qui soutient également la conclusion que le courant additionnel n'est pas suffisant pour estimer les délais additionnels causés par un court-circuit. Cependant, une fois que la localisation du court-circuit a été identifiée par le diagnostic et en supposant qu'on peut identifier le scénario du procédé réel, l'estimation du délai additionnel devient possible la plupart du temps.

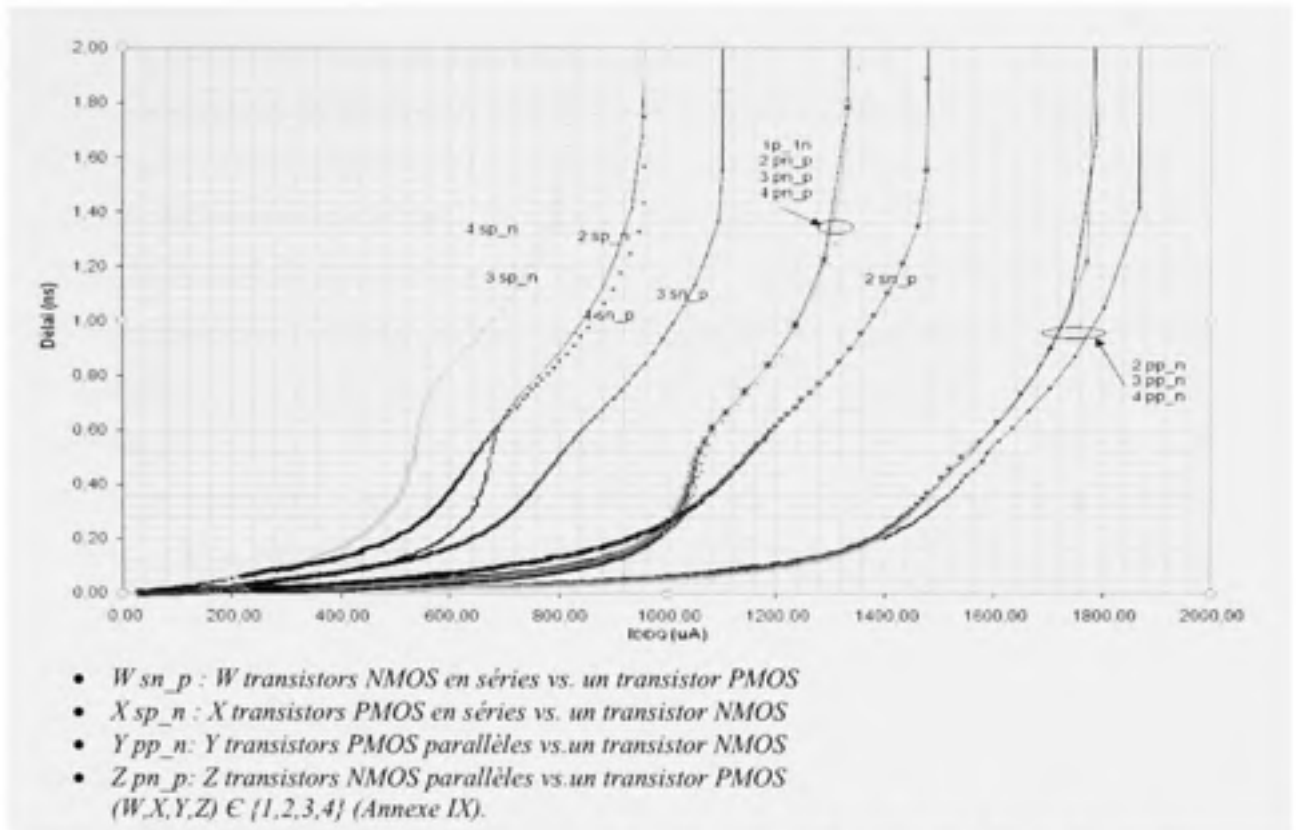


Figure 5.5 Résultats de simulation pour la technologie 0.35µm: le délai additionnel vs I_{DDQ} pour différents type de chemin entre V_{DD} et G_{ND} pour le scénario (TT).

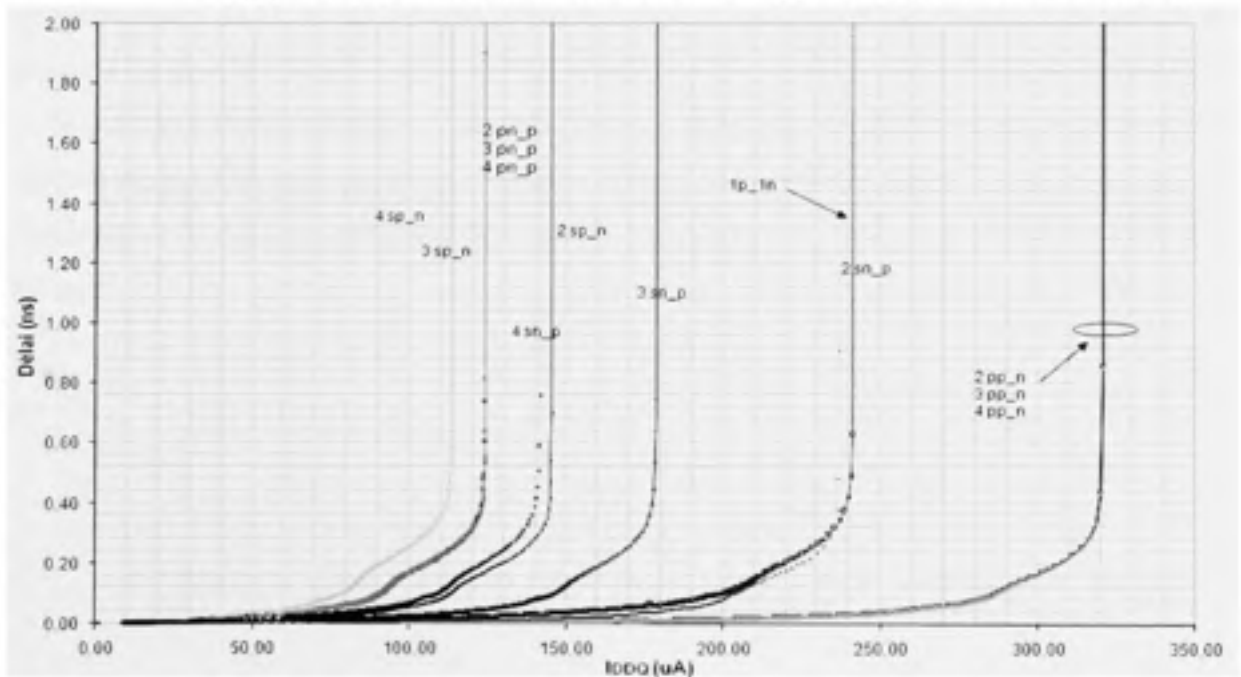


Figure 5.6 Résultats de simulation pour la technologie 90nm: le délai additionnel vs I_{DDQ} pour différents type de chemin entre V_{DD} et G_{ND} pour le corner (TT).

5.3.5 Impact du scénario de procédé sur l'estimation du délai

Les résultats de simulation de la figure 5.4 sont retracés graphiquement sur la figure 5.7 représentant le délai additionnel en fonction des valeurs du courant pour les cinq scénarios de procédé des deux technologies considérées. D'un point de vue relatif, nous observons la même différence significative entre les cinq scénarios de procédé pour les deux technologies ciblées, bien que la différence soit plus évidente pour la technologie 0.35 μm . Pour cette technologie, le comportement collé-à est observé pour un $I_{DDQ} \geq 1055\mu\text{A}$ pour le scénario de procédé SS, à $I_{DDQ} \geq 1297\mu\text{A}$ pour le scénario de procédé FS, à $I_{DDQ} \geq 1355\mu\text{A}$ pour le scénario de procédé TT, à $I_{DDQ} \geq 1394\mu\text{A}$ pour le scénario de procédé SF et à $I_{DDQ} \geq 1707\mu\text{A}$ pour le scénario de procédé FF. Pour chacun des scénarios de procédé de la technologie 0.35 μm , les délais additionnels prennent une valeur infinie pour les valeurs I_{DDQ} au-dessus de 1707 μA , et on observe des délais additionnels mineurs pour les valeurs I_{DDQ} au dessous de 450 μA . En utilisant le mauvais scénario de procédé de la technologie 0.35 μm pour estimer les délais additionnels pour des valeurs du courant additionnelles dans l'intervalle critique (entre 1055 μA et 1707 μA) peut mener à de différentes conclusions. Par exemple, si les caractéristiques de la puce correspondent au scénario de procédé SF, et que le courant additionnel est 1350 μA , le délai additionnel devrait être autour 1,3ns. Pour ce cas, utiliser le scénario de procédé SS pour estimer le délai additionnel laisserait croire à une panne de type collé-à au lieu d'un petit délai. La connaissance *a priori* des caractéristiques de la puce par rapport au procédé aide significativement à réduire l'intervalle critique des valeurs I_{DDQ} où l'estimation du délai est moins fiable. Cette conclusion se tient également pour la technologie 90 nm.

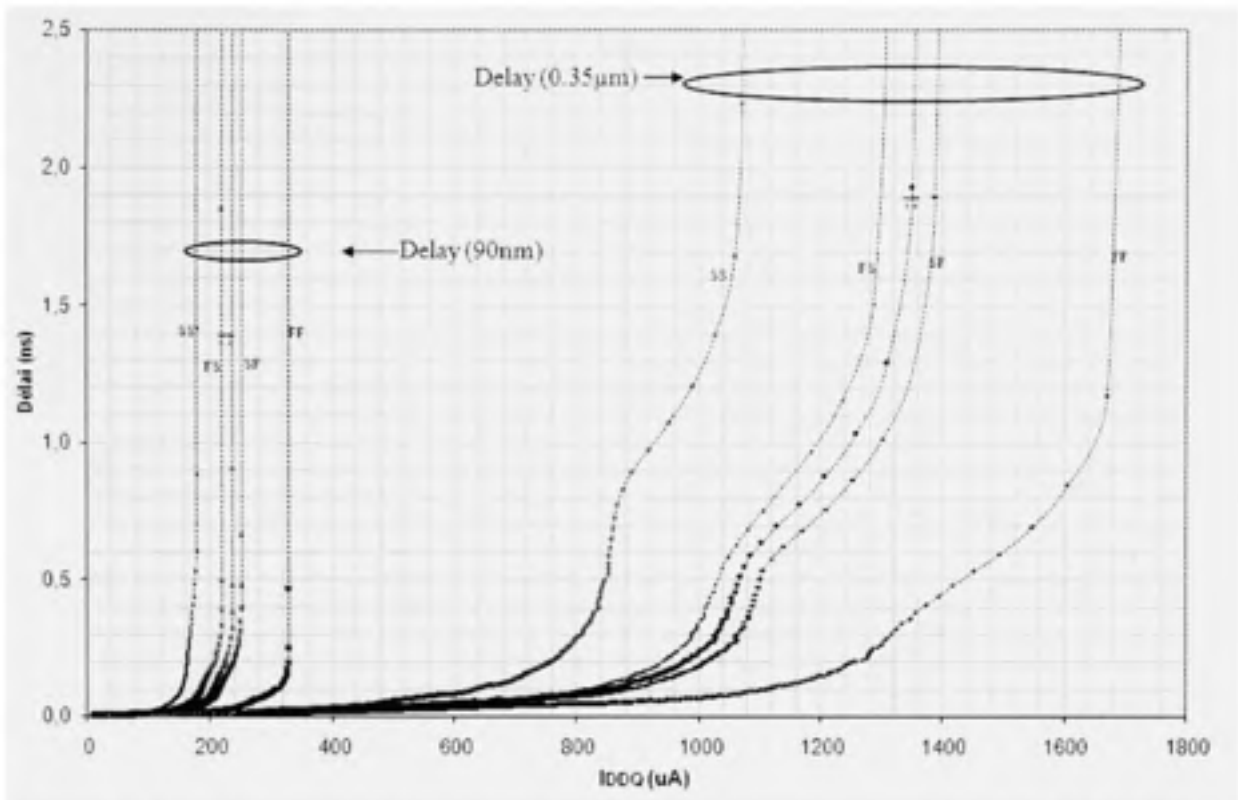


Figure 5.7 *Résultats de simulations pour les technologies 0.35µm et 90nm: le délai additionnel vs le courant (I_{DDQ}) pour les cinq scénarios de procédé.*

L'intervalle critique devient segmenté en sous-intervalles quand l'évaluation du délai est moins fiable seulement pour les CI dont les caractéristiques se situent entre deux scénarios de procédé. Par exemple, toujours pour la technologie 0.35µm, le sous-intervalle [1055,1297] µA est critique seulement pour le scénario SS. Comme le montre la figure 5.8, l'ajout d'autres scénarios de procédé (TS, TF, ST et FT) segmente d'avantage l'intervalle critique original. Connaître les caractéristiques de la puce par rapport au procédé aide donc à fournir une meilleure évaluation pour le délai.

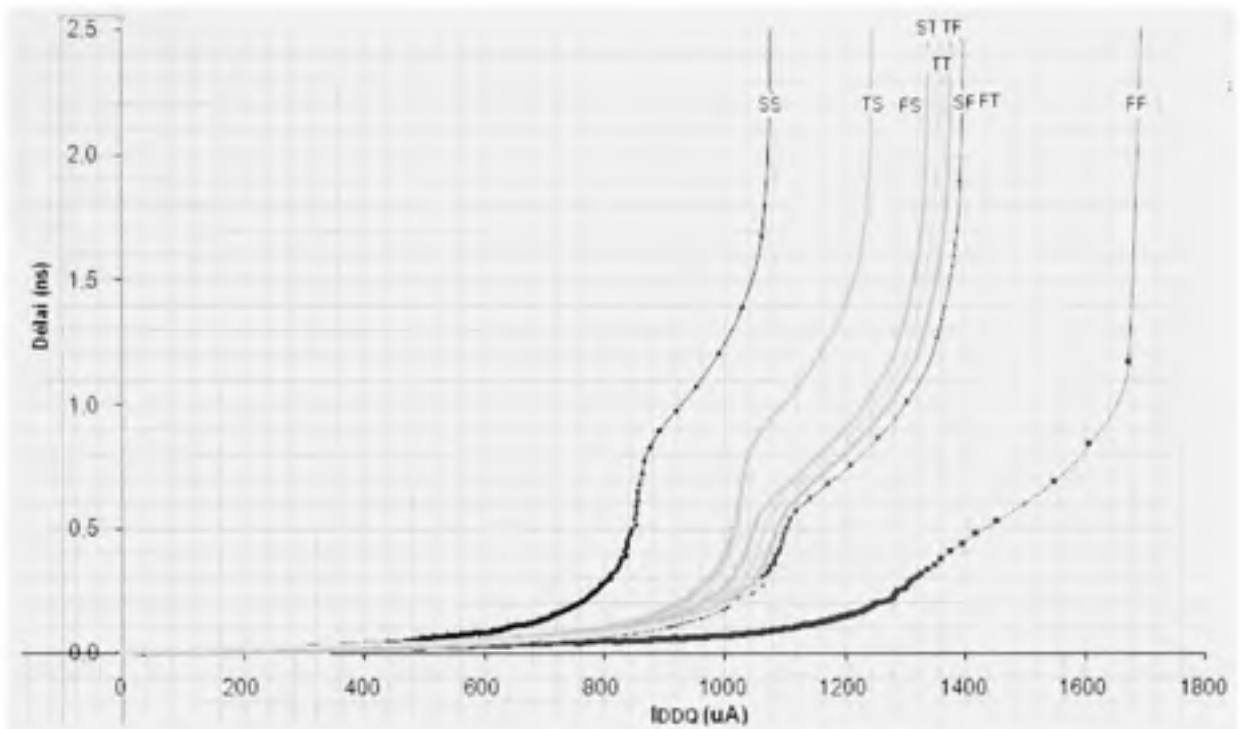


Figure 5.8 Résultats de simulations pour la technologie $0.35\mu\text{m}$: le délai additionnel vs le courant (I_{DDQ}) pour tous les scénarios de procédé possibles.

Dans le cadre de cette thèse, nous utilisons un oscillateur en anneau de 11 inverseurs afin d'identifier les caractéristiques de la puce par rapport au procédé (comme discuté à la section 5.3.2). La figure 5.7 présente pour chaque scénario de procédé la période mesurée à l'aide des simulations Hspice de l'oscillateur en anneau. Les fréquences de l'oscillateur en fonction de chaque scénario de procédé sont : FF=1.186, FT=0.981, SF=0.937, TF=0.933, TT=0.925, ST=0.919, FS=0.918, TS=0.845 et SS=0.735 GHz.

Pour identifier les caractéristiques de la puce (i.e. le scénario le plus plausible), nous pouvons utiliser la règle du plus proche. Par exemple, si la période mesurée de l'oscillateur en anneau est de 0,9 ns, alors nous supposons que le CI est de type FF. Cependant, si la période mesurée de l'oscillateur en anneau est de 1 ns alors nous supposons que le CI est de type FT. Notons qu'il est également possible d'utiliser l'interpolation linéaire.

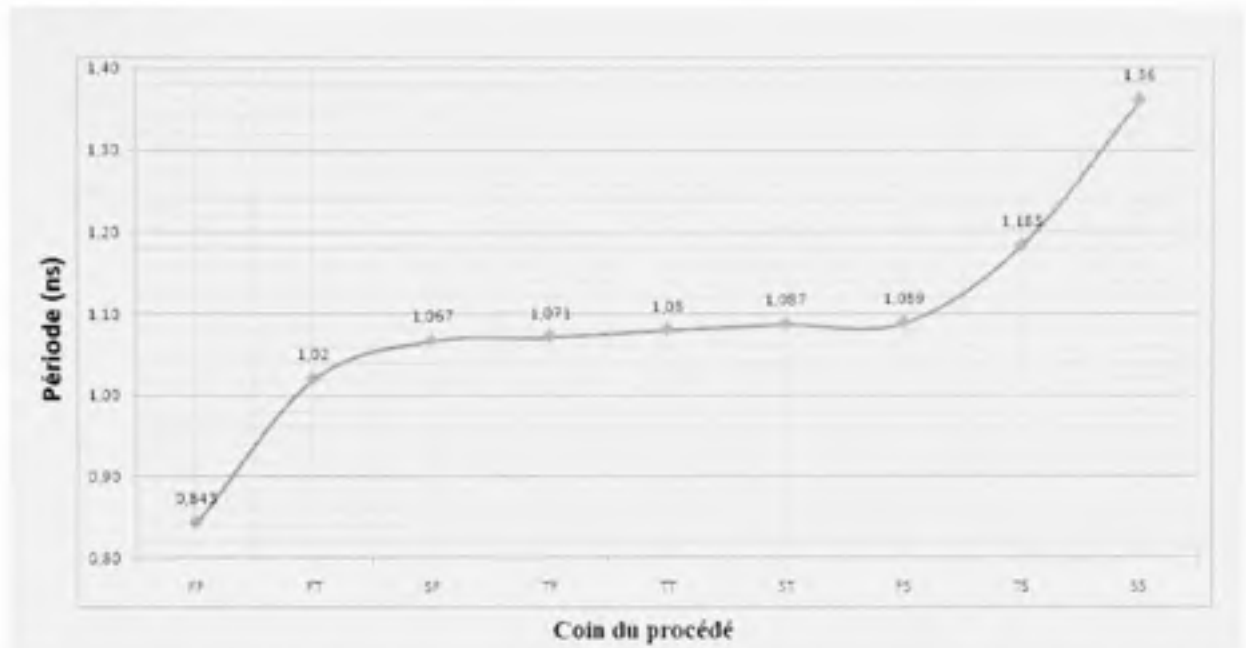


Figure 5.9 *Période de l'horloge (ns) en fonction du scénario de procédé pour un oscillateur en anneau de 11 inverseurs.*

Pour évaluer la précision de notre technique d'estimation du délai, nous avons tracé à la figure 5.10 le délai estimé de la figure 5.8 en fonction de la période de l'oscillateur en anneau pour tous les types de puce, et ce, pour $I_{DDQ} = 400, 600, 800$ et 1000 (μA). Pour ces valeurs I_{DDQ} , nous remarquons une faible variation du délai estimé pour les scénarios de procédés (FF, FT, SF, TF, TT, SF, TS). Pour $I_{DDQ} = 400$ (μA), le délai estimé varie entre 0,01 ns pour le type FF et atteint 0,03 ns pour le type SS.

Il est important de noter que sans la connaissance du scénario de procédé, l'erreur maximale du délai estimé est la différence entre le délai estimé pour le scénario de procédé SS et le délai estimé pour le scénario FF. Nous pouvons donc déterminer des plages I_{DDQ} pour lesquelles cette erreur est acceptable. Par exemple, pour les valeurs I_{DDQ} dans l'intervalle [400,600] μA , l'erreur maximale du délai estimé est de 0.05ns. Cette erreur augmente pour les valeurs I_{DDQ} dans l'intervalle [800-1000 μA] et atteint 1.36ns.

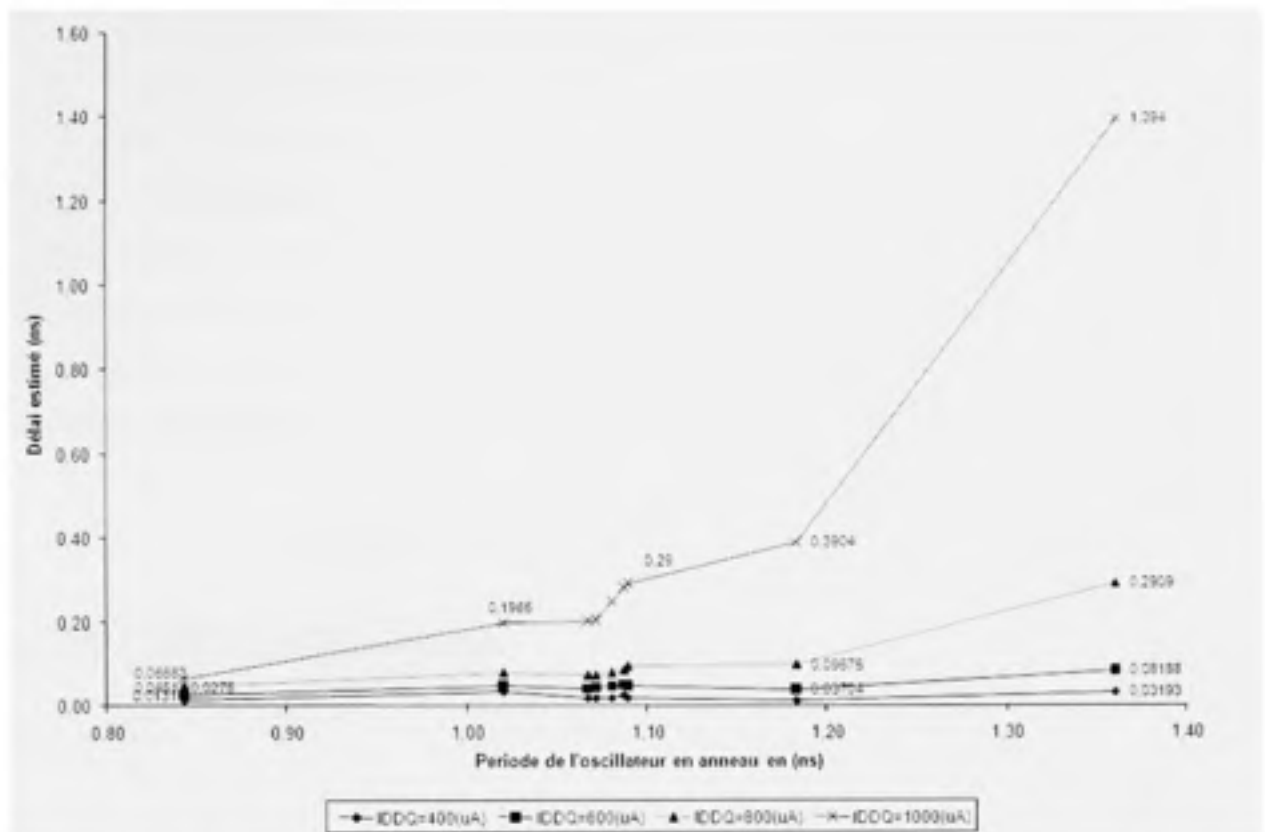


Figure 5.10 Délai estimé en fonction de la période de l'oscillateur en anneau pour $I_{DDQ} = 400, 600, 800$ et 1000 (uA).

Une autre erreur à considérer dans l'estimation du délai est l'erreur de la mesure I_{DDQ} . Cette erreur est estimée à $\pm 0.05\%$ pour le système de mesure I_{DDQ} proposé par [91]. Par exemple, si le courant I_{DDQ} mesuré est de 600 uA, le délai estimé sera compris entre le délai estimé pour $I_{DDQ} = 600 + 0.05\%(uA)$, et le délai estimé pour $I_{DDQ} = 600 - 0.05\%(uA)$. Cette erreur est très faible comparativement avec celle causée par le scénario du procédé.

5.4 Procédure d'estimation du délai basée sur les résultats du diagnostic

La figure 5.11 présente la nouvelle procédure d'estimation du délai additionnel. Cette procédure d'estimation est basée sur les résultats du diagnostic, à savoir: le type et la localisation de la panne, les vecteurs échouant le test I_{DDQ} mesuré (ou émulé). Chacun de ces résultats est essentiel pour la technique d'estimation du délai.

La première étape de notre procédure d'estimation du délai est l'identification du chemin V_{DD} à G_{ND} responsable du courant additionnel. En d'autres termes, la localisation et le type de la panne sont employés pour déterminer la topologie de transistors composant le chemin V_{DD} à G_{ND} suite à l'application des vecteurs échouant le test I_{DDQ} . Nous employons une simulation logique simple du Netlist afin de déterminer les valeurs logiques d'entrées des portes en court-circuit (localisation de la panne), puis nous déterminons les transistors en mode conduction, et ceux en mode circuit-ouvert. Ainsi, nous obtenons la topologie de transistors composant le chemin du court-circuit.

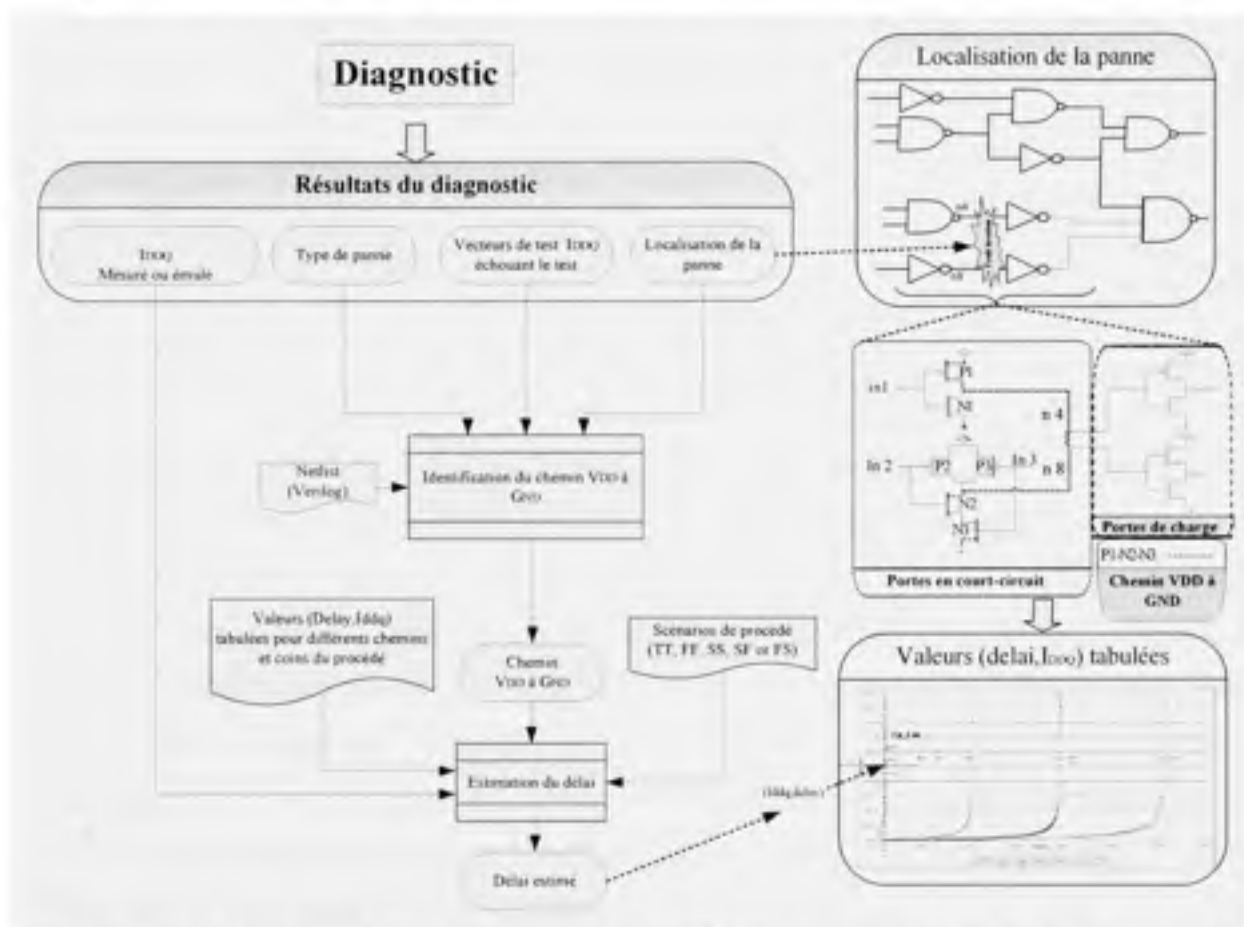


Figure 5.11 Procédure d'estimation du délai basée sur les résultats du diagnostic.

La deuxième étape emploie le scénario du procédé sélectionné *a priori* et le chemin V_{DD} à G_{ND} identifié afin d'accéder à la table correspondante des valeurs (délai, I_{DDQ}). Puis, elle emploie la valeur I_{DDQ} mesurée (ou émulée) comme un index d'accès à cette table afin de

déterminer le délai estimé. Cette procédure d'estimation est entièrement automatisée et intégrée dans l'outil de diagnostic proposé. Nous employons une méthodologie de conception logicielle modulaire. Le module présentant la procédure d'estimation utilise des données internes et externes (par rapport à l'outil de diagnostic). Les données internes sont les résultats du diagnostic, alors que les données externes sont les valeurs (délai, I_{DDQ}) sous forme de tables, ainsi que le scénario du procédé. La manière par laquelle nous avons mis en application la procédure d'estimation du délai permet une flexibilité très élevée; cette procédure peut supporter différentes technologies et conceptions. Nous employons une matrice tridimensionnelle pour tabuler nos valeurs (délai, I_{DDQ}), la table correspondante exige trois informations (pour les trois dimensions) pour fournir la valeur du délai estimée, la première information est le scénario du procédé sélectionné, la seconde est le chemin de V_{DD} à G_{ND} , et la troisième est la valeur I_{DDQ} émulée (ou mesurée). Changer la technologie exige de changer seulement les valeurs de cette table selon la nouvelle technologie.

5.5 Conclusion

Nous avons présenté dans ce dernier chapitre une nouvelle méthodologie de test permettant d'analyser les pannes/défectuosités causant une élévation anormale du courant mais ne causant pas d'erreurs logiques à la sortie du circuit. Cette méthodologie est basée sur deux pistes de traitement. La première piste (prévision), décrit dans le chapitre 2, consiste à générer avant la fabrication des CIs, des vecteurs supplémentaires visant à couvrir les courts-circuits non couverts par l'ensemble initial des vecteurs de test logique. Ces vecteurs supplémentaires sont conditionnellement appliqués aux CI ayant une consommation anormale du courant. La deuxième piste (guérison) se base sur un diagnostic rapide sur les sites réalistes de courts-circuits qui ne sont pas couverts par les vecteurs de test logique, mais qui sont couverts par les vecteurs de test I_{DDQ} . Nous avons proposé d'utiliser notre outil de diagnostic présenté dans le chapitre 4 sur ces sites de courts-circuits. Dans les rares cas où l'outil de diagnostic ne donnait aucun résultat utile, nous avons proposé de faire appel au traitement *a priori* (prévision) en bonifiant le test par des vecteurs collé-à sur les nœuds diagnostiqués. Dans le cas où l'outil de diagnostic révèle la localisation du court-circuit, nous

avons proposé deux nouvelles pistes de traitement *a posteriori* basées essentiellement sur la localisation du court-circuit trouvée par l'outil de diagnostic: la première piste proposait l'utilisation du modèle de panne délai du chemin (path delay) afin de générer des vecteurs de test couvrant le chemin le plus long passant par la localisation diagnostiquée. La deuxième piste de traitement *a posteriori* que nous avons proposé permet une estimation du délai additionnel causé par le court-circuit diagnostiqué. Ce délai estimé permet de classer les circuits dans un intervalle de vitesse de fonctionnement en présence d'un court-circuit. Cette classification permet d'attribuer un prix approprié pour chaque circuit. Ce prix est fonction de la vitesse maximale avec laquelle le circuit peut rouler sans erreur logique à la sortie. Nous avons également démontré qu'il est pratiquement impossible d'estimer directement ce délai additionnel causé par une défectuosité de court-circuit à partir uniquement des mesures I_{DDQ} . En effet, les portes logiques impliquées dans le court-circuit, le scénario de procédé (scénario de procédé), la résistivité du court-circuit, les portes logiques de charge, etc... sont des éléments indispensables pour effectuer cette estimation.

CONCLUSION

Cette thèse portait globalement sur l'élaboration d'une méthodologie permettant d'améliorer le test des circuits intégrés, et ce, en utilisant des concepts propres au diagnostic et en se basant sur l'interaction des méthodes de test existantes.

Le premier objectif était la généralisation plus poussée de la méthode de diagnostic basée sur les signatures probabilistes du courant ΔI_{DDQ} , et ce, à plusieurs niveaux. Premièrement, nous avons développé plusieurs modèles de pannes de courts-circuits incluant la totalité des types de portes logiques de la technologie $0.35\mu\text{m}$. Deuxièmement, nous avons étudié l'impact de l'avancement technologique sur les résultats de la réduction des sites physiques de courts-circuits basée sur les capacités parasites. Nous avons étudié spécifiquement l'impact du passage de la technologie $0.35\mu\text{m}$ à la technologie 90nm . Ce passage a engendré une faible augmentation au niveau du nombre réduit de sites physiques de courts-circuits, ce qui n'affecte pas notre méthode de diagnostic. Troisièmement, nous avons amélioré la deuxième technique de réduction des sites physiques de courts-circuits; nous parlons de celle qui utilise les résultats des sorties erronées du circuit sous test obtenus à l'aide de son émulation (ou son test). Cette technique ne supportait au départ que des circuits purement combinatoires. L'amélioration apportée permet maintenant d'utiliser cette technique sur des circuits séquentiels. Finalement, nous avons complété la conception logicielle de l'outil de diagnostic permettant l'émulation de la méthode de diagnostic proposée, et nous avons défini les conditions permettant son utilisation dans un environnement de test en temps réel.

Le deuxième objectif de la thèse était l'introduction d'une nouvelle stratégie d'optimisation pour le test adaptatif de haute qualité. Nous avons essayé dans un premier temps de couvrir les pannes qui habituellement ne causent pas une consommation anormale du courant I_{DDQ} avec le minimum de vecteurs de test possibles qui sont appliqués à tous les circuits; et dans un deuxième temps, nous avons proposé deux pistes de traitement pour les pannes qui habituellement causent une élévation du courant I_{DDQ} . La première piste (prévision), consiste à générer, avant la fabrication des CIs, des vecteurs de test supplémentaires visant à couvrir les courts-circuits non couverts par l'ensemble initial des vecteurs de test logique. Ces

vecteurs supplémentaires sont conditionnellement appliqués aux CI ayant une consommation anormale du courant. Cette philosophie de test implique un nouveau rôle du test basé sur le courant, qui n'est plus utilisé pour décider si un circuit est défectueux ou non, mais comme un seuil de décision pour l'application des vecteurs de test additionnels. La nouveauté dans ce travail se situait dans un premier temps au niveau de l'introduction des courts-circuits dans le processus d'optimisation et de l'utilisation des capacités parasites de routage comme indication de probabilité de court-circuit, afin d'identifier et de cibler des sites ayant un réel potentiel d'être affectés par un court-circuit. La deuxième piste (guérison) se base sur un diagnostic rapide sur les sites réalistes de courts-circuits qui ne sont pas couverts par les vecteurs de test logique, mais qui sont couverts par les vecteurs de test I_{DDQ} . Nous avons proposé d'utiliser notre outil de diagnostic sur ces sites de courts-circuits. Dans le cas où l'outil de diagnostic révèle la localisation du court-circuit, nous avons proposé deux nouvelles sous pistes de traitement *a posteriori* basées essentiellement sur la localisation du court-circuit trouvée par l'outil de diagnostic: la première piste proposait l'utilisation du modèle de panne délai du chemin (path delay) afin de générer des vecteurs de test couvrant le chemin le plus long passant par la localisation diagnostiquée. La deuxième piste de traitement *a posteriori* que nous avons proposé permet une estimation du délai additionnel causé par le court-circuit diagnostiqué. Ce délai estimé permet de mieux classer les circuits dans un intervalle de vitesse de fonctionnement en présence d'un court-circuit.

RECOMMANDATIONS ET TRAVAUX FUTURS

Le test, le diagnostic et l'analyse physique de défaillance sont des composantes essentielles dans l'amélioration du rendement d'un procédé de fabrication de circuits *VLSI*. Ces trois opérations font face à une confrontation permanente à plusieurs défis, liés au besoin de maîtriser la complexité inhérente aux procédés de fabrication et de s'adapter aux évolutions technologiques. Nous avons présenté dans le cadre de cette thèse une méthodologie permettant d'améliorer le test des circuits intégrés, et ce, en utilisant des concepts propres au diagnostic et en se basant sur l'interaction des méthodes de test existantes.

Les recommandations et travaux futurs peuvent être proposés à deux niveaux. Premièrement, nous recommandons l'adaptation de la technique de diagnostic proposée pour les technologies futures. Cette adaptation visera le développement de nouveaux modèles de pannes de courts-circuits, et de nouveaux dictionnaires de signatures ΔI_{DDQ} .

La deuxième recommandation est au niveau de la stratégie d'optimisation pour le test adaptatif de haute qualité. Rappelons que cette stratégie de test implique un nouveau rôle du test basé sur le courant, qui n'est plus utilisé pour décider si un circuit est défectueux ou non, mais comme un seuil de décision pour l'application des vecteurs de test additionnels. Nous recommandons d'améliorer cet aspect conditionnel basé sur un seuil de décision, cette recommandation étant justifiée par le fait qu'il est de plus en plus difficile de déterminer ce seuil avec l'avancement technologique.

Une dernière recommandation est au niveau de la technique d'estimation du délai proposée au chapitre 5. Rappelons que pour valider cette technique, nous avons eu recours à différents scénarios de procédé. Nous recommandons d'intégrer des techniques plus sophistiquées afin d'extraire les variations du procédé. Si disponibles, ces variations aléatoires locales peuvent être facilement employées par notre technique d'estimation du délai additionnel.

ANNEXE I

LES DEUX PHASES DU DIAGNOSTIC

1. Phase d'identification des types de pannes les plus probables

Comme indiqué précédemment, la méthode comporte deux phases. La première phase joue un rôle de pré-traitement. Elle consiste à classer les types de pannes suivant leurs probabilités d'apparition. La figure 5.12 montre comment ce processus se déroule.

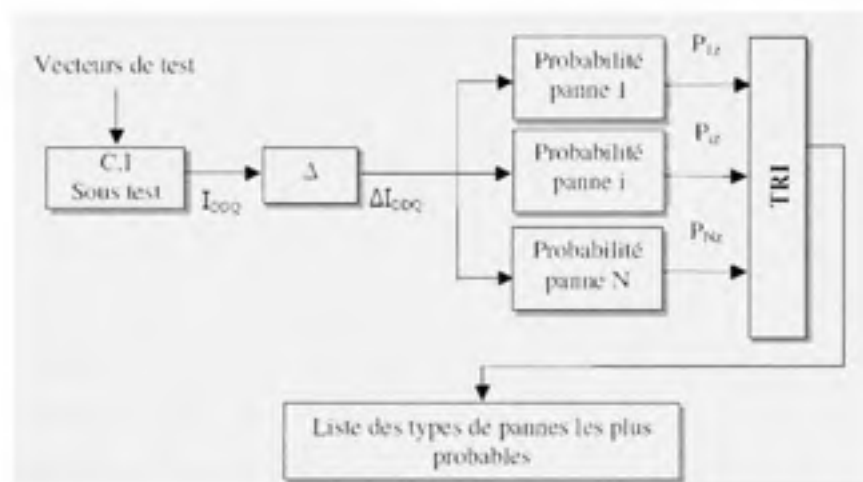


Figure 5.12 Identification des types de pannes les plus probables.

Dans un premier temps, le circuit est stimulé par des vecteurs d'entrées. Après la stabilisation du réseau logique du circuit suite à l'application d'un vecteur de test, on mesure le courant d'alimentation du circuit. Tel que mentionné précédemment, la valeur ΔI_{DDQ} pour un vecteur est la différence entre la valeur du courant lue à ce vecteur et la lecture précédente du courant.

On commence par calculer pour chaque type de panne la probabilité P_{iz} que le ΔI_{DDQ} mesuré soit dû à ce type de panne. Le calcul des probabilités P_{iz} utilise la technique de l'évaluation à maximum de vraisemblance (« Maximum Likelihood Evaluation », MLE) utilisé notamment

en télécommunication. Notons également que l'algorithme de Viterbi peut être adapté pour évaluer cette probabilité. Pour plus de détails sur le calcul des probabilités, voir l'annexe 1 de [20].

Après le calcul de toutes les probabilités, on procède à un tri suivant un ordre décroissant des P_{iz} pour créer la liste des pannes les plus probables.

Le minimum d'information nécessaire pour effectuer ces calculs est la liste des portes utilisées dans le circuit. Une connaissance du Netlist ou du dessin des masques du circuit n'est donc pas nécessaire pour cette phase.

2. Phase de localisation

La phase de localisation a comme objectif la création d'une liste de nœuds ayant la plus grande probabilité d'être impliqués dans un type de pannes donné. La figure 5.13 représente le processus de localisation.

La procédure de localisation utilise la liste des résultats générée lors de la phase d'identification. On commence par analyser le type de pannes le plus probable. Une liste de paire de nœuds pouvant engendrer ce type de pannes est préparée au départ. En se basant sur les vecteurs d'entrée, l'émulateur calcule le courant I_{DDQ} qui serait généré par une panne située sur chacune de ces combinaisons de nœuds.

En utilisant le MLE pour comparer les ΔI_{DDQ} simulés et mesurés, les localisations possibles pour le type de panne en cours de traitement sont placées dans une liste ordonnée. Le calcul de ces probabilités se fait de la même façon que pour la phase d'identification. La plus élevée des P_{Liz} (probabilité pour qu'une panne de type donné affecte la localisation i avec un ensemble z de ΔI_{DDQ}) correspond à la localisation la plus probable dans la liste ainsi définie.

On utilise un seuil de décision pour éliminer les localisations les plus improbables. Si aucune localisation de nœuds ne satisfait le critère pour un type de panne donné, on considère automatiquement que ce type de panne n'est pas présent dans le circuit, et sera donc rejeté, et on passe au type de panne suivant dans la liste.

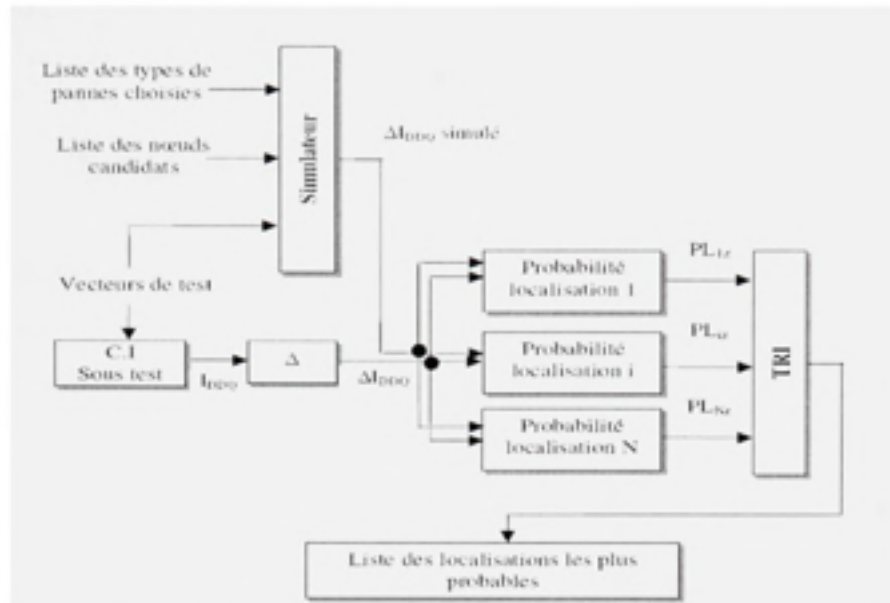


Figure 5.13 Localisation des pannes.

Si une (ou plusieurs) combinaison de nœuds demeure dans la liste après l'application du seuil, alors cette (ou ces) paire(s) de nœuds est (sont) considérées comme la localisation de la panne, et le diagnostic est considéré comme ayant été accompli.

Avant le début des travaux liés à ce mémoire, un programme a été conçu pour émuler la méthode de diagnostic.

ANNEXE II

TYPES DE PANNES DE LA TECHNOLOGIE 0.35

Le tableau de la page suivant présente tous les types de pannes de la technologie 0.35 μ m. La première colonne présente le numéro du type de pannes, les deux colonnes suivantes présentent les noms des portes en court-circuit. Par exemple, le type de panne 2 représente un court-circuit entre la sortie d'une porte Et à deux entrées et la sortie d'une porte Et à 4 entrées.

Type de Panne	Porte 1	Porte 2	Type de Panne	Porte 1	Porte 2	Type de Panne	Porte 1	Porte 2	Type de Panne	Porte 1	Porte 2
0	wand2	wand2	38	wand4	wor2	76	wand4	wor4	114	wor2	wxor2
1	wand2	wand3	39	wand4	wor3	77	wand4	wbuf	115	wor3	wor3
2	wand2	wand4	40	wand4	wor4	78	wand4	winv	116	wor3	wor4
3	wand2	wand2	41	wand4	wbuf	79	wand4	wmux2	117	wor3	wbuf
4	wand3	wand2	42	wand4	winv	80	wand4	wxor2	118	wor3	winv
5	wand2	wand4	43	wand4	wmux2	81	wor2	wor2	119	wor3	wmux2
6	wand2	wor2	44	wand4	wxor2	82	wor2	wor3	120	wor3	wxor2
7	wand2	wor3	45	wand2	wand2	83	wor2	wor4	121	wor4	wor4
8	wand2	wor4	46	wand3	wand2	84	wor2	wor2	122	wor4	wbuf
9	wand2	wor2	47	wand2	wand4	85	wor3	wor2	123	wor4	winv
10	wor3	wand2	48	wor2	wand2	86	wor2	wor4	124	wor4	wmux2
11	wand2	wor4	49	wor3	wand2	87	wbuf	wor2	125	wor4	wxor2
12	wand2	wbuf	50	wand2	wor4	88	winv	wor2	126	wbuf	wbuf
13	winv	wand2	51	wor2	wand2	89	wor2	wmux2	127	winv	wbuf
14	wand2	wmux2	52	wor3	wand2	90	wor2	wxor2	128	wbuf	wmux2
15	wand2	wxor2	53	wand2	wor4	91	wor3	wor3	129	wbuf	wxor2
16	wand3	wand3	54	wbuf	wand2	92	wor3	wor4	130	winv	winv
17	wand3	wand4	55	winv	wand2	93	wor3	wor2	131	wmux2	winv
18	wand3	wand2	56	wand2	wmux2	94	wor3	wor3	132	wxor2	winv
19	wand3	wand3	57	wand2	wxor2	95	wor3	wor4	133	wmux2	wmux2
20	wand3	wand4	58	wand3	wand3	96	wor3	wbuf	134	wxor2	wmux2
21	wor2	wand3	59	wand3	wand4	97	wor3	winv	135	wxor2	wxor2
22	wand3	wor3	60	wor2	wand3	98	wmux2	wor3			
23	wand3	wor4	61	wand3	wor3	99	wxor2	wor3			
24	wand3	wor2	62	wand3	wor4	100	wor4	wor4			
25	wand3	wor3	63	wor2	wand3	101	wor4	wor2			
26	wand3	wor4	64	wand3	wor3	102	wor4	wor3			
27	wand3	wbuf	65	wand3	wor4	103	wor4	wor4			
28	wand3	winv	66	wand3	wbuf	104	wor4	wbuf			
29	wand3	wmux2	67	winv	wand3	105	wor4	winv			
30	wxor2	wand3	68	wand3	wmux2	106	wor4	wmux2			
31	wand4	wand4	69	wxor2	wand3	107	wor4	wxor2			
32	wand4	wand2	70	wand4	wand4	108	wor2	wor2			
33	wand4	wand3	71	wand4	wor2	109	wor3	wor2			
34	wand4	wand4	72	wand4	wor3	110	wor2	wor4			
35	wand4	wor2	73	wand4	wor4	111	wor2	wbuf			
36	wand4	wor3	74	wand4	wor2	112	wor2	winv			
37	wand4	wor4	75	wand4	wor3	113	wor2	wmux2			

ANNEXE III

EXEMPLE DE STATISTIQUES DE RÉDUCTION DES SITES DE COURTS-CIRCUITS POUR LE FILRE 100 ÉTAGES

Le tableau suivant présente les résultats de réduction des sites de courts-circuits pour le filtre FIR 100 étages. La première colonne représente le numéro du type de panne (voir Annexe 2), les quatre colonnes suivantes présentent les deux portes en court-circuit et leurs nombres, la cinquième colonne présente le nombre total de courts-circuits associé au type de panne considéré, et la dernière colonne présente le nombre réduit de sites de courts-circuits pour chaque type de panne considéré.

Type	Porte 1	#porte1	Porte 2	#porte 2	# total de courts-circuits	# réduit de bridge
0	wand2	2195	wand2	2195	2,41E+06	4,13E+02
1	wand3	251	wand2	2195	5,51E+05	7,80E+01
2	wand4	57	wand2	2195	1,25E+05	3,10E+01
3	wand2	2195	wnand2	7698	1,69E+07	2,04E+03
4	wnand3	660	wand2	2195	1,45E+06	2,18E+02
5	wand2	2195	wnand4	107	2,35E+05	4,10E+01
6	wnor2	2098	wand2	2195	4,61E+06	1,20E+03
7	wand2	2195	wnor3	127	2,79E+05	1,41E+02
8	wnor4	3	wand2	2195	6,59E+03	1,00E+00
9	wor2	3343	wand2	2195	7,34E+06	8,57E+02
10	wor3	317	wand2	2195	6,96E+05	1,56E+02
11	wand2	2195	wor4	38	8,34E+04	1,50E+01
12	wand2	2195	wbuf	21	4,61E+04	5,39E+02
13	winv	1496	wand2	2195	3,28E+06	1,17E+04
14	wand2	2195	wmux2	488	1,07E+06	2,68E+02
15	wand2	2195	wxor2	4901	1,08E+07	3,53E+03
16	wand3	251	wand3	251	3,14E+04	7,00E+00
17	wand4	57	wand3	251	1,43E+04	1,00E+00
18	wnand2	7698	wand3	251	1,93E+06	3,86E+02
19	wand3	251	wnand3	660	1,66E+05	5,00E+00
20	wnand4	107	wand3	251	2,69E+04	4,80E+01

21	wand3	251	wnor2	2098	5,27E+05	8,60E+01
22	wand3	251	wnor3	127	3,19E+04	2,00E+00
23	wnor4	3	wand3	251	7,53E+02	2,00E+00
24	wor2	3343	wand3	251	8,39E+05	1,05E+02
25	wand3	251	wor3	317	7,96E+04	7,00E+00
26	wor4	38	wand3	251	9,54E+03	2,00E+00
27	wand3	251	wbuf	21	5,27E+03	7,50E+01
28	winv	1496	wand3	251	3,75E+05	2,20E+03
29	wmux2	488	wand3	251	1,22E+05	4,60E+01
30	wand3	251	wxor2	4901	1,23E+06	6,74E+02
31	wand4	57	wand4	57	1,60E+03	0,00E+00
32	wand4	57	wnand2	7698	4,39E+05	2,04E+02
33	wnand3	660	wand4	57	3,76E+04	1,20E+01
34	wand4	57	wnand4	107	6,10E+03	0,00E+00
35	wnor2	2098	wand4	57	1,20E+05	2,40E+01
36	wnor3	127	wand4	57	7,24E+03	6,00E+00
37	wand4	57	wnor4	3	1,71E+02	0,00E+00
38	wand4	57	wor2	3343	1,91E+05	2,70E+01
39	wor3	317	wand4	57	1,81E+04	3,10E+01
40	wand4	57	wor4	38	2,17E+03	0,00E+00
41	wand4	57	wbuf	21	1,20E+03	3,50E+01
42	winv	1496	wand4	57	8,53E+04	8,78E+02
43	wmux2	488	wand4	57	2,78E+04	2,00E+00
44	wand4	57	wxor2	4901	2,79E+05	1,08E+02
45	wnand2	7698	wnand2	7698	2,96E+07	4,19E+03
46	wnand3	660	wnand2	7698	5,08E+06	5,58E+02
47	wnand4	107	wnand2	7698	8,24E+05	1,18E+02
48	wnand2	7698	wnor2	2098	1,62E+07	2,47E+03
49	wnor3	127	wnand2	7698	9,78E+05	1,41E+02
50	wnor4	3	wnand2	7698	2,31E+04	1,00E+01
51	wnand2	7698	wor2	3343	2,57E+07	2,90E+03
52	wnand2	7698	wor3	317	2,44E+06	5,72E+02
53	wor4	38	wnand2	7698	2,93E+05	6,70E+01
54	wnand2	7698	wbuf	21	1,62E+05	2,01E+03
55	winv	1496	wnand2	7698	1,15E+07	4,23E+04

56	wnand2	7698	wmux2	488	3.76E+06	8.10E+02
57	wxor2	4901	wnand2	7698	3.77E+07	1.25E+04
58	wnand3	660	wnand3	660	2.17E+05	1.20E+01
59	wnand4	107	wnand3	660	7.06E+04	4.00E+01
60	wnand3	660	wnor2	2098	1.38E+06	2.73E+02
61	wnor3	127	wnand3	660	8.38E+04	2.40E+01
62	wnand3	660	wnor4	3	1.98E+03	0.00E+00
63	wnand3	660	wor2	3343	2.21E+06	2.63E+02
64	wnand3	660	wor3	317	2.09E+05	2.00E+01
65	wor4	38	wnand3	660	2.51E+04	3.70E+01
66	wbuf	21	wnand3	660	1.39E+04	1.62E+02
67	winv	1496	wnand3	660	9.87E+05	3.48E+03
68	wnand3	660	wmux2	488	3.22E+05	1.32E+02
69	wxor2	4901	wnand3	660	3.23E+06	8.13E+02
70	wnand4	107	wnand4	107	5.67E+03	0.00E+00
71	wnor2	2098	wnand4	107	2.24E+05	2.30E+01
72	wnor3	127	wnand4	107	1.36E+04	2.00E+00
73	wnand4	107	wnor4	3	3.21E+02	0.00E+00
74	wor2	3343	wnand4	107	3.58E+05	1.06E+02
75	wor3	317	wnand4	107	3.39E+04	2.00E+00
76	wnand4	107	wor4	38	4.07E+03	1.00E+00
77	wbuf	21	wnand4	107	2.25E+03	2.10E+01
78	winv	1496	wnand4	107	1.60E+05	5.12E+02
79	wnand4	107	wmux2	488	5.22E+04	8.00E+00
80	wnand4	107	wxor2	4901	5.24E+05	1.54E+02
81	wnor2	2098	wnor2	2098	2.20E+06	8.51E+02
82	wnor3	127	wnor2	2098	2.66E+05	8.00E+01
83	wnor4	3	wnor2	2098	6.29E+03	6.00E+00
84	wnor2	2098	wor2	3343	7.01E+06	8.50E+02
85	wnor2	2098	wor3	317	6.65E+05	1.00E+02
86	wnor2	2098	wor4	38	7.97E+04	3.30E+01
87	wnor2	2098	wbuf	21	4.41E+04	6.23E+02
88	winv	1496	wnor2	2098	3.14E+06	1.28E+04
89	wnor2	2098	wmux2	488	1.02E+06	3.13E+02
90	wxor2	4901	wnor2	2098	1.03E+07	4.66E+03

91	wnor3	127	wnor3	127	8.00E+03	0.00E+00
92	wnor3	127	wnor4	3	3.81E+02	0.00E+00
93	wor2	3343	wnor3	127	4.25E+05	5.30E+01
94	wnor3	127	wor3	317	4.03E+04	4.00E+00
95	wnor3	127	wor4	38	4.83E+03	0.00E+00
96	wbuf	21	wnor3	127	2.67E+03	4.90E+01
97	wnor3	127	winv	1496	1.90E+05	1.10E+03
98	wnor3	127	wmux2	488	6.20E+04	1.10E+01
99	wnor3	127	wxor2	4901	6.22E+05	3.39E+02
100	wnor4	3	wnor4	3	3.00E+00	0.00E+00
101	wnor4	3	wor2	3343	1.00E+04	1.00E+00
102	wnor4	3	wor3	317	9.51E+02	2.00E+00
103	wnor4	3	wor4	38	1.14E+02	0.00E+00
104	wbuf	21	wnor4	3	6.30E+01	2.00E+00
105	winv	1496	wnor4	3	4.49E+03	3.80E+01
106	wnor4	3	wmux2	488	1.46E+03	2.00E+00
107	wxor2	4901	wnor4	3	1.47E+04	5.00E+00
108	wor2	3343	wor2	3343	5.59E+06	3.53E+02
109	wor3	317	wor2	3343	1.06E+06	1.09E+02
110	wor4	38	wor2	3343	1.27E+05	4.60E+01
111	wor2	3343	wbuf	21	7.02E+04	5.70E+02
112	winv	1496	wor2	3343	5.00E+06	1.11E+04
113	wmux2	488	wor2	3343	1.63E+06	2.07E+02
114	wxor2	4901	wor2	3343	1.64E+07	3.14E+03
115	wor3	317	wor3	317	5.01E+04	2.00E+00
116	wor3	317	wor4	38	1.20E+04	5.00E+00
117	wor3	317	wbuf	21	6.66E+03	9.30E+01
118	winv	1496	wor3	317	4.74E+05	1.44E+03
119	wmux2	488	wor3	317	1.55E+05	2.00E+01
120	wor3	317	wxor2	4901	1.55E+06	3.60E+02
121	wor4	38	wor4	38	7.03E+02	0.00E+00
122	wbuf	21	wor4	38	7.98E+02	2.70E+01
123	wor4	38	winv	1496	5.68E+04	3.44E+02
124	wmux2	488	wor4	38	1.85E+04	5.00E+00
125	wxor2	4901	wor4	38	1.86E+05	1.54E+02

126	wbuf	21	wbuf	21	2,10E+02	8,30E+01
127	wbuf	21	winv	1496	3,14E+04	5,56E+03
128	wbuf	21	wmux2	488	1,02E+04	1,88E+02
129	wxor2	4901	wbuf	21	1,03E+05	3,48E+03
130	winv	1496	winv	1496	1,12E+06	6,85E+04
131	wmux2	488	winv	1496	7,30E+05	5,77E+03
132	wxor2	4901	winv	1496	7,33E+06	9,98E+03
133	wmux2	488	wmux2	488	1,19E+05	4,80E+01
134	wmux2	488	wxor2	4901	2,39E+06	1,40E+03
135	wxor2	4901	wxor2	4901	1,20E+07	1,15E+04

ANNEXE IV

MODÉLISATION DES PANNES À L'AIDE DE HSPICE

Avant de parler des modèles de pannes, il est opportun de rappeler la distinction entre une défectuosité et une panne. Selon la classification d'Avizienis [80], il existe plusieurs niveaux d'abstraction : physique, logique, informationnel et externe. Une défectuosité est associée au niveau physique, alors qu'une panne est associée au niveau logique. Une défectuosité ne mène pas nécessairement à une panne, et une panne n'est pas nécessairement causée par une défectuosité.

Une défectuosité de type court-circuit entre deux sorties de portes logiques ne cause aucun problème aussi longtemps que les deux portes conduisent la même valeur logique (0 ou 1). Cependant, quand les deux portes essaient d'adopter différentes valeurs logiques à leurs sorties, le court-circuit se produit. Les deux lignes court-circuitées peuvent adopter l'une ou l'autre valeur logique ou prendre une tension intermédiaire dépendamment des facteurs tels que la force de conduction des deux portes, leur valeurs logiques d'entrée, et les caractéristiques liées à la défectuosité du court-circuit. En outre, dans beaucoup de cas, la défectuosité du court-circuit peut avoir un impact significatif sur la période de propagation des signaux. C'est particulièrement problématique quand un grand délai parasite est introduit à cause de la défectuosité.

En conclusion, comme le montre la Figure 5.14, les nœuds affectés par le court-circuit conduisant des valeurs logiques opposées donnent naissance à un courant de fuite (I_B)

pendant l'état statique. Ce courant largement connu sous le nom I_{DDQ} est très efficace pour détecter les défauts de type court-circuit.

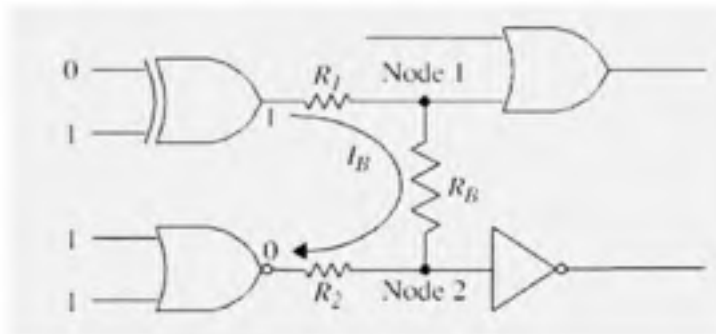


Figure 5.14 L'effet du court-circuit.

Dépendamment des conditions du court-circuit, L'effet de la défektivité peut prendre deux formes distinctes :

- **Court-circuit 'Fort'** : si la résistance de court-circuit est relativement faible, l'effet se traduira par une erreur logique à la sortie du circuit.
- **Court-circuit 'Faible'** : si la résistance du court-circuit est relativement élevée, l'effet se traduira par un délai causant une dégradation de la performance du circuit.

Les modèles de pannes de courts-circuits que nous présentons dans le cadre de cette thèse correspondent aux *courts-circuits 'Fort'*. Ces modèles sont utilisés au sein du simulateur logique des pannes de court-circuit (voir section 4.2.4). Leur développement est réalisé à partir des simulations analogiques au niveau transistors pour les différents types de pannes possibles (voir Annexe II). Ces simulations sont effectuées à l'aide du logiciel *Hspice* en utilisant les modèles transistors de la technologie $0.35\mu\text{m}$. Pour comprendre ce processus, nous présentons dans ce qui suit les deux phases permettant le développement de ces modèles.

Phase I : Simulations de panne à l'aide de Hspice

Rappelons que les types de pannes qui nous intéressent sont celles présentés en Annexe 2. Rappelons également que les types de pannes sont des courts-circuits entre les paires de nœuds constituant les sorties de deux portes logiques de même type ou de types différents. Par exemple, le type de panne 46 * *NAND2-NAND3** est un court-circuit entre les sorties d'une porte Non-Et à 2 entrées et une porte Non-Et à 3 entrées.

Le logiciel *Hspice* est utilisé ici pour simuler toutes les combinaisons possibles entre les sorties des portes impliquées dans chaque type de pannes, afin de connaître la tension et le niveau logique résultant pour chacune des combinaisons.

Phase II : Analyse et modélisation des pannes

Considérons l'exemple du type de panne 130. Ce type de panne est un court-circuit entre les sorties de deux inverseurs. Comme le montre la figure 5.15, ce court-circuit est modélisé par une résistance *Rbr* dont la valeur a été fixée à 10 Ω (Court-circuit 'fort'). Nous utilisons cette résistance pour un but de simulation du court-circuit. Les inverseurs en aval de *Rbr* servent à faciliter l'établissement de la valeur logique correspondante.

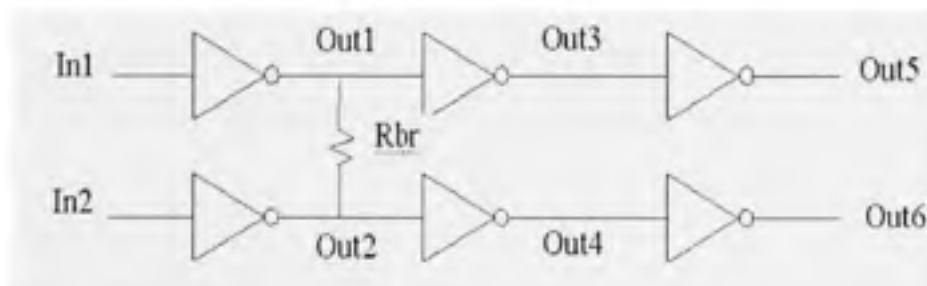


Figure 5.15 *Schéma logique représentant un court-circuit entre deux inverseurs.*

La figure 5.16 montre les résultats de la simulation du circuit de la figure 5.15. Ces résultats permettent de construire une table de vérité qui représente les valeurs logiques de sorties en fonction des valeurs logiques d'entrées avec et sans la résistance du court-circuit. Le tableau 5.2 représente cette table de vérité. Nous constatons que les sorties out5 et out6 ont la même valeur logique (avec Rbr).

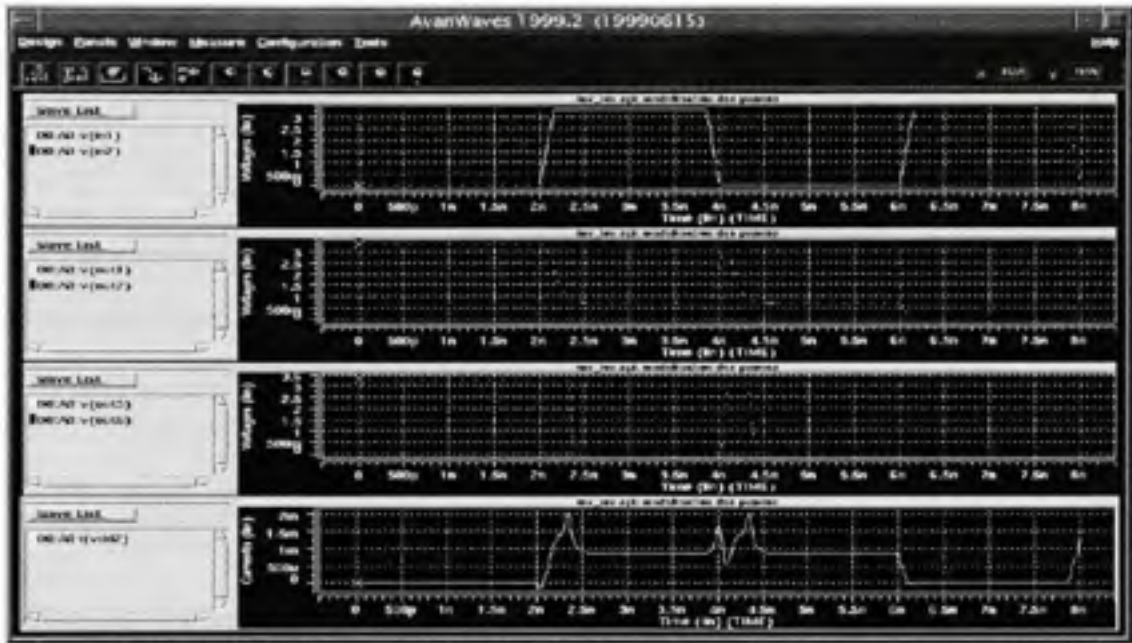


Figure 5.16 Résultats de la simulation d'un court-circuit entre les sorties de deux inverseurs.

La valeur finale des nœuds court-circuités dépend de la force relative des transistors en amont du court-circuit. Ainsi, dans cet exemple le transistor de type N de l'inverseur dont l'entrée est à '1' domine le transistor de type P de l'inverseur dont l'entrée est à '0'.

Tableau 5.2

Table de vérité pour le type de panne court-circuit entre les sorties de deux inverseurs.

Entrees		Sorties sans Rbr		Sorties avec Rbr	
In2	In1	Out5 (out1)	Out6 (out2)	Out5 (out1)	Out6 (out2)
0	0	1	1	1	1
0	1	0	1	0	0
1	0	1	0	0	0
1	1	0	0	0	0

Nous remarquons que ce court-circuit se comporte comme une porte ET dont les deux entrées sont respectivement les nœuds out1 et out2 et dont la sortie remplace les 2 mêmes nœuds comme entrées des inverseurs en aval de Rbr.

Utilisation des modèles

Le remplacement de la résistance par une porte logique constitue le résultat de notre modélisation de pannes. Tel que mentionné précédemment, cette modélisation va permettre la simulation de pannes et permet de fournir la valeur des sorties telles qu'on les retrouvait après un test. Ce remplacement est illustré à la figure 5.17.

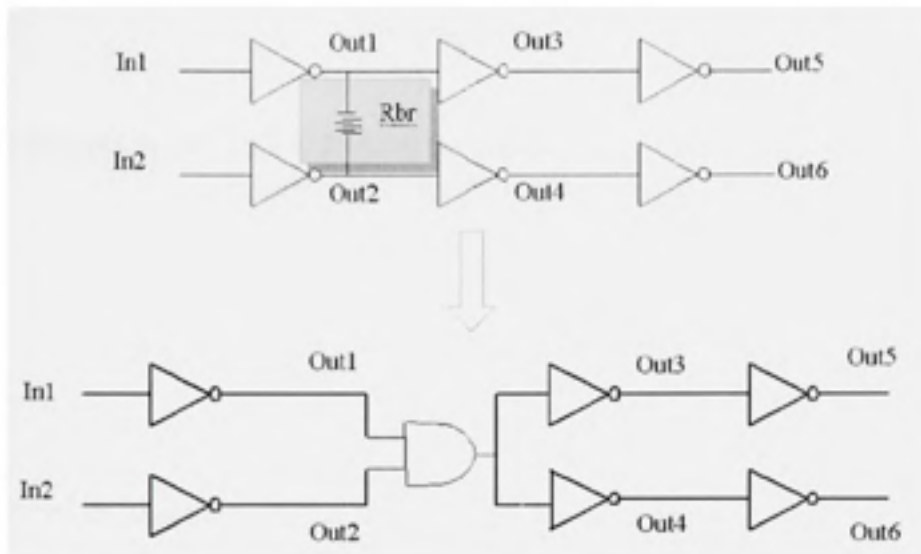


Figure 5.17 *Insertion du modèle dans le circuit.*

Après le remplacement de la défektivité (Rbr) par son modèle de pannes équivalent (dans notre exemple, une porte Et), la simulation logique est effectuée afin d'identifier les sorties erronées du circuit. Le tableau 5.3 donne la table de vérité suite à une simulation de ce type de panne. Nous remarquons que les résultats logiques coïncident parfaitement avec les résultats sur Hspice.

Tableau 5.3

Simulation logique après insertion du modèle de pannes

Décimal	In2	In1	Out5	Out6	out
0	0	0	1	1	1
1	0	1	0	0	0
2	1	0	0	0	0
3	1	1	0	0	0

ANNEXE V

AUTOMATISATION DU PROCESSUS DE SIMULATION DES TYPES DE PANNES DE COURT-CIRCUIT SUR HSPICE

Problème

Trop de tâches :

- 136 types de pannes impliquant 136 fichiers *Hspice* (.spi)
 - à créer,
 - à simuler sur Hspice,
 - à analyser.
 - Et à modéliser

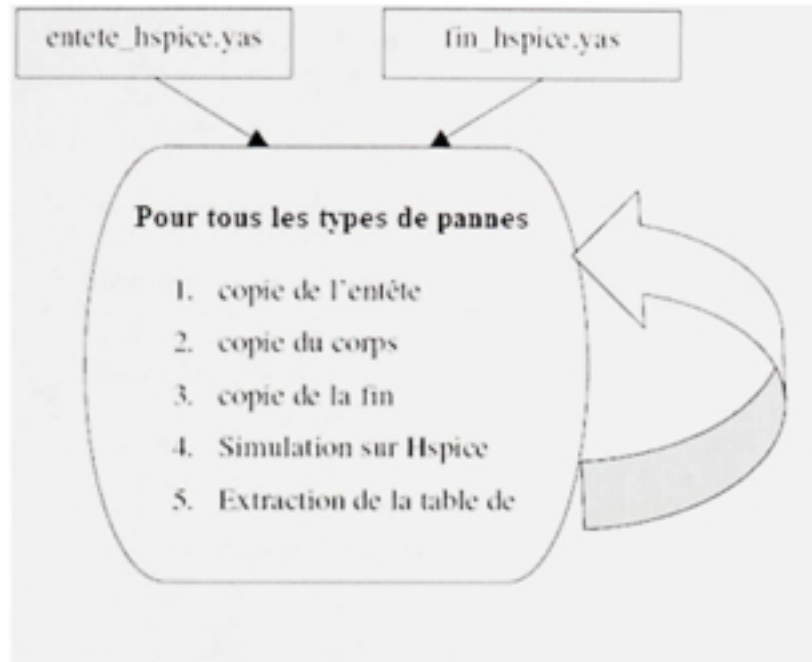
Solution

- Automatisation du processus de simulation des types de pannes.

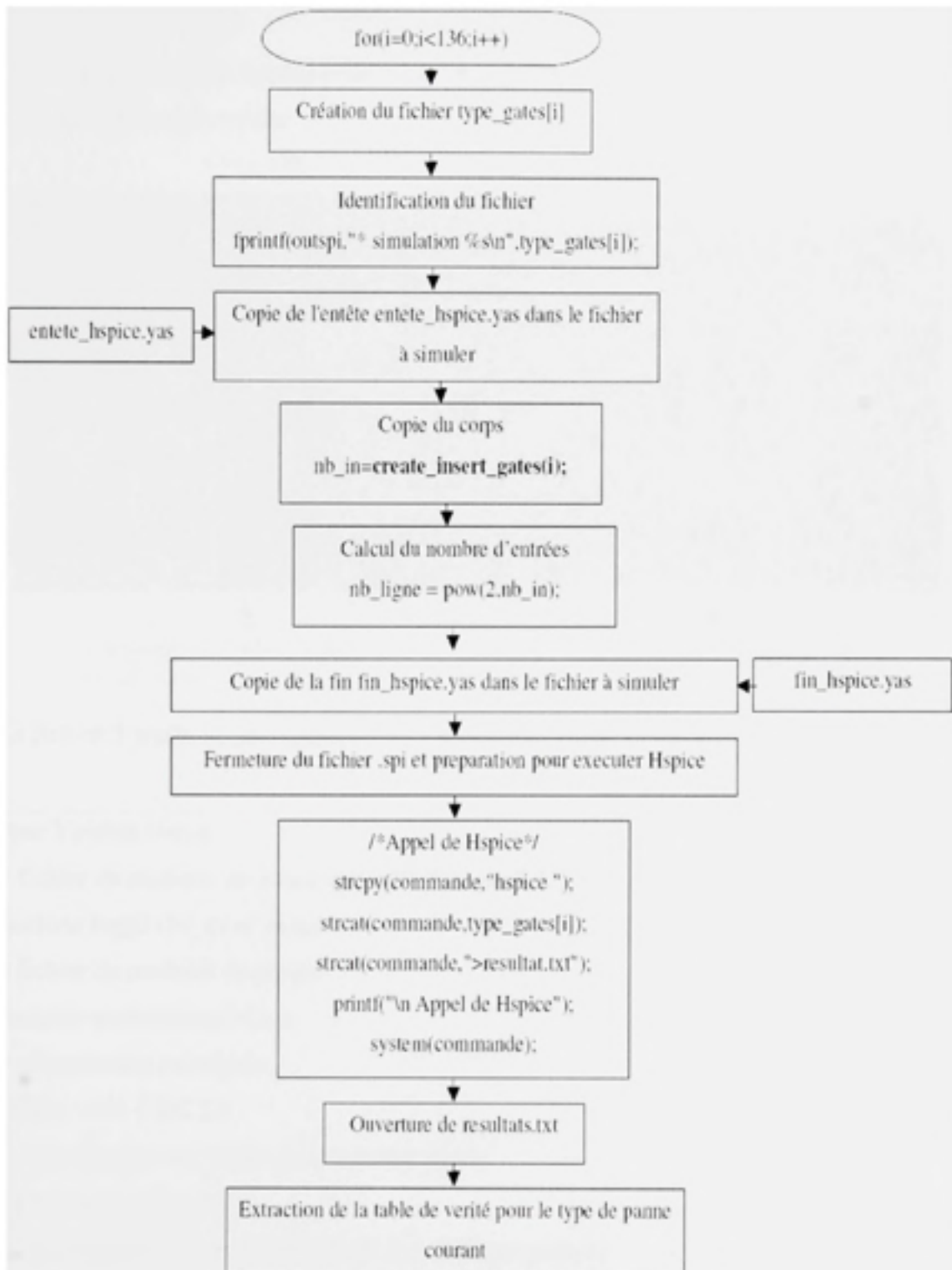
Principe de l'automatisation de la simulation de 136 types de panne sur Hspice

Constatation :

Les fichiers Hspice partagent le même entête et la même fin, ce qui change par contre c'est le corps du fichier qui dépend essentiellement des types de portes causant le court-circuit. Nous proposons donc la procédure de simulation suivante :

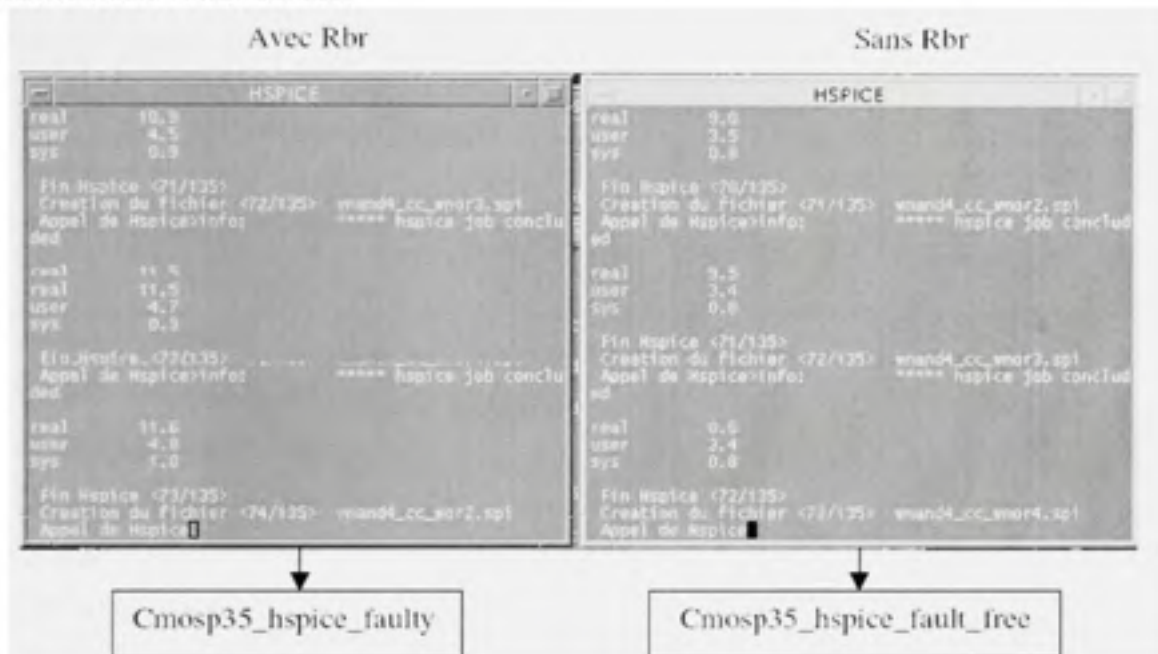


L'organigramme suivant donne en détails la procédure de simulation :



Validation

La même procédure s'applique sur tous les types de pannes, mais cette fois ci sans insérer la résistance de court-circuits.



Le fichier d'entête est le suivant :

```
*par Yassine Hariri
* fichier de modeles de transistors, technologie 0.35µm
.include logp3v5v_mod_ts.spi
* fichier de modeles de portes
.include modelcmosp35.spi
* alimentation principale
VDD1 vdd1 0 DC 3.3
* alimentation secondaire pour courant positif
VDD2 vdd1 vdd2 DC 0
*signaux d'entrees depart fin delai l rise fall high periode
Vin1 in1 0 PULSE(0 3.3 2ns 0.15ns 0.15ns 1.7ns 4ns)
Vin2 in2 0 PULSE(0 3.3 4ns 0.15ns 0.15ns 3.7ns 8ns)
Vin3 in3 0 PULSE(0 3.3 8ns 0.15ns 0.15ns 7.7ns 16ns)
```

```

Vin4 in4 0 PULSE(0 3.3 16ns 0.15ns 0.15ns 15.7ns 32ns)
Vin5 in5 0 PULSE(0 3.3 32ns 0.15ns 0.15ns 31.7ns 64ns)
Vin6 in6 0 PULSE(0 3.3 64ns 0.15ns 0.15ns 63.7ns 128ns)
Vin7 in7 0 PULSE(0 3.3 128ns 0.15ns 0.15ns 127.7ns 256ns)
Vin8 in8 0 PULSE(0 3.3 256ns 0.15ns 0.15ns 255.7ns 512ns)

```

Le fichier de la fin est le suivant :

```

* portes de charges
X3 out1 out3 vdd2 0 inv
X4 out2 out4 vdd2 0 inv
X5 out3 out5 vdd2 0 inv
X6 out4 out6 vdd2 0 inv
.OPTIONS LIMPTS=350
+ABSTOL=1NA
+NOMOD
+POST
*+PROBE signaux a acceder
.TRAN 2n 512n
.print v(out1) v(out2) v(out5) v(out6)
*.alter
*.param br=15000
.END

```


Résultats pour le type de panne court-circuit entre les sorties d'une porte ET à 2 entrées et une porte ET à 4 entrées (avec $R_{br}=10\ \Omega$)

```

Resultats pour wand2_cc_wand4_spi <2/135>
-----
X1 in1 in2          out1 vdd2 0 an32
X2 in3 in4 in5 in6  out2 vdd2 0 an34
-----
-3          time          voltage          voltage          voltage          voltage
-2          time          out1          out2          out5          out6
-1          0.          0.          0.          0.          0.
0  2.000000n          0.          0.          0.          0.
1  4.000000n          112.7269u          110.2197u          4.1432u          4.5923u
2  6.000000n          82.6111u          82.8248u          -5.7424u          -9.7081u
3  8.000000n          210.4090m          209.2295m          -1.7671m          -1.8061m
4  10.00000n          -8.7269u          -8.1549u          4.1795u          4.1990u
5  12.00000n          283.4419u          296.1884u          -13.7984u          -12.6692u
6  14.00000n          81.9488u          82.1467u          -5.7472u          -5.8222u
7  16.00000n          213.0522m          211.8677m          -1.7914m          -1.8319m
8  18.00000n          -32.8403u          -32.3620u          1.5752u          1.6010u
9  20.00000n          283.4378u          296.1842u          -13.7986u          -12.6693u
10 22.00000n          81.9489u          82.1467u          -5.7472u          -5.8221u
11 24.00000n          210.3918m          209.2062m          -1.7671m          -1.8061m
12 26.00000n          -3.4296u          -3.5055u          1.7058u          1.6967u
13 28.00000n          284.2803u          297.0701u          -13.7959u          -12.6650u
14 30.00000n          80.8228u          80.9894u          -5.7670u          -5.8419u
15 32.00000n          216.4810m          215.3028m          -1.8222m          -1.8645m
16 34.00000n          -23.5927u          -23.2288u          9.9084u          9.8763u
17 36.00000n          283.5015u          296.2511u          -13.7972u          -12.6678u
18 38.00000n          85.3299u          85.6278u          -5.6195u          -5.6944u
19 40.00000n          210.3919m          209.2064m          -1.7671m          -1.8061m
20 42.00000n          -42.4571u          -42.2379u          10.5083u          10.4781u
21 44.00000n          283.3462u          296.7333u          -13.7977u          -12.6666u
22 46.00000n          80.7463u          80.9116u          -5.7670u          -5.8417u
23 48.00000n          213.8176m          212.6343m          -1.7990m          -1.8400m
24 50.00000n          -47.8295u          -47.6146u          10.5200u          10.5135u
25 52.00000n          283.9004u          296.6466u          -13.8068u          -12.6779u
26 54.00000n          82.3876u          82.5877u          -5.7584u          -5.8239u
27 56.00000n          210.3533m          209.1675m          -1.7673m          -1.8063m
28 58.00000n          -13.2415u          -13.0084u          4.7246u          4.7190u
29 60.00000n          283.9545u          297.8380u          -13.8237u          -12.6937u
30 62.00000n          85.1334u          85.4257u          -5.6118u          -5.6875u
31 64.00000n          221.1819m          220.0142m          -1.8667m          -1.9109m
32 66.00000n          36.0376u          36.1219u          -1.0317u          590.7098n
33 68.00000n          112.7318u          110.2333u          3.3495u          3.5688u
34 70.00000n          81.5512u          81.7340u          -5.7667u          -9.7462u
35 72.00000n          210.3947m          209.2082m          -1.7671m          -1.8061m
36 74.00000n          -42.4429u          -42.2236u          10.5082u          10.4781u
37 76.00000n          114.7865u          112.3441u          3.3680u          3.5890u
38 78.00000n          85.1643u          85.4533u          -5.6907u          -9.6581u
39 80.00000n          213.8192m          212.6358m          -1.7990m          -1.8400m
40 82.00000n          -44.3915u          -44.2361u          10.5220u          10.5091u
41 84.00000n          114.9046u          112.4599u          3.3637u          3.5835u
42 86.00000n          82.2138u          82.4015u          -5.7521u          -9.7023u
43 88.00000n          210.3542m          209.1688m          -1.7673m          -1.8063m
44 90.00000n          10.8610u          10.9742u          0.          0.
45 92.00000n          114.6804u          112.2109u          3.3327u          3.5514u
46 94.00000n          85.4330u          85.7317u          -5.6132u          -9.6803u
47 96.00000n          218.7072m          217.5354m          -1.8448m          -1.8879m
48 98.00000n          7.5465u          8.1387u          0.          0.
49 100.0000n          117.0976u          114.7005u          3.3883u          3.6086u
50 102.0000n          84.7454u          85.0131u          -5.7257u          -9.6876u
-----
51 104.0000n          210.3582m          209.1724m          -1.7673m          -1.8063m
52 106.0000n          -27.3585u          -27.0551u          9.7810u          9.7905u
53 108.0000n          116.6914u          114.2849u          3.4020u          3.6221u
54 110.0000n          85.4616u          85.7596u          -5.6156u          -9.6816u
55 112.0000n          213.1553m          213.9787m          -1.8123m          -1.8538m
56 114.0000n          -1.4966u          -1.4872u          2.3909u          2.3871u
57 116.0000n          115.3419u          112.8825u          3.5627u          3.5815u
58 118.0000n          81.9130u          82.0156u          -5.7445u          -9.7187u
59 120.0000n          210.2634m          209.0766m          -1.7676m          -1.8067m
60 122.0000n          665.4594m          673.8118m          -2.8624u          -3.1074u
61 124.0000n          678.8106m          687.1457m          -55.6071u          -60.6980u
62 126.0000n          665.7937m          674.1562m          -16.2336u          -17.3982u
63 128.0000n          2.8553          2.8529          3.2905          3.2905
-----

```

Résultats sans Rbr pour le même type de panne

```

Resultats pour wand2_cc_wand4.spi <2/135>
-----
X1 in1 in2          out1 vdd2 0 and2
X2 in3 in4 in5 in6  out2 vdd2 0 and4
-----
-3      time      voltage      voltage      voltage      voltage
-2      out1      out2      out5      out6
-1      0.          0.          0.          0.          0.
0      2.00000n      0.          0.          0.          0.
1      4.00000n      201.3528u      0.          8.6799u      0.
2      6.00000n      141.1269u      0.          -10.7814u      0.
3      8.00000n      3.0365        0.          3.2936        0.
4      10.00000n     -32.1226u     -884.0180n   -13.2590u     -546.5469n
5      12.00000n     583.3403u     733.3647n   -28.5832u      0.
6      14.00000n     141.1111u      0.          -10.7640u      0.
7      16.00000n      3.0365        -41.0859u     3.2936        4.4301u
8      18.00000n     112.5110u     -20.7008u     86.1149u       0.
9      20.00000n     583.3486u     -1.6299u     -28.5513u      0.
10     22.00000n     141.1111u      0.          -10.7640u      0.
11     24.00000n      3.0365        0.          3.2936        0.
12     26.00000n     -32.1226u      1.5014u     -13.2590u     -6.3118u
13     28.00000n     583.3403u      0.          -28.5832u     -830.2133n
14     30.00000n     141.1111u      0.          -10.7640u      0.
15     32.00000n      3.0357        263.9071u     3.2936        -9.5634u
16     34.00000n     109.6597u     13.5734u     74.8080u     -9.7773u
17     36.00000n     583.3489u      0.          -28.5488u     -1.1662u
18     38.00000n     141.1111u      0.          -10.7640u      0.
19     40.00000n      3.0365        0.          3.2936        0.
20     42.00000n     109.7336u     18.0758u     74.8786u       0.
21     44.00000n     583.3489u      1.5391u     -28.5488u     543.3772n
22     46.00000n     141.1111u      0.          -10.7640u      0.
23     48.00000n      3.0365        -95.3867u     3.2936        12.0162u
24     50.00000n     -32.1226u      2.7922u     -13.2580u      1.1253u
25     52.00000n     583.3403u      1.5937u     -28.5832u      0.
26     54.00000n     141.1111u      0.          -10.7640u      0.
27     56.00000n      3.0365        0.          3.2936        0.
28     58.00000n      90.3168u     24.5549u     69.9441u       0.
29     60.00000n     583.3487u      0.          -28.5500u     -587.5573n
30     62.00000n     141.1111u      0.          -10.7640u      0.
31     64.00000n      3.0357        720.4535u     3.2936        -9.7148u
32     66.00000n      88.7011u     13.4967u     49.9281u       0.
33     68.00000n     199.9154u     2.0834u      9.6477u        0.
34     70.00000n     141.1270u      0.          -10.7814u      0.

```

35	72.00000n	3.0365	0.	3.2936	0.
36	74.00000n	109.7336u	9.1520u	74.8786u	1.3407u
37	76.00000n	199.9150u	687.1084n	9.6514u	0.
38	78.00000n	141.1270u	0.	-10.7814u	0.
39	80.00000n	3.0365	-95.0594u	3.2936	12.0109u
40	82.00000n	-32.1226u	2.8112u	-13.2580u	1.1255u
41	84.00000n	199.8973u	1.3270u	9.7042u	0.
42	86.00000n	141.1270u	0.	-10.7814u	0.
43	88.00000n	3.0365	0.	3.2936	0.
44	90.00000n	-32.1226u	8.6712u	-13.2580u	562.9553n
45	92.00000n	199.8973u	0.	9.7042u	0.
46	94.00000n	141.1270u	0.	-10.7814u	0.
47	96.00000n	3.0357	335.3571u	3.2936	1.9951u
48	98.00000n	2.3878u	-7.0695u	1.9960u	0.
49	100.00000n	199.9155u	2.6284u	9.6495u	0.
50	102.00000n	141.1270u	616.1928n	-10.7814u	0.
51	104.00000n	3.0365	0.	3.2936	0.
52	106.00000n	109.7336u	24.2576u	74.8786u	0.
53	108.00000n	199.9150u	776.7150n	9.6514u	0.
54	110.00000n	141.1270u	0.	-10.7814u	0.
55	112.00000n	3.0365	-169.7693u	3.2936	-1.4292u
56	114.00000n	140.7417u	-18.0164u	102.2458u	6.5935u
57	116.00000n	199.9142u	-2.2874u	9.6587u	0.
58	118.00000n	141.1270u	0.	-10.7814u	0.
59	120.00000n	3.0365	0.	3.2936	0.
60	122.00000n	0.	3.2999	0.	3.3000
61	124.00000n	199.8971u	3.3000	9.7030u	3.3000
62	126.00000n	141.1270u	3.3000	-10.7814u	3.3000
63	128.00000n	3.0699	2.6222	3.2936	3.2865

ANNEXE VI

EXEMPLE DE RÉSULTATS DE LA SIMULATION LOGIQUE DES PANNES DE COURT-CIRCUIT

L'exemple que nous proposons est la simulation logique du multiplicateur 4 bits contenant une panne de type court-circuit entre les sorties de deux portes Non_Et à deux entrées. Le fichier test contient 5 vecteurs de simulation. Les résultats obtenus sont résumés dans le tableau 5.5. Les cases marquées par (X) indiquent des résultats erronés à la sortie, celles marquées (-) indiquent que le résultat logique à la sortie est correcte.

Tableau 5.4

Résultats de la simulation logique du multiplicateur contenant une panne de type court-circuit entre les sorties de deux portes Non_Et à deux entrées

		Les sorties du multiplicateur 4 Bits							
		1	2	3	4	5	6	7	8
Les vecteurs de test	1	-	-	-	-	-	-	-	-
	2	-	X	-	-	X	-	X	-
	3	X	-	X	-	-	-	-	X
	4	-	-	-	-	-	-	X	-
	5	X	-	X	-	X	-	-	-

RÉSUMÉ DE LA RÉDUCTION DES SITES DE COURTS-CIRCUITS POUR LES 3 FILTRES FIR (4, 7 ET 15 ÉTAGES)

Le tableau de la page suivante présente un résumé de la réduction des sites de courts-circuits pour les trois filtres FIR, et ce, en se basant sur les trois techniques de réductions présentées dans le chapitre 3. Nous retrouvons sur la première colonne le numéro du type de panne, la colonne T représente le nombre de sites réduit par la technique de réduction basée sur le type de pannes considéré, la colonne R représente le nombre de sites réduit par les techniques de réduction basées sur le type de panne et les capacités parasites, la colonne Final représente le nombre moyen de sites réduit par les techniques de réduction combinées : type de pannes, capacités parasites et les erreurs logiques à la sortie du circuit.

Type	FIR 4			FIR 7			FIR 15		
	T	R - -	Final	T	R - -	Final	T	R - -	Final
0	1596	12	4	4005	7	1,86	44850	14	1
1	114	0	0	90	0	0	0	0	0
2	0	0	0	0	0	0	0	0	0
3	15276	43	12,16	49950	65	12,15	297000	91	8,87
4	1995	11	2,82	1170	4	1	30900	12	1
5	228	0	0	0	0	0	0	0	0
6	5985	33	9,7	10170	39	7,46	114600	127	14,41
7	399	2	1	1260	7	1,43	4200	5	1
8	0	0	0	0	0	0	0	0	0
9	2907	1	1	10260	7	2	68700	16	3,44
10	0	0	0	540	1	1	0	0	0
11	0	0	0	0	0	0	0	0	0
12	171	12	4,17	90	0	0	2400	94	8,97
13	<u>4275</u>	<u>73</u>	<u>21,11</u>	<u>17370</u>	<u>36</u>	<u>7,11</u>	<u>107700</u>	<u>155</u>	<u>16,33</u>
14	1539	8	2,38	5490	15	3,67	36900	16	4
15	<u>11001</u>	<u>89</u>	<u>25,97</u>	<u>32220</u>	<u>110</u>	<u>27,93</u>	<u>228900</u>	<u>266</u>	<u>27,91</u>
16	1	0	0	0	0	0	0	0	0
17	0	0	0	0	0	0	0	0	0
18	536	6	1,67	555	0	0	0	0	0
19	70	0	0	13	0	0	0	0	0
20	8	1	1	0	0	0	0	0	0
21	210	1	1	113	1	1	0	0	0
22	14	0	0	14	0	0	0	0	0
23	0	0	0	0	0	0	0	0	0
24	102	1	1	114	0	0	0	0	0
25	0	0	0	6	0	0	0	0	0
26	0	0	0	0	0	0	0	0	0
27	6	2	1	1	0	0	0	0	0
28	150	5	1,4	193	0	0	0	0	0
29	54	1	1	61	0	0	0	0	0
30	386	6	1,83	358	4	1	0	0	0
31	0	0	0	0	0	0	0	0	0
32	0	0	0	0	0	0	0	0	0
33	0	0	0	0	0	0	0	0	0
34	0	0	0	0	0	0	0	0	0
35	0	0	0	0	0	0	0	0	0
36	0	0	0	0	0	0	0	0	0
37	0	0	0	0	0	0	0	0	0
38	0	0	0	0	0	0	0	0	0
39	0	0	0	0	0	0	0	0	0
40	0	0	0	0	0	0	0	0	0
41	0	0	0	0	0	0	0	0	0
42	0	0	0	0	0	0	0	0	0
43	0	0	0	0	0	0	0	0	0
44	0	0	0	0	0	0	0	0	0
45	<u>35778</u>	<u>132</u>	<u>28,44</u>	<u>153735</u>	<u>264</u>	<u>55,55</u>	<u>489555</u>	<u>226</u>	<u>25,54</u>
46	9380	45	13,2	7215	13	3,15	101970	63	7,17
47	1072	10	2,8	0	0	0	0	0	0

48	<u>28140</u>	<u>78</u>	<u>22.99</u>	<u>62715</u>	<u>136</u>	<u>22.39</u>	<u>378180</u>	<u>163</u>	<u>16.61</u>
49	1876	6	2.17	7770	9	1.67	13860	4	1
50	0	0	0	0	0	0	0	0	0
51	13668	30	9.23	63270	105	27.02	226710	71	7.7
52	0	0	0	3330	6	1	0	0	0
53	0	0	0	0	0	0	0	0	0
54	804	37	10.54	555	1	1	7920	360	34.03
55	<u>20100</u>	<u>270</u>	<u>68.92</u>	<u>107115</u>	<u>307</u>	<u>64.27</u>	<u>355410</u>	<u>513</u>	<u>49.04</u>
56	7236	29	8.76	33855	67	13.27	121770	55	6.11
57	<u>51724</u>	<u>291</u>	<u>75.78</u>	<u>198690</u>	<u>463</u>	<u>92.67</u>	<u>755370</u>	<u>504</u>	<u>48.4</u>
58	595	0	0	78	0	0	5253	0	0
59	140	3	1	0	0	0	0	0	0
60	3675	11	3.36	1469	3	1	39346	15	4.27
61	245	1	1	182	0	0	1442	0	0
62	0	0	0	0	0	0	0	0	0
63	1785	5	1.6	1482	2	1	23587	12	1
64	0	0	0	78	0	0	0	0	0
65	0	0	0	0	0	0	0	0	0
66	105	2	1	13	0	0	824	39	4.9
67	2625	27	8	2509	4	1	36977	32	5.09
68	945	0	0	793	0	0	12669	8	1
69	6755	21	6.76	4654	18	4	78589	42	5.36
70	6	0	0	0	0	0	0	0	0
71	420	1	1	0	0	0	0	0	0
72	28	1	1	0	0	0	0	0	0
73	0	0	0	0	0	0	0	0	0
74	204	1	1	0	0	0	0	0	0
75	0	0	0	0	0	0	0	0	0
76	0	0	0	0	0	0	0	0	0
77	12	1	1	0	0	0	0	0	0
78	300	4	1	0	0	0	0	0	0
79	108	2	1	0	0	0	0	0	0
80	772	4	1	0	0	0	0	0	0
81	5460	26	7.31	6328	18	3.78	72771	83	8.06
82	735	5	1.6	1582	4	1	5348	6	1
83	0	0	0	0	0	0	0	0	0
84	5355	6	2	12882	20	4.95	87478	35	4.57
85	0	0	0	678	1	1	0	0	0
86	0	0	0	0	0	0	0	0	0
87	315	8	2.5	113	1	1	3056	165	17.05
88	<u>7875</u>	<u>157</u>	<u>36.44</u>	<u>21809</u>	<u>125</u>	<u>30.98</u>	<u>137138</u>	<u>311</u>	<u>30.93</u>
89	2835	11	2.91	6893	10	1.7	46986	31	5.06
90	<u>20265</u>	<u>148</u>	<u>33.45</u>	<u>40454</u>	<u>180</u>	<u>41.19</u>	<u>291466</u>	<u>355</u>	<u>34.04</u>
91	21	0	0	91	0	0	91	0	0
92	0	0	0	0	0	0	0	0	0
93	357	1	1	1596	3	1	3206	0	0
94	0	0	0	84	2	1	0	0	0
95	0	0	0	0	0	0	0	0	0
96	21	1	1	14	0	0	112	5	1
97	525	14	4	2702	20	3.95	5026	11	1
98	189	1	1	854	12	2.92	1722	1	1
99	1351	6	1.83	5012	22	4.5	10682	4	1

100	0	0	0	0	0	0	0	0	0
101	0	0	0	0	0	0	0	0	0
102	0	0	0	0	0	0	0	0	0
103	0	0	0	0	0	0	0	0	0
104	0	0	0	0	0	0	0	0	0
105	0	0	0	0	0	0	0	0	0
106	0	0	0	0	0	0	0	0	0
107	0	0	0	0	0	0	0	0	0
108	1275	0	0	6441	0	0	26106	1	1
109	0	0	0	684	1	1	0	0	0
110	0	0	0	0	0	0	0	0	0
111	153	5	1,4	114	0	0	1832	28	4,32
112	3825	21	6,43	22002	17	3,47	82211	38	4,92
113	1377	2	1	6954	8	2	28167	9	1
114	9843	26	7,42	40812	29	5,59	174727	49	6,02
115	0	0	0	15	0	0	0	0	0
116	0	0	0	0	0	0	0	0	0
117	0	0	0	6	0	0	0	0	0
118	0	0	0	1158	5	1	0	0	0
119	0	0	0	366	0	0	0	0	0
120	0	0	0	2148	15	3,6	0	0	0
121	0	0	0	0	0	0	0	0	0
122	0	0	0	0	0	0	0	0	0
123	0	0	0	0	0	0	0	0	0
124	0	0	0	0	0	0	0	0	0
125	0	0	0	0	0	0	0	0	0
126	3	3	1	0	0	0	28	14	1
127	225	45	14,13	193	1	1	2872	259	27,62
128	81	8	2,75	61	0	0	984	54	5,91
<u>129</u>	<u>579</u>	<u>69</u>	<u>20,65</u>	<u>358</u>	<u>2</u>	<u>1</u>	<u>6104</u>	<u>387</u>	<u>35,86</u>
<u>130</u>	<u>2775</u>	<u>158</u>	<u>36,49</u>	<u>18528</u>	<u>145</u>	<u>34,46</u>	<u>64261</u>	<u>343</u>	<u>33,15</u>
131	2025	32	9,09	11773	60	12,12	44157	132	14,77
<u>132</u>	<u>14475</u>	<u>331</u>	<u>86,53</u>	<u>69094</u>	<u>403</u>	<u>81,24</u>	<u>273917</u>	<u>1589</u>	<u>125,03</u>
133	351	1	1	1830	3	1	7503	4	1
134	5211	51	14,78	21838	89	16,3	93849	182	18,42
<u>135</u>	<u>18528</u>	<u>202</u>	<u>48,46</u>	<u>63903</u>	<u>337</u>	<u>69,22</u>	<u>290703</u>	<u>943</u>	<u>80,46</u>
Somme	341551	2657		1152921	3227		5348085	7942	

ANNEXE VIII

ALGORITHME DE GÉNÉRATION DES VECTEURS DE TEST N-DÉTECTE

Cette annexe décrit brièvement l'algorithme permettant de générer des vecteurs de test ciblés pour couvrir les quelques sites de courts-circuits non couverts par les autres types de test. L'avantage d'utiliser cette technique est la connaissance *a priori* des sites de courts-circuits non couverts. Pour ces sites, nous utilisons une méthode de génération des vecteurs appelée, N-détecte, selon la quelle, chaque nœuds impliqué dans un court-circuit sera ciblé par N vecteurs transitions différents. L'algorithme permettant cette génération est supporté par l'outil Fastscan. Cet algorithme utilise comme entrées le Netlist du circuit et la liste des nœuds impliqués dans les courts-circuits. L'algorithme tente de générer N-vecteurs différents pour couvrir chaque nœud. Voici l'algorithme permettant cette génération:

ForEach Fault site Do

```
{ Report the GateId of the target fault and note the number GID.
  Determine the scan cells that can control the state of the FaultSite,
  Using "Report Test stimulus -set FaultSite" and save results.
  ForEach unique Control Cell
  {
    Report a path delay node list between this cell and the FaultSite.
    Save path in a file
  } End_ForEach

  ForEach path in file
  Assign a unique path name
  } End_ForEach
}
End_ForEach
Run Fastscan setup for Transition testing
Load paths from path file.
```

```
Add faults -all
create patterns
save patterns pat_N_detect.ascii
reset state
set fault type StuckAt
Fault grade pat_N_detect.ascii for StuckAt
save patterns set for N-Detect.
```

ANNEXE IX

LARGEUR DES TRANSISTORS PMOS ET NMOS UTILISÉS ET TYPE DE PORTES IMPLIQUÉES DANS CHAQUE CONFLIT,

Le tableau 5.5 donne pour chaque technologie et type de porte la largeur des deux transistors PMOS et NMOS utilisés.

Tableau 5.5

Largeur des transistors en μm

	0.35 μm		90nm	
	P	N	P	N
Inverseur	3.8	2.4	0.88	0.51
Non-ET à deux entrées			0.645	0.565
Non-ET à trois entrées			0.48	0.565
Non-OU à deux entrées			0.885	0.29
Non-OU à trois entrées			0.885	0.20
Non-ET à quatre entrées			0.35	0.52
Non-OU à quatre entrées			0.885	0.22

Le tableau 5.6 donne pour chaque conflit (chemin de court-circuit entre VDD et GND) les portes logiques impliquées, et ce, pour les deux technologies utilisées dans le cadre de cette thèse. Par exemple, le conflit 2sp_n représente un court-circuit entre les deux transistors PMOS séries de la porte 1 (Non-OU à deux entrées) avec le transistor NMOS de la porte 2 (inverseur), tandis que le conflit 2sn_p représente un court-circuit entre les deux transistors NMOS séries de la porte 1 (Non-ET à deux entrées) avec le transistor PMOS de la porte 2 (inverseur), et ce, pour les deux technologies utilisées.

Tableau 5.6

Portes impliquées dans chaque conflit

Conflit		0.35µm		90nm	
Porte 1	Porte 2	Porte 1	Porte 2	Porte 1	Porte 2
n	p	Inverseur	Inverseur	Inverseur	Inverseur
2sp	n	Non-OU à deux entrées	Inverseur	Non-OU à deux entrées	Inverseur
3sp		Non-OU à trois entrées	Inverseur	Non-OU à trois entrées	Inverseur
4sp		Non-OU à quatre entrées	Inverseur	Non-OU à quatre entrées	Inverseur
2pp		Non-ET à quatre entrées	Non-OU à quatre entrées	Non-ET à quatre entrées	Inverseur
3pp		Non-ET à quatre entrées	Non-OU à quatre entrées	Non-ET à quatre entrées	Inverseur
4pp		Non-ET à quatre entrées	Non-OU à quatre entrées	Non-ET à quatre entrées	Inverseur
2sn		p	Non-ET à deux entrées	Inverseur	Non-ET à deux entrées
3sn	Non-ET à trois entrées		Inverseur	Non-ET à trois entrées	Inverseur
4sn	Non-ET à quatre entrées		Inverseur	Non-ET à quatre entrées	Inverseur
2pn	Non-OU à quatre entrées		Non-ET à quatre entrées	Non-OU à quatre entrées	Non-ET à quatre entrées
3pn	Non-OU à quatre entrées		Non-ET à quatre entrées	Non-OU à quatre entrées	Non-ET à quatre entrées
4pn	Non-OU à quatre entrées		Non-ET à quatre entrées	Non-OU à quatre entrées	Non-ET à quatre entrées

LISTE DE RÉFÉRENCES

- [1] IEEE Test Technology Technical Committee. Fall 1996. « A D&T Roundtable: Deep-Submicron Test in cooperation with the Test Technology Technical Committee ». In *IEEE Design and Test of Computers*, vol. 13, no. 3, p. 102-108.
- [2] IEEE Test Technology Technical Committee. 1998. « Sematech Experiment Roundtable ». In *IEEE Design and Test of Computers*, vol. 15, no. 1, Jan- Mar, p.89.
- [3] D.P. Vallett. 1998. « IC Failure Analysis: The Importance of Test and Diagnostics ». In *IEEE Design and Test of Computers*, vol. 13, no.3, July-Sept, p. 76-82.
- [4] D.P. Vallett, 1996. « An overview of CMOS VLSI Failure Analysis and the Importance of Test and Diagnosis ». In *the IEEE International Test Conference*,. Proceedings., 20-25 Octobre. p. 930.
- [5] J. Soden, R. Anderson et C. Henderson. 1996. « IC Failure Analysis Tools and Techniques-Magic, Mystery and science ». In *the IEEE International Test Conference*, Lecture series on IC Diagnosis and Failure Analysis, October 22. p. 335.
- [6] Semiconductor Industry Association. 2005. « International Technology Roadmap for Semiconductors ».
- [7] M.L. Bushnell et V.D. Agrawal. 2000. « Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits ». Kluwer Academic Publishers.
- [8] M.J. Howes et V.D. Morgan. 1981. « Reliability and Degradation – Semiconductor Devices and Circuits ». Wiley-Interscience Publishers.
- [9] DP. Vallet, 1997. « IC Failure Analysis : The importance of Test and Diagnostics ». In *IEEE Design & Test of computers*, p.76-67.
- [10] Phil Nigh et Anne Gattiker. 2000. « Test Method Evaluation Experiments & Data ». In *the IEEE International Test Conference*. Oct., p. 454.
- [11] T. Williams, et. al. 1996. « I_{DDQ} Testing for High-Performance CMOS-The Next 10 Years ». In *European Design & Test Conf.*, March, p. 578-583.
- [12] J. Soden, C. Hawkins et A. Righter. 1996. « Identifying Defects in Deep-Submicron CMOS ICs ». In *IEEE Spectrum*, Vol. 33, No. 9, Sept, p. 66-71.
- [13] Needham, C. Prunty et E. Yeoh. 1998. « High Volume Microprocessor Test Escapes, An Analysis of Defects Our Tests are Missing ». In *the IEEE International Test Conference*, Oct., p. 25-34.

- [14] Semiconductor Industry Association (SIA). 2003. « International Technology Roadmap for Semiconductors (ITRS) ».
- [15] Needham, C. Prunty et E. Yeoh. 1998. « High Volume Microprocessor Test Escapes, An Analysis of Defects Our Tests are Missing ». *In the IEEE International Test Conference*, Oct., p. 25-34.
- [16] C. Tseng, E. McCluskey, X. Shao et D. Wu. 2000. « Cold Delay Defect Screening ». *In VLSI Test Symposium*, April, p. 183-188.
- [17] P. Nigh, W. Needham, K. Butler, P. Maxwell et R. Aitken. 1997. « An Experimental Study Comparing the Relative Effectiveness of Functional, Scan, I_{DDQ} and Delay Fault Testing ». *In IEEE VLSI Test Symp.*, p. 459-464.
- [18] P. Nigh, W. Needham, K. Butler, P. Maxwell, R. Aitken et W. Maly. 1997. « So What is an Optimal Test Mix? A Discussion of the SEMATECH Methods Experiment ». *In the IEEE International Test Conference*, p.1037-1038.
- [19] P. Nigh, D. Vallet, A. Patel, J. Wright, F. Motika, D. Forlenza, R. Kurtulik and W. Chong. 1999. « Failure Analysis of Timing and I_{DDQ}-only Failures from the SEMATECH Test Methods Experiments ». *In the IEEE International Test Conference*, p.1152-1161.
- [20] Y. Hariri. 2002. « Amélioration de la méthode de diagnostic basée sur les signatures probabiliste de ΔI_{DDQ} ». *Mémoire de maîtrise en technologie des systèmes*, Laboratoire de communication et d'intégration en microélectronique, Montréal, 230 p.
- [21] X. Lin, R. Press, J. Rajski, P. Reuter, T. Rinderknecht, B. Swanson, et N. Tamarapalli Mentor Graphics, 2003. « High-Frequency, At-Speed Scan Testing ». *In IEEE Design&Test*. Vol. 20, No 5, Sept.-Oct., p. 17-25.
- [22] A.L. Crouch, J.C. Potter, et J. Doege. 2003. « AC Scan Path Selection for Physical Debugging ». *In IEEE Design&Test*. Vol. 20, No 5, Sept.-Oct., p. 34-40.
- [23] K.J. Lee, J. J. Tang, et T. C. Huang. 1999. « BIFEST: A Built-in Intermediate Fault Effect Sensing and Test Generation System for CMOS Bridging Faults ». *In ACM Trans. On Design Automation of Electronic Systems*, Vol. 4, No. 2, April, p. 194-218.
- [24] W. Moore, G. Gronthoud, K. Baker and M. Lousberg. 2000. « Delay-fault testing and defects in sub-micron ICs – does critical resistance really mean anything? ». *In the IEEE International Test Conference*, p. 95-104.
- [25] C. F. Hawkins, J. M. Soden et A. W. Richter, F. J. Ferguson. 1994. « Defect classes-an overdue paradigm for CMOS IC testing ». *In the IEEE International Test Conference*, p. 413-425.

- [26] G. Greenstein, J. Patel. 1992. « EPROOFS: a CMOS bridging fault simulator ». *In Proceeding of International Conference on Computer Aided Design* . p. 268-271.
- [27] P. Maxwell, R. C. Aiken. 1993. « Biased voting: a method for simulating CMOS bridging faults in the presence of variable gate logic thresholds ». *In the IEEE International Test Conference*, p. 63-72.
- [28] B. R. Benware, R. Madge, C. Lu, et Dr. R. Daasch. 2003« Effectiveness Comparisons of Outlier Screening Methods for Frequency Dependent Defects on Complex ASICs ». *In VLSI Test Symposium*, p. 394.
- [29] B. Benware, Lu, C., Van Slyke, J., Prabhu Krishnamurthy, Madge, R.; Keim, M.; Kassab, M. et Rajski, J. 2004. « Affordable and effective screening of delay defects in ASICs using the inline resistance fault model ». *In the IEEE International Test Conference*, p.1285 – 1294.
- [30] P. Franco *et al.* 1996. «Analysis and detection of timing failures in an experimental test chip ». *In the IEEE International Test Conference*, p. 691–700.
- [31] R. Rajsuman. 2000. « IDDQ Testing for CMOS VLSI ». *In Proc. Of IEEE*, vol. 88, no. 4, April, p. 544-566.
- [32] P. Nigh, D. Forlenza, et F. Motika. 1997. « Application and Analysis of Diagnostic Software ». *In the IEEE International Test Conference*, p. 391-327.
- [33] P. Maxwell, R. Aitken, and L. Huisman. 1994. «The Effect on Quality of Non-Uniform fault Coverage and Fault Probability ». *In the IEEE International Test Conference*, p. 739-746.
- [34] Y. Hariri, C. Thibeault. 2003. « 3DSDM: A 3 Data-Source Diagnostic Method » . *In IEEE Symposium on Defect and Fault Tolerance*, Cambridge, Nov. 2., p. 117 – 123.
- [35] C. Stroud, J. Emmert, J. Bailey et K. Chhor, D. Nikolic. 2000. « Bridging Fault Extraction from Physical Design Data for Manufacturing Test Development ». *In the IEEE International Test Conference*, pp 760-769.
- [36] Z. Stanojevic, D. Walker, 2001. « Fed Ex TM - A Fast Bridging Fault Extractor ». *IEEE In the IEEE International Test Conference*, p. 696-704.
- [37] H. Edamatsu et al, 1998. « Pre-Layout Delay Calculation Specification for CMOS ASIC Libraries ». *In Proceedings. of the ASP-DAC*, Feb., p.241 – 248.
- [38] S. C. Ma, P. Franco et E. J. McCluskey. 1995. « An Experimental Chip to Evaluate Test Techniques Experiment Results ». *In the IEEE International Test Conference*, Oct, p. 663–672.

- [39] I. Pomeranz et S. Reddy, 1998. « Stuck-at Tuple-Detection: A Fault Model Based on Stuck-at Faults for Improved Defect Coverage ». *In Proc. of 16th VLSI Test Symposium*, April, p. 289-294.
- [40] E.J. McCluskey et CW Tseng, 2000. « Stuck-Fault vs. Actual Defects ». *In the IEEE International Test Conference*, p. 336-343.
- [41] Chao-Wen Tseng; Mitra, S.; Davidson, S.; McCluskey, E.J. 2001. « An evaluation of pseudo random testing for detecting real defects ». *In VLSI Test Symposium*, April-May, p. 404 - 409.
- [42] C. Thibeault, 2005. « On the test quality evaluation of current testing techniques ». *In IEEE International Workshop on DBT*, May 1, p.16 – 22.
- [43] M. Abramovici et M. A. Breuer, 1980. « Multiple Fault Diagnosis in Combinational Circuits Based on an Effect-Cause Analysis ». *In IEEE Trans. on Computers*, Vol. 6, Jun, p. 451-460.
- [44] H. Y. Chang, E. Manning, et G. Metz, 1970. « Fault Diagnosis of Digital Systems ». *John Wiley & Sons Inc.* p. 301 – 301.
- [45] P. G. Ryan, W. K. Fuchs, et I. Pomeranz, 1993. « Fault Dictionary Compression and Equivalence Class Computation for Sequential Circuits ». *In International Conference on Computer Aided Design*, Nov, p. 508-511.
- [46] S. D. Millman, E. J. McCluskey, et M. Acken, 1990. « Diagnosing CMOS Bridging Faults with Stuck-at Fault Dictionaries ». *In the IEEE International Test Conference*, Oct. p. 860-870.
- [47] J. Wu and E. M. Rudnick, 2000. « Bridge Fault Diagnosis Using Stuck-At Fault Simulation ». *In IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, Vol. 19, Apr, p. 489-495.
- [48] P. Menon et Y. Leventel M. Abramovici, 1991. « SCRIPT:A Critical Path Tracing Algorithm for Synchronous Sequential Circuits ». *In IEEE Trans. Computer-Aided Design*, Vol. CAD-10, Jun, p. 738-747.
- [49] P. Girard, C. Landrault, S. Pravossoudovitch, et B. Rodriguez, 1995. « Delay Fault Diagnosis in Sequential Circuits Based on Path Tracing ». *In The VLSI Journal*, Vol. 19, p. 199-218.
- [50] S. Venkataraman, I. Hartanto, and W. K. Fuchs, 1996. « Dynamic Diagnosis of Sequential Circuits Based on Stuck-at Faults ». *In the VLSI Test Symposium*, April, p. 198-203.
- [51] P. Nigh, D. Forlenza, et F Motika, 1997. « Application and Analysis of IDDQ Diagnosis Software ». *In the IEEE International Test Conference*, p. 319-327.

- [52] C. Thibeault. 1997. « A Novel Probabilistic Approach for IC Diagnosis Based on Differential Quiescent Current Signatures ». *In the IEEE VLSI Test Symposium*, p. 80-85.
- [53] C. Thibeault. 2000. « Diagnosis Method Based on I_{DDQ} Probabilistic Signatures: Theory and Results ». *In the Journal of Electronic Testing*, Kluwer, vol. 16, no 4, p. 339-353.
- [54] C. Thibeault. 2000. « On the Adaptation of Viterbi Algorithm for Diagnosis of Multiple Bridging Faults ». *In IEEE Trans. On Computers*, vol. 49, no 6, juin, p. 575-587.
- [55] A.E Gattiker et W.Maly. 1996. « Current Signatures ». *In IEEE VLSI Test Symposium*, p 112-117.
- [56] J.G. Proakis. 1983. « Digital Communications ». 3rd edn., McGraw-Hill, New York.
- [57] Y. Hariri, C. Thibeault. 2001. « Reduction des sites du court-circuit pour le diagnostic ». *Poster at the Resmiq symposium*, Montreal.
- [58] Y. Hariri, C. Thibeault. 2002. « Improvement of a Diagnosis Method Based on Current Probabilistic Signatures ». *Poster at MR&DCAN*, June 18, Ottawa.
- [59] Y. Hariri, C. Thibeault. 2007. « Bridging fault diagnostic tool based on ΔI_{DDQ} probabilistic signatures, circuit layout parasitics and logic errors ». *In IET Computers & Digital Techniques*, Special Issue on Silicon Debug and Diagnosis/, Volume 1, Number 6, November, p. 694-705.
- [60] Y. Hariri, C. Thibeault. 2006. « Improving a 3 Data-Source Diagnostic Method ». *In The 4th International IEEE-NEWCAS Conference*, June, Gatineau, Canada, p. 149 – 152.
- [61] M. Renovell, P. Huc, Y. Bertrand. 1994. « MOS Bridging Fault Modeling ». *In The IEEE VLSI Test Symposium*, p. 392-397.
- [62] M. Renovell, P. Huc et Y. Bertrand. 1995. « The Concept of Resistance Interval: A New Parametric Model for Realistic Resistive Bridging Fault ». *In the IEEE VLSI Test Symposium*, p. 184-189.
- [63] J.J.T. Sousa, F.M. Goncalves, J.P. Teixeira. 1991. « C Defects-Based Testability Analysis ». *In the IEEE International Test Conference*, p. 500-509.
- [64] M. Abramovici, M. Breuer, and A. Friedman. 1990. « Digital System Testing and Testable Design ». *In the IEEE Press*, Piscataway, NJ.

- [65] C. Stroud, J. Emmert, J. Bailey, K. Chhor, D. Nikolic. 2000. « Bridging Fault Extraction from Physical Design Data for Manufacturing Test Development ». *In the IEEE International Test Conference*, p. 760-769.
- [66] D. Lavo et al, 1997. « Bridging Fault Diagnosis in the Absence of Physical Information ». *In the IEEE International Test Conference*, p. 887-893.
- [67] C. Hora. 2002. « On Diagnosing Faults in Digital Circuits ». *PhD Thesis*, Technique University Eindhoven.
- [68] B. Chess et al. 1995. « Diagnosis of realistic bridging faults with single stuck-at information ». *IEEE/ACM International Conference on Computer-Aided Design*, p.185 – 192.
- [69] C. Thibeault and L. Boisvert. 1998. « Diagnosis Method Based on delta I_{DDQ} Probabilistic Signatures: Experimental results ». *In the IEEE International Test Conference*, p. 1,1019-1,026.
- [70] W. Wayne, 2002. « Modern VLSI Design: System-on-Chip Design ». *3rd Edition (Paperback)*, p. 28
- [71] H. Edamatsu, Homma, K.; Kakimoto, M.; Koike, Y.; Tabuchi, K. 1998. « Prelayout delay calculation specification for CMOS ASIC libraries ». *In the Proceedings of the ASP-DAC*, p. 241 – 248.
- [72] Kai Wang; Marek-Sadowska, M. 2005. « On-chip power-supply network optimization using multigrid-based technique ». *In the IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Volume 24, Issue 3, March p. 407 – 417.
- [73] James Chien-Mo Li; McCluskey, E.J.; 2005. « Diagnosis of resistive-open and stuck-open defects in digital CMOS ICs ». *In the IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Volume 24, Issue 11, Nov. p.1748 – 1759.
- [74] Xinyue Fan; Moore, W.; Hora, C.; Gronthoud, G. 2005. « Stuck-open fault diagnosis with stuck-at model ». *In the European Test Symposium*, May, p. 182 – 187.
- [75] M. Renovell, P. Huc, Y. Bertrand. 1994. « MOS Bridging Fault Modeling ». *In the IEEE VLSI Test Symposium*, p. 392-397.
- [76] C. Thibeault. 2003. « Replacing I_{DDQ} Testing: With Variance Reduction ». *In the Journal of Electronic Testing: Theory and Applications*, Volume 19, Issue 3, June, p. 325 – 340.
- [77] M. Ketchen, Bhushan, M.; Pearson, D. 2005. « High speed test structures for inline process monitoring and model calibration ». *In the International Conference Proceeding*, 4-7 April, p. 33 – 38.

- [78] M. Bhushan, Ketchen, M.B.; Polonsky, S.; Gattiker, A. 2006. « Ring oscillator based technique for measuring variability statistics ». *In the IEEE International Conference on Microelectronic Test Structures*, 6-9 March, p. 87 – 92.
- [79] M. Bhushan, Gattiker, A.; Ketchen, M.B.; Das, K.K. 2006. « Ring Oscillators for CMOS Process Tuning and Variability control ». *In IEEE Transactions on Semiconductor Manufacturing*, Volume 19, Issue 1, Feb, p. 10 – 18.
- [80] AVIZIENIS, « A. The four-Universe Information System Model For The Study of Fault-Tolerance ». *In the Symposium on Fault Tolerant Computing*, IEEE, Santa Monica (Cal.), 1982, p. 6-13.
- [81] R. Madge, M. Rehani, K. Cota and R. Daasch. 2002. « Statistical Post-Processing at Wafersort – An alternative to Burn-in and a manufacturable solution to test limit setting for sub-micron technologies ». *In the VLSI Test Symposium*, p. 69 – 74.
- [82] E. Isern and J. Figueras. 1995. « I_{DDQ} Test and Diagnosis of CMOS Circuits ». *In the IEEE Design and Test of Computers*, vol. 12, no. 4, Winter, p. 60-67.
- [83] Qiu. Wangqi, D.M.H. Walker, N. Simpson, D. Reddy, A. Moore. 2006. « Comparison of Delay Tests on Silicon ». *In the IEEE International Test Conference*. Oct. 2006, p.1 – 10.
- [84] G. L. Smith. 1985. « Model for Delay Faults Based Upon Paths ». *In the IEEE International Test Conference*. , Philadelphia, PA, Oct., p. 342-349.
- [85] Q. Wangqi; Xiang Lu; Jing Wang; Zhuo Li; Walker, D.M.H.; Weiping Shi. 2004. « A statistical fault coverage metric for realistic path delay faults ». *In the 22nd IEEE Proceedings VLSI Test Symposium*, April, p. 37 – 42.
- [86] Y. Hariri, C. Thibeault. 2006. « On an adaptive high quality test optimization strategy ». *In the Proceedings on Defect Based Testing*, p. 117-125.
- [87] S. Koeppe. 1986. « Modeling and Simulation of Delay Faults in CMOS Logic Circuits ». *In the IEEE International Test Conference*, Washington DC., USA, p. 530-536.
- [88] G. L. Smith. 1985. « Model for delay faults based upon paths ». *In the IEEE International Test Conference*, p. 342-349.
- [89] J.A. Abraham and H. Shih. 1985. « Testing of MOS VLSI Circuits ». *In the IEEE Int. Symp. on Circuits and Systems*, p. 1297-1300.
- [90] N. Ahmed; Tehranipoor, M.; Jayaram, V. 2006. « Timing-based delay test for screening small delay defects ». *In the Design Automation Conference*, July, p. 20 – 325.

- [91] N. Sato, Y. Hashimoto, 2003. « A high precision I_{DDQ} measurement system with improved dynamic load regulation ». *In the IEEE International Test Conference*. Sept. 30-Oct. 2, p. 410 – 414.