

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE
À L'OBTENTION DE LA
MAÎTRISE AVEC MÉMOIRE EN GÉNIE ÉLECTRIQUE
M.Sc.A.

PAR
Jérôme RIVEST

CONCEPTION D'UN CONVERTISSEUR MULTINIVEAU BASÉ SUR UNE
COMMANDE PAR FPGA ET UN LIEN DE COMMUNICATION SÉRIE À FAIBLE
LATENCE

MONTRÉAL, LE 15 JUIN 2016



Jérôme Rivest, 2016



Cette licence Creative Commons signifie qu'il est permis de diffuser, d'imprimer ou de sauvegarder sur un autre support une partie ou la totalité de cette oeuvre à condition de mentionner l'auteur, que ces utilisations soient faites à des fins non commerciales et que le contenu de l'oeuvre n'ait pas été modifié.

PRÉSENTATION DU JURY

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE :

M. Handy Fortin-Blanchette, directeur de mémoire
Département de génie électrique à l'École de technologie supérieure

M. Ghyslain Gagnon, président du jury
Département de génie électrique à l'École de technologie supérieure

M. Jean Bélanger, examinateur externe
Opal-RT Technologies

M. Kamal Al-Haddad, membre du jury
Département de génie électrique à l'École de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 17 MAI 2016

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

Je voudrais tout d'abord remercier mon directeur de maîtrise, Handy Fortin-Blanchette, pour son soutien actif, sa grande générosité et pour les grandes questions débattues et autres discussions que l'on a abordées lors des midis sels.

Je remercie Kamal Al-Haddad, directeur du GREPCI, pour m'avoir donné la chance d'entreprendre ce projet au sein du laboratoire. Répondre aux questions pointues de Kamal, le vendredi soir, est la meilleure validation qu'un concepteur puisse avoir.

Je remercie Jean Bélanger, président et cofondateur de l'entreprise Opal-RT, pour avoir rendu ce projet possible. Je lui suis très reconnaissant de la confiance qu'il m'a accordée pour la réalisation de ce prototype. Également, je remercie l'équipe d'Opal-RT pour le support apporté au projet.

Je remercie mes collègues, Mohammad, Luc-André et l'équipe du GREPCI pour m'avoir accompagné dans cette aventure. Je vous souhaite à tous, le meilleur succès.

Je voudrais remercier ma famille pour le soutien tout au long de cette période.

De plus, je remercie Clara, pour sa relecture impitoyable et pour avoir suivi ce parcours avec moi.

CONCEPTION D'UN CONVERTISSEUR MULTINIVEAU BASÉ SUR UNE COMMANDE PAR FPGA ET UN LIEN DE COMMUNICATION SÉRIE À FAIBLE LATENCE

Jérôme RIVEST

RÉSUMÉ

Les topologies multiniveaux suscitent de plus en plus d'intérêt pour les applications de convertisseurs de haute et moyenne puissance, du fait de leur modularité et leur flexibilité. Ce mouvement est appuyé par la recherche dans les domaines académique et industriel qui adresse les problématiques liées à ces nouvelles technologies. L'obtention de modèles fiables est l'un des objectifs de ces travaux, car cela constitue la base du développement de nouveaux algorithmes de commande.

La réalisation d'une maquette de convertisseur *Modular Multilevel Converter* (MMC) permettant la validation expérimentale de modèles est le sujet de ce mémoire. Ce projet est réalisé en partenariat avec l'entreprise Opal-RT Technologies, qui se spécialise dans la simulation temps réel. Il est donc proposé de réaliser une maquette MMC qui s'interface directement avec un simulateur Opal-RT. Pour y parvenir, un lien de communication série d'une latence de 550 ns a été développé pour transmettre la commande vers des contrôleurs locaux de sous-modules. La conception de ce lien, de même que la réalisation des cartes de sous-modules, sont décrites en détail. Les tests des différentes composantes sont présentés au fur et à mesure de la conception.

Le mémoire se termine avec l'assemblage du prototype complet de 60 sous-modules permettant un fonctionnement en convertisseur CC-CA triphasé de 11 niveaux. Une commande de régulation de la tension des sous-modules basée sur le tri sélectif est réalisée sur FPGA. Les performances de cette commande sont présentées pour un fonctionnement à 4,65 kW.

Mots clés : MMC, communication série, commande par FPGA, convertisseur de puissance

DESIGN OF A MULTILEVEL CONVERTER WITH FPGA BASED CONTROL AND LOW-LATENCY SERIAL COMMUNICATION

Jérôme RIVEST

ABSTRACT

Multilevel topologies attract more interest in the field of medium and high power converters as a result of their scalability and flexibility. This trend is supported by academic and industrial research which tackle the known issues and limitations of this new technology. Defining reliable numerical models is one objective of this work since it is the starting point to develop new control algorithm.

The goal of this master thesis is to design a Modular Multilevel Converter (MMC) test bench to perform experimental validation of numerical models. This project is made within a partnership with Opal-RT which specializes in the field of real-time simulation. The proposal is to build a lab-scale MMC test bench which directly connects to an Opal-RT simulator. To achieve this, a serial communication link with a 550 ns latency is developed to transmit control signals to a local submodule controller. The design process of this link and the development of the submodules is described in details. The components tests are shown progressively during the design process.

This work ends with the assembly of a complete 60 submodules prototype to operate as a 11 levels DC-AC three phase converter. A submodule voltage balancing algorithm based on sorting is implemented on FPGA. The experimental results of this control are given for a 4.65 kW operating point.

Keywords: MMC, serial communication, FPGA based control, power electronics

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 MISE EN CONTEXTE	5
1.1 Convertisseur MMC	5
1.1.1 Description de la topologie	5
1.1.2 Algorithme de contrôle	7
1.2 Simulation de type <i>Power Hardware-in-the-Loop</i>	9
1.3 Amplificateurs pour la simulation PHIL	10
1.4 Modulation multiniveau	11
1.5 Exemples de maquettes MMC	13
1.6 Récapitulatif	14
CHAPITRE 2 ANALYSE DU SYSTÈME À CONCEVOIR	15
2.1 Spécification de base de la maquette MMC	15
2.2 Analyse de l'utilisation en tant qu'amplificateur classe D multiniveau	16
2.2.1 Analyse des harmoniques de commutation	17
2.2.2 Analyse de l'impact du délai de la commande sur la réponse en fréquence	19
2.2.3 Bilan des analyses	21
2.3 Présentation du système	21
2.4 Architecture de commande	22
2.4.1 Microprocesseur	23
2.4.2 FPGA	23
2.4.3 Comparaison des DSP avec les FPGA	24
2.4.4 Interface de commande avec le simulateur temps réel	25
2.5 Réseaux de communication	26
2.5.1 Topologies de réseaux	27
2.5.2 Technologies de réseaux multipoints	29
2.5.3 Discussion des besoins matériels et performances	30
2.5.4 Création d'un module local de contrôle	30
2.6 Ébauche mécanique du convertisseur	32
2.7 Choix du contrôleur pour le module déporté	32
2.8 Récapitulatif	35
CHAPITRE 3 CONCEPTION DU LIEN DE COMMUNICATION VERS LE MODULE DE CONTRÔLE LOCAL	37
3.1 Transmission série	37
3.2 Sélection de l'interface physique de transmission	39
3.2.1 Types de signaux	40
3.2.2 Médiums physiques et transmetteurs	41

3.2.3	Sélection et discussion des choix	43
3.2.4	Validation expérimentale	44
3.3	Protocoles disponibles pour la transmission série point à point	47
3.4	Protocole de communication de l'OP4510 vers la carte de contrôle local	49
3.4.1	Conception du DES avec module CDR sur le MachXO2	51
3.4.2	Discussion sur les contraintes de <i>timing</i>	56
3.4.3	Conception du SER final sur la carte prototype et sur OP4510	57
3.4.4	Résultats expérimentaux du module CDR réalisé sur le MachXO2	58
3.5	Protocole de communication de la carte de contrôle local vers l'OP4510	59
3.5.1	Conception du SER sur le MachXO2	61
3.5.2	Conception du DES par <i>oversampling</i> sur le OP4510	62
3.6	Récapitulatif	63
CHAPITRE 4 CONCEPTION DE LA CARTE DE SOUS-MODULE		65
4.1	Placement préliminaire et blocs fonctionnels	65
4.2	Conception de la banque de condensateurs	66
4.2.1	Choix de la technologie de condensateur	67
4.2.2	Sélection d'un modèle de condensateur et évaluation de la durée de vie	69
4.2.3	Disposition mécanique des condensateurs	71
4.3	Conception du pont de transistors	72
4.3.1	Sélection des transistors	73
4.3.2	Conception du radiateur	75
4.3.3	Circuit d'attaque de grille	79
4.3.4	Optimisation de l'oscillation de commutation	83
4.4	Conception du convertisseur d'alimentation isolée	87
4.4.1	Choix de la topologie	88
4.4.2	Conception du transformateur planaire	91
4.4.3	Performances obtenues	94
4.5	Circuits de mesure	96
4.6	Récapitulatif	97
CHAPITRE 5 INTÉGRATION DU SYSTÈME		99
5.1	Conception du boîtier métallique	99
5.1.1	Analyse thermique par CFD à l'aide de SOLIDWORKS	101
5.2	Compatibilité électromagnétique (EMI)	104
5.2.1	EMI conduit en mode commun	104
5.2.2	EMI conduit en mode différentiel	105
5.2.3	Conception de la carte de filtre de sortie	106
5.3	Isolation et sécurité	110
5.4	Carte de contrôle local	113
5.5	Commande locale et protections	114
5.5.1	Contrôle des sous-modules	114
5.5.2	Protection locale	116

5.6	Récapitulatif	118
CHAPITRE 6 APPLICATION EXPÉRIMENTALE DU PROTOTYPE		119
6.1	Validation expérimentale du fonctionnement en mode MMC	119
6.1.1	Réalisation du contrôleur sur FPGA dans le OP4510	120
6.1.2	Topologies de test utilisées	122
6.1.3	Résultats expérimentaux en mode triphasé	124
6.2	Évaluation du fonctionnement en mode amplificateur	128
6.3	Discussion	130
CONCLUSION		133
RECOMMANDATIONS		135
LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES		136

LISTE DES TABLEAUX

	Page
Tableau 1.1	Spécifications de maquettes de MMC existantes 14
Tableau 2.1	Spécification de base du convertisseur à concevoir 16
Tableau 2.2	Comparaison entre les DSP et les FPGA..... 24
Tableau 2.3	Comparaison des signaux disponibles sur le OP4510 avec les signaux requis pour le prototype..... 26
Tableau 2.4	Comparaison de différentes familles de FPGA retenues 34
Tableau 3.1	Résultats des tests du lien de communication série CDR 59
Tableau 4.1	Comparaison des technologies de condensateurs 69
Tableau 4.2	Puissance maximale du <i>flyback</i> en fonction de N_P et A_L 93
Tableau 4.3	Puissance mesurée à l'entrée du convertisseur <i>flyback</i> 95
Tableau 4.4	Estimation des pertes dans le convertisseur <i>flyback</i> 95
Tableau 5.1	Liste de standards de sécurité électrique 110
Tableau 5.2	Classe d'équipement et type d'isolation associée..... 111

LISTE DES FIGURES

	Page
Figure 0.1 Convertisseur MMC industriel du fabricant Siemens © www.siemens.com/press	2
Figure 1.1 Topologie MMC de base en mode CC-CA	6
Figure 1.2 Régulation de la tension des condensateurs : a) Par tri centralisé b) Par boucle locale	8
Figure 1.3 Simulation temps réel : a) HIL b) PHIL	10
Figure 1.4 Types d'amplificateurs : a) Linéaire b) Classe D de 2 niveaux c) Classe D multiniveau	12
Figure 1.5 Types de modulations : a) IPD-PWM b) PS-PWM c) <i>Nearest-Level</i>	13
Figure 2.1 Schéma du test effectué : a) PWM de 1 porteuse à 100 kHz b) PS- PWM de 10 porteuses à 10 kHz.....	17
Figure 2.2 Harmoniques de commutation : a) PWM de 1 porteuse à 100 kHz b) PS-PWM de 10 porteuses à 10 kHz.....	18
Figure 2.3 Harmoniques de commutation PS-PWM de 10 porteuses à 100 kHz	19
Figure 2.4 Analyse du délai : a) Définition de la marge de phase b) Fréquence où $\phi = -135^\circ$ en fonction du délai	20
Figure 2.5 Schéma bloc fonctionnel de base d'un convertisseur MMC	22
Figure 2.6 Topologies de réseau : a) Point à point b) Bus c) Étoile d) Anneau	28
Figure 2.7 Interface de commande : a) Réseau multipoint b) Module de contrôle local	31
Figure 2.8 Assemblage mécanique préliminaire : a) Disposition des cartes dans le boîtier b) Façade des boîtiers dans une armoire.....	33
Figure 3.1 Communication numérique : a) Parallèle b) Série.....	38
Figure 3.2 Registres à décalage utilisés pour la transmission série : a) SER b) DES.....	39

Figure 3.3	Types de signaux : a) Asymétrique (<i>single-ended</i>) b) Différentiel c) Optique	41
Figure 3.4	Médiums physiques et transmetteurs : a) Coaxial b) RJ45 c) Fibre optique plastique d) Fibre optique SFP	43
Figure 3.5	Interfaces séries sélectionnées pour le projet : a) Fibres optiques VersaLink b) Câble RJ45 et signaux LVDS	44
Figure 3.6	Diagramme de l'œil théorique	45
Figure 3.7	Carte de prototypage développée	45
Figure 3.8	Diagrammes de l'œil expérimentaux : a) Lien LVDS 400 Mbit/s b) Lien optique 50 Mbit/s	46
Figure 3.9	Trame typique : a) UART b) USART	48
Figure 3.10	Contraintes sur le débit selon la direction du canal de communication.....	49
Figure 3.11	États possibles d'un module <i>full-bridge</i>	49
Figure 3.12	Trame proposée : a) Proposition initiale b) Proposition finale.....	51
Figure 3.13	Lien <i>source synchronous</i> : a) Diagramme bloc b) Chronogramme.....	52
Figure 3.14	Lien basé sur l' <i>oversampling</i> : a) Diagramme bloc b) Chronogramme	52
Figure 3.15	Lien CDR : a) Diagramme bloc b) Chronogramme	53
Figure 3.16	Schéma simplifié d'un circuit de PLL	54
Figure 3.17	Circuit de CDR avec détecteur externe au PLL : a) Détecteur de phase Alexander b) Circuit de CDR proposé	56
Figure 3.18	Alignement des données par les caractères K	60
Figure 3.19	Trame de données proposée pour la transmission des mesures.....	61
Figure 3.20	Schéma bloc du lien de transmission du contrôleur local vers le OP4510.....	63
Figure 4.1	Schéma de disposition préliminaire des sous-systèmes de la carte de sous-module	66

Figure 4.2	Condensateurs : a) Film 30 $\mu\text{F}/500\text{ V}$ b) Électrolytique 3 900 $\mu\text{F}/160\text{ V}$	68
Figure 4.3	Disposition des condensateurs : a) Dans le boîtier (périphérie) b) Sur la carte (deux faces)	72
Figure 4.4	Pont de puissance du sous-module : a) Topologie proposée b) Topologie alternative	73
Figure 4.5	Boîtier de transistors : a) D ² PAK b) TO-220	75
Figure 4.6	Vias thermiques : a) Matrice de vias b) Vue en coupe d'un via	76
Figure 4.7	Éléments du circuit thermique : a) Vue du dessus du radiateur <i>Half-Brick</i> b) Vue en coupe des éléments du circuit thermique	77
Figure 4.8	Circuit thermique équivalent du pont de transistors de puissance	78
Figure 4.9	Résultats expérimentaux : a) Résistances thermiques en fonction des pertes totales b) Températures en fonction des pertes totales	79
Figure 4.10	Circuits d'attaque isolés : a) Avec transformateur d'impulsion b) Avec source isolée	80
Figure 4.11	Recouvrement de la diode interne : a) État initial b) Ouverture du Q2 c) Fermeture de Q1 et recouvrement inverse de Q2 d) Oscillation entre l'inductance de fuite du bus et la capacité de sortie de Q2	81
Figure 4.12	Circuit d'attaque de type <i>slow turn-on/fast turn-off</i>	82
Figure 4.13	Simulation de la commutation du pont : a) Énergie de commutation en fonction de R_G b) Variation de courant en fonction de R_G	83
Figure 4.14	Pont de puissance réalisé : a) Disposition des semi-conducteurs b) Superposition des couches du bus CC	84
Figure 4.15	Pont sans modification : a) Oscillations de commutation b) Circuit équivalent	85
Figure 4.16	Ajout de C_{SNUB} : a) Oscillations de commutation b) Circuit équivalent	86
Figure 4.17	Ajout de R_{SNUB} : a) Oscillations de commutation pour différentes valeurs de R_{SNUB} b) Circuit équivalent	86

Figure 4.18	Ajout de C_{BUS2} : a) Oscillations de commutation b) Circuit équivalent	87
Figure 4.19	Convertisseurs CC isolés : a) <i>Flyback</i> b) <i>Forward</i>	89
Figure 4.20	Formes d'onde du courant dans un convertisseur <i>flyback</i> en DCM	90
Figure 4.21	Schéma simplifié du convertisseur <i>flyback</i> conçu	91
Figure 4.22	Enroulements planaires : a) Primaire et sortie 5 V b) Secondaire typique.....	94
Figure 4.23	Circuits de mesure : a) Tension de la cellule b) Courant de bras	97
Figure 4.24	Résultat de la conception : a) Carte de sous-module b) Schéma bloc de la carte.....	98
Figure 5.1	Modèle 3-D du boîtier : a) Boîtier en métal plié b) Disposition des cartes	100
Figure 5.2	Vitesse du flot d'air obtenu par simulation	102
Figure 5.3	Température des surfaces obtenue par simulation pour les pertes estimées par calcul	103
Figure 5.4	Inspection à la caméra thermique : a) Vue externe du boîtier b) Vue interne des radiateurs	103
Figure 5.5	Circulation du bruit en mode commun : a) Sans filtre b) Avec l'ajout du filtre	105
Figure 5.6	Bruit en mode différentiel : a) Ajout de ferrite sur les interconnexions b) Circuit résonant avec la capacité parasite de l'inductance de bras.....	106
Figure 5.7	Circuit résonant différentiel : a) Schéma du circuit avec et sans filtre b) Ajustement de la résistance d'atténuation	107
Figure 5.8	Filtre de sortie : a) Carte du filtre b) Schéma du filtre.....	107
Figure 5.9	Montage de test pour les mesures de courant EMI	108
Figure 5.10	Courant EMI en mode commun : a) Sans filtre b) Avec l'ajout du filtre.....	108

Figure 5.11	Courant EMI en mode différentiel : a) Sans filtre b) Avec l'ajout du filtre	109
Figure 5.12	Forme d'onde de sortie : a) Sans filtre b) Avec l'ajout du filtre	109
Figure 5.13	Diagramme illustrant les catégories d'appareils basse tension	111
Figure 5.14	Schéma de principe de l'isolation du boîtier	112
Figure 5.15	Carte de contrôleur local : a) Carte conçue b) Schéma fonctionnel	114
Figure 5.16	Schéma bloc du contrôle des sous-modules dans le MachXO2	115
Figure 5.17	Séquence d'activation des sous-modules	116
Figure 5.18	Protections locales : a) Détection de surintensité b) Détection de surtension	117
Figure 6.1	Réseau de tri : a) Cellule de comparateur b) Réseau de tri	120
Figure 6.2	Logique de tri des sous-modules : a) Logique de décision b) Code utilisé pour le tri	121
Figure 6.3	Schéma bloc du contrôleur de MMC	122
Figure 6.4	Montage de test monophasé 5 niveaux.....	123
Figure 6.5	Montage de test triphasé 10 niveaux	123
Figure 6.6	Montage expérimental (sans la source CC).....	124
Figure 6.7	Tensions des sous-modules des bras supérieurs : a) Obtenus par simulation b) Mesurés expérimentalement par les ADC de la maquette.....	125
Figure 6.8	Courant des bras de la phase A : a) Mesuré par les ADC b) Mesuré par un oscilloscope	126
Figure 6.9	Tensions ligne à ligne mesurées à la charge (phases A, B et C)	127
Figure 6.10	Courant de ligne de la phase A : a) Signal mesuré à l'oscilloscope b) FFT du signal de courant	127
Figure 6.11	Boucle de rétroaction : a) Évaluation du délai b) Boucle de rétroaction de l'amplificateur.....	129
Figure 6.12	Diagramme de Bode du système en boucle ouverte.....	130

Figure 6.13	Diagramme de Bode du système en boucle fermée	131
-------------	---	-----

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

AAC	Alternate Arm Converter
ADC	Analog-to-Digital Converter
BGA	Ball Grid Array
BJT	Bipolar Junction Transistor
CA	Courant alternatif
CCM	Continuous Conduction Mode
CC	Courant continu
CDR	Clock and Data Recovery
CFD	Computational Fluid Dynamics
CHB	Cascaded H-Bridge
CPLD	Complex Programmable Logic Device
DCM	Discontinuous Conduction Mode
DEL	Diode électroluminescente
DES	Deserializer
DSP	Digital Signal Processor
EMI	Electromagnetic Interference
ESR	Equivalent Serie Resistance
FFT	Fast Fourier Transform
FPGA	Field-Programmable Gate Array
HDL	Hardware Description Language
HIL	Hardware-in-the-Loop
HVDC	High Voltage Direct Current
IEC	International Electrotechnical Commission

ISO	International Organization for Standardization
IGBT	Insulated Gate Bipolar Transistor
IPD-PWM	In-Phase Disposition Pulse Width Modulation
LVDS	Low-Voltage Differential Signaling
MGT	Multi-Gigabit Transceiver
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MMC	Modular Multilevel Converter
OSI	Open Systems Interconnection
PHIL	Power Hardware-in-the-Loop
PLL	Phase-Locked Loop
PS-PWM	Phase-Shifted Pulse Width Modulation
PWM	Pulse Width Modulation
RMS	Root Mean Square
SER	Serializer
SFP	Small form-factor pluggable
SM	Sous-module
RX	Receiver
TX	Transmitter
UART	Universal Asynchronous Receiver/Transmitter
USART	Universal Synchronous/Asynchronous Receiver/Transmitter
UUT	Unit Under Test

LISTE DES SYMBOLES ET UNITÉS DE MESURE

C	capacité
F	farad
mF	millifarad
μ F	microfarad
nF	nanofarad
pF	picofarad
Q	charge
nC	nanocoulomb
I	courant
A	ampère
mA	milliampère
R_b	débit binaire
Mbit/s	mégabit par seconde
Gbit/s	gigabit par seconde
B	densité de champs magnétique
mT	millitesla
dB	décibel
E	énergie
μ J	microjoule
f	fréquence
f_s	fréquence de commutation
Hz	hertz
kHz	kilohertz
MHz	mégahertz
L	inductance
H	henry
mH	millihenry

μH	microhenry
nH	nanohenry
L	longueur
R	rayon
m	mètre
mm	millimètre
po	pouce
mil	millième de pouce
P	puissance
VA	voltampère
W	watt
mW	milliwatt
D	rapport cyclique
R	résistance
Ω	ohm
m Ω	milliohm
T	température
k	coefficient thermique
°C	degré Celsius
t	temps
T	période
T _D	délai
h	heure
s	seconde
ms	milliseconde
μs	microseconde
ns	nanoseconde
V	tension
V	volt
mV	millivolt

INTRODUCTION

L'évolution, autant dans la biologie que dans la technologie, tend à faire naître des systèmes de plus en plus complexes. En technologie, la motivation de départ à une innovation est souvent la résolution ou la simplification d'un problème. Cette diminution de la complexité externe entraîne généralement une augmentation de la complexité interne d'un système. En électricité de puissance, cette tendance s'observe dans le développement de la voiture électrique, des réseaux *smart-grid* et *microgrid* ou des concepts comme le *more-electric aircraft*. La plupart de ces innovations sont appuyées sur le développement des technologies de convertisseurs de puissance qui permettent une gestion plus efficace et plus flexible de l'énergie électrique. Ces derniers, n'échappant pas à la tendance, comptent de plus en plus de composantes et appliquent des algorithmes qui demandent une capacité de calcul accrue.

La technologie des convertisseurs multiniveaux en est un exemple concret. Le fonctionnement de ces convertisseurs repose sur une combinaison des dernières technologies de semi-conducteurs, de réseaux de communication et de calcul en temps réel. La conception de ces convertisseurs demande la création de modèles qui, eux-mêmes, reposent sur des outils de calcul performants. C'est un des domaines dans lesquels l'entreprise Opal-RT Technologies développe des solutions. Fondée en 1997, cette entreprise conçoit des simulateurs temps réel permettant d'accélérer le prototypage de la commande dans une variété de secteurs d'activité. Elle s'intéresse, entre autres, aux problématiques liées à la modélisation des *Modular Multilevel Converters* (MMC).

Les MMC forment une nouvelle famille de convertisseurs offrant beaucoup de flexibilité pour la transformation de l'énergie électrique. À l'heure actuelle, ces convertisseurs sont utilisés pour la conception de liens à courant continu (CC) permettant d'interconnecter des réseaux asynchrones ou encore d'acheminer l'électricité par des lignes sous-marines. Ces applications de haute puissance impliquent que les convertisseurs MMC industriels installés soient dimensionnés dans les centaines de mégawatts et pour des centaines de kilovolts. Ils prennent la forme d'infrastructures majeures qui occupent toute la superficie de grands bâtiments adaptés à cette fonction, tel que montré à la figure 0.1 qui est une illustration du convertisseur bâti

par la compagnie Siemens entre la France et l'Espagne. Ce convertisseur, d'une puissance de 2 000 MW, est opéré à une tension de ± 320 kV. Un autre exemple d'application se trouve dans le secteur de l'énergie éolienne où la flexibilité de la technologie MMC permet de faciliter le déploiement des liens CC avec des parcs *offshore*. Cela permet de réduire les pertes propres aux câbles sous-marins à courant alternatif (CA) et ainsi augmenter l'efficacité de l'installation.



Figure 0.1 Convertisseur MMC industriel du fabricant Siemens
© www.siemens.com/press

C'est dans ce contexte d'expansion de la technologie MMC que ce projet de maîtrise est né, grâce à un partenariat de recherche entre l'entreprise Opal-RT Technologies et l'École de technologie supérieure. Ce partenariat a pour objectif global l'étude de la modélisation et de la commande des MMC. Un de ces volets comprend la validation expérimentale des résultats obtenus. Cela implique donc la conception d'une maquette basse puissance de convertisseur MMC, qui est le sujet principal de ce mémoire. Détectant un marché potentiel pour ce type de

produit, Opal-RT souhaite mettre à profit cette conception afin de réaliser une étude de faisabilité pour une maquette commerciale destinée aux laboratoires de recherche. Cela impose un niveau de rigueur supplémentaire par rapport à la conception d'un montage expérimental temporaire car les aspects pratiques du montage doivent être considérés. De plus, une contrainte additionnelle est ajoutée, soit celle de rendre le convertisseur apte à opérer comme amplificateur de puissance bidirectionnel pour des simulations de type *Power Hardware-in-the-Loop* (PHIL).

La conception d'une telle maquette vise plusieurs buts de recherche et permettra d'appuyer le travail d'étudiants au doctorat sur le sujet. Un premier volet est d'étudier et améliorer la commande du MMC pour les applications actuelles de transmission d'énergie. Le second volet est de développer de nouvelles applications à basse et moyenne puissance. Il est possible de citer, entre autres, les convertisseurs CC à CC, les filtres actifs, les compensateurs statiques, les amplificateurs de puissance et les entraînements de moteur. Ces topologies prometteuses pourraient éventuellement déboucher sur des avancements dans les domaines de la transmission de l'énergie, de la gestion des sources d'énergies alternatives et de la validation des systèmes de tractions, notamment pour les voitures électriques et les trains.

La création d'une telle maquette est un défi en soi si l'on considère qu'un convertisseur deux niveaux triphasés requiert le contrôle de seulement 6 interrupteurs alors qu'un MMC 10 niveaux en comptera 120. À cela s'ajoutent les signaux de mesures qui doivent être échangés entre les différentes composantes du convertisseur et son contrôleur. La conception d'un tel système demande une maîtrise de la commande et de la communication numérique. Pour y arriver, plusieurs prototypes ont dû être produits afin de valider les concepts retenus. Cela implique un travail de validation expérimentale minutieux afin de caractériser les différentes solutions possibles. De plus, une attention doit être portée aux questions pratiques liées au coût et à la réalisation mécanique de la maquette. Des compromis ont dû être faits afin de s'assurer que la maquette respecte le budget établi pour le projet.

Ce mémoire présente la démarche de conception qui a été suivie pour atteindre les objectifs. Le chapitre 1 présente le contexte dans lequel ce projet est réalisé et les développements de la recherche dans ce domaine. Cette présentation est suivie, dans le chapitre 2, par une définition plus formelle des besoins de conception et de la spécification du système. Afin de pouvoir commander le grand nombre d'interrupteurs du prototype avec une latence minimale, un protocole de communication série adapté a été conçu sur FPGA. Cette démarche est documentée dans le chapitre 3. Le chapitre 4 fait la description des sous-modules de puissance conçus pour le prototype. Cela amène au chapitre 5 qui présente l'intégration du système dans un boîtier comportant 10 sous-modules et un contrôleur local. Finalement, le chapitre 6 présente les performances du prototype conçu et sera suivi de la conclusion générale du mémoire.

CHAPITRE 1

MISE EN CONTEXTE

Afin de déterminer l'ampleur du projet, une recherche documentaire a été effectuée pour définir les éléments à concevoir et les problématiques connues du convertisseur MMC. Les méthodes de commande proposées par différents auteurs seront présentées ainsi que quelques variantes de la topologie. Cette recherche a été étendue au domaine de la simulation PHIL afin de mieux comprendre l'impact potentiel de cet objectif secondaire sur le prototype. Cela inclut une brève revue de la technologie des amplificateurs classe D et de leur modulation. Enfin, quelques exemples de maquettes existantes utilisées en recherche seront présentés.

1.1 Convertisseur MMC

1.1.1 Description de la topologie

La topologie de convertisseur multiniveau MMC a d'abord été proposée par Lesnicar et Marquardt (2003). Elle est dérivée de la topologie *Cascaded H-Bridge* (CHB), où des sources CC isolées sont connectées à des ponts en H pour créer les niveaux. La nécessité de fournir ces sources isolées limite le champ d'application de la topologie CHB (Franquelo *et al.*, 2008). Dans le cas du MMC, les condensateurs sont flottants, ce qui résout ce problème. Par contre, un algorithme de balancement de la tension de ces condensateurs doit être prévu dans le contrôle. La topologie de base du MMC, qui permet une conversion d'un lien CC à un réseau CA, est présentée à la figure 1.1.

Dans un MMC, chaque tension de phase est fournie par la combinaison de deux bras. Chacun est composé d'une série de sous-modules et d'une inductance. Le bras qui est connecté à la polarité positive du bus CC sera appelé bras supérieur et l'inverse bras inférieur. Le sous-module (SM), dans la version de base, est composé d'un demi-pont (*half-bridge*) de transistors connecté à un condensateur flottant. Une variante de la topologie utilisant un pont en H (*full-bridge*) permet un fonctionnement comme convertisseur CA-CA (Glinka et Marquardt, 2005).

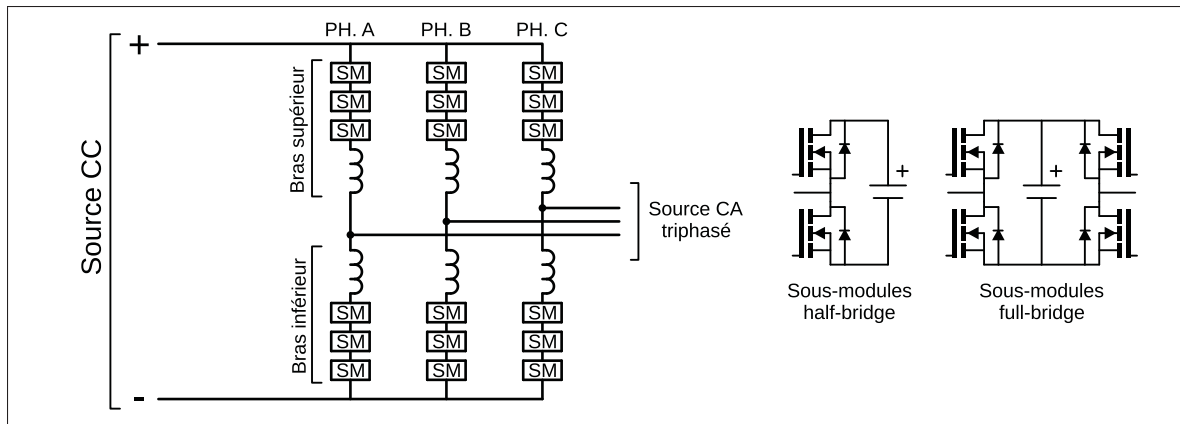


Figure 1.1 Topologie MMC de base en mode CC-CA

Le premier avantage justifiant l'utilisation d'une topologie multiniveau est la réduction du contenu harmonique sur la forme d'onde CA d'un convertisseur CC-CA (Lesnicar et Marquardt, 2003). Cela permet de réduire, voire de supprimer totalement, le filtre normalement requis en sortie. De plus, la configuration modulaire du MMC permet l'usage de semi-conducteurs de moyenne tension standards, étant donné le niveau de tension réduit pour chaque cellule (Franquelo *et al.*, 2008). Cela réduit le coût de fabrication et augmente la fiabilité des modules. De plus, cela permet une mise à l'échelle simplifiée du convertisseur pour différents niveaux de puissance et de tension. Il est possible d'ajouter ou de soustraire des sous-modules sans avoir à recommencer la conception interne de ces derniers.

Actuellement, la principale application du MMC réside dans le domaine de la transmission CC haute tension ou *High Voltage Direct Current* (HVDC). Un des avantages du MMC dans ce domaine est qu'il peut être connecté à des points de réseaux dits faibles, c'est-à-dire là où la puissance de court-circuit est basse (Dorn *et al.*, 2011). Des applications dans le domaine des filtres actifs sont aussi possibles. Dans ce cas, la connexion à un bus CC n'est pas nécessaire et il est possible de n'utiliser qu'un seul bras par phase (Korn *et al.*, 2012).

1.1.2 Algorithme de contrôle

Le premier objectif d'une commande de MMC est d'équilibrer la tension des condensateurs de façon à les maintenir dans une plage de fonctionnement acceptable. Cela implique qu'une mesure de la tension de chaque sous-module doit être faite. À partir de ces mesures, il existe deux techniques pour effectuer la régulation de la tension. La première, proposée par Lesnicar et Marquardt (2003), est illustrée à la figure 1.2a. Elle consiste à effectuer un tri des mesures obtenues pour l'ensemble d'un bras. Cette méthode permet de déterminer la cellule ayant la tension la plus basse et celle ayant la plus haute dans le bras. Cette information, combinée avec le sens du courant, permet au contrôle de décider quelle cellule devrait être insérée ou retirée. L'avantage de cette technique est qu'elle n'implique pas de boucle de rétroaction, elle demeure donc stable en toutes conditions (Huang *et al.*, 2013). L'inconvénient est qu'elle ne peut pas être exécutée localement, car un contrôleur central recevant toutes les mesures est requis pour effectuer le tri. Cela impose un débit élevé de données à transmettre et demande une capacité de calcul accrue. Une méthode alternative, présentée à la figure 1.2b, est proposée par Hagiwara et Akagi (2009). Elle consiste à appliquer une boucle de régulation locale de la tension qui apporte une légère correction sur une référence globale distribuée à tous les sous-modules. Cette méthode demande aussi une mesure de la direction du courant dans le sous-module. La modulation y est réalisée localement, ce qui réduit les contraintes sur le lien de communication.

Cette première analyse de la commande souligne l'importance de la communication dans le convertisseur MMC. Le protocole EtherCAT a été étudié par plusieurs auteurs, car son caractère déterministe permet le contrôle d'un procédé en temps réel. Une étude de la stabilité d'une commande distribuée, basée sur ce protocole, est présentée par Huang *et al.* (2013) et une méthode de synchronisation des sous-modules, basée sur celui-ci, est présenté par Toh et Norum (2013). L'utilisation d'un réseau de communication permet une réduction du nombre d'entrées et sorties requises sur le contrôleur central. Cette réduction peut être souhaitable, puisque les convertisseurs MMC industriels peuvent compter plusieurs centaines de sous-modules par phase (Dorn *et al.*, 2011).

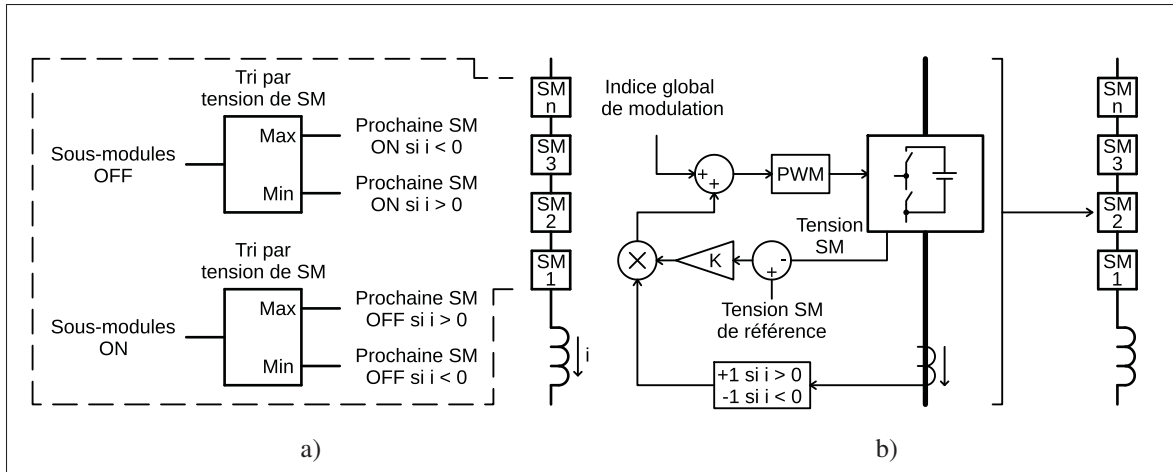


Figure 1.2 Régulation de la tension des condensateurs :
a) Par tri centralisé b) Par boucle locale

La régulation de la tension des condensateurs n'est pas suffisante à elle seule pour contrôler l'ensemble du convertisseur MMC. Un objectif de commande à plus haut niveau est requis afin de contrôler le flux de puissance. La plupart des stratégies impliquent un contrôle bas niveau du courant des bras puisque ces derniers se comportent en source de courant grâce à l'inductance série qu'ils comportent. Les sous-modules, pour leur part, agissent en source de tension idéale lorsque les condensateurs sont correctement balancés et que la fréquence de commutation est suffisamment élevée (Siemaszko *et al.*, 2010). La consigne du courant de bras est généralement fournie par un algorithme plus haut niveau dont l'objectif est la régulation de l'énergie accumulée dans le convertisseur. Par exemple, un contrôle de la valeur moyenne de tension est proposé par Hagiwara et Akagi (2009) et une autre méthode basée sur l'estimation de l'énergie à partir des courants de phase est présentée par Ängquist *et al.* (2011). Pour le contrôle de MMC de type CA-CA, une méthode prédictive a été développée par Perez *et al.* (2012). Un désavantage des méthodes prédictives appliquées au MMC est que la charge de calcul augmente rapidement avec le nombre de niveaux.

Une des applications potentielles du MMC est la réalisation de systèmes d'entraînement de machines électriques à vitesse variable. Or, un problème associé à ce mode de fonctionnement est l'ondulation croissante de la tension aux bornes des condensateurs lorsque la fréquence

fondamentale de la sortie CA diminue (Korn *et al.*, 2010). Une méthode basée sur l'injection d'une tension homopolaire dans les bras est proposée par Antonopoulos *et al.* (2014) afin de limiter cette fluctuation. L'application en mode entraînement à vitesse variable est très proche de celle d'amplificateur, où une capacité en haute et en basse fréquence est requise. Les difficultés observées à basse fréquence en mode entraînement à vitesse variable supposent que certaines limitations devront s'appliquer pour un MMC utilisé comme amplificateur.

1.2 Simulation de type *Power Hardware-in-the-Loop*

Une des applications de la simulation temps réel est de procéder à la validation des contrôleurs d'un système en cours de conception. L'avantage de cette technologie est que les tests peuvent s'effectuer rapidement dans le cycle de conception (Lentijo *et al.*, 2010). La première étape dans ce type de simulation consiste à valider le contrôleur physique (système embarqué) à partir d'un simulateur temps réel qui reproduit le comportement du procédé grâce à un modèle numérique. Elle est présentée à la figure 1.3a. Cette technique est appelée *Hardware-in-the-Loop* (HIL), puisque le contrôleur réel, ou *Unit Under Test* (UUT), est testé au niveau matériel (Lentijo *et al.*, 2010). Ce principe peut être ensuite étendu à l'électronique de puissance grâce au concept de simulation PHIL. Pour ce type de simulation, une interface est ajoutée afin de pouvoir valider le circuit de puissance d'un système, tel que présenté à la figure 1.3b. Cette interface doit être en mesure de reproduire le comportement de la charge qu'il est prévu de raccorder, qui est généralement un moteur électrique. L'avantage de cette technique est qu'elle amène plus loin le niveau de validation d'une conception sans demander l'installation d'un banc de test coûteux (Grubic *et al.*, 2010). De plus, elle permet de simuler des cas de faute qui pourraient être impossibles à réaliser de façon sécuritaire sur un banc de test mécanique conventionnel.

Pour réaliser une simulation PHIL, le simulateur temps réel doit être couplé à un amplificateur de puissance qui permet de transférer les signaux du modèle. Cet amplificateur doit offrir une bande passante adaptée au modèle à simuler et avoir une capacité de faire circuler la puissance de façon bidirectionnelle (Gong *et al.* (2011) et Grubic *et al.* (2010)). Ce requis provient du

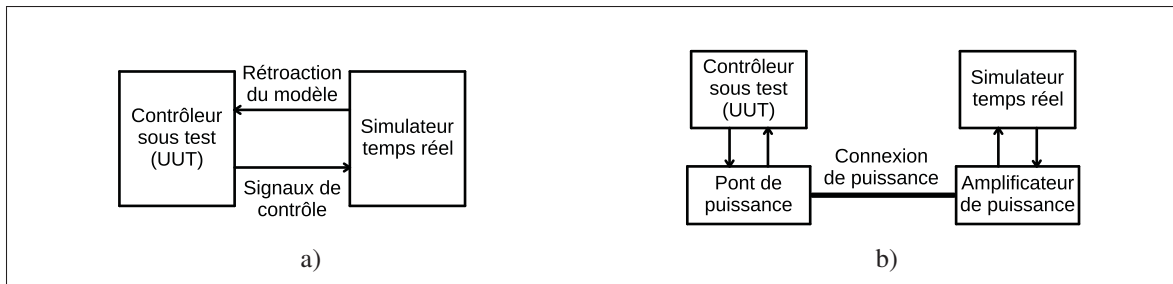


Figure 1.3 Simulation temps réel : a) HIL b) PHIL

fait qu'une telle simulation se fait généralement au niveau de la charge, ce qui implique que la puissance est transférée vers l'amplificateur.

1.3 Amplificateurs pour la simulation PHIL

Pour utiliser un convertisseur comme amplificateur de puissance, une analyse de la distorsion et de la bande passante est requise. Dans les applications de conversion de puissance traditionnelles, comme le contrôle de moteur ou les redresseurs actifs, la transformation de référentiel de Park (Gabriel *et al.*, 1980) est utilisée pour permettre le contrôle de la valeur moyenne efficace d'un courant sinusoïdal plutôt que sa valeur instantanée. Cela supprime le besoin d'un contrôle accomplissant une poursuite parfaite de la forme d'onde, ce qui réduit la bande passante requise. Cette simplification n'est pas possible dans une application d'amplificateur, puisque le signal n'est pas forcément une sinusoïde à fréquence constante.

Les amplificateurs offrant la meilleure bande passante sont ceux de type linéaire (Gong *et al.*, 2011). Dans ces amplificateurs, illustrés à la figure 1.4a, les transistors sont utilisés pour amplifier un signal dans leur zone de fonctionnement linéaire. Or, cette zone de fonctionnement implique qu'une grande quantité de puissance doit être dissipée par les transistors, ce qui limite l'efficacité du système et empêche son utilisation dans des applications à forte puissance (Gong *et al.*, 2011). La solution à ce problème est d'utiliser un amplificateur classe D qui opère le pont de transistors en commutation pour générer le signal de puissance. Le cas le plus simple est un amplificateur basé sur une modulation par largeur d'impulsion ou *Pulse Width Modulation* (PWM) de 2 niveaux, montré à la figure 1.4b. L'efficacité est augmentée par le fait que les

transistors sont utilisés comme interrupteurs, ce qui génère moins de pertes. L'inconvénient de cette technique est que le signal doit être filtré, car la modulation PWM introduit des harmoniques de commutation qui vont dégrader le signal de sortie. Un filtre passe-bas doit être ajouté afin de récupérer le signal correctement, mais cela se fait au prix d'une réduction de la bande passante.

Une étude de filtres combinés à un contrôle prédictif est présentée par Lentijo *et al.* (2010). Une autre solution consiste à utiliser une topologie multiniveau, tel que présenté à la figure 1.4c. L'utilisation d'une modulation multiniveau a pour effet de réduire l'amplitude des harmoniques de commutation (Wu, 2006). À cet effet, le CHB présenté auparavant est un bon candidat. Un amplificateur de 10 niveaux de 1 kW, basé sur cette topologie, est présenté par Gong *et al.* (2011). Une efficacité de 89 % est atteinte, combinée à une bande passante de 7 kHz. Une proposition alternative au CHB est étudiée par Grubic *et al.* (2010). Cette solution consiste à utiliser des inductances couplées pour créer une sortie multiniveau. L'avantage de cette technique est qu'un seul bus CC isolé est requis alors que le CHB doit en avoir un par niveau. La topologie MMC offre également une réduction des sources CC. Un amplificateur hybride basé sur le MMC, combiné à un amplificateur linéaire, est proposé comme solution par da Silva *et al.* (2015). Cependant, cela pose un problème dans les cas où un signal à basse fréquence doit être fourni, tel que mentionné plus tôt.

1.4 Modulation multiniveau

La distorsion d'un signal modulé par un convertisseur multiniveau varie en fonction de la technique de modulation utilisée (Wu, 2006). Il existe deux techniques principales basées sur la modulation PWM de base. La première, nommée *In-Phase Disposition Pulse Width Modulation* (IPD-PWM), est une modulation par niveau où une seule cellule est en commutation alors que les autres conservent un état défini. La figure 1.5a présente les porteuses superposées associées à cette modulation. La deuxième technique est appelée *Phase-Shifted Pulse Width Modulation* (PS-PWM). Cette technique implique un déphasage temporel des différentes por-

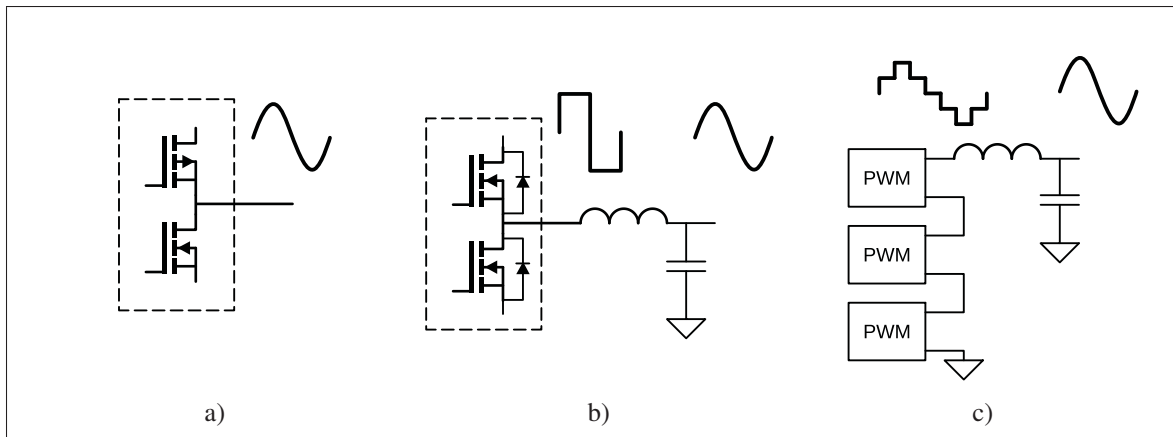


Figure 1.4 Types d'amplificateurs : a) Linéaire b) Classe D de 2 niveaux
c) Classe D multiniveau

teuses de niveaux. Cela produit une modulation uniforme sur tous les niveaux et déphasée uniformément sur une période. La figure 1.5b illustre ce principe.

Une analyse comparative de ces méthodes a été menée par Wu (2006). Il en ressort que la modulation IPD-PWM produit le niveau de distorsion le plus faible, pour un nombre de commutations égal à la technique PS-PWM. Cependant, dans le cas d'une commutation à une fréquence égale, la technique PS-PWM produit des harmoniques de commutation à des rangs largement plus élevés. Ces harmoniques comportent l'avantage d'être facilement filtrés, puisque l'atténuation d'un filtre augmente généralement avec la fréquence. Dans le cas d'un convertisseur MMC, la technique PS-PWM est la plus adaptée pour réaliser un contrôle distribué (Huang *et al.*, 2013). Par contre, la technique IPD-PWM permet une réduction du nombre de commutations, ce qui est souhaitable dans une application de haute puissance. Dans le cas des MMC haute tension, où l'on retrouve plusieurs centaines de niveaux par phase, il est possible d'avoir recours à une troisième technique, la modulation *Nearest-Level*, où aucune porteuse n'est utilisée (Tu et Xu, 2011). La figure 1.5c illustre cette méthode où le signal est directement comparé à des seuils et les niveaux sont commutés lorsque ces seuils sont franchis. La fréquence de commutation des modules devient alors égale à celle du signal modulé. Cette fréquence est généralement basse, ce qui génère peu de pertes par commutation. Cependant, cette technique

introduit des non-linéarités dont l'ampleur augmente avec la réduction du nombre de niveaux. Cette problématique est décrite par Gong *et al.* (2011) pour une application d'amplificateur.

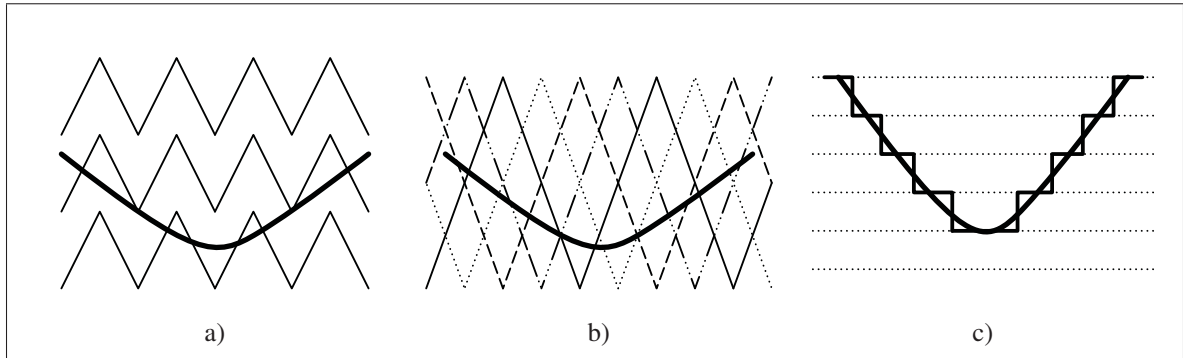


Figure 1.5 Types de modulations : a) IPD-PWM b) PS-PWM
c) *Nearest-Level*

1.5 Exemples de maquettes MMC

Il est maintenant temps de se concentrer sur le sujet plus précis de ce mémoire, c'est-à-dire la conception d'une maquette de convertisseur MMC. Plusieurs travaux de recherche sur ce type de convertisseur ont été appuyés par des maquettes et prototypes de différentes envergures. Quelques-unes de ces réalisations sont décrites dans cette section.

La maquette produite par Siemaszko *et al.* (2010) a été utilisée dans plusieurs publications. Cette maquette compte 5 sous-modules *half-bridge* de 100 V_{CC} par bras pour un bus CC de 500 V_{CC} . Le contrôle est réalisé à l'aide d'un *Digital Signal Processor* (DSP) et les signaux sont acheminés par plusieurs fibres optiques de type VersaLink pour chaque sous-module. La puissance totale du prototype est de 10 kW.

Un prototype plus récent a été construit par Clemow *et al.* (2014). Cette maquette permet un fonctionnement dans la topologie MMC, mais aussi en *Alternate Arm Converter* (AAC). Elle comporte 10 niveaux de 150 V_{CC} par bras, ce qui donne un 1500 V_{CC} du côté du bus CC. Les cellules sont construites à partir de transistors *Insulated Gate Bipolar Transistor* (IGBT) pour reproduire plus fidèlement une cellule MMC industrielle. De plus, la tension relativement

plus élevée de ce prototype est justifiée par le fait que les concepteurs veulent limiter l'impact de la chute de tension dans les transistors sur la tension du sous-module. L'utilisation comme convertisseur AAC impose des cellules de type *full-bridge*. Le contrôle est réalisé à partir d'un simulateur temps réel de Opal-RT (OP5600) via des fibres optiques. La puissance totale du prototype est de 15 kW.

Un autre prototype de 10 kW construit par Serbia (2014) est basé sur des transistors IGBT. Cette maquette comporte 3 cellules par bras, à une tension de 200 V_{CC} chacune pour un bus CC de 600 V_{CC} . La topologie des cellules est *half-bridge* et les signaux de commande sont acheminés par fibre optique. Le contrôleur est un simulateur temps réel de Opal-RT (OP5600).

Les paramètres d'intérêt des prototypes sont détaillés dans le tableau 1.1.

Tableau 1.1 Spécifications de maquettes de MMC existantes

	Siemaszko <i>et al.</i> (2010)	Clemow <i>et al.</i> (2014)	Serbia (2014)
Tension du bus CC	500 V_{CC}	1500 V_{CC}	600 V_{CC}
Puissance totale	10 kW	15 kW	10 kW
Nombre de SM par bras	5	10	3
Tension par SM	100 V_{CC}	150 V_{CC}	200 V_{CC}
Type de SM	<i>half-bridge</i>	<i>full-bridge</i>	<i>half-bridge</i>
Type de transistors	MOSFET	IGBT	IGBT
Communication	Optique	Optique	Optique
Contrôleur	DSP	OP5600	OP5600

1.6 Récapitulatif

Dans ce chapitre, la topologie MMC a été introduite ainsi que quelques éléments de base de son contrôle. Afin de mieux cerner les contraintes d'un convertisseur utilisé comme amplificateur, des concepts liés aux simulations PHIL et à la modulation PWM multiniveau ont été détaillés. Par la suite, le travail d'autres chercheurs ayant conçu et fabriqué des maquettes MMC a été présenté. Cela servira de point de départ pour le prochain chapitre, où la spécification de base de la maquette à concevoir dans ce mémoire sera établie.

CHAPITRE 2

ANALYSE DU SYSTÈME À CONCEVOIR

Après la présentation, dans le chapitre 1, du contexte dans lequel ce projet est réalisé, il devient possible de procéder à une analyse plus détaillée des problématiques liées à la conception et à la fabrication d'une maquette de convertisseur MMC. Dans ce chapitre, la spécification de base est définie et les contraintes permettant d'atteindre les objectifs du projet sont identifiées. Une analyse de l'architecture de commande et des technologies de communication disponibles pour acheminer les signaux est présentée. Il en découle une définition préliminaire des cartes de circuits imprimés à concevoir et du boîtier dans lequel le système sera assemblé. Ces éléments serviront de base à la conception détaillée présentée dans les chapitres suivants.

2.1 Spécification de base de la maquette MMC

La première étape de la définition du prototype à concevoir consiste à établir une spécification de base. Un choix conservateur serait de fixer le niveau de tension de la connexion CA du convertisseur à la plus basse tension triphasée standard, qui est de 120/208 V_{RMS} en Amérique du Nord. À noter qu'une utilisation du système outremer nécessitera l'ajout d'un transformateur d'adaptation. Il est ensuite possible d'appliquer le même principe avec la capacité en courant, qui est de 15 A_{RMS} sur un circuit 120 V_{RMS}. La puissance cible par phase sera donc de 1800 VA, pour un total de 5400 VA pour le convertisseur au complet.

Dans un convertisseur MMC de base, la somme des tensions des sous-modules d'un bras doit être égale à la valeur de la tension du bus CC (Hagiwara et Akagi, 2009). La valeur pour chaque sous-module sera donc donnée par l'équation 2.1. Le bus CC, de façon analogue à un convertisseur deux niveaux, doit avoir une tension supérieure à la tension CA phase-neutre crête à crête de la sortie. Cette valeur est fournie par l'équation 2.2.

$$V_{SM} = \frac{V_{CC}}{N_{SM}} \quad (2.1)$$

$$V_{CC} \geq 2 \cdot \sqrt{2} \cdot V_{RMS} \quad (2.2)$$

L'excursion totale de tension sera donc d'environ 340 V. Pour fournir une certaine marge, le bus CC sera fixé à 400 V_{CC}. Afin de maintenir la taille du convertisseur à un niveau raisonnable, un choix de 10 sous-modules par phase a été fait. Cela représente une tension de 40 V par niveau et un nombre total de 60 sous-modules pour un convertisseur MMC triphasé complet. Afin de permettre l'utilisation du convertisseur en mode CA-CA, il a été choisi de concevoir une cellule *full-bridge* qui permet ce mode d'opération. Le tableau 2.1 présente le résumé de la spécification de base du circuit de puissance.

Tableau 2.1 Spécification de base du convertisseur à concevoir

Tension du bus CC	400 V _{CC}
Tension CA	120/208 V _{RMS}
Courant par phase	15 A _{RMS}
Puissance totale	5,4 kVA
Nombre de sous-modules par bras	10
Nombre total de sous-modules	60
Tension par sous-module	40 V _{CC}
Type de cellules	<i>full-bridge</i>

2.2 Analyse de l'utilisation en tant qu'amplificateur classe D multiniveau

Dans le chapitre 1, il a été montré qu'une analyse de la bande passante atteignable et de la distorsion du signal devait être menée afin de valider le fonctionnement du convertisseur en mode amplificateur. Pour déterminer la fréquence maximale de commutation requise pour cette application, une évaluation des harmoniques à la sortie du convertisseur multiniveau a été réalisée. Cette analyse permet d'estimer la réduction de la distorsion engendrée par cette topologie. Un autre paramètre à évaluer est l'impact du délai engendré par la commande du convertisseur sur la réponse en fréquence. Ces résultats vont permettre de guider le choix des technologies.

2.2.1 Analyse des harmoniques de commutation

La première partie de l'analyse se porte donc sur les harmoniques de commutation. Dans cette manipulation, le contenu spectral de la modulation PWM deux niveaux a été comparé à celui obtenu pour une modulation PS-PWM qui permet la plus grande fréquence de commutation apparente (Wu, 2006). Un modèle réalisé sous MATLAB/Simulink de ces deux modulations a été construit et une analyse spectrale du signal de sortie a été conduite pour chacun. Le module *Fast Fourier Transform* (FFT) de la librairie *SimPowerSystems* a été utilisé pour effectuer l'analyse spectrale des signaux obtenus.

Pour effectuer la comparaison, deux cas ont donc été simulés. Le premier, présenté en figure 2.1a, est une modulation PWM deux niveaux basée sur une porteuse triangulaire de 100 kHz. Dans le deuxième cas, illustré à la figure 2.1b, une modulation PS-PWM de 10 porteuses d'une fréquence de 10 kHz a été analysée. La fréquence de modulation apparente est alors de 100 kHz dans les deux cas. Les modèles réalisés ne tiennent pas compte des temps morts des circuits d'attaque. Pour chaque cas, un signal de 15 kHz a été injecté en entrée. Cette fréquence est estimée comme étant une bande passante dépassant les besoins pour des simulations de type PHIL (Lentijo *et al.*, 2010). La représentation dans le domaine fréquentiel des signaux modulés obtenus est présentée à la figure 2.2a pour la modulation PWM et à la figure 2.2b pour la modulation PS-PWM à 10 kHz.

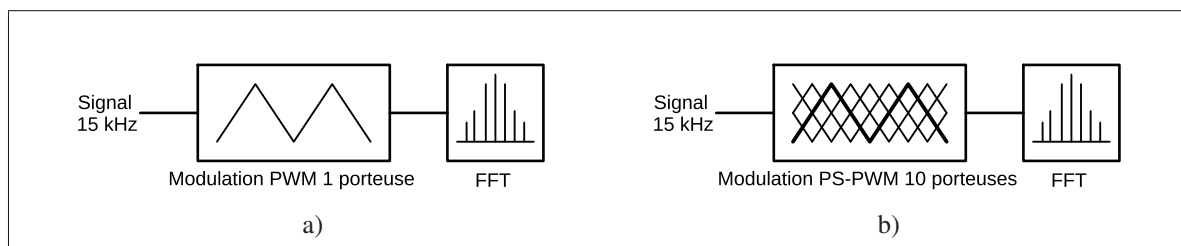


Figure 2.1 Schéma du test effectué : a) PWM de 1 porteuse à 100 kHz
b) PS-PWM de 10 porteuses à 10 kHz

Les résultats obtenus montrent clairement la diminution du contenu harmonique indésirable avec l'utilisation de la modulation multiniveau. La raie de la porteuse de 100 kHz est dimi-

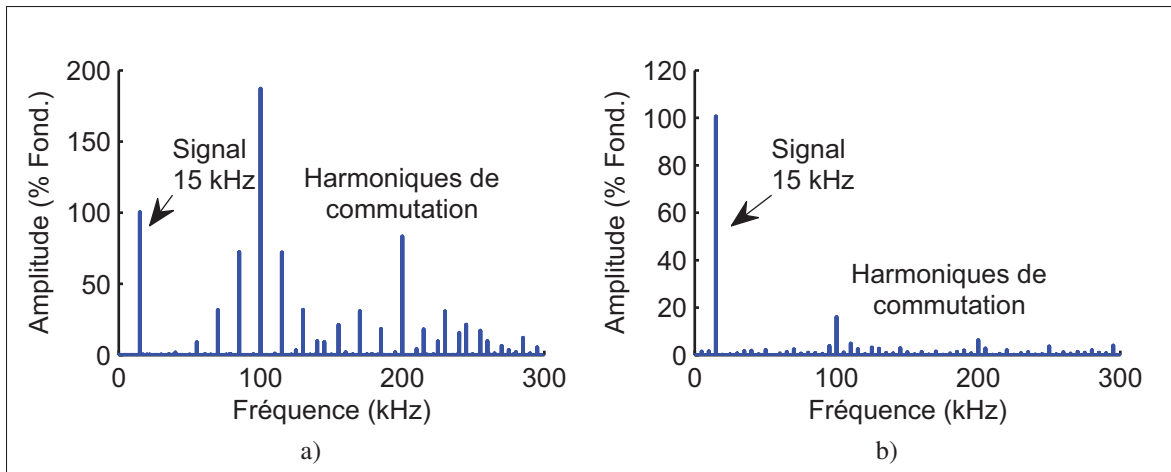


Figure 2.2 Harmoniques de commutation : a) PWM de 1 porteuse à 100 kHz
b) PS-PWM de 10 porteuses à 10 kHz

nuée d'un rapport équivalent au nombre de niveaux. Cela indique que, pour une fréquence de commutation apparente équivalente, la modulation PS-PWM présentée requiert un filtre dont l'atténuation peut être 10 fois inférieure à la modulation PWM. L'autre avantage est que, pour arriver à ce résultat, la fréquence de commutation des modules est réduite. À la figure 2.2b, on observe tout de même des raies indésirables dans la bande fréquentielle du signal intelligent. L'utilisation de la modulation IPD-PWM pourrait corriger cette situation en conservant la même fréquence de commutation équivalente. Une autre solution est d'augmenter cette fréquence, ce qui est possible avec la modulation PS-PWM puisque la modulation individuelle de chaque module reste prévisible contrairement à ce qui se produirait en IPD-PWM. Selon Sandler (1993), il est requis pour un amplificateur classe D de 2 niveaux de moduler le signal intelligent avec une porteuse d'une fréquence au moins 16 fois plus grande que la fréquence de ce dernier. La modulation PS-PWM a donc été simulée avec une fréquence de 100 kHz par porteuse, ce qui donne une fréquence de modulation apparente de 1 MHz. Ces résultats sont présentés dans la figure 2.3.

Malgré l'usage d'une fréquence apparente inférieure à ce qui est recommandé pour le PWM 2 niveaux, le signal de 15 kHz est maintenant clairement séparé du contenu indésirable. De plus, il y a une marge de significative qui permettra l'usage d'un filtre d'ordre faible positionné

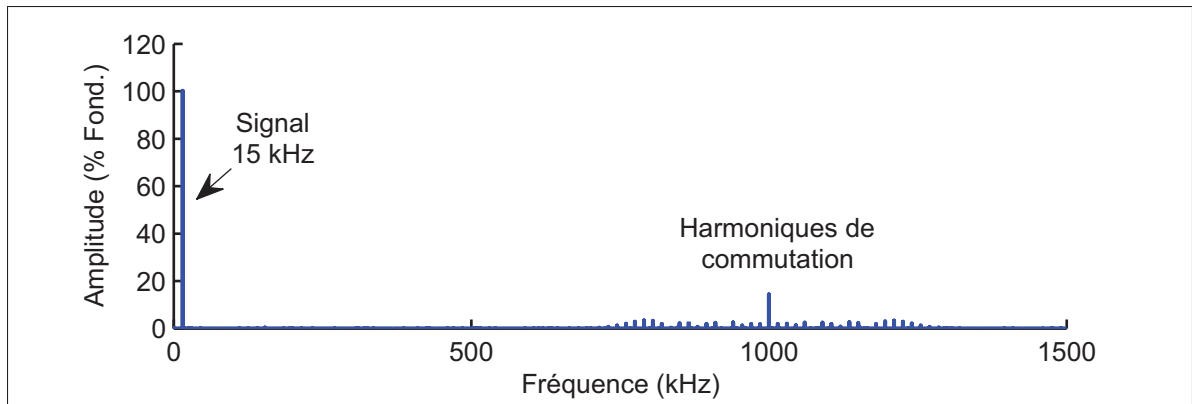


Figure 2.3 Harmoniques de commutation PS-PWM de 10 porteuses à 100 kHz

à une fréquence de coupure plus élevée. Cela donnera une certaine flexibilité dans l'ajustement des gains de la boucle de rétroaction.

2.2.2 Analyse de l'impact du délai de la commande sur la réponse en fréquence

Un autre élément qui aura un impact significatif sur la bande passante réalisable par le convertisseur est le délai de propagation des signaux de commande. Si ce délai n'existait pas, il serait possible d'appliquer un gain infini sur certaines boucles de rétroaction et ainsi obtenir une réponse quasiment parfaite. Or, la physique rend impossible ce mode de fonctionnement, car un déphasage se crée inévitablement entre l'entrée d'un système et sa rétroaction. Ce déphasage peut rendre le système instable sous certaines conditions. Le concept de marge de phase a été introduit pour évaluer la stabilité d'un système linéaire (Friedland, 1986). La marge est obtenue par la lecture du diagramme de Bode d'un système linéaire. La marge de phase est définie comme étant l'écart de la phase du système par rapport à un déphasage de -180° lorsque le gain du système est unitaire (0 dB) (Friedland, 1986). La figure 2.4a illustre le concept de marge de phase.

Théoriquement, toute marge de phase positive assure la stabilité du système. Cependant, il est conseillé de respecter une certaine limite pour maintenir la stabilité en cas de variation des paramètres du système. Il revient au concepteur de la boucle de choisir cette limite, mais une marge de phase de 45° peut être considérée comme un minimum (Stout et Kaufman, 1976).

Cela se traduit par un déphasage maximal de -135° du signal de sortie d'un système comportant une rétroaction. Afin d'évaluer l'impact du délai de la commande sur la bande passante du système, une évaluation de la fréquence où ce déphasage est atteint en fonction du délai a été réalisée. Cette évaluation a été faite en supposant un système du premier ordre comportant un pôle qui introduit un déphasage de -90° . Cela laisse un déphasage additionnel possible de 45° , soit un huitième de la période d'un signal. Il devient alors possible de calculer la fréquence où un délai donné produit ce déphasage à l'aide de l'équation 2.3. À partir de cette fréquence, le déphasage va commencer à croître de façon soutenue et le maintien de la bande passante du système au-delà de ce point est jugé impossible. On peut donc considérer la fréquence obtenue comme étant une limite de la bande passante finale du système en boucle fermée. La figure 2.4b présente l'évolution de cette fréquence limite en fonction du délai.

$$F_D = \frac{1}{8 \cdot T_D} \quad (2.3)$$

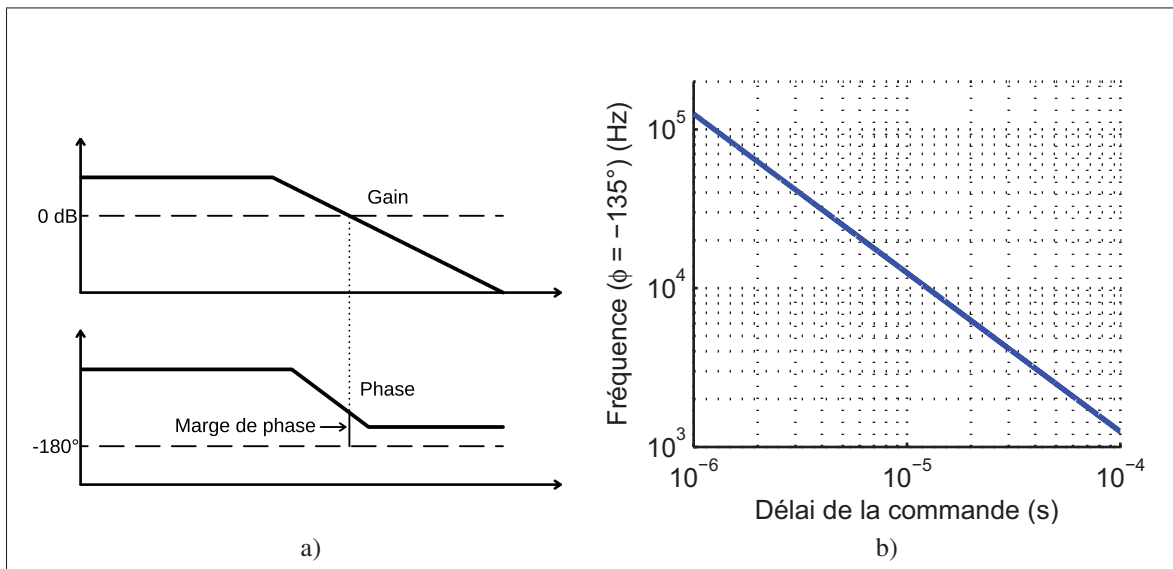


Figure 2.4 Analyse du délai : a) Définition de la marge de phase
b) Fréquence où $\phi = -135^\circ$ en fonction du délai

2.2.3 Bilan des analyses

À partir des deux analyses réalisées, il est possible d'établir des critères supplémentaires dans la spécification du convertisseur. Premièrement, afin de maximiser la bande du signal intelligent exempte de distorsion, une fréquence de modulation élevée est requise malgré l'usage de la topologie multiniveau. Pour ce projet, la possibilité de commuter jusqu'à une fréquence de 100 kHz sera considérée. Dans la seconde analyse, il est montré qu'un délai maximal dans le système de commande doit être respecté pour réussir à obtenir une bande passante donnée. Selon ce calcul, pour obtenir une bande passante en boucle ouverte d'au moins 10 kHz, le délai doit être inférieur à environ $10 \mu\text{s}$ (voir figure 2.4b). Une attention particulière sera portée sur le délai produit par les différents éléments de la chaîne de commande afin de le minimiser.

2.3 Présentation du système

Le convertisseur MMC est un convertisseur très contemporain, car sa réalisation est grandement facilitée par l'arrivée à maturité de plusieurs technologies de pointe dans le domaine des semi-conducteurs de puissance, de la communication et du calcul en temps réel. La complexité technologique du MMC réside dans la grande quantité de transistors à commander et la gestion de l'information requise pour en assurer le fonctionnement. La figure 2.5 propose un schéma bloc divisant le convertisseur en trois entités fonctionnelles de base.

Le contrôleur global est le cerveau du système. Il comporte les systèmes responsables d'appliquer les algorithmes de commande. Généralement, le contrôleur doit assumer le calcul des boucles de régulation, la logique de balancement des tensions, la modulation des signaux et les fonctions de protection globale. Il est possible, à l'aide de certaines méthodes de commande, de distribuer le contrôle à des entités locales associées aux sous-modules.

L'interface de commande est en quelque sorte le système nerveux du convertisseur. La configuration et la technologie utilisées pour transférer l'information pertinente peuvent varier selon l'algorithme de commande choisi. Dans les applications à haute tension, l'interface de commande doit être en mesure de connecter différents points ayant des différences de potentiel de

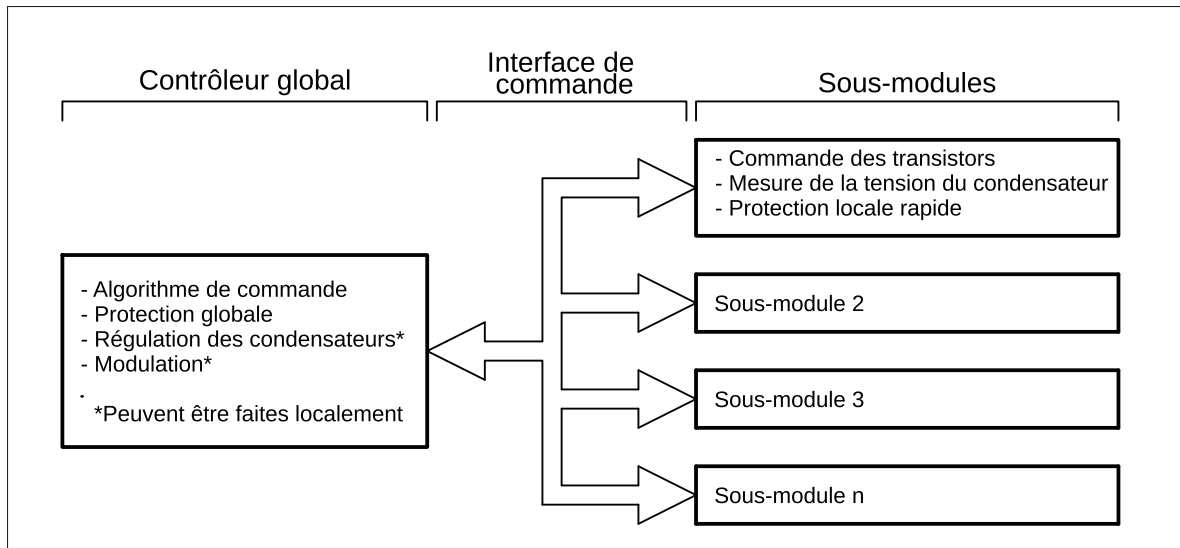


Figure 2.5 Schéma bloc fonctionnel de base d'un convertisseur MMC

l'ordre des centaines de kilovolts. C'est pourquoi la fibre optique est généralement favorisée, étant compte tenu de sa nature diélectrique.

Le sous-module est l'unité modulaire du convertisseur où sont regroupées les composantes de puissance. Les fonctions qui lui sont associées comprennent le circuit d'attaque des transistors de puissance, la mesure de la tension du condensateur flottant, l'alimentation auxiliaire de ces systèmes et les protections locales rapides. Les sous-modules doivent être raccordés à un contrôleur central au moyen d'un réseau de commande.

2.4 Architecture de commande

Il est malheureusement impossible d'acheter un contrôleur tel que décrit dans la figure 2.5, puisqu'un tel système est purement idéal et n'existe que sur papier. Pour appliquer la commande dans le monde réel, il faut d'abord effectuer un choix parmi les solutions actuellement disponibles, en se basant sur les performances attendues et le budget alloué. Les mots-clés pour effectuer la recherche sont « calcul temps réel » (*Real-Time computing*) et « systèmes embarqués » (*Embedded system*). Ces systèmes exécutent des algorithmes de commande de façon prévisible, afin de respecter des cadences de calcul adaptées à la dynamique d'un pro-

cédé. Certaines tâches peuvent être priorisées par rapport à d'autres et l'exécution en parallèle de certaines fonctions est souhaitable. Les deux grandes familles de circuits intégrés associés à la commande temps réel sont les microcontrôleurs et les *Field-Programmable Gate Array* (FPGA) (Sepulveda *et al.*, 2013).

2.4.1 Microprocesseur

Les microprocesseurs sont à la base de l'informatique moderne. Le terme réfère à un circuit intégré regroupant toutes les fonctions de traitement de données et de calcul d'un système numérique dans un seul boîtier. Leur fonctionnement est de nature séquentielle, c'est-à-dire qu'il exécute des instructions suivant un ordre établi par un programme. Si certaines opérations sont critiques, il est possible d'avoir recours à une logique d'interruption qui permet de suspendre l'exécution d'une séquence pour en exécuter une autre en priorité. Ce type de logique assure le caractère périodique de certaines opérations dans un système temps réel. Le microprocesseur permet une utilisation flexible et efficace de ces ressources, puisqu'elles peuvent être utilisées pour plusieurs tâches suivant l'exécution du code. Le langage C est très répandu pour réaliser des programmes bas niveau.

L'architecture et les fonctionnalités des microprocesseurs peuvent varier et cela permet de les adapter à certaines applications. Les DSP sont, par exemple, des microprocesseurs spécialisés dans le traitement en temps réel des signaux numériques. Ils sont tout désignés pour réaliser la commande des convertisseurs de puissance, grâce à des modules de calculs adaptés et des registres spécialisés permettant la modulation de signaux PWM à haute résolution.

2.4.2 FPGA

Les FPGA sont des circuits intégrés offrant une matrice reprogrammable de blocs logiques et de mémoire. La configuration des FPGA est normalement volatile puisqu'elle est enregistrée d'une façon analogue à la mémoire vive. Cela implique qu'ils doivent être reprogrammés à chaque mise en route. La programmation de ces circuits est faite à l'aide d'un langage de

description de matériel ou *Hardware Description Language* (HDL) (ex. VHDL, Verilog) qui définit les fonctions et l'interconnexion des ressources logiques. Ce code est ensuite optimisé par un logiciel de synthèse qui le traduit en allocation concrète de ressources logiques en suivant les contraintes d'un design. La force du FPGA réside dans l'exécution de tâches parallèles optimisées et dans la possibilité de dédier des ressources à une application spécifique.

En plus des blocs logiques, les FPGA peuvent être équipés de blocs fonctionnels spécialisés, qui permettent un traitement optimal de certaines opérations numériques. Par exemple, la réalisation d'un lien de communication à haut débit est facilitée par des blocs tels les *Multi-Gigabit Transceiver* (MGT).

2.4.3 Comparaison des DSP avec les FPGA

Le tableau 2.2 présente une synthèse permettant la comparaison rapide des deux familles de circuits intégrés.

Tableau 2.2 Comparaison entre les DSP et les FPGA

DSP	FPGA
<ul style="list-style-type: none"> • traitement logiciel (Software) ; • séquentiel et conditionnel ; • architecture logique fixe ; • ressources flexibles en exécution ; • calculs mathématiques complexes ; • applications : contrôle numérique, algorithme adaptatif, gestion haut niveau. 	<ul style="list-style-type: none"> • traitement matériel (Hardware) ; • parallèle et combinatoire ; • architecture logique malléable ; • ressources dédiées en exécution ; • calculs à très haute fréquence ; • applications : lien série à haut débit, filtre numérique, traitement à faible latence.

Pour ce projet, le partenaire Opal-RT fournit un simulateur temps réel OP4510. Les simulateurs Opal-RT sont équipés d'un tandem microprocesseur et FPGA qui permet de tirer avantage des deux technologies dans un même système. Un lien synchrone permet l'interfaçage de deux circuits. Un simulateur temps réel est un ordinateur destiné à l'exécution de modèles numé-

riques avec des contraintes temps réel élevées. Durant la simulation, le simulateur échange des signaux avec des procédés ou des contrôleurs par une interface d'entrées et sorties. Ce type de système est utilisé pour la validation et le prototypage de systèmes de commande. Les simulations HIL et PHIL expliquées dans le chapitre 1 sont un exemple d'application.

2.4.4 Interface de commande avec le simulateur temps réel

Dans ce projet, le simulateur permet de réaliser un prototypage rapide du contrôleur MMC. L'utilisation du système OP4510 est une justification majeure pour concevoir un contrôle centralisé, étant donné la puissance de calcul disponible. Une architecture de commande centralisée offre un maximum de flexibilité, puisque l'interface de commande doit être conçue pour transférer toutes les variables disponibles entre les sous-modules et le contrôleur. Le concepteur est dans un cas idéal, où il peut réaliser une grande variété d'algorithmes de commande. L'inconvénient d'un tel système est qu'il exerce une pression accrue sur l'interface, puisque cette dernière doit transmettre une grande quantité de données (ex. commande des transistors, mesures, statuts).

Afin de réduire le débit requis, il est possible d'avoir recours à une architecture de commande distribuée qui donne davantage de contrôle aux sous-modules. Une technique présentée par Huang *et al.* (2013) exige seulement le transfert aux sous-modules d'une référence globale de tension. Le contrôle de la tension du condensateur et la modulation sont assurés localement par un contrôleur situé au niveau du sous-module. Le désavantage de ce système est qu'il ne peut être utilisé avec tous les types d'algorithmes.

Pour conserver un maximum de flexibilité et pour tirer pleinement avantage du OP4510, une topologie de contrôle centralisée est choisie pour ce projet. L'attention doit donc être portée sur la réalisation de l'interface de commande. Il a déjà été établi que le convertisseur compterait 60 sous-modules, selon la spécification de départ. Une première analyse serait d'évaluer la quantité de signaux devant transiter dans le système. Chaque sous-module *full-bridge* comporte 4 transistors à commander (signaux logiques) et une tension de condensateur (signal

analogique). De plus, il est requis de mesurer le courant dans les bras, ce qui ajoute 6 mesures analogiques. Le tableau 2.3 compare le total de signaux requis avec ce qui est disponible sur le OP4510.

Tableau 2.3 Comparaison des signaux disponibles sur le OP4510 avec les signaux requis pour le prototype

Éléments	Disponibles sur OP4510	Requis pour MMC
Entrées numériques	32 + 6 optiques	0
Entrées analogiques	16	66
Sorties numériques	32 + 6 optiques	240
Sorties analogiques	16	0

La connexion directe des signaux au OP4510 peut donc être écartée d'emblée, puisqu'il ne comporte pas un nombre suffisant d'entrées analogiques et de sorties numériques. Un protocole de communication devra donc être utilisé dans le but d'augmenter la quantité d'information qui peut être échangée par l'interface. Une intelligence locale devra aussi être développée afin de gérer cette communication du côté du sous-module.

2.5 Réseaux de communication

Puisque l'utilisation d'un lien ou d'un réseau de communication est requise pour la commande des sous-modules, une revue des caractéristiques de base de ces liens a été réalisée. Ces éléments vont permettre d'évaluer laquelle des différentes solutions est la mieux adaptée pour la maquette.

Le délai, ou latence, est la mesure du temps nécessaire pour qu'un paquet d'information soit transmis. Cela inclut le délai physique et celui causé par le traitement logique des signaux. La longueur du canal de transmission, la grosseur des paquets d'informations et le débit du lien sont les principaux facteurs qui jouent sur le délai. Dans ce projet, une attention particulière doit être portée sur cette variable afin de respecter les objectifs fixés pour l'application d'amplificateur.

La bande passante définit la gamme de fréquences dans laquelle le canal de communication peut fonctionner. Les signaux numériques non modulés sont un exemple de signaux *baseband*, puisque leur fréquence peut aller de 0 Hz jusqu'à la fréquence maximale permise par un lien. La fréquence maximale du lien permet d'établir le débit binaire maximal R_b en bit/s (*bit rate*), suivant la relation 2.4. Ce débit est aussi appelé *Nyquist rate*.

$$R_b = 2 \cdot F_{MAX} \quad (2.4)$$

À partir d'un débit brut, il est possible d'évaluer le débit net d'un lien. Ce dernier est le débit d'information utile transmise au récepteur une fois que les bits nécessaires au fonctionnement du lien sont exclus. Les bits exclus du débit net comprennent entre autres les codes d'entêtes et le surplus nécessaire à l'encodage des données.

La latence et le débit sont des mesures applicables à tous les liens de communication. Pour le prototype à concevoir, quelques propriétés supplémentaires doivent être prises en compte. Premièrement, le déterminisme d'un lien de transmission définit la possibilité de prévoir avec certitude le délai requis pour transmettre un signal. Cette propriété est recherchée dans un système temps réel, car elle permet de garantir la synchronisation de la commande. Une évaluation de la fiabilité d'un lien doit aussi être faite pour une application critique. Certains algorithmes permettent de corriger les erreurs de transmission grâce à l'ajout de redondance dans l'information transmise. Cette correction se fait au détriment du débit net possible.

2.5.1 Topologies de réseaux

Les propriétés présentées dans la section précédente permettent de qualifier les performances d'un lien unitaire présenté à la figure 2.6a. Le lien point à point est l'unité de base qui permet de construire les autres topologies de réseaux. Un lien peut être simplex, semi-duplex ou duplex, suivant la direction de l'information. Une utilisation d'un lien unitaire dédié permet de réduire le surplus d'information nécessaire à un fonctionnement multipoint, tel que l'adressage, et

ainsi maximiser le débit binaire. Lorsque plusieurs points doivent communiquer entre eux, l'agencement de plusieurs liens unitaires crée une topologie de réseau.

La topologie bus présentée en figure 2.6b consiste en un réseau où les différents nœuds partagent le même canal de transmission. Cette topologie nécessite peu de matériel, mais demande une gestion plus complexe, puisque les différents points doivent respecter des règles afin de ne pas provoquer de collision sur le bus. Le bus est vulnérable à l'ouverture du canal de transmission qui peut entraîner l'isolation de certains nœuds.

La topologie étoile, en figure 2.6c, est composée d'un groupe de nœuds qui sont tous connectés à un nœud central. Ce nœud central peut être un système dédié à la communication, comme une passerelle ou un commutateur. L'avantage de cette topologie est que la désactivation d'un lien n'entraîne pas une perte totale du réseau. Cependant, le réseau est vulnérable à une défaillance du nœud central.

Un réseau de type *daisy-chain* peut être créé en reliant en série tous les nœuds d'un réseau. Cette topologie a l'avantage de ne pas comporter de nœud central dédié à la communication. Cependant, si un lien est brisé, plusieurs nœuds peuvent être perdus. Cette vulnérabilité peut être compensée en bouclant la chaîne, ce qui crée alors une topologie anneau (*ring*), présentée à la figure 2.6d, qui offre une redondance en cas de bris d'un lien.

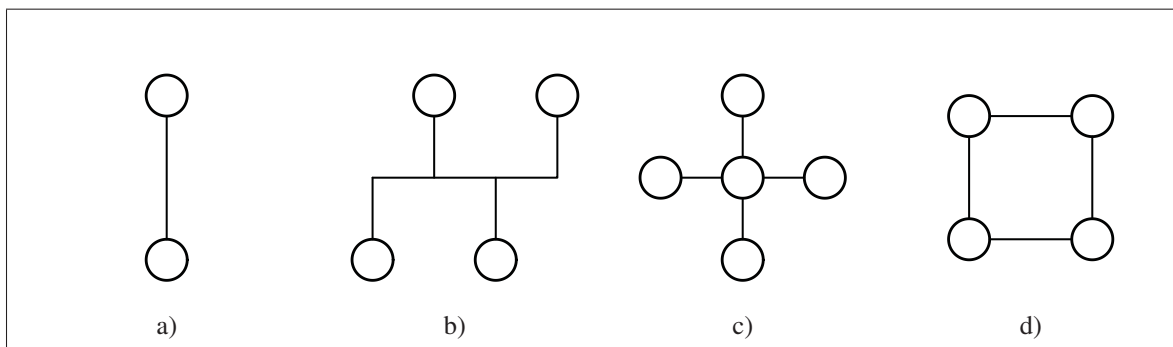


Figure 2.6 Topologies de réseau : a) Point à point b) Bus c) Étoile d) Anneau

Dans ce projet, une topologie point à point ou en étoile avec chaque sous-module peut être exclue puisque le nombre de canaux requis (60 Tx, 60 Rx) dépasserait ce qui est disponible sur le OP4510. Il faut donc considérer des topologies multipoints de type bus, anneau ou *daisy-chain*.

2.5.2 Technologies de réseaux multipoints

Un standard très répandu de réseau multipoint de type bus est le EIA-485, aussi appelé RS-485. Il est possible de retrouver ce type de réseaux dans le domaine de l'automatisation industrielle, des transports ou de la domotique. Les réseaux créés avec cette technologie sont souvent opérés en mode semi-duplex, où un maître agit en chef d'orchestre et où chacun des points esclaves s'exprime suivant des règles préétablies. Cette gestion du droit de parole limite le débit possible à des cycles de communication qui sont de l'ordre des millisecondes. En contrepartie, cette gestion permet une synchronisation déterministe. Pour la commande du prototype, la latence de ce type de lien est jugée inacceptable.

Le standard Ethernet est défini par la norme IEEE 802.3. Ses applications modernes 10BASE-T et 100BASE-T spécifient des liens duplex entre les différents nœuds d'un réseau. Le fonctionnement d'un réseau Ethernet est grandement lié aux notions de paquet et d'adresse. Chaque paquet contient l'adresse de sa source et de sa destination, les octets de données et des octets de contrôle. Le déterminisme n'est pas assuré puisque le réseau émule un bus où tous les points ont un droit de parole égal sur le réseau. Les conflits sont gérés suivant un algorithme de détection de collision ayant un comportement aléatoire. Or, le standard Ethernet permet aussi la création de liens duplex exclusifs entre deux points, ce qui enlève le risque de collision et permet l'atteinte de performances déterministes.

Des protocoles ont d'ailleurs été créés à partir de cette possibilité pour assurer le déterminisme et la synchronisation précise des différents nœuds connectés sur un réseau de type Ethernet (EtherCAT Technology Group, 2012). Certains auteurs (Korn *et al.* (2010) et Huang *et al.* (2013)) ont proposé le protocole EtherCAT comme étant un bon candidat à la construction

d'un réseau de commande pour un convertisseur MMC. Il est possible d'organiser un réseau de type *daisy-chain*, ou anneau, à partir de modules esclaves possédant deux ports Ethernet. Un cycle de communication de l'ordre des centaines de microsecondes est alors possible.

2.5.3 Discussion des besoins matériels et performances

Peu importe le protocole utilisé, l'utilisation d'un réseau de commande multipoint demande que chaque sous-module soit équipé d'un ou plusieurs circuits intégrés pour assurer la gestion locale du lien de communication et la transmission de l'information à chaque organe du sous-module. Cela représente au moins 60 systèmes à programmer et mettre en réseau pour ce prototype. Dans une application de haute puissance, ce travail est justifiable et nécessaire, étant donné l'utilisation obligatoire de la fibre optique pour l'isolation. Dans le cas d'une maquette, le caractère optimal de la solution réseau de sous-modules peut être débattu.

Le principal avantage de cette solution serait qu'elle permet l'émulation d'une architecture réseau probable d'un convertisseur industriel. Cet argument peut être contré par le fait qu'il n'y a pas de standard établi sur les réseaux de commande à utiliser dans un convertisseur MMC. De ce fait, le choix d'un protocole donné pour la maquette risque d'être une solution propre à cette dernière. Par contre, l'utilisation d'un réseau multipoint comporte des inconvénients au niveau de la latence et du nombre de circuits intelligents requis. L'utilisation d'une topologie de type *ring* ou *daisy-chain* peut être un frein dans l'objectif d'obtenir une latence minimale. De plus, la cartographie du réseau obtenu peut devenir une tâche fastidieuse puisque la position physique d'un sous-module précis doit être jumelée à son adresse réseau.

2.5.4 Création d'un module local de contrôle

Une solution alternative serait de regrouper les sous-modules en groupes ayant un contrôleur local qui gérerait directement les signaux de chaque sous-module et qui assurerait la communication avec le OP4510 via un lien duplex. Le contrôleur local agit comme un module d'interface déporté qui permet, dans un premier temps, d'augmenter le nombre d'entrées-sorties

du système et, dans un deuxième temps, de fournir un lien de communication rapide avec le contrôleur central.

Une façon intuitive de diviser les groupes de sous-modules serait d'unir ceux qui appartiennent à un même bras. Pour la maquette envisagée, cela donnerait 6 groupes de 10 sous-modules. Cette structure permettrait de réaliser autant du contrôle centralisé que certaines formes de contrôle distribué. Pour une utilisation optimale de la bande passante, les modules déportés doivent être reliés par des liens point à point duplex. Ce type de lien requiert peu de gestion puisqu'il est dédié à deux systèmes fixes. L'adressage et l'arbitrage ne sont donc pas requis. Un débit net maximal est alors possible, ce qui réduit la latence de transmission. Pour le prototype, un minimum de 6 liens RX et 6 liens TX serait donc requis. Les solutions par réseau multipoint et par contrôleur local sont présentées côte à côte aux figures 2.7a et 2.7b respectivement.

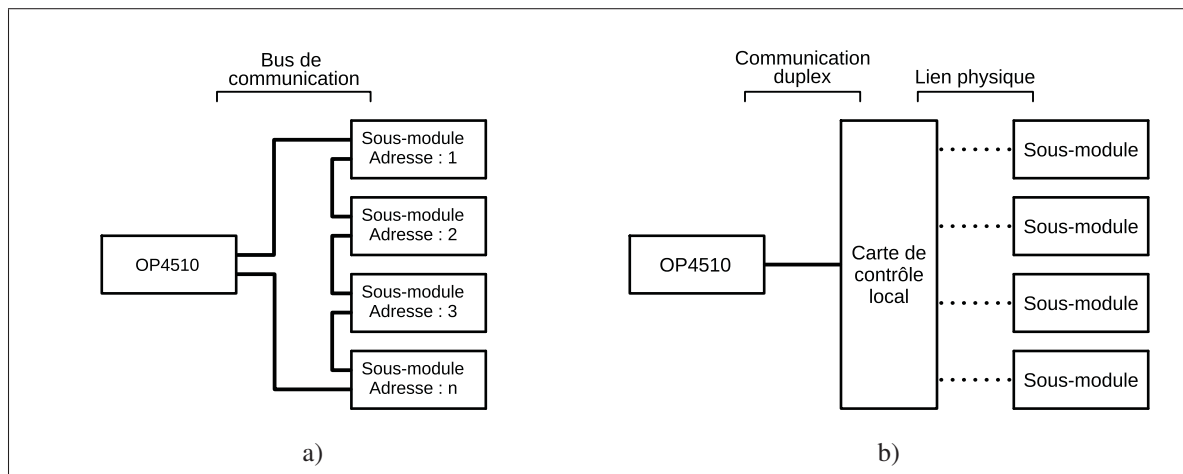


Figure 2.7 Interface de commande : a) Réseau multipoint
b) Module de contrôle local

La suite de la conception du système sera basée sur l'hypothèse que l'utilisation d'un contrôleur local est une architecture de commande optimale au niveau du coût de fabrication du système et de la latence de la transmission série vers les sous-modules. Les liens de communication point à point possibles seront investigués plus en détail dans le chapitre 3, où la solution finale sera expliquée.

2.6 Ébauche mécanique du convertisseur

Un travail de définition physique du système est à faire à partir du choix de l'architecture de commande. Avec la structure de contrôle local, le regroupement proposé au niveau de la commande doit aussi se traduire par un regroupement physique des sous-modules. La conception d'un boîtier suivant le standard EIA-310 semble la meilleure option puisque le boîtier du OP4510 est construit à partir de ce dernier. Les boîtiers de ce type ont généralement une largeur d'environ 17 po (431,8 mm) et une hauteur définie par une unité modulaire (U) qui équivaut à 1,75 po (44,45 mm). Ce type d'armoire est largement utilisé pour les serveurs informatiques, les équipements de laboratoire et certains équipements de commande et de protection de réseau électrique.

Cette configuration a l'avantage de redonner un aspect modulaire à la conception, puisque les boîtiers sont identiques, tout en optimisant l'assemblage mécanique. Étant donné la complexité du convertisseur à concevoir, l'utilisation de cartes de développement pour le contrôleur local a été exclue, puisque cela ne permettrait pas une intégration mécanique optimale. Une première idée était de concevoir une carte unique de circuit imprimé qui comporterait le contrôleur local et les 10 sous-modules. Cette idée a été exclue en raison de son manque de flexibilité. La solution jugée adéquate est de concevoir deux types de cartes, soit une carte de contrôleur local et une carte de sous-module. La carte de contrôleur local aurait des ports pour se connecter à 10 cartes de sous-modules via des connecteurs plats. La figure 2.8a montre une disposition possible des cartes de sous-modules et de la carte de contrôleur dans le boîtier. La hauteur modulaire de ce boîtier reste à déterminer en fonction de la conception finale de la carte. Les boîtiers seraient ensuite disposés dans un rack de 42 U avec le OP4510, tel que représenté à la figure 2.8b.

2.7 Choix du contrôleur pour le module déporté

La première étape dans la conception de la carte de contrôleur local est la sélection du circuit intégré qui sera au cœur de cette dernière. Une comparaison entre DSP et FPGA a été présentée

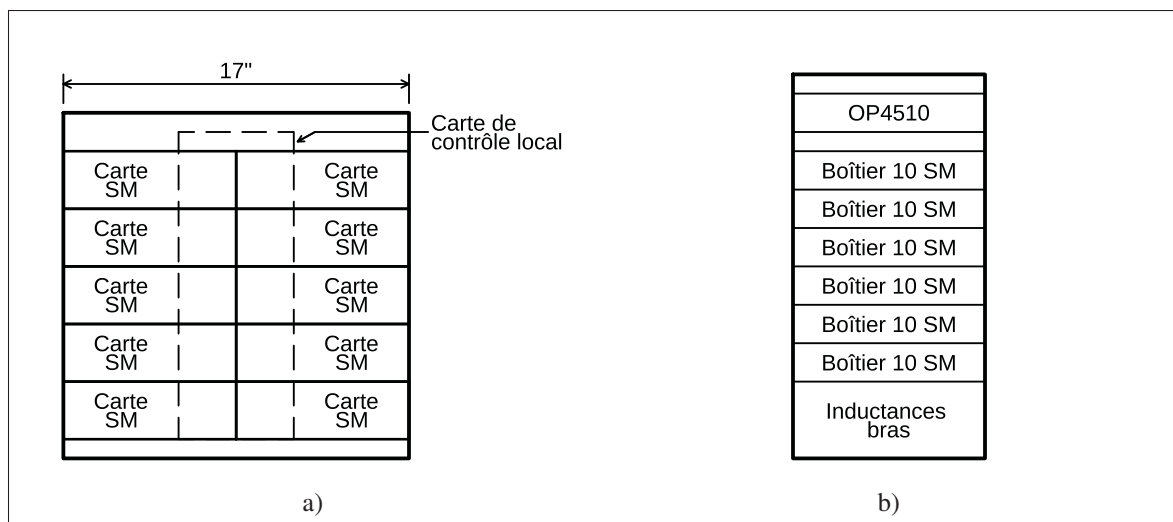


Figure 2.8 Assemblage mécanique préliminaire : a) Disposition des cartes dans le boîtier b) Façade des boîtiers dans une armoire

plus tôt dans ce chapitre, il est maintenant temps d'appliquer les critères de sélection à ce cas concret. Les fonctions à réaliser sont principalement la lecture d'une dizaine de convertisseurs analogique à numérique ou *Analog-to-Digital Converter* (ADC), la mise à jour de l'état des transistors et la communication série à un débit aussi rapide que possible. Le module devra également faire le calcul des temps morts pour les paires de transistors complémentaires, puisqu'il est peu probable que la communication permette un contrôle à distance de cette variable. De plus, il serait inutile d'envoyer l'état de deux transistors complémentaires puisque cette information est redondante. Étant donné les risques associés à des manipulations erronées, certaines protections locales devront être mises en place pour empêcher l'opération en dehors des valeurs sécuritaires.

À première vue, il semble qu'un FPGA serait le circuit intégré le plus adapté à cette application. Le premier argument est que le traitement requis est principalement logique et peut être exécuté en parallèle. Dans un deuxième temps, les FPGA sont beaucoup plus adaptés à la réalisation d'un lien série performant et comportent plusieurs éléments pour en faciliter l'implantation. Une revue des technologies FPGA disponibles a été effectuée. Trois familles de FPGA ont

été retenues pour une sélection finale. Un résumé de leurs caractéristiques est présenté dans le tableau 2.4.

Tableau 2.4 Comparaison de différentes familles de FPGA retenues

	Lattice MachXO2	Xilinx Spartan-3	Xilinx Artix-7
Nombre de LUT	250 à 7 k	1,5 k à 74 k	16 k à 200 k
Nombre de IO	18 à 334	132 à 576	250 à 500
Prix (\$ US)	2,80 à 25	6,30 à 227	25 à 375
Forces	- Instant-on - PLL	- Cellules DSP - PLL	- Cellules DSP - PLL et MGT
Faiblesses	- Calcul limité	- Délai de configuration	- Délai de configuration

Premièrement, les FPGA du fabricant Xilinx font partie de la sélection finale puisque le matériel Opal-RT est basé sur ces composants. Une expertise dans leur programmation est donc déjà accessible et les outils nécessaires sont connus. L'intrus dans cette sélection est le MachXO2 du fabricant Lattice Semiconductor. Ce circuit intégré est classé comme étant un *Complex Programmable Logic Device* CPLD, mais comporte une capacité logique et une architecture semblables aux petits FPGA. Il inclut des *Phase Locked Loop* (PLL) internes, ce qui peut faciliter la réalisation de communication série à fort débit. L'intérêt pour ce CPLD vient de sa capacité à charger sa configuration instantanément au démarrage, grâce à sa mémoire flash interne (Lattice Semiconductor, 2012). Cela diminue la complexité de la carte à concevoir par rapport aux FPGA classiques qui ont besoin d'une mémoire externe et d'un contrôleur de démarrage. L'inconvénient du MachXO2 est qu'il ne possède pas de capacité de calculs avancés. Il serait donc très difficile, voire même impossible, de procéder à du traitement de signal ou à de la commande numérique où des multiplications sont requises.

Les FPGA Xilinx, pour leur part, comportent des fonctions de calcul avancées. Le Spartan-3 est un modèle d'entrée de gamme. L'avantage qu'il possède en comparaison du MachXO2 est la présence de blocs de traitement de signal intégrés. La plupart des modèles de cette famille demandent l'ajout d'une mémoire externe, à l'exception du modèle Spartan-3 AN qui possède une mémoire intégrée dans le boîtier. Le Artix-7 est un FPGA de moyenne gamme d'une

nouvelle génération. Il possède une forte capacité de traitement de signal et plusieurs MGT pour la communication série. Il doit être programmé exclusivement par mémoire externe, ce qui limite la vitesse de démarrage. Un inconvénient technique avec les nouveaux FPGA est qu'ils sont souvent offerts en boîtier de type *Ball Grid Array* (BGA). Ces boîtiers sont complexes à souder, ce qui peut être un frein à l'étape du prototypage. Par contre, cette technologie est de plus en plus répandue et les assembleurs disposent généralement de l'équipement requis pour réaliser cette tâche.

Après cet exercice de comparaison, le MachXO2 a été choisi pour réaliser le contrôleur local. Les éléments favorisant cette décision sont sa simplicité d'installation, sa capacité de démarrage rapide et sa capacité de traitement logique respectable. De plus, son coût plus faible et le fait de pouvoir l'acheter en boîtiers faciles à souder rendent son utilisation en phase de prototypage beaucoup plus simple. Par contre, ce choix limite la possibilité de réaliser une commande locale à partir d'algorithmes complexes. Le module servira essentiellement à transférer la commande réalisée dans le OP4510.

2.8 Récapitulatif

Un premier travail de définition du convertisseur a été effectué dans ce chapitre. Les éléments de base nécessaires à la fabrication de la maquette du convertisseur MMC ont été présentés. Une spécification technique a été établie afin de guider la conception des modules de commande et de puissance. Des contraintes au niveau de la fréquence de commutation et du délai de la commande ont été ajoutées suite à une étude préliminaire de l'utilisation du convertisseur comme amplificateur. L'analyse de l'architecture de commande du convertisseur MMC a permis d'observer la place primordiale qu'occupe la communication dans ce système. Les propriétés et les topologies de réseaux de communication ont donc été étudiées.

La faisabilité de différentes technologies de communication a été discutée pour finalement proposer l'utilisation d'un système de commande central. Des modules de contrôle locaux sont prévus et ils seront connectés par des liens série duplex. Chaque module déporté comportera

10 sous-modules de puissance et une carte de contrôle local. Le standard EIA-310 est proposé pour la fabrication du boîtier. Finalement, le CPLD MachXO2 a été sélectionné parmi trois solutions possibles en tant que circuit intégré pour réaliser la commande locale.

CHAPITRE 3

CONCEPTION DU LIEN DE COMMUNICATION VERS LE MODULE DE CONTRÔLE LOCAL

L'élaboration du module de contrôle local proposé dans le chapitre 2 repose en grande partie sur la réalisation d'un lien de communication série duplex performant. La conception d'un tel lien demande l'analyse de plusieurs technologies et standards de communication. Des choix doivent être effectués à différents niveaux afin de trouver une combinaison optimale d'interface matérielle et de circuits logiques de contrôle.

Le modèle OSI (*Open Systems Interconnection*) a été développé par l'Organisation internationale de standardisation (ISO). Il propose une façon de décrire un standard ou un protocole de communication en 7 couches qui sont en fait autant de niveaux d'abstraction décrivant le lien de communication et s'emboîtant à la manière de poupées russes. À la base de ce système se trouve la couche 1, dite physique (*physical layer*), qui décrit le fonctionnement bas niveau d'un lien de communication. Les couches élevées sont généralement appliquées aux domaines de l'informatique et des télécommunications.

Ce chapitre documente la conception d'un lien point à point, impliquant principalement les concepts liés aux couches 1 et 2. Cela inclut la définition matérielle du lien (connecteurs et médiums), l'encodage de l'information, la synchronisation, le stockage des bits et le contrôle de la transmission.

3.1 Transmission série

Il existe deux méthodes fondamentales pour le transfert de données numériques, soit la transmission parallèle et la transmission série. Dans la transmission parallèle, le lien de communication est composé d'un nombre défini de canaux servant à transmettre simultanément un groupe de bits appelé mot (chaque bit ayant droit à son canal), tel que montré dans la figure 3.1a. Dans la transmission série, illustrée sur la figure 3.1b, le même mot sera transmis de façon séquen-

tielle (un à la suite de l'autre) sur un seul canal et à une cadence définie par une horloge. Le temps d'arrivée du mot dépend de sa grandeur, du débit de transfert et de la latence physique du lien. Tel qu'expliqué dans le chapitre 2, l'utilisation d'un lien parallèle ne permet aucune réduction du nombre d'entrées et sorties utilisées au niveau du contrôleur central. Le lien de communication à concevoir doit donc être série.

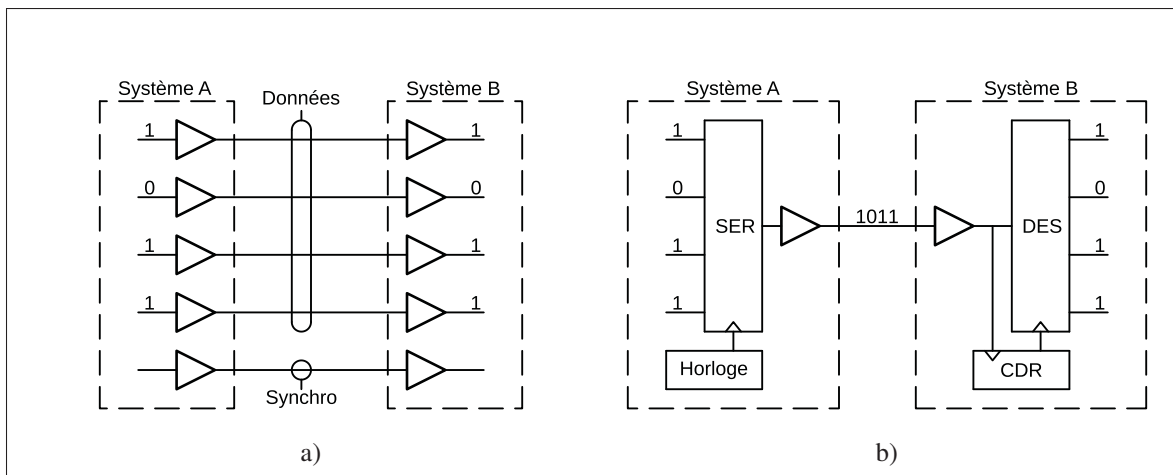


Figure 3.1 Communication numérique : a) Parallèle b) Série

Les données étant généralement traitées en groupe de bits ou mots, la communication parallèle requiert un traitement minimal de l'information puisqu'elle se présente déjà sous la bonne forme. Un signal de synchronisation est transmis avec les données sur un canal supplémentaire pour assurer que le récepteur les échantillonne au moment opportun. Cependant, le débit maximal est rapidement limité par la variation du délai de propagation entre canaux, qui est difficile à minimiser sur de longues distances. Cela crée un déphasage dans l'information reçue (*skew*), qui peut la corrompre. En communication série, ce problème n'existe pas et c'est pourquoi ce mode est préféré pour les transmissions où la distance rend le contrôle du délai impossible.

La fonction à la base d'une communication série est la conversion parallèle à série et vice-versa. Cette conversion est réalisée par des registres à décalage composés de séries de bascules permettant le stockage et le transfert cadencé d'une information parallèle vers un canal série. Ces instances logiques se retrouvent sous différentes formes dans les circuits intégrés offerts sur

le marché. Un module de conversion parallèle à série sera appelé *serializer* (SER) et l'inverse *deserializer* (DES).

Dans un module SER, tel que celui illustré sur la figure 3.2a, les bits sont d'abord chargés à partir d'un bus parallèle dans le registre à décalage composé de bascules D. Ils sont ensuite transmis un à un vers la sortie sur le canal, selon le rythme imposé par l'horloge de transmission qui règle le débit. À l'inverse, le module DES échantillonne le canal suivant une horloge synchronisée avec les données. Les données sont stockées au fur et à mesure dans un registre à décalage, tel que montré sur la figure 3.2b. Quand le registre est plein, le groupe de bits est chargé dans un registre de sortie vers le bus parallèle. Le défi en communication série est de régénérer l'horloge qui permet d'échantillonner correctement les données. Deux techniques sont principalement utilisées pour y arriver, soit le *Clock and Data Recovery* (CDR) et l'*oversampling*.

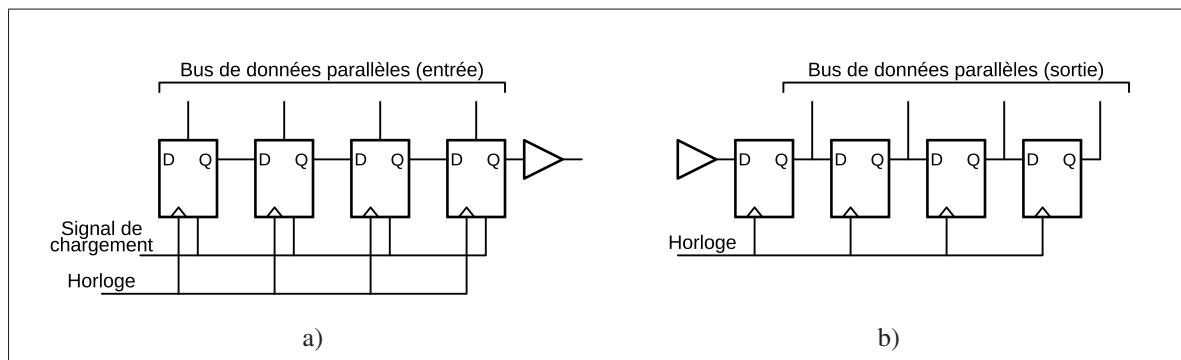


Figure 3.2 Registres à décalage utilisés pour la transmission série : a) SER b) DES

3.2 Sélection de l'interface physique de transmission

Le niveau le plus élémentaire de la couche physique d'un lien de communication est la définition de l'interface matérielle qui servira à transmettre le signal du transmetteur à un récepteur. Ce choix affecte directement le coût et la performance d'un système. Dans un premier temps, cette section présente des types de signaux couramment utilisés en électronique ainsi que les médiums servant à les transmettre. Un choix de transmetteurs et de médiums est ensuite fait.

L'interface de communication sélectionnée est par la suite présentée avec l'évaluation expérimentale de la performance.

3.2.1 Types de signaux

Signal asymétrique (*single-ended*)

Les signaux asymétriques se définissent comme étant les signaux circulant sur un seul conducteur et dont le retour s'effectue sur une référence commune, tel que montré dans la figure 3.3a. Les standards logiques TTL et CMOS font partie de cette catégorie de signaux. Leurs principaux avantages sont la simplicité d'utilisation et la possibilité d'utiliser des *ground planes* pour distribuer la référence sur une carte de circuit imprimé. Cependant, ces signaux sont très sensibles aux perturbations. Celles-ci peuvent affecter la référence, ce qui limite la distance sur laquelle ces signaux peuvent être portés.

Signal différentiel symétrique

Un signal différentiel, tel que présenté à la figure 3.3b, est créé par un transmetteur qui force une différence de potentiel symétrique, positive ou négative, sur une paire de conducteurs généralement couplés magnétiquement. Le courant est balancé dans les deux conducteurs, puisque la paire forme une boucle de courant fermée. Cela immunise le signal aux perturbations externes qui auront tendance à s'annuler au niveau du récepteur (Johnson et Graham, 1993). Un autre avantage lié au fait d'avoir un signal balancé est la possibilité d'utiliser des techniques de couplage CA pour créer une isolation galvanique sur la ligne. Un tel couplage peut être créé par une paire de condensateurs sur la ligne ou par un petit transformateur de signal. Une telle isolation est utilisée de façon courante en réseautique pour éviter la circulation de courants indésirables dans un lien. Cela requiert cependant un encodage des données assurant l'absence de composante CC dans le lien, ce qui se traduit par une transmission comportant autant de 1 que de 0. Il existe plusieurs standards de signaux différentiels. Un standard très répandu est le *Low-Voltage Differential Signaling* (LVDS), qui est grandement utilisé pour la communication série à haute vitesse.

Signal optique

Un lien optique, tel que présenté à la figure 3.3c, est composé d'un transmetteur composé d'une diode électroluminescente (DEL) ou d'une diode laser, d'une fibre optique en verre ou en plastique et d'un récepteur composé d'une photodiode permettant de convertir le signal lumineux en signal électrique. Parmi les avantages de la communication par fibre optique figurent son immunité aux interférences électromagnétiques, son atténuation pouvant être très faible et sa capacité de transmettre à très haut débit. De plus, la fibre optique est non-conductrice, ce qui permet de conserver une isolation galvanique parfaite entre les deux systèmes raccordés. Dans une application de convertisseur de puissance, cela apporte un avantage double. Premièrement, cela permet de connecter des circuits à des potentiels électriques différents et, dans un second temps, cela limite la circulation du bruit électromagnétique conduit, ou *Electromagnetic Interference* (EMI). Selon l'épaisseur de la fibre optique, il existe deux modes de propagation de lumière dans la fibre. La propagation multimode implique une réflexion totale interne dans la fibre lorsque celle-ci est plus épaisse. Les fibres minces de haute qualité produisent une propagation monomode où il n'y a pas de réflexion et, par conséquent, moins d'atténuation.

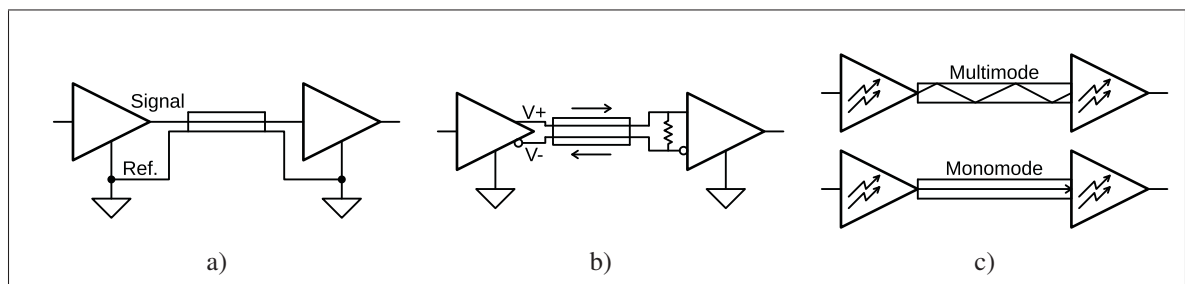


Figure 3.3 Types de signaux : a) Asymétrique (*single-ended*)
b) Différentiel c) Optique

3.2.2 Médiuns physiques et transmetteurs

Le câble coaxial

Le câble coaxial, présenté à la figure 3.4a, est construit à partir d'un conducteur entouré d'un isolant et d'une gaine conductrice servant de retour au signal. Il sert couramment dans la trans-

mission de signaux analogiques. Une des caractéristiques intéressantes de ce câble est que le champ électromagnétique du signal est confiné à l'intérieur du câble. Outre la grande immunité au bruit que cela lui confère, cela assure des caractéristiques de transmission complètement indépendantes de l'environnement immédiat du câble. Les câbles coaxiaux transportent principalement des signaux de type *single-ended*.

La paire de fils métalliques torsadés

Comme son nom l'indique, la paire est constituée de deux fils métalliques isolés enroulés l'un sur l'autre. Un câble va généralement contenir plusieurs paires (ex. le câble Ethernet RJ45 de la figure 3.4b contient 4 paires). Le coût de production de ce type de câble est très faible, ce qui explique en partie sa popularité dans les domaines comme l'informatique. Le fait d'enrouler les fils ensemble crée un couplage magnétique qui donne à la paire un bon niveau d'immunité au bruit. Des enveloppes de papier métallique peuvent être ajoutées pour blinder les paires ou le câble au complet afin d'augmenter le niveau d'immunité. Des signaux de type différentiel sont généralement utilisés dans ce médium.

Les fibres optiques plastiques

Les fibres optiques plastiques sont des fibres dont l'épaisseur peut atteindre l'ordre du millimètre. Ce sont des fibres peu dispendieuses et faciles à manipuler. Elles sont très populaires dans les applications industrielles, là où une immunité au bruit ou une isolation électrique sont nécessaires. Le débit binaire maximal sur ce type de fibre est de l'ordre de 100 Mbit/s. La figure 3.4c présente les transmetteurs et la fibre optique plastique VersaLink du fabricant Avago.

Les fibres optiques SFP

Les transmetteurs optiques duplex SFP (*small form-factor pluggable*) sont régis par un standard qui impose une interface mécanique uniforme. Ce type de transmetteurs est devenu la norme en réseautique optique et en transmission série à fort débit. Ces transmetteurs sont associés à des débits pouvant aller au-delà de 10 Gbit/s. L'utilisation de ces transmetteurs doit être faite de concert avec un système FPGA performant permettant la gestion d'une transmission série à fort débit. Un exemple de ce type de transmetteur est illustré à la figure 3.4d.

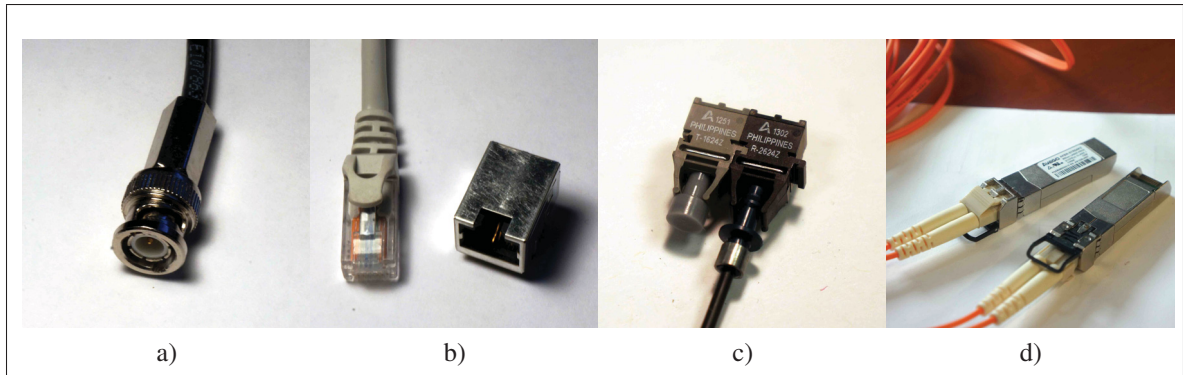


Figure 3.4 MédiuMs physiques et transmetteurs : a) Coaxial b) RJ45
c) Fibre optique plastique d) Fibre optique SFP

3.2.3 Sélection et discussion des choix

Le choix de l'interface dans ce projet est en partie dicté par la technologie disponible sur le OP4510. Le OP4510 dispose de 6 TX et 6 RX optiques pour fibres optiques plastiques de 50 Mbit/s de type Avago VersaLink. Cela est suffisant pour établir les 6 liens duplex requis pour monter un MMC de 60 niveaux et cela garantit l'immunité du OP4510 au bruit du convertisseur. Un schéma de cette interface est présenté à la figure 3.5a. Par contre, le débit semble faible par rapport aux capacités du MachXO2. C'est pourquoi une solution alternative est aussi considérée afin de tester un débit plus élevé.

Cette solution, présentée à la figure 3.5b, est basée sur le câble Ethernet combiné avec des transmetteurs LVDS et un couplage CA. Le câble est composé de quatre paires de fils torsadés qui peuvent être blindées avec du papier métallique. Quatre canaux sont disponibles et peuvent être utilisés pour augmenter le débit total vers le module local. L'impédance caractéristique d'une paire de fils d'un câble Ethernet est de $100\ \Omega$, ce qui le rend compatible avec les transmetteurs différentiels de type LVDS. Ce standard différentiel peut être utilisé sur des lignes ayant un couplage CA de type capacitif. Des transmetteurs ayant une capacité maximale d'opération de 400 Mbit/s ont été choisis afin de tester la capacité maximale du lien et du protocole de communication à concevoir. L'impédance des traces de circuits imprimés doit être contrôlée et une terminaison doit être ajoutée suivant le standard LVDS.

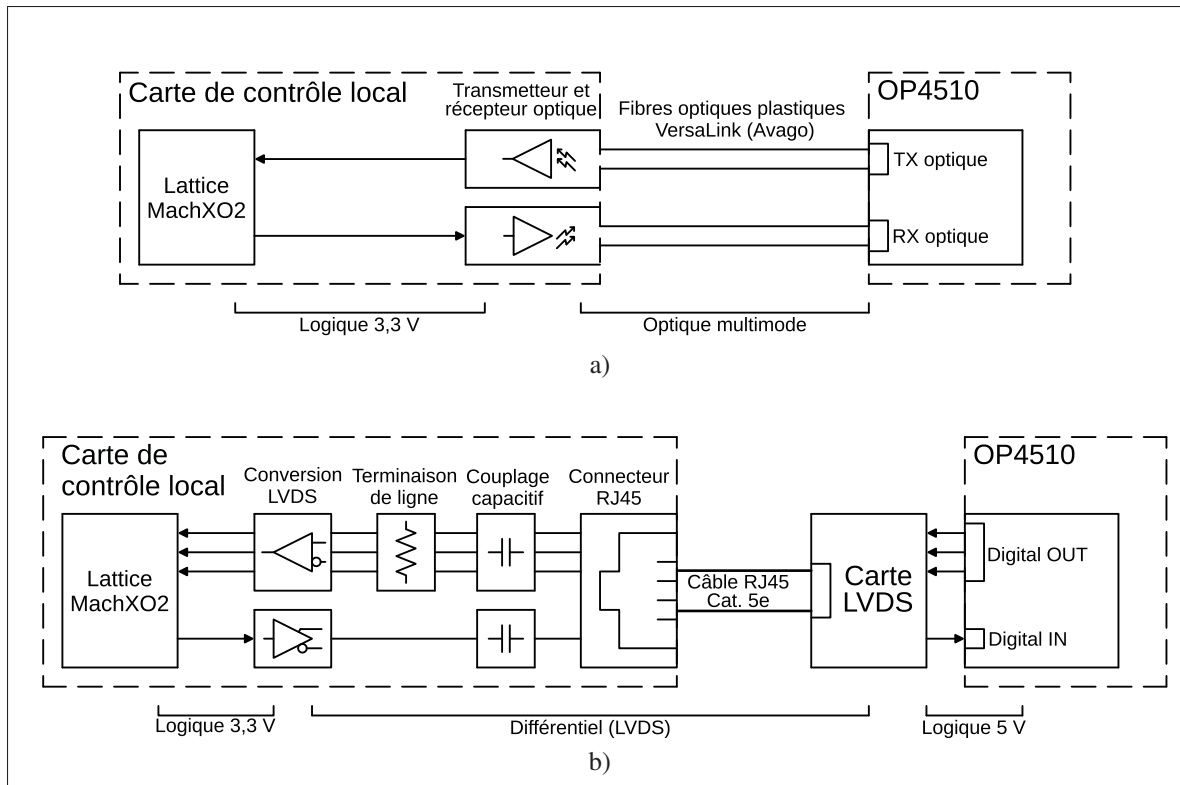


Figure 3.5 Interfaces séries sélectionnées pour le projet :
a) Fibres optiques VersaLink b) Câble RJ45 et signaux LVDS

3.2.4 Validation expérimentale

Pour valider la qualité d'un canal de transmission série, un concept essentiel en communication série est celui du diagramme de l'œil (*eye diagram*) qui permet de valider l'existence d'un point d'échantillonnage idéal dans une trame série de bits. La figure 3.6 présente un diagramme de l'œil théorique et ses points d'intérêt. Il permet, entre autres, d'évaluer l'impact, sur un signal série, des temps de montée et de descente, le niveau de bruit et la quantité de *jitter*. Le *jitter* est une variation indésirable de la période d'un signal cadencé qui peut le rendre inutilisable si elle est trop élevée. Ce diagramme est construit à l'aide d'un oscilloscope avec l'option de persistance activée. Il s'agit d'échantillonner le canal série pendant la transmission d'une trame de test et de se synchroniser sur une détection de transition. Le point d'échantillonnage optimal devrait être au centre de l'œil, où l'état logique du canal est bien déterminé. Si ce centre n'est

pas bien défini, cela indique que le signal est, soit trop atténué, soit qu'il comporte trop de *jitter* ou de bruit et qu'il est donc impossible de récupérer les données de façon fiable.

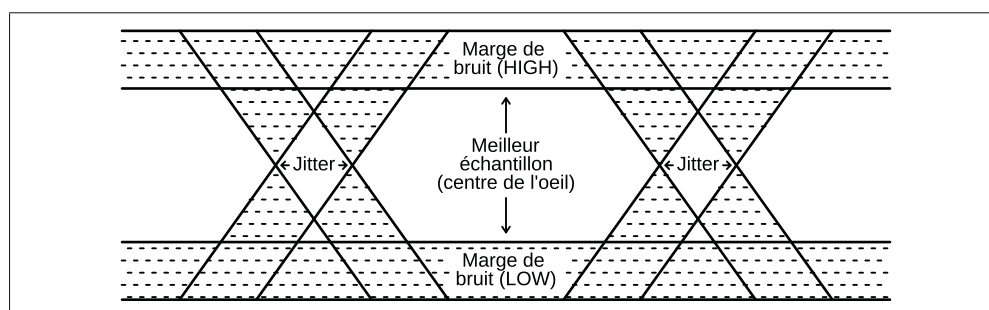


Figure 3.6 Diagramme de l'œil théorique

Une carte de prototypage (figure 3.7) a été conçue afin de tester l'interface de communication avec signal LVDS et de développer, par la suite, le protocole de communication. Avec l'aide de cette carte, le diagramme de l'œil a été produit à 400 Mbit/s pour l'interface LVDS proposée à la figure 3.5b. Le résultat est présenté à la figure 3.8a. Pour valider l'interface optique, le diagramme de l'œil a été généré à 50 Mbit/s (présenté à la figure 3.8b), à l'aide d'un signal optique généré à partir du OP4510 et de la carte de contrôleur local développée. Les détails de la conception de cette carte sont présentés dans le chapitre 5.

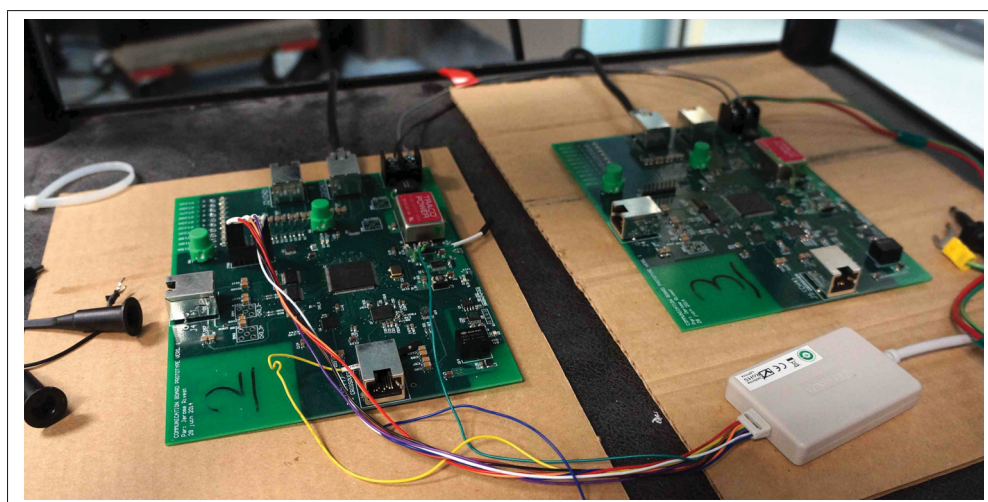
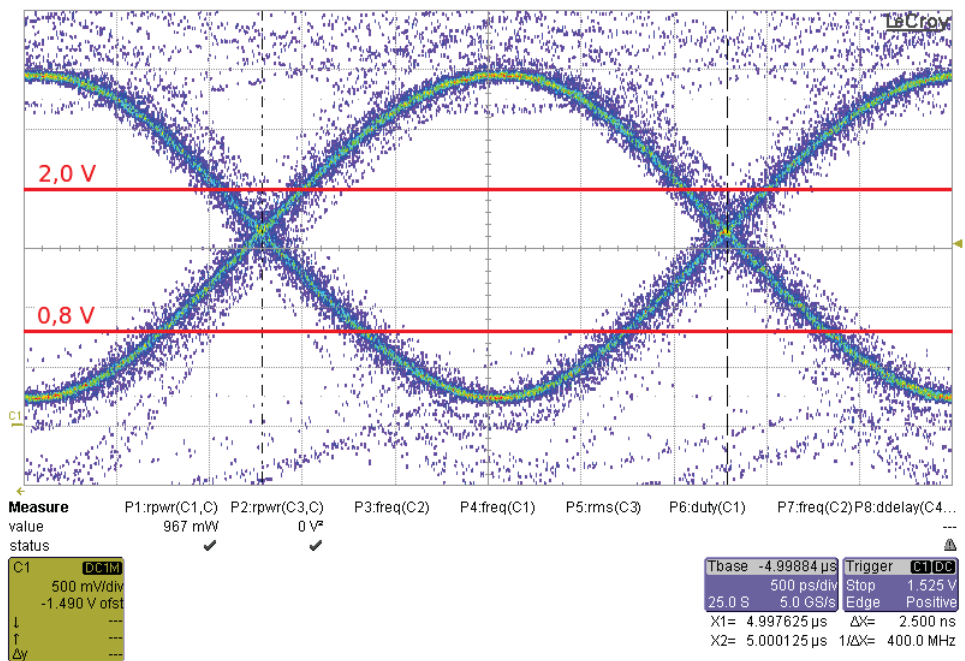
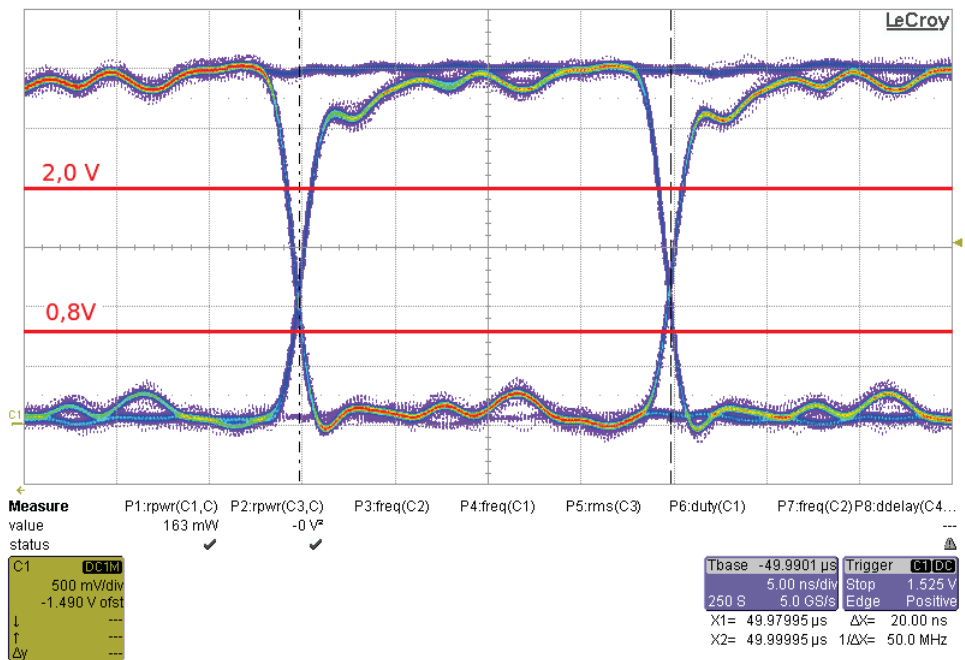


Figure 3.7 Carte de prototypage développée



a)



b)

Figure 3.8 Diagrammes de l’œil expérimentaux : a) Lien LVDS 400 Mbit/s
b) Lien optique 50 Mbit/s

Les diagrammes obtenus pour ces deux cas sont visuellement très différents étant donné l'écart de fréquence entre les deux solutions. Pour le signal de 50 Mbit/s, le temps de montée du signal est négligeable par rapport à sa période. Cela donne un aspect carré au diagramme de l'œil tandis que le diagramme du lien à 400 Mbit/s est beaucoup plus arrondi. Cette caractéristique indique que ce lien est opéré à une vitesse proche de sa vitesse maximale. Le lien optique présente beaucoup moins de bruit et de *jitter*, ce qui en fait un choix plus sécuritaire au niveau de la fiabilité. Pour le lien LVDS de 400 Mbit/s, il est tout de même possible d'observer une plage dégagée dans le centre de l'œil, ce qui indique qu'il est possible d'y faire un échantillonnage fonctionnel du signal série. Le protocole sera donc testé sur ces deux interfaces afin de réaliser des tests pour différents débits.

3.3 Protocoles disponibles pour la transmission série point à point

Il existe plusieurs protocoles permettant de réaliser des liens de communication point à point efficaces. Le plus simple est le protocole *Universal Asynchronous Receiver/Transmitter* (UART), qui ne contient qu'un minimum de bits de contrôle dans chaque trame. La trame standard UART est présentée à la figure 3.9a. Lorsque le canal de transmission est au repos, un état 1 est transmis pour valider le fonctionnement de ce dernier. Le récepteur détecte l'arrivée d'une nouvelle trame de données par le passage à zéro provoqué par le bit de départ. Cela permet au récepteur de se synchroniser sur cette transition afin d'échantillonner correctement les bits de données qui suivent.

La version dite synchrone du protocole UART est appelée *Universal Synchronous/Asynchronous Receiver/Transmitter* (USART). La différence entre les deux versions réside dans le fait que l'horloge du transmetteur y est récupérée à partir des données et les données sont échantillonnées à partir de cette dernière. Cela implique que la phase de l'horloge locale doit être maintenue en tout temps. Il est donc impossible de laisser la ligne fixe pendant une période de repos comme dans le UART. Dans un transmetteur USART, ce sont des caractères de synchronisation qui sont transmis pendant cette période, tel que montré dans la figure 3.9b. Ce caractère doit être dissociable des caractères de données.

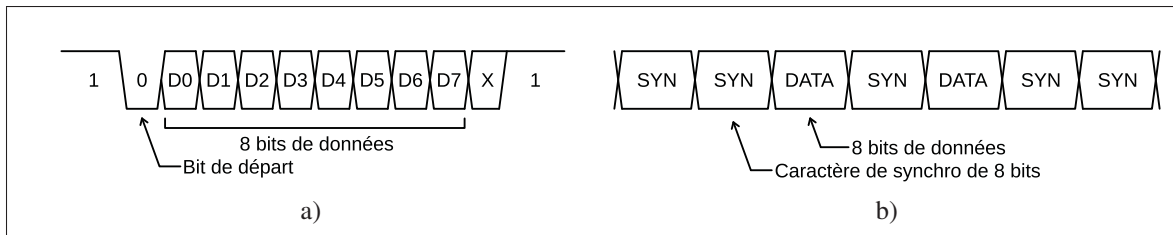


Figure 3.9 Trame typique : a) UART b) USART

Les protocoles multipoints (Ethernet, Profibus) peuvent être utilisés en mode point à point. L'avantage serait au niveau de la disponibilité des circuits intégrés permettant de réaliser de tels liens. Ces protocoles ne seront cependant pas optimaux puisqu'ils ont une taille minimale de paquets qui comporte beaucoup d'information superflue en mode point à point. Le fabricant de FPGA Xilinx offre une alternative permettant de pallier ce problème. Xilinx a développé un protocole maison, appelé Aurora, conçu spécifiquement pour le point à point. Il présente donc une structure simplifiée qui permet d'améliorer le débit net et de simplifier la gestion. Il est directement utilisable avec les modules MGT disponibles sur les FPGA Xilinx et permet des latences de l'ordre des centaines de nanosecondes. Toutefois, cette solution ne sera pas utilisée puisqu'il n'est pas jugé économique de mettre un FPGA haut de gamme sur le module local.

Une solution alternative à l'utilisation des protocoles standards est la création d'un protocole adapté à l'application. Cela permet d'optimiser l'utilisation du débit et de minimiser la latence. Pour le MMC, les besoins ne sont pas les mêmes dans les deux directions, tel que montré dans la figure 3.10. Le signal qui achemine les états de transistors du contrôleur central vers le module local est celui qui demande une latence minimale. Il comporte une quantité d'informations limitée au nombre de paires de transistors. À l'inverse, le signal dirigé du module déporté vers le contrôleur central contient beaucoup plus de bits d'informations puisqu'il s'agit des valeurs numériques des mesures de tensions et de courants du système. Or, la constante de temps de ces variables est beaucoup plus basse, elles peuvent donc être acheminées à un rythme plus lent que les états des transistors. Ainsi, pour optimiser le fonctionnement du lien, des protocoles différents doivent être utilisés pour chaque direction.

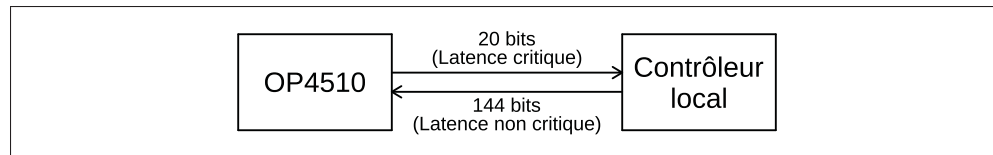


Figure 3.10 Contraintes sur le débit selon la direction du canal de communication

3.4 Protocole de communication de l'OP4510 vers la carte de contrôle local

Le lien vers la carte de contrôle local est le lien dont la latence doit être la plus faible, puisqu'elle a un impact direct dans le délai de la commande des transistors de puissance. La première étape de l'analyse consiste à évaluer la quantité d'informations à transmettre. Pour en faire l'estimation, il est nécessaire de déterminer le nombre d'états possibles pour un sous-module. En opération normale, une cellule *full-bridge* peut prendre cinq états. Ils sont présentés à la figure 3.11. Les modules étant en série, il est illogique de faire l'ouverture d'un seul pont. Il est donc possible que la commande de haute impédance soit contrôlée par une seule variable, qui pourrait être encodée de façon différente sur la ligne. Il y a donc 4 états différents possibles, ce qui demande un code de 2 bits par cellules, pour un total de 20 bits par module local de 10 sous-modules.

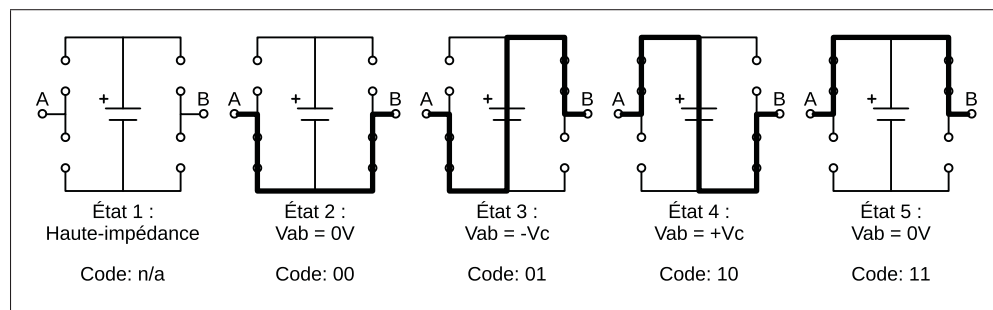


Figure 3.11 États possibles d'un module *full-bridge*

Tel que discuté plus tôt, le protocole UART ne comporte que 2 bits de contrôle, dont un seul situé en préfixe de la trame. Cela permet d'avoir un débit net élevé, malgré l'utilisation de petits paquets de données, puisque le ratio entre le nombre de bits de données et le nombre

total de bits est élevé. Cependant, le UART peut être difficile à utiliser avec un débit très élevé (>100 Mbit/s), puisqu'il est impossible de synchroniser une horloge lorsque la ligne est au repos étant donné qu'aucun contenu fréquentiel n'est transmis. C'est pourquoi le USART a été proposé, car il permet de maintenir la synchronisation dans les périodes de repos du signal en transmettant des caractères de synchronisation.

L'idée proposée pour le transfert des états de transistors est de réaliser une adaptation des standards UART et USART afin de permettre un transfert rapide du paquet de commande de 20 bits. En mode repos, une onde carrée de type 01010101, correspondant au débit maximal du lien, serait transmise afin de synchroniser une horloge locale chez le récepteur. Un signal de début de paquet serait utilisé de façon analogue au UART. Ce signal serait constitué d'une répétition de l'état du dernier bit transmis au repos, ce qui crée le préfixe illustré à la figure 3.12a. Les bits d'information seraient transmis par la suite et un autre double bit de fermeture serait ajouté pour valider la fin du paquet et éviter la détection de doubles bits inclus dans l'information elle-même. Ce premier protocole a été testé avec succès.

Or, pour maximiser le transfert d'information, il se peut que les paquets soient transmis un à la suite de l'autre, ayant pour seule séparation les doubles bits de démarcation. Il est possible dans ce cas que la logique de détection du marqueur de début et du marqueur de fin entraîne une fausse détection de doubles bits inclus dans les données à un intervalle identique aux marqueurs. La technique de détection des paquets a donc été revue pour éviter toute détection du marqueur de début dans les données. Pour y arriver, un marqueur constitué de 4 bits identiques sera utilisé pour marquer le début d'un paquet et un encodage des données sera élaboré pour éviter toute séquence de bits identiques supérieure à 3. Ceci est possible puisque les états 00 et 11 sont redondants au niveau fonctionnel, tel que montré dans la figure 3.11. Il est donc possible d'alterner l'usage de cet état pour éviter une répétition. Une séquence binaire de type 00000000 deviendra alors 00110011. La trame typique obtenue est présentée dans la figure 3.12b.

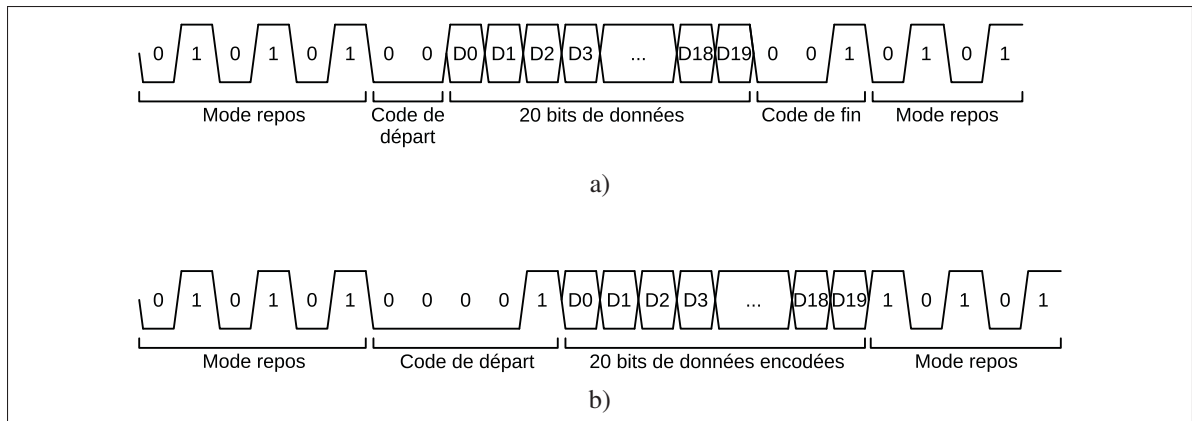


Figure 3.12 Trame proposée : a) Proposition initiale b) Proposition finale

Ce protocole est une combinaison de la technique UART et USART. Il combine le concept du maintien de la synchronisation au repos propre au USART et le principe du code de début de paquet provenant du standard UART.

3.4.1 Conception du DES avec module CDR sur le MachXO2

Afin de pouvoir appliquer correctement le protocole qui vient d'être défini, un module SER et un module DES appliquant ces règles doivent être créés dans le FPGA du OP4510 et sur le MachXO2 du contrôleur local. La création du module DES sera d'abord traitée, puisqu'il s'agit de la réalisation la plus complexe. Cette complexité réside dans le fait qu'il est requis de synchroniser l'échantillonnage du canal de communication afin de le lire au centre de l'œil où l'état logique du canal comporte le plus haut niveau de certitude, tel que présenté à la figure 3.6 (ta Hsieh et Sobelman, 2008). Pour y arriver, le récepteur doit obtenir d'une quelconque façon la fréquence de l'horloge qui a servi à cadencer le module SER du transmetteur. La façon la plus simple d'y arriver est de transmettre directement cette horloge sur un canal parallèle, tel que présenté aux figures 3.13a et 3.13b. Cette technique est appelée transmission *source synchronous*. Malgré tout, il est toujours requis d'ajuster la phase de l'horloge transmise avec les données, puisque la latence dans les deux canaux parallèles n'est pas la même. Cet ajustement ne devrait cependant pas varier de façon temporelle, puisqu'il est principalement dû à des grandeurs physiques statiques.

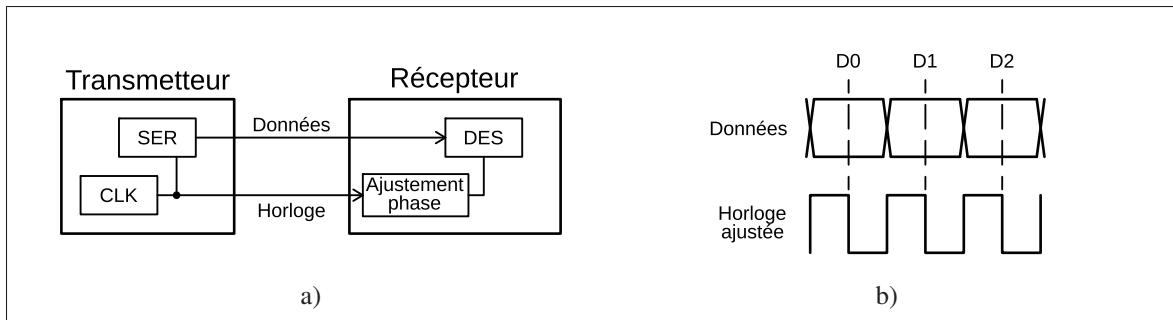


Figure 3.13 Lien *source synchronous* : a) Diagramme bloc b) Chronogramme

Le lien série *source-synchronous* demande l'usage de deux canaux de transmission, ce qui n'est pas optimal au niveau matériel. Il existe deux alternatives qui peuvent fonctionner sans la transmission de l'horloge du transmetteur. La première est appelée *oversampling* et elle est largement utilisée dans les interfaces UART. Le principe consiste à échantillonner le canal à une fréquence beaucoup plus grande que celle du signal de données. Il est alors possible de détecter les transitions des bits de données et ainsi sélectionner l'échantillon le plus représentatif de l'état logique transmis. Les figures 3.14a et 3.14b illustrent cette technique. L'usage de l'*oversampling* devient problématique lorsqu'un signal de données à très haute fréquence doit être échantillonné. La fréquence requise d'échantillonnage, qui doit être au moins trois fois supérieure (ta Hsieh et Sobelman, 2008), devient impossible à supporter sur un CPLD d'usage générique.

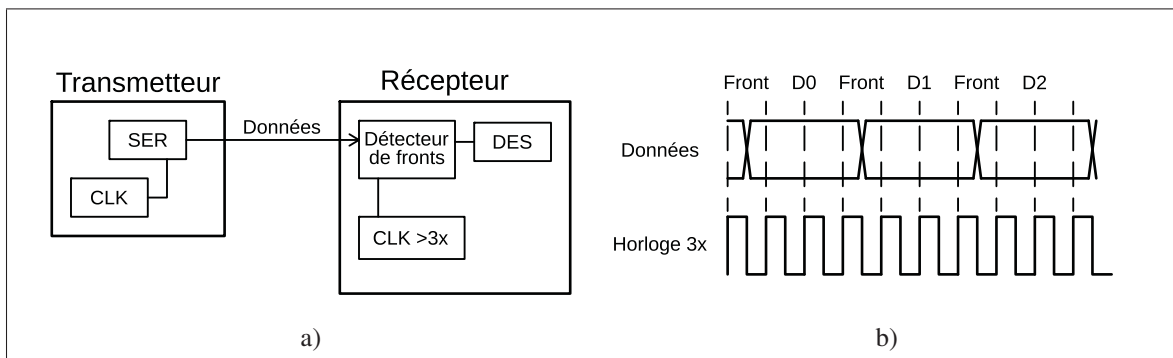


Figure 3.14 Lien basé sur l'*oversampling* : a) Diagramme bloc b) Chronogramme

La deuxième technique proposée vient pallier le problème à haute fréquence rencontré avec l'*oversampling*. Cette technique consiste à extraire le signal d'horloge du transmetteur à partir du signal de données. Cette technique, très répandue dans le domaine de la transmission série à fort débit (>1 Gbit/s), est appelée CDR (ta Hsieh et Sobelman, 2008). Un module CDR de base est présenté à la figure 3.15a, avec le chronogramme associé (figure 3.15b). Une des composantes essentielles à la réalisation d'un module CDR est le circuit de PLL, qui permet d'asservir un oscillateur afin de le synchroniser avec un signal externe. Une explication simplifiée d'un module CDR serait de dire que le PLL se synchronise sur les transitions du signal de données afin de fournir une horloge permettant l'échantillonnage correct de ces dernières. Cette technique demande que le signal de données comporte, en tout temps, un nombre suffisant de changements d'état afin de maintenir la synchronisation. Cette condition peut être obtenue à l'aide d'encodage de ligne tel que le 8B10B ou le code Manchester. Dans ce projet, le protocole proposé garantit un nombre élevé de transitions, puisqu'il ne permet pas de séquence de bits identiques supérieure à 5.

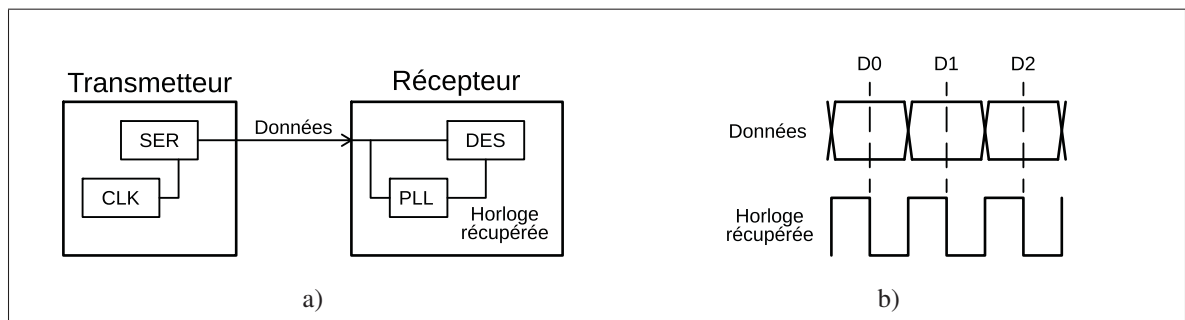


Figure 3.15 Lien CDR : a) Diagramme bloc b) Chronogramme

Dans le but de créer un lien pouvant opérer à des débits élevés, la technique de CDR a été sélectionnée pour réaliser le circuit de réception DES du contrôleur local (MachXO2). Ce CPLD comporte deux PLL internes qui vont être utilisés pour réaliser un tel circuit. L'objectif de conception est d'obtenir un système pouvant fonctionner à la fréquence maximale autorisée dans le MachXO2, soit 400 MHz.

Le PLL étant la pièce centrale d'un système de CDR, il est important de détailler son fonctionnement. Un schéma simplifié du circuit de rétroaction est montré à la figure 3.16 (Gray *et al.*, 2009). L'erreur de phase entre le signal d'entrée et de sortie est évaluée par un circuit de détection de phase (*phase detector*). Il existe deux principaux types de détecteurs de phase, soit le type linéaire et celui à hystérésis (dit *bang bang*). Le détecteur linéaire donne un signal de sortie qui est proportionnel à la magnitude de la différence de phase, tandis que le détecteur à hystérésis ne donne que le signe de celle-ci. Le circuit est ensuite complété par une pompe de charge et un filtre passe-bas qui vont transformer le signal du détecteur de phase en tension de commande pour l'oscillateur contrôlé en tension. La dynamique de la pompe de charge et du filtre passe-bas influence la performance de l'asservissement (Gray *et al.*, 2009).

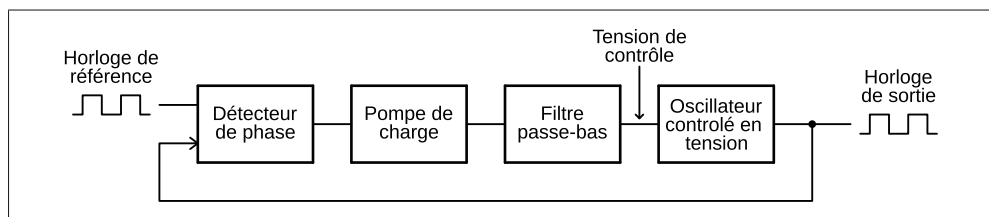


Figure 3.16 Schéma simplifié d'un circuit de PLL

Les deux types de détecteurs de phase peuvent être utilisés dans un circuit de CDR, pour autant que la boucle d'asservissement de phase demeure stable lorsque le signal de référence n'est pas périodique. Les données ne sont pas un signal d'horloge constant et la dynamique du PLL doit être adaptée en conséquence. La stabilité des PLL génériques, tel que ceux fournis sur le MachXO2, utilisés en mode CDR, n'est pas toujours garantie dans la fiche technique du produit. La première tentative de réalisation du CDR consistait justement à utiliser directement le PLL du MachXO2, tel que montré dans la figure 3.15a. Le signal d'horloge obtenu en pratique avec cette configuration comportait un niveau de *jitter* inacceptable, ce qui est un symptôme d'instabilité dans la boucle du PLL. Cette configuration a dû être écartée.

Une solution alternative, basée sur un détecteur de phase extérieur au PLL, a donc été étudiée. L'idée de base consiste à synchroniser le PLL sur un oscillateur externe stable. Ce PLL stabilisé

est ensuite utilisé pour générer une sortie dont la fréquence avoisine la valeur de l'horloge du transmetteur. Il est impossible d'obtenir une fréquence identique, étant donné l'incertitude sur la valeur de chaque oscillateur. Par contre, le PLL du MachXO2 offre l'option d'ajuster la phase des sorties de façon dynamique et continue. Si cette interface d'ajustement est connectée à un circuit de détection de phase, il devient alors possible de corriger la phase de la sortie. Une telle correction faite en continu devient alors une correction de phase et de fréquence. La plage d'opération de ce circuit est limitée, mais jugée suffisante pour corriger l'erreur de fréquence entre l'oscillateur du transmetteur et celui du récepteur.

L'interface de correction fonctionne par incrément discret de phase. Les signaux de contrôle comprennent un bit pour la direction de la correction (en avance ou en retard) et un autre bit qui incrémente la phase dans la direction choisie à chaque front montant. Cette logique est adaptée pour être utilisée avec un détecteur de phase à hystérésis qui donne directement une direction de correction. La figure 3.17a présente le détecteur de phase proposé par Alexander (1975) qui sera utilisé dans le circuit. Une horloge supplémentaire fixe le rythme de l'ajustement via un circuit logique qui bloque l'incrémentation si aucune détection de phase n'est faite (ni en avance, ni en retard). La figure 3.17b présente l'ensemble CDR réalisé dans le MachXO2.

Ce circuit avait d'abord été conçu pour réaliser une correction de phase statique sur un lien *source synchronous*. Cette solution a été testée avec succès à 400 Mbit/s sur la carte de prototypage de communication. Pour obtenir le mode CDR, le signal d'horloge du transmetteur a été remplacé par l'oscillateur interne du récepteur. Avec un ajustement du rythme des corrections de phase, le circuit a été opéré avec le succès en mode CDR. Il a été opéré à 400 Mbit/s sur l'interface LVDS ou à 50 Mbit/s pour l'interface optique Avago VersaLink où la limitation provient des transmetteurs.

Le principal défi étant relevé, il reste à réaliser la logique de détection des paquets de données. Cette détection est réalisée directement sur le registre à décalage qui stocke une certaine plage d'échantillons. Une détection logique du marqueur de début du paquet indique que les 20 bits suivants sont de l'information valide qui peut être transférée dans un registre de sortie parallèle.

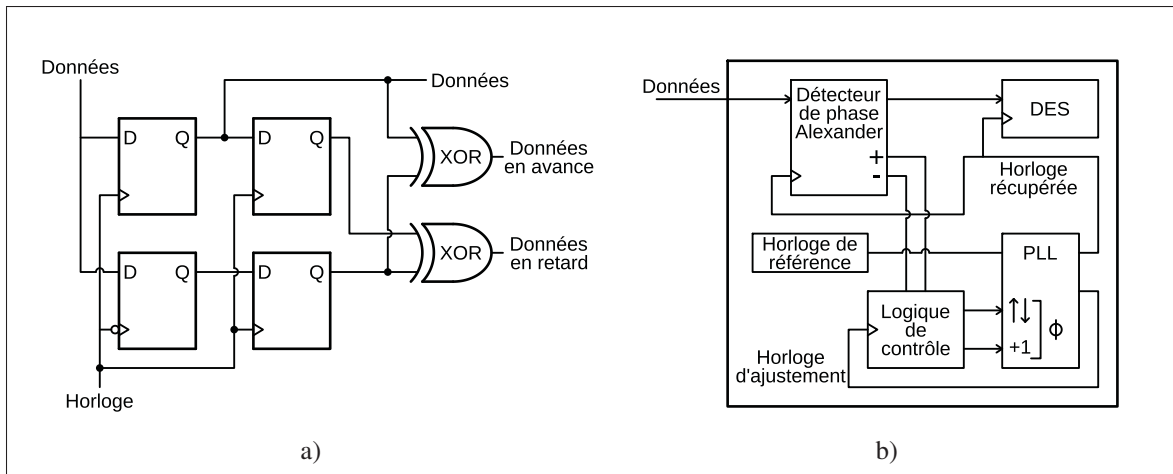


Figure 3.17 Circuit de CDR avec détecteur externe au PLL :
a) Détecteur de phase Alexander b) Circuit de CDR proposé

En plus du mode normal, une détection d'une séquence de 6 bits d'état 0 et une autre de 6 bits d'état 1 ont été ajoutées. La première est utilisée pour signaler une absence de signal et la seconde sera utilisée pour créer un signal exceptionnel de remise à zéro du contrôleur local. En opération normale, ces deux séquences ne devraient pas apparaître.

3.4.2 Discussion sur les contraintes de *timing*

Pour atteindre des performances maximales, un design VHDL doit être contraint de façon adéquate dans le logiciel de synthèse. Le Lattice MachXO2 est dans la famille des CPLD, mais son architecture interne correspond à celle d'un FPGA. Un FPGA est composé de trois composants de base, soit les blocs d'entrée et sortie, la matrice d'interconnexions et les cellules logiques. L'ensemble créé par les cellules logiques et la matrice d'interconnexions est appelé le FPGA *fabric*, faisant référence à un tissage d'éléments. C'est cette construction complexe de liens programmables entre les éléments logiques qui donne au FPGA toute sa flexibilité.

Il est possible de comparer un FPGA à un plan cartésien où sont distribuées les ressources logiques et les routes permettant leurs interconnexions. La longueur physique d'un tracé a un impact direct sur le temps de propagation d'un signal. Ainsi, la proximité physique des éléments logiques en relation a un impact direct sur les performances possibles. De plus, dans

un système synchrone, il est primordial que le signal d'horloge arrive de façon simultanée à tous les éléments logiques concernés. C'est pourquoi il existe dans un FPGA des réseaux d'horloges permettant une distribution balancée des signaux à des ensembles de blocs logiques sans décalage appréciable.

Dans le design qui nous intéresse, l'horloge récupérée par le PLL est un signal d'horloge critique qui doit être assigné à un réseau d'horloge. Le bon fonctionnement du registre à décalage en dépend puisque s'il y a un décalage d'horloge entre deux bascules du registre, les données peuvent être corrompues. Un autre point sensible, qui vient appuyer le choix d'utiliser un détecteur de phase externe au PLL, est la nécessité de situer ce dernier physiquement très proche du registre à décalage. Le but étant de compenser le délai interne du signal, ce qui peut avoir un impact si une période inférieure à 10 ns est utilisée. Pour y arriver, il est souhaitable de contraindre la localisation des modules du CDR. Cette option est disponible dans le logiciel *Lattice Diamond* qui est utilisé pour réaliser la programmation du MachXO2. L'application des contraintes discutées ici a permis l'atteinte de la fréquence limite de 400 MHz sur ce circuit intégré. Cela correspond à un transfert de 400 Mbit/s et à une période de 2,5 ns.

3.4.3 Conception du SER final sur la carte prototype et sur OP4510

Afin d'avoir un lien de communication complet, un module de transmission SER adapté au protocole doit être construit. Ce module est constitué d'un registre à décalage où une horloge établit le rythme de transfert des données sur le lien. Un signal amorce le chargement de nouvelles données dans les bascules. Pour respecter le protocole établi plus tôt, les données doivent être précédées des 4 bits marquant le début du paquet. La figure 3.2a présentée antérieurement illustre le schéma logique simplifié d'un SER. Une première version fonctionnelle a été testée sur la carte de prototypage de communication.

Dans la version finale, ce module doit être réalisé dans le FPGA du OP4510 d'où seront transmis les signaux. Les outils de programmation du OP4510 permettent d'importer des blocs conçus à partir de fichiers VHDL. Une des contraintes liées à l'importation de ces blocs est

que les modules doivent opérer à la fréquence de l'horloge principale du système qui est de 100 MHz ou 200 MHz. Or, le débit maximal permis sur les sorties digitales ou optiques standards du OP4510 est de 50 Mbit/s. Une logique de *clock enable* doit donc être ajoutée au module à concevoir afin de réduire la fréquence effective et atteindre 50 Mbit/s. Le principe est d'activer un cycle d'horloge sur deux pour diviser la fréquence. L'avantage de cette technique est qu'elle ne requiert pas de créer un nouveau signal d'horloge, qui aurait possiblement une phase différente de l'horloge principale. De plus, le signal de *clock enable* ne requiert pas de contraintes aussi serrées. Un circuit logique permettant de générer le signal de 6 bits consécutifs d'état 1 pour le *reset* proposé dans la section DES a aussi été ajouté.

3.4.4 Résultats expérimentaux du module CDR réalisé sur le MachXO2

Tel que mentionné plus tôt, une carte de prototypage comportant une interface LVDS et un CPLD MachXO2 a été développée afin de tester l'interface de transmission et l'implémentation VHDL du protocole de communication. Cette carte a ensuite été utilisée pour évaluer la performance du lien en utilisant l'interface LVDS qui permet le plus haut débit. L'interface optique n'a pas été utilisée pour faire ces tests puisqu'elle est limitée à 50 Mbit/s. Étant donné la stabilité de la fibre optique, les résultats obtenus à 50 Mbit/s pour l'interface LVDS seront présumés valables pour ce médium à une fréquence équivalente.

Le premier paramètre évalué est la latence, qui représente la motivation principale derrière le développement de ce protocole adapté. La latence est mesurée à l'oscilloscope pour une transmission de 20 bits sur 1 m de câble RJ45, à partir du chargement du registre SER du transmetteur jusqu'au signal de réception valide du module CDR. Différents débits ont été évalués entre 50 Mbit/s et 400 Mbit/s. Une seconde analyse a été faite sur la fiabilité de la transmission. Pour ce faire, un mot constant de 20 bits a été transmis à répétition et une comparaison est effectuée à chaque réception valide du côté du récepteur. Les réceptions ratées sont ensuite comptabilisées dans un registre. Ce test est conduit pendant une heure à une fréquence de transmission des paquets de 2,08 MHz (toutes les 480 ns), sauf pour la transmission à 50 Mbit/s où

ce rythme doit être divisé par deux puisque la latence minimale théorique est de 500 ns. Les résultats de ces deux tests sont présentés dans le tableau 3.1.

Tableau 3.1 Résultats des tests du lien de communication série CDR

Débit d'opération (Mbit/s)	Latence (ns)	Taux d'erreur (erreur/h)
50	555	N/A
100	282	N/A
200	153	0
400	84	0

Les résultats de latence obtenus ne sont valides que pour une très courte distance, car à cette échelle de temps, la vitesse de propagation du signal dans le câble n'est pas négligeable. Le test de fiabilité a été réalisé uniquement pour les débits les plus rapides, qui sont les plus sensibles. Étant donné les résultats concluants obtenus, il n'a pas été jugé nécessaire de réaliser le test pour les débits plus lents. Pour l'utilisation à haut débit, la fiabilité devrait être vérifiée pour chaque synthèse du code VHDL puisque les délais de propagation approchent la période très courte du signal. La latence de 84 ns obtenue à 400 Mbit/s réduit grandement l'impact de la communication série dans une application d'amplificateur, puisque cette valeur est de l'ordre de grandeur des temps morts appliqués à la commutation.

3.5 Protocole de communication de la carte de contrôle local vers l'OP4510

La transmission des mesures de courants et de tensions vers le contrôleur central est moins contraignante au niveau de la latence, mais demande le transfert de gros paquets de données. Un protocole basé sur le codage 8B10B semble être une solution efficace pour répondre à cette tâche. Le 8B10B est un codage de ligne très utilisé qui a été développé par Widmer et Franaszek (1983) pour le compte d'IBM. L'avantage du 8B10B, outre le fait qu'il assure un nombre élevé de transitions dans le flux de données, est qu'il permet de maintenir l'alignement des octets de données grâce à l'utilisation des symboles de contrôle qui seront appelés caractères «K». Dans

une transmission continue, ces caractères permettent de signaler le début d'un nouveau paquet de données.

Le 8B10B est un code à disparité contrôlée. La disparité étant une valeur entière qui peut être positive ou négative et qui représente le débalancement entre le nombre de 0 et de 1 transmis dans une série de bits. Pour obtenir un signal balancé, la disparité doit rester nulle. Pour y parvenir, le codage 8B10B est composé de l'union de deux sous-codes (5B/6B et 3B/10B) dont la disparité est connue. Les bits de données sont séparés en deux groupes, un de 5 bits et un de 3 bits, où chaque sous-groupe peut être associé à un code ayant un impact additif ou soustractif sur la disparité. Durant la conversion, l'encodeur consulte la disparité courante (*running disparity*) et choisit le sous-code dans la paire qui permet de compenser la disparité. Le codage 8B10B permet d'utiliser 80 % du débit brut d'un signal. De plus, certains caractères du code, tel que mentionné plus tôt, représentent des séries de 10 bits uniques qu'aucune combinaison des codes de données n'est capable de reproduire. Ce sont des caractères de ponctuation appelés caractères K. Ils permettent d'aligner les données, c'est-à-dire de dissocier les groupes de 10 bits dans un flux de bits continu, tel que montré dans la figure 3.18.

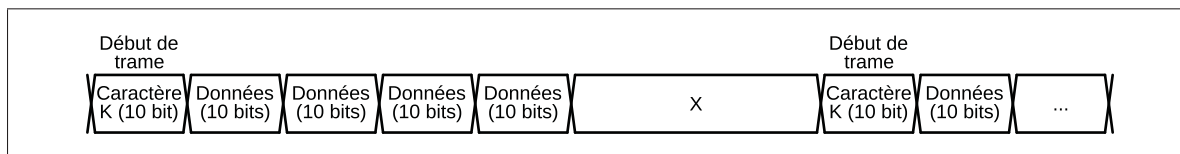


Figure 3.18 Alignement des données par les caractères K

Pour un groupe de 10 sous-modules, il y a 10 mesures de tension et 1 mesure de courant à transmettre. Cette information doit être collectée par des ADC dont la résolution est à déterminer. Une façon optimale de choisir cette résolution serait d'obtenir un nombre qui est un multiple de 8 bits, puisqu'un encodeur 8B10B n'encode les bits que par octet. Une résolution de 8 bits est limitée et une résolution de 16 bits surchargerait le lien série inutilement. Un compromis serait de choisir une résolution de 12 bits et de partager un octet entre deux mesures adjacentes. Avec cette résolution, pour 11 lectures, cela donnerait un total de 132 bits d'information à encoder.

Cela équivaut à 16,5 octets, ce qui n'est pas optimal étant donné la fraction. Il est fort probable que le fonctionnement du convertisseur nécessite l'ajout de bits de contrôle, il faudrait donc les prévoir dans ce groupe. Un autre point à considérer serait la possibilité d'ajouter un ADC supplémentaire pour faire une deuxième mesure de courant en cas de changement de topologie. Cela donnerait un ensemble de 12 mesures de 12 bits et un groupe de 8 bits de contrôle pour un total de 152 bits (19 octets). Une fois encodée et préfixée d'un caractère K, la trame proposée compte 200 bits, tel que montré dans la figure 3.19.

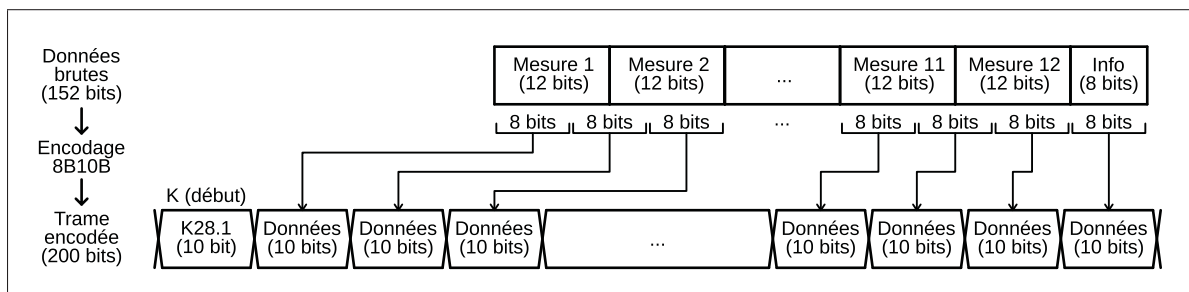


Figure 3.19 Trame de données proposée pour la transmission des mesures

3.5.1 Conception du SER sur le MachXO2

La conception du module de transmission dans le MachXO2 est basée sur l'utilisation d'un multiplexeur 20 à 1 de 8 bits de large. Ce multiplexeur est connecté, d'un côté, à l'ensemble des données à transmettre et, de l'autre, à l'encodeur 8B10B. L'encodeur effectue la conversion à chaque envoi de nouvel octet. Le résultat sur 10 bits est ensuite chargé dans le registre à décalage du SER. L'ensemble de l'opération est synchronisé par le SER. À chaque fois qu'une nouvelle transmission est chargée dans le SER, celui-ci indique au multiplexeur d'envoyer un nouvel octet dans l'encodeur 8B10B. Lorsque le multiplexeur charge la dernière donnée de mesure, il ordonne un nouvel échantillonnage à ces derniers. Les nouvelles valeurs seront chargées dans l'intervalle de temps requis pour transmettre les bits de contrôle et le caractère K permettant la détection d'une nouvelle trame et la synchronisation du côté récepteur.

Le débit binaire a été fixé à 10 Mbit/s puisque c'est le maximum que peuvent lire les entrées digitales isolées du OP4510. L'utilisation des entrées optiques permettrait une vitesse jusqu'à 50 Mbit/s. Le débit sera limité à la capacité des entrées génériques de 10 Mbit/s, car certaines applications requéraient l'usage de ces entrées. Un débit de 10 Mbit/s du lien permet un échantillonnage des signaux analogiques à toutes les $20 \mu\text{s}$ (50 kHz) ce qui est jugé suffisant étant donné la dynamique basse fréquence des condensateurs.

3.5.2 Conception du DES par *oversampling* sur le OP4510

La conception du récepteur dans le OP4510 est basée sur la technique de l'*oversampling*, décrite à la figure 3.14a, afin d'éviter la gestion d'une récupération d'horloge supplémentaire. L'hypothèse de départ est que le débit du lien a été établi à 10 Mbit/s et que la logique du FPGA du OP4510 sera cadencée à 100 MHz. Le canal de communication sera échantillonné à la même fréquence que cette horloge, soit 10 fois plus rapidement que le débit de données. Si une transition d'état est détectée entre deux échantillons, le meilleur point d'échantillonnage du bit sera donc 4 ou 5 cycles après la détection de cette transition. Si aucune transition n'est détectée, il est possible d'estimer que le prochain échantillon peut être fait 10 cycles après le dernier réalisé.

Une fois les bits échantillonnés correctement, il faut être en mesure de les interpréter. Cette opération est grandement facilitée par l'usage du codage 8B10B, car le début des paquets de données est marqué par le passage d'un caractère K. L'apparition de ces derniers est unique, peu importe l'alignement des bits, et indique le début d'une trame. Un registre DES de 10 bits sera donc utilisé, dans lequel une détection logique du caractère K attendu sera faite. À sa détection, un signal de remise à zéro est envoyé à un compteur localisé dans le démultiplexeur de sortie. Ce compteur va coordonner la sortie du démultiplexeur pour reclasser correctement les 19 octets d'information du signal de mesure présenté à la figure 3.19. Un décodeur 10B8B est inséré entre le DES et le démultiplexeur de sortie afin de stocker directement l'information originale des mesures. Un schéma bloc de l'ensemble du lien de transmission entre le contrôleur local et le OP4510 est présenté à la figure 3.20.

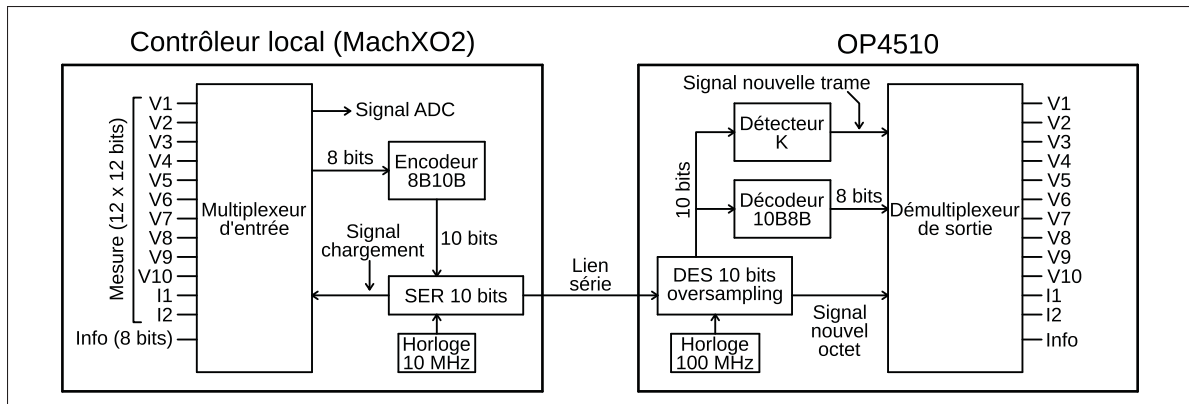


Figure 3.20 Schéma bloc du lien de transmission du contrôleur local vers le OP4510

La fonctionnalité du lien a été validée par la réception correcte des données dans le OP4510. C'est le seul test de performance qui a été effectué sur ce lien, étant donné l'aspect moins critique relié à son fonctionnement et la faible vitesse qui rend la récupération des données moins hasardeuse. Pour une utilisation commerciale, un *test bench* VHDL devrait être produit afin de valider le bon fonctionnement du codage 8B10B.

3.6 Récapitulatif

Dans ce chapitre, un protocole de communication série à faible latence a été développé pour une utilisation avec le CPLD MachXO2 de Lattice. Ce protocole est adapté aux besoins du contrôleur local proposé dans le chapitre 2 et donne à l'utilisateur final un maximum de flexibilité grâce au faible délai dans la commande de la maquette de MMC. De plus, cela permettra de maximiser la bande passante du convertisseur dans une application d'amplificateur. La latence réelle obtenue a été mesurée pour différents débits d'opération et la fiabilité de la transmission a été évaluée. Une utilisation à 400 Mbit/s est possible si l'application le demande, mais la transmission des états des sous-modules sera d'abord utilisée à 50 Mbit/s sur les fibres optiques VersaLink du OP4510. Dans une application de maquette MMC, la latence de 550 ns obtenue à ce débit est acceptable.

CHAPITRE 4

CONCEPTION DE LA CARTE DE SOUS-MODULE

Maintenant que les éléments de base du système de commande local sont définis, il est temps d'aborder la conception des modules de puissance. Présentée dans le chapitre 2, la spécification de base du convertisseur est le point de départ de cette démarche. Une donnée d'entrée importante est le choix d'utiliser un module de contrôle local pour chaque groupe de 10 sous-modules. Cela indique qu'il n'y aura pas de module intelligent sur la carte, seulement une interface isolée permettant la réception des signaux du CPLD de la carte de contrôle. Il faut à présent passer à la définition du circuit de puissance. Ce chapitre va aborder la sélection des composantes de puissance, la conception du circuit d'attaque des semi-conducteurs, le refroidissement du pont et les circuits de mesures locales.

4.1 Placement préliminaire et blocs fonctionnels

Un placement préliminaire des composantes de sous-modules a d'abord été effectué suivant la disposition proposée dans la figure 2.8a au chapitre 2. La carte devrait avoir une longueur maximale de 8,5 po (216 mm), puisque deux cartes doivent être placées face à face dans le boîtier. La figure 4.1 présente un placement préliminaire des sous-systèmes de la carte à concevoir. Les éléments principaux sont la banque de condensateurs et le pont de transistors. Une mesure locale de la tension du bus CC et du courant traversant le module est requise. L'installation d'ADC locaux semble un choix pratique puisqu'il est plus facile de transmettre un signal numérique qu'un signal analogique à travers une barrière d'isolation. De plus, une alimentation auxiliaire, isolée des systèmes de la carte, devra être conçue. Une description détaillée des solutions retenues pour remplir les fonctions décrites par les blocs montrés sur le schéma sera donnée dans ce chapitre.

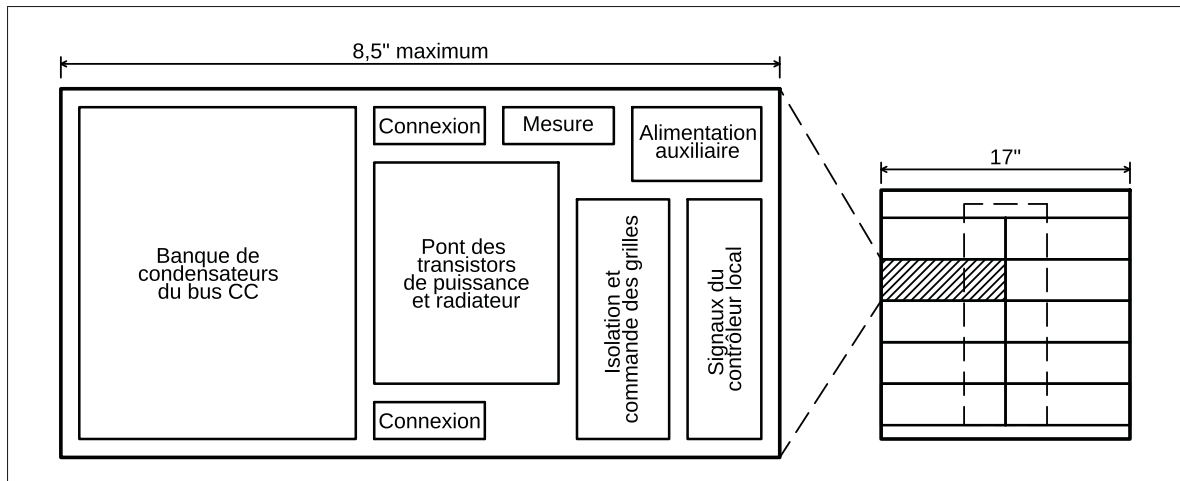


Figure 4.1 Schéma de disposition préliminaire des sous-systèmes de la carte de sous-module

4.2 Conception de la banque de condensateurs

Une des composantes centrales dans la topologie MMC est la batterie de condensateurs flottants qui permet le stockage de l'énergie nécessaire à l'obtention des tensions de cellules. Un des défis propres à la commande de ces convertisseurs est de maintenir une tension constante pour différentes conditions d'opération. Des lois de commande sont développées pour y parvenir, mais il reste qu'un bon dimensionnement au départ est requis pour parvenir à un résultat acceptable. De plus, une des caractéristiques propres à la topologie MMC est que le courant CA de la charge circule dans les condensateurs. Ce courant provoque un dégagement de chaleur lorsqu'il circule dans la résistance série équivalente d'un condensateur ou *Equivalent Serie Resistance* (ESR). Cela crée une perte d'efficacité du convertisseur et un échauffement qui doivent être considérés dans le vieillissement de ces composantes.

Le critère de base pour dimensionner les condensateurs dans la topologie MMC classique est l'ampleur de l'ondulation de tension acceptable aux bornes de ces derniers. Un niveau de 10 % d'ondulation crête est généralement accepté comme étant un bon compromis entre le volume des condensateurs à utiliser et la stabilité du convertisseur. Une analyse en profondeur de l'on-

dulation de tension a été faite par Merlin *et al.* (2014) et l'équation 4.1 est proposée pour évaluer la valeur minimale de capacité en fonction du pourcentage d'ondulation crête désirée.

$$C_{SM} = \frac{1,22 \cdot |S|}{3 \cdot \omega \cdot V_{DC} \cdot V_{SM} \cdot \Delta V} \quad (4.1)$$

En vertu de cette équation, il est possible de calculer une capacité minimale de 3,6 mF à partir des données de la spécification du tableau 2.1. Une autre estimation possible présentée par Li *et al.* (2015) consiste à considérer que l'énergie totale contenue dans les condensateurs doit fournir au moins deux cycles à pleine puissance. Cela se traduit par l'équation 4.2.

$$C_{SM} = \frac{2 \cdot P \cdot N_{CYCLE}}{f N_{SM} \cdot V_{SM}^2} \quad (4.2)$$

L'application numérique de l'équation 4.2 donne un résultat de 3,75 mF, ce qui est très près de l'estimation donnée par la première méthode. Ces critères s'appliquent aux MMC industriels, où le coût et le volume des condensateurs doivent être optimisés. Dans le cas de la maquette, la possibilité de surdimensionner est à considérer, puisque, suivant les applications de recherche, la fréquence d'utilisation peut être variable, ce qui sera plus contraignant au niveau de la variation de tension.

4.2.1 Choix de la technologie de condensateur

Dans le cas concret de la fabrication d'une maquette MMC, certaines considérations pratiques et économiques viennent contraindre la sélection des condensateurs. La plus importante concerne les technologies disponibles. Les MMC industriels sont basés sur des technologies de condensateurs conçues sur mesure pour cette application. Par exemple, les condensateurs de type MKK-DCi-R du fabricant TDK-EPCOS sont utilisés dans des projets majeurs de MMC comme le *Transbay project* à San Francisco (TDK-EPCOS (2012)). Ces condensateurs quasiment idéaux sont destinés à des applications industrielles de plusieurs centaines de MégaWatts.

Pour la conception d'une maquette abordable, il est difficile de trouver, à basse tension, des condensateurs offrant des performances comparables.

Deux types de condensateurs sont considérés pour la fabrication de bus CC à haute capacité et forte ondulation de courant. Ce sont les condensateurs films et les condensateurs électrolytiques aluminium, illustrés aux figures 4.2a et 4.2b respectivement. Les condensateurs films offrent des performances qui se rapprochent des condensateurs industriels haute tension en termes de ESR, capacité en courant efficace et durée de vie (Najmi *et al.* (2014)). Cependant, leur volume et leur prix les rendent peu intéressants pour la construction d'une maquette académique. Les modèles offrant de fortes capacités sont généralement conçus pour des tensions beaucoup plus élevées que celles prévues pour cette application. Pour des capacités de 500 à 3 000 μF , les tensions maximales des modèles offerts vont varier entre 500 et 1 400 V_{CC} . Pour créer une banque à basse tension, il faudrait faire un regroupement d'un grand nombre de condensateurs de faible capacité.

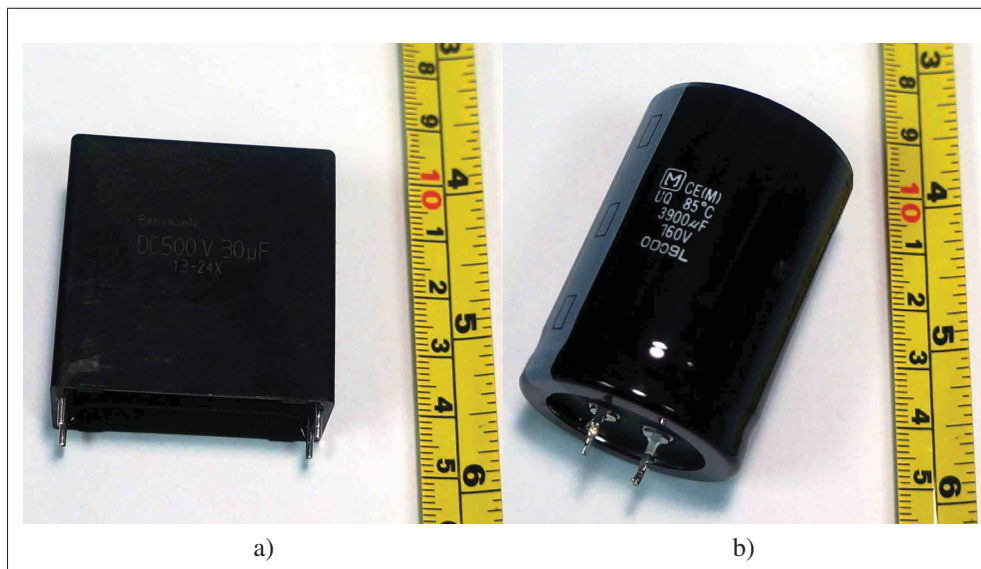


Figure 4.2 Condensateurs : a) Film 30 μF /500 V
b) Électrolytique 3 900 μF /160 V

Les condensateurs électrolytiques, pour leur part, sont bien adaptés au marché de la basse tension. Il est possible de retrouver une plage étendue de capacité pour chaque niveau de tension.

De plus, ils sont généralement disponibles en grande quantité chez les distributeurs. Le revers de la médaille est qu'ils sont très sensibles à l'échauffement causé par la circulation de courant CA. Leur valeur de ESR est généralement élevée, comparée au condensateur film de capacité équivalente. Cela leur confère une longévité moins grande que leur concurrent. De plus, la valeur apparente de ESR est dépendante de la fréquence (le cas le plus défavorable étant la basse fréquence) et elle augmente avec le vieillissement du condensateur.

Cela laisse le concepteur devant un choix difficile, où sont opposées la durabilité de l'équipement et la faisabilité du projet en termes de coût et d'espace requis. Puisque l'application finale est une maquette de test en laboratoire et non un équipement industriel dont le fonctionnement continu est requis, le choix de condensateurs électrolytiques est raisonnable à priori. Le dimensionnement devra être prévu afin de garantir une durée de vie acceptable, suivant les recommandations des fabricants. Un suivi des heures d'utilisation et des pertes dans le convertisseur permettrait d'évaluer leur état. Le tableau 4.1 compare les caractéristiques des différentes technologies présentées dans cette section.

Tableau 4.1 Comparaison des technologies de condensateurs

	Film/Résine (Haute tension)	Film (Moyenne tension)	Film (Basse tension)	Électrolytique (Basse tension)
Série	MKK-DCi-R	FFLI	FFV3	SLPX
Tension CC	4000 V	800 V	100 V	100 V
Capacité	5-10 mF	1,6 mF	0,1 mF	2,2 mF
ESR	0,1 mΩ	2 mΩ	0,55 mΩ	121 mΩ
Volume	16000-43000 cm ³	1 923 cm ³	58 cm ³	21 cm ³
Durée de vie	350000 h à 70 °C	100000 h à 65 °C	9000 h à 60 °C	3000 h à 85 °C

4.2.2 Sélection d'un modèle de condensateur et évaluation de la durée de vie

En raison de la spécification du convertisseur, un courant de sortie de 15 A_{RMS} est requis. En fonctionnement normal, le courant de sortie devrait se séparer uniformément en deux dans chaque bras donnant ainsi 7,5 A_{RMS} de composante CA dans chaque bras. À cette valeur, il faut ajouter une composante CC et les courants de circulation entre les bras. Étant donné que

ces valeurs varient en fonction de la commande utilisée, il a été choisi de doubler la valeur *Root Mean Square* (RMS) de la composante CA pour tenir compte des autres composantes. Un courant de 15 A_{RMS} sera donc utilisé pour évaluer la durée de vie des condensateurs.

Une analyse du coût de revient et de la capacité RMS possible avec différentes combinaisons de modèles de condensateurs a été réalisée. Une banque de 6 condensateurs de 2 200 $\mu\text{F}/100\text{V}$ de type SLPX, du fabricant Cornell Dubilier, semble être un choix intéressant au niveau du prix, de la capacité en courant RMS et de la disponibilité. Le fabricant fournit une série de formules empiriques permettant d'estimer la durée de vie selon les paramètres d'une application donnée. La première étape consiste à réaliser une évaluation de la ESR suivant la fréquence du courant CA. Le cas le plus défavorable étant la basse fréquence, une utilisation à 10 Hz sera considérée puisque certaines recherches tendent à étudier le comportement à basse fréquence du MMC (Antonopoulos *et al.*, 2014). L'équation 4.3 permet d'évaluer la variation de la ESR en fonction de la fréquence, à partir de la valeur à 120 Hz spécifiée dans la fiche technique (Cornell Dubilier, 2015).

$$ESR_f = ESR_{120} - \frac{3,98 \cdot 10^{-5}(f - 120)}{fC} \quad (4.3)$$

Pour le condensateur choisi, la valeur de ESR_{120} est de 0,121 Ω , ce qui donne 0,320 Ω à 10 Hz. Puisque 6 condensateurs sont utilisés en parallèle, le ESR total est de 0,0533 Ω . Il est alors possible de calculer les pertes dans cette résistance suivant la formule 4.4.

$$P_{PERTES} = ESR_f \times I_{RMS}^2 \quad (4.4)$$

Le résultat des pertes est de 12 W pour la banque de condensateurs, soit 2 W par condensateur. Le fabricant fournit une estimation de la résistance thermique de ces boîtiers. Pour le modèle sélectionné, dont le boîtier est de 30 mm de diamètre par 30 mm de hauteur, elle est de 17,86 $^{\circ}\text{C}/\text{W}$ entre le noyau du condensateur et l'air, si le refroidissement ne se fait que par

convection. Nous utiliserons cette valeur, même si une ventilation est prévue dans notre boîtier. Si une température ambiante de 30 °C est prévue au niveau des condensateurs qui seront situés près de l'entrée d'air frais, la température du noyau serait donc de 65,72 °C. La formule 4.5 permet d'évaluer la durée de vie du condensateur L_{OP} en fonction de sa température interne T_a de fonctionnement et de sa tension d'opération réelle V_a qui est de 40 V (Cornell Dubilier, 2015). Les variables V_r , L_B et T_m sont fournies par le manufacturier et correspondent respectivement à 100 V, 4 500 h et 90 °C.

$$L_{OP} = \left(4,3 - 3,3 \frac{V_a}{V_r}\right) L_B \times 2^{(T_m - T_a)/10} \quad (4.5)$$

La durée de vie estimée du condensateur est de 72 000 h, ce qui correspond à environ 8 ans de fonctionnement à temps complet. Cela suppose une distribution égale de la charge sur tous les condensateurs. Au terme de leur durée de vie, la ESR des condensateurs aura doublé et la capacité sera à 80 % de sa valeur initiale. Pour une application de prototype, cette durée de vie semble convenable puisqu'il est peu probable qu'un fonctionnement en continu soit exigé pendant d'aussi longues périodes de temps. De plus, le calcul est réalisé pour un fonctionnement à 10 Hz, ce qui est un cas extrême, mais possible pour certaines recherches.

4.2.3 Disposition mécanique des condensateurs

Suite à cette démonstration, le choix de la batterie de 6 condensateurs de 2 200 μ F/100V de type SLPX du fabricant Cornell Dubilier est confirmé pour la composition du bus CC. Pour assurer un refroidissement optimal de ces condensateurs, une ventilation forcée sera ajoutée au boîtier et les condensateurs seront disposés le plus près possible des points d'entrée de l'air frais (figure 4.3a). Afin de créer un dégagement entre condensateurs, tout en maintenant une empreinte minimale sur le circuit imprimé, les condensateurs seront disposés sur les deux faces de la carte de puissance. Certains seront montés vers le haut et d'autres vers le bas tel que montré à la figure 4.3b. Une disposition verticale est recommandée pour une répartition uniforme de l'électrolyte. Positionner un condensateur vers le bas ne devrait pas affecter sa

durée de vie, mais peut engendrer une projection d'électrolyte en cas de défaut. Ce risque est contenu par l'utilisation d'un boîtier fermé.

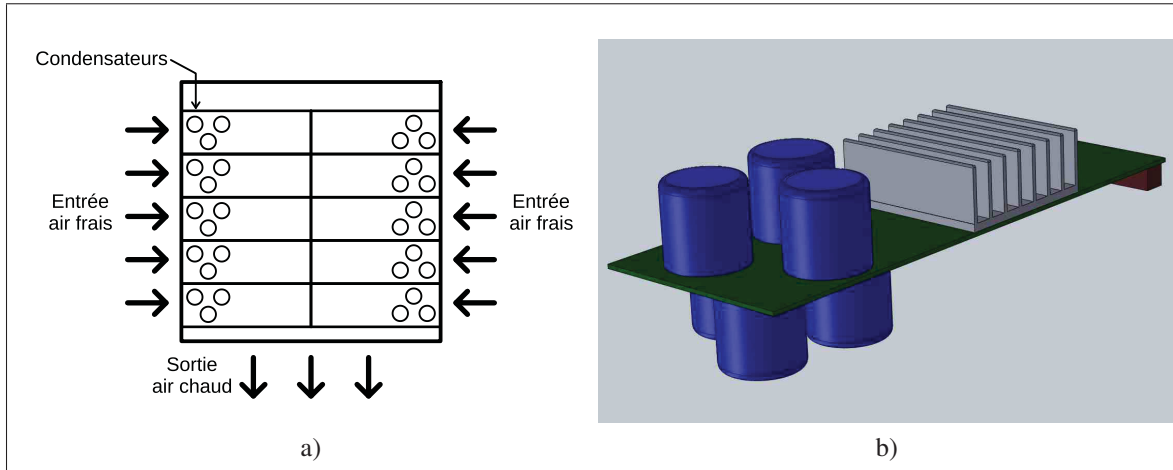


Figure 4.3 Disposition des condensateurs : a) Dans le boîtier (périphérie)
b) Sur la carte (deux faces)

4.3 Conception du pont de transistors

Une autre composante majeure du sous-module de puissance est le pont de transistors qui permet de commuter la banque de condensateurs. Il a été choisi d'utiliser la topologie *full-bridge* qui permet un maximum de flexibilité au niveau des applications possibles (Glinka et Marquardt (2005)). Des connecteurs sont ajoutés sur le bus CC tel que montré à la figure 4.4a. Cela permet de court-circuiter le demi-pont supplémentaire pour créer la topologie classique du MMC. Il est aussi possible de le faire en bloquant l'interrupteur du bas, mais cela entraîne des pertes supplémentaires. En contrepartie, une cellule de type *full-bridge* offre l'avantage de limiter le courant lors d'un court-circuit sur le bus CC (Nami *et al.*, 2015). La topologie *half-bridge* ne le permet pas, étant donné que la diode de l'interrupteur du bas agit en roue libre. Un thyristor de protection est généralement ajouté dans ce cas pour court-circuiter la cellule et protéger les transistors en cas de défaut (Dorn *et al.*, 2011). Pour la maquette, il a été choisi de placer ce thyristor entre l'entrée et la sortie de la cellule de la maquette, afin de pouvoir court-circuiter l'ensemble de la cellule, tel que présenté dans la figure 4.4a. La figure 4.4b montre

une alternative à considérer où la protection est placée entre le bus négatif et l'entrée, puisque le thyristor est principalement utile en mode *half-bridge*. Cette alternative permet d'utiliser les deux demi-ponts de la cellule en parallèle et ainsi réduire les pertes par conduction.

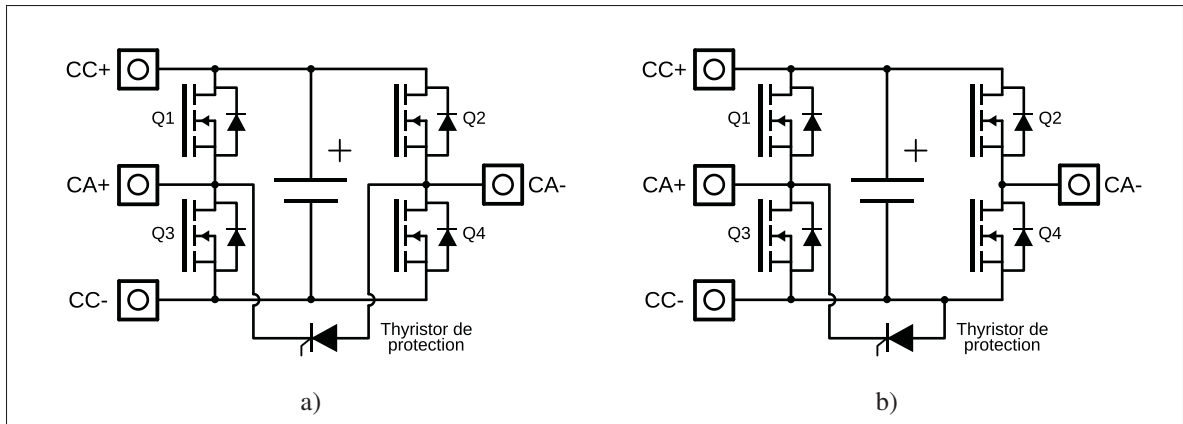


Figure 4.4 Pont de puissance du sous-module : a) Topologie proposée
b) Topologie alternative

4.3.1 Sélection des transistors

Un débat actif en électronique de puissance est celui de la sélection des transistors. Pour les applications de basse et moyenne puissance, le choix doit être fait entre les *Metal Oxide Semiconductor Field Effect Transistor* (MOSFET) de puissance et les *Insulated Gate Bipolar Transistor* (IGBT). Les innovations dans ces deux technologies de transistors rendent la sélection plus difficile (Blake et Bull (2001)).

Le MOSFET est un transistor à effet de champs. Il est contrôlé par la tension V_{GS} appliquée sur la grille. Cette tension est traduite en un courant circulant du drain à la source, suivant un gain appelé transconductance. À saturation, le MOSFET présente une caractéristique V-I linéaire qui s'apparente à une résistance. Cette caractéristique est appelée $R_{DS(ON)}$ et il est possible de calculer les pertes par conduction à partir du courant efficace. La valeur de $R_{DS(ON)}$ est proportionnelle à la capacité maximale en tension du MOSFET. Pour des applications à basse tension, il agit en interrupteur quasi idéal mais les pertes augmentent rapidement dans

les applications à haute tension ($>1\ 000\ V_{CC}$). Une des forces du MOSFET est sa capacité à opérer à haute fréquence, ce qui est utile dans une application d'amplificateur.

Le principal concurrent du MOSFET est le IGBT, qui est une combinaison de la technologie bipolaire *Bipolar Junction Transistor* (BJT) et de celle du transistor à effet de champ. Une des limitations des transistors bipolaires est qu'ils demandent un fort courant d'entrée pour maintenir un fort courant de sortie. L'idée derrière le IGBT est d'insérer, dans la structure du BJT, un *field-effect transistor* qui permet de fournir ce courant en interne et de présenter une entrée contrôlée en tension. Son avantage en comparaison du MOSFET réside dans sa tension de saturation plus basse à fort courant. Il a donc des pertes par conduction plus basses dans les applications à courant élevé et à haute tension. Par contre, bien que leur évolution technologique tend à corriger ce problème, les IGBT commutent plus lentement que les MOSFET, ce qui augmente les pertes par commutation à haute fréquence.

En règle générale, les IGBT sont utilisés dans les applications à haute tension et basse fréquence, tandis que les MOSFET se retrouvent dans les applications à basse tension et haute fréquence (Blake et Bull (2001)). Pour la maquette proposée, le bus CC de 40 V rend le choix du MOSFET préférable. À cette tension, il est possible de trouver des transistors ayant des valeurs de $R_{DS(ON)}$ très basses. Le boîtier D²PAK a été choisi au préalable, puisqu'il facilite l'assemblage du circuit imprimé. Le choix final s'est porté sur le FDB110N15A du fabricant Fairchild Semiconductor. Sa tension limite V_{DSS} élevée et sa $R_{DS(ON)}$ très faible le rendent très intéressant. Pour une application à 40 V, il s'agit d'un choix très conservateur, mais cela assure la robustesse du design qui pourra tolérer certains écarts lors d'expérimentations.

En se basant sur la spécification technique, ce transistor aura une $R_{DS(ON)}$ d'environ 20 m Ω à 125 °C. Cela devrait générer des pertes de conduction d'environ 4,5 W par transistor en conduction pour le courant de 15 A_{RMS} sélectionné au départ.

4.3.2 Conception du radiateur

Ce qui établit réellement la puissance nominale d'un convertisseur est sa capacité à évacuer ses pertes pour un point d'opération donné. L'efficacité du convertisseur aide, mais ce n'est pas une condition obligatoire. On peut prendre pour exemple les amplificateurs linéaires qui permettent d'atteindre certains niveaux de puissance malgré une efficacité moindre. Le refroidissement est donc l'un des aspects majeurs de la conception d'un convertisseur.

Dans ce projet, c'est le choix du boîtier D²PAK, présenté à la figure 4.5a, qui sera la première variable d'entrée de la solution thermique. La particularité de ce boîtier est son montage en surface sur la carte de circuit imprimé, ce qui rend impossible l'assemblage direct d'un radiateur, comme sur le boîtier TO-220 (figure 4.5b). Pour parvenir à refroidir ce transistor, il faut avoir recours à des vias thermiques disposés en matrice, tel que présenté à la figure 4.6a, pour conduire la chaleur vers l'autre côté de la plaquette où un radiateur peut être installé. Cette technique a fait ses preuves avec des circuits intégrés d'alimentation ou des DEL de haute puissance (Cree Inc., 2012).

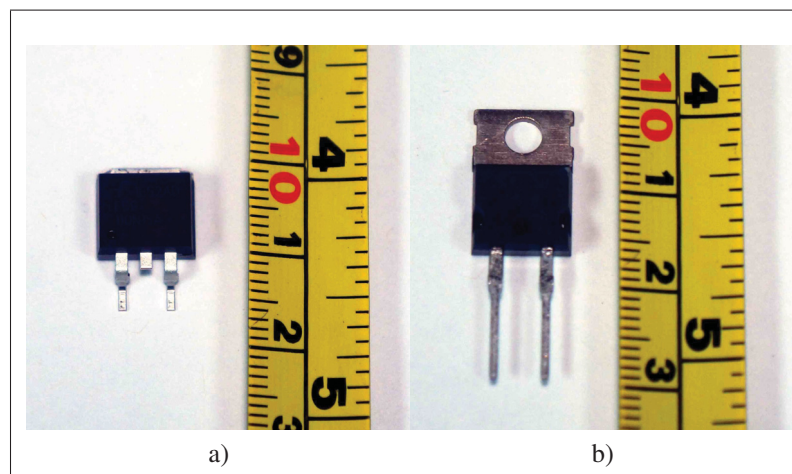


Figure 4.5 Boîtier de transistors :
a) D²PAK b) TO-220

Grâce à l'équation 4.6, il est possible d'évaluer, par un modèle 1-D, la résistance thermique d'un via en la modélisant comme un cylindre creux en cuivre, tel que proposé par (Guenin,

2004). Un via typique est présenté à la figure 4.6b. Le fait de créer une matrice de vias sous la composante permet de minimiser la résistance thermique de l'ensemble. Il est suggéré de faire remplir les vias pour éviter que la pâte de soudure coule dans les vias au moment du passage à l'étuve du circuit imprimé. Si cette manipulation est jugée trop coûteuse, il est recommandé d'utiliser des vias d'un diamètre de 10 mils (0,254 mm) (Cree Inc., 2012).

$$R_{\Theta_{VIA}} = \frac{h}{k \cdot S} = \frac{h}{k_{CU} \cdot \pi \cdot (R_{ext}^2 - R_{int}^2)} \quad (4.6)$$

La conductivité thermique du cuivre k_{CU} est de 401 W/mK à 25 °C et elle tend à diminuer avec l'augmentation de la température. Ce phénomène est cependant négligeable dans les températures d'opération normale d'un semi-conducteur. En considérant un via dont le diamètre interne est de 10 mils (0,254 mm), le plaquage de 1 oz (0,0347 mm) et l'épaisseur de 62 mils (1,57 mm), la résistance thermique calculée est de 106 °C/W. Une matrice 8x9 de vias, disposés directement sous le boîtier, aura une résistance thermique combinée en parallèle de 1,47 °C/W.

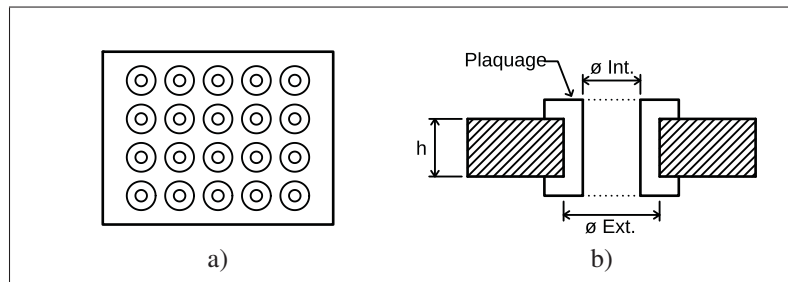


Figure 4.6 Vias thermiques : a) Matrice de vias
b) Vue en coupe d'un via

Une fois la chaleur transmise sur le côté opposé de la carte, il faut la dissiper dans l'air au moyen d'un radiateur. Il existe une multitude de modèles de radiateurs vendus à l'unité ou sous la forme de barres extrudées qui peuvent être coupées suivant les besoins. Les pièces produites ainsi sont dépourvues de trous de fixation et doivent être usinées pour être fixées à une source de chaleur. Un radiateur du fabricant Wakefield-Vette, ayant le format standard *Half-Brick*, a été choisi pour éviter les coûts d'usinage. Son empreinte est présentée à la figure 4.7a. En

convection naturelle, ce modèle offre une résistance thermique de $5,5\text{ }^{\circ}\text{C/W}$. Le calcul de validation sera basé sur cette valeur, malgré le fait qu'une ventilation est prévue dans le projet. Pour compléter le circuit thermique, une interface isolante doit être placée entre le radiateur et le circuit imprimé. La feuille d'interface de type L37-3F d'une épaisseur de $0,25\text{ mm}$ du fabricant T-Global a été sélectionnée à cet effet. Pour une surface de la taille de l'empreinte d'un D²PAK (10 mm par 10 mm), la résistance thermique de l'interface est estimée à $3,75\text{ }^{\circ}\text{C/W}$ à partir de la fiche technique du matériel. La dispersion latérale a été négligée. Les différents milieux qui composent le circuit thermique sont présentés à la figure 4.7b.

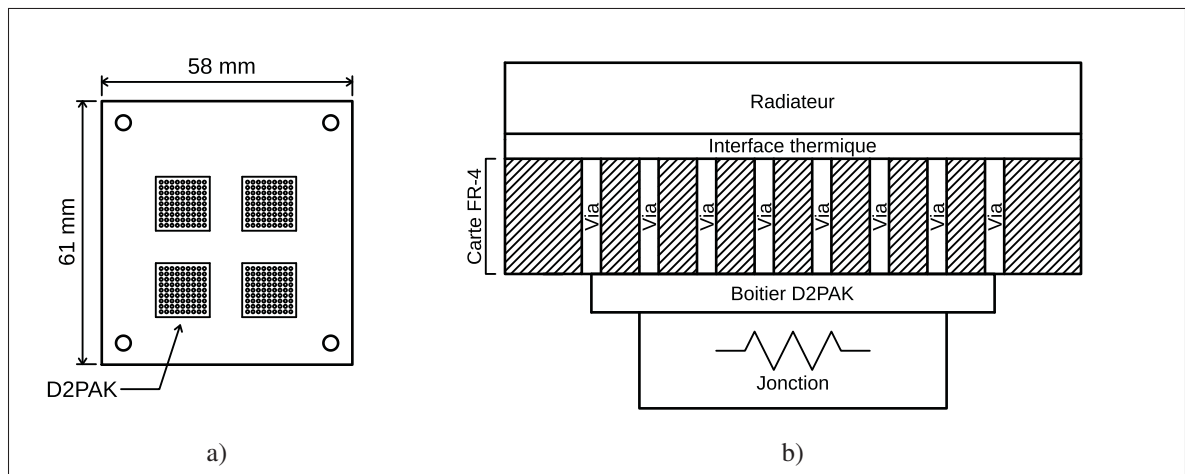


Figure 4.7 Éléments du circuit thermique : a) Vue du dessus du radiateur *Half-Brick*
b) Vue en coupe des éléments du circuit thermique

Toutes les données sont maintenant rassemblées pour tracer le circuit équivalent thermique, présenté en figure 4.8, permettant de valider le design thermique. Pour faire ce calcul, une estimation de la puissance dissipée par les MOSFET doit être faite. Pour cette évaluation, des pertes par conduction de 9 W et une provision de 50% sur cette valeur sera appliquée pour les pertes par commutation. Ceci donne un total de $13,5\text{ W}$ pour le pont et $3,4\text{ W}$ par transistor si l'on suppose que ces pertes se répartissent uniformément. Les résultats du calcul basé sur ces pertes sont présentés dans la figure 4.8.

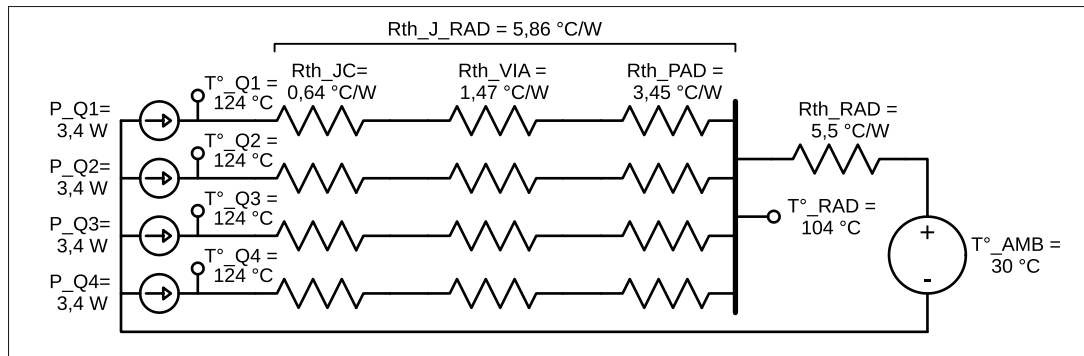


Figure 4.8 Circuit thermique équivalent du pont de transistors de puissance

La température théorique de la jonction pour une opération à courant nominal serait de 124 °C, ce qui est un maximum pour une opération sécuritaire du semi-conducteur. Le maximum absolu spécifié dans la fiche technique est de 175 °C, mais il est préférable de conserver une marge en cas de court-circuit ou de surcharge. Une validation expérimentale du circuit thermique calculé a été réalisée avec le prototype. Un courant constant a été injecté à l'aide d'une source CC régulée dans les diodes des transistors du pont. Les températures à la surface d'un des boîtiers D²PAK et celle du radiateur ont été mesurées afin de déduire la résistance thermique entre la jonction et le radiateur et celle entre le radiateur et l'air ambiant. La figure 4.9a présente l'évolution de la résistance thermique mesurée en fonction de la puissance totale injectée dans le pont, tandis que la figure 4.9b indique la variation de la température du boîtier et du radiateur suivant le même paramètre.

La résistance thermique du radiateur mesurée est plus basse que ce qui est spécifié par le manufacturier. De plus, elle décroît avec l'augmentation de la température. Ce qui peut être expliqué par le phénomène de convection, résultant de l'augmentation de température. La conséquence de cette performance accrue du radiateur est l'obtention de températures de fonctionnement plus basses que prévu. Pour ce qui est de la résistance thermique entre le transistor et le radiateur, les résultats expérimentaux sont légèrement plus élevés que ce qui a été calculé. Cette différence peut être liée à l'emplacement du thermocouple sur le radiateur qui peut avoir faussé légèrement les résultats. Ces résultats semblent montrer que le système de radiateur proposé

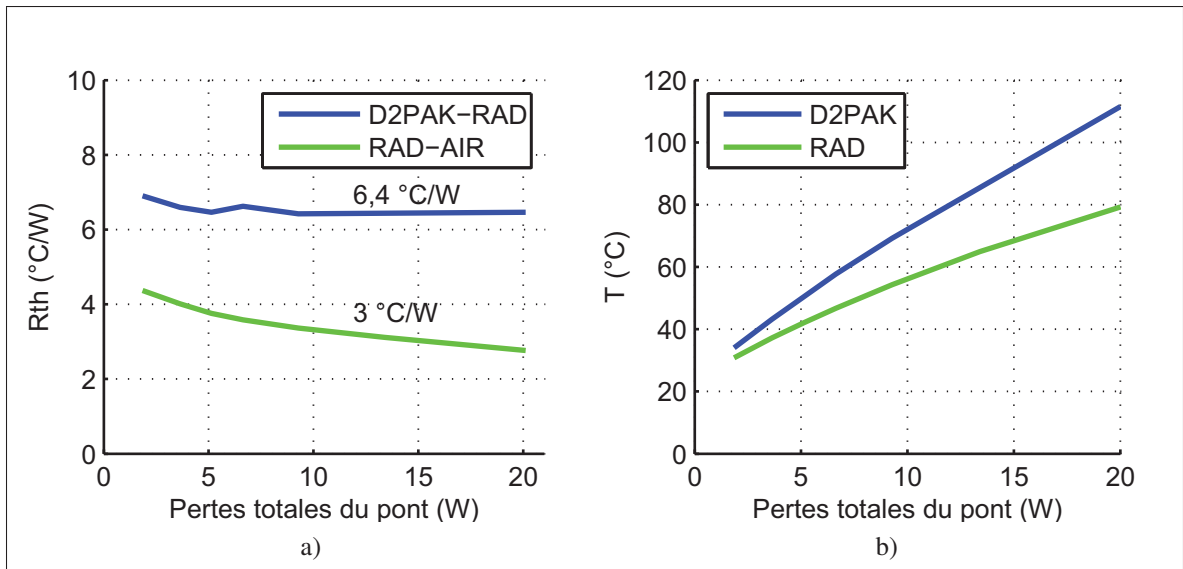


Figure 4.9 Résultats expérimentaux : a) Résistances thermiques en fonction des pertes totales b) Températures en fonction des pertes totales

est efficace en convection hors boîtier. Des simulations par éléments finis seront menées au chapitre 5 pour valider l'efficacité du refroidissement dans un boîtier avec ventilation forcée.

4.3.3 Circuit d'attaque de grille

Le principe de base de la commande du MOSFET est de fournir l'énergie suffisante pour charger la capacité d'entrée de la grille et, ainsi, amener V_{GS} au-delà de la tension de seuil à partir de laquelle le MOSFET entre en conduction. C'est une version très simplifiée du phénomène réel qui est beaucoup plus complexe. La mise à ON et la mise à OFF peuvent aussi être chacune divisées en quatre intervalles transitoires, tel que décrit dans Clemente *et al.* (1993). Dans la pratique, l'énergie nécessaire à la commutation peut être fournie par une source de tension ou un pulse de courant suivant la topologie du circuit d'attaque. Une des caractéristiques importantes de ce circuit dans le cadre d'un *full-bridge*, et particulièrement dans le cas d'un convertisseur modulaire, est qu'il doit généralement être isolé par rapport à la commande, puisque plusieurs points à différents potentiels doivent être commandés.

Pour arriver à fournir cette isolation, la méthode la plus simple, mais généralement la plus dispendieuse, est de fournir des alimentations flottantes isolées. Il existe des circuits d'attaque utilisant des transformateurs d'impulsions, tel que présenté sur la figure 4.10a. Cette technique, moins dispendieuse, comporte des limitations sur la fréquence et les rapports cycliques possibles. Dans ce projet, il a été choisi de produire des sources de tension isolées à partir d'un convertisseur CC dont la conception sera détaillée dans ce chapitre.

Aux alimentations isolées, il faut ajouter le circuit d'attaque, qui est composé d'une paire de transistors en *totem-pole* et d'un circuit permettant d'isoler le signal de commande venant du contrôleur (figure 4.10b). Certains circuits intégrés, notamment le HCPL-3120 du fabricant Avago, fournissent ces deux composantes dans un même boîtier. Cette composante est cependant basée sur une technologie d'optocoupleur qui introduit un délai possible de 500 ns selon la fiche technique. Afin de minimiser ce délai, toujours avec l'application d'amplificateur en tête, il a été préféré d'associer une technologie d'isolation digitale basée sur une barrière capacitive à un circuit d'attaque non isolé. Le délai de propagation de cette solution est de 42 ns (7 ns et 35 ns respectivement selon les fiches techniques).

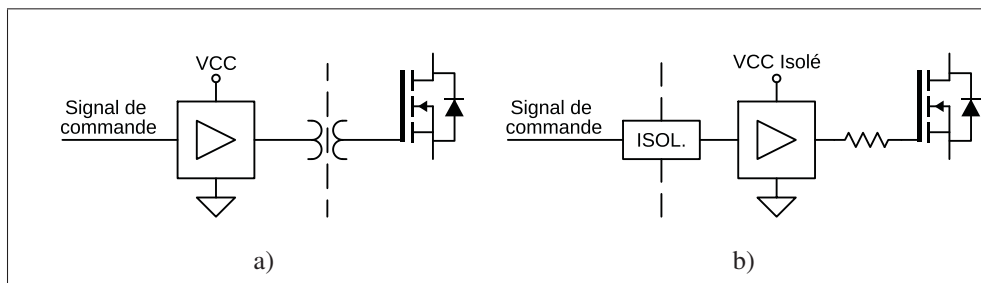


Figure 4.10 Circuits d'attaque isolés : a) Avec transformateur d'impulsion
b) Avec source isolée

Afin de contrôler le temps de montée du courant et de la tension lors de la commutation, il faut sélectionner une résistance de grille qui permet de limiter le courant de charge de la grille. Il serait facile de penser que, plus la commutation est rapide, plus le système est efficace. Or, ce n'est pas nécessairement le cas et, de plus, cela cause des oscillations nuisibles au moment d'une commutation dure (*hard switching*). Le problème vient de la diode intrinsèque du MOS-

FET. Cette diode présente de mauvaises caractéristiques de recouvrement inverse, ce qui peut entraîner une baisse d'efficacité pour des commutations très rapides. Plus la variation de courant est rapide dans la diode, plus le recouvrement inverse est sévère. Une commutation dure typique est illustrée par les figures 4.11a à 4.11d.

La figure 4.11a présente l'état initial où le MOSFET Q2 est en conduction. Le processus de commutation commence par l'ouverture du MOSFET Q2. Avec le sens du courant présenté, la diode interne de Q2 entre en conduction, tel que montré à la figure 4.11b. La commutation se poursuit avec la fermeture du MOSFET complémentaire Q1 à la figure 4.11c. À ce moment, la diode de Q2 laisse passer un important courant de recouvrement inverse. La diode interne du MOSFET est dite *snappy*, pour signifier que le courant de recouvrement varie de façon abrupte dans cette dernière. Cette forte variation de courant entraîne une surtension au niveau de l'interrupteur, suivie d'une oscillation entre l'inductance de fuite et la capacité de sortie de ce dernier, suivant le circuit présenté en pointillé dans la figure 4.11d. La fréquence de cette oscillation est déterminée par la résonance du circuit et peut atteindre la centaine de MégaHertz.

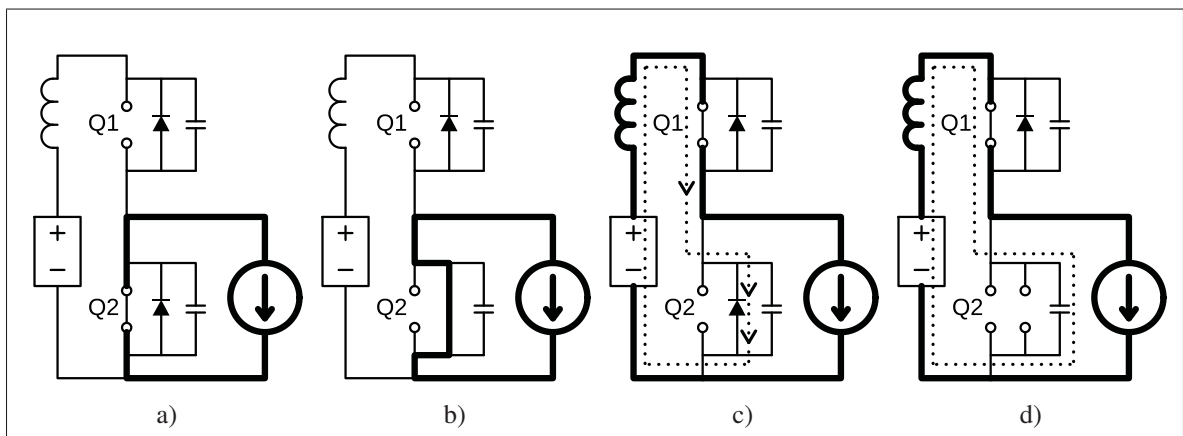


Figure 4.11 Recouvrement de la diode interne : a) État initial b) Ouverture du Q2 c) Fermeture de Q1 et recouvrement inverse de Q2 d) Oscillation entre l'inductance de fuite du bus et la capacité de sortie de Q2

Une des solutions à ce problème est de ralentir la commutation à l'aide de la résistance de grille R_G . Cependant, pour un circuit où la résistance de grille est la même pour la mise à ON

et la mise à OFF, cela va augmenter inutilement les pertes à la mise à OFF, où il n'y a pas de phénomène de recouvrement inverse de la diode. Pour pallier ce problème, des diodes peuvent être utilisées afin de faire varier la valeur de la résistance de grille selon la direction du courant. Ce circuit, connu sous le nom de *slow turn-on/fast turn-off*, est illustré à la figure 4.12.

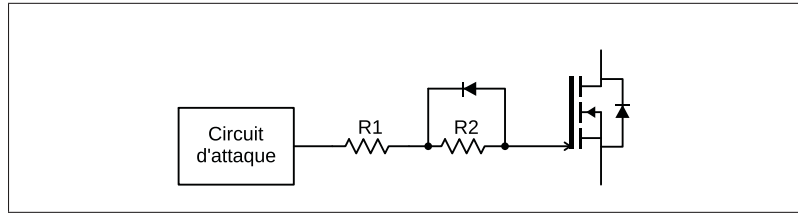


Figure 4.12 Circuit d'attaque de type *slow turn-on/fast turn-off*

Pour faire la sélection des résistances de grille à utiliser, le modèle de simulation de la commutation proposé par Fortin-Blanchette (2009) a été utilisé. Les paramètres de la spécification technique du MOSFET ainsi que l'inductance de fuite mesurée dans la section suivante ont été utilisés pour créer le modèle. La simulation a été exécutée pour différentes valeurs de R_G , allant de 5 à 160 Ω . La figure 4.13a présente la variation de l'énergie de commutation en fonction de R_G et la figure 4.13b illustre l'évolution de la variation de courant dans l'interrupteur suivant le même paramètre.

Premièrement, on observe que la variation de R_G a un impact significatif sur les pertes par commutation. Par conséquent, une résistance de mise à OFF ($R1$ dans la figure 4.12) de 5 Ω sera utilisée pour réduire E_{OFF} . Cependant, pour éviter une variation trop rapide du courant à la mise à ON, une résistance de 80 Ω sera choisie pour $R2$. La valeur totale à la mise à ON sera donc de 85 Ω , ce qui se situe dans le coude observé sur le graphique 4.13b. Cette valeur est jugée comme étant un compromis entre la minimisation de E_{ON} et la réduction de la variation de courant. Il est possible d'évaluer les pertes par commutation d'une paire de MOSFET avec la formule 4.7.

$$P_{SW} = (E_{ON} + E_{OFF})f_S \quad (4.7)$$

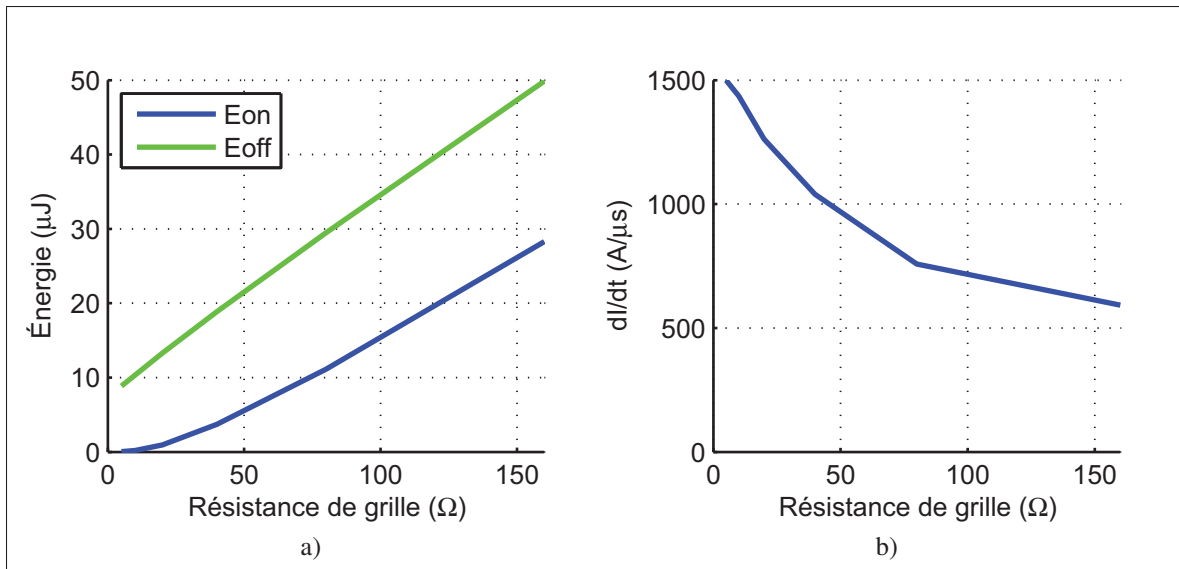


Figure 4.13 Simulation de la commutation du pont : a) Énergie de commutation en fonction de R_G b) Variation de courant en fonction de R_G

Pour une fréquence de commutation de 100 kHz dans une application d'amplificateur, cela donnerait des pertes d'environ 2 W.

4.3.4 Optimisation de l'oscillation de commutation

La résistance de grille choisie dans la section précédente n'est pas suffisante à elle seule pour enrayer les oscillations de commutation. C'est pourquoi d'autres moyens de mitigation ont été prévus dans le but de minimiser l'ampleur de cette oscillation tout en maintenant l'efficacité. Une première tactique consiste à réduire, autant que possible, l'inductance de fuite afin de limiter la quantité d'énergie accumulée dans cette dernière. La deuxième est d'ajouter un circuit RC d'amortissement permettant de dissiper l'énergie de l'oscillation.

Pour minimiser l'inductance de fuite du bus CC, la règle de base consiste à effectuer un placement efficace des composantes du pont de puissance, afin de minimiser les boucles susceptibles de créer de l'inductance. Afin d'y parvenir, le bus CC a été conçu à partir de surfaces planes superposées sur différentes couches du circuit imprimé. De plus, cette disposition crée un condensateur local permettant d'augmenter le découplage du pont. La figure 4.14a présente

la disposition des semi-conducteurs sur le pont et 4.14b présente la superposition des couches du bus CC dans le circuit imprimé.

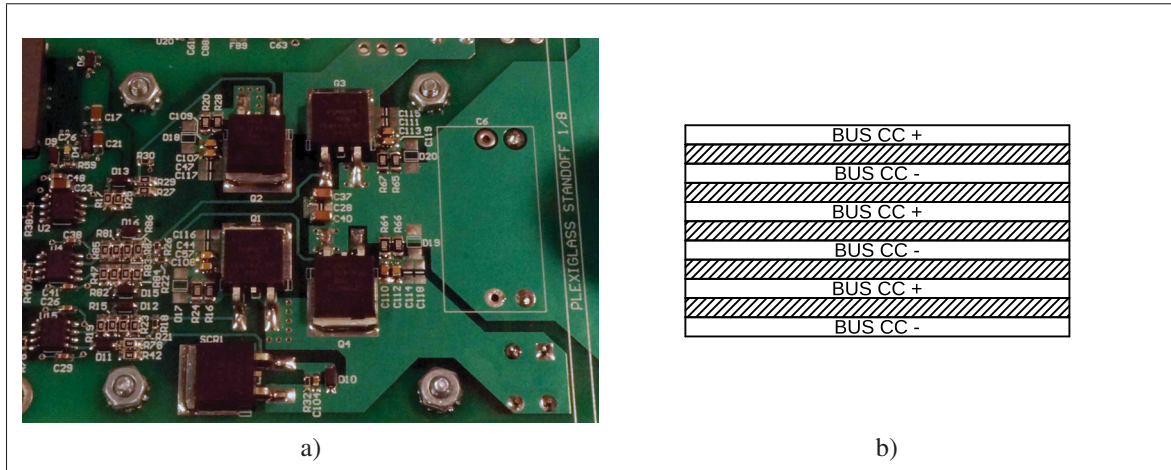


Figure 4.14 Pont de puissance réalisé : a) Disposition des semi-conducteurs
b) Superposition des couches du bus CC

Une fois la plaquette produite, l'oscillation obtenue sur V_{DS} a été observée expérimentalement. Le résultat est présenté à la figure 4.15a. On constate rapidement que la forme d'onde présente une surtension de 111 V, ce qui est quasiment trois fois supérieur à la tension nominale du bus. Une telle oscillation est inacceptable, tant au point de vue de l'intégrité du transistor que de la compatibilité électromagnétique. Le circuit équivalent de la figure 4.15b a été déduit pour expliquer ce phénomène. Il est cependant impossible d'estimer les valeurs de ce circuit, car la capacité du bus CC est inconnue et difficile à évaluer.

Pour permettre l'identification des paramètres de ce circuit, un condensateur céramique de *snubber* d'une valeur de 4,4 nF a été ajouté directement aux bornes du transistor. Ce condensateur procure un découplage local efficace qui rend la capacité du bus CC négligeable et permet de scinder le circuit résonnant en deux. Le résultat de cette manipulation est présenté à la figure 4.16a, dans laquelle deux modes de résonance sont identifiables. Autre effet très appréciable, la surtension est quasiment réduite de moitié, étant donné la capacité accrue. Il est possible de déduire par calcul les inductances de fuites du bus CC. La capacité de sortie du MOSFET est

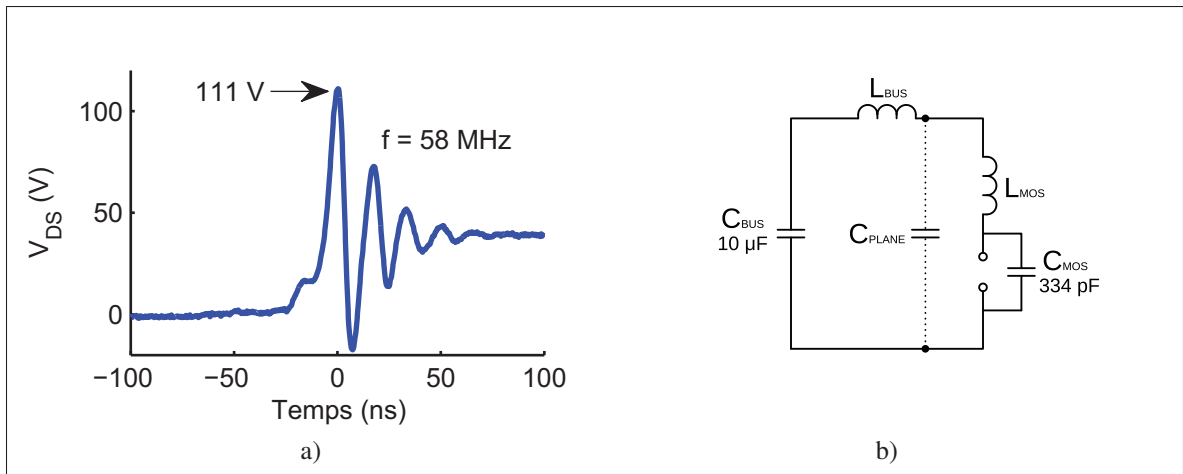


Figure 4.15 Pont sans modification : a) Oscillations de commutation
b) Circuit équivalent

estimée suivant la valeur de la fiche technique. Dans une maille résonante, l'inductance peut être calculée grâce à l'équation 4.8.

$$L_{BUS} = \frac{1}{4\pi^2 f^2 C} \quad (4.8)$$

À partir des fréquences obtenues, il est possible de calculer les valeurs présentées dans le circuit équivalent de la figure 4.16b. La valeur de l'inductance aux bornes du MOSFET correspond à l'addition de l'inductance typique du boîtier D²PAK et de la boucle du circuit *snubber*.

Afin de tenter d'atténuer des oscillations observées, il est nécessaire de dissiper leur énergie. C'est pourquoi une résistance doit être ajoutée en série avec le condensateur pour créer un circuit de *snubber* RC. Une valeur trop grande diminuera l'impact du condensateur et produira une surtension élevée, tandis qu'une valeur trop faible ne produira aucun amortissement. Pour faire ce choix, la figure 4.17a présente l'oscillation obtenue pour différentes valeurs de résistance de *snubber* et la figure 4.17b présente le circuit qui en résulte.

Le circuit d'amortissement choisi suite à ces manipulations est composé d'une capacitance de 4,4 nF et d'une résistance de 1,1 Ω . Afin de diminuer davantage la surtension, un condensateur

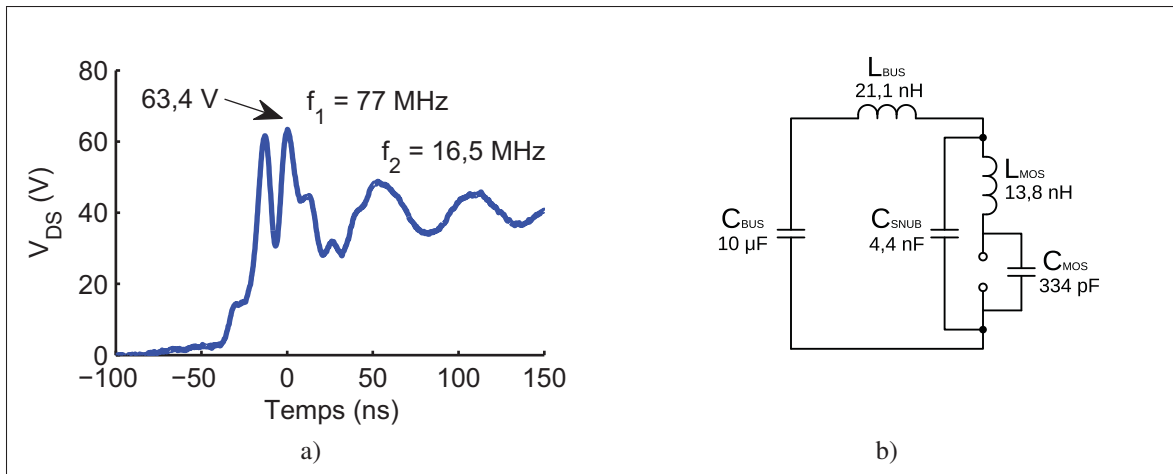


Figure 4.16 Ajout de C_{SNUB} : a) Oscillations de commutation b) Circuit équivalent

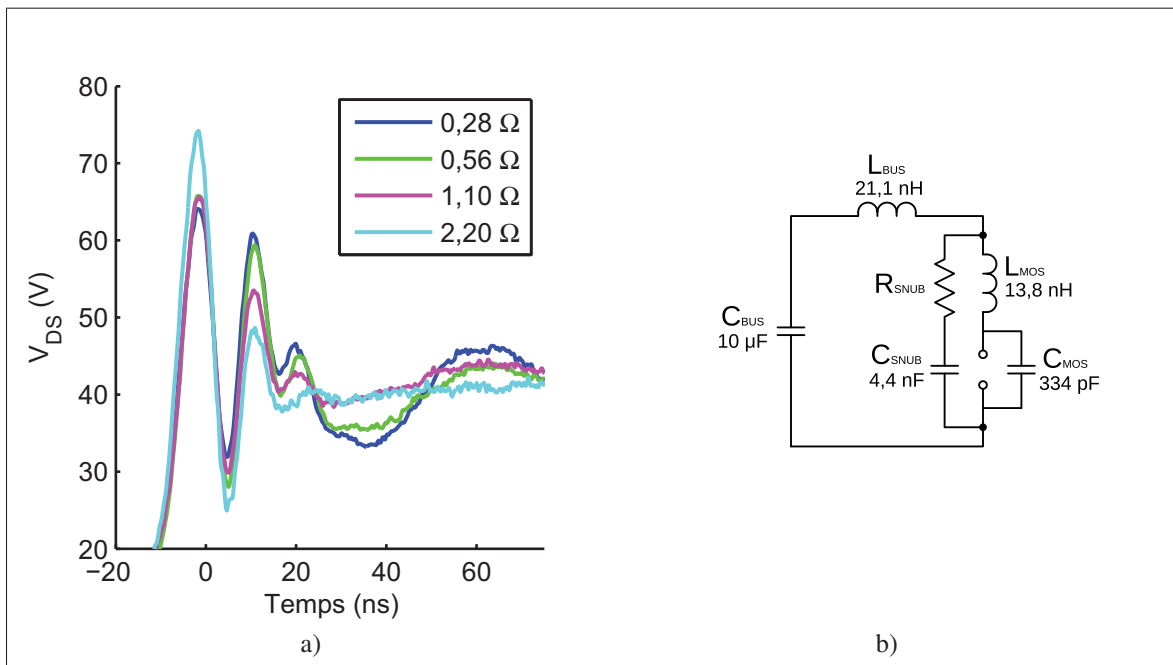


Figure 4.17 Ajout de R_{SNUB} : a) Oscillations de commutation pour différentes valeurs de R_{SNUB} b) Circuit équivalent

de découplage de $2,0 \mu F$ de petite dimension a été ajouté à proximité des interrupteurs du pont. L'impact de cet ajout est présenté dans la figure 4.18a et le circuit résultant dans la figure 4.18b.

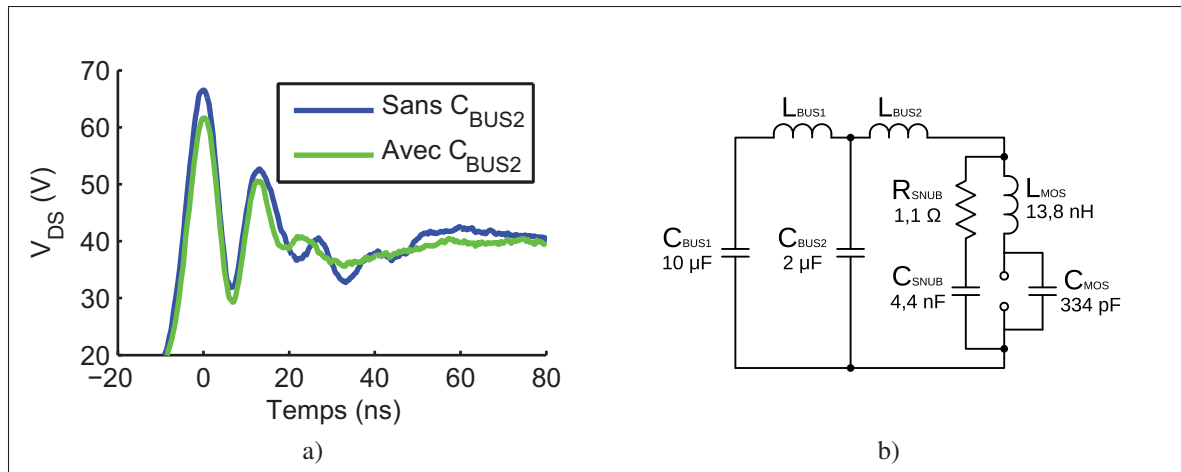


Figure 4.18 Ajout de C_{BUS2} : a) Oscillations de commutation b) Circuit équivalent

L'effet est moins spectaculaire que l'ajout du condensateur de *snubber*, mais il est tout de même possible d'observer que la surtension a légèrement diminué et que l'oscillation à haute fréquence s'atténue plus rapidement. Il a donc été choisi de maintenir cet ajout dans la version finale du pont.

4.4 Conception du convertisseur d'alimentation isolée

Il a été décidé précédemment d'utiliser un circuit d'attaque basé sur des sources de tensions isolées. Ce choix implique donc de fournir ces sources de tension. Dans le cas d'un pont en H, le minimum de sources isolées requises est de trois, puisqu'il y a trois points différents connectés à la source d'un des transistors. Dans une topologie *full-bridge*, les deux MOSFET du bas peuvent être contrôlés par la même source. Il en aurait été de même des MOSFET du haut s'ils avaient été de type P, mais ces MOSFET ont généralement de moins bonnes caractéristiques que les types N, qui sont très répandus dans les applications de puissance. L'application d'une tension de grille négative est aussi une option qui doit être considérée dans le design d'un circuit d'attaque. L'application de cette tension négative permet d'accélérer la mise à OFF du MOSFET et de fournir une marge qui prévient une remise en conduction intempestive du transistor.

Il est possible d'évaluer la puissance requise pour charger et décharger la grille du MOSFET à partir des données de la fiche technique et de l'application prévue. Premièrement, le fabricant fournit généralement les données de la charge Q_G requises à la grille par rapport aux tensions appliquées. Cette donnée est souvent fournie pour un signal de 0 V à 10 V. Dans ce projet, les tensions de grille choisies seront de -5 V à 12 V. La charge Q_G nécessaire sera estimée comme étant le double de la charge donnée dans la fiche technique, soit environ 100 nC pour le transistor choisi. Le courant moyen peut être calculé à partir de l'équation 4.9, où la fréquence maximale d'opération sera fixée à 200 kHz.

$$I_M = Q_G \cdot f \quad (4.9)$$

La puissance peut ensuite être calculée en tenant compte du fait que ce courant devra être appliqué par la tension de mise à *ON* et la tension de mise à *OFF*. La puissance peut donc être calculée selon l'équation 4.10.

$$P_G = V_+ \cdot I_M + V_- \cdot I_M \quad (4.10)$$

L'application numérique des ces équations donne un courant Q_G de 20 mA et une puissance P_G de 340 mW par transistor. Ce qui fait un total de 1,36 W si la totalité du pont est en commutation. En résumé, l'alimentation à concevoir devra fournir au moins trois sorties isolées ayant chacune les tensions +12 V et -5 V pour la puissance calculée. Un enroulement secondaire supplémentaire de 5 V sera ajouté pour fournir une alimentation isolée aux circuits de mesure et servir en même temps de la rétroaction pour la régulation de tension.

4.4.1 Choix de la topologie

Deux topologies de convertisseurs CC sont couramment utilisées pour la conception de sources d'alimentation isolée. Il s'agit des topologies *flyback* présentée à la figure 4.19a et *forward* pré-

sentée à la figure 4.19b. La différence entre ces deux topologies réside dans la manière dont l'énergie est accumulée dans le circuit magnétique lors de la commutation. Le convertisseur *flyback* accumule l'énergie dans l'inductance de magnétisation du transformateur d'isolation. L'énergie est accumulée à la fermeture de l'interrupteur et elle est relâchée du côté secondaire à l'ouverture du circuit primaire. Dans le circuit *forward*, l'énergie est transférée directement au secondaire dans une inductance série ajoutée au circuit. La topologie *forward* permet l'utilisation d'un transformateur plus compact, puisque le flux magnétique lié au courant de charge s'annule. Elle est à privilégier dans les applications à courant élevé. Ce convertisseur demande cependant un plus grand nombre de composants que le *flyback*. De plus, la régulation de la tension dans une application à sorties multiples est meilleure dans un *flyback*, étant donné le couplage entre les sorties. L'utilisation d'inductances externes pour le *forward* limite les performances sur ce point. La topologie *flyback* à sorties multiples est donc choisie pour fournir les sources isolées requises par le module.

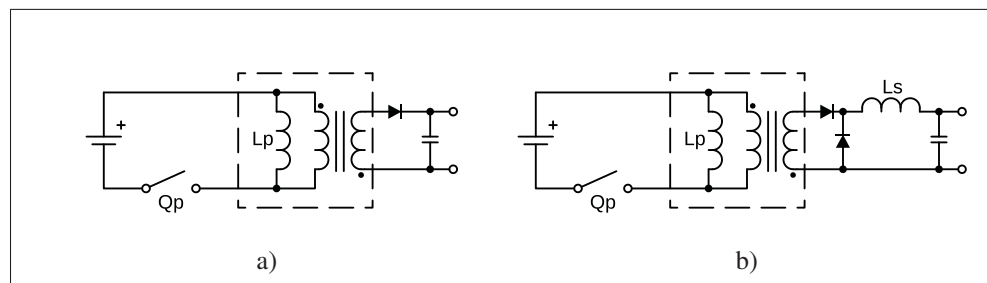


Figure 4.19 Convertisseurs CC isolés : a) *Flyback* b) *Forward*

Les convertisseurs *flyback* peuvent être commandés en mode de conduction continue (CCM) ou discontinue (DCM). Le contrôle en CCM est cependant plus complexe et ne présente pas beaucoup d'intérêt à faible courant. Un contrôle DCM par courant crête et à fréquence fixe a été choisi pour réaliser un circuit simple et économique. Ce mode de contrôle s'appuie sur un oscillateur interne qui déclenche la conduction du transistor au primaire à intervalle fixe suivant la fréquence d'opération choisie. Cette conduction dure jusqu'à ce que le courant au primaire atteigne une valeur de consigne fixée par la boucle de rétroaction. Cela donne une forme d'onde de courant triangulaire, tel que présenté à la figure 4.20, dont la crête est égale à la

valeur demandée par le contrôle. Afin d'éviter que le convertisseur entre en mode de conduction continue, un temps mort d'au moins 50 % de la période de commutation doit être observé. Cela permettra d'assurer que l'inductance de magnétisation soit complètement déchargée avant de commencer un nouveau cycle de conduction. Une marge est généralement ajoutée, ce qui donne un rapport cyclique D_{MAX} d'environ 45 %.

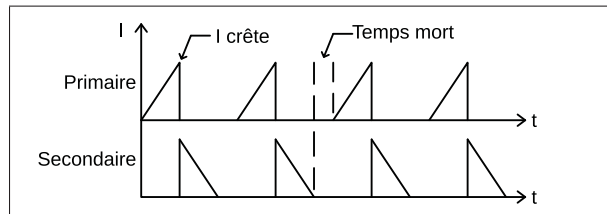


Figure 4.20 Formes d'onde du courant dans un convertisseur *flyback* en DCM

À partir de la forme d'onde de courant primaire, il est possible de déduire l'équation 4.11 du courant maximal et l'équation 4.12 qui donne la puissance d'entrée maximale du convertisseur en fonction des principaux paramètres.

$$I_{MAX} = \frac{V \cdot D_{MAX}}{L_M \cdot f_S} \quad (4.11)$$

$$P_{MAX} = \frac{V \cdot I_{MAX} \cdot D_{MAX}}{2} \quad (4.12)$$

Le circuit intégré UC3845 du fabricant On-Semiconductor a été choisi pour réaliser le contrôle DCM du *flyback*. Ce circuit intégré regroupe les fonctions nécessaires à l'opération du *flyback*, telles que l'oscillateur et le contrôle par courant crête. Une résistance doit être ajoutée en série avec le circuit primaire pour fournir une mesure de courant. Les règles de design du manufacturier ont été suivies pour réaliser une régulation sur l'enroulement 5 V à partir d'une rétroaction isolée par optocoupleur. Un des points de design majeur est que la régulation de tension doit être réalisée du côté secondaire afin de compenser le gain en courant de l'optocoupleur qui

est très variable. Si la régulation est réalisée au primaire à partir d'une mesure reçue par le même optocoupleur sans compensation, la valeur régulée pourrait varier dans une plage allant de 63 % à 125 % de la valeur désirée. La figure 4.21 présente un schéma simplifié du circuit de *flyback* retenu.

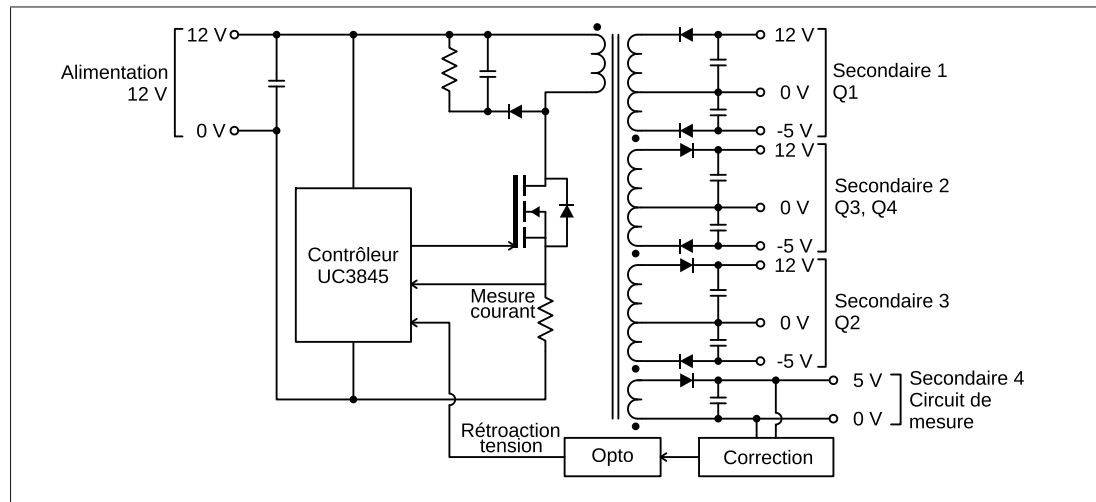


Figure 4.21 Schéma simplifié du convertisseur *flyback* conçu

4.4.2 Conception du transformateur planaire

Une revue des convertisseurs CC isolés de faible puissance offerts chez les distributeurs permet de constater que la quasi-totalité sont construits à partir de noyaux magnétiques planaires. Les enroulements des noyaux magnétiques planaires sont créés à l'aide de traces de circuits imprimés directement sur la carte. Cette technologie a l'avantage de présenter peu d'inductance de fuite et assure une répétabilité de cette caractéristique d'une plaquette à l'autre. De plus, leur forme plate offre une capacité de refroidissement supérieure aux noyaux traditionnels. D'un point de vue commercial, l'approvisionnement est simplifié dans le cas de designs complexes, puisque les enroulements sont inclus avec le circuit imprimé.

La première étape de la conception d'un transformateur planaire consiste à identifier les modèles de noyaux disponibles susceptibles de rencontrer les exigences du convertisseur. À partir

des dimensions de ces noyaux, il est possible d'estimer le nombre maximal de spires qu'il est possible de faire sur une même couche, ce qui permettra d'évaluer l'inductance de magnétisation qu'il est possible d'obtenir. Pour ce projet, les noyaux de type E du fabricant Ferroxcube ont été évalués. Le format de noyau E22/6/16 a été retenu, puisqu'il semble être possible de réaliser un nombre acceptable de spires par couche, soit une dizaine environ.

La deuxième étape consiste à évaluer le nombre de spires requises pour rencontrer les exigences en termes de ratio de transformation et d'inductance de magnétisation du transformateur. La tension d'alimentation du convertisseur est fixée à 12 V et chaque sortie isolée devra fournir les tensions de +12 V et -5 V. Pour fournir cette alimentation double, deux enroulements connectés par un point milieu seront utilisés en sortie. Suivant les règles de conception du *fly-back* (Pressman *et al.*, 2009), l'enroulement primaire et l'enroulement de sortie positif auront le même nombre de tours puisque leur ratio est de 1 : 1. Le nombre de tours au primaire N_P , combiné au facteur d'inductance du noyau A_L , permet d'établir l'inductance de magnétisation du transformateur L_M suivant l'équation 4.13.

$$L_M = N \cdot A_L^2 \quad (4.13)$$

Afin de déterminer une combinaison de N et A_L idéale, différentes combinaisons ont été analysées. Pour chacune, la puissance maximale à l'entrée (équation 4.12) et le nombre de tours requis pour la sortie -5 V ont été calculés. Une fréquence de commutation de 200 kHz est choisie et une alimentation de 12 V au primaire sera utilisée. Les résultats sont présentés dans le tableau 4.2. Idéalement, le nombre de tours requis pour la sortie 5 V devrait être un entier.

La première constatation faite dans le tableau 4.2 est qu'un nombre de tours entier est possible au secondaire 5 V seulement pour un N_P de 5 ou de 7. Afin de minimiser les enroulements, N_P est choisi à 5 tours. Pour ce qui est du facteur d'inductance du noyau, il est inutile de concevoir un convertisseur trop puissant, puisque ce dernier aurait une mauvaise efficacité à basse puissance. Ce serait la puissance minimale qui devrait être plus élevée pour assurer la

Tableau 4.2 Puissance maximale du *flyback* en fonction de N_P et A_L

N_P	N_{-5V}	$A_L = 160 \text{ nH}$		$A_L = 315 \text{ nH}$		$A_L = 630 \text{ nH}$	
		L_M	P_{MAX}	L_M	P_{MAX}	L_M	P_{MAX}
4	1,66	2,56 μH	28,47 W	5,04 μH	14,46 W	10,08 μH	7,23 W
5	2,08	4,00 μH	18,25 W	7,88 μH	9,25 W	15,75 μH	4,63 W
6	2,50	5,76 μH	12,66 W	11,34 μH	6,42 W	22,68 μH	3,21 W
7	2,92	7,84 μH	9,30 W	15,43 μH	4,72 W	30,87 μH	2,36 W

stabilité du convertisseur. Un A_L de 630 nH est choisi, car la puissance d'entrée de 4,63 W est suffisante pour la commande des grilles. La valeur L_M correspondante est de 15,75 μH . Avec le courant maximal calculé par l'équation 4.11, il est possible d'évaluer, avec l'équation 4.14, la densité de champ magnétique maximale dans le noyau. Ce calcul est nécessaire afin de valider que ce dernier ne sature pas.

$$B_{MAX} = \frac{L_M \cdot I_{MAX}}{N \cdot S} \quad (4.14)$$

La densité de flux calculée pour les paramètres choisis est de 60 mT, ce qui est loin de la limite de 300 mT pour éviter la saturation. Cette vérification faite, il reste à produire l'enroulement dans la plaquette de circuit imprimé. Il y a deux éléments à considérer dans la façon de disposer les enroulements. Premièrement, il est impératif de minimiser la capacité parasite entre le primaire et le secondaire. Cette capacité offre un chemin au bruit de commutation à haute fréquence généré par le pont. Une précaution à prendre est de ne pas superposer les enroulements primaires et secondaires. De plus, il est possible d'ajouter des ferrites sur les traces d'alimentation du convertisseur pour bloquer ce bruit.

Un deuxième point important à considérer, lors de la disposition des enroulements, est l'isolation entre le primaire et le secondaire. L'isolation globale du convertisseur sera discutée plus tard. Pour l'instant, le critère utilisé par le fabricant des isolateurs logiques sera appliqué. Il s'agit d'une tension de travail de 500 V crête, ce qui implique une tension de test d'environ 2 500 V_{RMS} . La norme IPC-2221A spécifie une distance d'au moins 100 mils (2,54 mm) entre

des conducteurs en surface d'un circuit imprimé et 10 mils (0,254 mm) pour des conducteurs internes non exposés à l'air. Il a donc été choisi de n'utiliser que les couches internes pour rendre le design plus compact. Une attention particulière devrait être portée à l'épaisseur du diélectrique entre les couches. Les fabricants offrent des gabarits standards de circuit imprimé, où l'épaisseur entre chaque couche peut varier. Pour rencontrer le critère de 10 mils, il est possible que des modifications soient nécessaires. Les figures 4.22a et 4.22b présentent le design retenu pour le prototype.

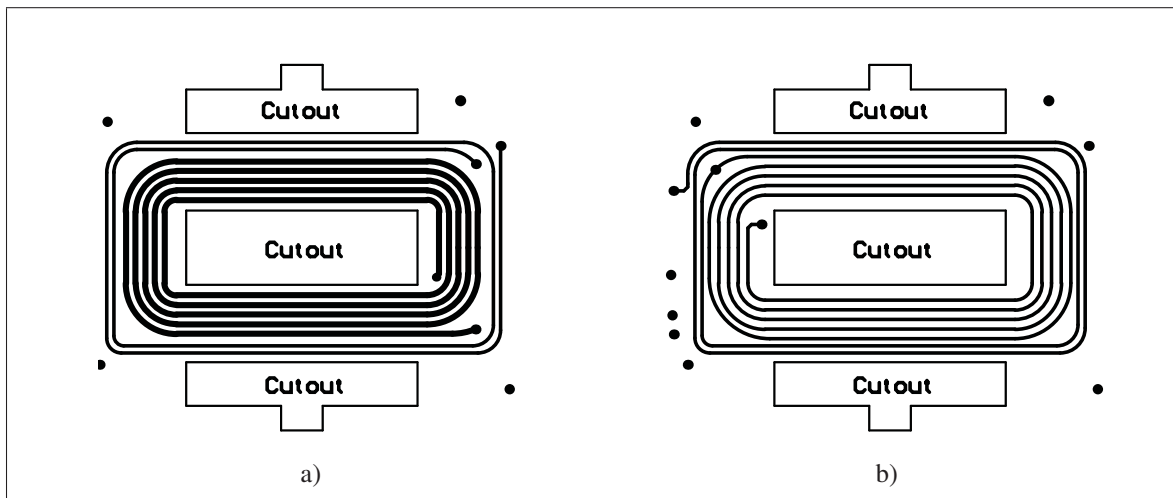


Figure 4.22 Enroulements planaires : a) Primaire et sortie 5 V b) Secondaire typique

4.4.3 Performances obtenues

Une première constatation pratique est que la tension des sorties des circuits d'attaque est environ 15 % plus élevée que ce qui est prévu par le ratio en condition de charge faible. L'explication plausible de ce phénomène est que leur couplage magnétique avec le noyau est meilleur que celui de l'enroulement de régulation qui est disposé en périphérie. Une bonne régulation de cet enroulement entraîne donc des dépassements sur les autres sorties.

L'analyse de l'efficacité du convertisseur final n'a pu être réalisée directement puisque plusieurs éléments du circuit avaient déjà été soudés. Il était donc impossible de dissocier clairement les pertes et les charges étant donné qu'elles étaient en partie confondues. Il a tout de

même été possible d'estimer l'efficacité du convertisseur. Le tableau 4.3 présente la puissance consommée à la source pour deux points d'opérations.

Tableau 4.3 Puissance mesurée à l'entrée du convertisseur *flyback*

Puissance d'entrée à vide (carte alimentée sans commutation)	1 W
Puissance d'entrée en charge (ajout d'une charge connue de 3,4 W)	5 W

Il a été constaté que les pertes du convertisseur étaient essentiellement résistives. Cela indique que le fonctionnement à faible courant offre une bonne efficacité. Il serait donc conservateur de dire que 50 % de la puissance à vide est associée à des circuits utiles de la carte. À partir de cette hypothèse, on peut estimer la charge utile totale à environ 3,9 W pour le deuxième point d'opération du tableau. Cela donnerait une efficacité d'environ 78 % à pleine charge. Le tableau 4.4 présente l'estimation des principales pertes du *flyback* calculées à partir des courants mesurés à pleine charge.

Tableau 4.4 Estimation des pertes dans le convertisseur *flyback*

Pertes résistance de mesure du courant	0,26 W
Pertes résistives au primaire	0,21 W
Pertes résistance de charge minimale	0,15 W
Pertes résistives aux secondaires	0,12 W
Pertes dans les diodes des secondaires	0,10 W

Un total de 0,84 W sur 1,10 W estimé de pertes peut être expliqué par les résultats du tableau. Le reste est produit par le circuit de commande, le noyau magnétique, les *snubbers* et le MOSFET. Il est possible de réduire la résistance de mesure du courant, mais cela risque de compromettre la stabilité à faible charge.

4.5 Circuits de mesure

Pour assurer son bon fonctionnement, le convertisseur MMC doit recueillir la tension de chacune de ces cellules afin d'assurer la régulation de leur tension. De plus, la mesure du courant dans les bras est requise. La mesure de la tension n'induit pas d'impact majeur sur le circuit de puissance puisqu'elle se prend en parallèle du condensateur. Par contre, dans le cas du courant, il faut insérer un élément en série avec les connexions de puissance.

La composante à la base de l'acquisition de signaux dans un système numérique est ADC. Il a été choisi dans ce projet de placer les convertisseurs directement sur les cartes de puissance sur un circuit isolé supplémentaire. La raison derrière ce choix est qu'il est plus facile d'isoler des signaux numériques qu'analogiques. De plus, le bruit qui sera collecté sur les lignes de transmission aura moins d'impact sur un signal numérique puisqu'il possède une certaine marge de bruit. À l'opposé, pour un signal analogique non échantillonné, chaque millivolt de bruit aura un impact sur la mesure finale.

Un ADC à entrée *single-ended* de 12 bits ayant une interface de communication série a été choisi. Cet ADC possède une référence interne de 4,096 V lorsqu'il est alimenté à 5 V. Cette fonction diminue le nombre de pièces requises dans le circuit de mesure. Il a été choisi d'utiliser le même convertisseur, tant pour la mesure de tension que celle de courant. La mesure de courant sera située dans la même portion de circuit que la mesure de tension. Cette dernière sera cependant optionnelle, puisqu'elle n'est pas requise sur toutes les cartes, étant donné qu'une seule mesure par bras est requise.

Pour capter la tension, un circuit d'atténuation résistif est utilisé. Ce circuit est composé de trois résistances de précision 0,1 % dont la combinaison donne un ratio d'environ 20 : 1 entre la tension de bus CC et l'entrée du convertisseur. Pour un bus de 40 V, la tension lue sera de 1,995 V avec les valeurs présentées à la figure 4.23a. Le diviseur a été séparé en trois résistances dans le but d'avoir une forte impédance sur les deux connexions touchant la partie puissance. Cette technique est analogue à un circuit différentiel et permet de limiter la circulation du bruit en mode commun dans le circuit de mesure. Un filtre différentiel RC du premier ordre d'une

fréquence de coupure de 16 kHz a été ajouté afin de filtrer le bruit et de limiter la bande passante du signal d'entrée.

Pour la mesure de courant, un capteur à effet Hall a été privilégié pour ses faibles pertes et l'isolation qu'il procure entre la partie puissance et les signaux de mesure. Un modèle de la série HO-NP du fabricant LEM offrant une précision de 1 % a été retenu. De plus, ce capteur fournit un contact permettant d'indiquer une surintensité, ce qui sera utilisé pour activer des protections locales. Des ferrites ont été ajoutées sur les traces connectant le capteur, puisque ce dernier comporte une capacité parasite qui favorise la circulation du bruit à haute fréquence vers le circuit de mesure. Un filtre différentiel RC a aussi été ajouté à l'entrée du ADC pour les mêmes raisons que le filtre de tension. La figure 4.23b présente le schéma final de la mesure de courant.

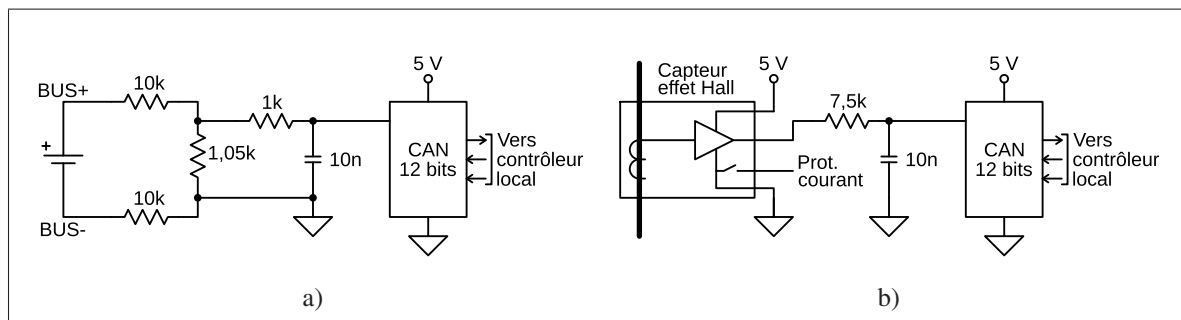


Figure 4.23 Circuits de mesure : a) Tension de la cellule b) Courant de bras

4.6 Récapitulatif

La démarche de conception suivie dans ce chapitre a permis de réaliser la carte de sous-module illustrée à la figure 4.24a. Un schéma bloc des fonctionnalités de la carte est présenté en figure 4.24b. Les objectifs étaient de produire une carte robuste et relativement simple à produire, étant donné, la grande quantité de cartes à produire. Une attention a été portée sur la réduction des oscillations de commutation afin de réduire en amont les problèmes de compatibilité électromagnétique. De plus, une solution à faible délai a été privilégiée au niveau du circuit d'attaque afin de maintenir le cap vers une application potentielle d'amplificateur classe D.

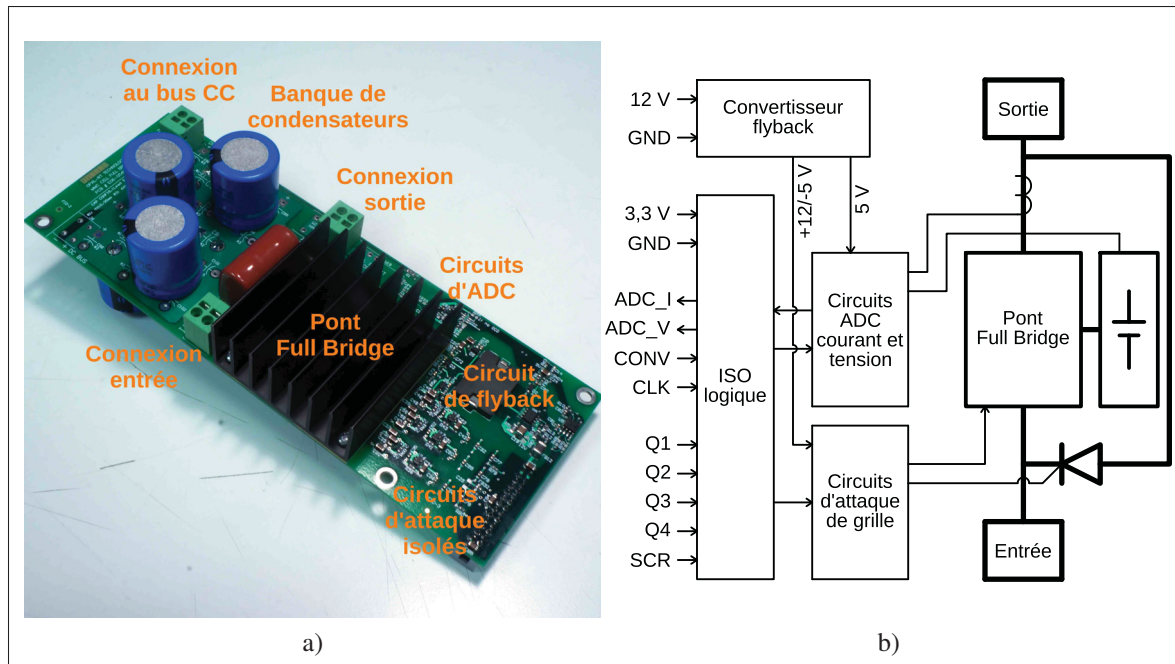


Figure 4.24 Résultat de la conception : a) Carte de sous-module
b) Schéma bloc de la carte

Afin de poursuivre les tests de la carte, le module local de 10 cellules doit être conçu et détaillé. C'est le sujet qui sera développé dans le chapitre 5. L'obtention de cet ensemble est la dernière étape avant l'obtention du prototype MMC complet.

CHAPITRE 5

INTÉGRATION DU SYSTÈME

Les chapitres 3 et 4 ont décrit la conception du lien de communication et de la carte de sous-module pour le prototype de MMC proposé dans le chapitre 2. Le chapitre 5 décrit, quant à lui, le regroupement de ces éléments dans un ensemble fonctionnel. La conception du boîtier englobant ce système est au centre de la démarche. Certaines problématiques, tel que le refroidissement, les interférences électromagnétiques et l'isolation ne peuvent être réellement traitées que sur l'assemblage mécanique final d'un prototype. De plus, les aspects liés au groupement des cartes, à la conception de la carte de commande locale ainsi qu'à sa programmation seront traités.

5.1 Conception du boîtier métallique

En recherche dans le domaine de l'électronique de puissance, il est courant d'assembler des prototypes expérimentaux à l'air libre, puisqu'il n'est pas justifié de concevoir un boîtier si cela ne fait pas partie de l'étude en cours. Une validation thermique de base est faite pour garantir uniquement le bon fonctionnement du montage. Pour le projet qui fait l'objet de ce mémoire, étant donné les possibles débouchés commerciaux, il a été choisi de concevoir un boîtier métallique suivant le standard des cabinets EIA-310 (19 po), tel que déjà discuté dans le chapitre 2. Afin de pouvoir concevoir un boîtier sur mesure pour l'application, le procédé de découpage laser du métal en feuille et de pliage a été choisi. Une solution alternative aurait été d'utiliser des boîtiers standards disponibles dans le commerce, mais cette solution ne présente aucun avantage puisque leur coût reste élevé et des frais supplémentaires pour l'usinage sont à prévoir. De plus, il est impossible d'optimiser le refroidissement sur un tel boîtier, puisque la grille de ventilation ne peut être déplacée.

Afin de concevoir le boîtier, le logiciel de conception 3-D assistée par ordinateur SOLIDWORKS® a été utilisé. Ce logiciel dispose d'un module adapté à la conception de pièces de métal en feuille pliées qui tient compte de la perte au pli. De plus, SOLIDWORKS®

intègre un module de simulation *Computational Fluid Dynamics* (CFD) qui permet de réaliser une étude par éléments finis du boîtier pour valider l'efficacité de la ventilation. Puisque la découpe au laser est utilisée, cela offre un maximum de liberté dans la disposition des ouvertures de ventilation. Le boîtier de base consiste en un assemblage en deux pièces, soit le boîtier rectangulaire et son couvercle. Le prototype réalisé est présenté à la figure 5.1a. Les cartes de sous-module sont centrées sur la hauteur afin de laisser un dégagement égal pour les condensateurs du haut et du bas. La carte de contrôleur est conçue de manière à couvrir la longueur du boîtier. Elle est placée sous les cartes de sous-modules, tel que présenté à la figure 5.1b. Les signaux de commande seront transmis aux sous-modules par des câbles plats.

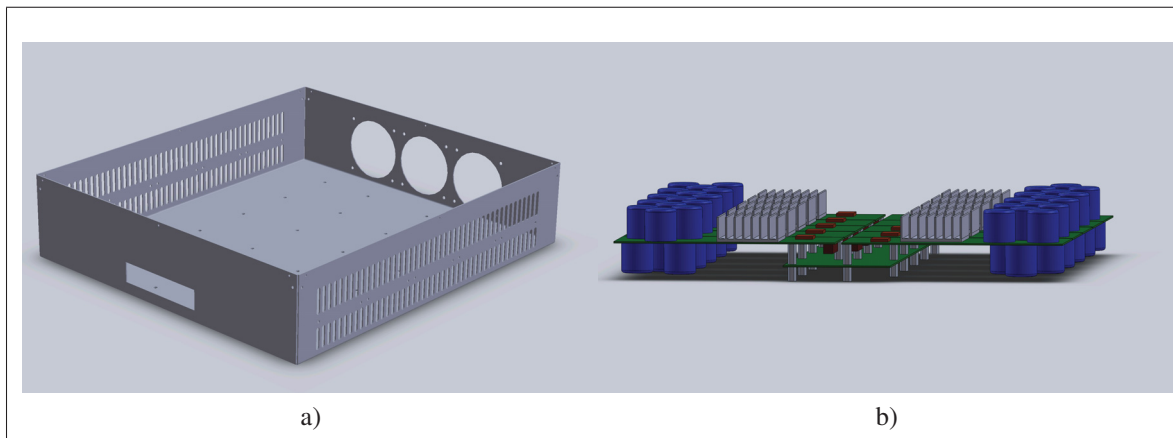


Figure 5.1 Modèle 3-D du boîtier : a) Boîtier en métal plié b) Disposition des cartes

Il a déjà été établi que les composantes ayant le besoin de refroidissement le plus critique étaient les condensateurs électrolytiques, puisque leur échauffement réduit drastiquement leur longévité. Il a donc été décidé, dans la conception du sous-module, de les disposer en périphérie de l'assemblage prévu des cartes. La suite logique de cette décision est de placer l'entrée d'air frais du boîtier à proximité, afin de s'assurer que les condensateurs obtiennent un refroidissement maximal. Puisqu'il est peu pratique de disposer un ventilateur en pression positive à chaque carte de sous-module, trois ventilateurs centraux utilisés en pression négative ont été installés à l'arrière du boîtier. Des ouvertures à l'air ambiant sont distribuées sur les côtés du boîtier, à proximité des condensateurs, afin de répartir le flot d'air créé par la pression négative.

5.1.1 Analyse thermique par CFD à l'aide de SOLIDWORKS

Le circuit équivalent thermique, tel que celui présenté dans le chapitre 4, est un outil efficace pour résoudre des problèmes simples ou assurer le dimensionnement de base des composantes. Son utilisation est imprécise, voire impossible, dans des cas complexes tel que le refroidissement d'un boîtier où plusieurs paramètres entrent en jeu. C'est pourquoi le module de CFD de SOLIDWORKS® a été configuré afin de réaliser une analyse de l'écoulement interne de l'air et du refroidissement des composantes avant la production du boîtier. À partir de cette simulation, il a été possible d'évaluer la conception thermique dans son ensemble dans le but de voir si la température ambiante du boîtier et des composantes reste à un niveau acceptable pour les pertes évaluées dans le chapitre 4.

Un modèle simplifié du boîtier et des cartes a été utilisé pour réduire la complexité du modèle. Les sources de chaleur qui ont été considérées sont les radiateurs (13,5 W pour chacun), les condensateurs (2 W par unité) et les transformateurs de *flyback* (1 W pour chacun). Un maillage de base, avec l'option de raffinement des canaux étroits, a été sélectionné. Le modèle comporte environ deux millions de cellules, ce qui est approximativement la limite admissible suivant les capacités de l'ordinateur utilisé pour la simulation. Trois ventilateurs du fabricant Orion (OD8025-48HB) ont été choisis pour le boîtier. Ils ont été modélisés par leur courbe caractéristique de la pression en fonction du débit d'air fourni par le fabricant. Les objectifs de la simulation ont été définis comme étant la température moyenne du fluide (l'air) et la température maximale d'un radiateur et d'un condensateur. La figure 5.2 présente la vitesse du flot d'air obtenu dans la simulation. La figure 5.3, quant à elle, présente la température de surface des solides présents dans le boîtier.

Les résultats de la simulation semblent indiquer que le refroidissement du boîtier est adéquat. Grâce à ces résultats positifs, le boîtier a pu être produit avec un niveau de confiance élevé. Une fois le boîtier livré et le système assemblé, des tests en charge ont été menés sur un boîtier prototype afin de valider les résultats au niveau de l'échauffement des composantes à l'intérieur du boîtier. Les modules ont été opérés à un courant de 15 A_{RMS} pendant 2 h dans le boîtier fermé

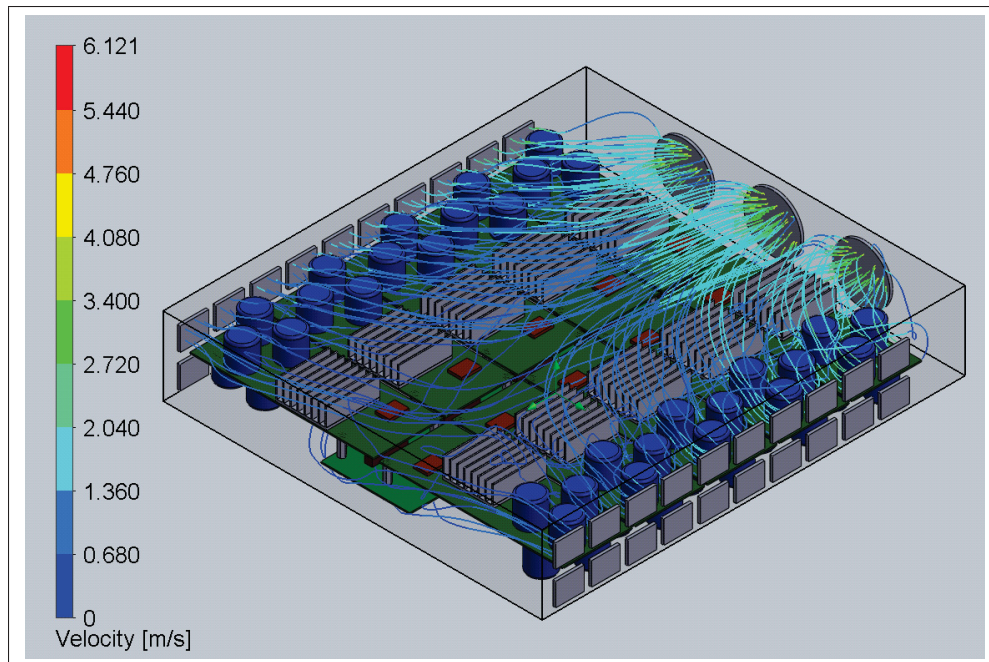


Figure 5.2 Vitesse du flot d'air obtenu par simulation

et, suite à cet intervalle, une inspection à la caméra thermique a été réalisée immédiatement après l'ouverture du couvercle. Les figures 5.4a et 5.4b présentent les clichés obtenus lors de cette inspection.

Il est possible de voir que la température des radiateurs est proche de 53°C , autant dans la simulation CFD que dans la validation expérimentale. Il n'est cependant pas possible de lier les deux résultats, même s'ils sont très proches, puisque les pertes réelles sont inférieures à celles modélisées dans la simulation, étant donné la température plus basse des transistors. De plus, le boîtier utilisé comporte un grillage qui réduit la performance des ventilateurs et cela n'a pas été modélisé. Malgré cela, les résultats de simulation semblent suffisants pour valider une conception thermique complexe avec un niveau de confiance supérieur à la méthode du circuit équivalent. Ces résultats suggèrent qu'il y aurait une marge de manœuvre pour utiliser seulement deux ventilateurs plutôt que les trois proposés. Malgré cela, le nombre de ventilateurs sera maintenu à trois.

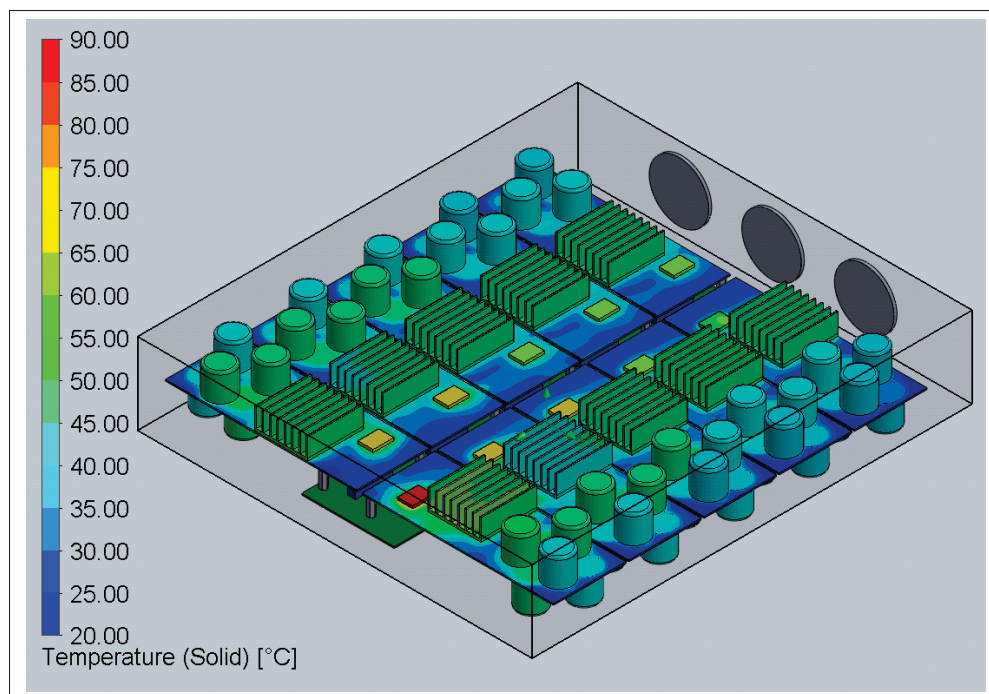


Figure 5.3 Température des surfaces obtenue par simulation pour les pertes estimées par calcul

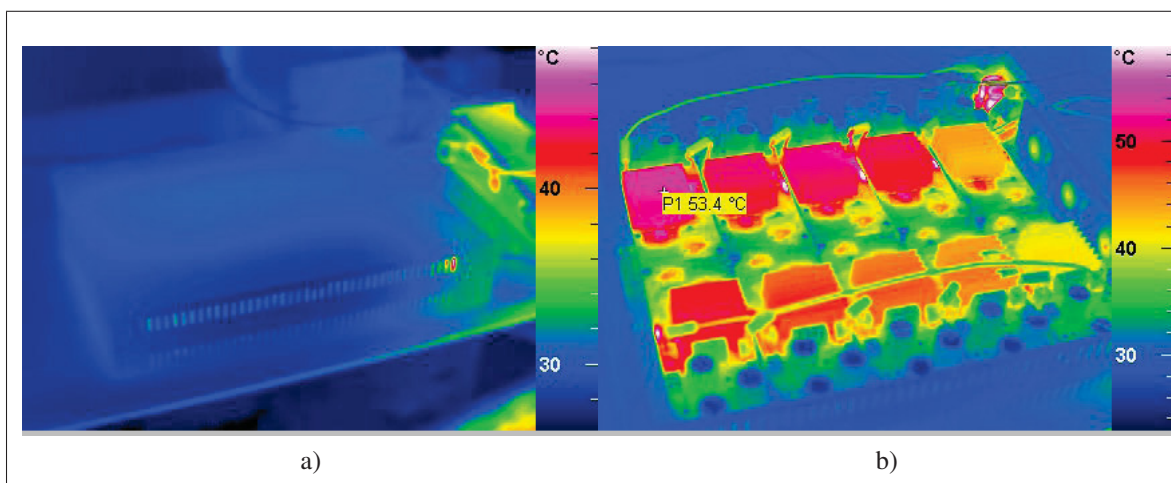


Figure 5.4 Inspection à la caméra thermique : a) Vue externe du boîtier
b) Vue interne des radiateurs

5.2 Compatibilité électromagnétique (EMI)

Le contrôle des interférences électromagnétiques (EMI) est une problématique complexe à résoudre dans la conception d'un convertisseur de puissance. Les normes d'émission EMI ont pour objectif d'éviter qu'un appareil interfère au fonctionnement des autres appareils connectés sur un réseau et vice-versa. Les émissions sont mesurées sous deux formes, soit les émissions conduites et les émissions radiées. Les émissions conduites sont mesurées sur les câbles d'alimentation à l'aide d'un transformateur de courant à large bande passante. Les émissions radiées sont, pour leur part, mesurées dans une chambre anéchoïque à l'aide d'une antenne.

Dans ce projet, le respect des normes EMI, à proprement parler, n'a pas été évalué. L'impact des filtres ajoutés a plutôt été validé de façon différentielle en comparant les formes d'onde initiales avec celles prises à la suite de l'ajout d'un élément. De plus, l'analyse a seulement porté sur les émissions conduites, étant donné que le laboratoire ne dispose pas d'antenne permettant la mesure des émissions radiées.

5.2.1 EMI conduit en mode commun

Le bruit en mode commun est observable lorsque le courant d'un conducteur transportant un signal n'est pas égal à celui du ou des conducteurs servant au retour de ce dernier (Ozenbaugh, 2001). Cela indique qu'une composante circule sur ces conducteurs et effectue son retour par un autre chemin, généralement la masse. Ce courant est généralement causé par la forte variation de tension des commutations, qui entraîne la circulation d'un courant dans les capacités parasites entre le pont et le boîtier d'un convertisseur. La figure 5.5a illustre ce principe.

Pour limiter la circulation de ce courant vers la charge, un filtre en mode commun doit être ajouté sur les conducteurs de puissance du convertisseur. Ce filtre est composé d'une inductance en mode commun qui bloque la circulation de ce courant vers la charge combinée avec l'ajout de condensateurs entre les conducteurs de puissance en amont du filtre et le boîtier. Ces condensateurs créent un chemin qui permet au courant en mode commun de retourner vers le pont de puissance sans passer par la charge. Cette configuration est montrée à la figure 5.5b.

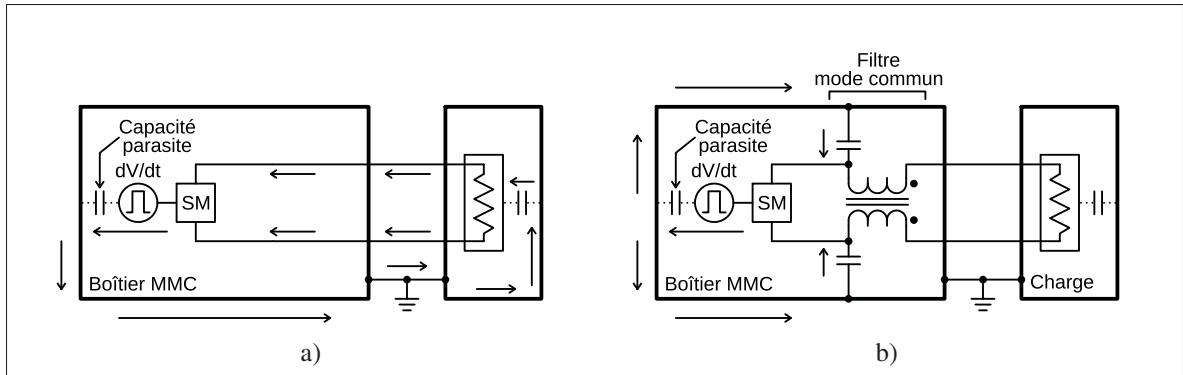


Figure 5.5 Circulation du bruit en mode commun : a) Sans filtre
b) Avec l'ajout du filtre

Un filtre composé d'une inductance en mode commun de 2 mH et de deux condensateurs de type X1Y1 de 4,7 nF a été prévu.

5.2.2 EMI conduit en mode différentiel

La seconde composante du bruit conduit est le bruit différentiel. La circulation de ce bruit se fait entre les conducteurs de puissance d'un convertisseur (Ozenbaugh, 2001). À priori, ce bruit devrait être relié aux oscillations produites lors de la commutation des sous-modules. Il a été observé dans le chapitre 4 que ces oscillations se situent dans une gamme de fréquences variant de 10 à 80 MHz. Afin d'empêcher la propagation de ces oscillations hors des sous-modules, des ferrites tubulaires ont été ajoutées sur les interconnexions entre les sous-modules (figure 5.6a). Des ferrites composées du matériel 28 du fabricant Laird Technologies ont été choisies, car la plage d'impédance efficace de ce matériel se situe entre 10 MHz et 1 GHz. L'ajout de ces ferrites a permis d'atténuer la propagation du bruit à haute fréquence. Malgré l'ajout des ferrites, un courant résonant en mode différentiel est observé dans la gamme de fréquences allant de 1 à 6 MHz. Cette oscillation ne correspond pas aux dynamiques du pont de transistor. Elle semble plutôt être une résonance du circuit de puissance causée par la capacité parasite des inductances de bras qui est de l'ordre de 300 pF. Ce circuit résonant est présenté à la figure 5.6b et l'effet de cette résonance peut être vu dans les résultats de la section suivante.

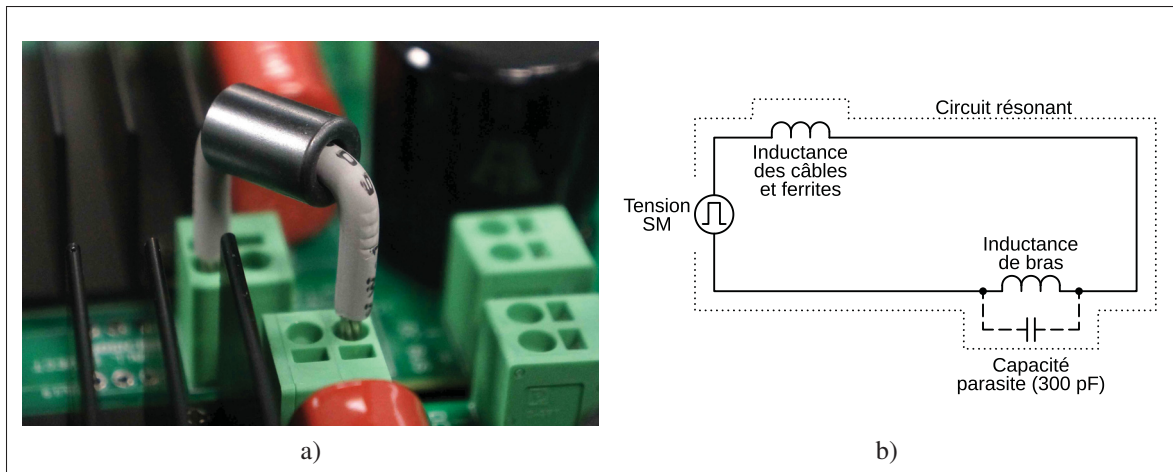


Figure 5.6 Bruit en mode différentiel : a) Ajout de ferrite sur les interconnexions
b) Circuit résonant avec la capacité parasite de l'inductance de bras

La solution retenue pour atténuer cette résonance est d'ajouter un filtre LC différentiel, tel que montré à la figure 5.7a. Le but est de limiter le temps de montée de la tension sur la capacité parasite et, ainsi, minimiser le courant résonant qui est injecté dans le circuit. De plus, une résistance d'atténuation ajoutée en série avec le condensateur permet de dissiper l'énergie de l'oscillation. L'ajustement de cette résistance est présenté dans le graphique de la figure 5.7b. Les valeurs retenues suite à un processus de sélection empirique sont de $L = 20 \mu\text{H}$, $C = 100 \text{ nF}$ et $R = 20 \Omega$. Cela donne une fréquence de coupure de 112 kHz.

5.2.3 Conception de la carte de filtre de sortie

Une carte de filtre de sortie, intégrant les deux filtres proposés, a été conçue. Cette carte est reliée au boîtier par des supports métalliques qui assurent la connexion des condensateurs du filtre en mode commun. De plus, des varistors de protection ont été connectés entre les conducteurs vivants et le neutre. Cela va assurer une protection des isolateurs logiques du circuit et de la commande en cas de surtension transitoire sur le circuit de puissance. La figure 5.8a présente la carte et la figure 5.8b son schéma.

Afin de valider l'efficacité du filtre, des mesures du courant EMI ont été effectuées lorsque le convertisseur fonctionnait à pleine charge. Ces mesures ont été effectuées sur le circuit mono-

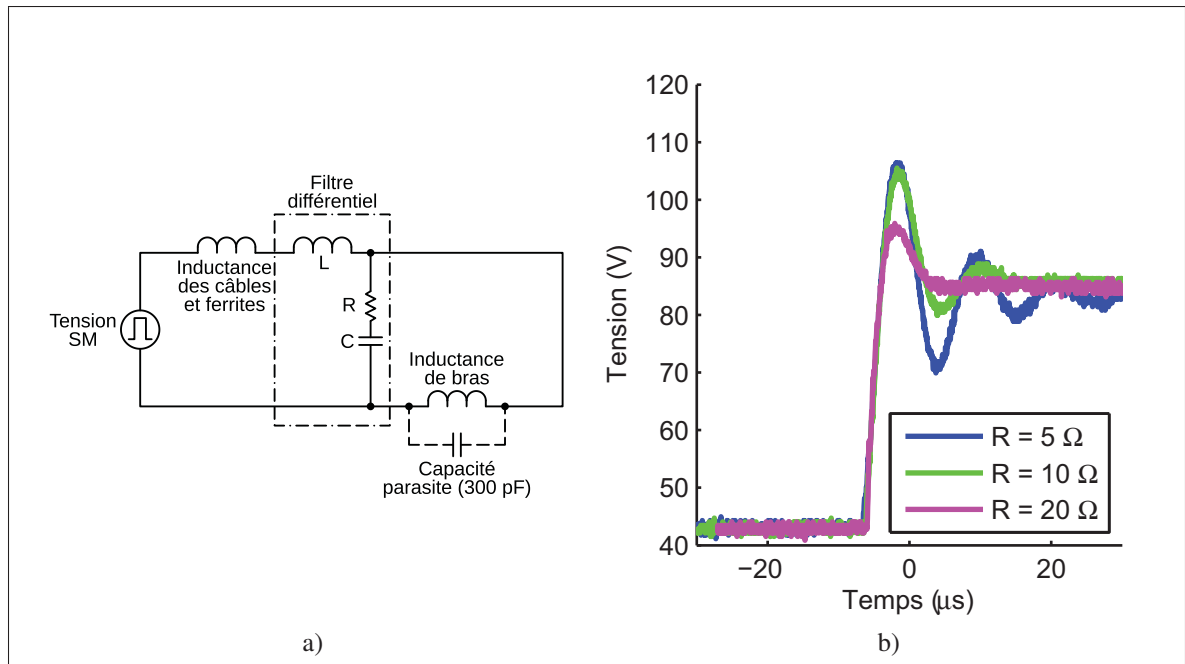


Figure 5.7 Circuit résonant différentiel : a) Schéma du circuit avec et sans filtre
b) Ajustement de la résistance d'atténuation

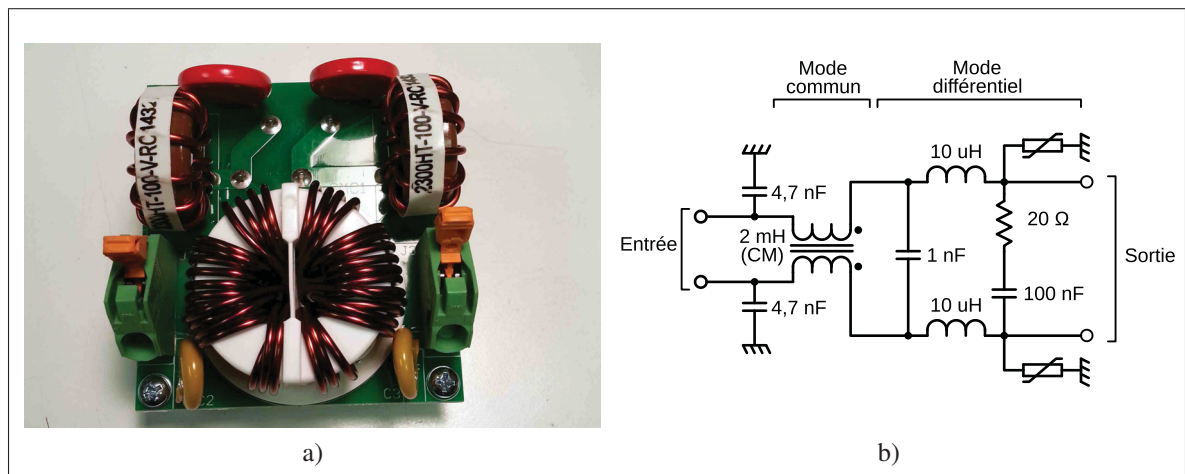


Figure 5.8 Filtre de sortie : a) Carte du filtre b) Schéma du filtre

phasé à 5 niveaux présenté à la figure 5.9. Les points de mesure sont indiqués sur ce schéma. La commande de ce montage est expliquée dans le chapitre 6.

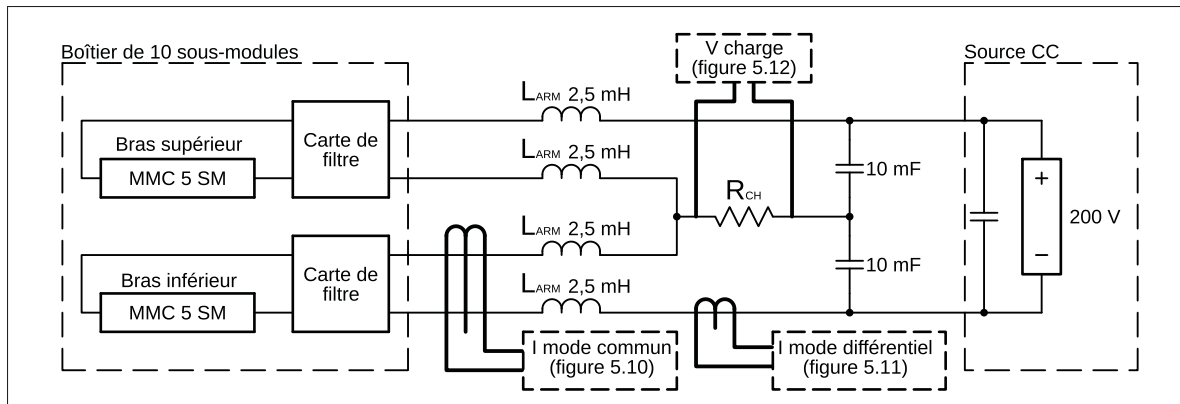


Figure 5.9 Montage de test pour les mesures de courant EMI

Les résultats du courant en mode commun sont présentés à la figure 5.10a (avant l'ajout du filtre) et figure 5.10b (après l'ajout du filtre). Ceux pour le courant différentiel sont présentés à la figure 5.11a (avant l'ajout du filtre) et figure 5.11b (après l'ajout du filtre). De plus, l'impact sur la forme d'onde de la tension de sortie a été mesuré et est illustré à la figure 5.12a (avant l'ajout du filtre) et figure 5.12b (après l'ajout du filtre).

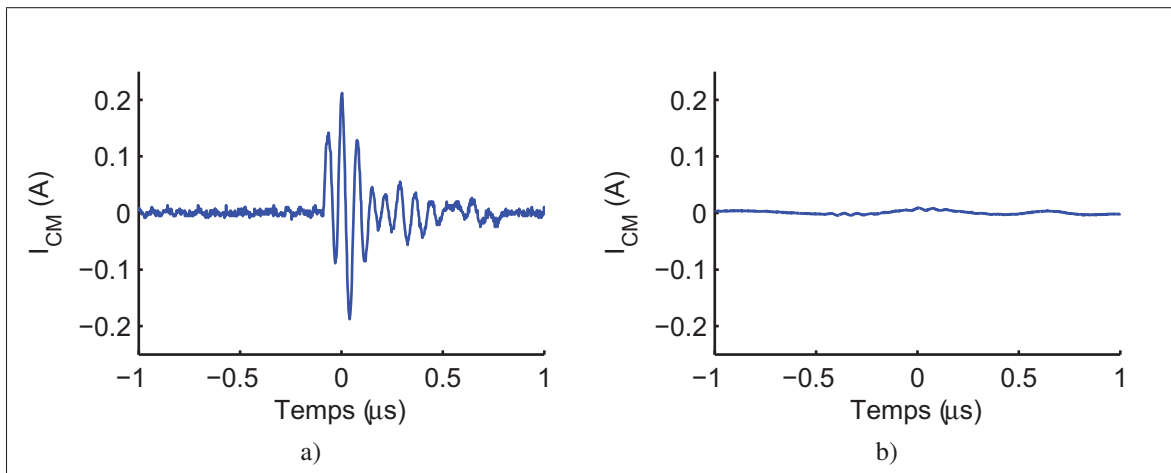


Figure 5.10 Courant EMI en mode commun : a) Sans filtre b) Avec l'ajout du filtre

Ces mesures sont réalisées dans le domaine temporel à l'oscilloscope afin de pouvoir observer directement la forme d'onde. Une étude complète demanderait des mesures à l'aide d'un analyseur spectral, afin d'observer le contenu fréquentiel du bruit et l'impact de l'ajout du filtre

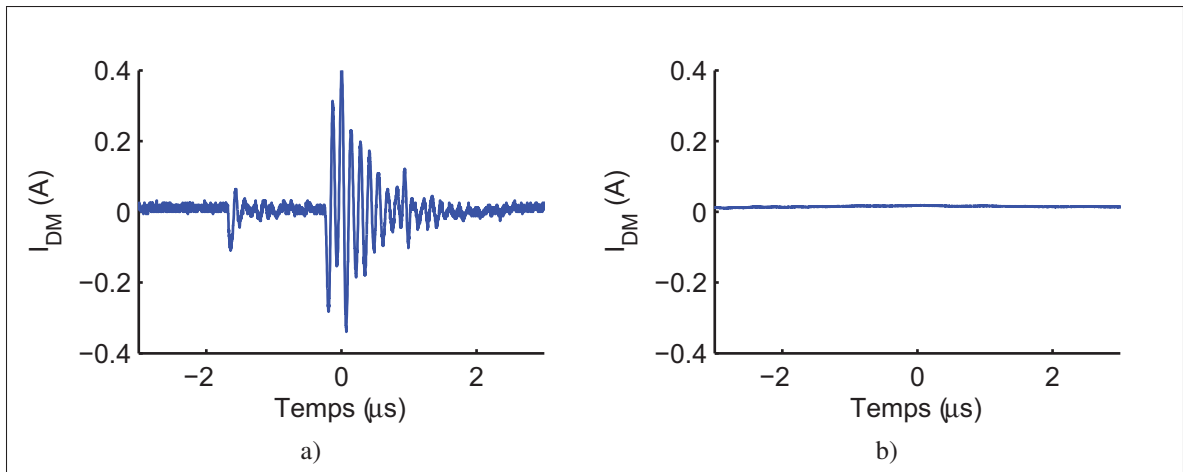


Figure 5.11 Courant EMI en mode différentiel : a) Sans filtre b) Avec l'ajout du filtre

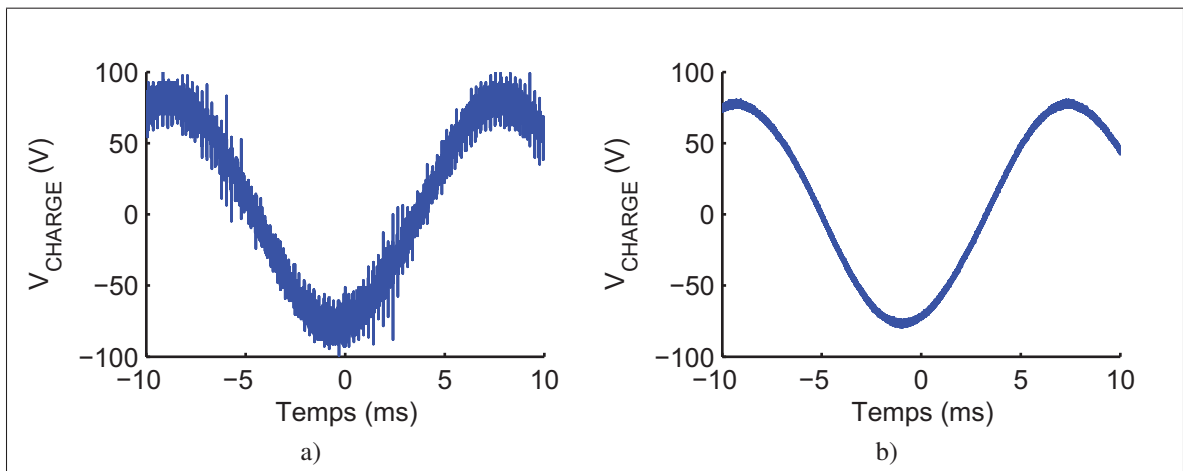


Figure 5.12 Forme d'onde de sortie : a) Sans filtre b) Avec l'ajout du filtre

sur ce dernier. Une analyse de l'amplitude maximale des oscillations révèle une atténuation d'environ -26 dB en mode commun et de plus de -40 dB en mode différentiel. La carte de filtre est jugée efficace.

5.3 Isolation et sécurité

Étant donné les niveaux de tension présents dans le boîtier, une attention particulière doit être portée aux normes de sécurité électrique applicables. Le tableau 5.1 fait une liste non exhaustive de standards potentiellement applicables à ce prototype (Avago Technologies, 2011).

Tableau 5.1 Liste de standards de sécurité électrique

IEC 61010-1	Safety Requirements for Electrical Equipment for Measurement, Control, and Laboratory Use
IEC 60065	Safety Requirements for mains operated electronic and related apparatus for household and similar general use
IEC 60664-1	Insulation Coordination for Equipment Within Low-Voltage Systems
IEC 60950	Safety of Information Technology Equipment, Including Electrical Business Equipment
UL 508	Industrial Control Equipment
UL840	Standard for Insulation Coordination for Electrical Equipment

Il a été choisi de suivre les directives contenues dans la norme IEC 61010-1 qui s'adresse aux équipements de test et de laboratoire (Avago Technologies, 2011). Il est possible que d'autres standards s'appliquent si le prototype est commercialisé, donc le fait de suivre un premier standard constitue un travail de base qui facilitera le respect d'autres normes.

L'analyse commence par la classification du système à évaluer, puisque différents niveaux sont applicables suivant le résultat obtenu à cette étape. Un premier choix à effectuer consiste à déterminer la classe de l'équipement suivant le type de protection contre les chocs électriques qu'il est prévu de réaliser. Le tableau 5.2 présente les classes et le type d'isolation associé à chacune (Avago Technologies, 2011).

Pour ce prototype conçu dans un boîtier métallique, la classe 1 est le choix le plus pertinent. Cela signifie que le boîtier et les pièces conductrices non vivantes et accessibles doivent être solidement mis à la terre. De plus, le niveau d'isolation de base (*basic isolation*) doit être res-

Tableau 5.2 Classe d'équipement et type d'isolation associée

Classe	Description	Type d'isolation
Classe 0	Aucune protection	Fonctionnelle (<i>Functional</i>)
Classe 1	Boîtier métallique avec mise à la terre	De base (<i>Basic</i>)
Classe 2	Boîtier isolé sans mise à la terre	Renforcée (<i>Reinforced</i>) Double (<i>Double</i>)
Classe 3	Équipement alimenté par une source protégée	Fonctionnelle (<i>Functional</i>)

pecté entre les conducteurs vivants et les pièces connectées à la terre. Une fois la classe choisie, il faut déterminer la catégorie de surtension de l'équipement, dépendamment de son type de raccordement avec le réseau. Cette indication va permettre d'évaluer les niveaux d'isolation requis suivant la norme. La figure 5.13 présente un diagramme illustrant la catégorisation des équipements dans une installation typique.

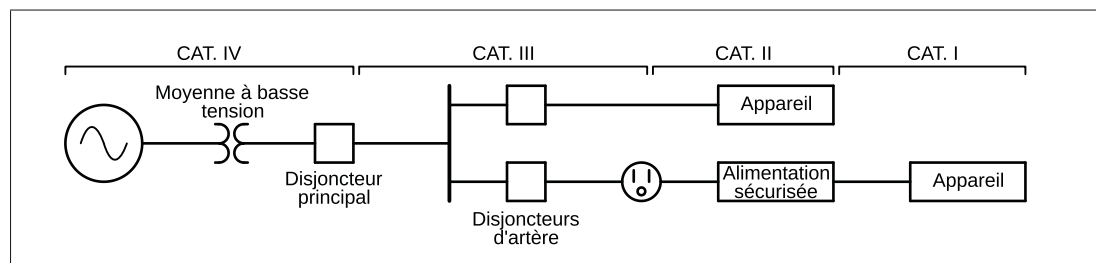


Figure 5.13 Diagramme illustrant les catégories d'appareils basse tension

Dans sa forme actuelle, le prototype peut être classé comme étant un équipement de catégorie II puisqu'il est prévu de le raccorder à une prise électrique sur une dérivation triphasée protégée à 15 A. Si le prototype était considéré comme une installation fixe, il se pourrait qu'il doive se qualifier pour la catégorie III. Toutefois, son faible niveau de puissance rend cette option peu probable. Avec toutes ces informations en main, il est maintenant possible de définir, à partir de la norme IEC 61010-1, le niveau d'isolation requis entre les conducteurs alimentés et la mise à la terre. Ce niveau est défini par des tensions d'essai CA ou CC que doit supporter l'isolation pendant une minute. La plupart des fabricants d'équipement fournissent cette donnée dans la

fiche technique. Pour une tension d'opération de 400 V_{CC} et une isolation de base, le niveau de test à atteindre est de 2 200 V_{RMS} ou 3 100 V_{CC} pendant une minute (Avago Technologies, 2011). La figure 5.14 présente un schéma de principe de l'isolation des circuits dans le boîtier.

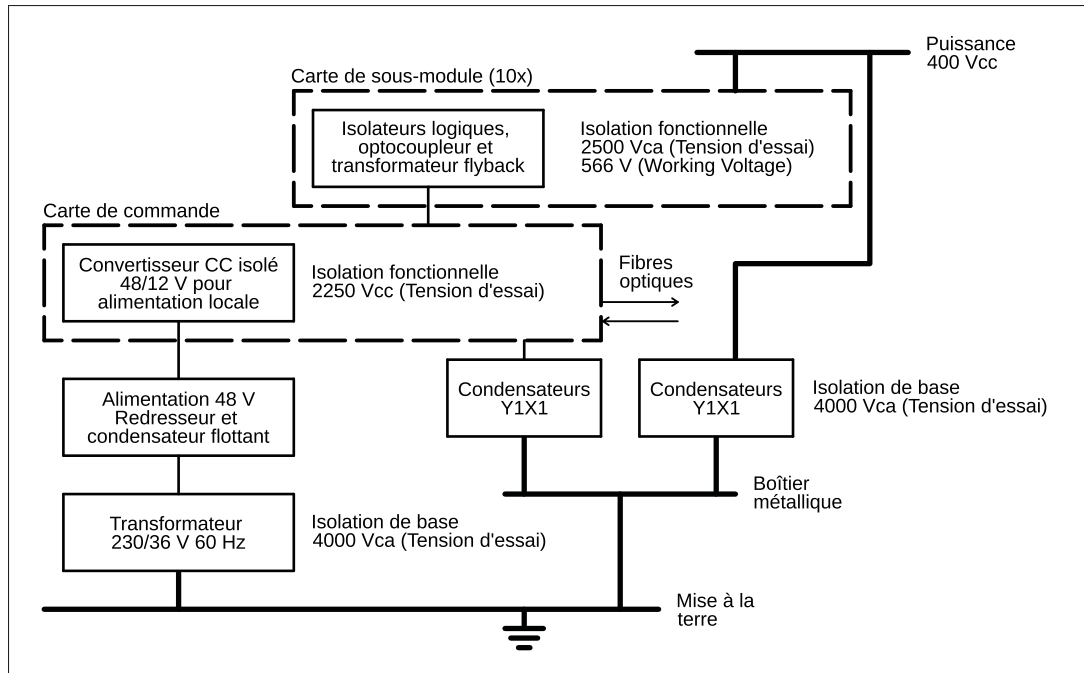


Figure 5.14 Schéma de principe de l'isolation du boîtier

Le système comporte plusieurs niveaux d'isolation. Pour commencer, les cartes de sous-modules et la carte de commande sont isolées du boîtier. Elles sont isolées une par rapport à l'autre par les isolateurs logiques de la commande et par le circuit du *flyback* qui comporte le transformateur et un optocoupleur. Les isolateurs logiques et l'optocoupleur tolèrent une tension de test d'au moins 2 500 V_{RMS}. Cela devrait être suffisant pour fournir une isolation de base à 400 V_{CC}. Le transformateur de *flyback* a été conçu pour tenir une tension similaire, mais cela n'est pas officiellement certifié. C'est pourquoi l'isolation de la carte de sous-module sera considérée comme fonctionnelle et non suffisante pour le niveau de base à 400 V_{CC}. Par conséquent, la carte de commande doit donc être laissée flottante par rapport à la masse. Cette dernière est connectée au châssis par des condensateurs sécurisés de type X1Y1 pour minimiser l'impact du bruit sur la carte.

Son alimentation 12 V_{CC} est fournie par un convertisseur CC isolé du fabricant Murata qui prend une entrée de 36 à 72 V_{CC} . Son isolation est testée à $2\,250\text{ V}_{CC}$, ce qui ne suffit pas pour obtenir une isolation de base dans ce cas. Il faut donc que l'alimentation 48 V_{CC} soit pleinement isolée du boîtier et de la terre. Cette situation n'est pas idéale et devra être corrigée dans le futur par une révision de l'alimentation de la carte de commande. Pour l'instant, une alimentation 48 V_{CC} flottante sera fournie par un redresseur et un transformateur 230/36 V_{RMS} linéaire ayant une isolation entre le secondaire et la masse testée à $4\,000\text{ V}_{RMS}$. De cette façon, il est finalement possible de rencontrer le critère de test.

5.4 Carte de contrôle local

Plusieurs éléments clés de la conception de la carte de contrôleur ont été présentés, mais aucune présentation officielle n'a encore été réalisée. La carte conçue est illustrée à la figure 5.15a. Tel que mentionné dans le chapitre 2, la carte est basée sur le CPLD Lattice MachXO2. Un des avantages de ce circuit intégré est son alimentation unique à 3,3 V, ce qui simplifie la distribution des tensions logiques sur la carte. L'alimentation 3,3 V est fournie par un convertisseur abaisseur connecté sur le 12 V en sortie du convertisseur Murata présenté plus tôt. Cette alimentation 12 V est également connectée aux circuits de *flyback* des sous-modules associés à cette carte.

La figure 5.15b présente les principales fonctionnalités de la carte. On y retrouve, entre autres, les interfaces de communication, décrites dans le chapitre 3, et un oscillateur 200 MHz afin de créer l'horloge nécessaire au fonctionnement du système de CDR. Pour programmer le CPLD, une interface de programmation JTAG isolée, basée sur un circuit intégré du fabricant FTDI, a été installée. Les signaux logiques de contrôle des sous-modules sont transmis vers des circuits intégrés réalisant une logique à trois états (*tri-state buffer*) dont l'activation est contrôlée par un circuit intégré de supervision de la tension d'alimentation. Cette mesure a pour but de bloquer les sorties à la mise en route du système et en cas de perte de l'alimentation.

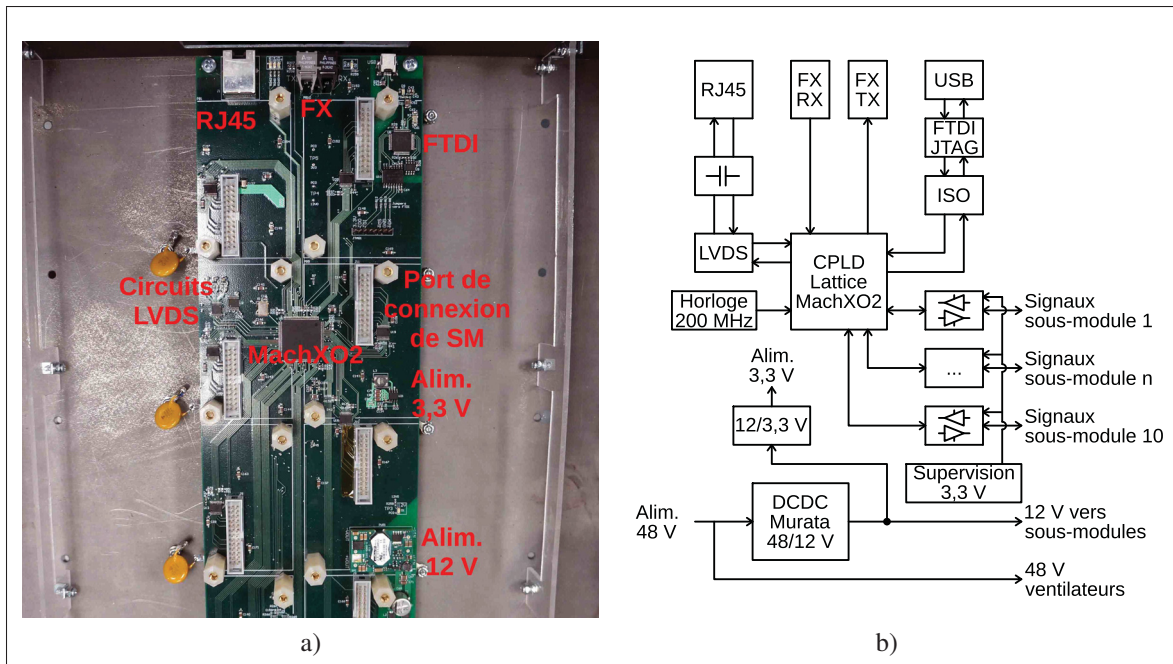


Figure 5.15 Carte de contrôleur local : a) Carte conçue b) Schéma fonctionnel

5.5 Commande locale et protections

L'ensemble des fonctions de commande locale est programmé en VHDL dans le CPLD MachXO2. Afin de ne pas alourdir le mémoire inutilement, il fut décidé de ne pas inclure ce code relativement complexe. Une description fonctionnelle des éléments de cette commande sera plutôt faite. Le contrôleur local englobe principalement les blocs de contrôle de l'état des sous-modules et les protections locales.

5.5.1 Contrôle des sous-modules

Le contrôle de l'état des sous-modules est divisé en deux fonctions principales. Un premier bloc assure la gestion de haut niveau de l'ensemble du module local et un second contrôle l'état de chacun des transistors du module. L'état des transistors est transmis à l'aide d'un seul bit par paire complémentaire. Cela implique que le bloc de contrôle des transistors doit appliquer la logique de temps morts lors de la commutation d'une paire. De plus, les fonctions de décodage du protocole de communication proposé dans le chapitre 3 ont été intégrées directement dans

ce bloc. Il peut donc être connecté au module CDR pour recevoir directement les paquets d'information. L'activation de ce module est gérée par le contrôleur haut niveau qui gère la communication avec le OP4510. L'ensemble est présenté à la figure 5.16.

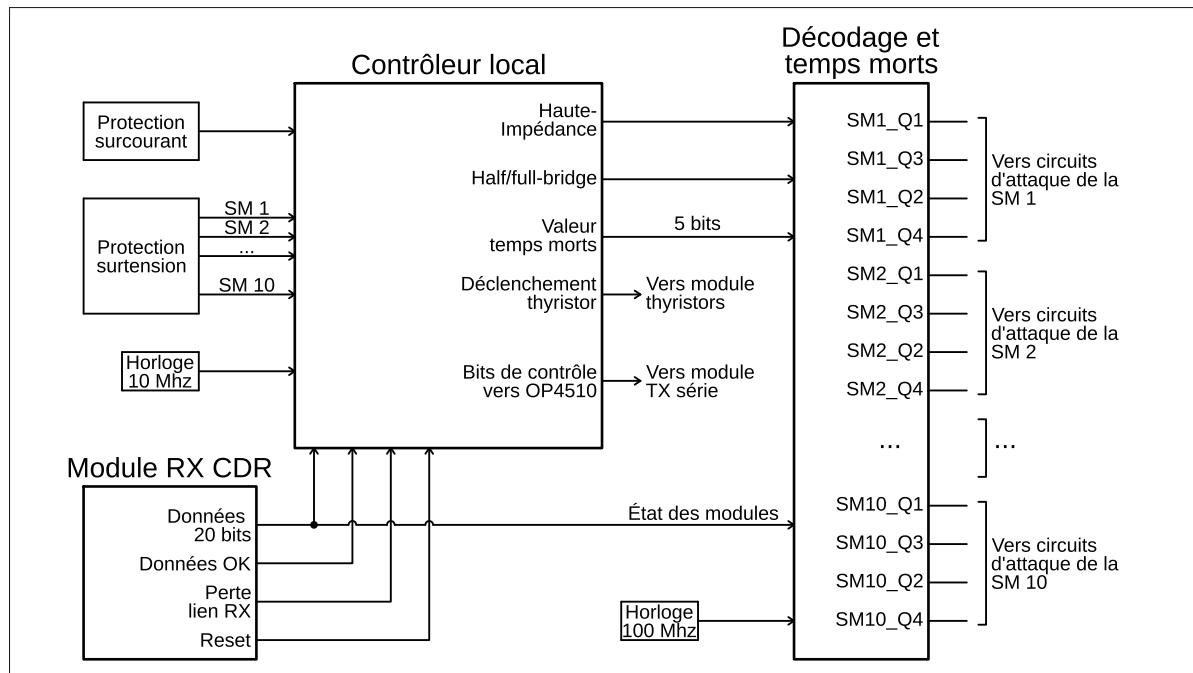


Figure 5.16 Schéma bloc du contrôle des sous-modules dans le MachXO2

Le contrôleur local haut niveau incorpore la machine à états qui est présentée à la figure 5.17. Cette machine définit la séquence de démarrage qui mène à l'activation du module de gestion des transistors. Cette séquence débute par un état de repos où les sous-modules sont en haute impédance. La détection d'un paquet de *reset* par le module de CDR va ramener la machine à l'état de repos. Lorsque la machine est à l'état 0, la réception d'un paquet de données valide amorce la séquence qui débute par la transmission des bits de configuration à partir du OP4510. Ces bits incluent, entre autres, le mode de fonctionnement des ponts (*half-bridge* ou *full-bridge*), la durée des temps morts et le bit d'activation de la protection par thyristor du pont. Une fois cette configuration reçue, elle est retransmise au OP4510 pour validation. Si l'information retransmise au OP4510 est valide, ce dernier enverra un bit de confirmation et, après un délai, débutera la transmission en continu des états des sous-modules. À la réception

de ces états, le contrôleur haut niveau du MachXO2 passe le bit de haute impédance à 0, ce qui entraîne l'activation du module de gestion des états de transistors. Cet état est maintenu tant qu'un nouveau paquet de données est reçu dans un délai de $1,6 \mu s$ depuis la réception du dernier. Pour suspendre l'activation des ponts, le OP4510 n'a donc qu'à arrêter la transmission des données, ce qui ramène la machine à l'état initial.

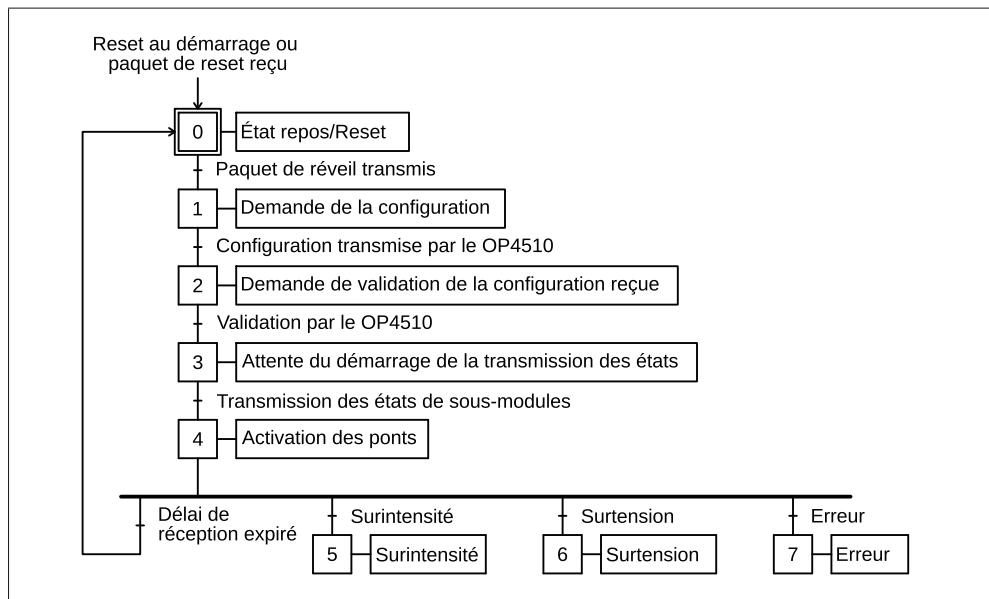


Figure 5.17 Séquence d'activation des sous-modules

Les états 5 à 7 sont des états de faute qui demeurent bloqués tant qu'un paquet de *reset* n'est pas transmis. Ils sont activés lorsqu'un des modules de protection locale détectent un cas de faute.

5.5.2 Protection locale

Deux protections électriques de base sont prévues. La première est la protection de surintensité de courant qui est basée sur le bit de détection fourni par le capteur de courant LEM HO-NP. Le niveau de détection instantané est fixé à trois fois le courant nominal du capteur, mais certaines versions peuvent être achetées avec un ratio différent. Afin d'éviter l'ajout d'un canal d'isolation supplémentaire, une logique de transmission du bit a été conçue en vue de trans-

mettre cette information par le même canal que le signal ADC de courant. Ce dernier devient inutile puisque, en cas de surintensité, le capteur de courant est hors de sa plage de lecture. Un multiplexeur a donc été connecté de façon à retransmettre l'horloge série de l'ADC vers le MachXO2 en cas de détection d'une surintensité. En opération normale, le signal d'ADC ne devrait jamais dépasser la moitié de la fréquence de l'horloge. Il devient donc possible de détecter l'anomalie et ainsi récupérer l'information du bit de surintensité. Ce mécanisme est illustré à la figure 5.18a.

Une seconde protection de surtension est aussi prévue, afin d'éviter que les modules dépassent leur plage d'opération sécuritaire. Cette protection est réalisée à partir d'une comparaison logique de la lecture de l'ADC de tension. Pour l'instant, le niveau de 60 V qui correspond à 75 % de la plage de lecture a été fixé comme limite. Cela implique que seule la vérification des deux bits les plus significatifs de la mesure est nécessaire pour faire la détection. La figure 5.18b illustre la protection de surtension.

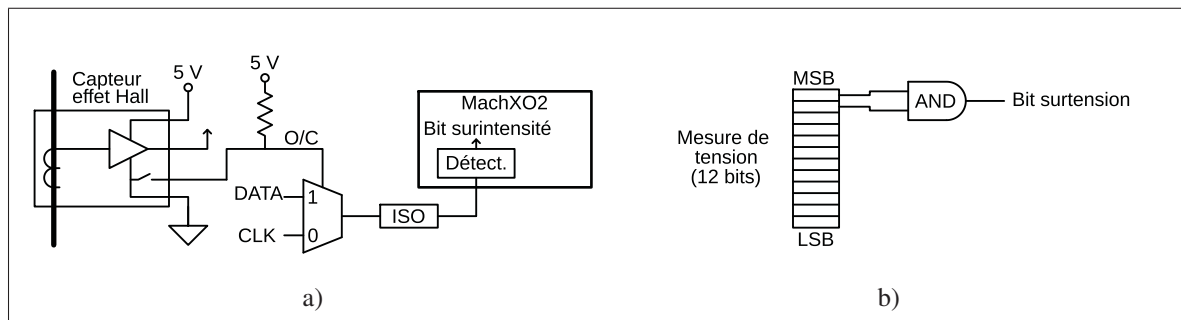


Figure 5.18 Protections locales : a) Détection de surintensité
b) Détection de surtension

Un troisième état de faute est prévu. Ce dernier regroupe les fautes systèmes à prévoir. Pour l'instant, seule la perte de la communication est incluse, mais il serait possible d'y ajouter la détection d'une surchauffe du boîtier par exemple.

5.6 Récapitulatif

Le travail nécessaire à l'intégration des différentes composantes du système a été présenté dans ce chapitre. Cela inclut la conception du boîtier du convertisseur, de la carte de contrôleur et de la logique de commande locale. Un modèle par éléments finis du boîtier a été conçu dans le but de valider son refroidissement et une évaluation des émissions de courant EMI conduit a été réalisée. Une analyse de l'isolation électrique des circuits de puissance a été menée en se basant sur un standard IEC. Ce chapitre clôt le processus de conception du convertisseur. La suite du travail consiste à valider sa performance pour les applications prévues au départ.

CHAPITRE 6

APPLICATION EXPÉRIMENTALE DU PROTOTYPE

La phase de conception du prototype est maintenant terminée. Il est temps de valider le fonctionnement de ce dernier et d'en évaluer les performances. Ce chapitre présente une application expérimentale en mode MMC utilisant un contrôleur en boucle ouverte. Une évaluation du fonctionnement en mode amplificateur a aussi été réalisée par simulation à partir des données de délai estimées pour le prototype final.

6.1 Validation expérimentale du fonctionnement en mode MMC

L'application principale de la maquette est le prototypage de commande MMC. C'est dans cette optique que la validation expérimentale du prototype sera effectuée. La première étape consiste à programmer dans le contrôleur central une technique de commande permettant de réguler les condensateurs des sous-modules. La technique choisie est celle du tri sélectif des sous-modules proposée par Lesnicar et Marquardt (2003). Une commande haut niveau en boucle ouverte sera utilisée pour simplifier la réalisation du contrôleur. Les références des tensions de bras seront calculées directement sans rétroaction à partir des équations 6.1 et 6.2 pour le bras supérieur et inférieur respectivement. Cette technique permet l'obtention d'une tension sinusoïdale au point de connexion CA et d'une tension CC constante sur le bus CC.

$$V_{UPPER} = \frac{V_{CC}}{2} - V_{CA} \quad (6.1)$$

$$V_{LOWER} = \frac{V_{CC}}{2} + V_{CA} \quad (6.2)$$

Cette commande n'est pas optimale au niveau des courants de circulation lorsqu'elle est utilisée sur un circuit triphasé. De plus, elle ne comporte aucune régulation de la tension entre le bras supérieur et inférieur qui peut varier en raison de la tolérance de la valeur des inductances

de bras. Elle est cependant suffisante pour valider la fonctionnalité du prototype, ce qui est l'objectif de ce mémoire.

6.1.1 Réalisation du contrôleur sur FPGA dans le OP4510

Une explication plus détaillée de la technique de tri sélectif ainsi qu'une description de son implémentation sur FPGA seront présentées dans cette section. Comme son nom l'indique, un algorithme de tri est utilisé dans cette technique de commande, ce qui implique de trouver un tel algorithme qui soit adapté au fonctionnement sur FPGA. Une technique adaptée à la nature parallèle des opérations dans un FPGA est celle des réseaux de tri. Les réseaux de tri sont composés d'étages où des valeurs sont comparées et échangées par des cellules logiques appelées *link/swap cell* (illustrée à la figure 6.1a) (Knuth, 1998). À chaque étage, plusieurs comparaisons peuvent être effectuées en même temps. Selon le réseau construit, le nombre d'étages requis peut varier. Un tri optimal nécessitera un nombre minimal d'étages pour arriver au tri final. Il est recommandé de placer un registre à chaque étage pour cadencer l'opération de tri. Cela aboutit à l'exécution d'un étage de tri par cycle d'horloge. Un réseau de tri élémentaire est présenté à la figure 6.1b. Ce réseau n'est pas optimal, mais il comporte l'avantage d'être facilement adapté au nombre d'entrées à trier. C'est pour cette raison qu'il sera sélectionné pour réaliser le contrôleur, car un délai de tri de 100 ns pour 10 valeurs est jugé acceptable pour l'application.

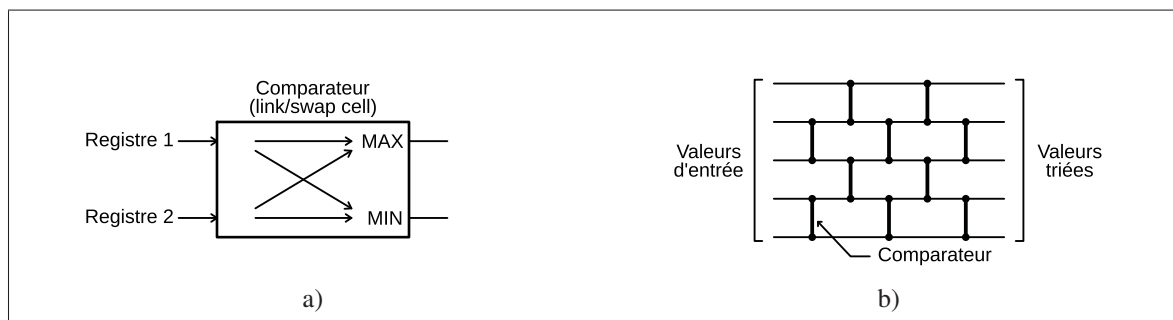


Figure 6.1 Réseau de tri : a) Cellule de comparateur b) Réseau de tri

Le tri est utilisé afin d'informer le contrôleur de l'index du meilleur sous-module à insérer ou retirer afin de maintenir les valeurs de tensions des sous-modules égales. Cette décision est influencée par la direction du courant dans le bras. Par exemple, si le courant est positif et charge les condensateurs, il sera plus judicieux d'insérer la cellule la plus basse ou de retirer la plus haute. Cette logique est synthétisée dans la figure 6.2a. Les cellules se divisent en deux groupes, soit celles qui sont insérées et celles qui ne le sont pas. Afin de n'utiliser qu'un réseau de tri, un bit plus significatif est ajouté à la mesure de tensions pour que le tri divise naturellement les valeurs en deux groupes. Cette opération est possible, car, pour une direction de courant donnée, on ne s'intéresse qu'au maximum d'un des groupes et au minimum de l'autre. Il est donc possible d'encoder ce bit à l'aide de la direction de courant et de l'état de la cellule à trier, tel que montré à la figure 6.2b.

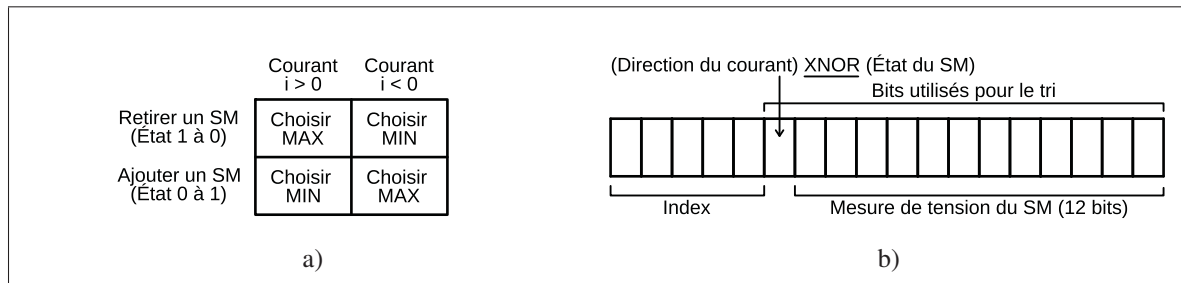


Figure 6.2 Logique de tri des sous-modules : a) Logique de décision
b) Code utilisé pour le tri

Afin de lier le résultat du tri aux états de sous-modules, quelques modules supplémentaires sont requis. Premièrement, un bloc de contrôle est associé à chaque sous-module. Ce dernier détermine l'état du sous-module, en se basant sur le résultat du tri et sur le besoin d'ajouter ou de retirer un niveau. Ce besoin est exprimé par un contrôleur qui compare le résultat de la modulation avec le nombre de sous-modules actuellement insérés. Si une correction est requise, il la transmet sous la forme d'un signal d'ajout et un autre de retrait. La référence entière de ce contrôleur est donnée par le bloc qui assure la modulation de la valeur de référence reçue pour le bras. Le bloc est conçu pour réaliser une modulation de type IPD-PWM où un seul niveau est commuté à la fréquence de commutation alors que les autres maintiennent leur état. Pour

réaliser cette modulation, la référence est transmise sous forme de nombre binaire non signé à virgule fixe. La virgule a été placée de façon à ce que 12 bits occupent la partie fractionnaire. À la réception de la référence, le bloc de modulation sépare la partie entière et compare la partie fractionnaire avec une porteuse réalisée par un compteur de 12 bits. Le résultat de cette comparaison est ensuite additionné à la partie entière. Par exemple, un indice de 3,25 donnera une sortie qui sera de 4 pour 25 % de la période de modulation et de 3 pour le reste. La fréquence de modulation peut être variée en changeant le taux d'incrémement du compteur. La figure 6.3 présente l'ensemble des blocs du contrôleur de tri sélectif réalisé.

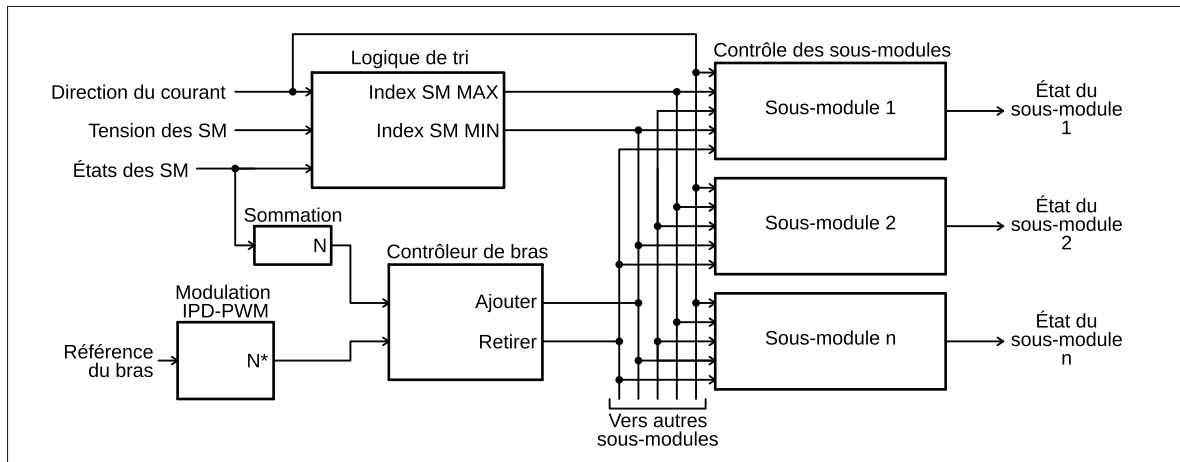


Figure 6.3 Schéma bloc du contrôleur de MMC

6.1.2 Topologies de test utilisées

Deux topologies ont été utilisées pour effectuer les tests de puissance. La première, présentée à la figure 6.4, permet un fonctionnement à 5 niveaux en mode monophasé. Le but de ce montage est de valider le fonctionnement individuel d'un boîtier de 10 sous-modules. Il a été utilisé pour effectuer la plupart des tests de puissance présentés dans les chapitres précédents. Une source CC unidirectionnelle est requise pour créer le bus CC. Des condensateurs de 10 mF sont utilisés pour créer un point milieu où la charge sera connectée. Des inductances de 2,5 mH ont été choisies pour constituer les inductances de bras. Une alimentation CC de 200 V permet l'obtention de la tension de niveaux nominale de 40 V.

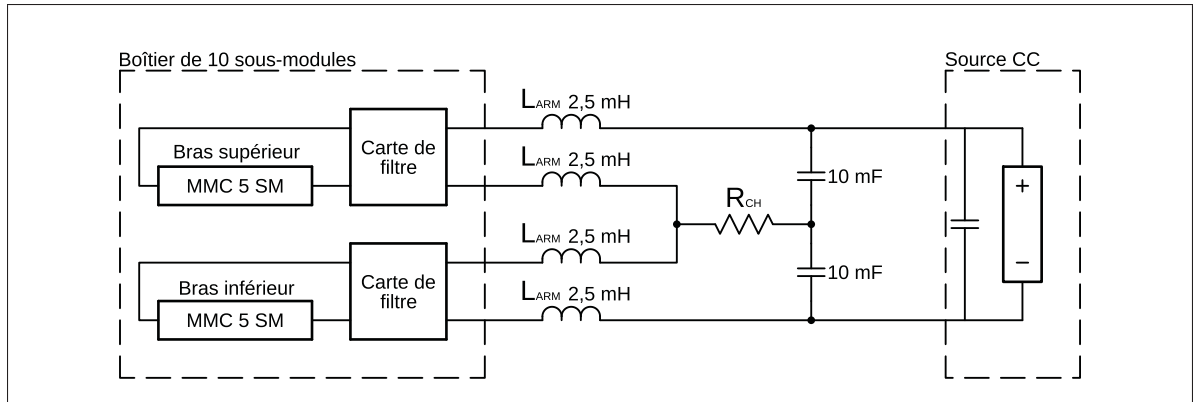


Figure 6.4 Montage de test monophasé 5 niveaux

Le prototype triphasé final est composé de 6 boîtiers de 10 niveaux connectés selon le circuit présenté à la figure 6.5 et une photographie du montage est montrée à la figure 6.6. Ce circuit requiert une alimentation CC externe.

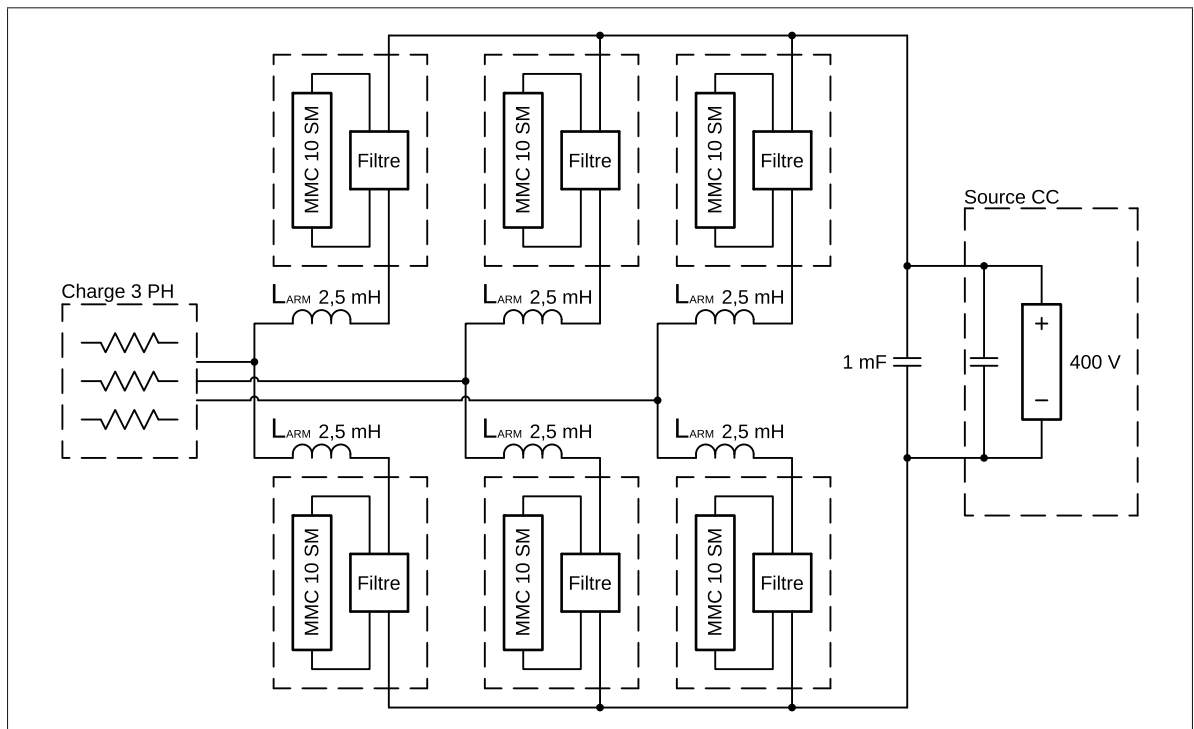


Figure 6.5 Montage de test triphasé 10 niveaux

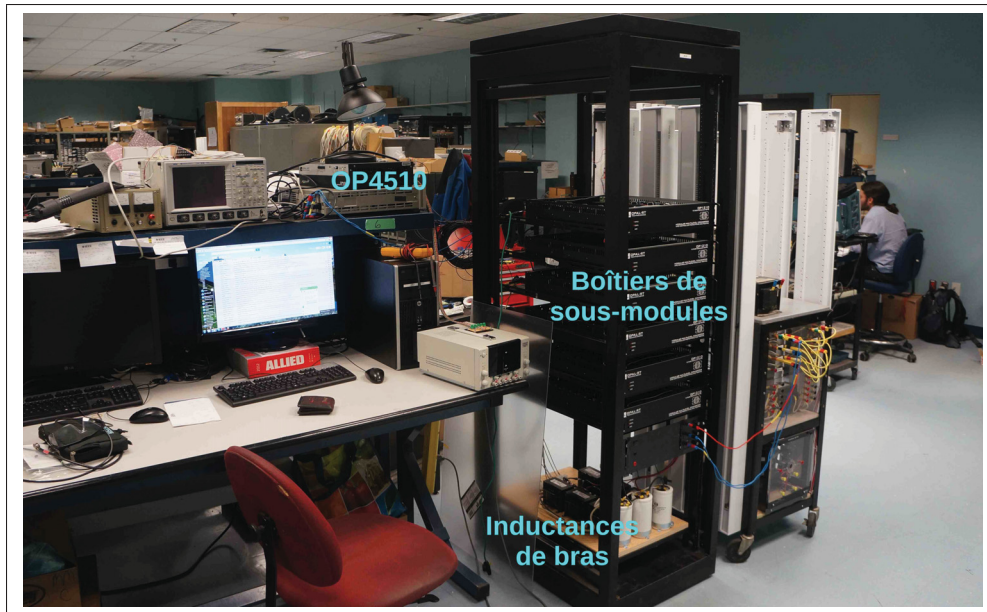


Figure 6.6 Montage expérimental (sans la source CC)

6.1.3 Résultats expérimentaux en mode triphasé

Cette section rapporte les résultats obtenus à l'aide du prototype triphasé opérant à partir de la commande présentée plus tôt. Un seul point d'opération a été testé, soit une puissance d'entrée de 4,65 kW fournie à 400 V par une source CC du fabricant Sorensen. La source est limitée par un disjoncteur qui empêchait d'augmenter la puissance davantage. La charge était constituée de résistances de $40\ \Omega$ connectées en triangle. Une simulation de ce point d'opération a d'abord été effectuée pour valider le fonctionnement du contrôleur FPGA grâce aux logiciels MATLAB/Simulink et *System Generator* de Xilinx. Le code VHDL du contrôleur a pu être couplé à un MMC virtuel modélisé par librairie *SimPowerSystem* de MATLAB. Les tensions des sous-modules appartenant aux bras supérieurs de chaque phase obtenues par simulation sont tracées dans la figure 6.7a. Une fois le contrôleur validé par simulation, la maquette a pu être alimentée. La figure 6.7b présente les mesures expérimentales des mêmes tensions de sous-modules observées en simulation.

Les données expérimentales ont été recueillies à partir des circuits d'ADC situés sur les cartes de puissance. Il est possible d'observer, autant par simulation qu'en pratique, que l'algorithme

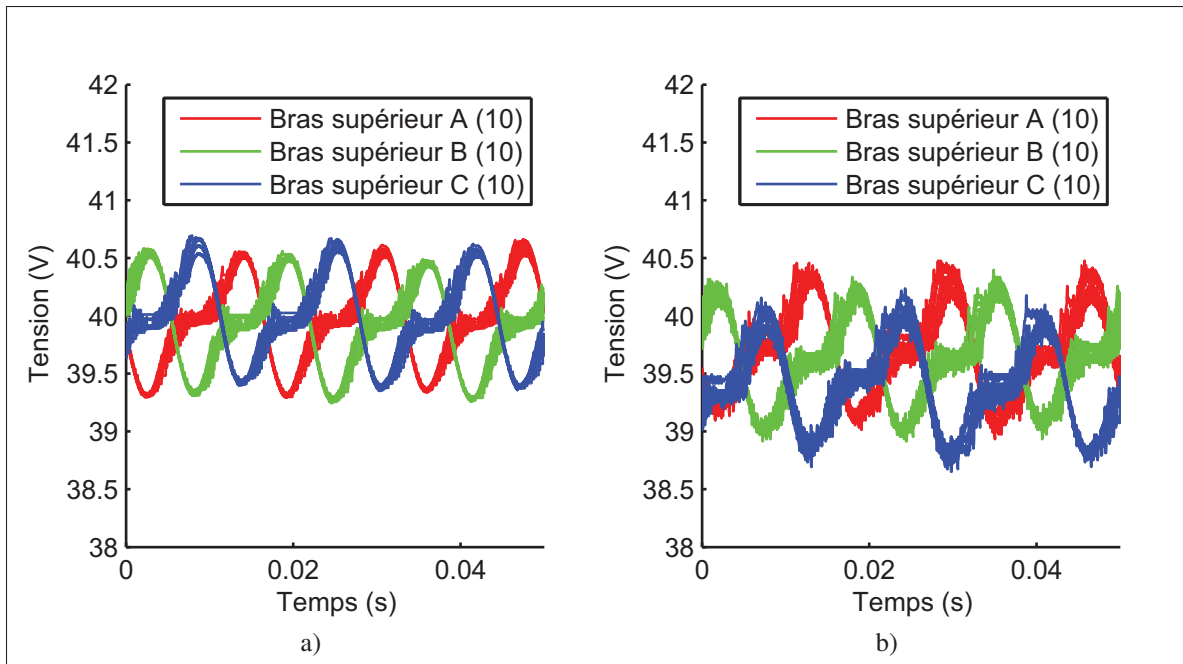


Figure 6.7 Tensions des sous-modules des bras supérieurs : a) Obtenus par simulation b) Mesurés expérimentalement par les ADC de la maquette

de régulation de la tension des condensateurs fonctionne adéquatement, car les valeurs de tension d'un même bras restent groupées. L'ondulation crête à crête est d'environ 1,25 V dans les deux cas, ce qui correspond à 3 % de la tension nominale du sous-module. Cette valeur est faible si on la compare à celle de 10 % tolérée pour les MMC industriels (Merlin *et al.*, 2014). Ce résultat s'explique par la marge ajoutée pour les applications à basse fréquence et par le fait que le convertisseur n'est pas opéré à sa puissance nominale.

Les courants de bras ont été mesurés grâce au circuit d'acquisition situé sur une des cartes de chaque bras. Les résultats du courant des bras supérieur et inférieur de la phase A sont présentés à la figure 6.8a. Afin de valider le circuit d'acquisition, ce résultat a été comparé avec les mesures des mêmes valeurs obtenues à l'aide d'un oscilloscope (figure 6.8b). Dans les deux cas, la valeur du courant du bras supérieur de la phase A qui a été obtenu en simulation est ajouté comme référence.

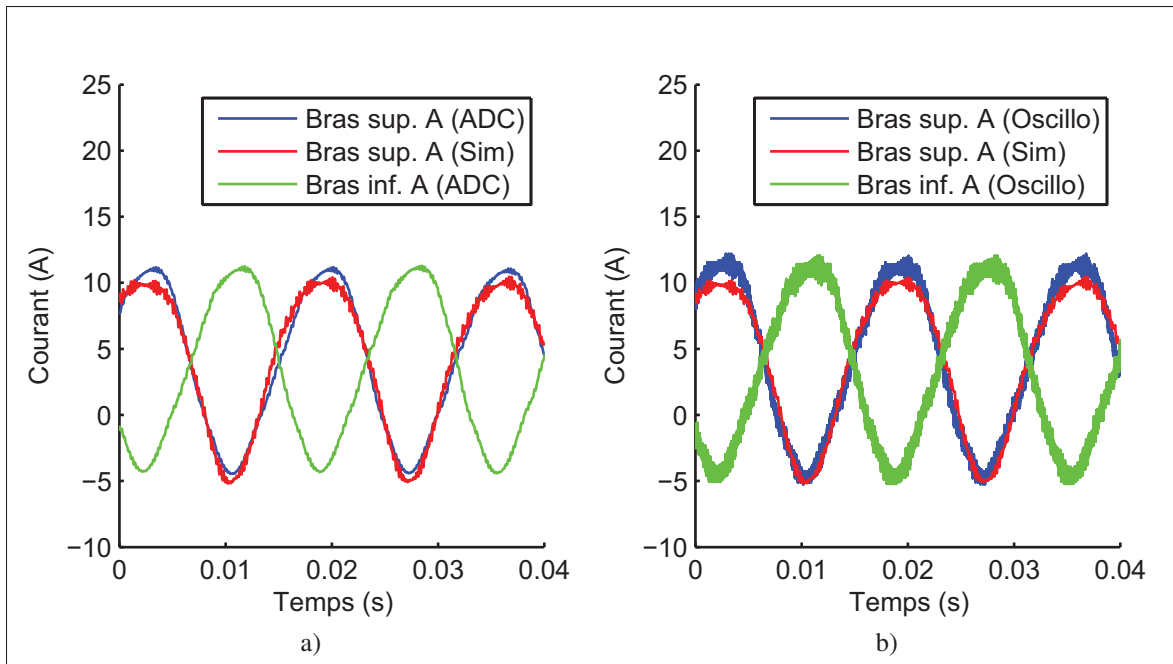


Figure 6.8 Courant des bras de la phase A : a) Mesuré par les ADC
b) Mesuré par un oscilloscope

Premièrement, la correspondance entre le courant de simulation et celui mesuré en pratique est bonne. Pour ce qui est de la comparaison des mesures des circuits d'ADC avec les mesures prises à l'oscilloscope, on remarque une différence au niveau des harmoniques de commutation perçues sur chacune. Cette différence est due au filtre passe-bas RC (*anti-aliasing*) situé à l'entrée de l'ADC de la mesure de courant et dont la fréquence de coupure est de 2,1 kHz. Cette valeur devrait être réévaluée puisque l'échantillonnage de 50 kHz permet une valeur plus élevée.

Les tensions ligne à ligne mesurées à la charge à l'aide de l'oscilloscope sont présentées à la figure 6.9. Pour un indice de modulation de 1, la tension ligne à ligne obtenue à la charge est de 240 V_{RMS}, ce qui correspond à une tension crête de 340 V.

Le courant de ligne a aussi été mesuré à l'aide de l'oscilloscope. Le résultat est illustré à la figure 6.10a. Une analyse du contenu fréquentiel de ce courant a été effectuée par FFT. Cette analyse a permis de calculer un taux de distorsion harmonique de 0,84 %, si les fréquences

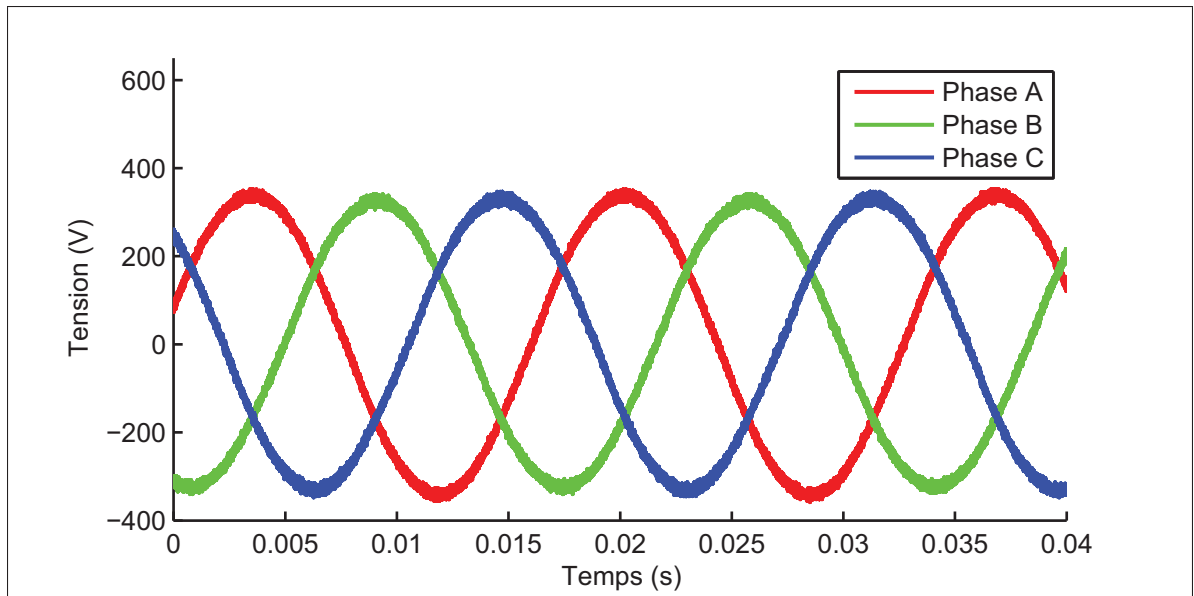


Figure 6.9 Tensions ligne à ligne mesurées à la charge (phases A, B et C)

entre 0 et 1 kHz sont incluses. Le résultat est de 1,35 % si les fréquences de 0 à 20 kHz sont incluses dans le calcul. Le résultat de la FFT est présenté à la figure 6.10b.

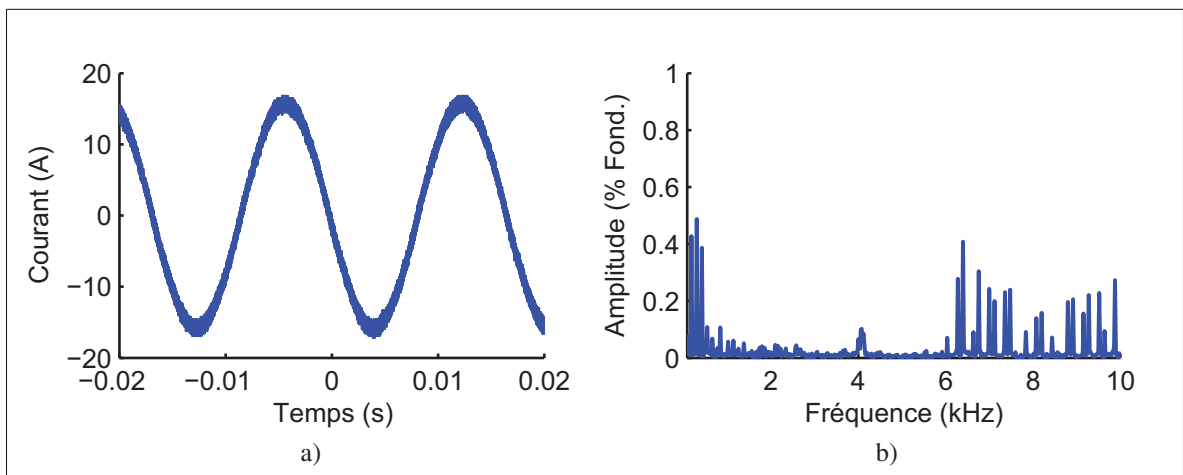


Figure 6.10 Courant de ligne de la phase A : a) Signal mesuré à l'oscilloscope
b) FFT du signal de courant

Pour ce point d'opération, une puissance de 4,65 kW a été mesurée à la sortie de la source CC à l'aide des sondes de l'oscilloscope. Au même instant, une puissance de 4,53 kW pou-

vait être observée à la charge en mesurant la tension et la résistance de chaque phase. Cela correspond à une efficacité de 97,4 %. Si la puissance d'alimentation des modules est incluse, soit environ 150 W, l'efficacité du convertisseur est de 94,4 % pour ce point d'opération. Une augmentation de la puissance de sortie diminuerait l'importance des pertes dues au contrôle, mais augmenterait les pertes résistives dans le convertisseur.

6.2 Évaluation du fonctionnement en mode amplificateur

L'objectif secondaire du prototype était d'offrir la possibilité de l'utiliser comme amplificateur de classe D multiniveau. Il a été vu dans le chapitre 1 que la topologie MMC peut être utilisée de cette façon, mais des limitations existent au niveau des signaux de basse fréquence. Cette limitation pourrait être contournée par l'utilisation d'une topologie MMC CA-CA. Pour l'instant, l'analyse se concentrera sur la bande passante potentielle du système en fonction du délai obtenu avec éléments conçus. Cette analyse s'applique pour l'utilisation en mode MMC, mais également pour une utilisation en CHB qui est réalisable en connectant des sources sur les condensateurs des cartes de sous-modules.

L'analyse sera effectuée en se basant sur les composantes du système final. Les ADC disponibles sur le OP4510 seront considérés pour cette étude. Cependant, il serait possible de réduire davantage le délai en utilisant des ADC plus rapides, car ces derniers introduisent une latence de $2,5 \mu\text{s}$, ce qui est la principale composante du délai total. La figure 6.11a illustre les délais estimés de la chaîne de commande via le OP4510. Un délai total de $4 \mu\text{s}$ sera considéré et sera modélisé par une fonction de Padé afin de permettre une analyse linéaire sous MATLAB. Un filtre de sortie LC, similaire à celui présenté à la figure 5.8b, sera utilisé. La variable contrôlée sera la tension de sortie de l'amplificateur. Les tensions des sous-modules et la modulation PS-PWM utilisée seront considérées comme idéales, ce qui revient à définir une source de tension de gain 1 dans le modèle. Les composantes passives, filtre et charge, seront modélisées par leur fonction de transfert. L'expression de cette dernière est donnée par l'équation 6.3 où C_F , L_F et R_F sont les éléments passifs du filtre et R_{CH} représente la charge. Des valeurs de 100 nF, 20 μH

et $20\ \Omega$ seront considérée pour le filtre. Le système linéaire en boucle ouverte est illustré à la figure 6.11b.

$$G_F(s) = \frac{V_o}{V_i} = \frac{C_F R_{CH} R_F s + R_{CH}}{(C_F L_F R_F + C_F L_F R_{CH}) s^2 + (C_F R_{CH} R_F + L_F) s + R_{CH}} \quad (6.3)$$

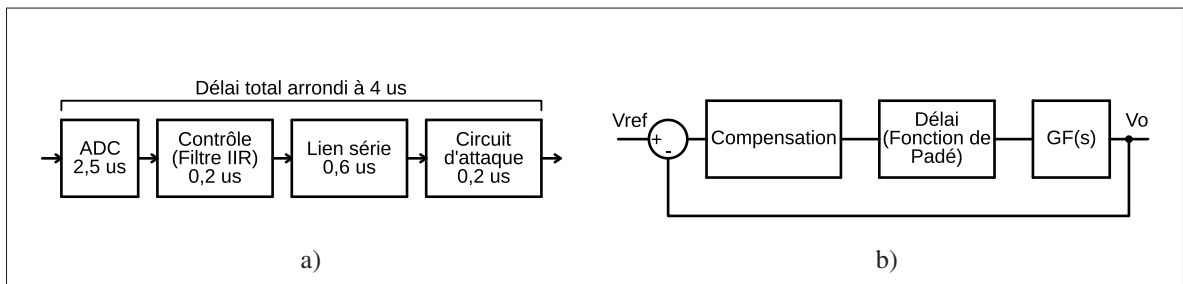


Figure 6.11 Boucle de rétroaction : a) Évaluation du délai
b) Boucle de rétroaction de l'amplificateur

À partir de la fonction d'analyse linéaire de MATLAB, le diagramme de Bode en boucle ouverte a été tracé. Un intégrateur combiné à un compensateur de type *lead* ont été choisis afin de maximiser le gain à basse fréquence et corriger la phase à haute fréquence. Ce compensateur comporte des pôles à 0 Hz et 13 kHz ainsi qu'un zéro à 9 kHz. Le gain de la boucle a été augmenté à 10^6 . Les diagrammes de Bode obtenus en boucle ouverte sont présentés à la figure 6.12. Pour évaluer la bande passante finale du système, le diagramme de Bode en boucle fermée du système a été tracé à la figure 6.13. Le système en boucle fermée présente un gain de -3 dB à environ 30 kHz. Par contre, la phase atteint -45° à environ 10 kHz, ce qui est la limite théorique de la bande passante. Cette bande passante serait suffisante pour réaliser une interface de PHIL bidirectionnelle (Lentijo *et al.*, 2010). Pour y arriver avec une topologie MMC, il faut cependant résoudre le problème de l'équilibrage des condensateurs dans ce mode.

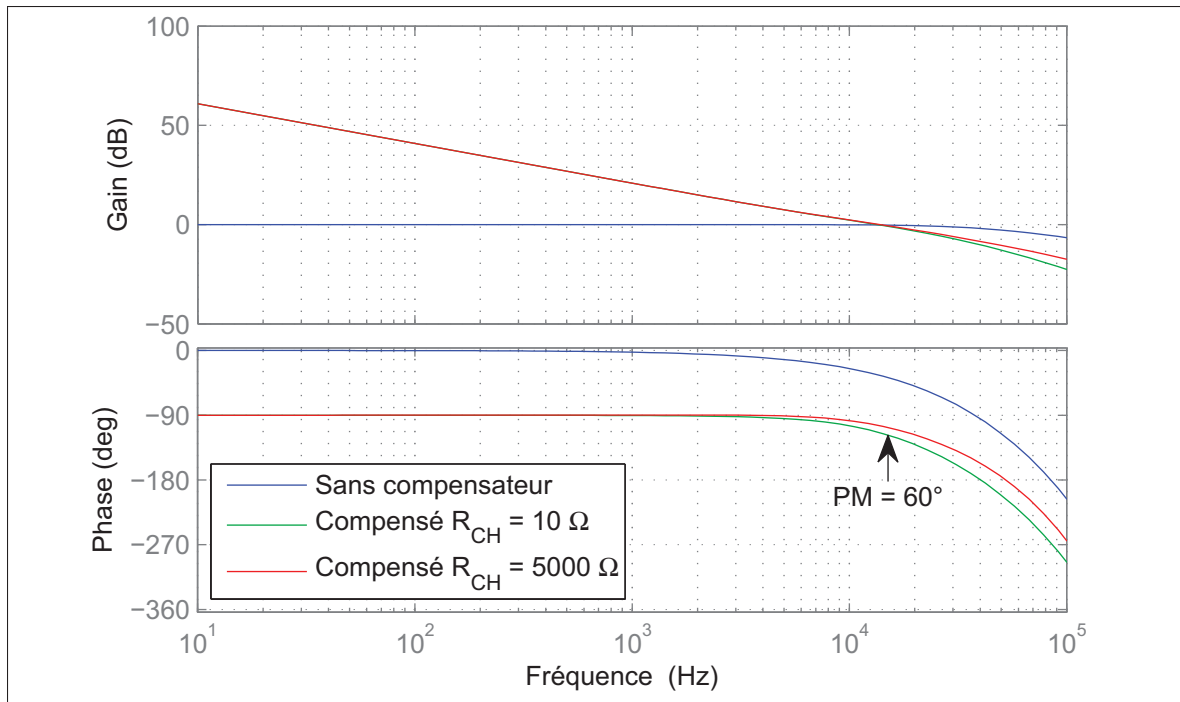


Figure 6.12 Diagramme de Bode du système en boucle ouverte

6.3 Discussion

Les résultats présentés dans ce chapitre avaient pour but de démontrer la fonctionnalité de la maquette complète. Une commande en boucle ouverte utilisant la méthode du tri sélectif pour réguler la tension des sous-modules a été réalisée afin de produire ces résultats. Grâce à elle, il a été possible de faire fonctionner le convertisseur en mode CC-CA pour alimenter une charge résistive. Il a été possible de voir, dans un premier temps, que la tension CA de sortie du convertisseur dépassait légèrement la valeur de $208 V_{RMS}$ fixée dans la spécification de départ. Ce résultat est normal puisqu'une marge avait été gardée afin de garantir l'atteinte de la tension désirée. Le rendement du convertisseur est satisfaisant, ce qui est en grande partie attribuable à la $R_{DS(ON)}$ basse des transistors sélectionnés.

Un élément qui peut être matière à débat est l'ondulation de tension perçue sur les condensateurs des sous-modules. Cette oscillation est très faible pour le point d'opération observé. C'est une caractéristique qui est recherchée, mais le comportement observé est peut-être trop

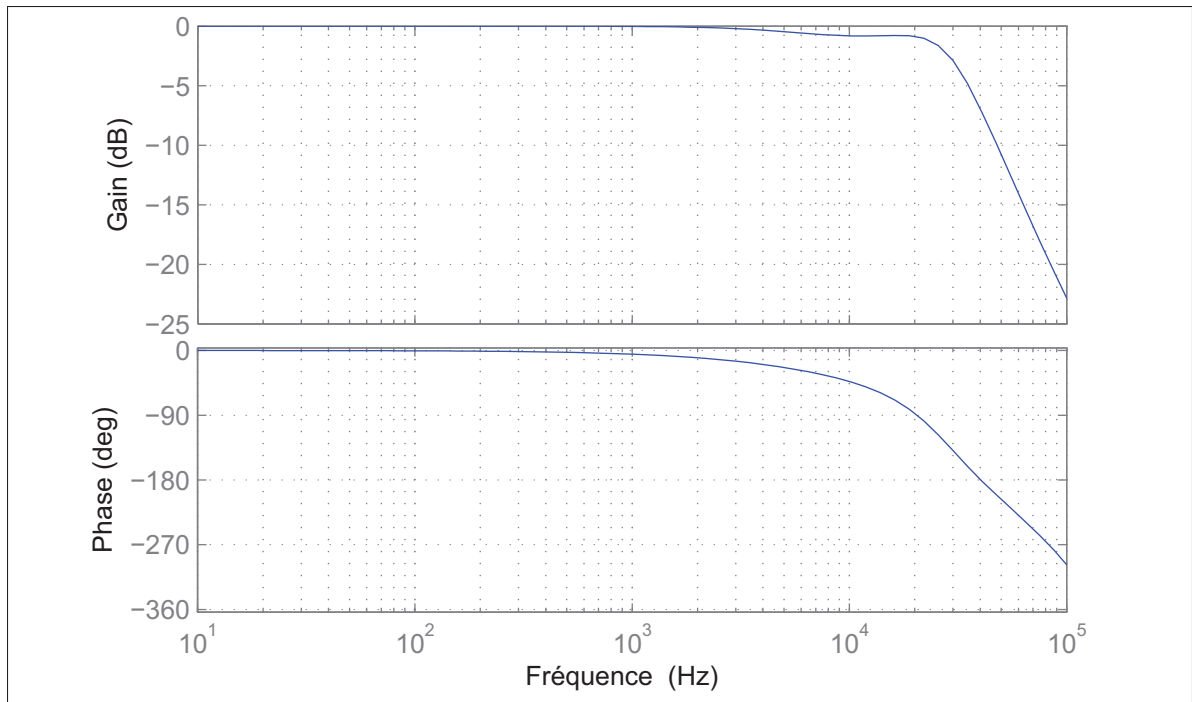


Figure 6.13 Diagramme de Bode du système en boucle fermée

idéal pour émuler le comportement d'un MMC réel. Le choix de la valeur de capacité avait été effectué afin de prévoir des cas d'applications extrêmes opérant à basse fréquence. Or, pour une application standard, les condensateurs pourraient être considérés comme surdimensionnés. Dans le cas de la maquette, cela n'a pas d'impact significatif sur le prix. Par contre, dans le cas d'un MMC industriel, les concepteurs tentent de minimiser la capacité pour réduire le coût et l'empreinte du convertisseur. Cela pose un défi supplémentaire à la commande qui doit gérer un système moins stable.

Finalement, une analyse du fonctionnement en mode amplificateur a permis de voir qu'une bande passante de 10 kHz était possible pour un délai estimé à $4 \mu\text{s}$ dans la commande. Ce résultat est comparable avec celui obtenu par Gong *et al.* (2011) pour une application similaire où une bande passante de 7 kHz était atteinte pour un délai de $7 \mu\text{s}$. Le délai pourrait être réduit davantage par l'usage d'un ADC plus performant dédié à l'application d'amplificateur.

CONCLUSION

Ce projet de maîtrise portait sur la conception d'une maquette de convertisseur MMC à échelle réduite pour effectuer la validation de modèles de simulation et de commande. Ce prototype devait être conçu de façon à s'interfacer avec un simulateur temps réel de type OP4510 de Opal-RT. De plus, un objectif secondaire du projet était d'évaluer la possibilité d'utiliser ce convertisseur en tant qu'amplificateur pour des simulations PHIL.

Une première phase d'analyse a permis d'établir que, pour une maquette de laboratoire à basse tension, il était préférable d'utiliser un contrôle centralisé acheminant les signaux à des modules locaux regroupant plusieurs sous-modules de puissance. Par conséquent, une carte de contrôle local basée sur le CPLD MachXO2 de Lattice a été conçue. Cette carte permet de réduire le nombre total de circuits intégrés intelligents du système, ce qui accélère sa mise en service. En parallèle, il a été vu que pour une application d'amplificateur, le délai de la commande devait être minimisé afin de réduire la phase du signal de sortie. Pour atteindre ce résultat, un protocole série à faible latence a été développé sur mesure pour la maquette.

Ce protocole est basé sur un module de CDR réalisé à partir d'un PLL du MachXO2 et d'un détecteur de phase de type Alexander. Il a été possible d'établir un lien point à point de 50 Mbit/s sur des fibres optiques Avago VersaLink entre le FPGA du OP4510 et le module local. À ce débit, une latence de 555 ns a été mesurée pour la transmission d'un paquet de contrôle de 20 bits. Une transmission à 400 Mbit/s a aussi été testée sur une interface LVDS utilisant un câble RJ45.

Au niveau du circuit de puissance, des cartes de sous-modules incluant un pont de type *full-bridge* de MOSFET ont été conçues. Elles ont été munies d'une banque de condensateurs électrolytiques compte tenu de leur densité énergétique et de leur faible coût. Pour les transistors, des boîtiers de type D²PAK ont été sélectionnés. Le refroidissement de ces derniers est assuré par des vias thermiques qui acheminent la chaleur à un radiateur situé sur le côté opposé de la carte. La résistance thermique de l'interface entre le transistor et le radiateur a été évaluée à

6,4 °C/W expérimentalement. D'autre part, un convertisseur CC isolé pour l'alimentation des circuits d'attaque ainsi que des circuits de mesure locale ont été conçus.

Dans le but de simplifier l'assemblage mécanique des sous-modules, un boîtier a été fabriqué sur mesure pour la maquette. Une simulation CFD a permis de valider le refroidissement adéquat du système et cela a pu être confirmé par des mesures expérimentales. Le niveau d'EMI a également été analysé. À partir des observations effectuées, une carte de filtre a été ajoutée afin de réduire la circulation de courant EMI à la sortie du convertisseur. La sécurité électrique du boîtier a été évaluée par rapport au standard IEC 61010-1, afin de valider le niveau d'isolation des composantes. Pour compléter la conception du module local, un contrôleur a été proposé pour gérer les états de ce dernier, les protections et les signaux de grille des transistors.

Une fois la maquette assemblée, elle a été testée grâce à un algorithme de contrôle en boucle ouverte programmé sur le FPGA dans le OP4510. Ce contrôleur réalise un tri préférentiel des cellules pour équilibrer les tensions des 10 sous-modules de chaque bras. Une modulation de type IPD-PWM est utilisée pour produire la tension de sortie. Grâce à ce contrôle, il a été possible de valider le fonctionnement du convertisseur et d'évaluer son efficacité qui est de l'ordre de 94,4 % si le contrôle local et la ventilation sont inclus. Un faible taux d'ondulation a été observé et pourrait être une faiblesse au niveau de la reproduction du comportement d'un MMC industriel. Finalement, une évaluation par simulation des performances dans une application d'amplificateur a été réalisée à partir du délai estimé dans le système final. Cette analyse a révélé qu'une bande passante de 10 kHz est atteignable en se basant sur un délai total de 4 μ s.

En conclusion, la contribution particulière de ce travail peut se résumer en deux éléments marquants. Dans un premier temps, un protocole de communication adapté à l'application de maquette a été conçu en vue de minimiser la latence de la commande des modules de puissance. Dans un deuxième temps, une structure de maquette a été proposée. Cette dernière conserve une bonne partie de la modularité du MMC et facilite l'assemblage, notamment grâce au regroupement des sous-modules.

RECOMMANDATIONS

Voici quelques recommandations afin de poursuivre le travail présenté dans ce mémoire. Elles sont présentées en deux volets. Un premier propose un élargissement des concepts développés dans ce mémoire et, le second, des améliorations physiques potentielles au prototype. Voici les éléments du premier point :

- l'utilisation du convertisseur en mode amplificateur n'a pas été approfondie dans ce projet. Une étude plus détaillée des limitations de la topologie MMC dans ce mode d'opération pourrait être jumelée avec une évaluation des besoins en PHIL pour différentes applications. Cela permettrait d'évaluer la pertinence de cette topologie dans ce mode. Un MMC de type CA-CA pourrait être une solution intéressante à considérer ;
- il pourrait être intéressant de voir si le concept du lien de communication à faible latence pourrait s'appliquer pour réaliser un contrôle centralisé d'un réseau de convertisseurs situés à des endroits différents comme un réseau d'énergie renouvelable.

Voici quelques éléments qui pourraient être revus dans le prototype :

- l'isolation 48 V de la carte de commande pourrait être revue afin de supprimer le besoin d'une alimentation externe pleinement isolée. Il pourrait être intéressant, dans certaines applications, de considérer une auto-alimentation de la carte par un des sous-modules. Cela rendrait le convertisseur pleinement modulaire ;
- un FPGA plus performant pourrait être utilisé dans les modules locaux afin de réaliser des fonctions de commande plus complexes ;
- un assemblage permettant d'interchanger les condensateurs pourrait être un besoin pour certaines recherches où ce paramètre devrait être ajusté.

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES

- Alexander, J. 1975. « Clock recovery from random binary signals ». *Sep*, vol. 26, p. 541–542.
- Ängquist, L., A. Antonopoulos, D. Siemaszko, K. Ilves, M. Vasiladiotis, et H.-P. Nee. 2011. « Open-loop control of modular multilevel converters using estimation of stored energy ». *Industry Applications, IEEE Transactions on*, vol. 47, n° 6, p. 2516–2524.
- Antonopoulos, A., L. Angquist, S. Norrga, K. Ilves, L. Harnefors, et H.-P. Nee. 2014. « Modular multilevel converter ac motor drives with constant torque from zero to nominal speed ». *Industry Applications, IEEE Transactions on*, vol. 50, n° 3, p. 1982–1993.
- Avago Technologies. 2011. « Avago Regulatory Guide to Isolation Circuits ». En ligne. 91 p. <<http://docs.avagotech.com/docs/AV02-2041EN>>. Consulté le 12 mars 2015.
- Blake, C. et C. Bull. 2001. « IGBT or MOSFET : choose wisely ». En ligne. 5 p. <<http://www.infineon.com/dgdl/choosewisely.pdf?fileId=5546d462533600a40153574048b73edc>>. Consulté le 13 janvier 2016.
- Clemente, S., B. Pelly, et A. Isidori. 1993. « Understanding HEXFET® Switching Performance ». *International Rectifier, Application Note*, vol. 947.
- Clemow, P., P. Judge, G. Chaffey, M. Merlin, T. Luth, et T. C. Green. 2014. « Lab-scale experimental multilevel modular HVDC converter with temperature controlled cells ». In *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*. p. 1–10. IEEE.
- Cornell Dubilier. 2015. « Aluminum Electrolytic Capacitor Application Guide ». En ligne. 22 p. <<http://www.cde.com/resources/catalogs/AEappGUIDE.pdf>>. Consulté le 17 mars 2015.
- Cree Inc. 2012. « Thermal Performance for Cree XLamp LEDs ». En ligne. 21 p. <http://www.cree.com/~media/Files/Cree/LED%20Components%20and%20Modules/XLamp/XLamp%20Application%20Notes/XLamp_PCB_Thermal.pdf>. Consulté le 15 mai 2015.
- da Silva, G. S., R. Concatto Beltrame, L. Schuch, et C. Rech. 2015. « Hybrid AC Power Source Based on Modular Multilevel Converter and Linear Amplifier ». *Power Electronics, IEEE Transactions on*, vol. 30, n° 1, p. 216–226.
- Dorn, J., M. Davies, M. Dommaschk, J. Lang, D. Retzmann, et D. Soerangr, 2011. *HVDC PLUS-Basics and Principle of operation*.
- EtherCAT Technology Group. 2012. « EtherCAT - The Ethernet Fieldbus ». En ligne. 5 p. <<http://www.infineon.com/dgdl/choosewisely.pdf?fileId=5546d462533600a40153574048b73edc>>. Consulté le 13 janvier 2016.

- Fortin-Blanchette, H. sep 2009. « Méthode unifiée de simulation et de conception des convertisseurs de puissance ». Thèse de doctorat, École de technologie supérieure, 189 p.
- Franquelo, L. G., J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, et al. 2008. « The age of multilevel converters arrives ». *Industrial Electronics Magazine, IEEE*, vol. 2, n° 2, p. 28–39.
- Friedland, B., 1986. *Control Systems Design : An Introduction to State-Space Methods*. Dover ed. New York : McGraw-Hill, Inc. 513 p.
- Gabriel, R., W. Leonhard, et C. J. Nordby. 1980. « Field-oriented control of a standard AC motor using microprocessors ». *Industry Applications, IEEE Transactions on*, , p. 186–192.
- Glinka, M. et R. Marquardt. 2005. « A new AC/AC multilevel converter family ». *Industrial Electronics, IEEE Transactions on*, vol. 52, n° 3, p. 662–669.
- Gong, G., D. Hassler, et J. W. Kolar. 2011. « A comparative study of multicell amplifiers for AC-power-source applications ». *Power Electronics, IEEE Transactions on*, vol. 26, n° 1, p. 149–164.
- Gray, P. R., P. J. Hurst, S. H. Lewis, et R. G. Meyer, January 2009. *Analysis and Design of Analog Integrated Circuits*. 5th ed. Hoboken (N.J.) : John Wiley & Sons, Inc., 881 p.
- Grubic, S., B. Amlang, W. Schumacher, et A. Wenzel. 2010. « A High-Performance Electronic Hardware-in-the-Loop Drive-Load Simulation Using a Linear Inverter (LinVerter) ». *Industrial Electronics, IEEE Transactions on*, vol. 57, n° 4, p. 1208–1216.
- Guenin, B. 2004. « Thermal Vias : A Packaging Engineer's Best Friend ». En ligne. <<http://www.electronics-cooling.com/2004/08/thermal-vias-a-packaging-engineers-best-friend>>. Consulté le 8 septembre 2014.
- Hagiwara, M. et H. Akagi. 2009. « Control and experiment of pulsewidth-modulated modular multilevel converters ». *Power electronics, IEEE Transactions on*, vol. 24, n° 7, p. 1737–1746.
- Huang, S., R. Teodorescu, et L. Mathe. 2013. « Analysis of communication based distributed control of MMC for HVDC ». In *Power Electronics and Applications (EPE), 2013 15th European Conference on*. p. 1–10. IEEE.
- Johnson, H. et M. Graham, April 1993. *High Speed Digital Design : A Handbook of Black Magic*. 1st ed. Upper Saddle River (N.J.) : Prentice Hall, 384 p.
- Knuth, D. E., 1998. *The art of computer programming : sorting and searching*. 2nd ed. Volume 3. Boston : Pearson Education, Inc., 800 p.
- Korn, A., M. Winkelkemper, P. Steimer, et J. W. Kolar. 2012. « Capacitor voltage balancing in modular multilevel converters ». *IET Conference Proceedings*.

- Korn, A. J., M. Winkelkemper, et P. Steimer. 2010. « Low output frequency operation of the modular multi-level converter ». In *Energy Conversion Congress and Exposition (ECCE), 2010 IEEE*. p. 3993–3997. IEEE.
- Lattice Semiconductor. 2012. « MachXO2 Family - Low Cost, Low Power PLD ». En ligne. 4 p. <http://www.latticesemi.com/en/Products/FPGAandCPLD/MachXO2.aspx#_3D24D0EEB97F430890D7AF24D20DF79A>. Consulté le 12 août 2014.
- Lentijo, S., S. D. Arco, et A. Monti. 2010. « Comparing the dynamic performances of power hardware-in-the-loop interfaces ». *Industrial Electronics, IEEE Transactions on*, vol. 57, n° 4, p. 1195–1207.
- Lesnicar, A. et R. Marquardt. 2003. « An innovative modular multilevel converter topology suitable for a wide power range ». In *Power Tech Conference Proceedings, 2003 IEEE Bologna*. p. 6–pp. IEEE.
- Li, W., L.-A. Gregoire, et J. Belanger. 2015. « A modular multilevel converter pulse generation and capacitor voltage balance method optimized for fpga implementation ». *Industrial Electronics, IEEE Transactions on*, vol. 62, n° 5, p. 2859–2867.
- Merlin, M., T. Green, P. D. Mitcheson, F. Moreno, K. Dyke, et D. Trainer. 2014. « Cell capacitor sizing in modular multilevel converters and hybrid topologies ». In *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*. p. 1–10. IEEE.
- Najmi, V., J. Wang, R. Burgos, et D. Boroyevich. 2014. « High reliability capacitor bank design for modular multilevel converter in MV applications ». In *Energy Conversion Congress and Exposition (ECCE), 2014 IEEE*. p. 1051–1058. IEEE.
- Nami, A., J. Liang, F. Dijkhuizen, et G. D. Demetriades. 2015. « Modular multilevel converters for HVDC applications : Review on converter cells and functionalities ». *Power Electronics, IEEE Transactions on*, vol. 30, n° 1, p. 18–36.
- Ozenbaugh, R. L., 2001. *EMI Filter Design*. 2nd ed. New York : Marcel Dekker, Inc., 319 p.
- Perez, M. A., J. Rodriguez, E. J. Fuentes, et F. Kammerer. 2012. « Predictive control of AC–AC modular multilevel converters ». *Industrial Electronics, IEEE Transactions on*, vol. 59, n° 7, p. 2832–2839.
- Pressman, A., K. Billings, et T. Morey, April 2009. *Switching Power Supply Design*. 3rd ed. McGraw-Hill, Inc., 880 p.
- Sandler, M. 1993. « Digital-to-analogue conversion using pulse width modulation ». *Electronics & communication engineering journal*, vol. 5, n° 6, p. 339–348.
- Sepulveda, C. A., J. A. Muñoz, J. R. Espinoza, M. E. Figueroa, et C. R. Baier. 2013. « FPGA v/s DSP performance comparison for a VSC-based STATCOM control application ». *Industrial Informatics, IEEE Transactions on*, vol. 9, n° 3, p. 1351–1360.

- Serbia, N. jan 2014. « Modular Multilevel Converters for HVDC power stations ». Thèses de doctorat, Institut National Polytechnique de Toulouse - INPT, 152 p.
- Siemaszko, D., A. Antonopoulos, K. Ilves, M. Vasiladiotis, L. Ängquist, et H.-P. Nee. 2010. « Evaluation of control and modulation methods for modular multilevel converters ». In *Power Electronics Conference (IPEC), 2010 International*. p. 746–753. IEEE.
- Stout, D. F. et M. Kaufman, 1976. *Handbook of operational amplifier circuit design*. US : McGraw-Hill, Inc. 512 p.
- ta Hsieh, M. et G. Sobelman. 2008. « Architectures for multi-gigabit wire-linked clock and data recovery ». *Circuits and Systems Magazine, IEEE*, vol. 8, n° 4, p. 45–57.
- TDK-EPCOS. 2012. « Power capacitors for HVDC - Minimizing energy losses ». En ligne. <<http://en.tdk.eu/tdk-en/373562/tech-library/articles/applications---cases/applications---cases/minimizing-energy-losses/171638>>. Consulté le 11 janvier 2016.
- Toh, C. et L. Norum. 2013. « A high speed control network synchronization jitter evaluation for embedded monitoring and control in modular multilevel converter ». In *PowerTech (POWERTECH), 2013 IEEE Grenoble*. p. 1–6. IEEE.
- Tu, Q. et Z. Xu. 2011. « Impact of sampling frequency on harmonic distortion for modular multilevel converter ». *Power Delivery, IEEE Transactions on*, vol. 26, n° 1, p. 298–306.
- Widmer, A. X. et P. A. Franaszek. 1983. « A DC-balanced, partitioned-block, 8B/10B transmission code ». *IBM Journal of research and development*, vol. 27, n° 5, p. 440–451.
- Wu, B., March 2006. *High-Power Converters and AC Drives*. IEEE PRESS/WILEY INTERSCIENCE. Hoboken (N.J.) : John Wiley & Sons, Inc., 333 p.