Conception d'un convertisseur PUC5 dans un système multicellulaire et multiniveau de basse tension

par

Philippe-Alexandre LABBÉ

MÉMOIRE PRÉSENTÉ À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
COMME EXIGENCE PARTIELLE À L'OBTENTION DE LA MAÎTRISE
AVEC MÉMOIRE EN GÉNIE ÉLECTRIQUE
M. Sc. A.

MONTRÉAL, LE 24 AVRIL 2018

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

 , Philippe-Alexandre Labbé, 2018



Cette licence Creative Commons signifie qu'il est permis de diffuser, d'imprimer ou de sauvegarder sur un autre support une partie ou la totalité de cette œuvre à condition de mentionner l'auteur, que ces utilisations soient faites à des fins non commerciales et que le contenu de l'œuvre n'ait pas été modifié.

PRÉSENTATION DU JURY

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE :

M. Kamal Al-Haddad, directeur de mémoire
Département de génie électrique à l'École de technologie supérieure

M. Eric Dubé, codirecteur de mémoire
Département de génie physique au Cégep de La Pocatière

M. Jean-François Boland, président du jury
Département de génie électrique à l'École de technologie supérieure

M. Handy Fortin Blanchette, membre du jury
Département de génie électrique à l'École de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 26 MARS 2018

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

AVANT-PROPOS

Ce document présente le fruit de mes recherches durant ma maîtrise en génie électrique à l'École de Technologie Supérieure (ÉTS). De l'été 2015 à l'automne 2017, je travaillai sur les convertisseurs de puissance au sein du Groupe de Recherche en Électronique de Puissance et Commande Industrielle (GREPCI). Initialement, cette recherche n'avait pas vraiment de connotation propre : l'objectif était de développer un convertisseur de puissance CA ayant une grande bande passante et une sortie multiniveau pour les applications de basse tension tout en favorisant l'intégration des transistors au Nitrure de Gallium (GaN). De manière graduelle, le projet s'est dirigé naturellement vers une topologie de convertisseurs multiniveaux parallèle. Un peu comme les convertisseurs multiniveaux et modulaires (MMC), la topologie développée permet d'augmenter le nombre de niveaux en fonction du nombre de cellules. Cela est très intéressant pour l'industrie, car elle permet de réaliser des systèmes de petite à moyenne tension, dont la puissance est variable, avec un même circuit, et ce, dans un marché en pleine effervescence.

REMERCIEMENTS

Les études supérieures en ingénierie sont loin de n'être qu'un projet ou des cours, c'est une plate-forme de formation où notre hargne d'apprendre peut enfin s'assouvir. Au travers des succès et des échecs, on en sort avec une maturité certainement grandie.

Une multitude de héros, parfois discrets, ont contribué de manière directe ou indirecte à ma formation. Je remercie mon directeur de maîtrise professeur Kamal Al-Haddad qui vit en moi et mes idées un grand potentiel et qui m'a permis d'entreprendre ces recherches. On retrouve aussi dans mon parcours le nom d'Eric Dubé, professeur au cégep de La Pocatière et ancien élève de Kamal, qui me transmit sa passion pour l'électronique dans mes plus jeunes temps. Il prit aussi le temps d'être mon codirecteur de maîtrise. Un dernier professeur parfuma mon parcours de par son ivresse des sciences et de l'électronique, Handy Fortin Blanchette, avec lequel j'ai toujours eu grand plaisir à converser. Comme l'a dit Einstein dans un de ses essais, « c'est le rôle essentiel du professeur d'éveiller la joie de travailler et de connaître ».

Plusieurs autres amis et passionnés d'électronique nécessitent des remerciements. Pour commencer avec mes collègues du GREPCI : Cédric Somers, Cynthia Moussa, Mohammad Sleiman, Hani Vahedi et Jérôme Rivet. Le club RockÉTS, sans lequel ma formation aurait été absolument incomplète. Parmi ses membres, je tiens à souligner la persévérance et la patience de mon collègue Hugo Lemoine au sein du département d'avionique. Pour terminer, Marco Tremblay d'Imalog qui me donna un avant-goût de la recherche dans un cadre industriel.

Évidemment, je remercie ma mère : Danielle Lehoux, et mon père : Normand Labbé, et toute ma famille pour leur support sous toutes ses formes. À tous ceux nommés ou non, bonne lecture!

CONCEPTION D'UN CONVERTISSEUR PUC5 DANS UN SYSTÈME MULTICELLULAIRE ET MULTINIVEAU DE BASSE TENSION

Philippe-Alexandre LABBÉ

RÉSUMÉ

De nos jours, les convertisseurs multiniveaux et modulaires (MMC) sont devenus un des principaux sujets de recherche en électronique de puissance pour plusieurs raisons : faible THD, possibilité de moyennes et hautes tensions, modularité, etc. Or, ils s'adaptent bien mal aux applications de faible tension qui, eux aussi, bénéficieraient de ces avantages. Conséquemment, l'utilisation de cette topologie série engendrerait des cellules dont la tension est très faible, ce qui n'est pas pratique. Une topologie parallèle a été développée qui permet de garder la stratégie modulaire du MMC pour les applications de faible tension. Un onduleur de 5 niveaux de type « Packed U-Cell » (PUC5) a été utilisé pour implémenter l'algorithme. De plus, des transistors au Nitrure de Gallium (GaN) ont été utilisés. Des formes d'onde multiniveaux sont générées au point de couplage commun (PCC) CA à l'aide d'une inductance interbranche et d'un déphasage entre les porteuses triangulaires des cellules. Le contrôle de cette topologie est décentralisé, c'est-à-dire que chaque convertisseur n'a besoin que des paramètres du réseau électrique et d'un pulse de synchronisation. Les résultats de simulation et d'expérimentation sont présentés pour un système autonome et monophasé.

Mots-clés: Convertisseur multiniveau, Nitrure de Gallium, Onduleurs parallèles, PUC5.

CONCEPTION OF A PUC5 CONVERTER IN A MODULAR AND MULTILEVEL SYSTEM FOR LOW VOLTAGE APPLICATIONS

Philippe-Alexandre LABBE

ABSTRACT

Nowadays, modular multilevel converter (MMC) has become one of the main topics in power electronics for many reasons: low THD, medium to high voltage capability, very high modularity, etc. Though, many low voltage applications could benefit from the modularity and the power quality. Subsequently, the use of such a serial topology at low voltage would require a very small voltage cell for a same number of level which is not practical. An interleaved inverter approach has been developed which allows modular multilevel strategies for low voltage applications. A five-level Packed U-Cell (PUC5) inverter is used to implement the algorithm in addition to Gallium Nitride switches technology. Multilevel voltage waveforms are obtained at the AC point of common coupling (PCC) using a carrier phase shift synchronization between the cells in combination with an interleave inductance. All the control process is decentralized as each cell only requires the grid parameters and the synchronisation pulse. Simulation results are presented and experimentation is conducted with two cells in parallel in single phase and standalone mode.

Keywords: Modular multilevel converter, Gallium Nitride, Interleaved inverters, PUC5.

TABLE DES MATIÈRES

Page

INTRODUCTION 1

CHAPITRE 1 REVUE DE LA LITTÉRATURE 3
1.1 Convertisseurs multiniveaux 3
1.2 Nouveaux semi-conducteurs 4
1.3 Onduleurs parallèles 7
1.4 Problématique de recherche 8

CHAPITRE 2 PRINCIPE D'OPÉRATION 11
2.1 Convertisseur PUC5 11
2.2 Schémas haut niveau d'interconnexion 13
2.3 Modélisation 13
2.4 Simulation MATLAB 15

CHAPITRE 3 STRATÉGIE DE CONTRÔLE 25
3.1 Régulation du convertisseur CC-CC 25
3.1.1 Fonction de transfert et compensateur 25
3.1.2 Limiteur de crête de courant 29
3.2 Génération des impulsions de grilles du PUC5 30
3.2.1 Modulation avec référence décalée 30
3.2.2 Modulation avec porteuses décalées 32
3.2.3 Modulation avec porteuses déphasées 33
3.3 Régulation de la tension du condensateur flottant 34
3.4 Synchronisation 35
3.4.1 Synchronisation dans un convertisseur 36
3.4.2 Synchronisation entre les convertisseurs 37
3.4.3 Délai de porteuse optimal 39
3.5 Transfert et partage de puissance entre les convertisseurs 42
3.6 Cellules flottantes 45

CHAPITRE 4 CONCEPTION D'UNE CELLULE 59
4.1 Choix des interrupteurs de puissance 60
4.2 Dimensionnement du condensateur flottant 61
4.3 Alimentation auxiliaire 62
4.3.1 Nombre de sources isolées nécessaires 62
4.3.2 Choix de conception 63
4.3.3 Dimensionnement du Flyback 64
4.3.4 Calculs du transformateur 66
4.3.5 Sélection de l'interrupteur 71
4.3.6 Circuits d'écrêtage et d'amortissement 73
4.4 Pilote de grille 77

4.5 Système de refroidissement 83
4.5.1 Pertes des transistors 83
4.5.2 Résistance thermique équivalente 84
4.5.3 Pellicule thermoconductrice 85
4.5.4 Convection forcée 85
4.5.5 Simulation bidimensionnelle 88
4.6 Mesures et capteurs 90
4.7 Inductance interbranche 95
4.8 Filtres de puissance 100

CHAPITRE 5 DISCUSSION SUR LE CIRCUIT IMPRIMÉ 103
5.1 Circuit de puissance 103
5.2 Circuits de mesure analogiques 106
5.3 Isolation électrique 108

CHAPITRE 6 RÉSULTATS EXPÉRIMENTAUX 111
6.1 Outils de débogage 111
6.2 Formes d'onde du premier prototype 117
6.3 Formes d'onde du dernier prototype 121
6.3.1 Pilote de grille 121
6.3.2 Effet du circuit d'amortissement au point de commutation 123
6.3.3 Effets transitoires 125
6.4 Performances globales 127
6.4.1 Cellule simple 130
6.4.2 Deux cellules en parallèles 132

CONCLUSION 137

ANNEXE I PROGRAMME MATLAB DU CONTRÔLEUR 139

ANNEXE II PROGRAMME MATLAB DU MODULATEUR MULTINIVEAU 145

ANNEXE III FIGURES SUPPLÉMENTAIRES AVEC DIFFÉRENTS DÉLAIS 147

ANNEXE IV CODE SOURCE DE L'INTERUPTION PRINCIPALE DU MCU 149

ANNEXE V CODE SOURCE DU FILTRE DE KALMAN 165

ANNEXE VI CODE SOURCE DU CPLD 167

ANNEXE VII FICHIER DE CONFIGURATION DU CPLD 185

ANNEXE VIII SCHÉMAS ÉLECTRIQUES REV3.2 187

ANNEXE IX SCRIPT DE MODÉLISATION DU CONVERTISSEUR CC-CC 203

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES 205

LISTE DES TABLEAUX

Page

Tableau 1.1 Comparaison des caractéristiques électroniques des nouveaux semi-conducteurs 5

Tableau 1.2 Comparaison des figures de mérite relative au Silicium 6

Tableau 2.1 États de commutation du PUC5 12

Tableau 2.2 Solveurs disponibles dans Simulink 16

Tableau 2.3 Valeurs des composants de puissance.....18

Tableau 3.1 Valeurs utilisées pour la simulation du convertisseur CC-CC bidirectionnel 26

Tableau 3.2 Références des comparateurs pour V_{REF} unitaire.....31

Tableau 4.1 Spécifications de conception.....59

Tableau 4.2 Tension maximale des transistors 60

Tableau 4.3 Critères de conception du Flyback.....63

Tableau 4.4 Paramètres de commutation du transistor et de son environnement.....72

Tableau 4.5 Paramètres de conception du circuit d'écrêtage et d'amortissement 74

Tableau 4.6 Éléments du système de refroidissement d'une cellule 84

LISTE DES FIGURES

Page

Figure 1.1 Nombre d'articles sur IEEExplore.org en fonction du temps 3

Figure 2.1 Convertisseur PUC 5 niveaux avec une charge CA.....11

Figure 2.2 Interconnexion des convertisseurs 13

Figure 2.3 Modélisation avec VSC 14

Figure 2.4 Paramètres de simulations, Ts = 10ns.....17

Figure 2.5 Modèle haut niveau dans Simulink.....19

Figure 2.6 Vue explosée d'une cellule dans Simulink.....20

Figure 2.7 Vue explosée de l'unité de contrôle 21

Figure 2.8 Partie de la commande intégrée dans le microcontrôleur 22

Figure 2.9 Partie de la commande intégrée dans le CPLD.....23

Figure 3.1 Circuit du convertisseur bidirectionnel en mode élévateur utilisé pour la modélisation.....26

Figure 3.2 Fonctions de transfert du convertisseur CC-CC 27

Figure 3.3 Nouvelle marge de phase et de gain de la tension de sortie en fonction du rapport cyclique 28

Figure 3.4 Modèle Simulink du convertisseur élévateur avec un système de limitation du courant de crête 29

Figure 3.5 Résultats du contrôle par crête de courant 30

Figure 3.6 Consignes des trois modulateurs PWM pour une référence sinusoïdale de 0.8pu.....32

Figure 3.7 Disposition des porteuses: a) disposition en phase (IPD), b) disposition avec phase opposée et alternative, c) disposition avec phase opposée 33

Figure 3.8 Porteuse déphasée pour un convertisseur de sept niveaux.....34

Figure 3.9 Schéma de synchronisation des convertisseurs.....36

Figure 3.10 Tension de sortie de chacune des cellules et tension résultante au PCC ...37

Figure 3.11 Propagation du signal de synchronisation au sein de la base temporelle des convertisseurs....38

Figure 3.12 Superposition des spectres de la tension de la sortie de chaque convertisseur sur le plan complexe....40

Figure 3.13 Tension au point de couplage commun CA et tension de sortie de chaque convertisseur en fonction du temps....41

Figure 3.14 Spectre de la tension au point de couplage commun CA avec quatre convertisseurs....42

Figure 3.15 Courant de la charge et des convertisseurs en fonction du temps....43

Figure 3.16 Superposition des spectres du courant de chaque convertisseur....44

Figure 3.17 Zoom sur la fréquence de commutation....44

Figure 3.18 Courant de la charge et des convertisseurs en fonction du temps avec un convertisseur flottant....45

Figure 3.19 Superposition des spectres du courant de chaque convertisseur avec un convertisseur flottant....46

Figure 3.20 Spectre du courant à la sortie d'une cellule lorsqu'un seul autre convertisseur est flottant....47

Figure 3.21 Spectre du courant à la sortie d'un convertisseur flottant lorsqu'un seul convertisseur est flottant....47

Figure 3.22 Zoom sur les basses fréquences du spectre du courant à la sortie d'un convertisseur flottant lorsqu'il n'y a qu'un seul convertisseur flottant....48

Figure 3.23 Spectre du courant de la charge lorsque tous les convertisseurs sont alimentés....49

Figure 3.24 Spectre du courant de la charge avec un convertisseur flottant....49

Figure 3.25 Superposition des spectres du courant de chaque convertisseur avec deux convertisseurs flottants....50

Figure 3.26 Spectre du courant à la sortie des convertisseurs lorsque deux convertisseurs sont flottants....50

Figure 3.27 Spectre du courant à la sortie des deux convertisseurs flottants lorsque deux convertisseurs sont flottants....51

Figure 3.28 Zoom sur les basses fréquences du spectre du courant à la sortie des deux convertisseurs flottants 51

Figure 3.29 Spectre du courant de la charge lorsque deux convertisseurs sont flottants 52

Figure 3.30 Spectre de la tension au PCC lorsque deux convertisseurs sont flottants .. 52

Figure 3.31 Superposition des spectres du courant de chaque convertisseur avec trois convertisseurs flottants 53

Figure 3.32 Spectre du courant à la sortie des convertisseurs lorsque trois convertisseurs sont flottants 53

Figure 3.33 Spectre du courant à la sortie des trois convertisseurs flottants lorsque trois convertisseurs sont flottants 54

Figure 3.34 Spectre de la tension au PCC lorsque trois convertisseurs sont flottants .. 54

Figure 3.35 Spectre du courant de la charge lorsque trois convertisseurs sont flottants 55

Figure 3.36 Courant de la charge et des convertisseurs en fonction du temps avec huit cellules en parallèles 56

Figure 3.37 Superposition des spectres du courant de chaque convertisseur avec huit convertisseurs en parallèles 57

Figure 3.38 Spectre de la tension au PCC avec huit convertisseurs en parallèles 58

Figure 4.1 Boîtiers disponibles dans la série « *Cool Switching* » de GaNsystems 60

Figure 4.2 Schéma du PUC5 et du convertisseur élévateur 62

Figure 4.3 Perméabilité en fonction de la fréquence de différents matériaux de ferrite de la compagnie Ferroxcube 67

Figure 4.4 Résultats du calcul de la largeur des traces avec le logiciel « *Saturn PCB design* » 69

Figure 4.5 Liste des valeurs A_L en fonction de différents matériaux et de différentes épaisseurs d'entrefer 71

Figure 4.6 Résultats de la simulation de mise à OFF de l'interrupteur du Flyback 73

Figure 4.7 Circuits d'écrêtage et d'amortissement du Flyback 74

Figure 4.8 Valeur absolue du courant en fonction de la tension source-drain 77

Figure 4.9 Contenu spectral d'un signal d'horloge en fonction de la fréquence relative 78

Figure 4.10 Limites du bruit conduit (FCC Part 15 vs, CISPR 22) 79

Figure 4.11 Limites du bruit radié (FCC Part 15 vs, CISPR 22) 80

Figure 4.12 Résistance à l'état passant du GS6506T en fonction de la tension de grille pour une température de 25°C et de 150°C 81

Figure 4.13 Circuit LT SPICE pour trouver les résistances de grille appropriées 82

Figure 4.14 V_{DS} et V_{GS} de X1 et de X2 par simulation LT SPICE pour I_D = 18A 82

Figure 4.15 Pertes instantanées et moyennées pour les deux transistors avec un courant de 17A sur la charge 83

Figure 4.16 Résistance thermique en fonction de la vitesse de l'air, avec et sans conduite 86

Figure 4.17 Vue isométrique de la conduite du radiateur et du ventilateur 87

Figure 4.18 Surface apparente de la conduite dans laquelle l'air circule 87

Figure 4.19 Simulation bidimensionnelle de l'échange de chaleur 89

Figure 4.20 Simulation bidimensionnelle de l'échange de chaleur lorsque la résistance thermique de la membrane est de 2.0°C/W 89

Figure 4.21 Synchronisation de l'ADC 90

Figure 4.22 Source de bruit un mode commun dans la mesure de tension du condensateur flottant 92

Figure 4.23 Implantation d'un chemin de faible impédance pour le bruit en mode commun 94

Figure 4.24 Courant de chaque convertisseur avec L_{LEAF} = 100µH 95

Figure 4.25 Courant de chaque convertisseur avec L_{LEAF} = 200µH 96

Figure 4.26 Contenu harmonique de basse fréquence avec L_{LEAF} = 100µH 97

Figure 4.27 Spectre complexe du courant en 3D, L_{LEAF} = 100µH 98

Figure 4.28 Spectre complexe du courant en 3D, L_{LEAF} = 200µH 98

Figure 4.29 Zoom du spectre, L_{LEAF} = 100µH 99

Figure 4.30 Zoom du spectre, L_{LEAF} = 200µH 99

Figure 5.1 Boucles de courant principales 104

Figure 5.2 Nœud de commutation du CC-CC, vue en simple couche 105

Figure 5.3 Îlotage du point commun des circuits analogiques 107

Figure 5.4 Chemin analogique des capteurs éloignés 107

Figure 5.5 Distance de dégagement en fonction de la tension - normes IPC-2221A 109

Figure 5.6 Séparation du circuit de puissance et du circuit de contrôle 109

Figure 6.1 Interface utilisateur du convertisseur 112

Figure 6.2 Bruit sur la mesure de la tension à la sortie du CC-CC 113

Figure 6.3 Mesure de la tension à la sortie du CC-CC après filtrage 113

Figure 6.4 Exemple de bruit en mode commun. 1) Tension du condensateur flottant et 2) tension du condensateur flottant après filtrage 114

Figure 6.5 Valeur de l'erreur de la tension de sortie du CC-CC 114

Figure 6.6 Valeur de la consigne du PWM (compte max = 3000) 115

Figure 6.7 Ondulation de la tension de sortie du CC-CC 116

Figure 6.8 Consigne du PUC5 (0~6000) et consigne du CC-CC (0~3600) 116

Figure 6.9 Premier prototype et charge RL de 500W, 1) tension de sortie, 2) tension du condensateur flottant, 4) courant de la sortie 117

Figure 6.10 Premier prototype et charge non-linéaire, 1) tension de sortie, 2) tension du condensateur flottant, 4) courant de la sortie 118

Figure 6.11 Formes d'onde 1) Tension d'entrée CC, 2) tension du PCC, 3) tension d'une cellule et 4) courant de la charge avec deux cellules en parallèles 119

Figure 6.12 Zoom sur les formes d'onde 1) Tension de sortie d'une cellule, 2) tension du PCC, 3) courant de la charge et 4) courant d'une cellule flottante avec deux cellules en parallèles 119

Figure 6.13 Vue isométrique du premier prototype 120

Figure 6.14 Circuit thermique du premier prototype 120

Figure 6.15 Tension grille-source lors du front montant avec une résistance de 51Ω 122

Figure 6.16 Tension grille-source lors du front descendant avec une résistance de 12Ω 122

Figure 6.17 Tension du nœud de commutation CC-CC sans circuit d'amortissement 123

Figure 6.18 Tension du nœud de commutation CC-CC avec R_S = 100Ω et C_S = 1.2nF 124

Figure 6.19 Tension du nœud de commutation CC-CC avec RS = 50Ω et CS = 3.6nF 124

Figure 6.20 Démarrage de l'onduleur à zéro tension, 1) tension de la cellule, 2) tension du bus CC, 3) courant d'entrée et 4) tension d'entrée 125

Figure 6.21 Arrêt de l'onduleur en diminuant la tension de la source d'alimentation sans protection, 1) courant de la cellule, 2) tension de la cellule, 3) courant d'entrée et 4) tension d'entrée 126

Figure 6.22 Arrêt de l'onduleur en diminuant la tension de la source d'alimentation avec protection contre les faibles tensions, 1) tension de la cellule, 2) tension d'une cellule, 3) courant CC et 4) tension d'alimentation CC 126

Figure 6.23 Photo du dernier prototype sans ventilateur, 1) $C_{IN-CC-CC}$, 2) $C_{OUT-CC-CC}$, 3) C_{FLY}, 4) L_{CC-CC}, 5) $L_{INTERLEAF}$, 6) filtre d'entrée et 7) filtre de sortie.. 127

Figure 6.24 Photo de l'assemblage du transformateur du Flyback 128

Figure 6.25 Photo de la pellicule isolatrice du Flyback 128

Figure 6.26 Montage de test 129

Figure 6.27 Forme d'onde avec faible charge, 1) tension de la sortie, 2) courant de la sortie, 3) tension de l'entrée et 4) courant de l'entrée 130

Figure 6.28 Forme d'onde avec faible tension d'alimentation CC, 1) tension de la sortie, 2) courant de la sortie, 3) tension de l'entrée et 4) courant de l'entrée 131

Figure 6.29 Forme d'onde avec faible tension d'alimentation CC, 1) tension de la sortie, 2) courant de la sortie, 3) tension de l'entrée et 4) courant de l'entrée 132

Figure 6.30 Tension de sortie de deux cellules, 1) tension de la sortie #1, 2) tension de la sortie #2 133

Figure 6.31 Synchronisation des impulsions, 1) tension de la sortie #1, 2) courant de la sortie #1, 3) tension de la sortie #2 et 4) courant de la sortie #2....133

Figure 6.32 Deux cellules en parallèle, 1) tension au PCC, 2) courant de la première cellule, 3) tension de la première cellule et 4) courant de la deuxième cellule 134

Figure 6.33 Deux cellules en parallèle, 1) tension au PCC, 2) courant de la charge, 3) tension de la première cellule et 4) courant de la deuxième cellule 135

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

CC	Courant continu
CA	Courant alternatif
SiC	Carbure de Silicium
GaN	Nitrure de Gallium
2H	Structure cristalline hexagonal Wurtzite
3C	Structure cristalline cubique zinc-blende
MEF	Méthode des éléments finis
PCC	Point de couplage commun
THD	Total Harmonic Distortion
CHB	Cascaded H-Bridge
MMC	Modular Multilevel Converter
SCM	Synchronous Conduction Mode
HFCC	High Frequency Circulating Current
ZSCC	Zero Sequence Circulating Current
ICPS	Interleaved Carrier Phase-Shift
HVCC	High Voltage Direct Current
EV	Electric Vehicule
PUC5	Packed U-Cell 5 levels
MPPT	Maximum Power Point Tracker
2DEG	2 Dimensions Electron Gas
HEMT	High Electron Mobility Transistor
EMI	Electromagnetic Interference

WBG	Wide Band Gap
VSC	Voltage Source Converter
VSC	Voltage Source Converter
CPLD	Complex Programmable Logic Device
FPGA	Field Programmable Gate Array
DMA	Direct Memory Access
SPI	Serial Port Interface
PCB	Printed Circuit Board
ESR	Equivalent Serie Resistance
ESL	Equivalent Serie Inductance
CMRR	Common Mode Rejection Ratio
PSRR	Power Supply Rejection Ratio
IC	Integrated Circuit
PLA	Polylactic Acid
ABS	Acrylonitrile Butadiene Styrene
HMFOM	Huang Material Figure of Merit
HCAFOM	Huang Chip Area Figure of Merit
HTFOM	Huang Temperature Figure of Merit
BFOM	Beliga's Figure of Merit
KFOM	Keyes Figure of Merit
TI	Texas Instrument

LISTE DES SYMBOLES ET UNITÉS DE MESURE

V	Tension
I	Courant
L	Inductance
C	Capacitance
F	Fréquence
T	Période
N	Nombre de convertisseurs en parallèles
X	Nombre d'enroulement à la sortie du Flyback
e	Nombre d'Euler
j	Nombre complexe
E_g	Énergie de bande
ε_r	Permittivité électrique
μ_n	Mobilité électronique
E_c	Champ électrique critique
λ	Conductivité thermique
S	Surface
Q_V	Débit volumique
η	Efficacité
$\mathfrak{R}$	Reluctance magnétique
k	Nombre de niveaux

INTRODUCTION

Le convertisseur de puissance multiniveau est une technologie très novatrice. Il requiert un contrôleur beaucoup plus étoffé et plus de capteurs qu'un convertisseur standard, mais les avantages qui s'en suivent sont très intéressants en termes de qualité de l'énergie électrique, de compacité et d'efficacité. Pour mitiger la complexité de ces convertisseurs, la communauté scientifique réalisa de nouvelles techniques de modulation utilisant des ponts de transistors standards en série, le CHB par exemple. Ces montages modulaires sont présentement utilisés dans l'industrie HVCC pour une multitude de raisons techniques, dont les moyens disponibles de protection et de gestion des fautes. La limitation de ce type de topologie se retrouve presque ironiquement lorsque de faibles tensions d'opération sont nécessaires, car la tension du bus CC est divisée entre chacune des cellules. À un certain point, un compromis doit être fait entre le nombre de cellules, la qualité de la tension de sortie et la robustesse du système pour qu'il soit réalisable avec les technologies disponibles.

Aux fins de conserver l'aspect modulaire et multiniveau à faible tension, une topologie parallèle fut développée. Cette nouvelle topologie conserve la stratégie d'un montage MMC et s'adapte beaucoup plus confortablement aux systèmes de faible tension comme le secteur résidentiel. De plus, le contrôle n'est pas centralisé ce qui conserve l'aspect de redondance et de robustesse. Plusieurs points seront abordés dans ce mémoire. Il sera d'abord question du convertisseur PUC5 et du principe d'opération de la topologie parallèle. Par la suite, la stratégie de contrôle et la régulation seront mises de l'avant. Puis, la conception d'une cellule et les performances expérimentales seront présentées.

CHAPITRE 1

REVUE DE LA LITTÉRATURE

La confection d'un convertisseur de puissance est un projet multidisciplinaire. Plusieurs notions de l'ingénierie et de la physique y sont mises de l'avant. Dans un effort de synthèse, seulement trois sujets ont été sélectionnés afin de préparer le lecteur : les convertisseurs multiniveaux, les nouveaux semi-conducteurs de puissance et les onduleurs en parallèles. Un résumé de la problématique de recherche sera finalement présenté.

1.1 Convertisseurs multiniveaux

Depuis un bon moment, l'effort de recherche dans le domaine des convertisseurs multiniveaux croît sans cesse, et ce, de manière exponentielle. La Figure 1.1 regroupe le nombre d'articles pour différentes combinaisons de mots clefs en rapport avec le sujet; on y montre bien cette tendance.

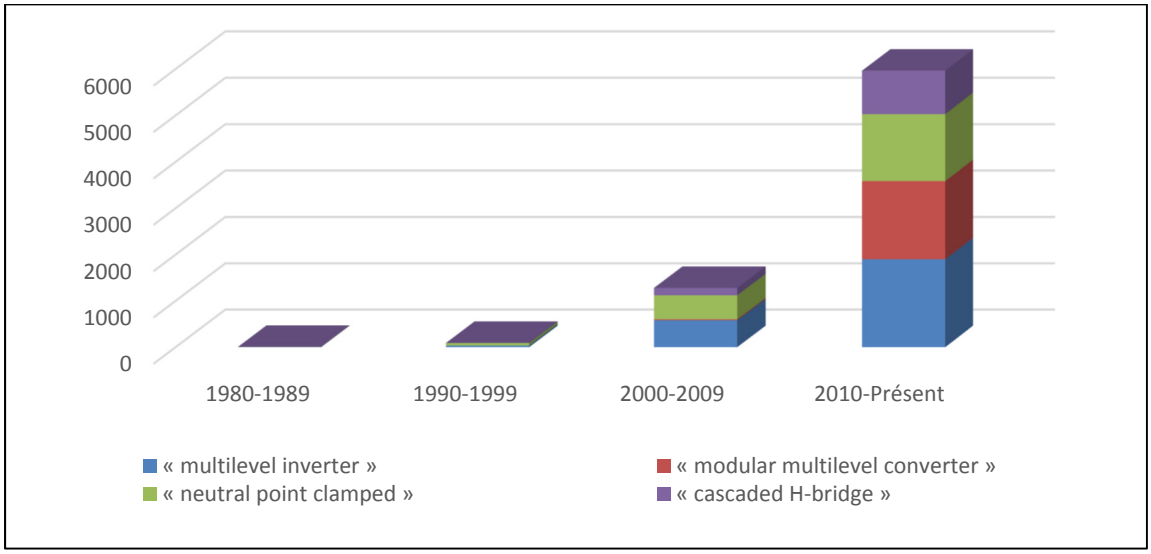


Figure 1.1 Nombre d'articles sur IEEExplore.org en fonction du temps

Plusieurs topologies ont vu le jour depuis. Or, dans les dernières années, le convertisseur modulaire et multiniveau (MMC) a reçu beaucoup d'attention pour les systèmes de moyenne à haute tension (Lesnicar et Marquardt, 2003). Leur adaptabilité fait en sorte qu'ils soient très robustes en plus de fournir une énergie très propre (Debnath et al., 2015; Sleiman et al., 2014; Hahn, Andresen et Buticchi, 2017). Du côté économique, ces systèmes sont aussi avantageux, car ils sont simples à fabriquer comparativement à un seul gros convertisseur. L'efficacité d'un système MMC dépend de plusieurs paramètres. Étant donné la multitude de cellules à contrôler, la méthode de contrôle et de commutation est très importante (Antonio-Ferreira et Gomis-Bellmunt, 2016). Cependant, dans le domaine des faibles tensions, il est désavantageux d'avoir plusieurs cellules connectées en série étant donné que la tension d'alimentation se divise entre elles et que leurs résistances équivalentes s'additionnent. À un certain point, la tension de chacune des cellules devient tellement petite qu'il est très dur voire impossible, de la compenser (Yang, Li et Wang, 2016). Cette solution est alors beaucoup moins pratique, car il y a un maximum de niveau possible qui dépend de la technologie de la cellule.

1.2 Nouveaux semi-conducteurs

De nouvelles technologies de semi-conducteurs ont vu le jour dans les dernières années. Ils ont permis, entre autres, d'augmenter la fréquence de commutation et l'efficacité des convertisseurs de puissance drastiquement (Deboy et al., 2016). Les deux nouveaux matériaux, qui se classent dans la catégorie des « *Wide bandgap semiconductor* », sont le Carbure de Silicium (SiC) et le Nitrure de Gallium (GaN). Bien que cela fasse quelques années que les transistors SiC soient disponibles, ce n'est que très récemment que le prix et les caractéristiques des transistors GaN aient atteint un seuil compétitif. La principale raison est que les manufacturiers ont réussi à adapter ce semi-conducteur aux technologies déjà existantes utilisées avec le Silicium (Chowdhury et al., 2016) tout comme ce fut le cas avec les SiC. Ces deux matériaux ont des caractéristiques semblables : faible résistivité, charge de recouvrement minimisé, capacité de jonction minuscule, etc. Quelques traits bénéfiques des transistors GaN sont cependant le résultat d'une structure spécifique qui lui permet de générer ce qui est appelé un gaz d'électron bidimensionnel (2DEG), une structure horizontale. En d'autres mots, la

jonction est un plan dans lequel les électrons possèdent une mobilité accrue. C'est grâce à ce gaz d'électron que les transistors au GaN sont généralement plus rapides et moins résistifs que les transistors SiC comparables. Une structure horizontale est aussi limitative en ce qui a trait à la capacité en tension. En deçà de 600V, une structure verticale doit être utilisée ce qui rend l'utilisation du 2DEG très compliquée, mais pas impossible (Yang et al., 2016). Les GaN comportent aussi quelques non-linéarités supplémentaires comme le « *trapping effect* » et des dégradations dépendantes du temps. Le SiC, quant à lui, est beaucoup plus mature. C'est un transistor plus robuste, moins cher et certainement plus performant pour les applications nécessitantes des interrupteurs de plus de 600V. Or, le plus rapide, c'est le GaN (Mitova et al., 2014). Un autre point intéressant de ces nouveaux matériaux est au niveau du transfert de chaleur au sein du semi-conducteur. À ce niveau, le SiC est meilleur que les autres comme le montre la conductivité thermique du tableau ci-dessous. Un avantage des transistors à large bande est qu'ils sont moins sensibles aux variations de température que les transistors standards au Silicium (Zhang et al., 2016; Gurpinar et Castellazzi, 2016).

Tableau 1.1 Comparaison des caractéristiques électroniques des nouveaux semi-conducteurs
Tiré de Chow (2014) et d'Elasser et Chow (2002)

	E_g	ε_r	μ_n	V_{SAT}	E_c	λ
Unités	eV	-	$cm^2/V \cdot s$	10^7 cm/s	MV/cm	W/cm·K
Si	1.12	11.8	1350	1.0	0.3	1.5
3C-SiC	2.2	9.6	900	2.0	1.2	4.5
4H-SiC	3.26	10	// axe-c : 650 // axe-a : 720	2.0	2.0	4.5
6H-SiC	3.0	9.7	// axe-c : 50 // axe-a : 370	2.0	2.4	4.5
2H-GaN	3.39	9.9	2DEG : 2000 // axe-a : 1000	2.5	3.3 ~ 3.7	1.3
Diamant	5.45	5.5	1900	2.7	5.6	20

On remarque dans le Tableau 1.1 que le 2DEG du GaN possède une mobilité d'électron très élevée. Cependant, en raison de cette structure horizontale, ils ne peuvent pas monter très haut en tension tel que le SiC ou le Si; ils sont limités pour le moment à 650V. Afin de comparer les différents matériaux semi-conducteurs, plusieurs figures de mérite peuvent être utilisées. La plus connue est sans nul doute celle de Baliga. Elle fut introduite pour comparer les transistors avec une structure verticale (Baliga, 1982). Elle compare leur perte de conduction dans un système commutant à faible fréquence. La figure de Johnson est aussi utilisée pour les pertes, mais dans les systèmes de faible tension (Johnson, 1965). Un résumé des différentes figures de mérite utilisées pour comparer les matériaux est disponible dans le Tableau 1.2 :

Tableau 1.2 Comparaison des figures de mérite relative au Silicium
Tiré de Wang (2008, p. 467)

Figure de mérite	**Équation**	**Comparaison**	**3C-SiC**	**4H-SiC**	**6H-SiC**	**2H-GaN**
BFOM	$\varepsilon_r \cdot \mu_n \cdot (\mathrm{E_G})^3$	Pertes de conduction à basse fréquence	4.11	10.6	2.46	28.8
HMFOM	$\mathrm{E_C} \cdot \sqrt{\mu_n}$	Pertes de puissance	3.27	4.75	2.37	22.86
HCAFOM	$\varepsilon_r \cdot \mathrm{E_C}^2 \cdot \sqrt{\mu_n}$	Surface du chip	10.63	26.8	18.8	105.5
HTFOM	$\lambda / \varepsilon_r \cdot E_\mathrm{C}$	Thermique	0.92	0.53	0.46	0.09
KFOM	$\lambda \cdot \sqrt{\mathrm{c} \cdot \mathrm{v}_s / \varepsilon_r \cdot 4 \cdot \pi}$	Thermique	4.70	4.61	4.68	1.50

La force des transistors GaN et SiC est leur rapidité. Ils peuvent commuter en quelques nanosecondes des tensions de l'ordre de 600V. Or, ce n'est pas toujours un avantage. En effet, la transition de plusieurs centaines de volts et ampères en un temps si court peut engendrer beaucoup de bruit électromagnétique (EMI). Un gros effort doit être fourni afin d'utiliser ces transistors dans les convertisseurs de puissance. Une attention particulière doit être donnée à la disposition des éléments sur le circuit. Bien qu'ils soient très rapides, les transistors à large

bande électronique peuvent être ralentis afin de diminuer l'EMI. Il fut même démontré que pour des temps de commutations comparables, les transistors au SiC diminuent les pertes de commutations de 70% comparativement à l'IGBT au Si (Han et al., 2017). Plusieurs solutions sont proposées dans la littérature pour diminuer le bruit de commutation. Certains chercheurs ont quantifié ce compromis avec un convertisseur élévateur synchrone (Han et al., 2017). La solution la plus populaire est bien entendu de ralentir le transistor par l'entremise d'une résistance de grille plus élevée. Cela augmente cependant drastiquement les pertes de commutation. Deux résistances différentes peuvent être utilisées afin d'ajuster le temps de mise à l'état passant et le temps de mise à l'état bloqué. En ralentissant le temps d'ouverture et en minimisant le temps de fermeture, le GaN génère un peu moins de bruit radié que le Si.

1.3 Onduleurs parallèles

La parallélisation des onduleurs n'est pas une tâche simple. Cela peut cependant en valoir la peine si le niveau de puissance à atteindre est grand ou lorsque la qualité de l'énergie est importante. Il a même été démontré que le THD du courant de sortie peut être diminué en entrelaçant les onduleurs (Hwang et al., 2014). Une grande difficulté quand vient le temps de connecter des convertisseurs qui se comportent comme des sources de tension (VSC) en parallèle est sans nul doute les courants de hautes fréquences qui circulent entre les convertisseurs (HFCC). Cette puissance réactive est souvent néfaste et affecte évidemment le rendement total du système, car elle génère plus de perte. Certains chercheurs ont proposé des méthodes de mitigation comme un cycle de resynchronisation (Jiang et al., 2017) ou des séquences spéciales qui atténuent les courants de circulation. D'autres chercheurs se sont plutôt penchés sur la racine du problème et ont proposé des méthodes de synchronisation des modulateurs (ICPS) (Quan et Li, 2017). Dans la plupart des cas, il est nécessaire d'ajouter des inductances de branche en addition aux méthodes de suppression des courants de circulation (Gohil et al., 2016). Il est très important de bien comprendre ces problèmes avec les technologies d'aujourd'hui, car c'est la principale limitation de ce genre de système. Les topologies parallèles sont aussi très intéressantes quand vient le temps de connecter plusieurs sources de puissance ensemble comme, par exemple, dans les applications d'énergies

renouvelables. Il n'est alors pas impossible qu'un débalancement de la puissance disponible entre les onduleurs survienne. Des méthodes d'entrelacement avancées sont alors utilisées (Yao et al., 2013). Plusieurs convertisseurs en parallèle amènent aussi, en général, l'aspect de redondance ce qui permet d'augmenter la fiabilité (Zhongming, Praveen et Paresh, 2006).

1.4 Problématique de recherche

Selon la littérature disponible, il reste beaucoup de travail à faire sur les convertisseurs de puissance multiniveaux en parallèle. Plusieurs avantages peuvent en être soutirés tels qu'une qualité d'énergie électrique supérieure, une meilleure compacité et une robustesse accrue. Le nombre d'applications nécessitant ces attributs, tels que les énergies renouvelables, les entraînements de moteurs et les chargeurs de véhicules électriques résidentiels, est de plus en plus grand. Très peu de littérature concerne ce sujet. Le « *Packed U-Cell* » à 5 niveaux (PUC5) est une topologie bien connue du laboratoire le GREPCI, lequel est partenaire dans cette recherche, ce qui en fait un bon candidat pour promouvoir la recherche. Le convertisseur PUC a été introduit par le GREPCI (Ounejjar, Al-Haddad et Grégoire, 2011)) comme étant un onduleur très compétitif comparativement à ce qui était disponible sur le marché à ce moment. Cette topologie offre d'autres avantages comparativement à son homologue, le pont en H en cascade, pour un même nombre de niveaux : un nombre réduit de sources isolées, de faibles dimensions physiques et un prix réduit (Vahedi et Al-Haddad, 2016). Il est aussi possible d'utiliser le même circuit pour réaliser une source de tension à sept niveaux. Cependant, la diminution du THD de 30% à 24% n'est pas suffisante pour justifier son implémentation. Afin de pouvoir répondre à un maximum d'applications, la cellule sera dotée d'un convertisseur CC-CC qui interfacera l'alimentation de l'entrée avec l'onduleur PUC5. Le convertisseur est un convertisseur élévateur synchrone. Il sera ainsi possible de connecter, par exemple, un panneau photovoltaïque et d'implémenter un suivi de la puissance maximale (MPPT). Étant donné que ce montage est bidirectionnel, la cellule pourra aussi fonctionner en redresseur et alimenter, par exemple, des piles.

Finalement, en électronique de puissance, le temps de commutation est un facteur dominant de l'efficacité, mais aussi du bruit électromagnétique. En employant des semi-conducteurs à large bande comme le SiC ou le GaN, il est possible d'augmenter l'efficacité d'un convertisseur, mais il faut cependant faire très attention à sa conception. Les convertisseurs multiniveaux utilisent plusieurs interrupteurs de puissance afin de reconfigurer leur circuit de puissance. En ce sens, l'utilisation de transistors commutant très rapidement peut améliorer les performances en réduisant considérablement les pertes de commutation. Il serait alors possible d'augmenter la fréquence d'opération et conséquemment de réduire la dimension du condensateur flottant et du filtre de sortie d'un convertisseur PUC5. Conséquemment, la compatibilité électromagnétique devient une grande partie de la conception.

CHAPITRE 2

PRINCIPE D'OPÉRATION

Ceci consiste en une introduction au principe de fonctionnement du convertisseur PUC5 et de la méthode de parallélisation proposée. La mathématisation de l'interconnexion et le modèle Simulink utilisé pour les simulations y seront présentés.

2.1 Convertisseur PUC5

Ce convertisseur est un pont en H modifié. Plusieurs niveaux de tension peuvent être générés en ajoutant des cellules en « U »; ceux-ci regroupent un condensateur et deux interrupteurs de puissance. La version à cinq niveaux du PUC, présentée à la Figure 2.1, est particulièrement intéressante, car une même tension peut être générée par l'entremise de deux états de commutation différents. Dans ce cas-ci, la tension V_2 est la moitié de la tension d'entrée V_1.

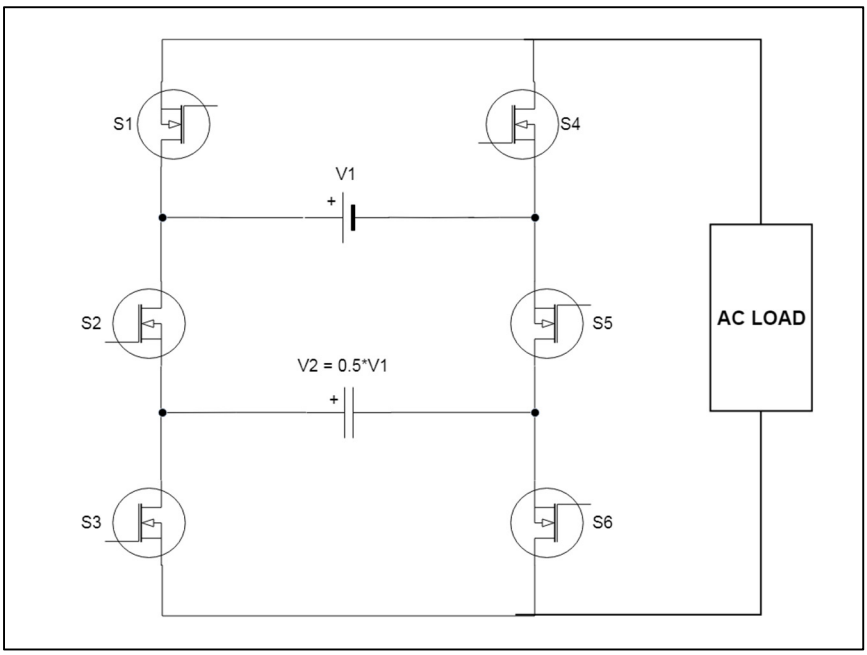


Figure 2.1 Convertisseur PUC 5 niveaux avec une charge CA

Ce convertisseur nécessite trois paires de signaux complémentaires pour générer ses impulsions de grille. Trois comparateurs ou plus sont donc nécessaires afin de réaliser les six trains d'impulsions. Le Tableau 2.1 résume les états de commutation du PUC5. L'état passant des transistors est représenté par des uns et l'état bloqué, par des zéros. On remarque que deux états donnent la même tension à la sortie CA et que le condensateur flottant est connecté dans le sens positif du courant pour un cas et dans le sens négatif pour l'autre.

Tableau 2.1 États de commutation du PUC5
Tiré de Vahedi (2016, p. 47)

États de commutation	**S1**	**S2**	**S3**	**V_{AC}**
1	1	0	0	V_1
2	1	0	1	$V_1 - V_2 = V_2$
3	1	1	0	V_2
4	1	1	1	0
5	0	0	0	0
6	0	0	1	$-V_2$
7	0	1	0	$V_2 - V_1 = -V_2$
8	0	1	1	$-V_1$

Il est alors possible de mathématiser la tension de sortie comme une combinaison des tensions V_1 et V_2 à l'aide des états de commutation (Vahedi, 2016) :

$$V_{AC} = (S_1 - S_2) \cdot V_1 + (S_2 - S_3) \cdot V_2 \tag{2.1}$$

Le courant du condensateur peut aussi être représenté en fonction de l'état de commutation (Vahedi, 2016) :

$$i_C = (S_3 - S_2) \cdot I_{AC} \tag{2.2}$$

$$dV_2/dt = \frac{(S_3 - S_2) \cdot I_{AC}}{C} \tag{2.3}$$

2.2 Schémas haut niveau d'interconnexion

Les avantages de la parallélisation sont nombreux comme le montre la revue de la littérature. Un schéma de l'interconnexion entre les cellules est présenté à la Figure 2.2. Aux fins de ces recherches, chaque convertisseur utilisera sa propre source de tension isolée. La clef de la parallélisation, dans ce cas-ci, se retrouve dans la synchronisation des convertisseurs entre eux. Il est alors possible de générer des formes d'onde multiniveaux au point de couplage commun (PCC) alternatif en accordance avec le théorème de Millman.

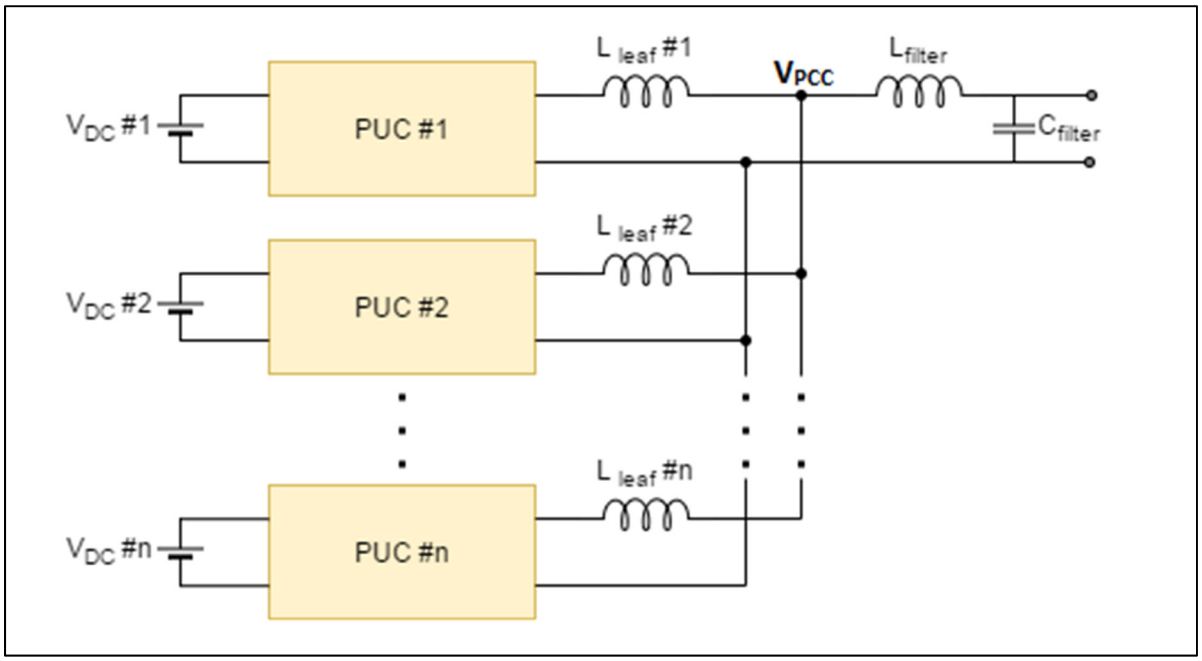


Figure 2.2 Interconnexion des convertisseurs

2.3 Modélisation

La mise en équation est une tâche très importante pour bien comprendre le fonctionnement de n'importe quel système. Dans ce cas, les convertisseurs seront considérés comme des sources de tensions (VSC) et seront regroupés avec leur inductance de branche. Un exemple du circuit résultant pour quatre convertisseurs en parallèle est présenté à la Figure 2.3. Dans ce cas, aucun filtre de puissance n'est présent et la charge est une résistance et une inductance en séries.

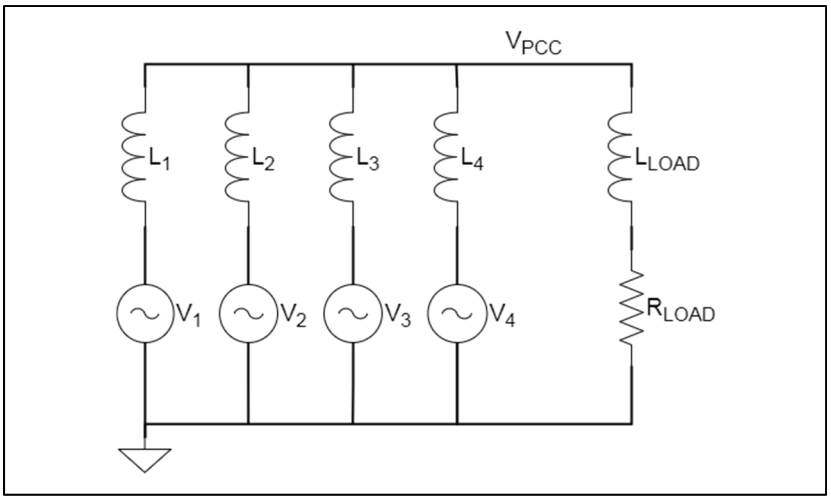


Figure 2.3 Modélisation avec VSC

Il est alors possible d'utiliser le théorème de Millman pour étudier les courants de circulation et le transfert de puissance. Selon son théorème, la tension au PCC peut être représentée par une somme de tension comme suit :

$$V_{PCC} = \frac{\left(\frac{V_1}{Z_1} + \frac{V_2}{Z_2} + \frac{V_3}{Z_3} + \frac{V_4}{Z_4} + \frac{0}{Z_L}\right)}{\frac{1}{Z_1} + \frac{1}{Z_2} + \frac{1}{Z_3} + \frac{1}{Z_4} + \frac{1}{Z_L}} \tag{2.4}$$

Si le système était connecté au réseau électrique, une tension non nulle serait présente au numérateur. En considérant que la valeur de l'inductance de la charge est beaucoup plus grande que les inductances de branche, qui sont toutes de valeurs égales, une approximation de (2.4) peut être trouvée :

$$V_{PCC} \approx \frac{\left(\frac{V_1}{Z} + \frac{V_2}{Z} + \frac{V_3}{Z} + \frac{V_4}{Z}\right)}{\frac{1}{Z} + \frac{1}{Z} + \frac{1}{Z} + \frac{1}{Z}} \tag{2.5}$$

$$V_{PCC} \approx \frac{V_1 + V_2 + V_3 + V_4}{4} \tag{2.6}$$

Il est montré que la tension au PCC est la somme des tensions des onduleurs divisée par le nombre d'onduleurs en parallèle. Avec le délai approprié entre les modulateurs PWM de chaque convertisseur, il est alors possible de générer plusieurs niveaux de tension supplémentaires. Évidemment, la méthode de modulation influencera le résultat. Une méthode de modulation centrée est nécessaire pour la synchronisation. Connaissant la tension au PCC, il est alors possible d'écrire les courants de chaque branche :

$$I_{\#n} = \frac{V_{\#n} - V_{PCC}}{Z} \tag{2.7}$$

Après substitution de (2.6) dans (2.7), on retrouve les courants de chaque branche de la Figure 2.3. Notons que ces courants dépendent, entre autres, de l'inductance de branche :

$$I_1 \approx \frac{3 \cdot V_1 - V_2 - V_3 - V_4}{4 \cdot Z} \tag{2.8}$$

$$I_2 \approx \frac{3 \cdot V_2 - V_1 - V_3 - V_4}{4 \cdot Z} \tag{2.9}$$

$$I_3 \approx \frac{3 \cdot V_3 - V_1 - V_2 - V_4}{4 \cdot Z} \tag{2.10}$$

$$I_4 \approx \frac{3 \cdot V_4 - V_1 - V_2 - V_3}{4 \cdot Z} \tag{2.11}$$

2.4 Simulation MATLAB

Il y a plusieurs paramètres qui peuvent affecter les résultats d'une simulation : le solveur, la tolérance relative, le pas de calcul, etc. La commutation des transistors est certainement la chose la plus dure à reproduire fidèlement. Dans le cas présent, la simulation fut réalisée à l'aide de « *SimPowerSystems* » dans Simulink. Un pas de calcul très fin fut nécessaire afin de bien interpréter les délais entre les convertisseurs. Ceux-ci sont de l'ordre de la microseconde

et leur synchronisation doit être précise à quelques nanosecondes près. De plus, le modèle comporte des signaux analogiques devant être résolus avec des équations différentielles variant très rapidement en raison des interrupteurs de puissance. En général, ces équations sont de type raide (« *stiff* ») ce qui veut dire que lors de leur résolution avec un solveur numérique, elles peuvent facilement diverger dépendamment des configurations. Le Tableau 2.2 résume les différents solveurs disponibles dans Simulink. On remarque que plus l'algorithme de résolution est robuste, moins il est précis. Or, en utilisant une tolérance relative de convergence plus serrée, il est possible d'avoir des résultats précis et une convergence adéquate. Cela fait un bon compromis entre la fiabilité des résultats et le temps de simulation.

Tableau 2.2 Solveurs disponibles dans Simulink

Solveur	**Type de Problème**	**Ordre de précision**
ode45	Non raide	Medium
ode23	Non raide	Basse
ode113	Non raide	Basse à haute
ode15s	Raide	Basse à medium
ode23s	Raide	Basse
ode23t	Modérément raide	Basse
ode23tb	Raide	Basse

Afin d'améliorer le temps de simulation, le mode « accélérateur » a été utilisé. Cette option fait en sorte que Matlab compile une partie du modèle au lieu de l'interpréter. Le temps de calcul est conséquemment moindre. Cela exige cependant de compiler le modèle initialement, ce qui peut prendre du temps. En contrepartie, il est possible de modifier certains paramètres sans avoir à compiler le modèle de nouveau. Cela n'est pas possible avec le mode « accélérateur rapide », qui lui, compile tout le modèle.

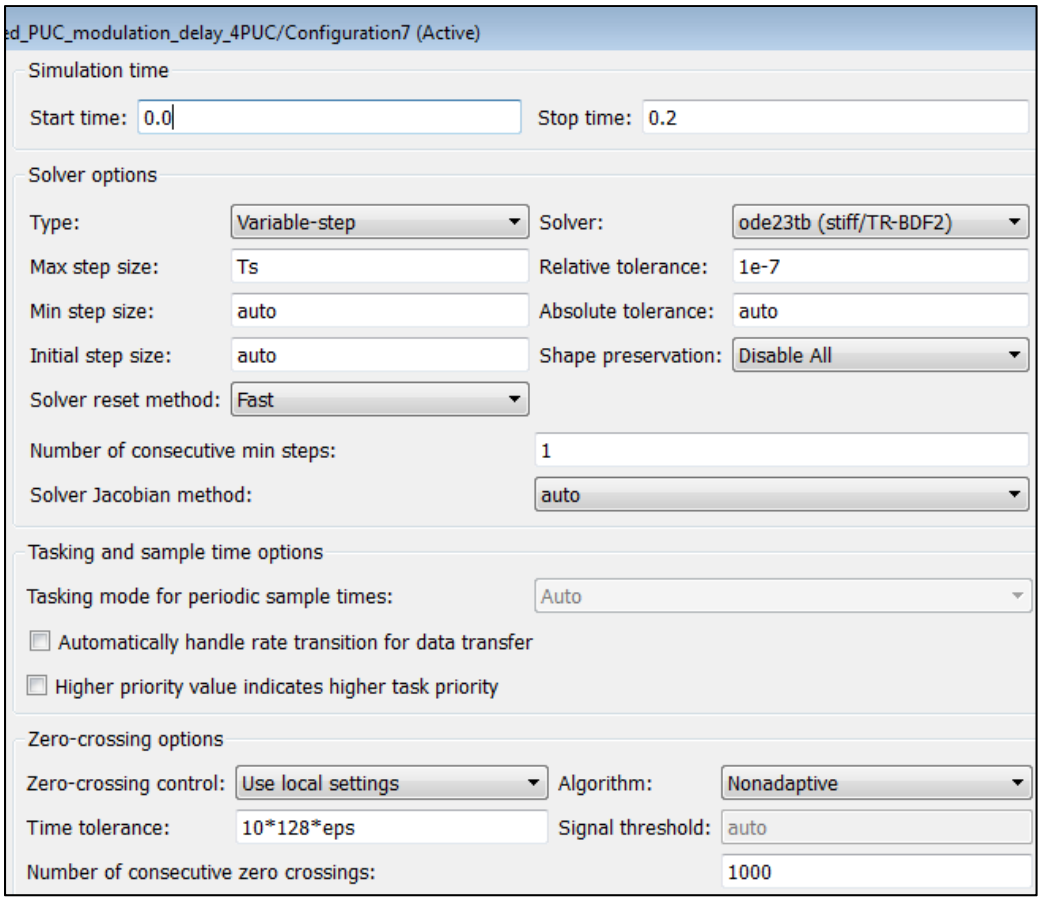


Figure 2.4 Paramètres de simulations, Ts = 10ns

Les paramètres de simulations sont disponibles dans la Figure 2.4. Étant donné l'utilisation d'un solveur avec un pas de calcul variable, le temps maximum d'un pas fut utilisé afin de régler la résolution temporelle. Le schéma haut niveau du modèle Simulink est disponible à la Figure 2.5. Quatre convertisseurs sont visibles sous forme de boîtes. Ils sont accompagnés de leur source d'alimentation CC, de leur inductance interbranche, de leur circuit de précharge, du filtre de sortie et de la charge. Chaque convertisseur reçoit deux signaux : une même référence sinusoïdale 60Hz et un pulse de synchronisation. Le pulse de synchronisation est connecté de convertisseur en convertisseur, mais il serait possible de connecter le même pulse à tous les convertisseurs avec un minimum de modifications. Cela permettrait d'augmenter la robustesse du système étant donné que la référence de base ne serait pas générée par un des convertisseurs. Un interrupteur idéal est utilisé pour simuler un relai. Ce dernier permet

d'énergiser les convertisseurs avant de les soumettre à la charge. Cette phase est très importante en raison du condensateur flottant présent dans le PUC5. Ce dernier est chargé par l'entremise du courant de la sortie. C'est pourquoi une résistance de grande valeur est présente avant l'interrupteur. Lorsque les convertisseurs sont synchronisés et énergisés, un signal est envoyé à l'interrupteur qui se ferme lorsque la phase est de 0°, à zéro tension. Ce dernier point est très important, car à pleine tension, la fermeture de l'interrupteur engendrerait un courant très intense qui pourrait endommager les éléments du circuit. Cela est encore plus vrai étant donné que l'inductance du filtre harmonique est très faible. Les valeurs des composants utilisées sont disponibles dans le Tableau 2.3 :

Tableau 2.3 Valeurs des composants de puissance

Variables	**Descriptions**	**Valeurs**
$\mathbf{V_{IN\text{-}BOOST}}$	Tension à l'entrée du convertisseur élévateur	200V
$\mathbf{F_{SW\text{-}BOOST}}$	Fréquence de commutation du convertisseur élévateur	100KHz
$\mathbf{V_{IN\text{-}PUC5}}$	Tension à l'entrée du convertisseur PUC5	400V
$\mathbf{L_{LEAF}}$	Inductance interbranche	100µH
$\mathbf{R_{CHARGE}}$	Résistance de précharge	20KΩ
$\mathbf{L_{FILTRE}}$	Inductance du filtre LC de la sortie	470µH
$\mathbf{C_{FILTRE}}$	Capacité du filtre LC de la sortie	1µF
$\mathbf{R_{LOAD}}$	Résistance de la charge	10Ω

Comme on peut le constater, les valeurs d'inductance et de capacitance pour le filtre harmonique à la sortie sont très petites en raison de la fréquence de commutation élevée et de la technique de modulation utilisée. Ces valeurs seront par défaut dans toutes les simulations afin que les résultats soient facilement comparables. Or, dans certains cas, la charge sera de nature différente. Il sera alors mentionné qu'est-ce qu'il en est.

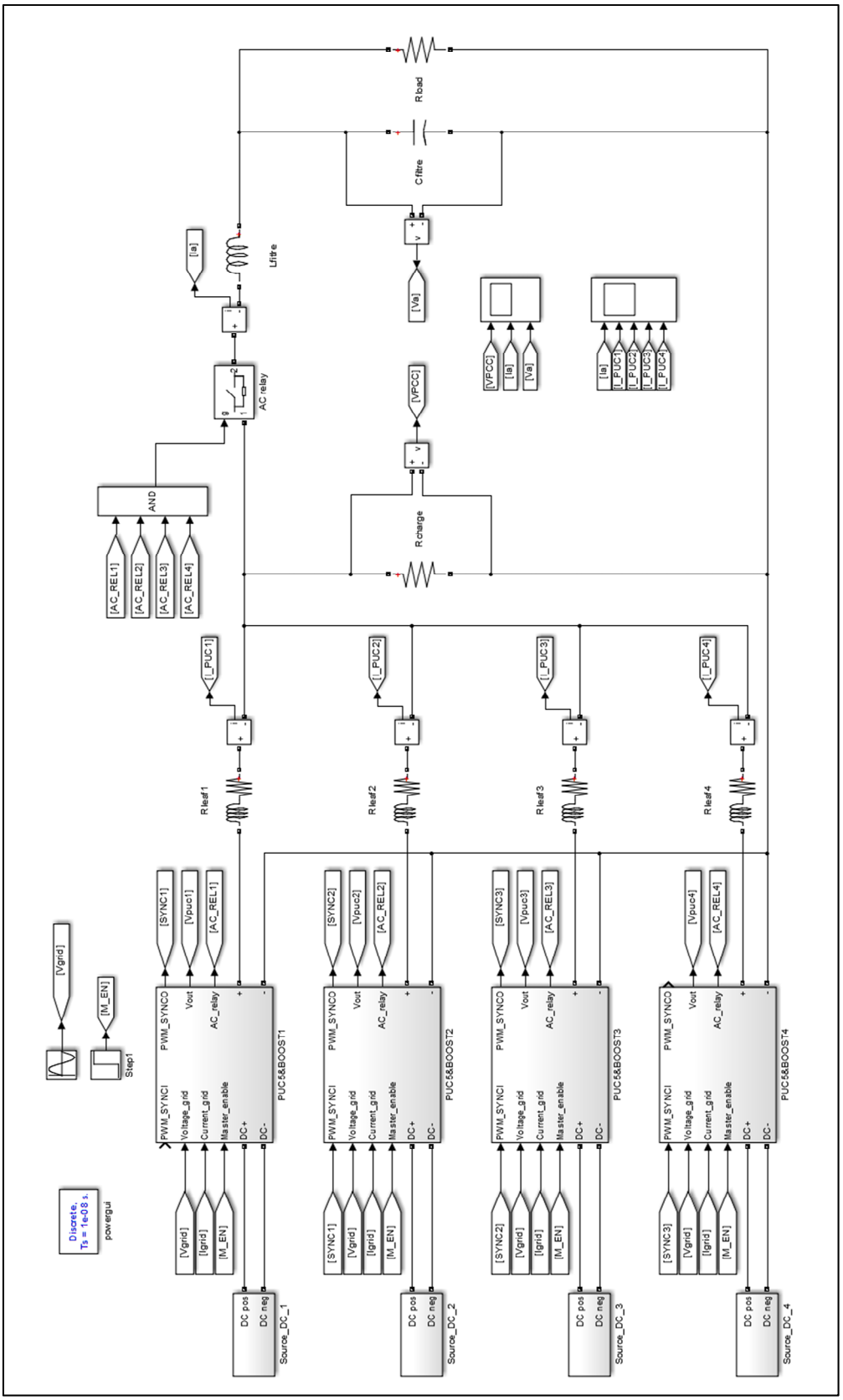


Figure 2.5 Modèle haut niveau dans Simulink

Chaque cellule est constituée de trois morceaux principaux : l'unité de contrôle, le convertisseur élévateur bidirectionnel et le convertisseur PUC5. La Figure 2.6 montre les blocs principaux et leurs interconnexions dans la simulation. La cellule est modélisée de manière à reproduire le plus possible le matériel utilisé. Dans le cas présent, un microcontrôleur et un CPLD sont utilisés comme technologie et auront chacun leur bloc afin de bien cartographier l'emplacement des calculs au sein du système. Ces deux blocs sont visibles sur la Figure 2.7. Afin de contrôler le convertisseur, la tension du condensateur flottant, la tension d'entrée du PUC5, le signal de synchronisation, les signaux suivants sont nécessaires : le courant de la source CC, le courant de sortie CA, la tension et le courant du réseau, la tension d'entrée CC et un signal de mise en marche. Ils sont présents à gauche de l'unité de contrôle dans ladite figure. Les signaux dont l'encadré est arrondi proviennent de la Figure 2.5 tandis que les signaux dont l'encadrement est carré proviennent de la même figure.

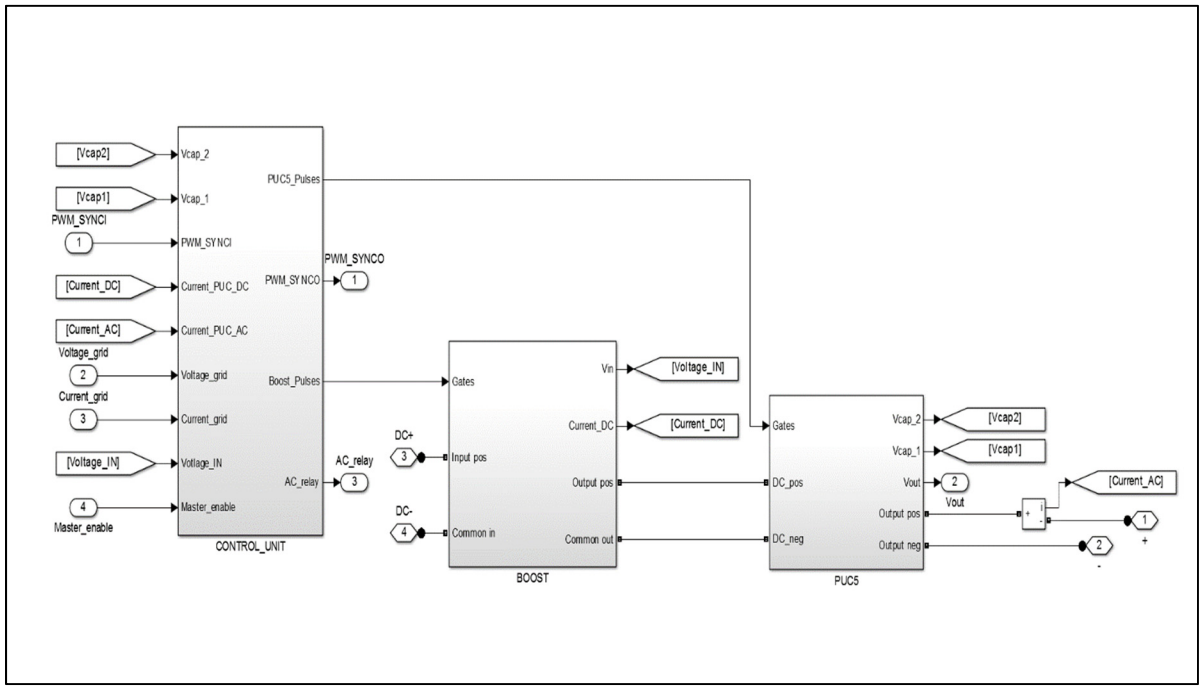


Figure 2.6 Vue explosée d'une cellule dans Simulink

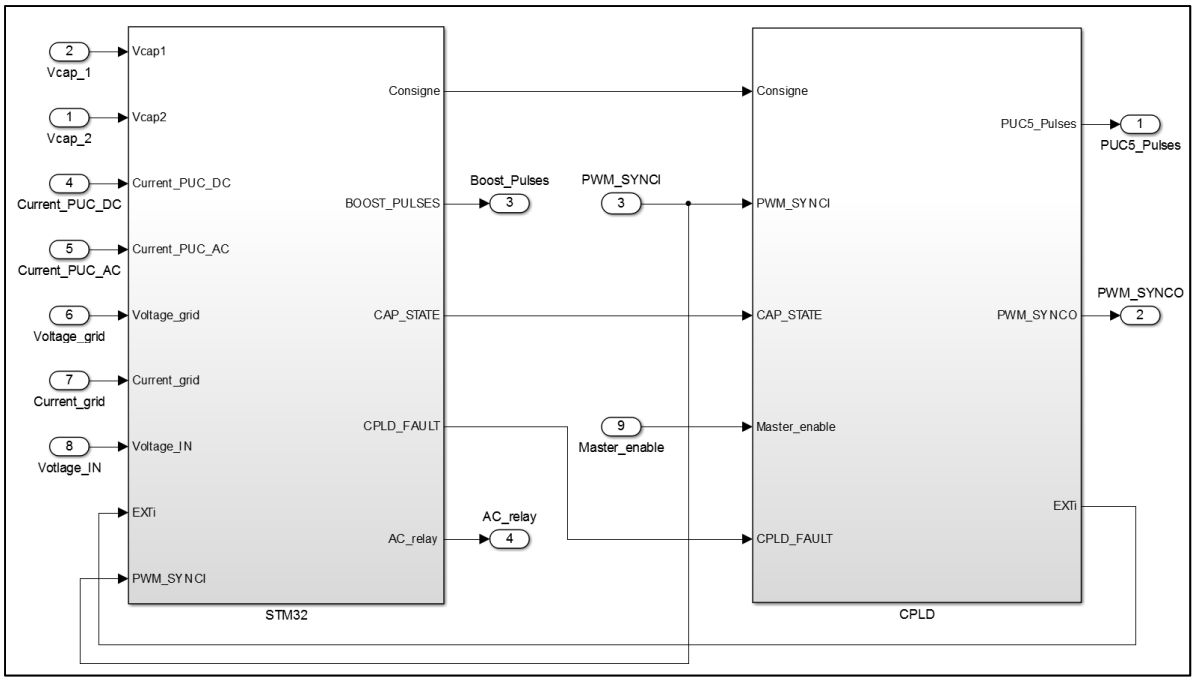


Figure 2.7 Vue explosée de l'unité de contrôle

Le bloc représentant le microcontrôleur, nommé STM32, utilise PWM_SYNCI afin de synchroniser son modulateur PWM avec celui du CPLD. La Figure 2.7 montre ce schéma d'interconnexion. On y remarque aussi que la consigne est calculée dans le microcontrôleur et que sa valeur est envoyée au CPLD afin de moduler les impulsions de grille du PUC5; ce signal est nommé PUC5_pulses. Contrairement à la boucle de contrôle du modèle Simulink, un élément supplémentaire a été ajouté dans le schéma réel du convertisseur élévateur en raison de sa fonction de transfert : le contrôle du courant de crête.

Lorsque le courant atteint une certaine valeur, l'impulsion de l'interrupteur du bas est remise à zéro jusqu'au prochain cycle. Cette méthode permet de réaliser un circuit de précharge très simple à l'aide d'une référence de courant et d'annuler un pôle à haute fréquence plutôt nuisible lorsqu'uniquement la tension est utilisée pour réguler la sortie. Pour ce faire, les impulsions du signal Boost_Pulses sont envoyées à travers le CPLD, ce qui n'est pas le cas dans cette simulation pour optimiser le temps de calcul. Cette méthode sera simulée dans un autre modèle.

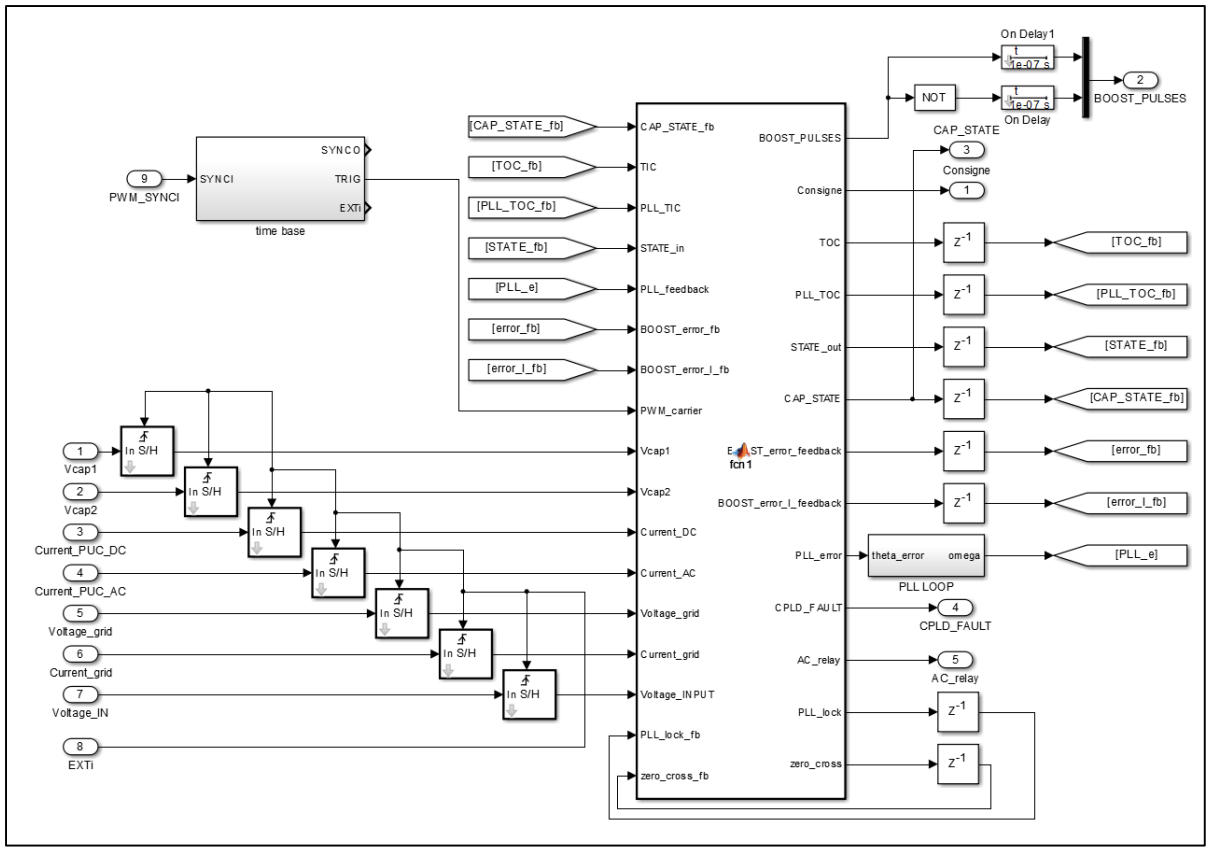


Figure 2.8 Partie de la commande intégrée dans le microcontrôleur

Le microcontrôleur est émulé à l'aide d'un bloqueur d'ordre zéro, d'un compteur, d'un module PLL et d'une fonction Matlab comme illustrés dans la Figure 2.8. Des délais discrets permettent de faire le retour des états précédent étant donné qu'il n'est pas possible d'avoir des variables globales ou statiques. Trois machines à états sont utilisées : une pour le PUC5, une pour le montage élévateur et une autre englobant la totalité du convertisseur. Le CPLD, quant à lui, est beaucoup plus simple comme on peut voir sur la Figure 2.9. Il s'agit d'un compteur bidirectionnel et d'une table de vérité représentant les états de commutation. Les équations de contrôle et les machines à états des convertisseurs sont intégrées sous forme de script MATLAB, comme le montrent la Figure 2.8 et la Figure 2.9. Le code de ces boîtes de contrôle est disponible en ANNEXE I et en ANNEXE II respectivement.

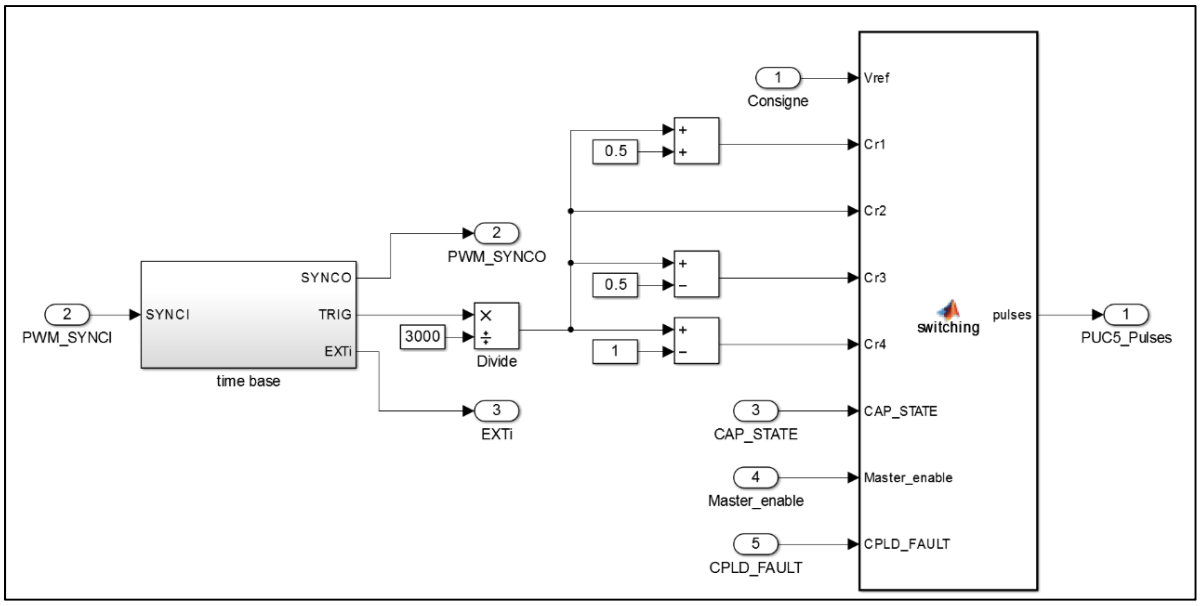


Figure 2.9 Partie de la commande intégrée dans le CPLD

CHAPITRE 3

STRATÉGIE DE CONTRÔLE

Ce chapitre est le cœur de la recherche. Les algorithmes de contrôle utilisés pour réguler une cellule seront mis de l'avant. Dans un premier temps, la modélisation du convertisseur CC-CC sera étudiée. Par la suite, il sera question du PUC5 et des méthodes de générations des impulsions de grilles, de la régulation en tension de son condensateur flottant, de la synchronisation des cellules entre elles et du partage de la puissance.

3.1 Régulation du convertisseur CC-CC

La régulation d'un hacheur bidirectionnel, en mode élévateur, est complexe. La fonction de transfert entre la tension de sortie et le rapport cyclique est non-linéaire et plusieurs éléments limitatifs doivent être pris en compte. Un rapport d'application de Texas Instrument sera utilisé comme ligne directrice pour la conception du contrôleur numérique (Bhardwaj, 2015).

3.1.1 Fonction de transfert et compensateur

Ce convertisseur possède une dynamique qui dépend beaucoup des éléments parasites. Afin de bien le modéliser, il est primordial de les inclure afin de comprendre leur impact sur le circuit. Le circuit de la Figure 3.1 est utilisé pour modéliser ce convertisseur. On y remarque, entre autres, que tous les éléments réactifs possèdent une résistance en série. A priori, les valeurs de ces résistances sont difficiles à évaluer. Les fiches techniques des fabricants donnent une bonne idée, mais cela n'inclut évidemment pas les traces de cuivre du circuit ni les soudures des composants. De plus, aucun élément parasite réactif n'est inclus, ce qui diffère beaucoup de la réalité. Malgré ces incertitudes, on soutire un bon aperçu du comportement du convertisseur à l'aide de ce modèle et il sera alors question d'ajuster le régulateur lors de la phase de réalisation. Un script Matlab est fourni avec le rapport d'application de TI (Bhardwaj. 2015) et permet de calculer la fonction de transfert du convertisseur; il est présenté en ANNEXE IX.

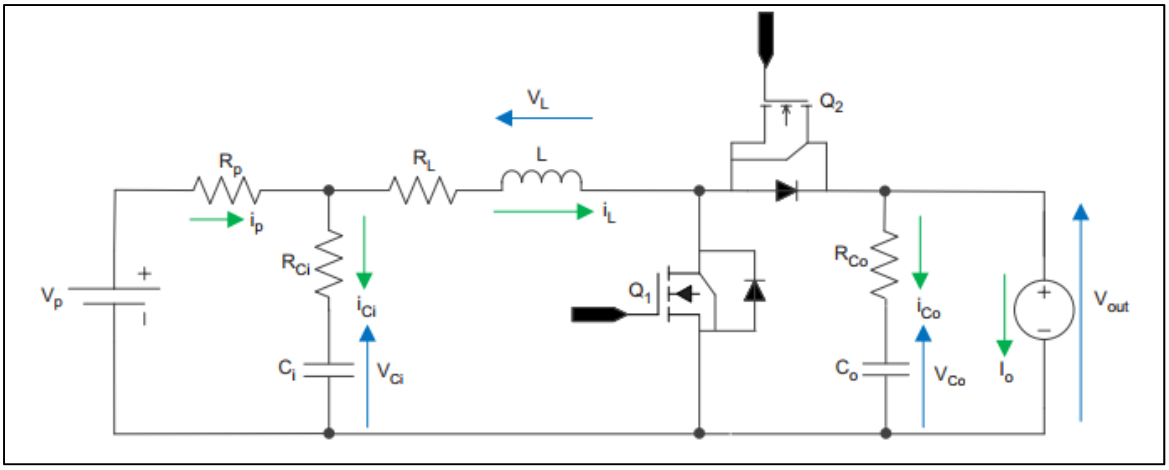


Figure 3.1 Circuit du convertisseur bidirectionnel en mode élévateur utilisé pour la modélisation

Ce script calcule plusieurs fonctions de transfert du convertisseur pour un point d'opération donné. On peut s'en servir pour voir l'influence des composants. Les paramètres utilisés sont disponibles dans le Tableau 3.1 :

Tableau 3.1 Valeurs utilisées pour la simulation du convertisseur CC-CC bidirectionnel

Paramètres	**Description**	**Valeur**
V_P	Tension de la source CC	200V
R_P	Résistance de la source CC	1Ω
C_i	Capacité d'entrée	50µF
R_{Ci}	Résistance du condensateur d'entrée	20mΩ
C_O	Capacité de sortie	50µF
R_{Co}	Résistance du condensateur de sortie	20mΩ
L	Inductance	330µH
R_L	Résistance de l'inductance	50mΩ
I_O	Courant de sortie	12.5A
D	Rapport cyclique	50%
F_{SW}	Fréquence de commutation	100KHz

Les fonctions de transfert de différentes variables de sorties peuvent alors être évaluées en fonction du rapport cyclique. Les graphiques de Bode de ces dernières sont disponibles à la Figure 3.2. On y voit le courant de l'inductance, le courant de l'entrée et la tension de sortie en fonction du rapport cyclique dans le domaine continu :

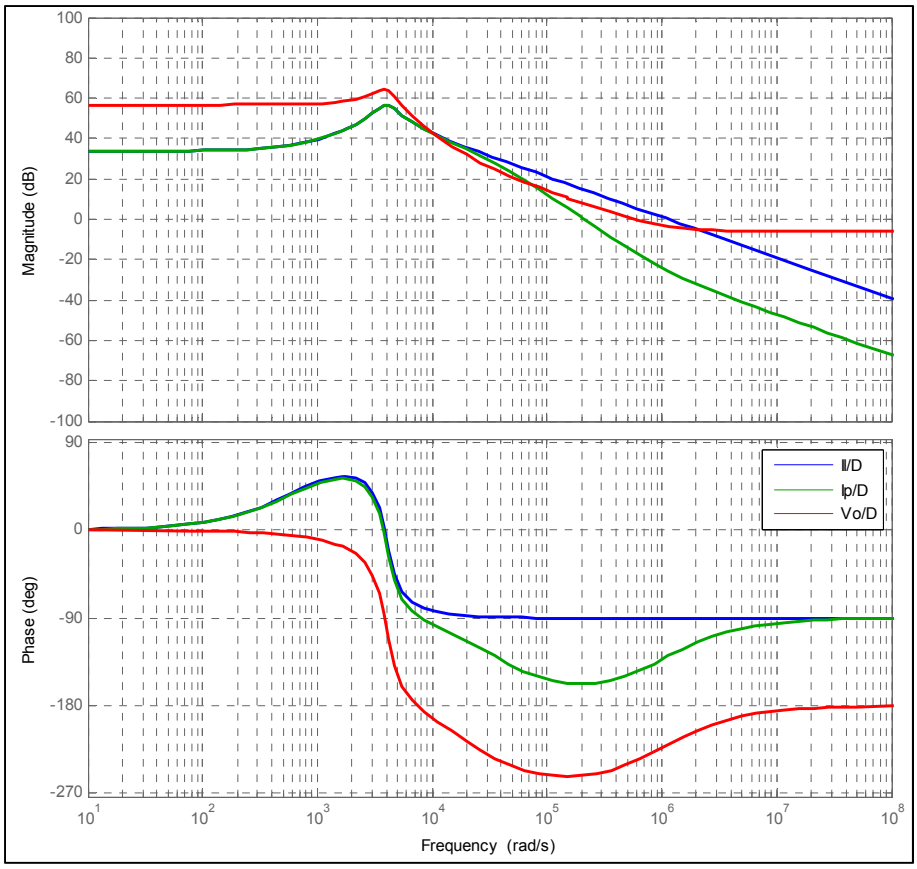


Figure 3.2 Fonctions de transfert du convertisseur CC-CC

D'emblée, on remarque que la fonction de transfert de la tension de sortie sera problématique lorsqu'on fermera la boucle, car la marge de phase sera en dessous de -180°. Un compensateur est donc nécessaire pour assurer la stabilité du système. L'outil « *sisotool* » de Matlab est utilisé dans le domaine discret pour générer la fonction de transfert stabilisant le système. Une fréquence de 25KHz est utilisée pour la boucle de contrôle qui n'est composé que d'un simple PI. La Figure 3.3 résume les nouvelles marges de phase et de gain :

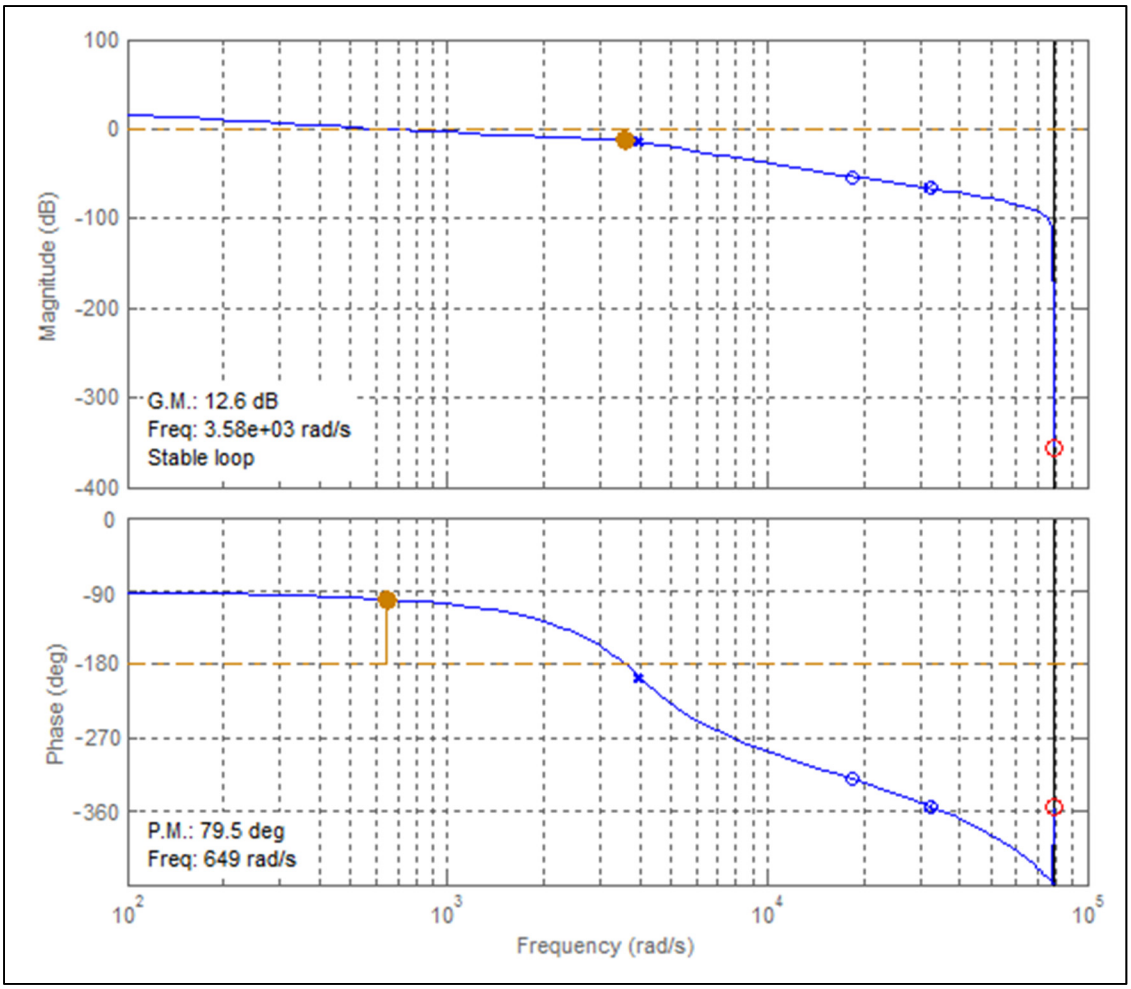


Figure 3.3 Nouvelle marge de phase et de gain de la tension de sortie en fonction du rapport cyclique

La fonction de transfert trouvée peut alors être retranscrite dans la console de Matlab et adaptée à un microcontrôleur en utilisant le théorème du retard :

$$G_C(z) = \frac{\widehat{V_O}(z)}{\hat{\mathrm{d}}(z)} = 9.5667 \cdot 10^{-6} \cdot \frac{(z+1)}{(z-1)} \qquad 3.1$$

$$\hat{\mathrm{d}}(k \cdot T) = \frac{\widehat{V_O}(k \cdot T) - \widehat{V_O}\big((k-1) \cdot T\big) - \hat{\mathrm{d}}\big((k-1) \cdot T\big) \cdot 9.5667 \cdot 10^{-6}}{9.5667 \cdot 10^{-6}} \qquad 3.2$$

3.1.2 Limiteur de crête de courant

Lors du démarrage d'un tel convertisseur, il faut l'énergiser avant de l'opérer normalement. Un mode de fonctionnement par crête de courant est donc utilisé. Pour chaque impulsion, lorsque le courant atteint une certaine valeur, l'état de commutation est réamorcé. Cette technique est très simple à implémenter étant donné l'utilisation du CPLD. Une simple bascule D et un capteur de courant sont suffisants. En modifiant le courant maximal permis, il est possible d'éviter les courants surélevés du démarrage. Cela peut aussi servir de saturation de puissance. Or, un système « *anti-windup* » est alors nécessaire dans le régulateur de tension pour limiter l'erreur maximal de l'action intégrale. La Figure 3.4 montre le modèle utilisé pour simuler l'écrêtage du courant. La bande passante des capteurs est limitée afin de voir l'effet sur la valeur de courant. Les sources disponibles sont rarement bidirectionnelles. Pour remédier à ce problème, une diode et un gros condensateur ont été utilisés afin d'émuler une source de tension.

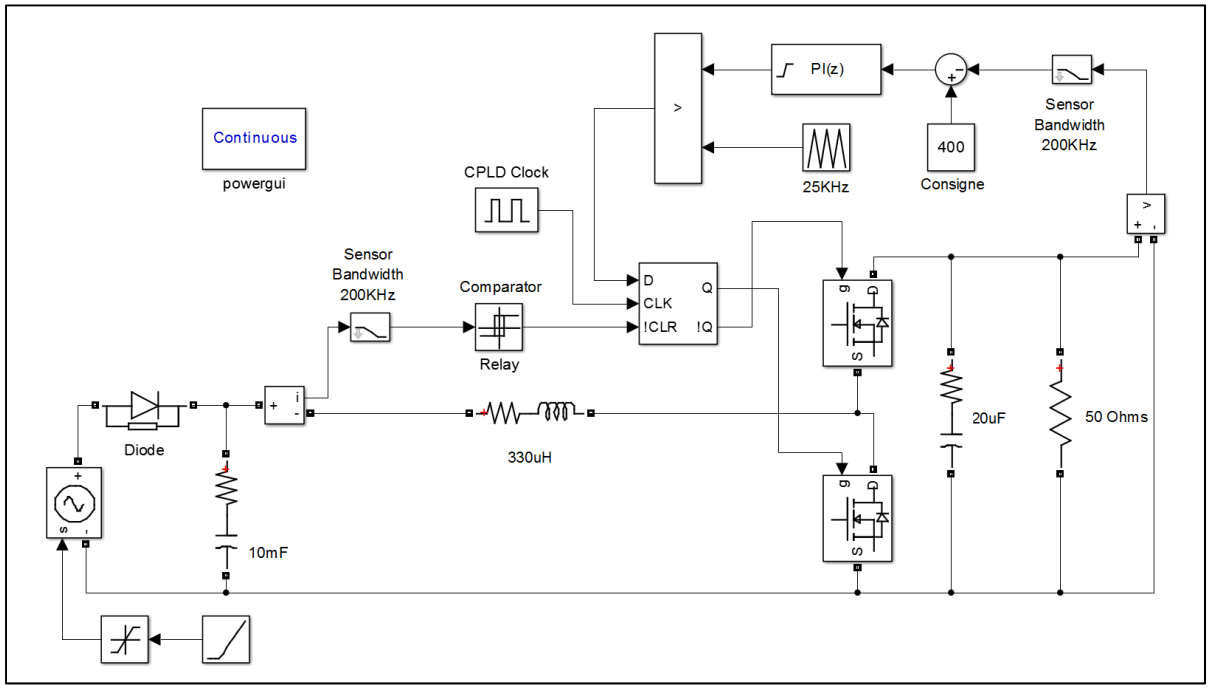


Figure 3.4 Modèle Simulink du convertisseur élévateur avec un système de limitation du courant de crête

La Figure 3.5 montre la tension d'entrée, la tension de sortie, le courant et la sortie Q de la bascule en fonction du temps. On remarque que le convertisseur de charge à courant constant avec une valeur maximale de 20A. La fréquence de l'ondulation est de la moitié de la fréquence de commutation en raison des oscillations subharmoniques (Lee, SW. 2014).

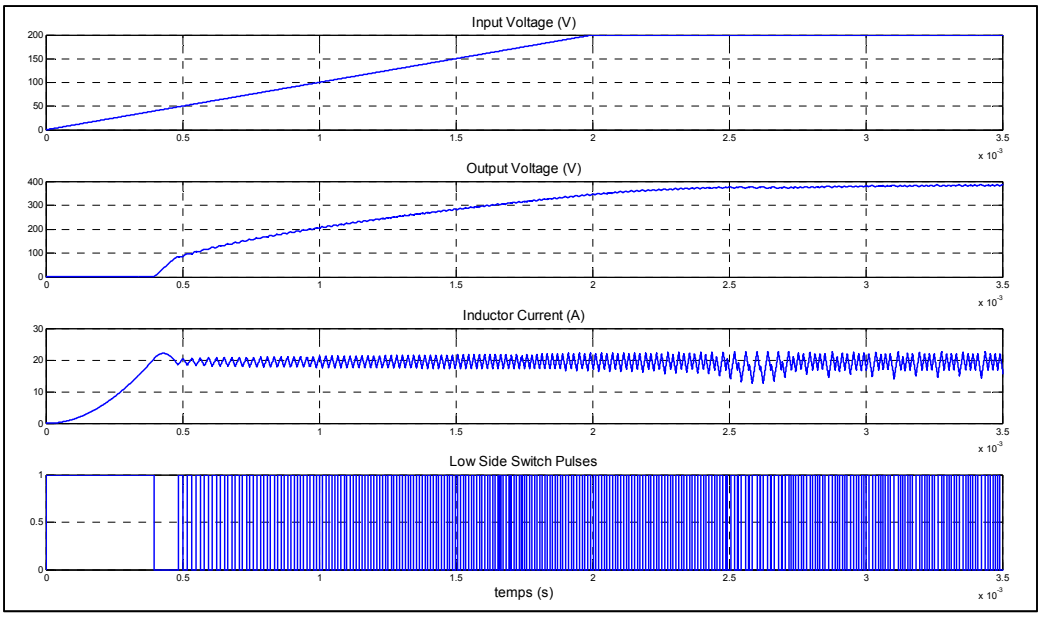


Figure 3.5 Résultats du contrôle par crête de courant

3.2 Génération des impulsions de grilles du PUC5

Trois méthodes sont disponibles pour générer les impulsions de grilles du convertisseur PUC5. Chacune d'entre elles possède leurs avantages et leurs inconvénients. La première fut développée expressément pour ce projet tandis que les deux autres sont tirées de la thèse de doctorat de Hani (Vahedi, 2016).

3.2.1 Modulation avec référence décalée

La première méthode fut développée dans le but de simplifier l'intégration du système de contrôle du PUC5 avec un système embarqué standard. Elle utilise directement la sortie des

modulateurs PWM présente dans les microcontrôleurs. Étant donné la haute fréquence de commutation, la faible fréquence d'horloge et la résolution fixe des modulateurs, la valeur finale du compte est petite. Il est donc difficile d'implanter plusieurs niveaux de porteuse, car cela diminue la résolution des comparateurs par le nombre de porteuses. En modifiant la consigne au lieu des ondes triangulaires, cela permet de garder la résolution du comparateur digital élevée. Chaque comparateur reçoit une valeur ajustée issue de la consigne sinusoïdale de l'entrée variant avec la phase de l'onde ($0 \sim 2\pi$). Un exemple des références des comparateurs est donné à la Figure 3.6. On y remarque que deux courbes. Comme mentionné précédemment, certains niveaux sont redondants. Ces deux courbes représentent les deux références pour chacun des cas.

Tableau 3.2 Références des comparateurs pour V_{REF} unitaire

ω	**$0 \sim \pi/4$**	**$\pi/4 \sim 3\pi/4$**	**$3\pi/4 \sim \pi$**	**$\pi \sim 5\pi/4$**	**$5\pi/4 \sim 7\pi/4$**	**$7\pi/4 \sim 2\pi$**
Ref.$_1$	1	1	1	0	0	0
Ref.$_{2.1}$	$2 \cdot V_{REF}$	1	$2 \cdot V_{REF}$	$2 \cdot V_{REF} + 1$	0	$2 \cdot V_{REF} + 1$
Ref.$_{2.2}$	0	$2 \cdot V_{REF} - 1$	0	1	$2 \cdot V_{REF} + 2$	1
Ref.$_{3.1}$	0	$2 \cdot V_{REF} - 1$	0	1	$2 \cdot V_{REF} + 2$	1
Ref.$_{3.2}$	$2 \cdot V_{REF}$	1	$2 \cdot V_{REF}$	$2 \cdot V_{REF} + 1$	0	$2 \cdot V_{REF} + 1$

Le Tableau 3.2 montre les consignes envoyées aux trois comparateurs : la sortie de ces comparateurs est alors directement connectée aux interrupteurs de puissance, sans aucune logique externe, ce qui permet d'effectuer tout le traitement de la modulation avec les périphériques du microcontrôleur. La synchronisation des porteuses triangulaires est alors cruciale afin que cette technique fonctionne correctement. Le pulse de synchronisation doit être envoyé à tous les modulateurs PWM en même temps. Ils ne peuvent pas être connectés en série, car il y aurait un petit délai entre chaque compteur d'un coup d'horloge. Des bogues peuvent alors se produire lors du réamorçage des compteurs et être reflétés sur la sortie.

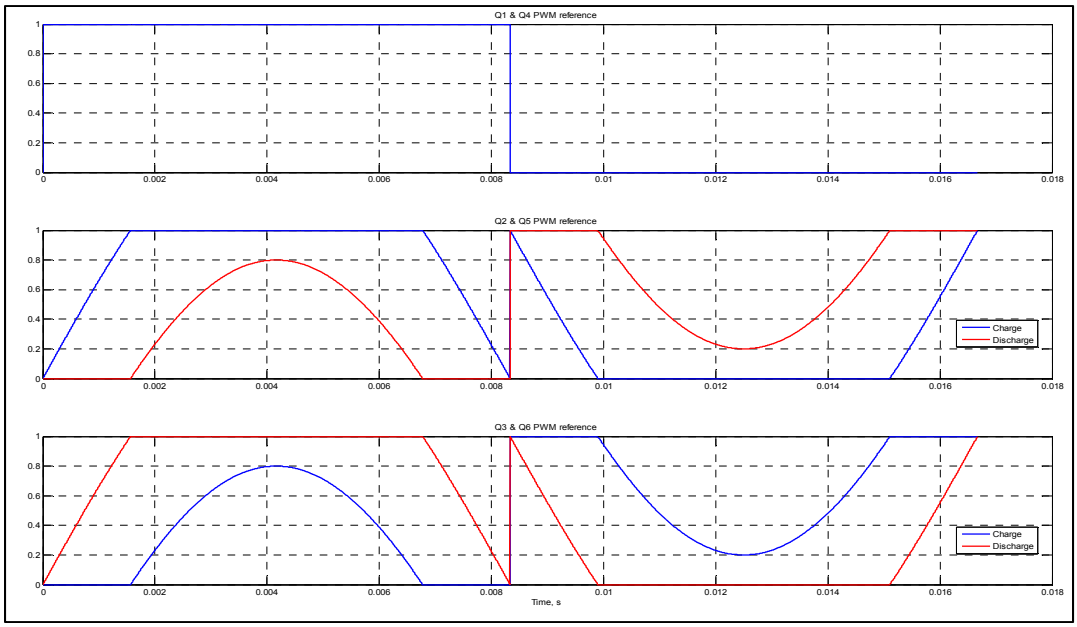


Figure 3.6 Consignes des trois modulateurs PWM pour une référence sinusoïdale de 0.8pu

3.2.2 Modulation avec porteuses décalées

La deuxième méthode consiste à utiliser plusieurs porteuses triangulaires situées à des amplitudes différentes. Il est difficile de l'implémenter dans un microcontrôleur standard, mais elle s'implémente aisément avec de la logique programmable (CPLD, FPGA, etc.). Plusieurs dispositions peuvent être utilisées, celles-ci sont montrées à la Figure 3.7. La plus simple d'entre elles est bien évidemment celle où les porteuses sont synchronisées (a), étant donné qu'il n'y a qu'un décalage vertical entre les différentes ondes triangulaires. Cela fait en sorte que son implémentation ne requiert qu'un seul compteur. Les pulses de commutation sont par la suite générés en comparant les ondes triangulaires avec le signal de référence comme dans un modulateur conventionnel. Cependant, des circuits logiques doivent compléter l'interface entre les pulses des comparateurs et les transistors. Un exemple MATLAB de cette technique est présent à l'ANNEXE II. La fonction présentée reçoit en argument la sortie des comparateurs et l'interprète pour déterminer l'état de commutation. Puis, la sortie est rafraîchie avec ces valeurs.

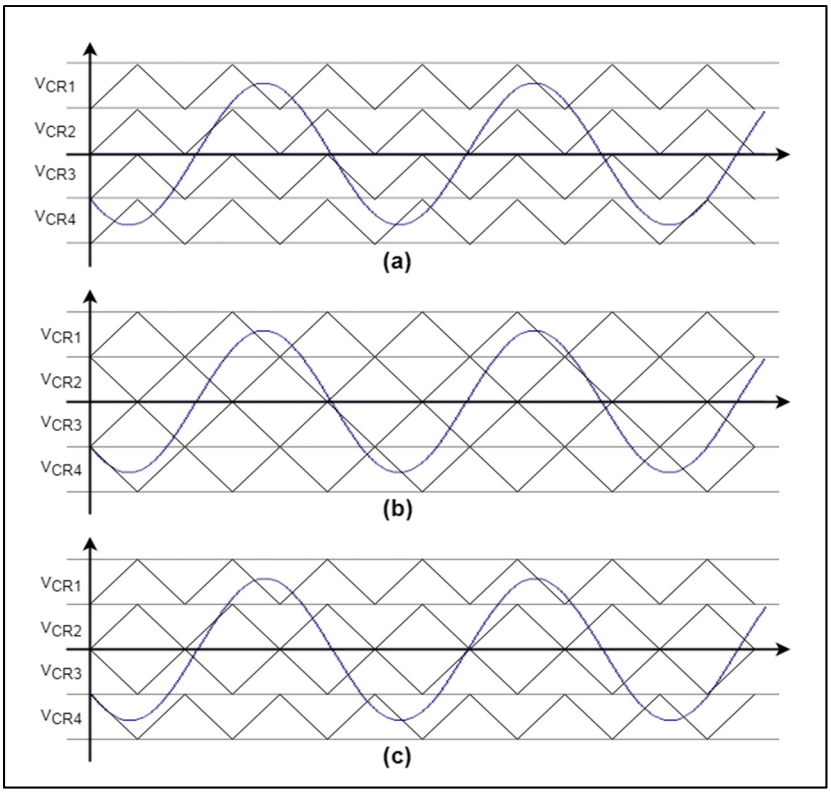


Figure 3.7 Disposition des porteuses: a) disposition en phase (IPD), b) disposition avec phase opposée et alternative, c) disposition avec phase opposée
Tirée de Vahedi (2016, p. 33)

3.2.3 Modulation avec porteuses déphasées

Cette dernière technique de modulation est la moins populaire, car c'est elle qui nécessite le plus d'ajustement. Chaque porteuse est déphasée également entre elles selon (3.3) où k représente le nombre de niveaux :

$$\theta_i = \frac{360°}{k-1} \tag{3.3}$$

Pour un convertisseur de cinq niveaux, quatre porteuses sont nécessaires ce qui représente quatre compteurs et quatre comparateurs. Les impulsions de grilles sont générées, comme la

méthode précédente, avec la sortie des comparateurs et des circuits logiques. La Figure 3.8 montre de manière graphique les porteuses triangulaires déphasées pour un système à sept niveaux.

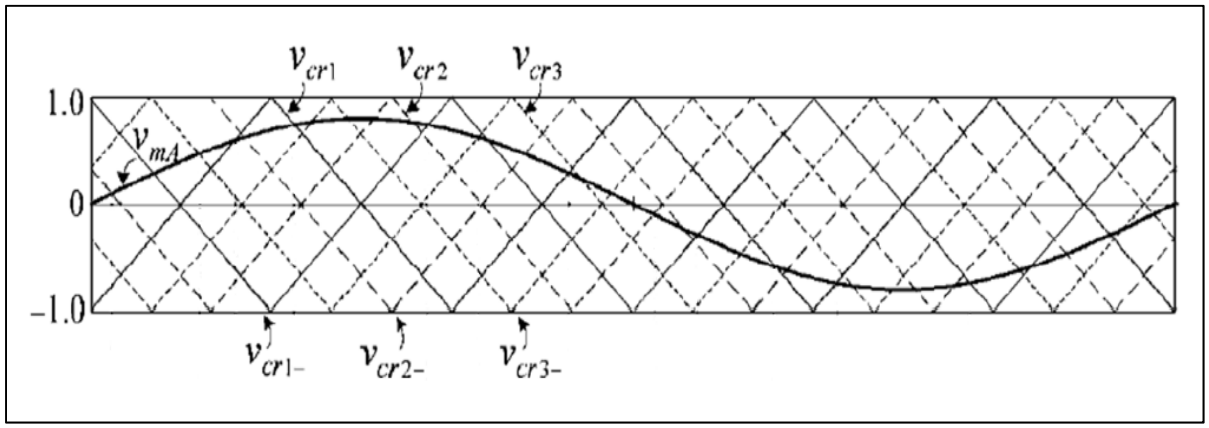


Figure 3.8 Porteuse déphasée pour un convertisseur de sept niveaux
Tirée de Vahedi (2016, p. 34)

Cette méthode requiert des compteurs très précis et peut devenir vite problématique en pratique, car les délais permis ne peuvent être que discrets. Or, elle peut être implémentée aisément dans un contrôleur standard comme le STM32F446 et le TMS320F28355. Ceux-ci sont capables de générer des impulsions de synchronisation en série entre les compteurs. Cela permet alors, comme avec la première méthode, de diminuer la quantité de calcul et d'utiliser la puissance des périphériques. Cependant, de la logique externe est encore nécessaire, comme avec la deuxième méthode.

3.3 Régulation de la tension du condensateur flottant

La régulation des tensions des condensateurs flottants est la clef des convertisseurs de plus de trois niveaux. En général, c'est eux qui permettent d'atteindre les niveaux de tension intermédiaires lorsqu'une seule source de tension est utilisée. La régulation de sa tension est alors très importante, elle est directement reliée à la tension de la sortie. Une ondulation de 5%

est utilisée pour estimer la capacité nécessaire. Étant donné la nature inductive de la charge, le courant est considéré constant durant le temps d'une commutation. Le courant maximal dans le condensateur flottant est atteint aux crêtes de l'onde sinusoïdale. Or, le condensateur flottant n'est utilisé que pour les niveaux intermédiaires. La moitié de l'amplitude crête est une bonne approximation :

$$i_C(t) = C \cdot \frac{d(V_C)}{dt} \Rightarrow I_C = C \cdot \frac{\Delta V_C}{\Delta t} \tag{3.4}$$

$$C = \frac{T_{SW} \cdot I_{LOAD_{PK}}}{\Delta V_{C\,(max)} \cdot 2} \tag{3.5}$$

Comme il a été mentionné dans le CHAPITRE 2, deux combinaisons d'interrupteurs permettent de générer les niveaux de tension intermédiaires. Dans un cas, le courant traverse le condensateur et augmente sa tension et vice-versa. Un contrôle par hystérésis est alors utilisé pour réguler la tension de ce condensateur. L'ondulation de tension dépend alors aussi de la bande passante du capteur et du contrôleur. Le changement de l'état de charge à l'état de décharge du condensateur peut prendre plus d'un cycle de commutation et augmenter l'ondulation de tension du condensateur.

3.4 Synchronisation

La synchronisation des éléments commutatifs dans un convertisseur de puissance est aussi importante que la synchronisation de l'horloge dans un circuit numérique, car les fronts d'impulsion peuvent générer beaucoup de bruit sur les mesures analogiques. Dans le cas présent, la synchronisation au sein d'une cellule et la synchronisation entre les cellules sont toutes les deux importantes. Une attention particulière leur sera attribuée.

3.4.1 Synchronisation dans un convertisseur

La Figure 3.9 montre l'interconnexion des éléments entre eux au sein du prototype d'une cellule. Une base temporelle principale est générée avec le CPLD afin d'avoir le plus de flexibilité et de résolution possible. La valeur de ce compteur alimente alors un modulateur à porteuses décalées qui permet de générer les impulsions de grille du PUC5 au sein du CPLD. Un autre signal est généré à partir de la base temporelle principale et envoyé au microcontrôleur. Il sert principalement à synchroniser le modulateur PWM du convertisseur élévateur avec le PUC5, mais aussi à synchroniser les mesures analogiques et les calculs. Cette dernière action est absolument essentielle au bon fonctionnement d'un convertisseur contrôlé numériquement. C'est souvent pour ce dernier point, d'ailleurs, que les contrôleurs digitaux ne sont pas utilisés à des fréquences de commutation élevées : la fenêtre temporelle pour effectuer les lectures analogiques devient très petite.

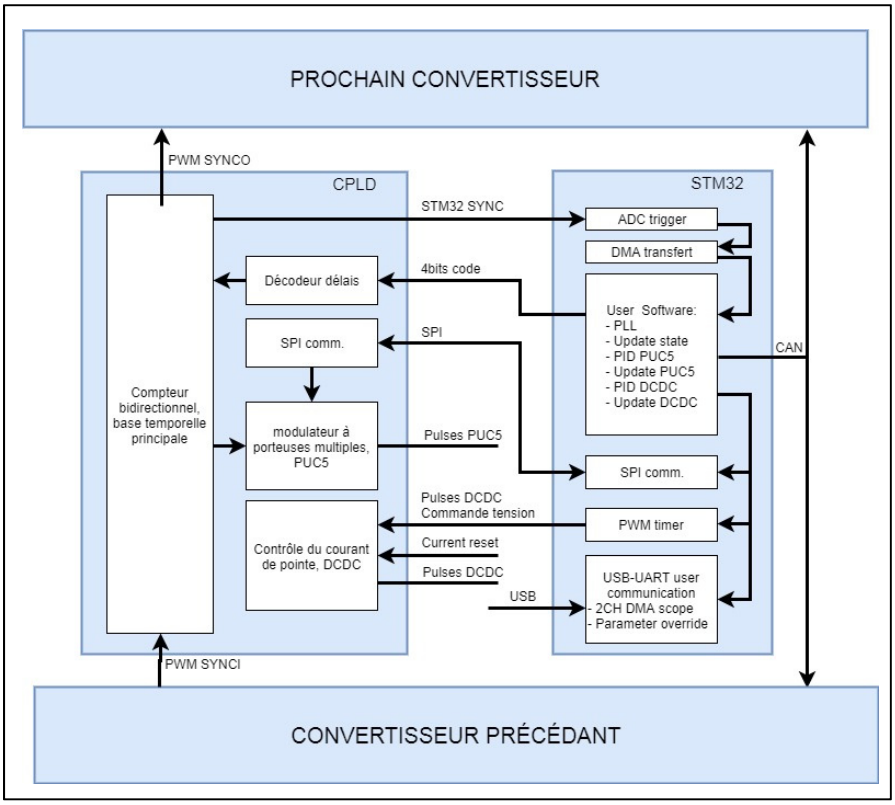


Figure 3.9 Schéma de synchronisation des convertisseurs

Lorsque le convertisseur analogique à digital a terminé son acquisition, le contrôleur de mémoire DMA transfert les valeurs dans la mémoire usagée et génère une interruption dont la priorité est absolue. C'est dans cette interruption que la majorité des algorithmes sont calculés. De cette manière, le programme ne s'effectue toujours qu'une seule fois par donnée analogique et ce, avec un pas de calcul constant. À la fin du programme, la nouvelle commande du PUC5 est envoyée par SPI au CPLD qui rafraîchit l'entrée du modulateur au prochain pulse de synchronisation. Cela introduit un délai d'un pas de calcul pour la commande du PUC5, ce qui n'est pas idéal.

3.4.2 Synchronisation entre les convertisseurs

Le principe de parallélisations proposé repose entièrement sur la synchronisation des convertisseurs entre eux, autant au niveau de la référence 60Hz qu'au niveau de la commutation des transistors. Tous les convertisseurs connectés au PCC doivent se synchroniser précisément à la même référence sinusoïdale afin d'annuler, le plus possible, les courants de circulations 60Hz.

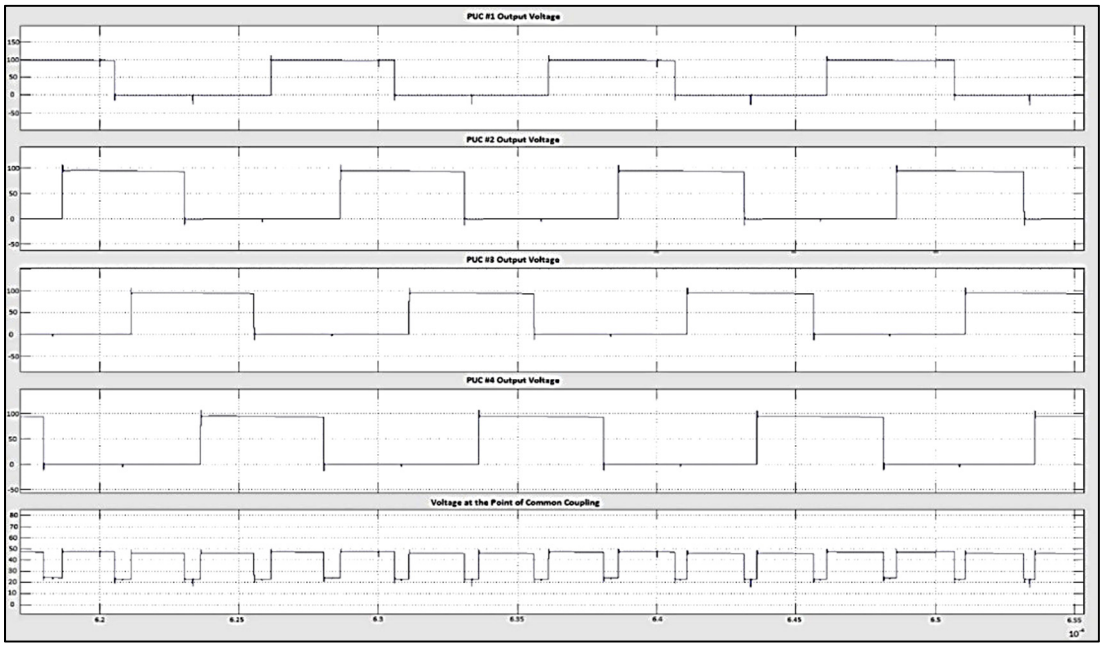


Figure 3.10 Tension de sortie de chacune des cellules et tension résultante au PCC

Les courants de circulation à haute fréquence, quant à eux, sont régulés par les délais de porteuses. C'est aussi grâce à eux qu'une forme d'onde multiniveau peut être obtenue au PCC. La Figure 3.10 montre la tension résultante à ce point pour la simulation de quatre convertisseurs en parallèles avec un délai de $T_{SW}/4$. On remarque en premier lieu que la fréquence au PCC est multipliée par le nombre de convertisseurs, ce qui diminue énormément l'inductance du filtre de sortie. On y observe aussi que l'amplitude de la tension au PCC est bel et bien régit par (2.6). Présentement, chaque convertisseur est synchronisé en série comme le montre la Figure 3.9 et utilise des compteurs bidirectionnels. Au démarrage, cela prend un certain temps afin que le pulse de synchronisation se propage entre les convertisseurs. La Figure 3.11 montre un exemple de ce délai.

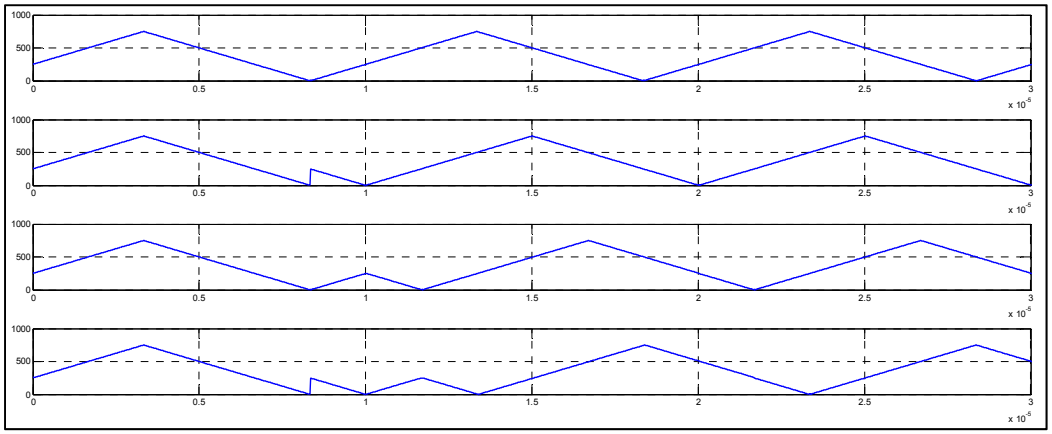


Figure 3.11 Propagation du signal de synchronisation au sein de la base temporelle des convertisseurs

Les modulateurs PWM se synchronisent avec un réamorçage de la valeur de leur registre. En modifiant la valeur de réamorçage, on peut ajuster avec précision le délai entre chaque cellule. Cette technique est avantageuse du côté logiciel, car la seule information qui doit être transmise entre les convertisseurs est le nombre de cellules connectés au PCC. Cette valeur est alors traitée afin d'obtenir le délai de porteuse associé. Une synchronisation en parallèle serait évidemment plus avantageuse au niveau de la gestion des fautes. Or, dans le cas d'une

synchronisation en parallèle, il est nécessaire d'associé chaque convertisseur à un délai de porteuse donné. Cela complexifie grandement la communication entre les cellules.

3.4.3 Délai de porteuse optimal

Le spectre de la tension résultante au PCC est grandement affecté par la valeur du délai et par le nombre de convertisseurs connectés ensemble. Considérons une raie spectrale représentant la fréquence de commutation $f_{SW}(t)$. Il est alors possible d'analyser l'impact du délai sur le spectre par l'entremise du théorème du décalage temporel de Laplace :

$$f_{SW}(t-a) \Leftrightarrow F_{SW}(s) \cdot e^{-a \cdot s} \tag{3.6}$$

Cette équation montre que l'amplitude du signal ne change pas, mais que sa phase varie selon e^{-as}. Il est alors possible de déterminer le délai optimal qui annule les raies de commutation de chaque convertisseur entre elles :

$$e^{-a \cdot s} = e^{-j \cdot T_D \cdot 2 \cdot \pi \cdot f_{SW}} = e^{-j \cdot \frac{T_D}{T_{SW}} \cdot 2 \cdot \pi} \tag{3.7}$$

$$T_D = \frac{T_{SW}}{N} \tag{3.8}$$

$$f_{SW}\left(t - \frac{T_{SW}}{N}\right) \Leftrightarrow F_{SW}(s) \cdot e^{-j \cdot \frac{2 \cdot \pi}{N}} \tag{3.9}$$

On remarque alors que la somme complexe des raies s'annulera si le délai entre les convertisseurs fait en sorte que les raies soient disposées également autour de 2π radians. La Figure 3.12 montre la disposition des raies spectrales de tension de chaque convertisseur sur un graphique en trois dimensions. On remarque alors que les multiples pairs de la fréquence de commutation ne sont pas disposés également sur 2π mais bien sur 4π radians, ce qui les disposent à π radians l'une par rapport à l'autre. On remarque aussi que les raies à haute fréquence ne sont pas nécessairement en phase avec la fréquence du réseau à 60Hz.

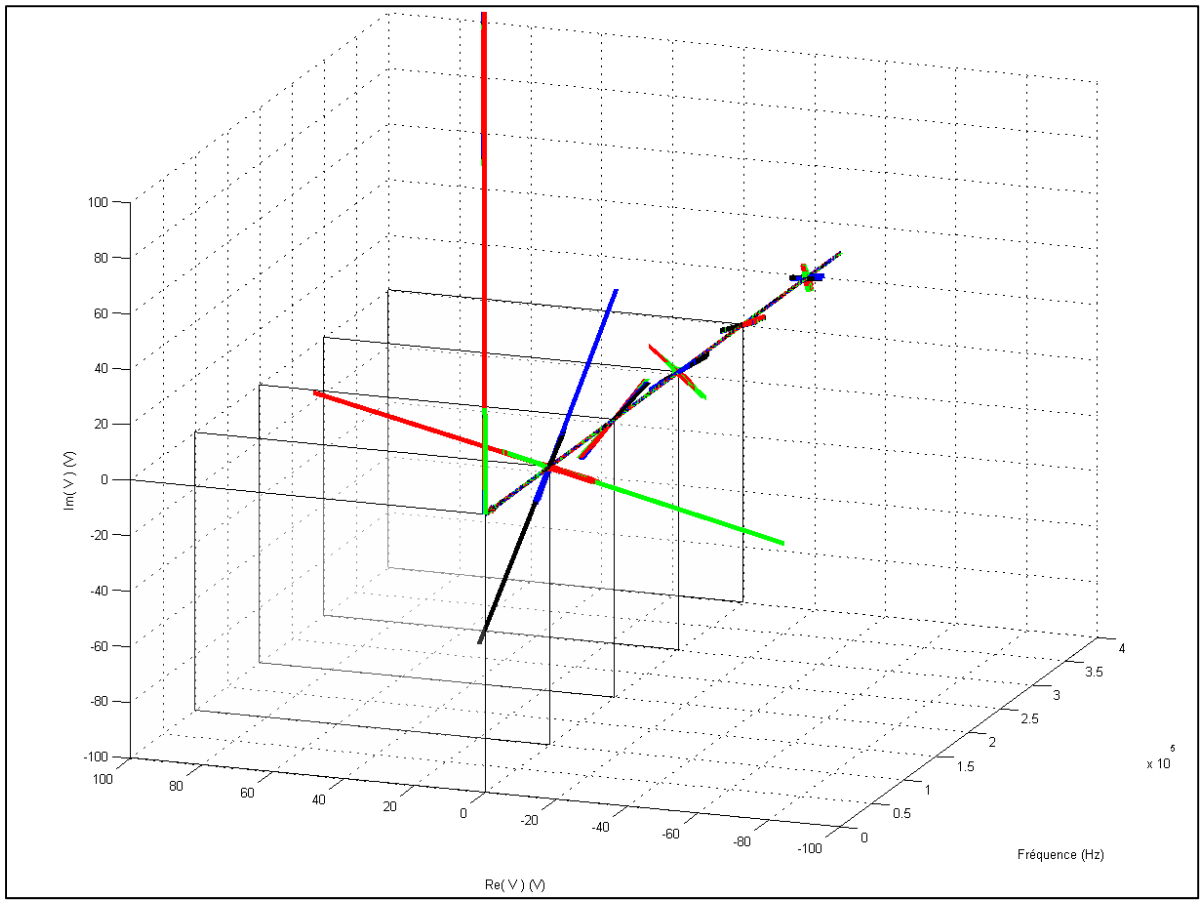


Figure 3.12 Superposition des spectres de la tension de la sortie de chaque convertisseur sur le plan complexe

La Figure 3.13 montre la tension de sortie de chaque convertisseur et le résultat au point de couplage commun CA. On remarque d'emblée que le signal au PCC possède beaucoup plus de niveaux qu'à la sortie des convertisseurs. Il est aussi possible de confirmer l'annulation des harmoniques de commutation au PCC avec le spectre présenté à la Figure 3.14. Le THD 60Hz de ce signal est très faible et ce, pour aussi peu que quatre convertisseurs en parallèle. Sa valeur est de 6.62% ce qui s'approche du THD en tension du réseau électrique. De plus, la raie résultante, qui est de très faible intensité, est située à N fois la fréquence de commutation

originale, ce qui facilite le filtrage de sortie. Une petite bobine et un petit condensateur peuvent être utilisés ce qui sauve de l'argent et de la masse.

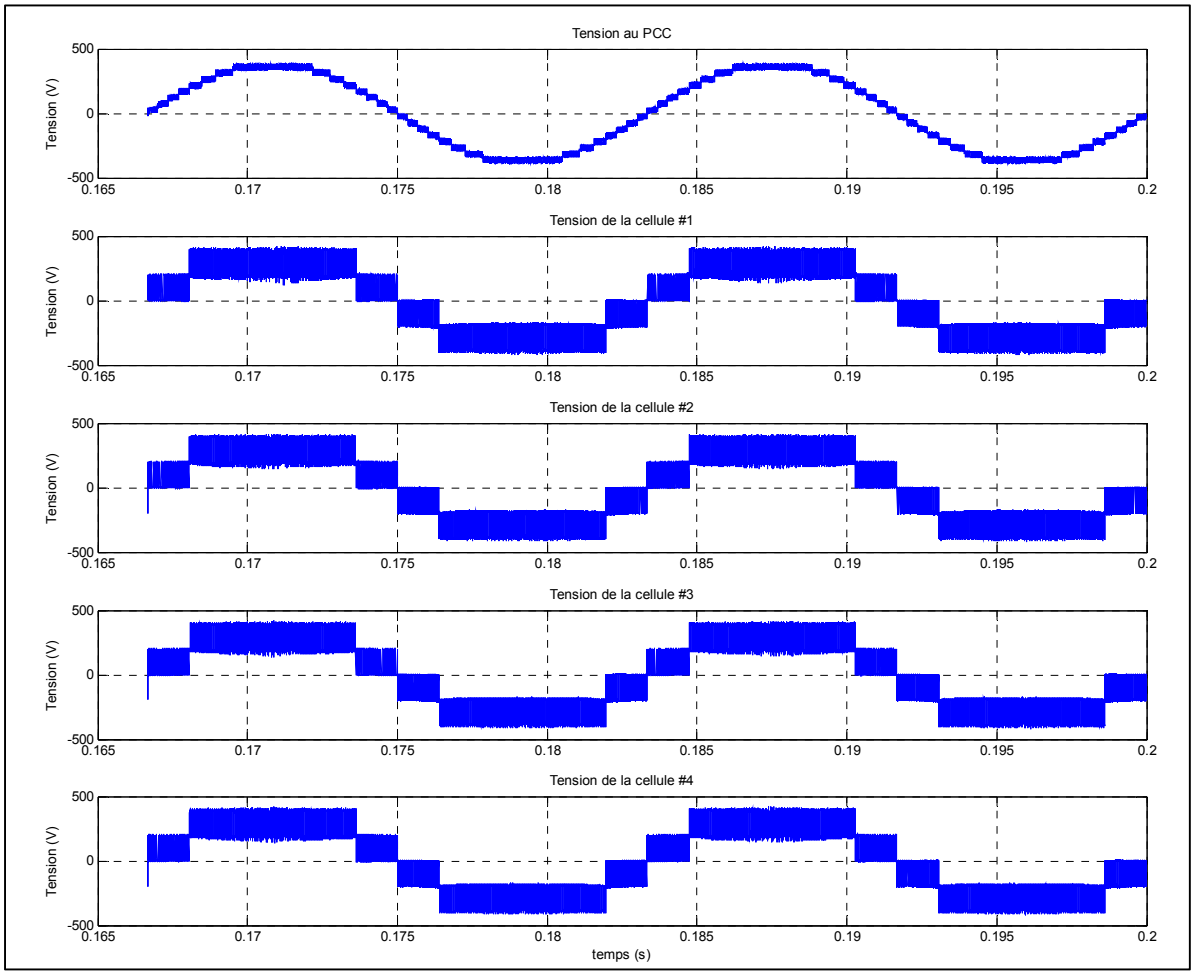


Figure 3.13 Tension au point de couplage commun CA et tension de sortie de chaque convertisseur en fonction du temps

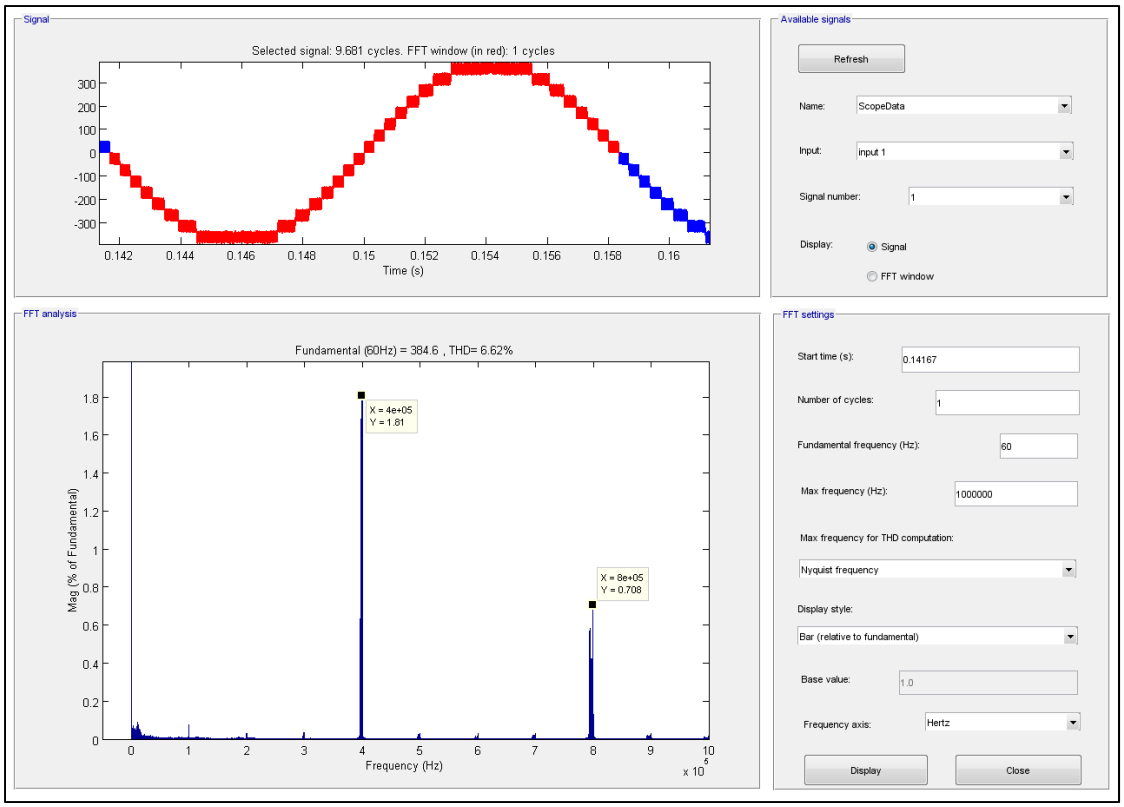


Figure 3.14 Spectre de la tension au point de couplage commun CA avec quatre convertisseurs

3.5 Transfert et partage de puissance entre les convertisseurs

Comme dans la plupart des systèmes parallèles, une inductance interbranche est nécessaire afin de diminuer les courants de circulation à haute fréquence entre les cellules. À la lueur de la Figure 3.12, qui représente le spectre de tension des quatre cellules, il est facile de s'imaginer l'allure du transfert énergétique entre les convertisseurs si on place une impédance entre ceux-ci. Un courant proportionnel à l'inductance circulera alors entre les convertisseurs à la fréquence de commutation et à ses harmoniques. Si un convertisseur voit sa tension diminuer par rapport aux autres, un plus grand courant à haute fréquence le chargera. En d'autres mots, un balancement à haute fréquence entre les convertisseurs contribue à ce que la tension de chacun d'entre eux soit identique en tout temps. Cela mène à un partage naturel de la charge entre les convertisseurs. Évidemment, ce principe fonctionne bien en théorie, mais dans la

pratique, d'autres facteurs peuvent affecter le système comme, par exemple, un déphasage entre les références 60Hz ou des différences entre les mesures analogiques des cellules.

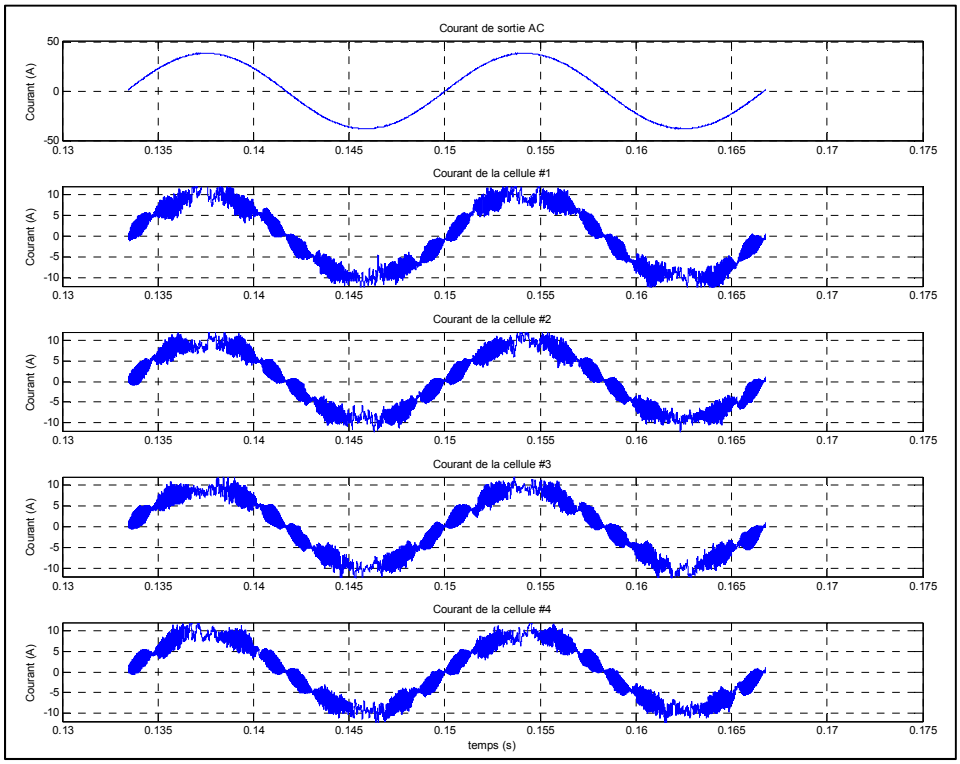


Figure 3.15 Courant de la charge et des convertisseurs en fonction du temps

Cet aspect est très intéressant, car en plus de pouvoir contrôler l'amplitude des courants de circulation, cela contribue à une distribution uniforme du courant de la charge entre les convertisseurs comme le montre la Figure 3.15. On remarque sur celle-ci que le courant de chaque cellule est semblable et que le courant de circulation est d'une amplitude donnée. Cette amplitude est gérée par l'impédance entre les convertisseurs, l'inductance interbranche, et l'amplitude de la raie de tension. La Figure 3.16 montre la superposition des spectres du courant à la sortie de chaque convertisseur, similairement à la Figure 3.12. L'amplitude de chacune des raies à 60Hz est similaire et confirme que la charge est bien répartie. Or, on remarque aussi les raies à la fréquence de commutation. Un zoom de ces raies est disponible à la Figure 3.17.

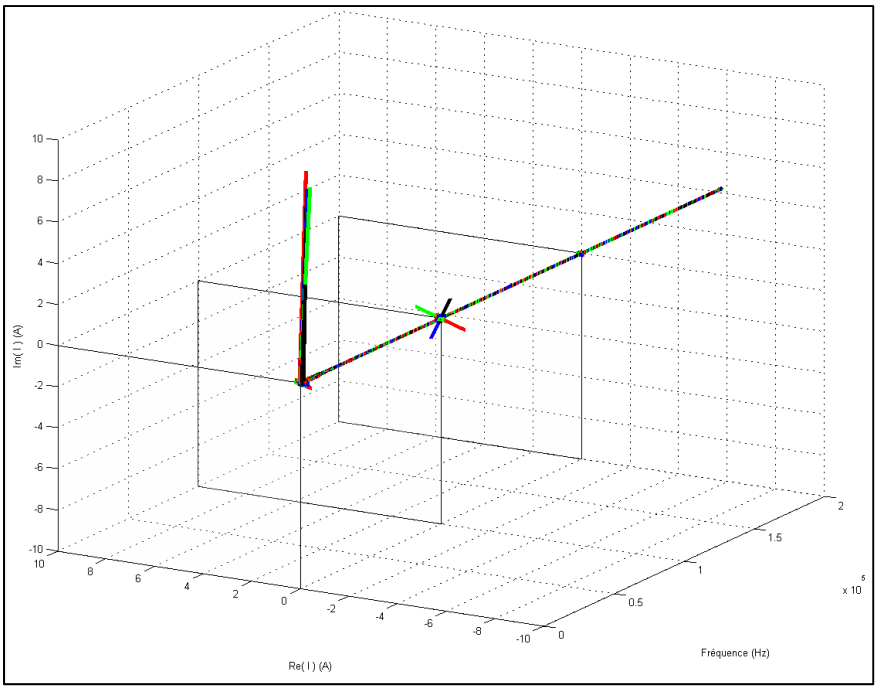


Figure 3.16 Superposition des spectres du courant de chaque convertisseur

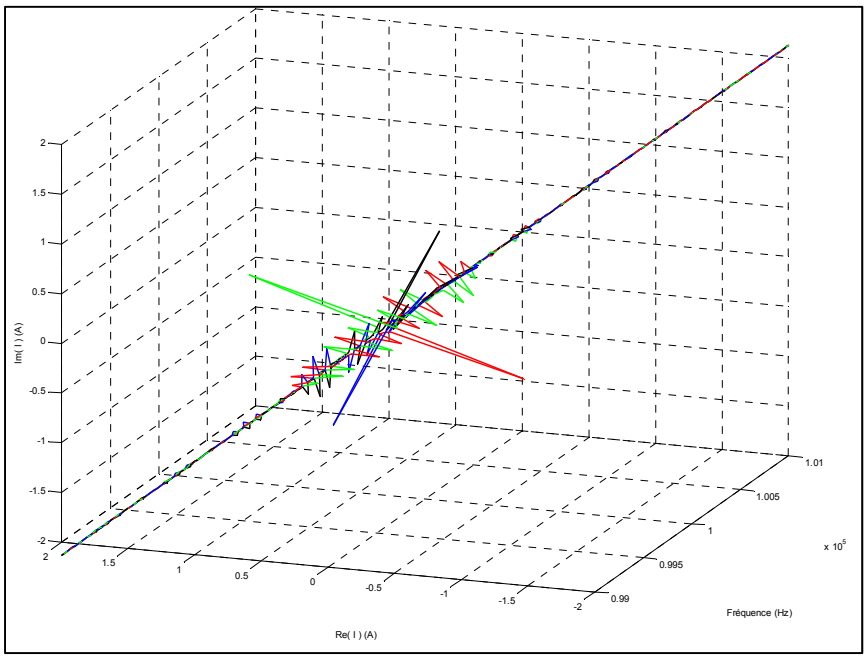


Figure 3.17 Zoom sur la fréquence de commutation

3.6 Cellules flottantes

Cette méthode de parallélisation permet aussi que des cellules connectées en parallèle ne soient pas alimentées du côté CC. C'est-à-dire que la ou les cellules fonctionnent comme une sorte de redresseur tout en permettant de conserver la forme d'onde multiniveau au PCC. Pour ce faire, il ne suffit que d'inverser la méthode de charge du condensateur flottant : lorsque sa tension est plus élevée que la moitié de l'entrée, au lieu de faire en sorte que le courant entre par sa borne négative, on inverse le signal afin qu'il entre par sa borne positive. De cette manière, le convertisseur échange un petit peu d'énergie avec les autres convertisseurs ce qui fait en sorte qu'il se charge et que la forme d'onde multiniveau au PCC ne soit pas affectée. La Figure 3.18 montre le courant de chaque cellule individuellement ainsi que le courant de la charge. On remarque que le courant effectif de la charge se sépare entre chaque cellule alimentée et que le convertisseur flottant échange beaucoup de courant réactif à haute

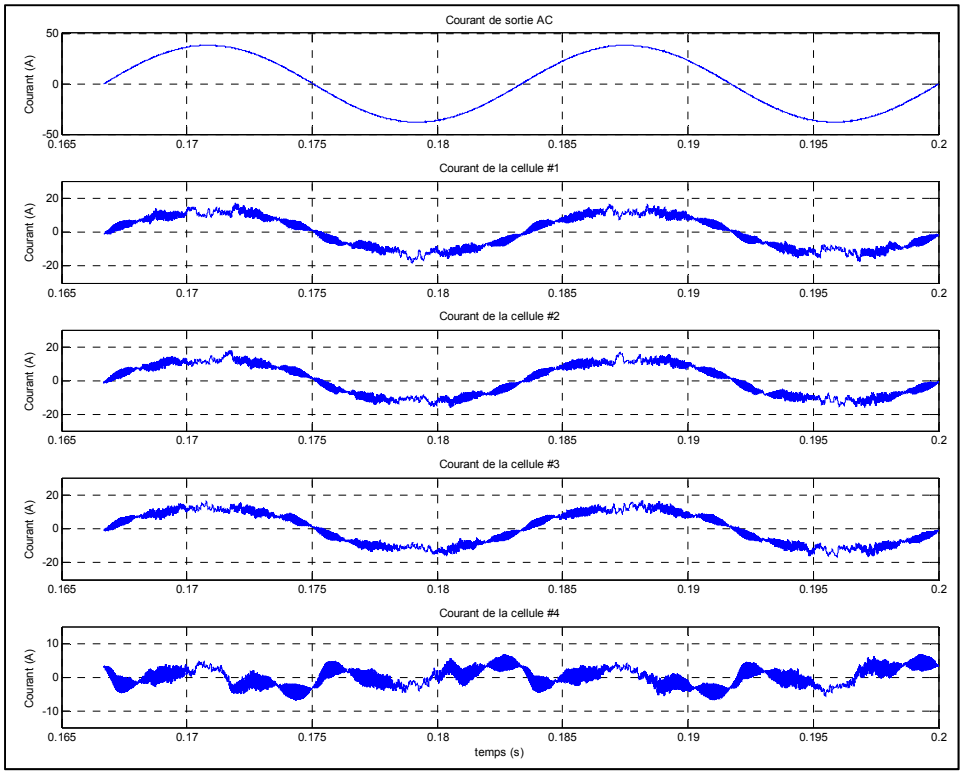


Figure 3.18 Courant de la charge et des convertisseurs en fonction du temps avec un convertisseur flottant

fréquence avec ces derniers. Dans le domaine des fréquences, c'est-à-dire dans la Figure 3.19, l'amplitude de la raie à haute fréquence n'est pas affectée par la présence d'un convertisseur flottant. Or, à basse fréquence, plusieurs nouvelles raies déphasées et d'amplitude différente sont aperçues aux bornes du convertisseur flottant. Le spectre d'une cellule étant alimentée est montré à la Figure 3.20. On ne remarque pas beaucoup de différence entre ce cas et l'autre où tous les modules sont alimentés appart l'amplitude 60Hz. Il est bon de noter que les deux autres convertisseurs qui sont alimentés possèdent le même spectre. Cependant, en analysant de plus près et de manière individuelle le spectre du convertisseur flottant, on remarque que la raie à basse fréquence est un harmonique du courant du réseau. La Figure 3.21 montre l'amplitude du spectre jusqu'à 1MHz et la Figure 3.22 zoome sur les raies à basse fréquence.

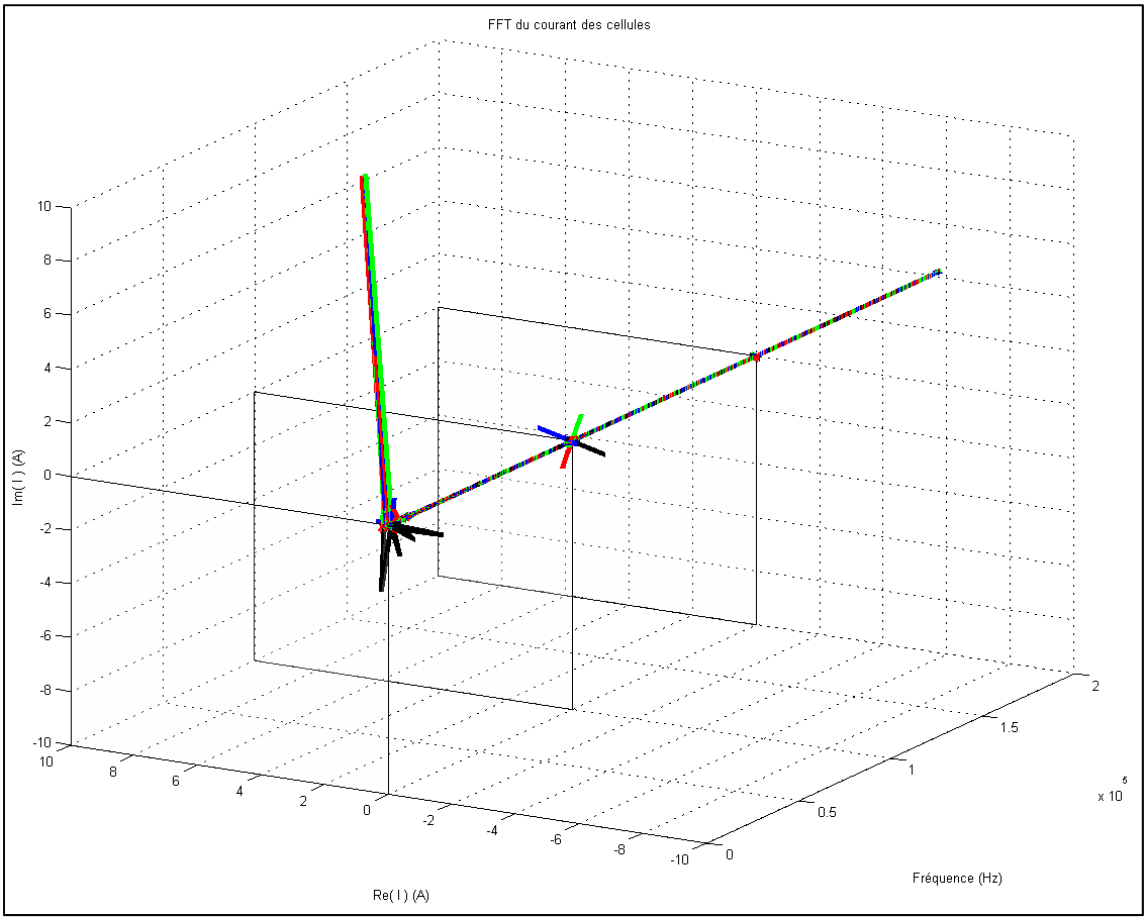


Figure 3.19 Superposition des spectres du courant de chaque convertisseur avec un convertisseur flottant

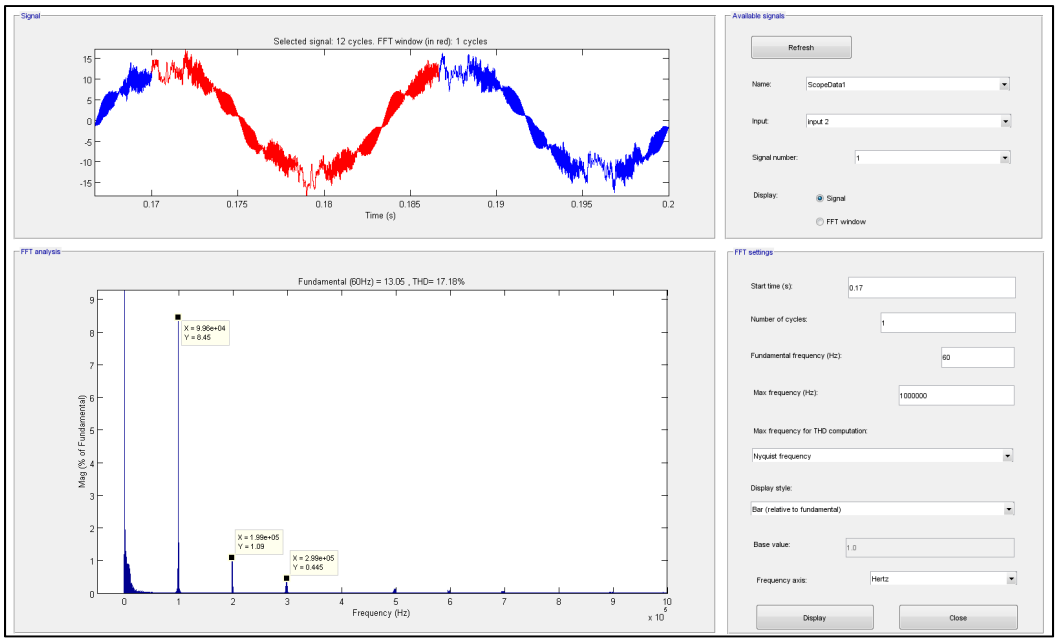


Figure 3.20 Spectre du courant à la sortie d'une cellule lorsqu'un seul autre convertisseur est flottant

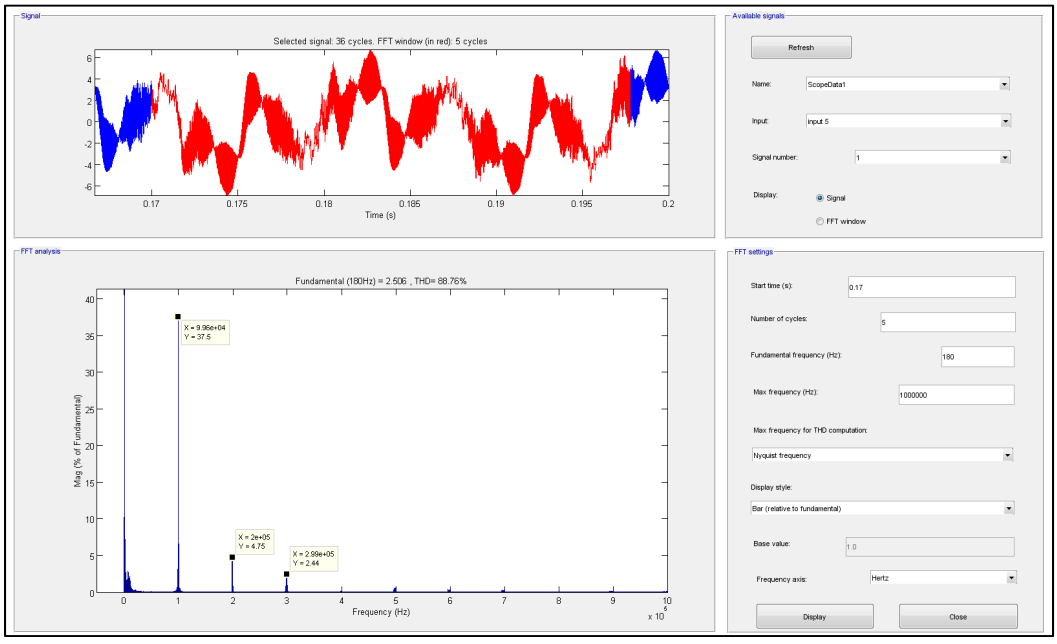


Figure 3.21 Spectre du courant à la sortie d'un convertisseur flottant lorsqu'un seul convertisseur est flottant

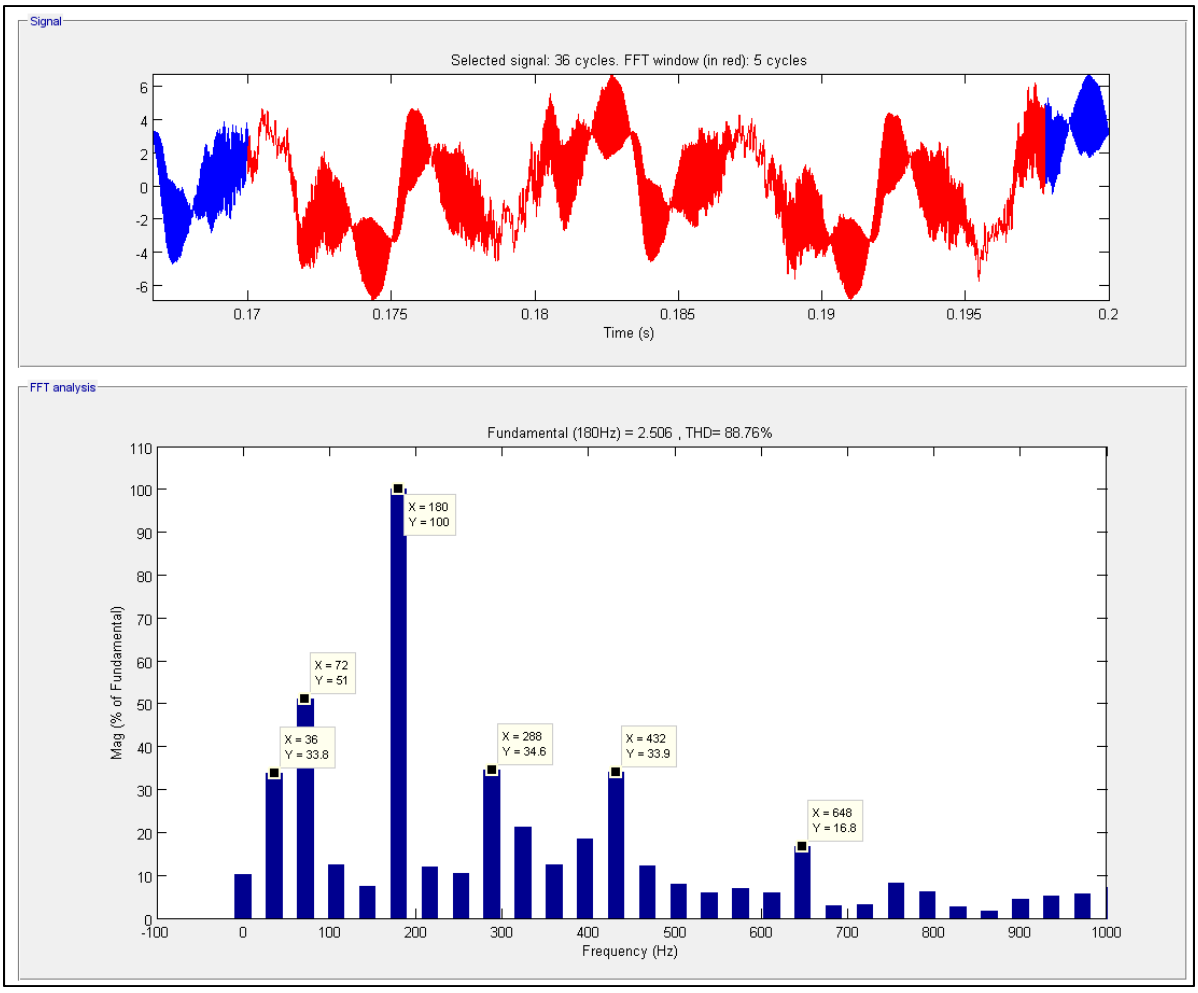


Figure 3.22 Zoom sur les basses fréquences du spectre du courant à la sortie d'un convertisseur flottant lorsqu'il n'y a qu'un seul convertisseur flottant

Évidemment, cette méthode ne serait pas avantageuse si le courant de la charge se détériorait d'une quelconque manière. Or, en analysant le THD du courant, présent à la Figure 3.24, et par comparaison avec celui d'un système complètement alimenté à la Figure 3.23, on remarque que la qualité du courant n'est pas vraiment affectée : 0.67% vs 0.73%.

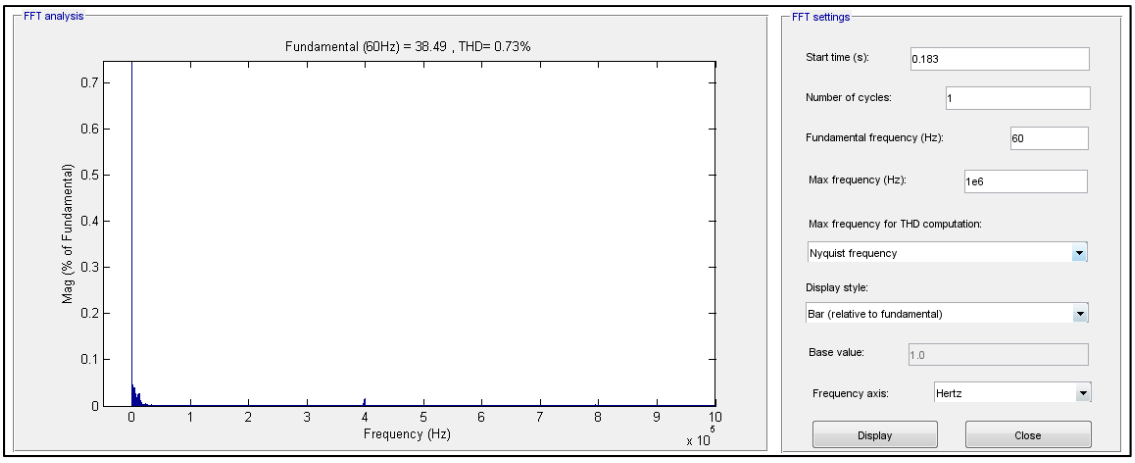


Figure 3.23 Spectre du courant de la charge lorsque tous les convertisseurs sont alimentés

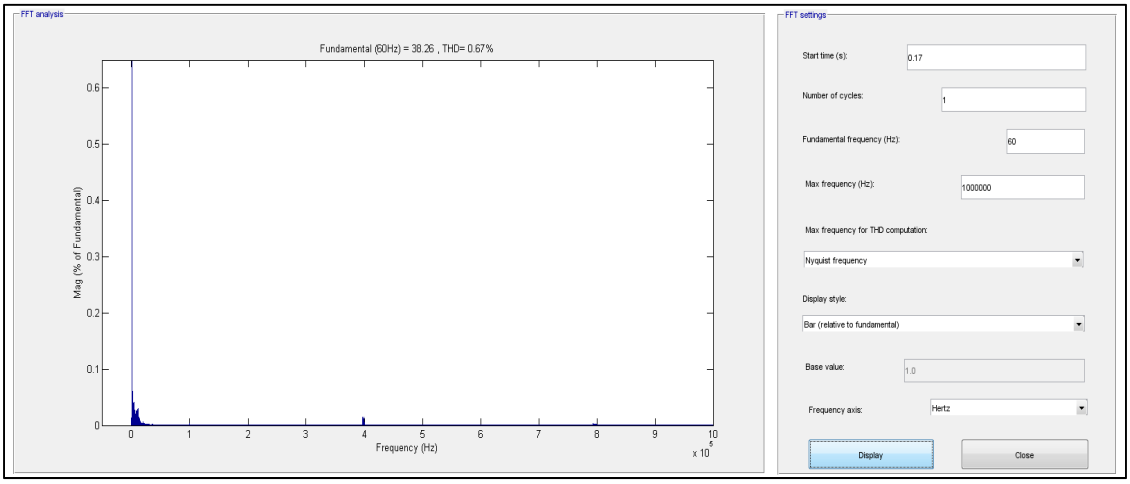


Figure 3.24 Spectre du courant de la charge avec un convertisseur flottant

La quantité de convertisseurs flottants ne dépend que de la puissance maximale qu'une cellule peut fournir. Si la charge est toute sur un seul convertisseur, ce dernier ne pourra peut-être pas fournir assez de puissance. Les figures suivantes montrent les résultats lorsque plus d'un convertisseur est flottant :

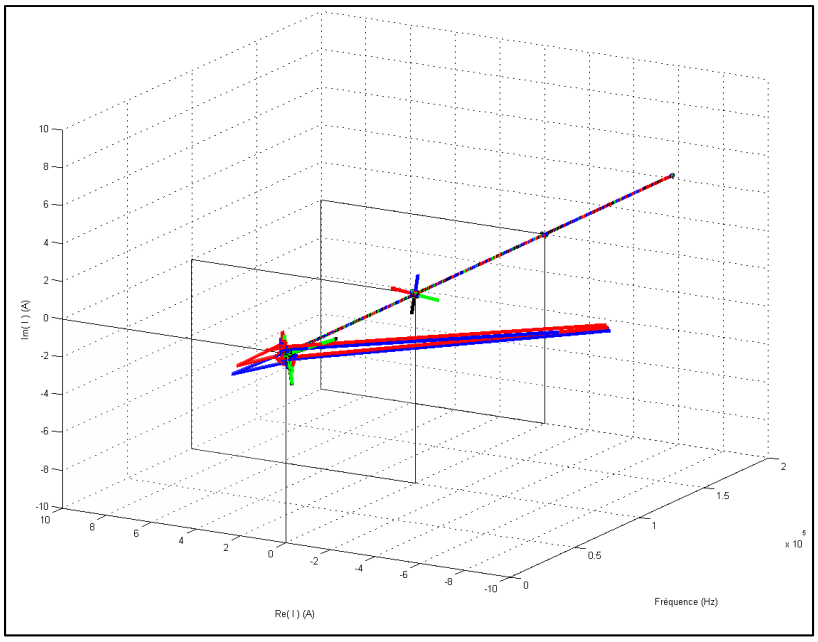


Figure 3.25 Superposition des spectres du courant de chaque convertisseur avec deux convertisseurs flottants

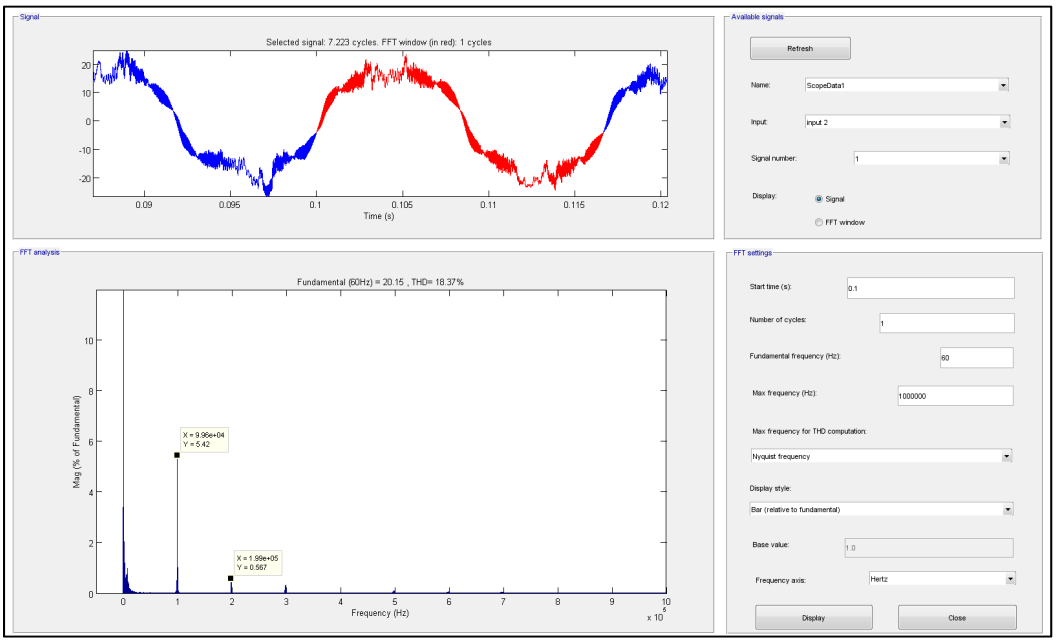


Figure 3.26 Spectre du courant à la sortie des convertisseurs lorsque deux convertisseurs sont flottants

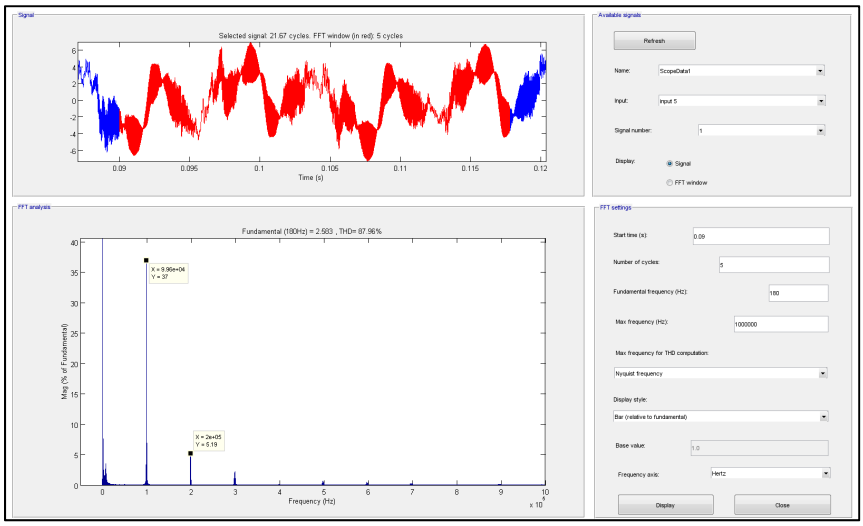


Figure 3.27 Spectre du courant à la sortie des deux convertisseurs flottants lorsque deux convertisseurs sont flottants

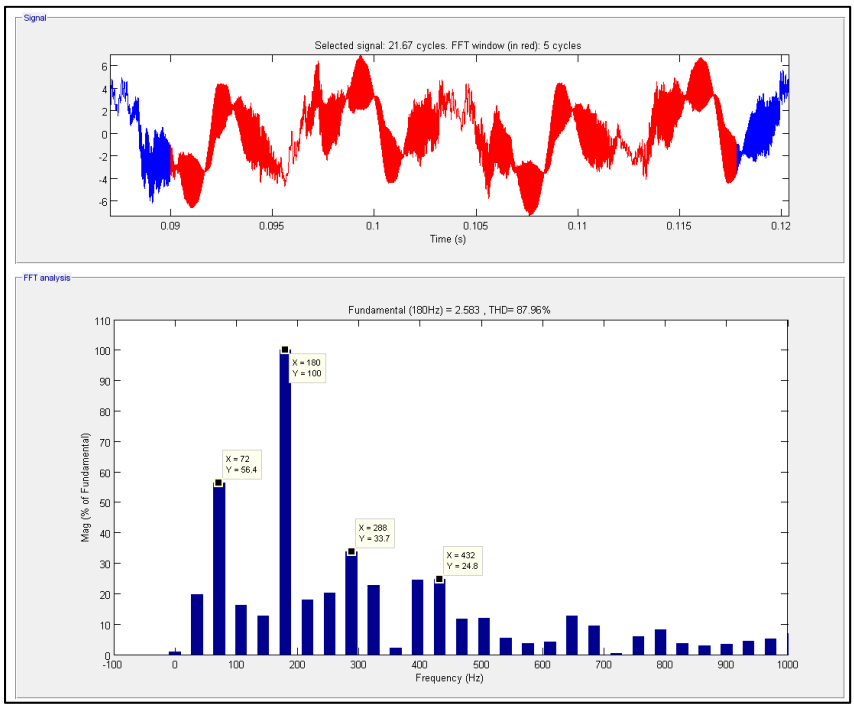


Figure 3.28 Zoom sur les basses fréquences du spectre du courant à la sortie des deux convertisseurs flottants

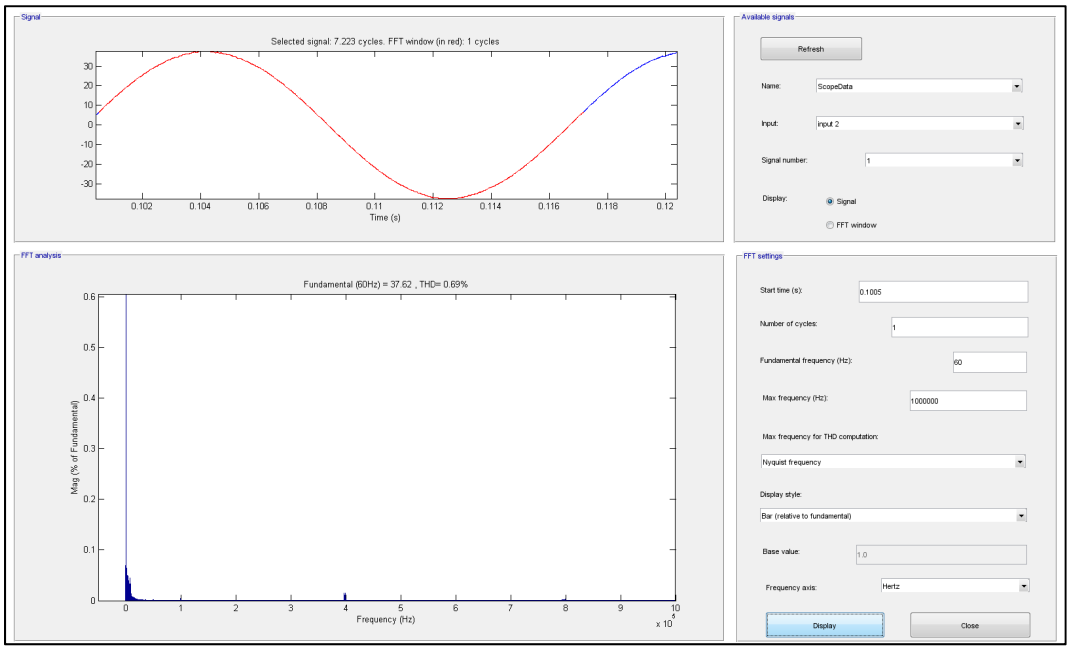


Figure 3.29 Spectre du courant de la charge lorsque deux convertisseurs sont flottants

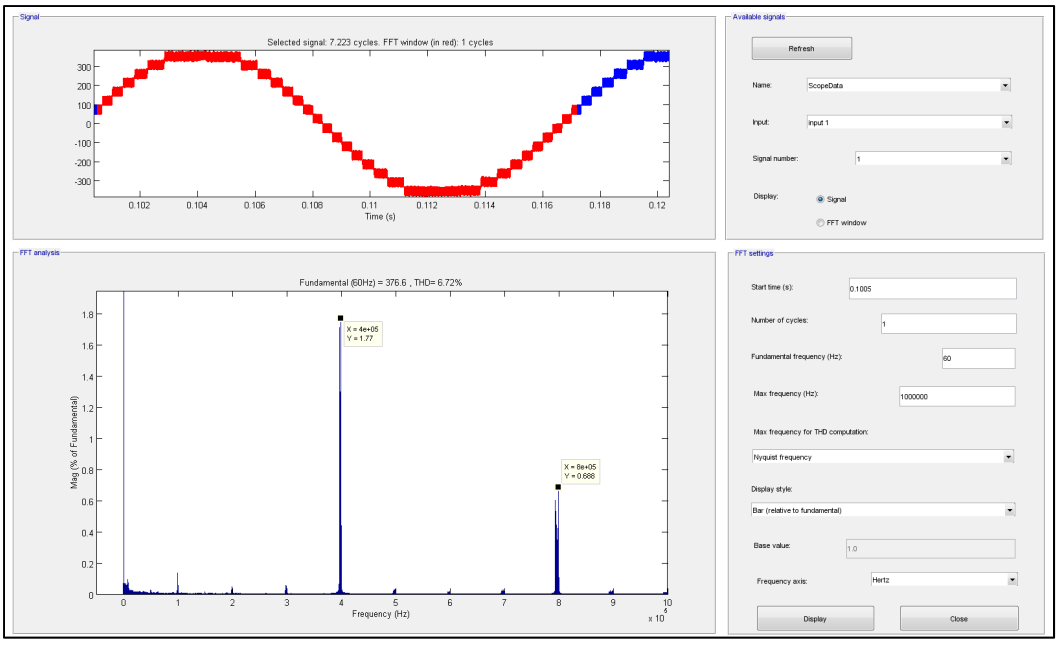


Figure 3.30 Spectre de la tension au PCC lorsque deux convertisseurs sont flottants

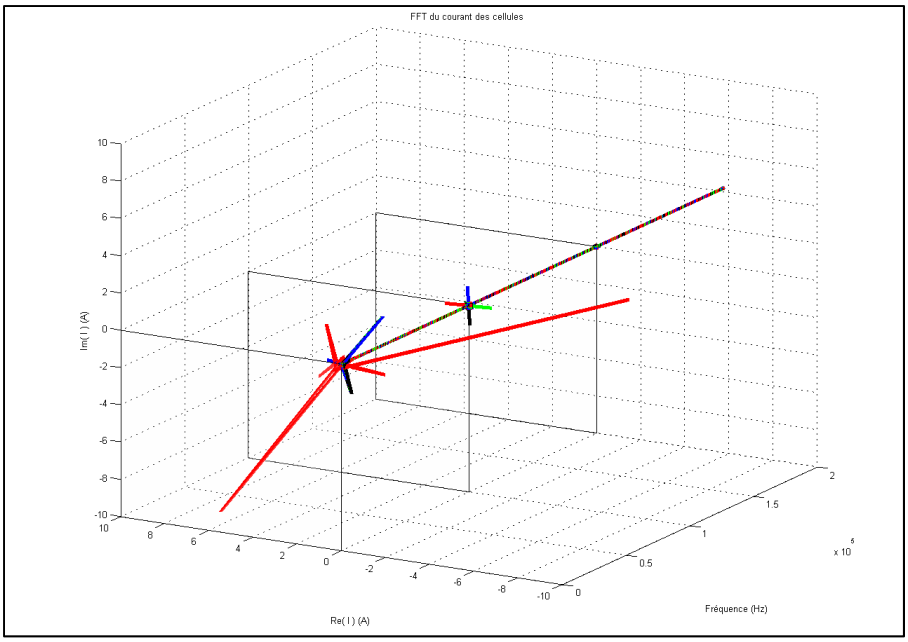


Figure 3.31 Superposition des spectres du courant de chaque convertisseur avec trois convertisseurs flottants

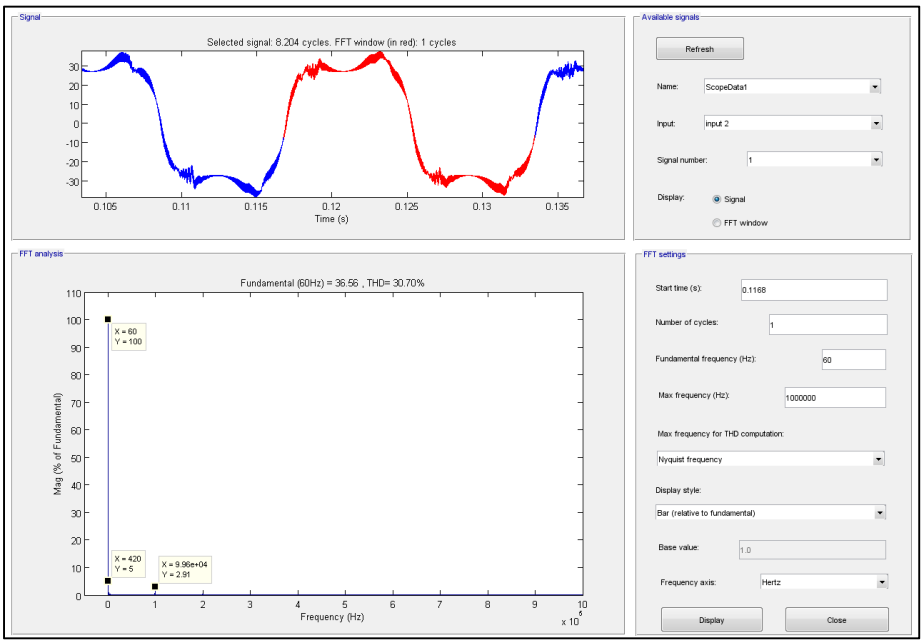


Figure 3.32 Spectre du courant à la sortie des convertisseurs lorsque trois convertisseurs sont flottants

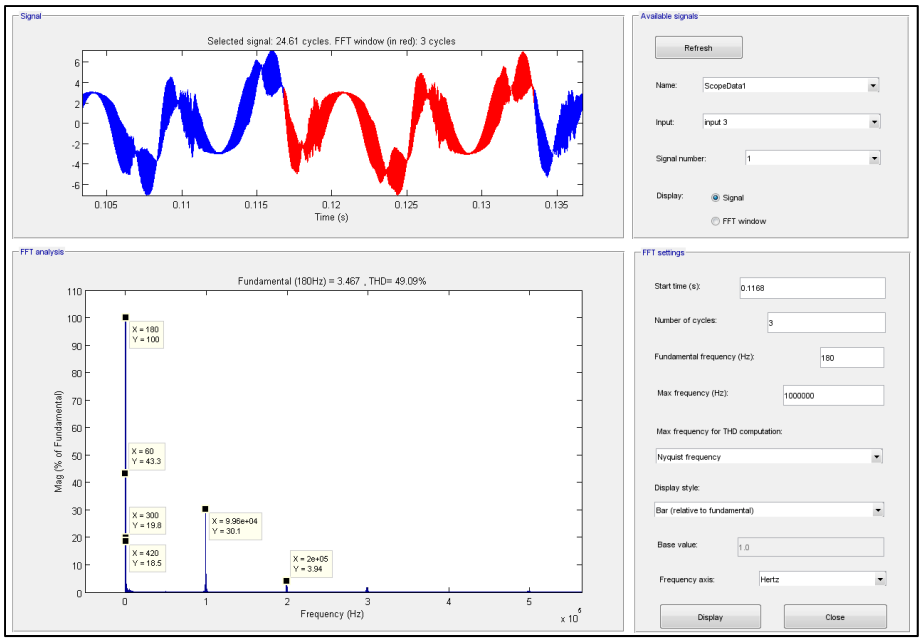


Figure 3.33 Spectre du courant à la sortie des trois convertisseurs flottants lorsque trois convertisseurs sont flottants

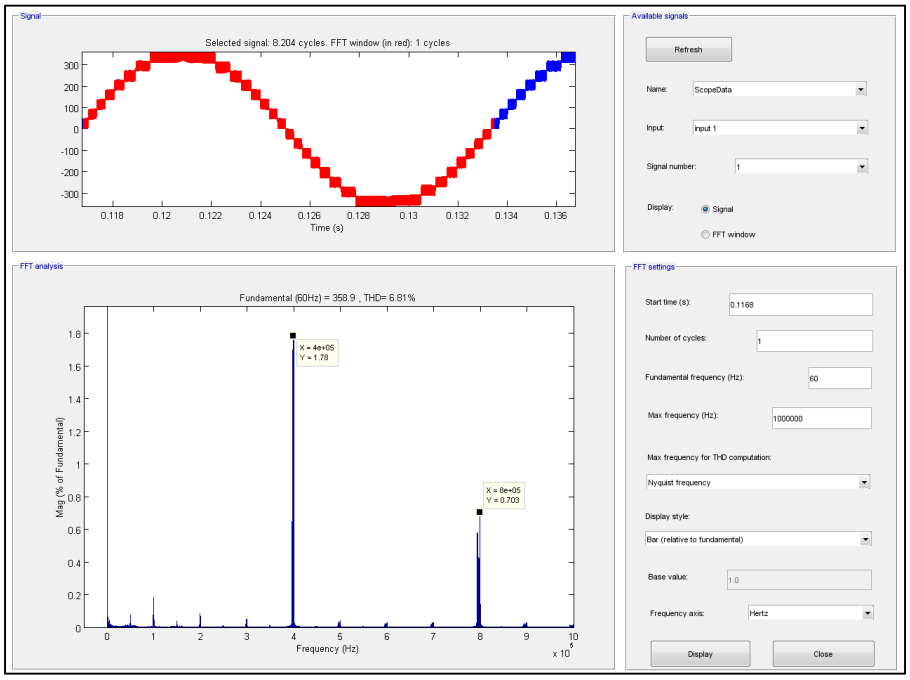


Figure 3.34 Spectre de la tension au PCC lorsque trois convertisseurs sont flottants

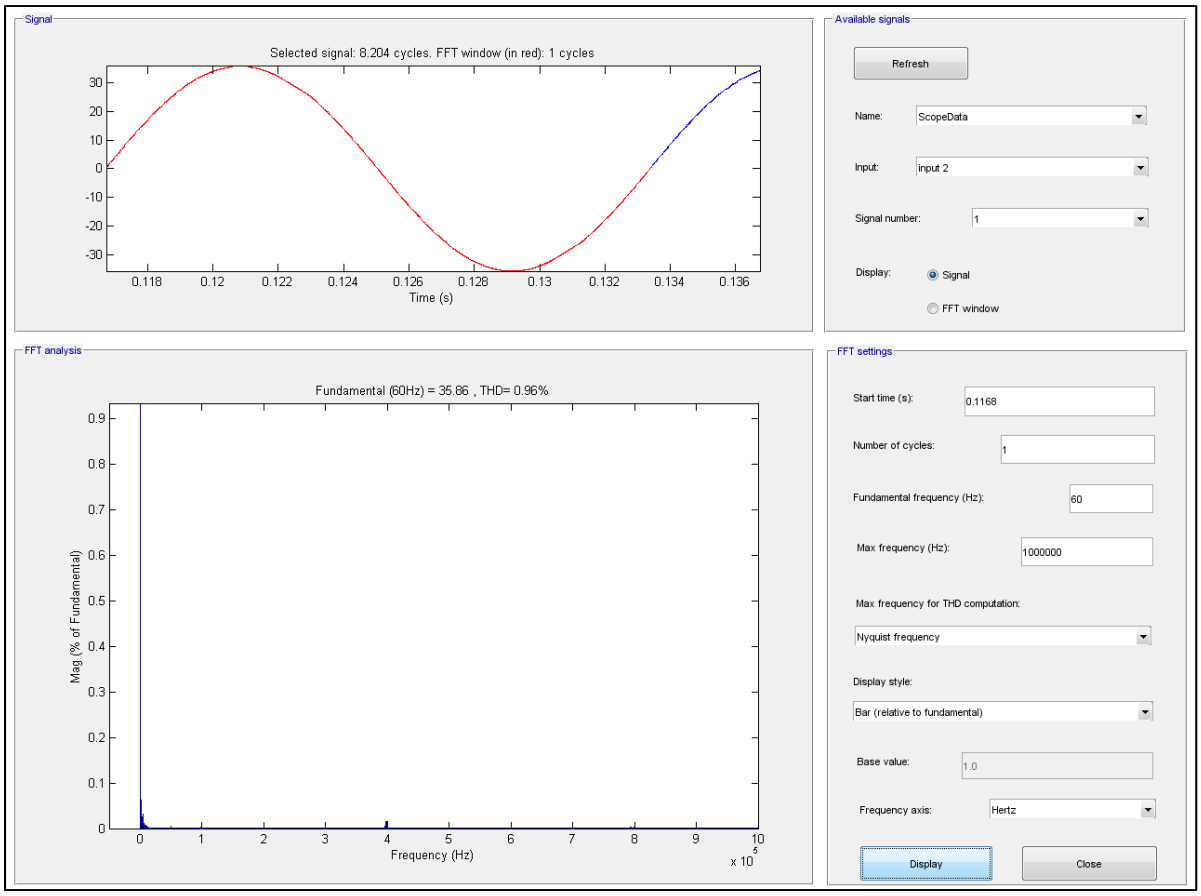


Figure 3.35 Spectre du courant de la charge lorsque trois convertisseurs sont flottants

Comme il a été question auparavant, les résultats de cette recherche sont basés sur un système de quatre convertisseurs en parallèle. Or, il est intéressant de montrer les résultats de simulation lorsqu'il y a plus de convertisseurs. La Figure 3.36 montre les formes d'onde de courant pour la charge et pour chaque convertisseur lorsqu'il y a huit cellules en parallèle. On remarque que le courant de la charge semble bien réparti entre les cellules. Cette dernière affirmation est confirmée par la transformée de Fourrier présente sur la Figure 3.37 où le contenu spectral de chaque convertisseur est superposé dans le plan complexe.

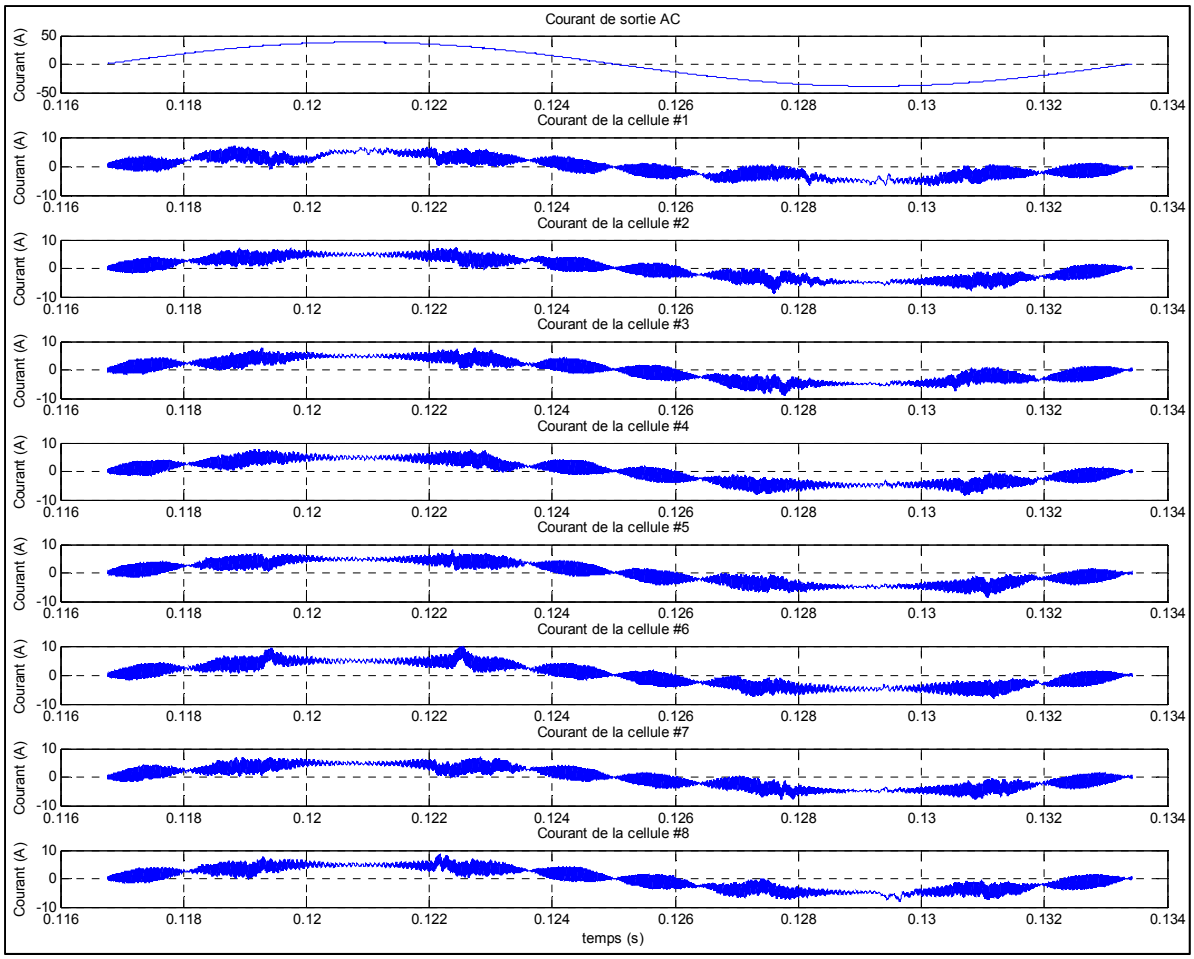


Figure 3.36 Courant de la charge et des convertisseurs en fonction du temps avec huit cellules en parallèles

On remarque sur cette figure que les raies à 60Hz ont toutes une amplitude similairement réduite et que leur phase est grossièrement la même. On remarque aussi que les raies de commutation sont bien réparties sur 2π. La formule exprimant le délai de modulation en fonction du nombre de convertisseurs semble donc valide. Ce nombre de convertisseurs a été sélectionné en raison de la valeur du THD présente à la Figure 3.38. Celle-ci est de 3,46% et est équivalente à la valeur du THD de la tension du réseau électrique d'Hydro-Québec. À partir de huit convertisseurs, il est alors presque inutile d'employer un filtre de puissance afin d'éliminer les harmoniques de basses fréquences, car il n'y en a pas. Un filtre à haute fréquence

est tout de même nécessaire en raison du bruit de commutation. Or, sur la même figure, on voit bien que la raie 100KHz s'est déplacée à 800Khz et que son amplitude est extrêmement faible. Les valeurs d'inductance et de capacité du filtre peuvent alors être d'autant plus faibles. Cela engendre une diminution drastique de la taille physique des éléments magnétiques et, par conséquent, du prix du système.

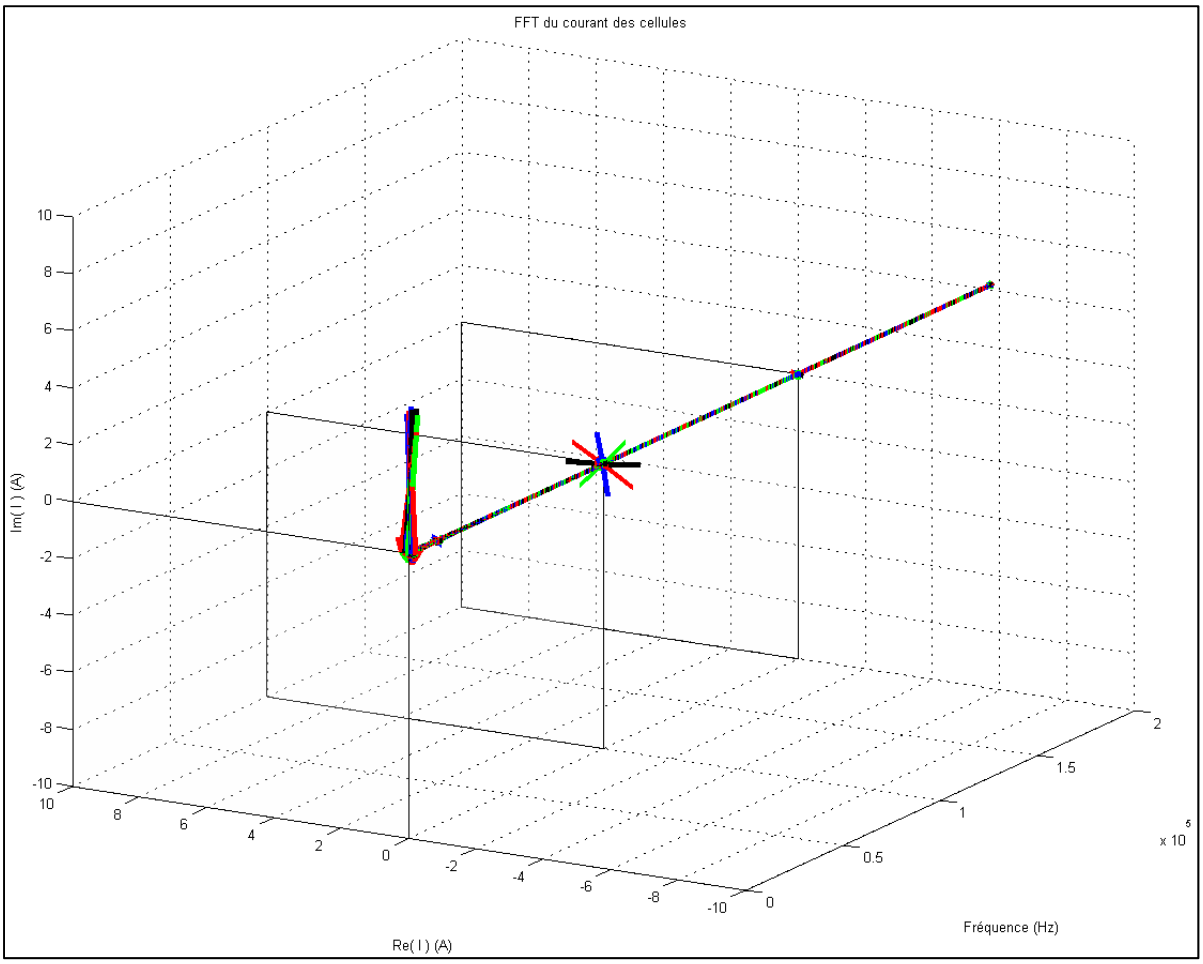


Figure 3.37 Superposition des spectres du courant de chaque convertisseur avec huit convertisseurs en parallèles

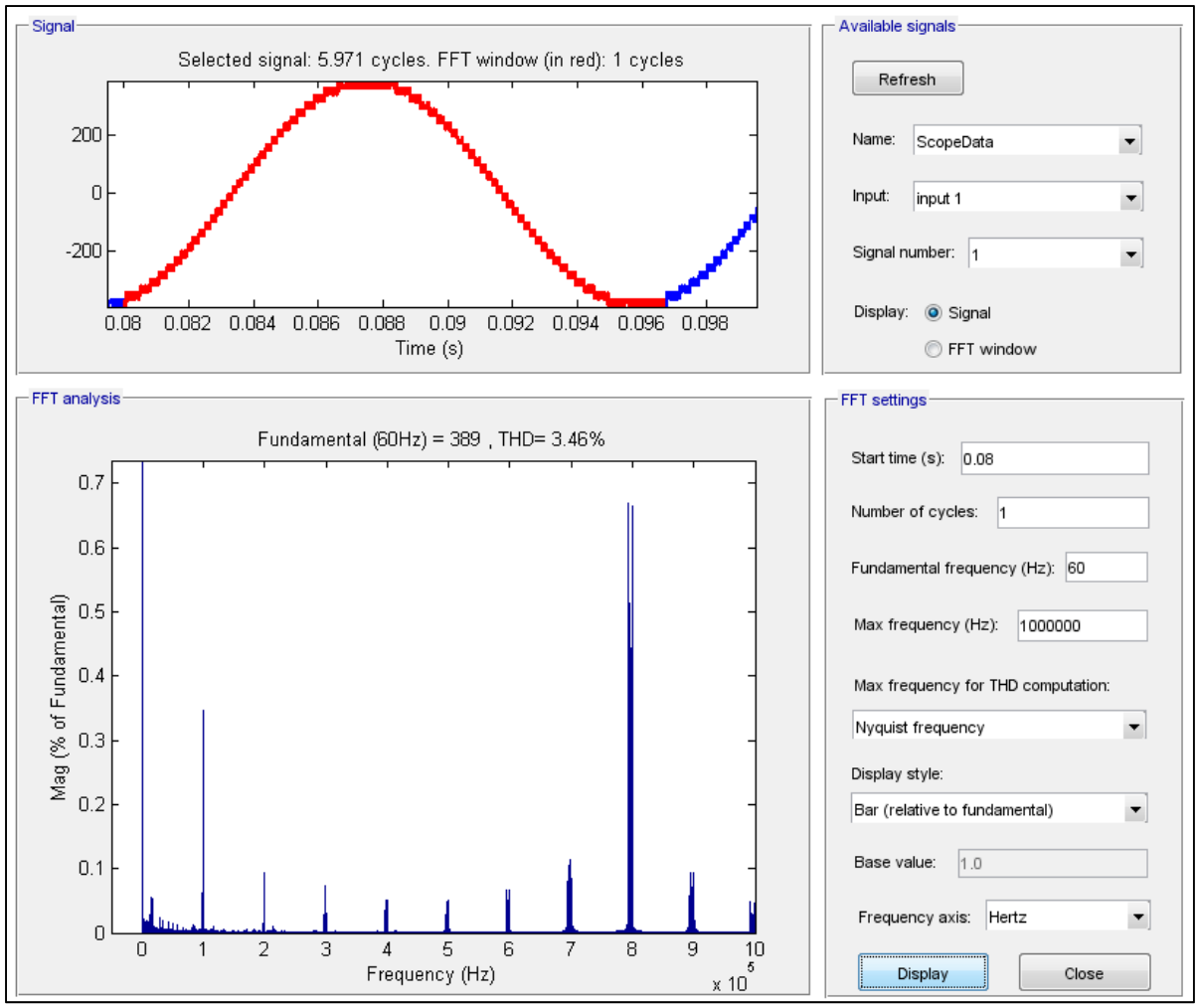


Figure 3.38 Spectre de la tension au PCC avec huit convertisseurs en parallèles

CHAPITRE 4

CONCEPTION D'UNE CELLULE

Un convertisseur de puissance est un système très compliqué. La première étape est de cerner les spécifications de base du convertisseur et de ce qui l'entoure. Ces valeurs serviront de point de départ au dimensionnement des composants du convertisseur; elles sont présentées dans le Tableau 4.1 :

Tableau 4.1 Spécifications de conception

Paramètres	**Valeurs**
Tension d'entrée CC	$100V_{CC} \sim 350V_{CC}$
Tension d'entrée du PUC5	$400V_{CC}$
Tension de la sortie	$240V_{RMS}$
Puissance maximale	3000W
Fréquence de la sortie	60Hz

On peut y remarquer que le ratio entre la tension crête du côté CA et la tension d'entrée CC est d'environ 85%, ce qui permettra de limiter le rapport cyclique à 90% aisément. En électronique de puissance, comme dans presque tous les domaines de l'ingénierie, il est très difficile d'optimiser plusieurs paramètres à la fois. Dans le cas d'un convertisseur, on retrouve le prix, la fiabilité, l'efficacité, la grosseur, le poids, etc. Tous ces paramètres sont importants. Or, leur priorité est souvent sélectionnée en fonction de l'application. Il est bon de garder en tête que dans un cadre de recherche et développement, l'effort devrait être concentré sur la fonctionnalité plutôt que sur l'optimisation de ces paramètres. Concevoir un prototype de convertisseur de puissance avec des marges de sécurité très serrées dès le départ est, la plupart du temps, un frein à l'avancement du projet.

4.1 Choix des interrupteurs de puissance

À partir du schéma du convertisseur et des équations développées dans le CHAPITRE 2, il est possible de déterminer la tension maximale que chaque transistor subira si les spécifications de puissance et de tension sont établies :

Tableau 4.2 Tension maximale des transistors

Paires de transistors	Tension maximale
Q1 & Q4	400V
Q2 & Q5	200V
Q3 & Q6	200V

Ces valeurs ne prennent pas en compte les surtensions. Un facteur de sécurité de 1.5 et plus est conseillé. Deux compagnies se démarquent sur le marché en ce qui concerne les transistors de puissance au Nitrure de Gallium : EPC et GaNsystems. Un obstacle à l'utilisation de ces interrupteurs est, la plupart du temps, leur faible tension maximale. Cependant, GaNsystems a révolutionné le marché en commercialisant une série d'interrupteurs qui peuvent soutenir jusqu'à 650V. Le choix de l'interrupteur, à ce point, est plutôt déterminé par la facilité d'intégration physique du transistor dans le circuit. Pour atteindre de telles performances, les boitiers aussi ont dû évoluer. La Figure 4.1 donne une idée des différents modèles disponibles :

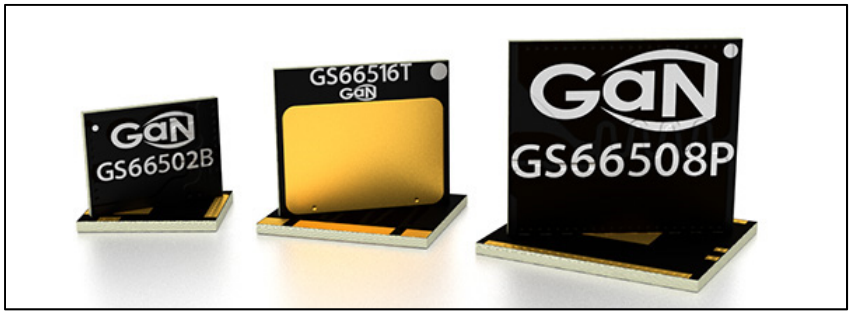


Figure 4.1 Boîtiers disponibles dans la série « *Cool Switching* » de GaNsystems

Plusieurs transistors sont utilisés dans le convertisseur. Afin de simplifier l'intégration de tous les composants (radiateur, pilote de grille, etc.), il fut déterminé qu'un refroidissement par le dessus des transistors serait judicieux. Cette approche permet une grande flexibilité quant aux traces de puissance sur la plaquette et permet de diminuer la grosseur des nœuds de commutation. De plus, cela permet de diminuer la résistance thermique étant donné que le contact est direct entre le radiateur et les interrupteurs. La température entre les transistors est aussi plus constante étant donné que la résistance est moindre entre les différentes sources de chaleur.

4.2 Dimensionnement du condensateur flottant

Il a été question dans le CHAPITRE 3 de la régulation de la tension du condensateur flottant. Le point qui avait été soulevé concernait le délai de détection de la tension qui venait affecter la dynamique du contrôleur. Il est donc nécessaire, afin de respecter l'ondulation de tension spécifiée, d'augmenter la valeur de capacité calculée pour contrecarrer ce problème. Étant donné que ce problème est très technique et qu'il est plutôt difficile d'évaluer le temps de propagation du signal de manière analytique, la capacité ne sera que doublée :

$$C > 2 \cdot \left(\frac{5\% \cdot 200V}{10\mu s \cdot \sqrt{2} \cdot 12.5A_{RMS}} \right)^{-1} = 2 \cdot 18\mu F \tag{4.1}$$

$$C > 36\mu F \tag{4.2}$$

L'utilisation d'une fréquence de commutation élevée permet, comme le montre le calcul précédent, de diminuer considérablement la capacité nécessaire. Cela permet d'utiliser des condensateurs film qui sont, en général, très performant en termes de ESR et de ESL mais aussi en température. Normalement, à basse fréquence, il est impossible d'utiliser ce type de condensateur, car il devrait être très gros pour atteindre les capacités nécessaires. De plus, cette technologie de condensateur est reconnue pour avoir une très faible dégradation dans le temps comparativement aux condensateurs électrolytiques.

4.3 Alimentation auxiliaire

Comme dans tous bons convertisseurs, une alimentation auxiliaire est requise afin d'isoler les pilotes de grilles et le circuit de contrôle. Dans le cas du PUC5, ce dernier point est encore plus important, car il y a plusieurs transistors. À des fins de synthèse, il ne sera question que de l'alimentation des pilotes de grilles étant donné que rien de particulier n'a trait à l'alimentation du circuit de contrôle.

4.3.1 Nombre de sources isolées nécessaires

La Figure 4.2 montre le schéma haut niveau des deux convertisseurs. Il est bon de mentionner que la source de trois des transistors est connectée au point P. Le nombre d'alimentations isolées nécessaires peut donc être plus petit que le nombre de transistors. De plus, un pilote de type « *bootstrap* » peut être utilisé pour le demi-pont du montage élévateur et pour les paires S1-S4 et S3-S6 du PUC5.

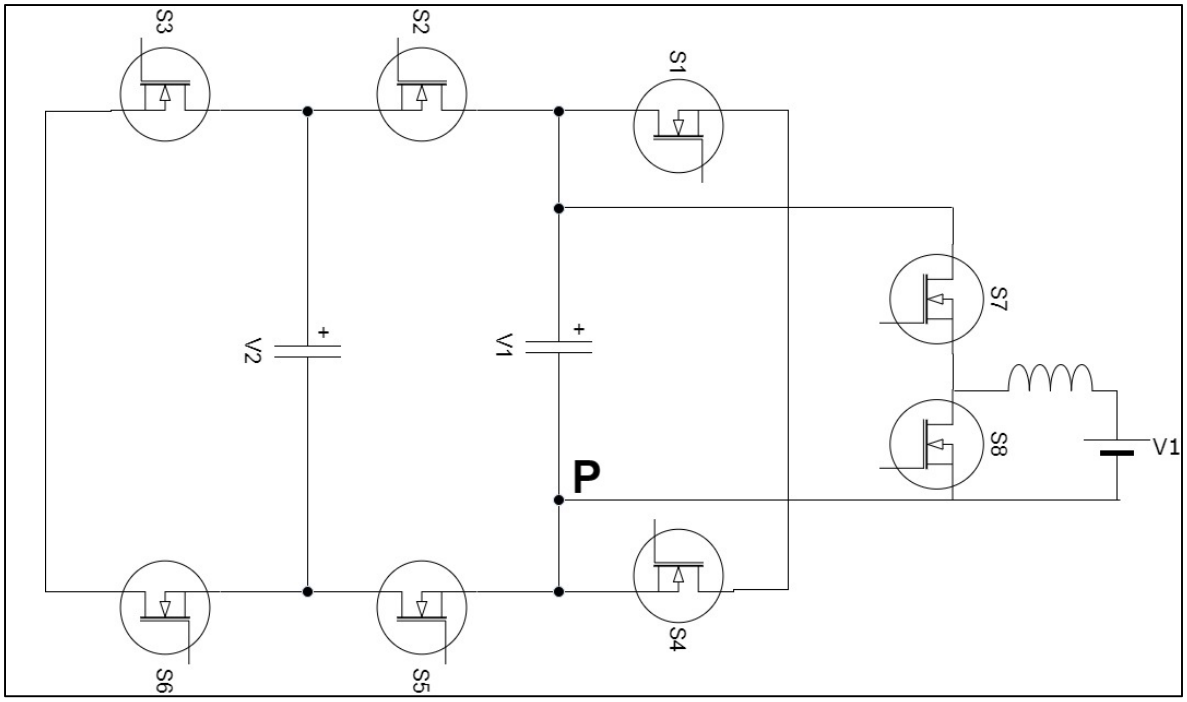


Figure 4.2 Schéma du PUC5 et du convertisseur élévateur

En analysant la Figure 4.2, on remarque qu'un minimum de trois sorties est nécessaire. Cependant, ce n'est pas très judicieux étant donné qu'une des sorties alimente presque tous les interrupteurs (S1, S4, S5, S7 et S8). Le nombre de sorties sera donc déterminé différemment.

4.3.2 Choix de conception

La topologie d'alimentation utilisée est un Flyback pour plusieurs raisons. C'est un des montages les plus simples avec son seul transistor, mais il se comporte bien lorsqu'un des secondaires est court-circuité. Le dimensionnement d'un Flyback de faible puissance est quelque chose de plutôt trivial dans la littérature. Cependant, ce n'est pas toujours aussi simple lors de sa réalisation. Le choix d'un contrôleur fut le point de départ de la conception, car c'est un élément très limitatif. L'UC3845 fut sélectionné pour son mode de fonctionnement par limitation de la crête de courant, pour sa fréquence d'opération élevée et sa plage de tension d'opération. La fréquence de commutation sélectionnée est une valeur médiane du régulateur qui permet de conserver une certaine flexibilité lors de la réalisation. La tension de la sortie est ajustée pour obtenir entre 6V et 7V.

Tableau 4.3 Critères de conception du Flyback

Paramètres	**Descriptions**	**Valeurs**
V_{CC}	Tension d'entrée	12V ~ 24V
F_{SW}	Fréquence de commutation	200KHz
X	Nombre de sortie	6+1
V_{OUT}	Tension de la sortie	7V
D_{MAX}	Rapport cyclique maximum	50%
η	Efficacité estimée	70%

Un transformateur planaire est employé afin de simplifier l'assemblage et d'apporter une certaine répétabilité entre les différentes cartes. Les traces de cuivre du circuit imprimé servent directement de bobinage. Évidemment, cela diminue aussi les coûts de fabrication, car le prix

d'une ferrite est beaucoup moindre que d'acheter un transformateur complet. Le problème est de trouver le cœur magnétique causant juste assez d'inductance aux quelques spires qui peuvent être compactées dans ce dernier. Le circuit imprimé utilisé possède quatre couches de cuivre, ce qui contraint un maximum de trois enroulements secondaires (une couche pour le retour des enroulements). Afin d'augmenter le nombre d'enroulements sur le noyau, une configuration en sandwich est utilisée. C'est-à-dire que plusieurs petits PCB seront superposés au sein du cœur magnétique. La ferrite est donc choisie afin d'avoir un maximum de trois PCB d'épais. De cette manière, il est possible de mettre tous les enroulements secondaires sur les PCB en sandwich. Rappelons-nous que la tension maximale entre deux couches de FR4 séparées de dix millièmes de pouces est d'environ 500V. De plus, cette valeur varie avec la température et l'humidité ambiante. En disposant les enroulements secondaires du transformateur sur ces plaquettes en sandwich, un matériel diélectrique peut être ajouté entre celles-ci. Cela diminue aussi les capacités parasitiques entre les enroulements, étant donné la plus grande distance. Les paires de transistors S4-S5 et S7-S8 ont donc été sélectionnées afin de diminuer le nombre d'alimentations nécessaires à six.

4.3.3 Dimensionnement du Flyback

La complexité de cette alimentation se retrouve principalement au niveau du transformateur en raison des multiples enroulements, de l'isolation et du coût. De bonnes directives pour la confection d'une alimentation Flyback dans le livre d'électronique de puissance : *Switching Power Supply Design* (Pressman, 1997). Les calculs sont effectués pour un mode d'opération discontinu, c'est-à-dire lorsque le courant démarre à zéro à chaque cycle. Dans le mode continu, la boucle de contrôle doit être conçue en conséquence. La puissance requise pour un pilote de grille dépend de la fréquence de commutation, de la tension d'alimentation et de la charge de grille. Elle peut être estimée comme suit :

$$P_{GD} \approx Q_{TOT} \cdot \left(V_{GS(ON)} - V_{GS(OFF)}\right) \cdot f_{SW(\text{PUC5})} \tag{4.3}$$

$$P_{GD} \approx 4.6nC \cdot (6V - 0V) \cdot 100KHz = 2.76mW \tag{4.4}$$

Afin de ne rencontrer aucun problème, une valeur exagérée de 2W sera utilisée, ce qui représente une résistance de charge équivalente R_L de 24.5Ω sur chaque sortie isolée. Cela couvrira aisément la puissance dissipée par les circuits logiques et autres dispositifs complémentaires aux pilotes de grille. Cette valeur s'ajoute aux requis du Tableau 4.3. Il est alors possible de trouver l'inductance du primaire L_P du transformateur. Pour débuter, le ratio du transformateur est calculé en fonction de la tension de sortie et de la tension maximale que le transistor peut supporter :

$$\overline{V_{DS(OFF)}} = \overline{V_{DC}} + \frac{N_P}{N_S} \cdot (V_{OUT} + V_F) \tag{4.5}$$

$$\frac{N_P}{N_S} = \frac{40V - 24V}{7V + 0.5V} = 2.13 \approx 2 \tag{4.6}$$

La puissance de l'entrée est trouvée en fonction de l'efficacité estimée :

$$P_{IN} = \frac{P_{OUT}}{\eta} \tag{4.7}$$

$$P_{IN} = \frac{6 \cdot 2W}{0.7} = 17.1W \tag{4.8}$$

Le temps maximal de conduction est trouvé à partir de cette équation :

$$\overline{T_{ON}} = \frac{(V_{OUT} + V_F) \cdot (N_P/N_S) \cdot (0.8 \cdot T)}{\left(\underline{V_{DC}} - V_{DS(ON)}\right) + (V_{OUT} + V_F) \cdot (N_P/N_S)} \tag{4.9}$$

$$\overline{T_{ON}} = \frac{(7V + 0.5V) \cdot (2) \cdot (0.8 \cdot 5\mu s)}{(24V - 1V) + (7V + 0.5V) \cdot (2)} = 1.6\mu s \tag{4.10}$$

Le courant de crête est trouvé à partir de la puissance maximale d'entrée, de la tension minimale et du rapport cyclique maximal :

$$I_{PK} = \frac{\overline{P_{IN}} \cdot \sqrt{3}}{\underline{V_{DC}}} \cdot \sqrt{\frac{T}{\overline{\overline{T_{ON}}}}} \tag{4.11}$$

$$I_{PK} = \frac{17.1W \cdot \sqrt{3}}{12V} \cdot \sqrt{\frac{5\mu s}{1.6\mu s}} = 4.36A \tag{4.12}$$

Finalement, l'inductance de l'enroulement primaire :

$$L_P = \frac{\underline{V_{DC}} \cdot \overline{T_{ON}}}{I_{PK}} \tag{4.13}$$

$$L_P = \frac{12V \cdot 1.6\mu s}{4.36A} = 4.4\mu H \tag{4.14}$$

4.3.4 Calculs du transformateur

La conception des éléments magnétiques est, la plupart du temps, itérative. C'est-à-dire qu'à partir de la valeur d'inductance précédente, il faut à présent trouver un cœur magnétique et calculer si celui-ci répond aux multiples paramètres. Certains manufacturiers fournissent un logiciel afin de feuilleter leurs produits facilement étant donné la quantité immense de géométries différentes. Cependant, cela ne dit pas si le cœur sélectionné est en stock chez le distributeur. Il est plus aisé de limiter notre sélection à ce qui est disponible. Afin de réduire notre champ de recherche, il est possible, d'entrée de jeu, de sélectionner le matériel magnétique le mieux adapté à notre application. La fréquence d'opération est le paramètre clef pour cette procédure, mais d'autres constituants sont aussi à considérer. Le graphique de la Figure 4.3 montre la dépendance de la perméabilité de différents matériaux en fonction de la fréquence d'opération que l'on retrouve dans le catalogue de *Ferroxcube*. Avec une valeur de

200KHz, plusieurs ferrites sont convenables. Or, la valeur du plateau est notablement plus faible pour les matériaux supportant de hautes fréquences. Comme compromis, le matériel de ferrite 3F3 est sélectionné. La fréquence maximum du matériel permet d'atteindre la cinquième harmonique de l'onde carrée, ce qui limite les pertes. Ce dernier possède aussi une grande perméabilité, ce qui donne plus de flexibilité lors de la sélection de l'entrefer. Il est primordial, en puissance, d'avoir un entrefer, car la perméabilité de la ferrite possède une grande tolérance de manufacturassions et qu'elle change drastiquement en température. Cela modifie la valeur de la réluctance magnétique et, conséquemment, l'inductance.

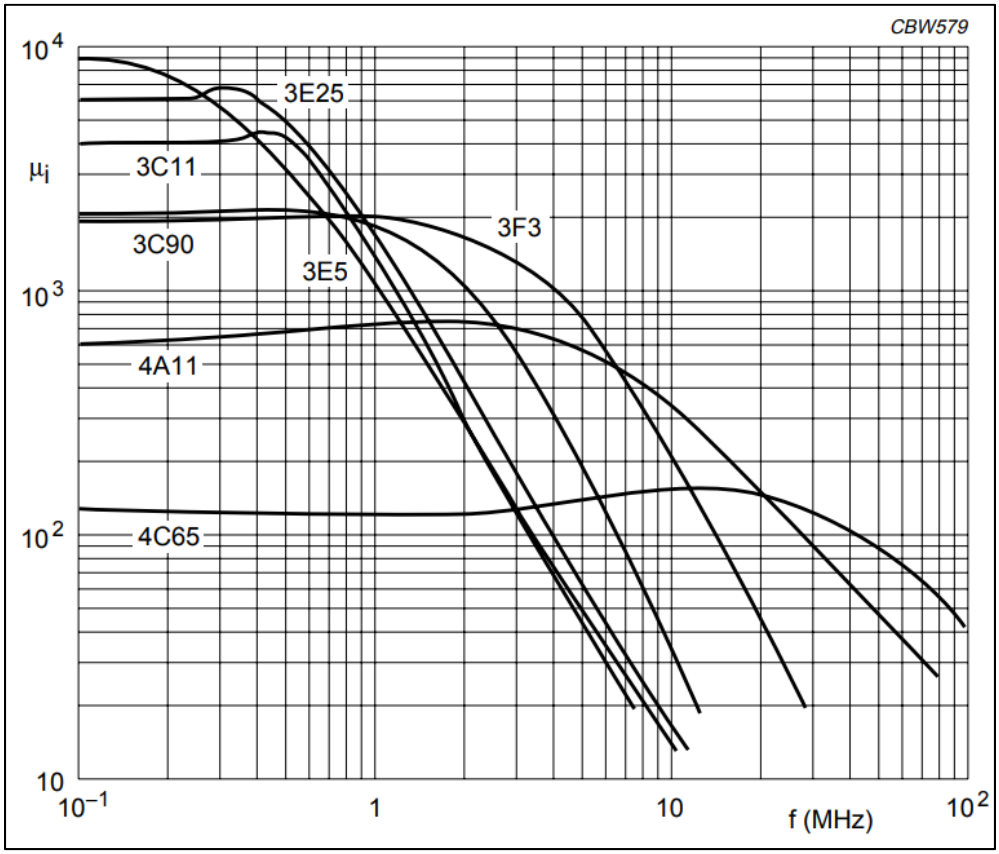


Figure 4.3 Perméabilité en fonction de la fréquence de différents matériaux de ferrite de la compagnie Ferroxcube

Après la sélection du matériel, il faut alors sélectionner la grosseur qui permet d'avoir un nombre de spires suffisant et un échauffement raisonnable. On peut d'emblée déterminer une

des dimensions à partir de l'épaisseur du PCB et de la membrane isolatrice : 221mil. La largeur des traces de cuivre peut être trouvée à partir du courant effectif, de l'élévation de température et de l'épaisseur de cuivre :

$$I_{RMS} = \frac{I_{PK}}{\sqrt{3}} \cdot \sqrt{\frac{T_{ON}}{\bar{T}}} \tag{4.15}$$

$$I_{RMS} = \frac{4.36A}{\sqrt{3}} \cdot \sqrt{\frac{1.6\mu s}{5\mu s}} = 1.425A \tag{4.16}$$

Le logiciel « *Saturn PCB design* » est utilisé pour calculer la grosseur des traces en fonction d'une l'élévation de température donnée de 15°C. L'interface et les résultats du logiciel sont disponibles à la Figure 4.4. Une valeur de 20mil peut donc être utilisée dans notre cas. En diminuant l'élévation de la température des traces, cela permet aussi de diminuer l'échauffement de la ferrite ce qui est avantageux.

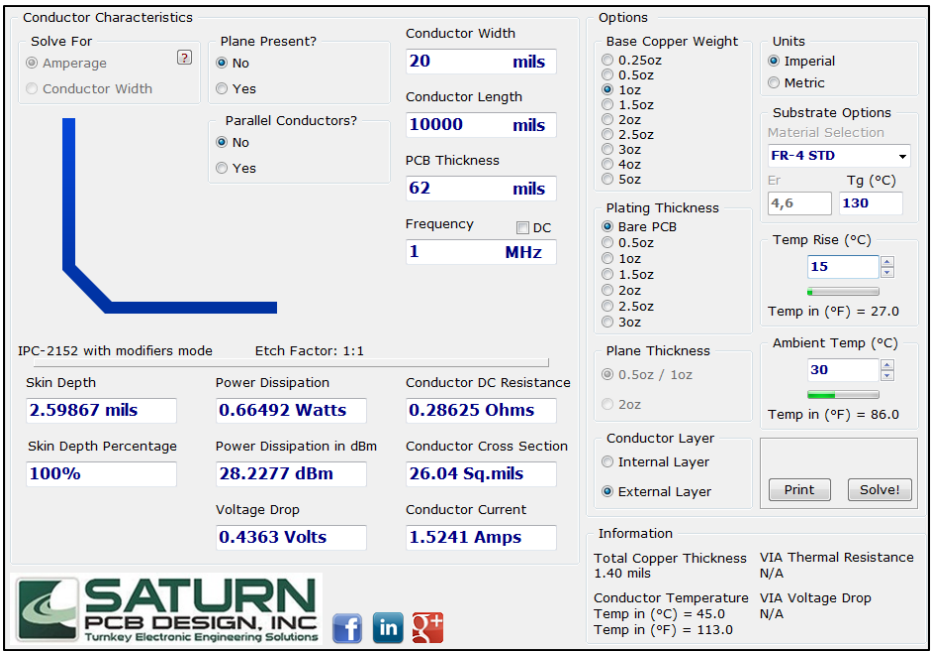


Figure 4.4 Résultats du calcul de la largeur des traces avec le logiciel « *Saturn PCB design* »

Afin de calculer le nombre de spires nécessaires, il faut calculer la réluctance totale du chemin magnétique. L'inductance est alors régie par l'équation suivante :

$$L = \frac{n^2}{\Re_{TOT}} \quad \rightarrow \quad n = \pm\sqrt{L \cdot \Re_{TOT}} \tag{4.17}$$

La valeur de la réluctance peut être trouvée à partir des valeurs dans la fiche technique de la ferrite, c'est-à-dire la longueur effective, la surface effective, etc. Or, il est bien plus facile d'utiliser la valeur A_L qui résulte du même calcul :

$$L = n^2 \cdot A_L \tag{4.18}$$

Le plus petit cœur disponible ayant l'épaisseur requise est la combinaison de deux fois le modèle E22/6/16. L'épaisseur résultante de 252mil donne assez de jeu pour s'ajuster lors de la réalisation. Il ne reste plus qu'à trouver la valeur d'entrefer qui donne la bonne valeur A_L. À

partir des dimensions de la ferrite, il est conclu que le nombre maximum de tours est de quatre ce qui donne la valeur suivante :

$$A_L = \frac{L}{n^2} = \frac{4.4\mu H}{4^2} = 275nH \tag{4.19}$$

On peut sélectionner facilement l'entrefer qui convient à notre valeur d'inductance à partir de la table de la Figure 4.5. Notons que les valeurs A_L de ce tableau sont fournies pour une combinaison d'un cœur avec entrefer et d'un cœur sans entrefer. Il est toutefois possible d'extrapoler si deux cœurs avec entrefer sont utilisés. Dans notre cas, le modèle E22/6/16-3F3-A400-E est sélectionné pour sa disponibilité chez le distributeur. La somme des entrefers est de 560µm, ce qui est un peu plus élevé que le modèle E22/6/16-3F3-A250-E. On peut donc arrondir la valeur réelle de A_L à environ 200nH~250nH. Il faudra donc s'attendre à une inductance plus faible que la valeur de 4.4µH préalablement calculée.

GRADE	A_L (nH)	μ_e	AIR GAP (μm)	TYPE NUMBER
3C90	160 ±3%	= 53	= 900	E22/6/16-3C90-A160-E
	250 ±3%	= 82	= 490	E22/6/16-3C90-A250-E
	315 ±3%	= 104	= 360	E22/6/16-3C90-A315-E
	400 ±5%	= 132	= 280	E22/6/16-3C90-A400-E
	630 ±8%	= 208	= 160	E22/6/16-3C90-A630-E
	5150 ±25%	= 1700	= 0	E22/6/16-3C90
3C92 des	3700 ±25%	= 1220	= 0	E22/6/16-3C92
3C93 des	4300 ±25%	= 1420	= 0	E22/6/16-3C93
3C94	160 ±3%	= 53	= 900	E22/6/16-3C94-A160-E
	250 ±3%	= 82	= 490	E22/6/16-3C94-A250-E
	315 ±3%	= 104	= 360	E22/6/16-3C94-A315-E
	400 ±5%	= 132	= 280	E22/6/16-3C94-A400-E
	630 ±8%	= 208	= 160	E22/6/16-3C94-A630-E
	5150 ±25%	= 1700	= 0	E22/6/16-3C94
3C95 des	6220 ±25%	= 2050	= 0	E22/6/16-3C95
3C96 des	4600 ±25%	= 1520	= 0	E22/6/16-3C96
3F3	160 ±3%	= 53	= 900	E22/6/16-3F3-A160-E
	250 ±3%	= 82	= 490	E22/6/16-3F3-A250-E
	315 ±3%	= 104	= 360	E22/6/16-3F3-A315-E
	400 ±5%	= 132	= 280	E22/6/16-3F3-A400-E
	630 ±8%	= 208	= 160	E22/6/16-3F3-A630-E
	4300 ±25%	= 1420	= 0	E22/6/16-3F3
3F35 des	3500 ±25%	= 1160	= 0	E22/6/16-3F35
3F4 des	160 ±3%	= 53	= 900	E22/6/16-3F4-A160-E
	250 ±3%	= 82	= 490	E22/6/16-3F4-A250-E
	315 ±3%	= 104	= 360	E22/6/16-3F4-A315-E
	400 ±5%	= 132	= 280	E22/6/16-3F4-A400-E
	630 ±8%	= 208	= 160	E22/6/16-3F4-A630-E
	2400 ±25%	= 790	= 0	E22/6/16-3F4
3F45 prot	2400 ±25%	= 790	= 0	E22/6/16-3F45
3E6	22000 +40/–30%	= 7250	= 0	E22/6/16-3E6

Figure 4.5 Liste des valeurs A_L en fonction de différents matériaux et de différentes épaisseurs d'entrefer

4.3.5 Sélection de l'interrupteur

Le transistor est a priori sélectionné en fonction des pertes moyennes et de la tension maximale qu'il devra supporter. La fréquence d'opération nous donne aussi une idée des capacités de jonction que l'on doit avoir. Le modèle SI7454DDP-T1-GE3 fut sélectionné en raison de sa faible résistance à l'état passant et de ses faibles capacités de jonction. Le but est de ne pas

avoir besoin de mettre un radiateur autre que le cuivre des traces. Une simulation Matlab est employée afin de trouver les pertes de commutation. Le code source de cette simulation est disponible dans le cours d'électronique de puissance II (Fortin Blanchette (2014)). Cette simulation ne sera valide que pour les pertes de mise à OFF étant donné que le mode de fonctionnement dans la simulation est continu. Après avoir inséré les paramètres du Tableau 4.4 dans le fichier de simulation, on peut démarrer la simulation. La Figure 4.6 est alors générée et la valeur des pertes est affichée sur la console.

Tableau 4.4 Paramètres de commutation du transistor et de son environnement

Paramètres	**Descriptions**	**Valeurs**
C_{GS}	Capacité grille-source	524pF
C_{GD}	Capacité grille-drain	26pF
C_{DS}	Capacité drain-source	191pF
V_T	Tension de seuil	1.5V
g_{FS}	Transconductance directe	19S
V_D	Tension d'alimentation	24V
I_{OFF}	Courant lors de la mise à OFF	4.36A
R_G	Résistance de grille	100Ω
V_{GS}	Tension d'attaque de la grille	0V~12V
$R_{DS(ON)}$	Résistance à l'état passant	0.027Ω
L_{LEAK2}	Inductance de fuite	440nH
R_{LEAK}	Résistance de fuite	100mΩ

Les pertes de mise à OFF trouvées sont de 9.96 µJ. La puissance associée à cette énergie est donc de 1.992W. Les pertes de mise à ON, quant à elles, sont négligeables étant donné que le courant est nul en mode discontinu. Les pertes de conductions sont calculées avec le courant effectif et la résistance à l'état passant de l'interrupteur:

$$P_{COND.} = R_{DS(ON)} \cdot (I_{RMS})^2 \tag{4.20}$$

$$P_{COND.} = 0.024\Omega \cdot (1.425A)^2 = 49mW \tag{4.21}$$

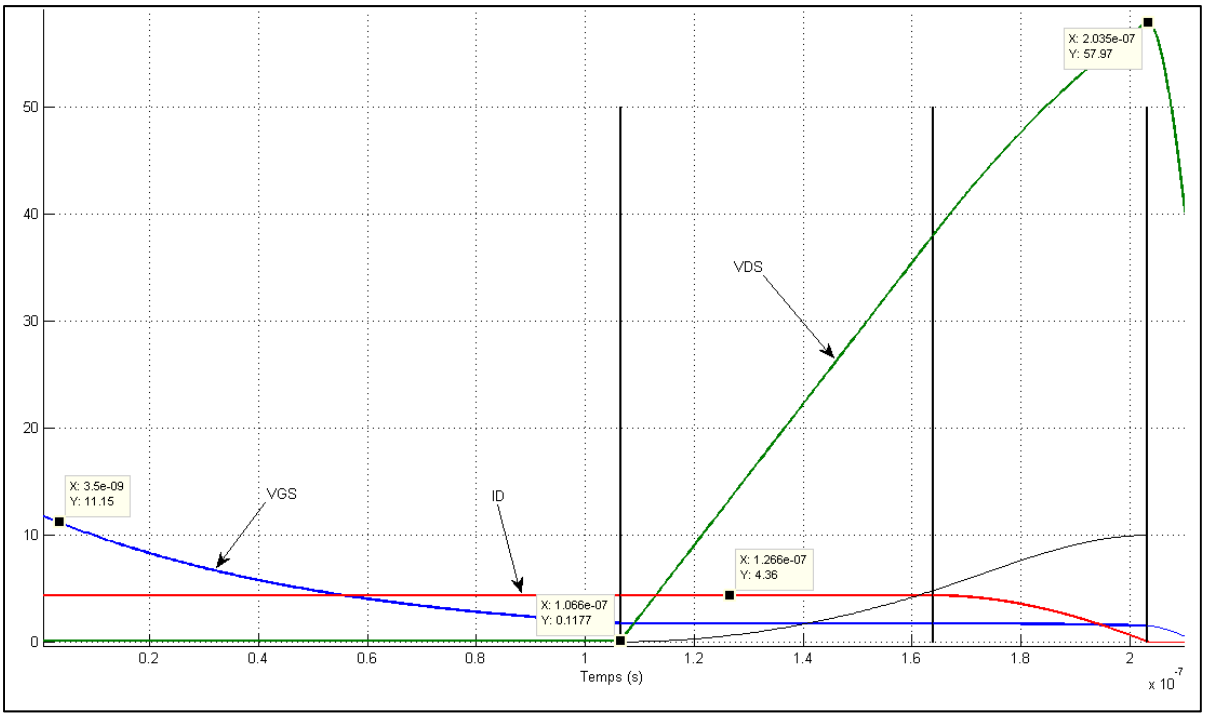


Figure 4.6 Résultats de la simulation de mise à OFF de l'interrupteur du Flyback

4.3.6 Circuits d'écrêtage et d'amortissement

Le couplage d'un transformateur planaire est généralement mauvais. Cela fait en sorte que son inductance de fuite est élevée. Afin que l'énergie comprise dans celle-ci lors de la commutation n'endommage pas les composants du circuit, un circuit d'écrêtage et un circuit d'amortissement sont employés. Ces circuits sont schématisés sur la Figure 4.7 où l'on a ajouté les inductances de fuites L_{LEAK1} et L_{LEAK2}. L'un des dispositifs absorbe l'énergie de l'inductance non couplée du transformateur (L_{LEAK1}) et l'autre, absorbe l'énergie de l'inductance des traces reliant le transistor au primaire (L_{LEAK2}).

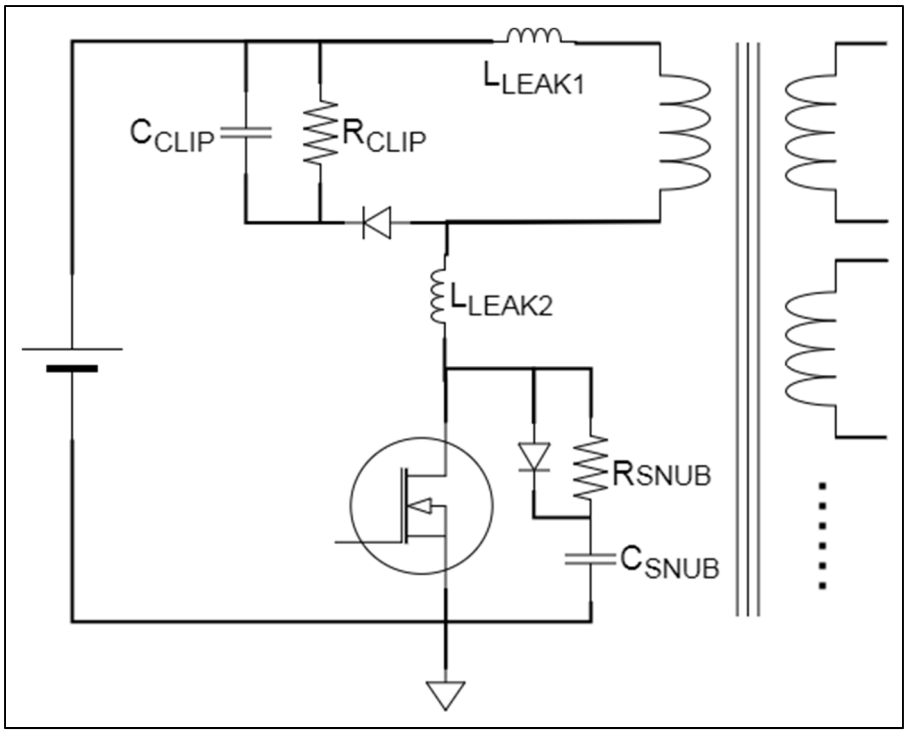


Figure 4.7 Circuits d'écrêtage et d'amortissement du Flyback

Il est très dur de calculer les valeurs exactes de ces inductances de fuites. Il faudrait utiliser la méthode des éléments finis pour se faire. Or, on peut utiliser des estimations qui donnent une bonne idée du dimensionnement des composants. Le Tableau 4.5 résume les paramètres utilisés pour estimer le dimensionnement de ces circuits :

Tableau 4.5 Paramètres de conception du circuit d'écrêtage et d'amortissement

Paramètres	**Descriptions**	**Valeurs**
V_{CLIP}	Tension moyenne du circuit d'écrêtage	50V
ΔV_{CLIP}	Ondulation de la tension	10% · V_{CLIP}
I_{PK}	Courant lors de la commutation	4.36A
F_{SW}	Fréquence de commutation	200KHz
L_{LEAK1}	10% de l'inductance de magnétisation	440nH
L_{LEAK2}	Inductance arbitraire des traces	100nH

La puissance dissipée dans le circuit d'écrêtage est régie par l'énergie comprise dans l'inductance de fuite du transformateur et par le temps de la commutation :

$$P_{CLIP} = \frac{L_{LEAK1} \cdot (I_{PK})^2}{2} \cdot F_{SW} \cdot \frac{V_{CLIP}}{V_{CLIP} - \frac{n_p}{n_s} \cdot V_{OUT}} \tag{4.22}$$

$$P_{CLIP} = \frac{440nH \cdot (4.36A)^2}{2} \cdot 200KHz \cdot \frac{50V}{50V - 2 \cdot 7V} = 6.53W \tag{4.23}$$

On sélectionne alors la résistance en fonction de la puissance dissipée et la tension moyenne vue à ses bornes. N'oublions pas de sélectionner des valeurs standards.

$$R_{CLIP} = \frac{(V_{CLIP})^2}{P_{CLIP}} \tag{4.24}$$

$$R_{CLIP} = \frac{(50V)^2}{6.53W} = 386\Omega \approx 390\Omega \tag{4.25}$$

Le condensateur ajuste l'ondulation de la tension. Il est fortement recommandé d'utiliser un condensateur film ou céramique afin d'assurer une faible valeur de résistance (ESR), pour ne pas qu'il chauffe, et une faible valeur d'inductance (ESL) pour ne pas modifier la dynamique de la résonance. On trouve sa valeur comme suit :

$$C_{CLIP} = \frac{V_{CLIP}}{\Delta V_{CLIP} \cdot R_{CLIP} \cdot F_{SW}} \tag{4.26}$$

$$C_{CLIP} = \frac{50V}{(10\% \cdot 50V) \cdot 390\Omega \cdot 200KHz} = 128nF \approx 100nF \tag{4.27}$$

Il ne reste qu'à calculer les valeurs du circuit d'amortissement de l'interrupteur à partir de son inductance de fuite respective : L_{LEAK2}. Le condensateur sert à limiter le temps de monté de la

tension aux bornes du transistor lors de la mise à OFF. Il est donc calculé à partir du courant de crête et de la variation de tension pour un temps donné de 100ns :

$$C_{SNUB} = \frac{I_{PK} \cdot \Delta t}{V_D} \tag{4.28}$$

$$C_{SNUB} = \frac{4.36A \cdot 100ns}{24V} = 18.2nF \tag{4.29}$$

En général, la résistance est sélectionnée pour faire en sorte que la constante de temps est beaucoup plus petite que le temps maximal à l'état passant. Sachant que le rapport cyclique maximal est de 50%, la résistance est trouvée comme suit :

$$R_{SNUB} \cdot C_{SNUB} < \frac{T_{SW}/_2}{10} \tag{4.30}$$

$$R_{SNUB} < \frac{5\mu s}{20 \cdot 18.2nF} = 13.8\Omega \tag{4.31}$$

L'énergie dissipée par la résistance sera alors celle contenue dans le condensateur lors de la mise à ON. La tension est donc celle de l'alimentation :

$$P_{SNUB} = \frac{C \cdot (V_D)^2}{2} \cdot F_{SW} \tag{4.32}$$

$$P_{SNUB} = \frac{18.2nF \cdot (24V)^2}{2} \cdot 200KHz = 1.05W \tag{4.33}$$

4.4 Pilote de grille

Afin de commuter les interrupteurs très rapidement, il faut avoir un pilote de grille qui soit d'autant plus rapide. Plusieurs manufacturiers proposent des pilotes adaptés aux transistors GaN. Ces IC sont, la plupart du temps, des pilotes très rapides n'ayant pas ou presque de système de protection. De toute manière, les temps de montée et de descente sont si rapides que cela serait très compliqué à implanter. Le pilote de grille doit être disposé le plus près possible du transistor afin de minimiser l'inductance de la trace de cuivre. Si, pour des raisons d'ergonomie, il doit être loin, la résistance de grille doit être placée le plus près possible de l'interrupteur. De cette manière, le bruit électromagnétique affecte moins le transistor étant donné qu'une impédance très faible pilote ce nœud.

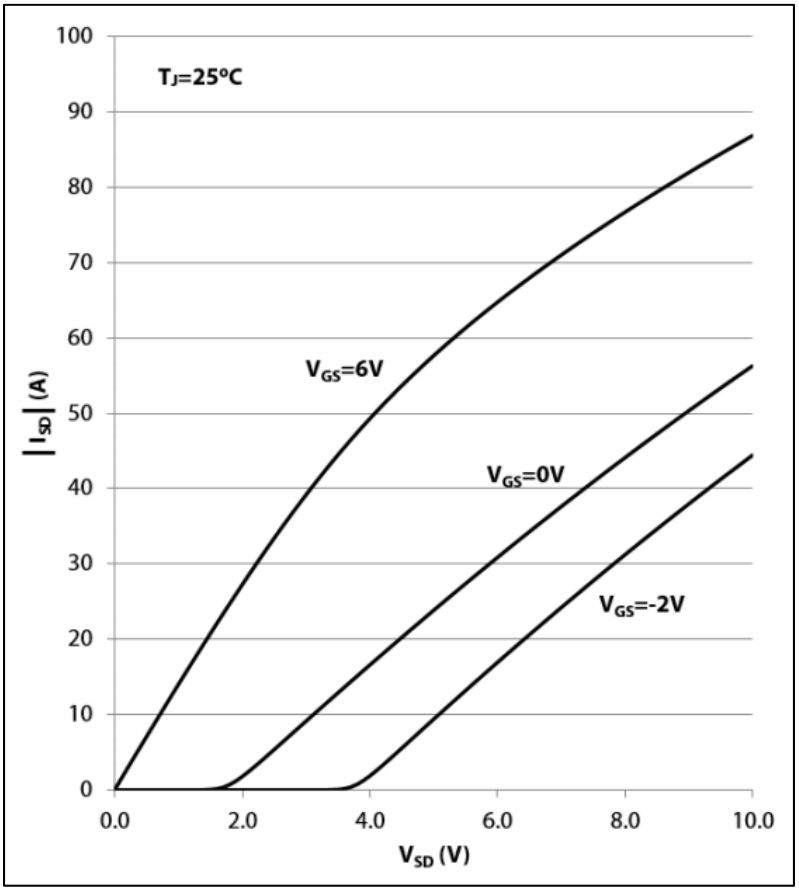


Figure 4.8 Valeur absolue du courant en fonction de la tension source-drain

Il ne faut pas oublier que le bruit EMI est, en général, transmis par l'entremise de l'inductance mutuelle entre les traces du circuit. Deux résistances différentes sont utilisées afin d'obtenir un temps de montés et de descente différent. Dans le cas d'une commutation dure, lorsque la charge est inductive, un temps de montée rapide et un temps de descente lent sont préférables. Contrairement au MOSFET, ce transistor n'a pas avantage à avoir une tension de grille négative. Cela augmente la tension en conduction inverse, telle qu'illustrée sur la Figure 4.8.

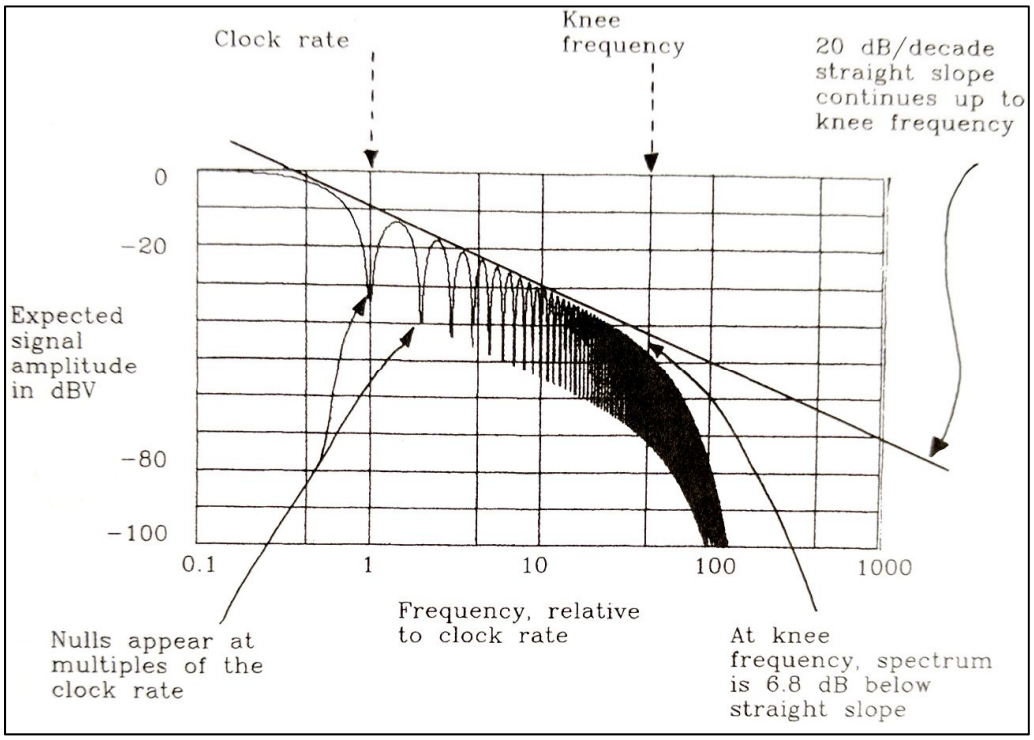


Figure 4.9 Contenu spectral d'un signal d'horloge en fonction de la fréquence relative
Tirée de Graham et Johnson (1993)

Le contenu spectral d'un signal numérique n'est pas très différent d'un signal de PWM : ce sont tous deux des impulsions rectangulaires, mais d'amplitude différente. La Figure 4.9 montre le spectre d'une horloge, c'est-à-dire d'un signal carré, tiré du fameux livre : « *High-Speed Digital Design : A Handbook of Black Magic* » (Graham et Johnson, 1993). On remarque sur cette figure que la grande majorité de l'énergie du signal est contenue en dessous de la fréquence de coupure F_{KNEE}. Cette valeur varie principalement en fonction du temps de

montée et de descente de l'onde carrée. Lorsque le temps de monté est égal au temps de descente, on peut calculer la valeur de F_{KNEE} comme suit :

$$F_{KNEE} = \frac{0.5}{T_{RISE}} \tag{4.34}$$

Il est alors possible de donner une allure aux paramètres clefs tels que le « *crosstalk* », la radiation, le bruit en mode commun, etc. Cette valeur peut aussi être profitable lorsque vient le temps de passer des normes de compatibilité électromagnétique. La Figure 4.10 et la Figure 4.11 montrent la comparaison entre deux normes : FCC et CISPR. À ce point, il serait judicieux d'ajuster le temps de montée et de descente des transistors en conséquence. Pour F_{KNEE} = 200MHz, le temps de montée et de descente devrait être d'au moins 25ns. On ajuste alors les résistances de grille pour ne pas dépasser ces valeurs.

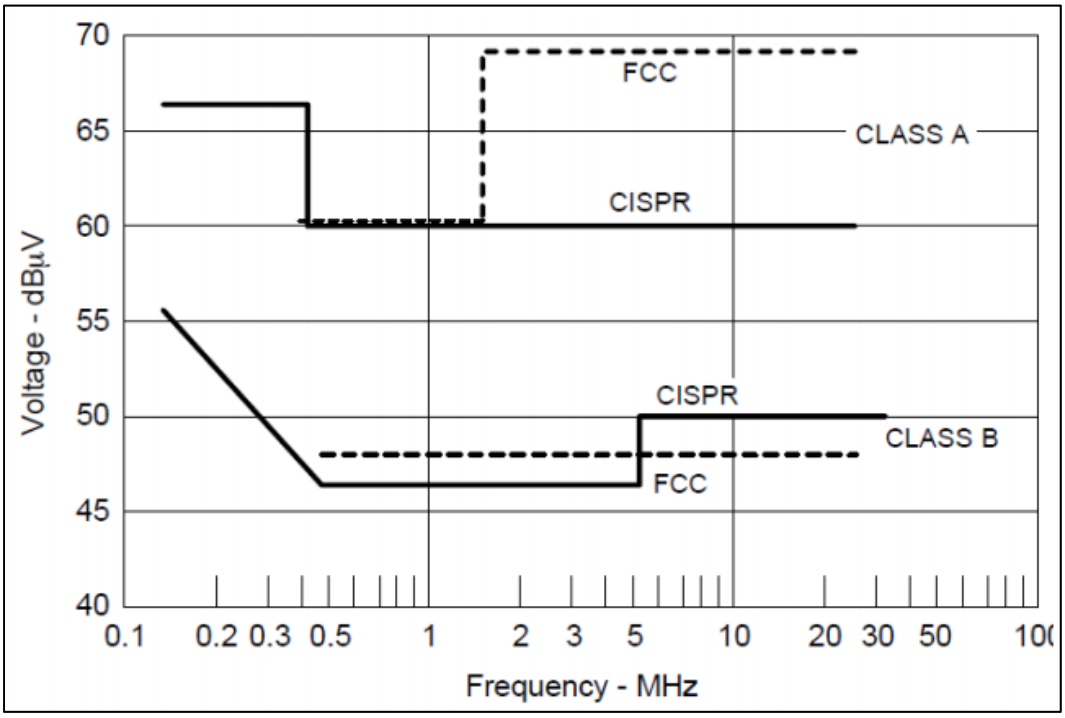


Figure 4.10 Limites du bruit conduit (FCC Part 15 vs CISPR 22)
Tirée de Fortin Blanchette (2014)

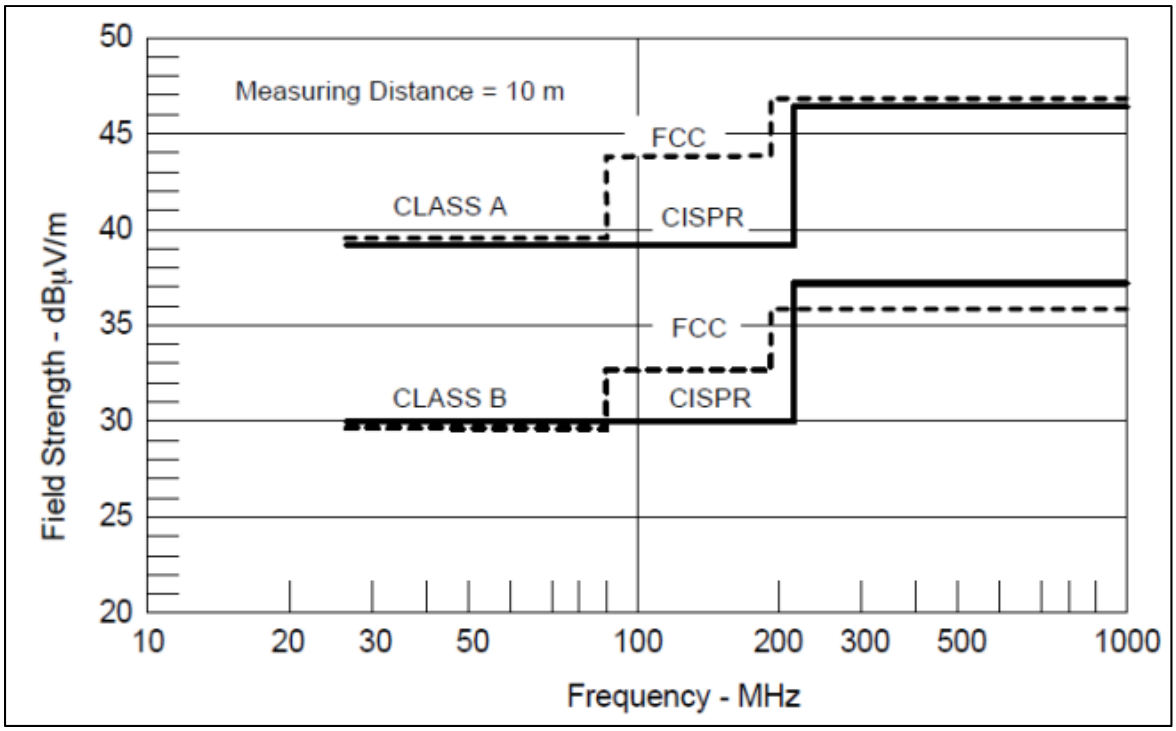


Figure 4.11 Limites du bruit radié (FCC Part 15 vs CISPR 22)
Tirée de Fortin Blanchette (2014)

Le dernier paramètre d'intérêt, la résistance à l'état passant du transistor, est affecté par plusieurs choses, dont la tension de la grille. La Figure 4.12 résume sa tendance sur quelques points d'opération. On remarque évidemment que l'utilisation d'une tension de grille supérieure diminuera la résistance à l'état passant. Dans notre cas, le courant maximum à la sortie du convertisseur est d'environ 18A. Afin de ne pas être dans une zone très abrupte, la tension du pilote sera donc de 6V à 7V.

Une simulation LT SPICE a été réalisée afin de trouver les résistances de grilles et son schéma est disponible à la Figure 4.13. Afin de recréer le plus possible la réalité, les générateurs d'impulsion V4 et V6 auront des temps de montée comparable au pilote utilisé : LM5114. Une inductance de fuite de 50nH est aussi ajoutée au drain des transistors pour justifier l'utilisation du circuit d'amortissement qui, lui aussi, affecte la commutation et l'efficacité.

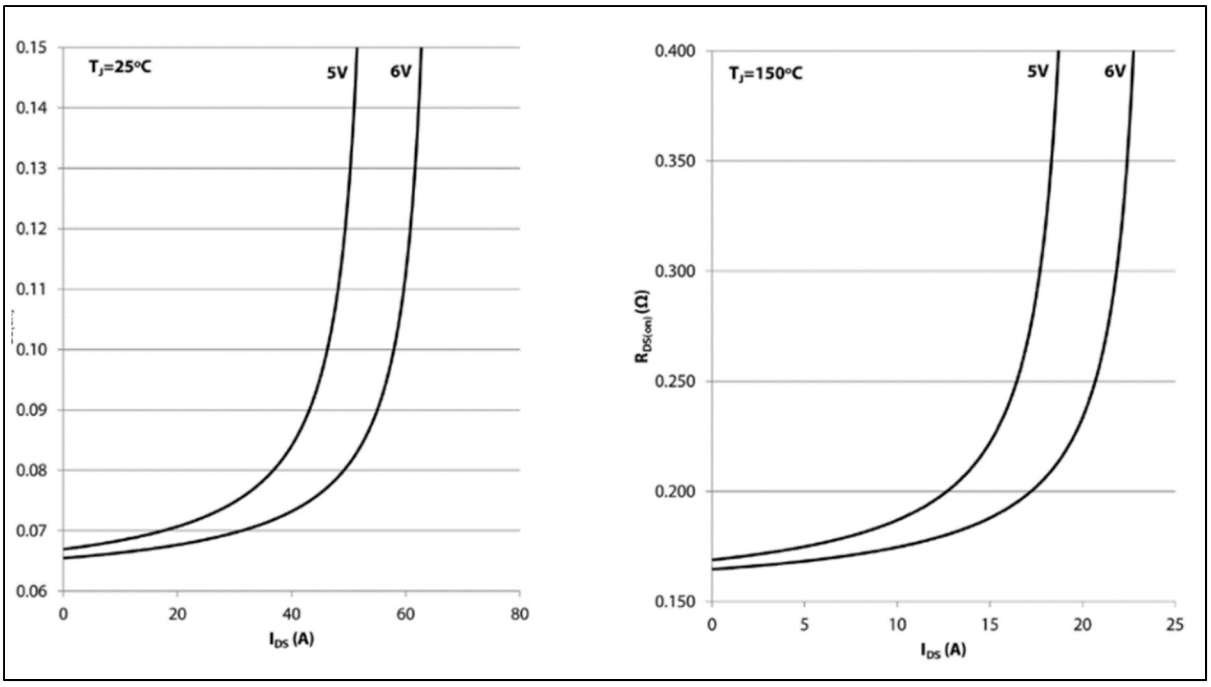


Figure 4.12 Résistance à l'état passant du GS6506T en fonction de la tension de grille pour une température de 25°C et de 150°C

Les résultats sont présentés à la Figure 4.14. Les temps de montée et de descente sont mesurés de 10% à 90%. Or, d'autres méthodes plus justes existent (Graham et Johnson, 1993). L'une d'entre elles aboutit en un temps composite prenant en compte l'environnement. L'ordre de grandeur résultant de la simulation est satisfaisant, étant donné que plusieurs paramètres sont estimés. Néanmoins, cela donne un bon point de départ pour la conception, ce qui était le but de cette simulation.

Quant aux temps morts, une valeur d'environ 100ns fut utilisée. Il est important de noter que pour une commutation dure, une diode antiparallèle sera toujours passante durant les temps morts. Étant donné que la tension de cette diode est élevée, il est recommandé d'utiliser le plus petit temps mort possible.

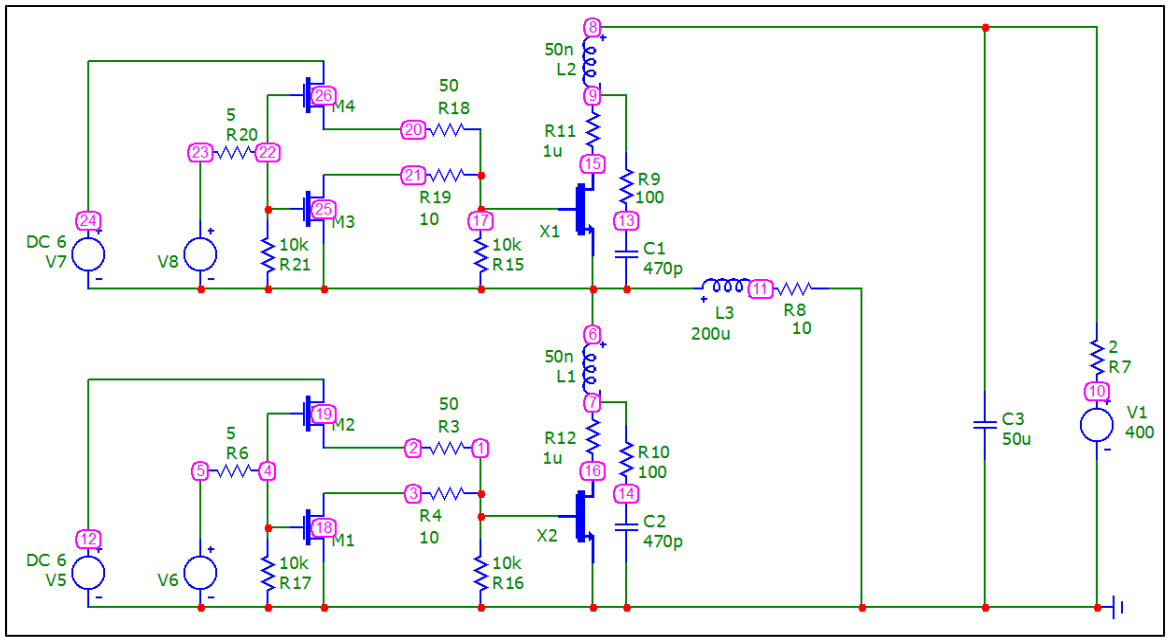


Figure 4.13 Circuit LT SPICE pour trouver les résistances de grille appropriées

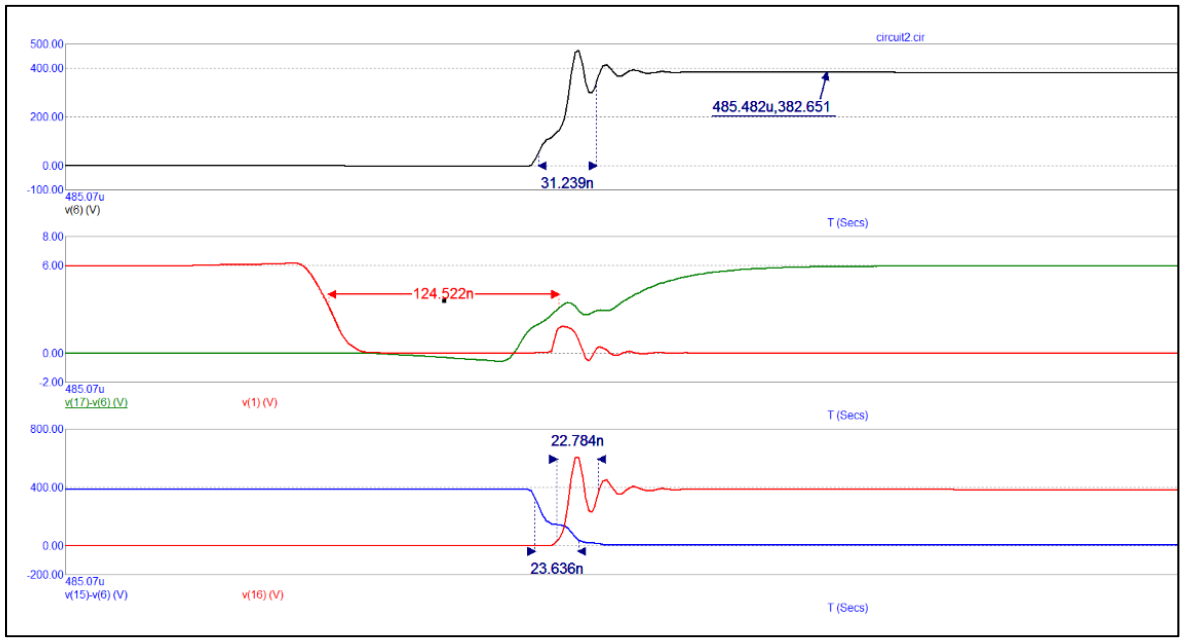


Figure 4.14 V_{DS} et V_{GS} de X1 et de X2 par simulation LT SPICE pour I_D = 18A

4.5 Système de refroidissement

Avoir des résultats précis sur l'échange de chaleur d'un assemblage requière d'effectuer plusieurs calculs conjointement avec des simulations par éléments finis. Pour alléger le calcul, des équations approximatives seront utilisées. La puissance dissipée et les différentes résistances thermiques du montage seront trouvées et utilisées afin de calculer les températures d'opération des transistors.

4.5.1 Pertes des transistors

Les transistors au Nitrure de Gallium ont l'avantage d'avoir une dynamique extrêmement rapide grâce à, entre autres, la petitesse des capacités parasitiques, l'absence de charge de recouvrement inverse et au 2DEG. Évidemment, il y a des limites à la rapidité de la commutation en raison du bruit généré. Afin de dimensionner le radiateur, il faut quantifier les pertes. En utilisant le modèle LT SPICE de la Figure 4.13, il est possible de moyenner les pertes de chaque interrupteur et, ensuite, d'extrapoler. La Figure 4.15 montre les résultats pour un courant moyen à la charge de 17A. La somme des pertes est alors d'environ 36.3W.

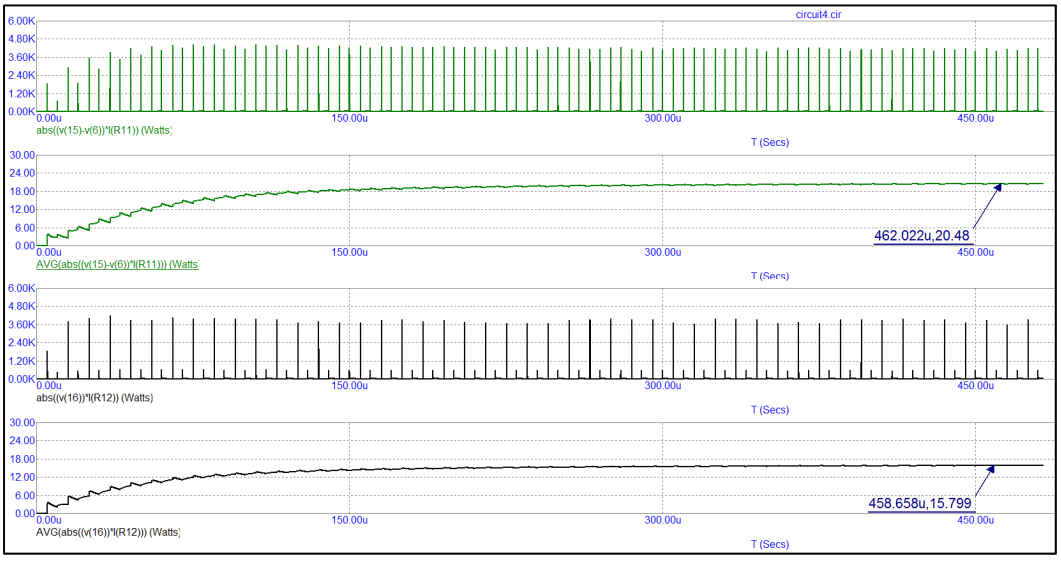


Figure 4.15 Pertes instantanées et moyennées pour les deux transistors avec un courant de 17A sur la charge

4.5.2 Résistance thermique équivalente

La résistance thermique minimale peut alors être calculée afin de sélectionner le radiateur. Par choix de conception, le radiateur sera refroidi avec un ventilateur afin de diminuer la grosseur de ce dernier. Par souci d'efficacité et de longévité, ce ventilateur sera mis en marche uniquement lorsque la température est élevée. Il y aura donc un circuit de mesure pour la température. Celui-ci est réalisé à l'aide d'une thermistance et d'un comparateur de tension. L'utilisation d'un thermocouple est fortement déconseillée étant donné que l'environnement est très bruité et que la tension de la mesure est très faible. Pour le calcul, la température maximale permise à la jonction du transistor sera de 150℃ et la température ambiante, de 20℃.

$$R_T = {}^{\Delta T}/_{P} \tag{4.35}$$

$$R_T = {}^{130℃}/_{4 \cdot 36.28W} = 0.90\,{}^{℃}/_{W} \tag{4.36}$$

Cette valeur approximative semble très faible, mais elle est tout de même réaliste pour cet ordre de puissance. Cette valeur donne un bon point de départ pour sélectionner le radiateur, le ventilateur et la membrane thermoconductrice. Ces composants sont énumérés dans le Tableau 4.6. À partir de ces derniers, il sera possible de calculer la température approximative de la jonction des transistors.

Tableau 4.6 Éléments du système de refroidissement d'une cellule

Éléments	**Manufacturier**	**Numéro manufacturier**
Radiateur	Advanced Thermal Solution	ATS-P1-42-C2-R0
Membrane thermoconductrice	t-Global Technology	H48-6G-300-300-0.3
Ventilateur	Mechatronics Fan Group	B7530E24B-BSR

L'échange de chaleur au sein du radiateur est un phénomène non linéaire, le calcul peut vite devenir complexe et fastidieux. Il est préférable d'utiliser la méthode des éléments finis avec un logiciel tel qu'ANSYS afin d'analyser l'échange de chaleur. Certains fabricants proposent aussi leurs propres logiciels utilisant la MEF afin de faciliter le dimensionnement. Ils sont cependant limités au produit du manufacturier

4.5.3 Pellicule thermoconductrice

La résistance de la membrane thermoconductrice peut être trouvée à l'aide de son épaisseur, de sa conductivité thermique et des dimensions de l'interface. Cette résistance varie aussi d'autres paramètres comme la pression exercée sur l'interface :

$$R_{\theta(isol.)} = \frac{L}{\lambda \cdot S} = \frac{0.3mm}{6.0\,{}^{W}/_{°\mathrm{C}\cdot m} \cdot (5.11mm \cdot 3.09mm)} \tag{4.37}$$

$$R_{\theta(isol.)} = 3.17\ {}^{°\mathrm{C}}/_{W} \tag{4.38}$$

Cette valeur est la plus grosse du circuit thermique. Elle pourrait être diminuée facilement avec l'utilisation de meilleurs matériaux. Par exemple, une pâte thermique entre l'isolateur et le cuivre du PCB peut augmenter la surface de contact. L'interface thermique des transistors est très petite, ce qui contribue à augmenter la résistance de cette interface. La valeur trouver représente cas très pessimiste qui ne comprend pas tous les points de dissipation, tel que la dissipation thermique au sein du PCB.

4.5.4 Convection forcée

Un radiateur standard a été sélectionné en raison de sa facilité d'intégration sur la plaquette électronique. Dans les spécifications techniques du manufacturier, la Figure 4.16 est fournie afin de donner la résistance thermique en fonction de la vitesse de l'air traversant les ailettes.

On remarque d'emblée qu'un grand écart sépare la résistance thermique avec et sans conduite, ce qui est normal étant donné que l'air est un fluide compressible.

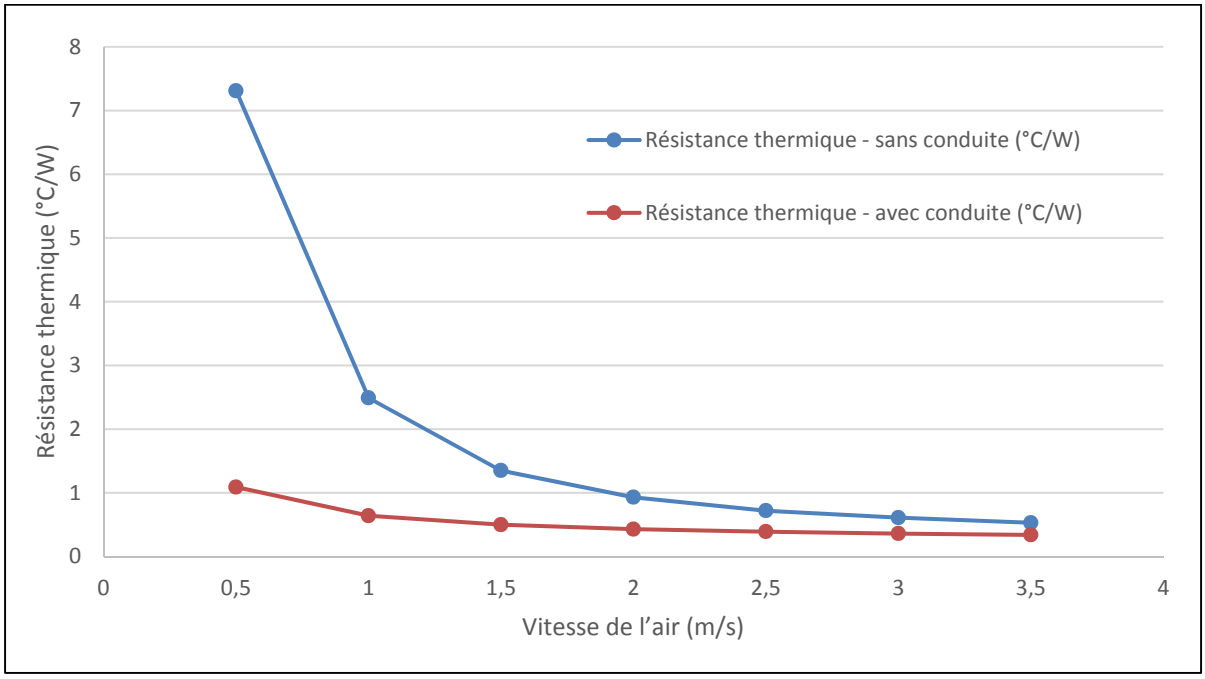


Figure 4.16 Résistance thermique en fonction de la vitesse de l'air, avec et sans conduite

Malheureusement, lors de l'achat d'un ventilateur, celui-ci est dimensionné par rapport au débit volumique qu'il peut fournir. Il faut alors convertir le débit volumique en vitesse, ce qui n'est pas évident. Pour simplifier le calcul et améliorer les performances de convection, une conduite imprimée en plastique est utilisée afin de forcer l'air à passer dans le radiateur. La conduite est illustrée en blanc sur la Figure 4.17. Le matériel utilisé pour la fabrication de la conduite prototype, le PLA, n'est pas très résistant à la température et peut devenir mou si la température augmente trop. Un matériel comme l'ABS serait plus adapté à l'environnement. Il est bon, également, de se pencher sur la validité des mesures fournies par le manufacturier. Dans le cas du radiateur, un propagateur thermique est déjà installé et ne recouvre que la moitié de la surface de la base. Les valeurs données sont donc probablement mesurées dans le cas où la surface de contact n'est que ce propagateur. Or, dans notre cas, il est remplacé pour couvrir

la totalité de la base afin d'accueillir tous les transistors devant y être raccordés. La résistance thermique de la Figure 4.16 est donc probablement plus haute que dans l'utilisation présente.

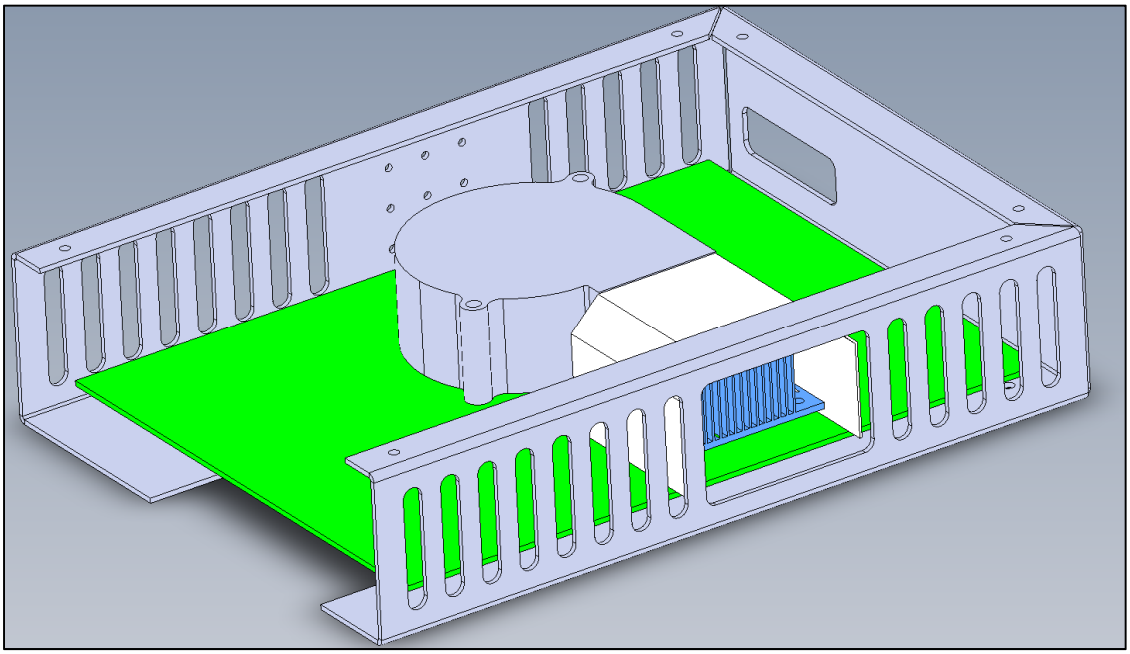


Figure 4.17 Vue isométrique de la conduite du radiateur et du ventilateur

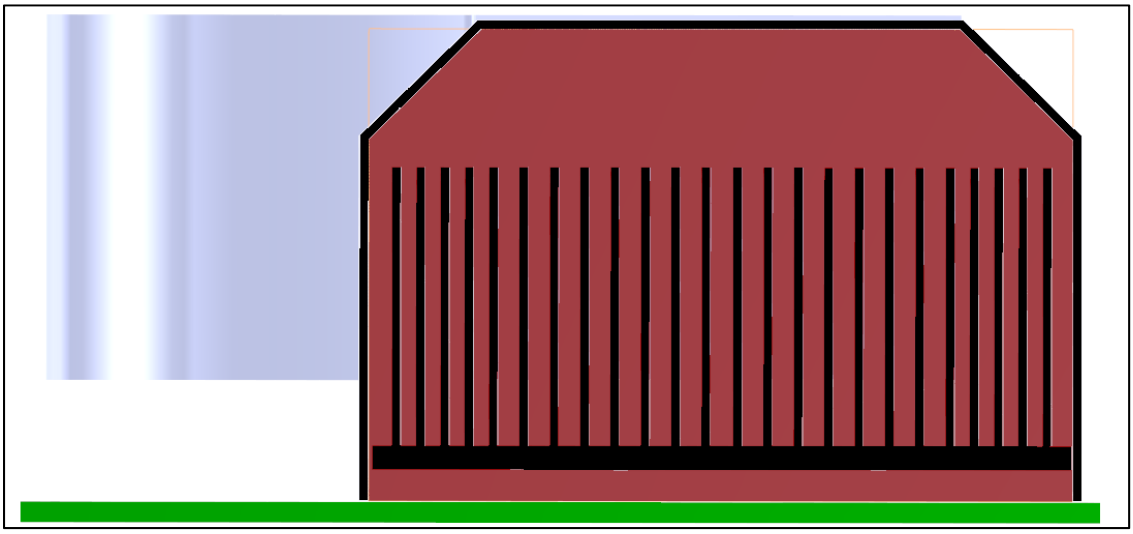


Figure 4.18 Surface apparente de la conduite dans laquelle l'air circule

À l'aide du logiciel SolidWorks, il fut possible de déterminer la surface par laquelle l'air circule. La Figure 4.18 montre cette section en rouge. Il est alors possible d'utiliser la formule du débit uniforme dictant le débit volumique en fonction de la surface et de la vitesse de l'air. Cette équation n'est cependant valide que pour un régime laminaire, ce qui n'est pas tout à fait le cas en raison de la turbulence générée à la sortie du ventilateur. Or, les ailettes contribuent à la diminution du nombre de Reynold ce qui fait en sorte que la formule est une bonne approximation. Le débit volumique du ventilateur est fourni dans sa fiche technique.

$$Q_V = S \cdot v \tag{4.39}$$

$$v = \frac{0.382\,{}^{m^3}/_{min}}{1637.81 mm^2} = 3.89\,{}^{m}/_{s} \tag{4.40}$$

La résistance thermique du radiateur peut alors être trouvée à partir de la Figure 4.16 et d'un polynôme du troisième ordre représentant la courbe de la résistance thermique avec une conduite en fonction de la vitesse de l'air traversant les ailettes du radiateur :

$$R_{\theta(HS-A)}(v) = -0.08 \cdot v^3 + 0.6114 \cdot v^2 - 1.5543 \cdot v + 1.7071 \tag{4.41}$$

$$R_{\theta(HS-A)}(3.89\,{}^{m}/_{s}) = 0.2046\,{}^{°C}/_{W} \tag{4.42}$$

4.5.5 Simulation bidimensionnelle

L'utilisation d'un propagateur thermique entre la membrane isolatrice et le radiateur permet de poser l'hypothèse que la température de l'interface de tous les transistors est environ la même. En réalité, ce n'est pas tout à fait le cas, étant donné que ce matériel aussi possède une résistance thermique selon la surface de contact et, aussi, perpendiculaire à celle-ci. La Figure 4.19 résume le modèle thermique utilisé. On remarque d'emblée que les transistors émettant plus de chaleur ont une température supérieure à leur limite. Or, étant donné la quantité d'approximation utilisée, principalement au niveau des pertes et des interfaces, il est difficile

de faire confiance aux résultats. C'est pourquoi il faut réaliser les tests expérimentaux et s'adapter. Des plans de mitigation, tels que pouvoir utiliser un plus gros radiateur ou une membrane thermoconductrice plus performante, peuvent donner la flexibilité nécessaire afin d'ajuster le refroidissement en pratique. La Figure 4.20 montre l'effet qu'aurait un isolateur plus performant. Avec une réduction de 33%, une variation de 15°C à 20°C est ressentie au niveau de la jonction des transistors.

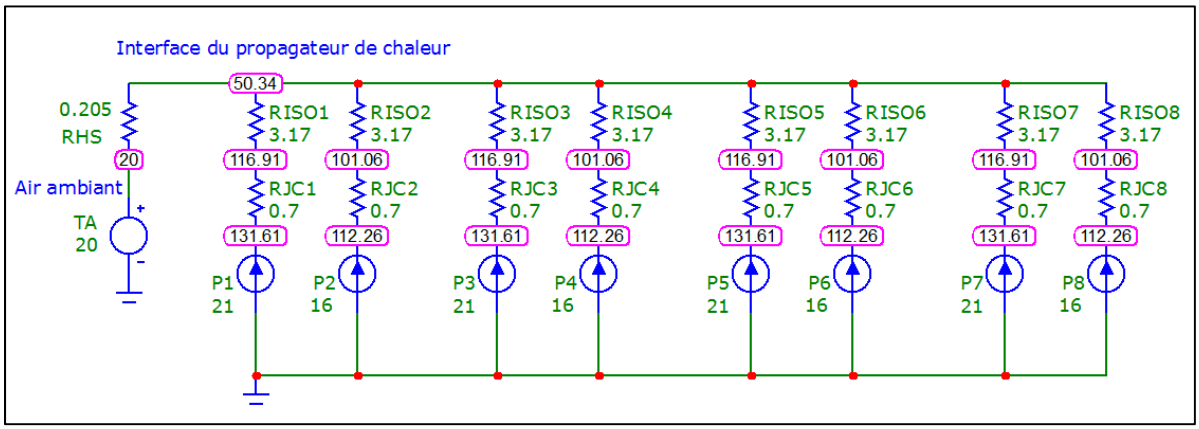


Figure 4.19 Simulation bidimensionnelle de l'échange de chaleur

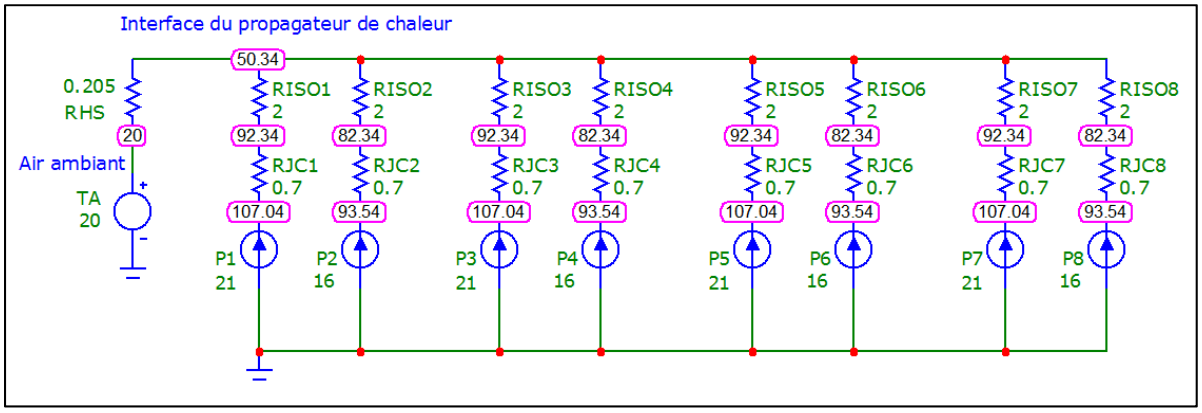


Figure 4.20 Simulation bidimensionnelle de l'échange de chaleur lorsque la résistance thermique de la membrane est de 2.0°C/W

4.6 Mesures et capteurs

Les mesures de tension et de courant dans un convertisseur de puissance digital sont très compliquées à réaliser en raison du bruit de commutation. Ces mesures doivent être synchronisées avec le PWM et la boucle de contrôle. Comme il est montré dans la Figure 3.9, un pulse de synchronisation démarre l'acquisition. La Figure 4.21 montre le chronogramme de cet évènement par rapport à la triangulaire. Dans la base temporelle du CPLD, le signal « *DIR* » est généré afin de modifier la direction du compteur. Ce signal est alors envoyé au microcontrôleur qui détecte son front montant.

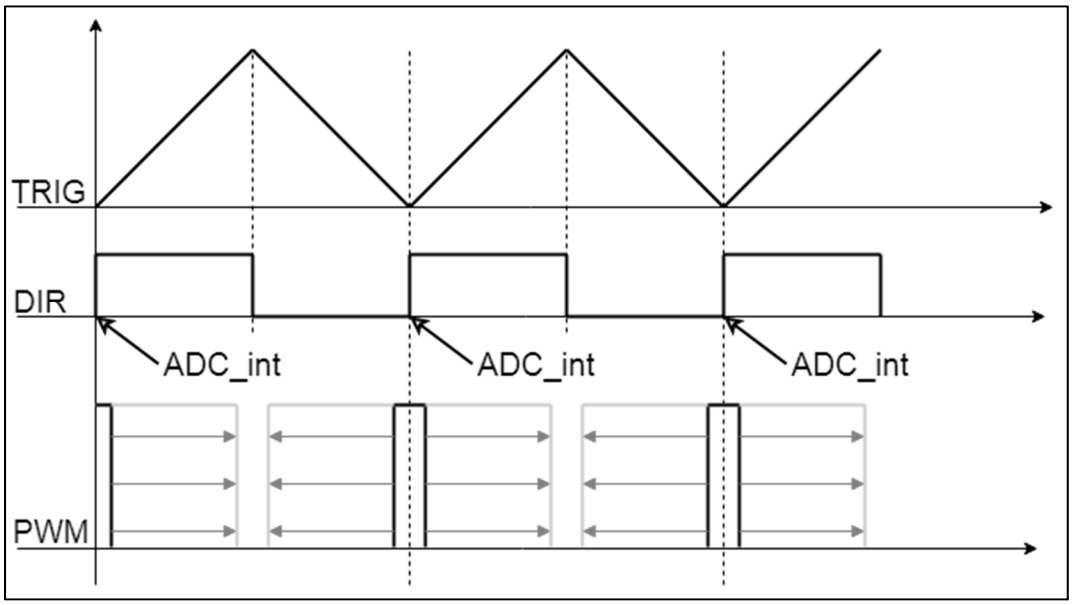


Figure 4.21 Synchronisation de l'ADC

L'isolation de ces mesures est d'autant plus importante que leur synchronisation. Cela protège le circuit de contrôle étant donné que les tensions mesurées sont élevées. En contrepartie, cela diminue aussi la bande passante de la mesure. Celle-ci doit être beaucoup plus grande que la fréquence de la boucle de contrôle principale afin de ne pas impacter la stabilité du système.
Deux types d'isolateurs de tension analogique sont considérés : optiques et capacitif. Le premier type est celui possédant la plus grande bande passante. Or, leur plage de

fonctionnement est souvent non-linéaire et doivent être compensé à l'aide d'une courbe de régression ou d'un circuit de rétroaction compliqué. Le deuxième type est, quant à lui, plus lent, mais plus sûr. Un convertisseur analogue à digital permet de transmettre la valeur du signal à travers un isolateur numérique qui est, par la suite, converti de nouveau en signal analogique. Ils sont généralement déjà linéarisés, mais possèdent une très faible bande passante. De plus, le temps de propagation est plutôt long étant donné la nature de l'isolation. Somme toute, il peut être limitatif s'il est utilisé dans une boucle de contrôle, mais il est plus facile à utiliser.

L'isolation d'une mesure de tension ajoute aussi du bruit en mode commun. Le taux de rejection en mode commun d'un circuit isolateur est un paramètre important compte en électronique de puissance. Le bruit électromagnétique à haute fréquence y est considérable en raison de la commutation rapide de plusieurs centaines de volts. Dans le cas du PUC5, la mesure du condensateur flottant est un excellent exemple de l'ampleur du problème :

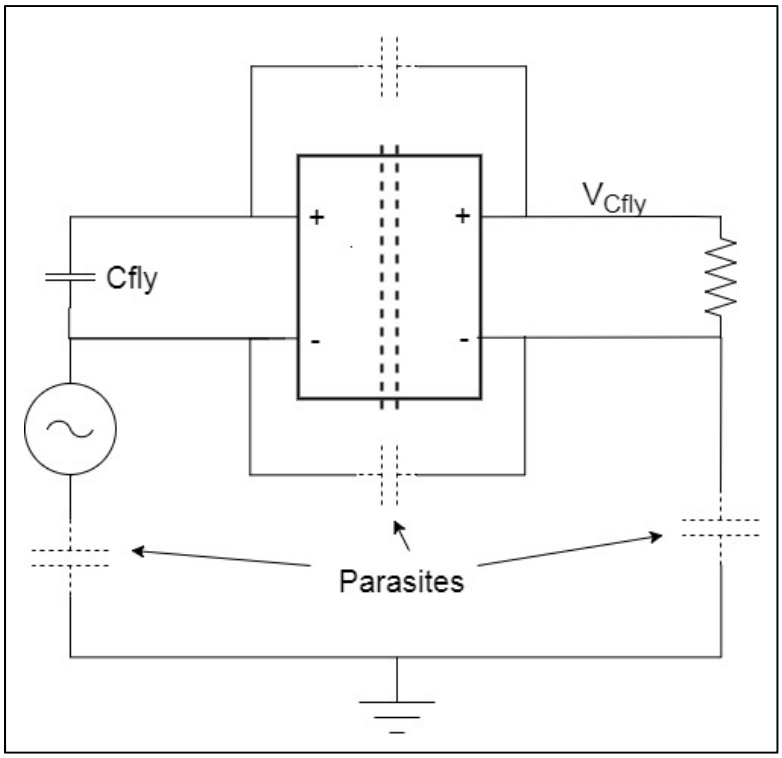


Figure 4.22 Source de bruit un mode commun dans la mesure de tension du condensateur flottant

Étant donné que ce condensateur n'est pas connecté directement à la mise à la terre, le capteur voit une très grande et très rapide variation de tension en mode commun. Le spectre de cette source aura l'allure de celui à la Figure 4.9. Cela fait en sorte que la sortie de l'isolateur reflète cette variation de tension dans sa sortie et introduit une erreur de mesure aléatoire. Cette erreur peut être calculée avec le CMRR fourni dans la fiche technique. Il faut toutefois faire attention, car cette valeur varie énormément en fonction de la fréquence. La formule exprimant la valeur de ce paramètre est présentée à (4.43) :

$$CMRR = 20 \cdot Log\left({}^{V_{CM}}/_{V_{AC}}\right) \tag{4.43}$$

Le CMRR des isolateurs de tension est, en général, d'environ -60dB à 10KHz. Cette valeur sera utilisée pour donner un ordre de grandeur via l'équation ci-dessus. Une tension arbitraire

de 400V sera utilisée pour le calcul, mais rappelons-nous que le spectre d'une commutation est très large et que la majorité de l'énergie se trouve en dessous de F_{KNEE} :

$$-60dB = 20 \cdot Log\left({V_{CM}}/{400V}\right) \tag{4.44}$$

$$V_{CM} = 400mV \tag{4.45}$$

Cette tension semble, à priori, très faible. Cependant, lorsqu'interprétée par le microcontrôleur, elle peut représenter une très grande variation qui, en soi, n'est pas réel. Le cas présent de 400mV représente en une variation de 29.4V dans le contrôleur et empêche complètement la régulation de s'effectuer correctement. Il est facile de filtrer cette tension si sa fréquence est beaucoup plus élevée que le signal d'intérêt. Dans le cas contraire, cela ajouterait un grand déphasage sur la mesure. De plus, si le signal peut être filtré, il reste tout de même un autre paramètre important qui lui, concerne l'alimentation isolée de ces capteurs : le PSRR. Ce dernier est très semblable au CMRR à la différence près qu'il concerne uniquement la réjection du mode commun d'une alimentation. Celui-ci est, en général, très mauvais. Il est de l'ordre de -20dB à 10KHz. Il est impératif d'utiliser un filtrage adéquat, comme des inductances couplées en mode commun, et de donner un chemin de faible impédance au bruit afin qu'il ne se faufile pas dans la mesure. La Figure 4.23 montre un exemple de ce genre de chemin. Les condensateurs C_{F1} et C_{F2} ferment une boucle autour de la source de bruit qui diminue le courant traversant les capacités parasites du circuit. Des résistances peuvent être ajoutées en série avec ces condensateurs afin de limiter le courant traversant le condensateur et pour contribuer à la dissipation de l'énergie. Davantage de filtrage peut être ajouté au niveau de l'alimentation isolée du capteur.

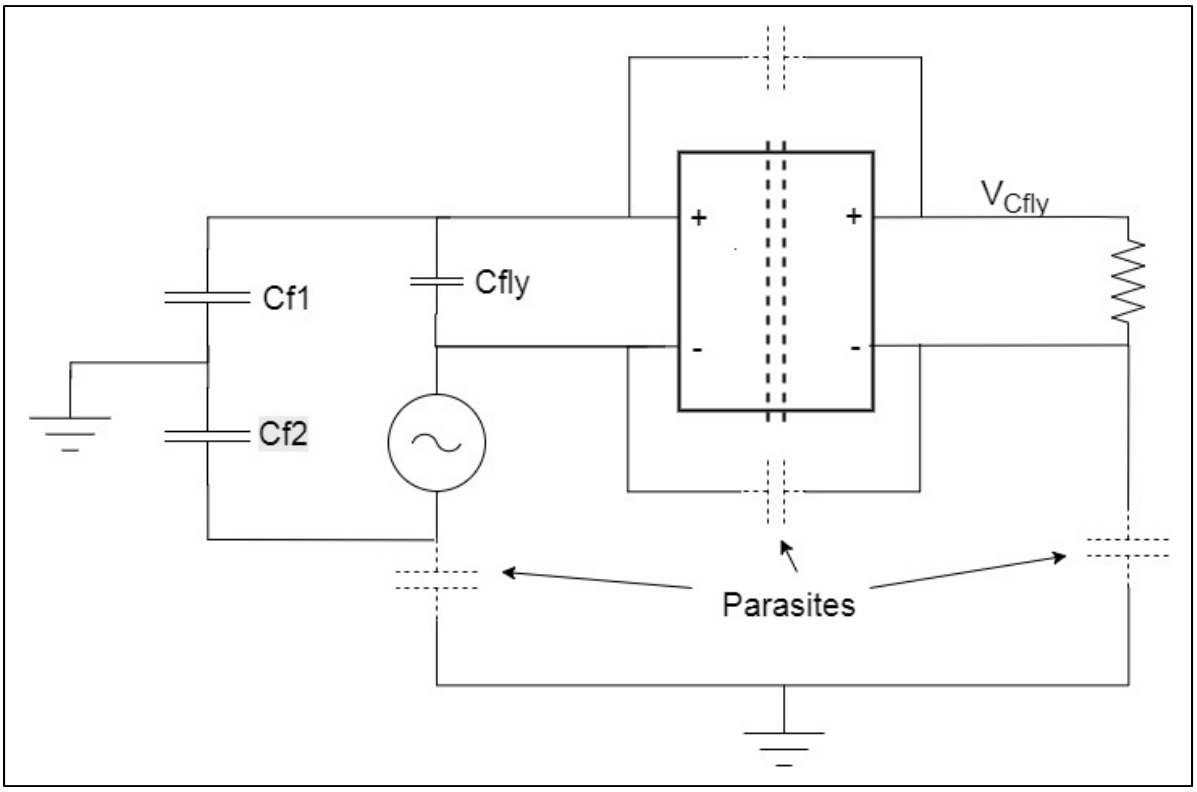


Figure 4.23 Implantation d'un chemin de faible impédance pour le bruit en mode commun

4.7 Inductance interbranche

Cette inductance est très importante dans le design du convertisseur. Sa principale utilisation est dans la régulation du courant à haute fréquence circulant entre les convertisseurs. Étant donné la technique de synchronisation employée, le courant engendré par les délais de porteuse varie avec cette inductance. La Figure 4.24 montre le courant avec une inductance de 100µH et la Figure 4.25, avec le double. Le filtre de sortie est constitué d'une inductance de 470µH et d'un condensateur de 1µF. Dans ce cas-ci, un convertisseur est flottant afin de mieux mettre en valeur le courant de circulation. Avec une plus grande valeur d'inductance, l'ondulation haute fréquence est fortement diminuée. Cela met aussi en évidence les harmoniques de plus basses fréquences.

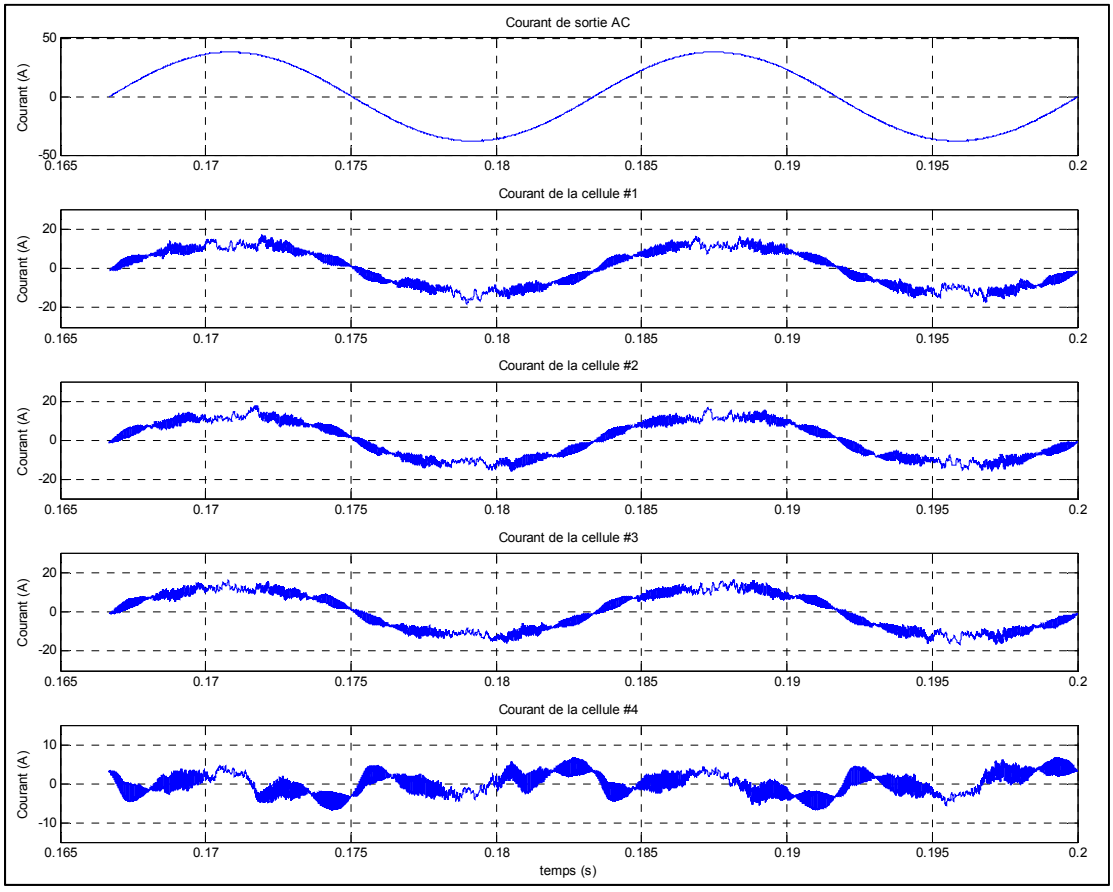


Figure 4.24 Courant de chaque convertisseur avec L_{LEAF} = 100µH

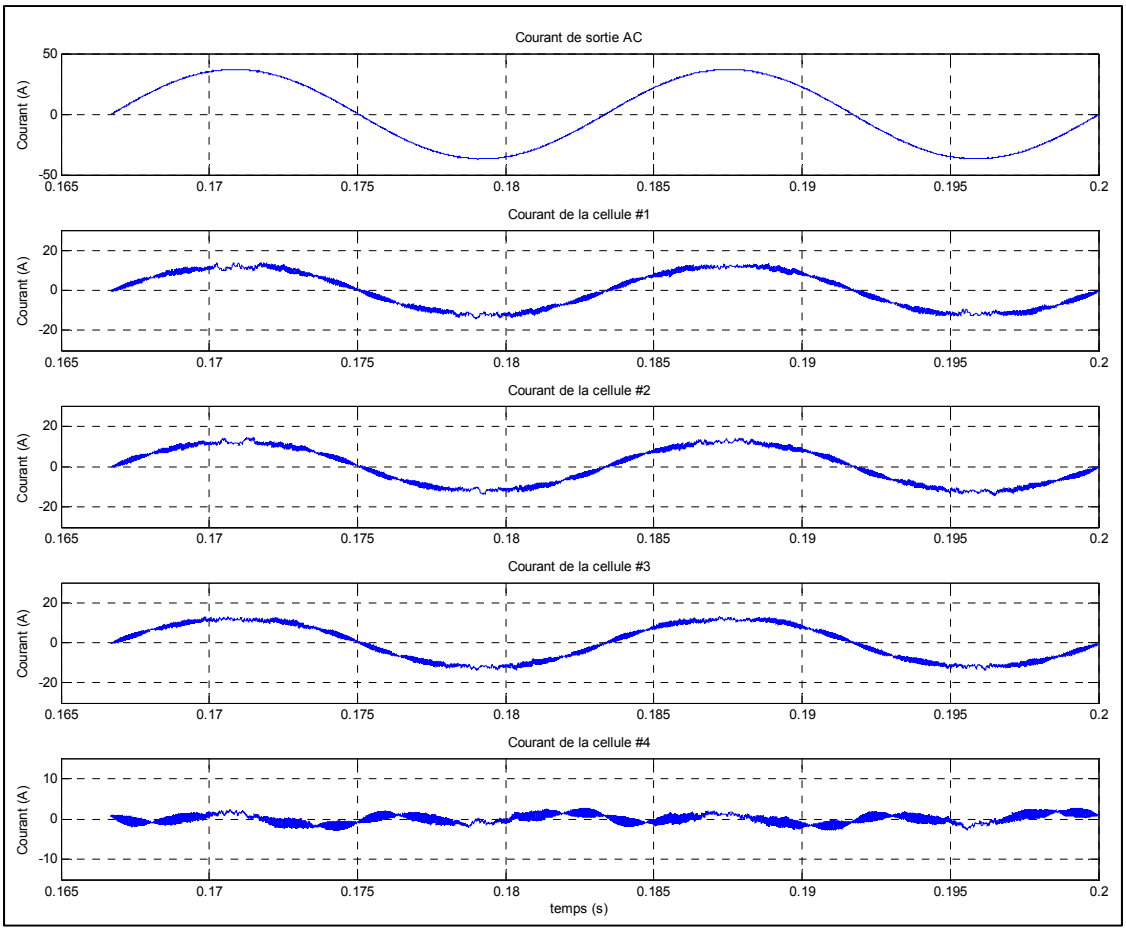


Figure 4.25 Courant de chaque convertisseur avec L_{LEAF} = 200µH

La fréquence de cette ondulation est environ trois fois la fréquence fondamentale. La Figure 4.26 montre bien que cette harmonique du courant est aussi présente dans le cas d'une inductance de 100µH, mais elle est camouflée par le courant de haute fréquence. Il est important de diminuer les courants à haute fréquence dans la mesure où ils sont néfastes au système (échauffement résistif, bruit électromagnétique, etc.). D'un autre côté, avoir une petite inductance interbranche contribue à une meilleure répartition de la puissance entre les convertisseurs étant donné sa faible impédance. La valeur optimale est plus simple à trouver en pratique étant donné tous les parasites et non-linéarités à prendre en compte. Il est bon de noté que plus cette inductance est grande, plus le filtre de sortie du convertisseur peut être petit. C'est un peu comme répartir une grosse inductance en plusieurs petites inductances.

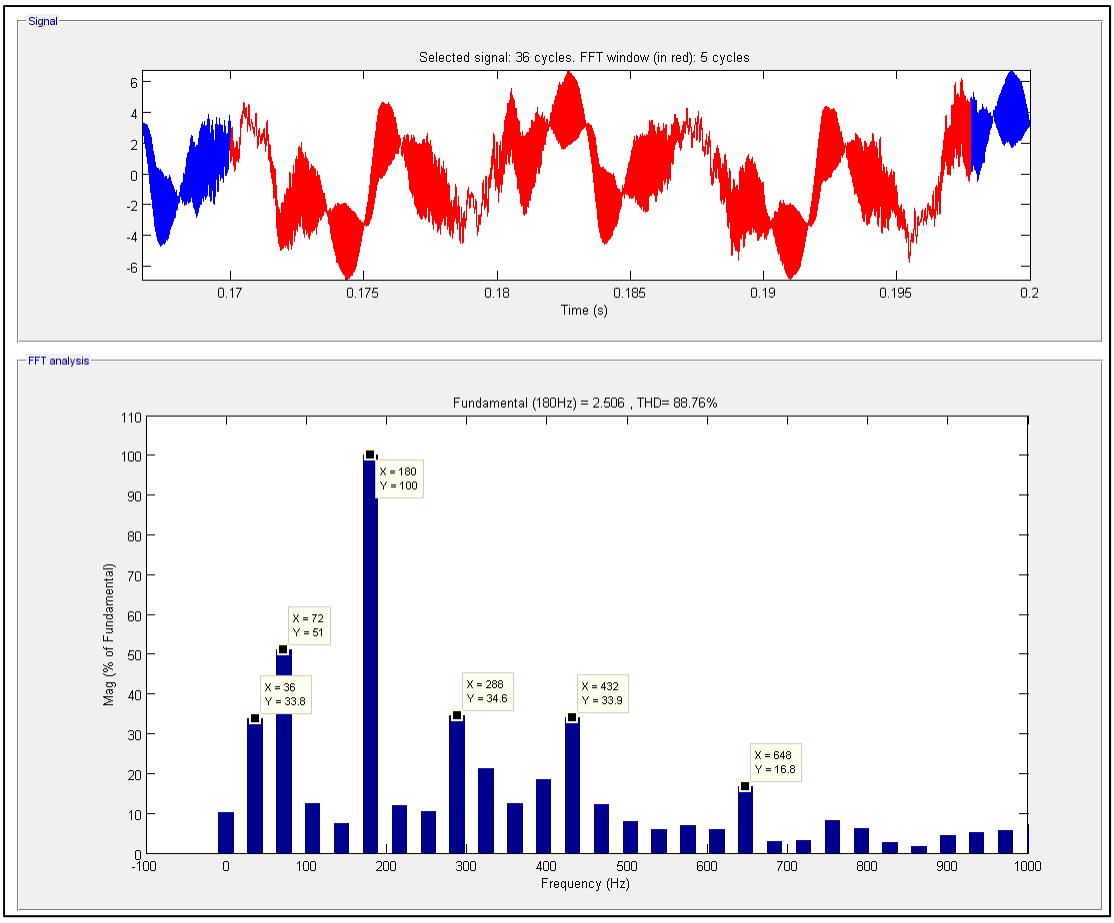


Figure 4.26 Contenu harmonique de basse fréquence avec L_{LEAF} = 100µH

Il est aussi possible de comparer les spectres complexes des courants afin de constater la diminution de l'ondulation haute fréquence. Le spectre fréquentiel du courant de chacun des convertisseurs est représenté dans la Figure 4.29 et dans la Figure 4.30. À la fréquence fondamentale de commutation, 100KHz, il est possible de voir une nette diminution d'amplitude. Un zoom sur ces raies est disponible à la Figure 4.27 et à la Figure 4.28. Comme anticipée, une augmentation de l'inductance d'un facteur deux engendre une diminution du courant de circulation entre les convertisseurs d'un même ratio. Un autre endroit mérite notre attention dans ces spectres. Aux abords de la fréquence du réseau, à 60Hz, les amplitudes des raies qui ne sont pas en phases semblent plus petites. Il y aurait donc, aussi, moins d'énergie réactive à basse fréquence qui circule entre les convertisseurs.

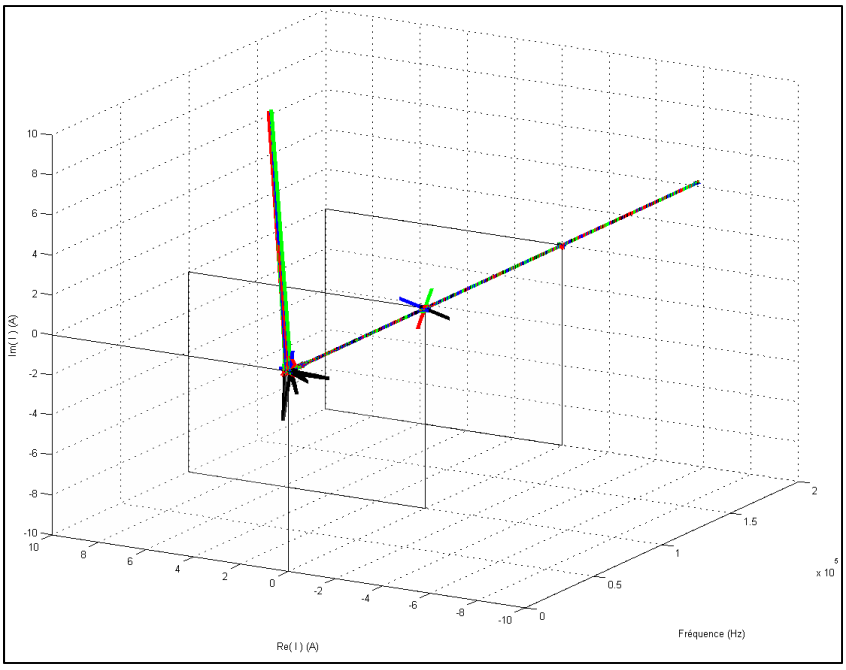


Figure 4.27 Spectre complexe du courant en 3D, L_{LEAF} = 100µH

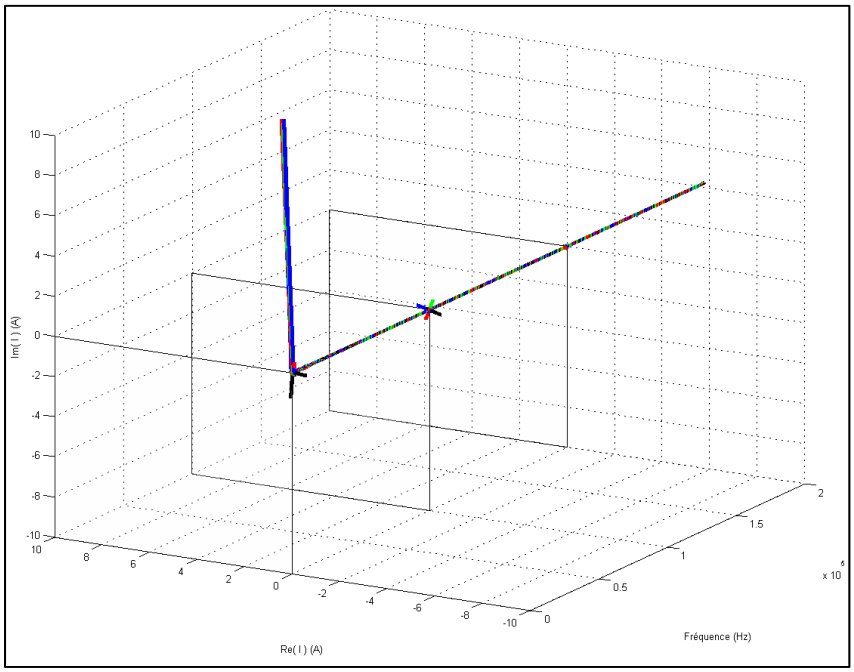


Figure 4.28 Spectre complexe du courant en 3D, L_{LEAF} = 200µH

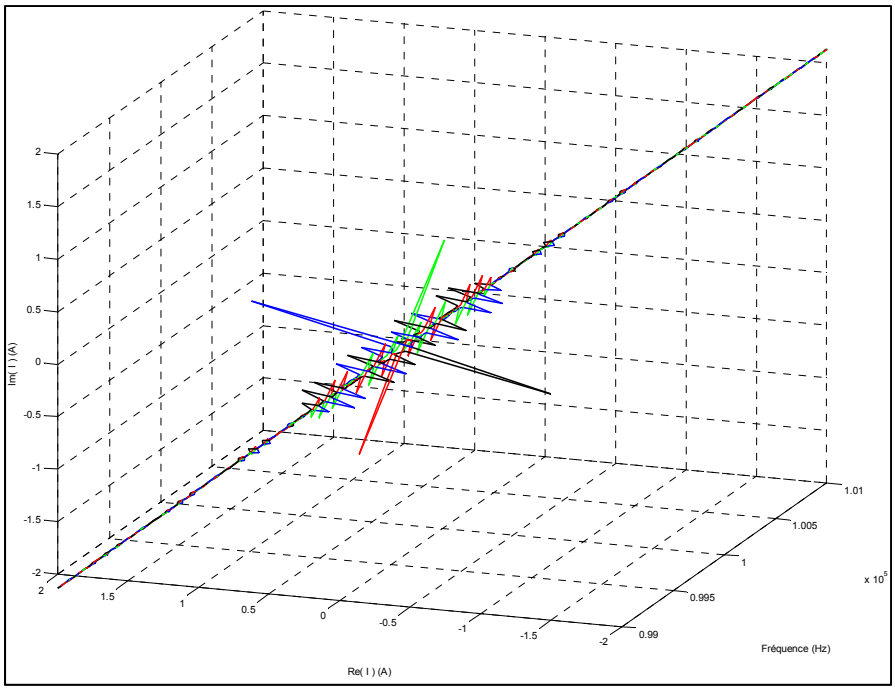


Figure 4.29 Zoom du spectre, L_{LEAF} = 100µH

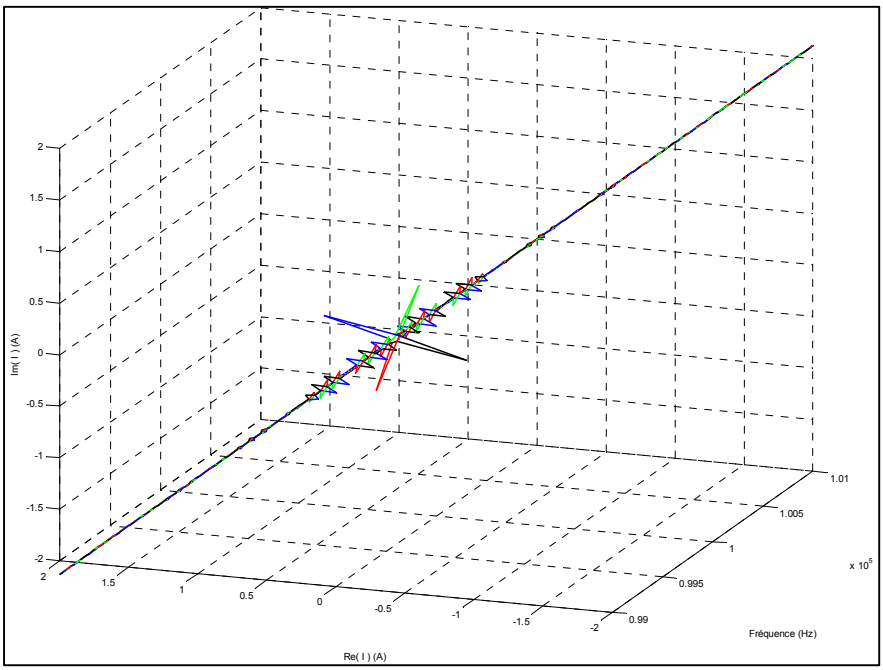


Figure 4.30 Zoom du spectre, L_{LEAF} = 200µH

La conception d'une inductance contient plusieurs étapes qui peuvent être réalisées dans un ordre différent dépendamment de qu'est-ce qui doit être optimisé : La taille, la capacité parasite, la facilité d'assemblage, etc. Souvent, même, la conception varie selon la disponibilité des produits. Dans le cas présent, la fréquence de résonance de la bobine est très importante, car du bruit à très haute fréquence est généré par les interrupteurs de puissance. Il est donc plus important d'avoir un bon matériel magnétique et une très faible capacité parasite qu'une petite taille. Cela se traduit par un plus gros cœur magnétique et un nombre réduit de tour afin de distancer le plus possible les spires entre elles. Une bobine toroïdale offre généralement la meilleure géométrie pour les inductances à haute fréquence.

4.8 Filtres de puissance

La fréquence de commutation des interrupteurs génère des courants à haute fréquence qui sont néfastes pour le réseau électrique. Un filtre est alors utilisé à la sortie de l'onduleur afin de diminuer leur amplitude. Comme il a été mentionné à la fin du CHAPITRE 3, il est possible d'augmenter virtuellement la fréquence de commutation vue par le filtre de puissance. La fréquence de commutation virtuelle au PCC est la fréquence fondamentale multipliée par le nombre d'onduleurs en parallèle. Avec un nombre suffisant de cellules en parallèle, on a aussi remarqué que la tension au PCC devient quasi sinusoïdale de par son THD très faible. Il serait donc possible, à un certain point, de ne pas avoir besoin d'inductance d'interconnexion : l'inductance des câbles de distribution serait suffisante. Malgré le fait que les fréquences de commutation s'annulent au PCC, il peut y avoir du bruit à haute fréquence qui soit conduit et/ou radié vers le réseau. Un filtre EMI doit donc être utilisé afin de couper la transmission du bruit, et ce, du côté CC et CA de la cellule. Cependant, ce dernier peut impacter la dynamique du convertisseur s'il n'est pas conçu correctement. Le théorème de l'impédance supplémentaire de *Middlebrook* est utilisé comme ligne directrice. Deux critères d'applications sont utilisés (Fortin Blanchette, 2015) :

- $||Z_O|| << ||Z_N||$
- $||Z_O|| << ||Z_D||$

Dans le cas du filtre d'entrée CC, Z_D représente l'impédance d'entrée du convertisseur lorsqu'aucune perturbation n'est présente sur le rapport cyclique. Z_O, quant à elle, se trouve à être l'impédance de la sortie du filtre, vue par le convertisseur, lorsque la tension de l'entrée est nulle. Finalement, Z_N est l'impédance d'entrée du convertisseur lorsque la commande appliquée cause une tension nulle à la sortie. L'application de ce théorème est très complexe et est généralement réalisée à partir du modèle théorique au lieu du modèle réel, ce qui n'est pas très rigoureux. Une tendance peut cependant être tirée de ce théorème : le filtre EMI doit avoir une très faible impédance comparée à celle du convertisseur.

CHAPITRE 5

DISCUSSION SUR LE CIRCUIT IMPRIMÉ

Ce chapitre rapporte les techniques et subtilités de la conception du circuit imprimé. Plusieurs des points abordés sont le résultat de problèmes qui ont été rencontrés. Une grande partie de ceux-ci concerne le bruit électromagnétique radié et la mesure analogique des tensions et des courants.

5.1 Circuit de puissance

Lors de la réalisation d'un convertisseur, plusieurs particularités doivent être prisent en compte lors de la conception de son PCB : les dégagements d'isolation, l'inductance de fuite, la transmission du bruit, le chemin thermique, etc. C'est un tout dont chaque morceau doit être réfléchi en considération des autres. De manière générale, on débute par le placement du circuit de puissance sur le PCB. Trois règles du pouce sont cruciales pour cette étape :

- minimiser la capacité parasite des nœuds de commutation;
- minimiser l'inductance de fuite des boucles de forts courants;
- minimiser l'inductance couplée entre les boucles.

C'est trois règles se traduisent par des boucles de courant très petites et des éléments commutatifs très proches les uns des autres sans pour autant augmenter le couplage électromagnétique entre les boucles. Les transistors GaN ont l'avantage d'être très petits, ce qui permet de minimiser la grosseur des nœuds de commutation comparativement à un boîtier standard (TO-220, TO-247, etc.). Dans le cas du PUC5, c'est très avantageux, car il y a plusieurs nœuds de commutation. Ces transistors sont aussi refroidis par le dessus, ce qui facilite l'intégration du radiateur. Cependant, étant donné que les transistors sont très minces, de l'ordre de 20mil, aucune autre composante ne peut être placée du même côté du PCB. De plus, le radiateur est très proche des boucles de fort courant, ce qui peut générer des courants

de Foucault et augmenter la température du radiateur. Plusieurs compromis ont été faits lors du placement des composants sur la plaquette afin de minimiser ces points. La Figure 5.1 montre les boucles de courant principales : celles des condensateurs sont noires, tandis que celles d'entrée/sortie sont oranges. On remarque d'emblée que les boucles des condensateurs peuvent être problématiques. Ces éléments doivent être placés plutôt loin des transistors et sont soumis à des courants très élevés, et ce, à de très hautes fréquences en raison des fronts de commutation. Néanmoins, les paires de traces sont le plus près possible l'une de l'autre, c'est-à-dire, une par-dessus l'autre, ce qui diminue beaucoup l'inductance de fuite en série avec le condensateur. On remarque aussi qu'il n'y a aucun cuivre en dessous des inductances afin de ne pas modifier son impédance à haute fréquence; l'ajout de cuivre augmenterait la capacité parallèle. Ces deux derniers points sont très importants, car cela peut affecter la dynamique du système et la transmission du bruit EMI.

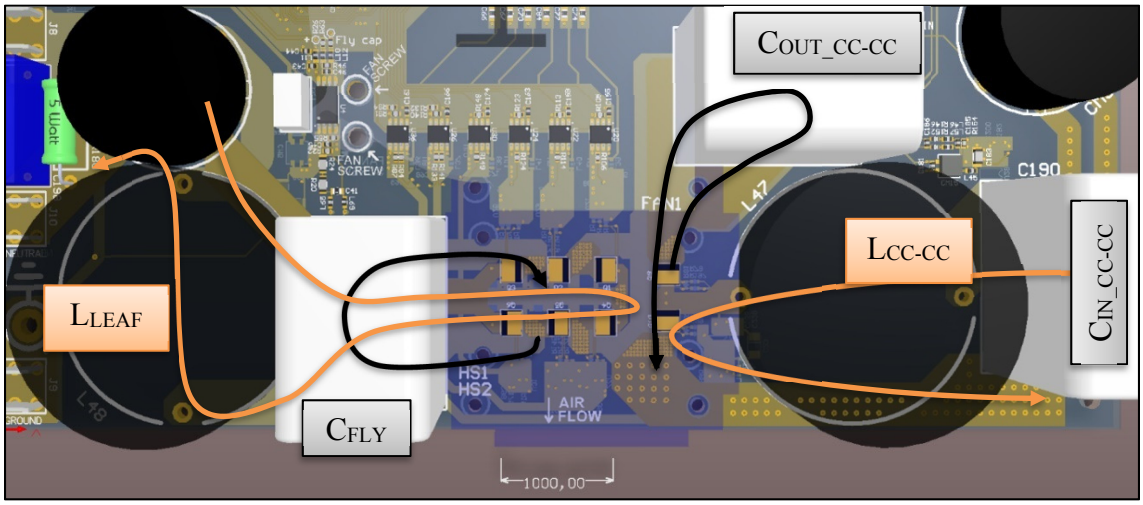


Figure 5.1 Boucles de courant principales

On remarque aussi que les boucles de courant du CC-CC sont loin l'une de l'autre afin de diminuer au maximum l'inductance couplée entre la boucle de l'entrée et la boucle de la sortie. Le nœud de commutation est aussi diminué au maximum comme le montre la Figure 5.2. Or, ce n'est pas aussi simple pour le PUC5 étant donné sa complexité accrue. Par exemple, entre

les cas où le condensateur est en mode de charge ou décharge, un fort courant s'inverse dans la boucle du condensateur. Il est alors coriace d'annuler la somme des champs magnétiques des boucles ou d'utiliser une ruse du genre. La boucle de la sortie est alors un peu couplée avec la boucle du condensateur ce qui a pour effet de transmettre du bruit de commutation sur la sortie. De plus, il ne faut pas oublier que le commun de l'entrée du CC-CC n'est pas le même commun que pour la sortie du PUC5. Beaucoup de bruit peut alors être irradié par les câbles de la sortie CA. C'est pourquoi un filtre en mode commun à la sortie du PUC5 est utilisé. Ce dernier permet aussi de coupler le bruit conduit entre la sortie et l'entrée via la mise à la terre. Les schémas de ces circuits sont disponibles à la page 14 de l'ANNEXE VIII.

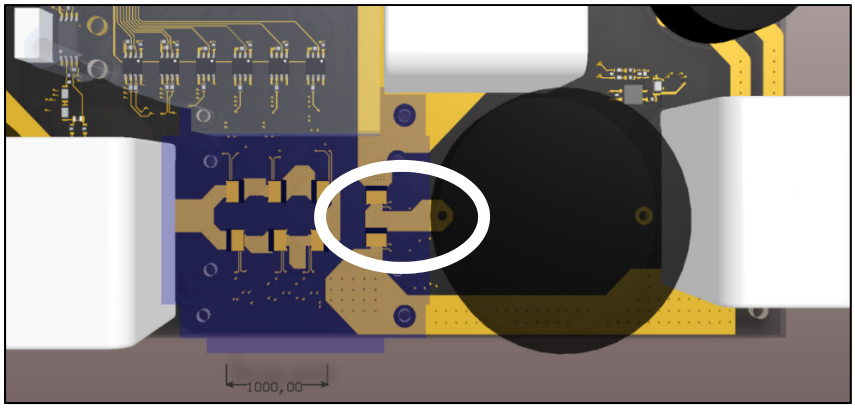


Figure 5.2 Nœud de commutation du CC-CC, vue en simple couche

Cette disposition est un compromis entre le circuit thermique, la largeur des traces, la grosseur des nœuds de commutation, l'étalement des boucles de fort courant et toute la quincaillerie entourant le pilotage, la mesure et l'amortissement. Certaines contraintes de placement, dont on ne peut se départir, déterminent le point de départ du placement. Par exemple :

- l'emplacement du radiateur et du ventilateur peut difficilement varier;
- les nœuds de tensions et boucles de courant doivent être accessibles aux capteurs;
- la grosseur des traces de cuivre doit être appropriée au courant les traversant;
- l'isolation entre les nœuds de tensions doit être assez grande.

En plus de ces directives de base, les priorités suivantes ont donc été mises de l'avant pour réaliser le circuit :

1. Disposer les transistors uniformément au milieu du radiateur;
2. Diminuer les dimensions du nœud de commutations du CC-CC;
3. Diminuer la résistance et l'inductance en série avec le condensateur de la sortie CC;
4. Distancer les éléments magnétiques et les traces de cuivre environnantes;
5. Éviter de mettre du cuivre ou des composants en dessous des transistors;
6. Disposer chaque paire de conducteurs le plus près possible.

5.2 Circuits de mesure analogiques

Comme il a été mentionné à plusieurs reprises, la lecture analogique des variables du circuit est sans doute la tâche la plus difficile à accomplir dans un convertisseur de puissance. Plusieurs mesures ont été mises de l'avant pour augmenter la fidélité des mesures. Pour se faire, les circuits analogiques ont été restreints dans un îlot analogique. Cet îlot est important dans la mesure où il empêche les courants indésirables de traverser le point commun du circuit analogique et de modifier sa tension. En modifiant cette référence, la valeur de sortie des amplificateurs et le convertisseur analogue à numérique sont influencés. Comme le montre la Figure 5.3, les amplificateurs sont disposés sur leur propre point commun qui est relié au niveau du circuit de mesure sur le microcontrôleur. De plus, très peu de signaux digitaux ont été placés proche de l'interface de l'îlot afin de diminuer l'inductance couplée de ces traces et leur influence. On peut aussi remarquer dans les schémas électriques du convertisseur, disponibles à l'ANNEXE VIII, que tous les signaux analogiques des capteurs entrant dans cette section du circuit sont de type différentiel, même pour les capteurs dont la sortie est indépendante (« *single-ended* »). Cela permet de mesurer exactement la valeur à la sortie du capteur sans être influencé par les variations de tensions communes et le bruit irradié. Dans le cas des capteurs situés loin du circuit d'acquisition, comme ceux présentés à la Figure 5.4, leurs traces peuvent faire objet d'une bonne antenne pour les fréquences élevées. Pour remédier à ce problème, des petites inductances en mode commun ont été insérées en série avec les

traces différentielles, au niveau de l'interface de l'îlot analogique, afin d'augmenter l'immunité des signaux au bruit des circuits environnants.

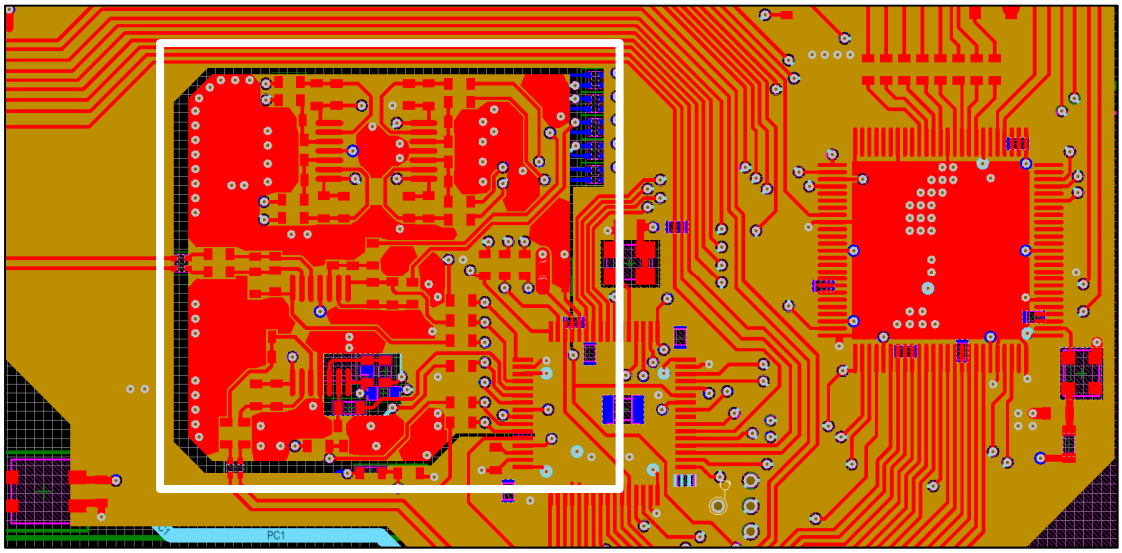


Figure 5.3 Îlotage du point commun des circuits analogiques

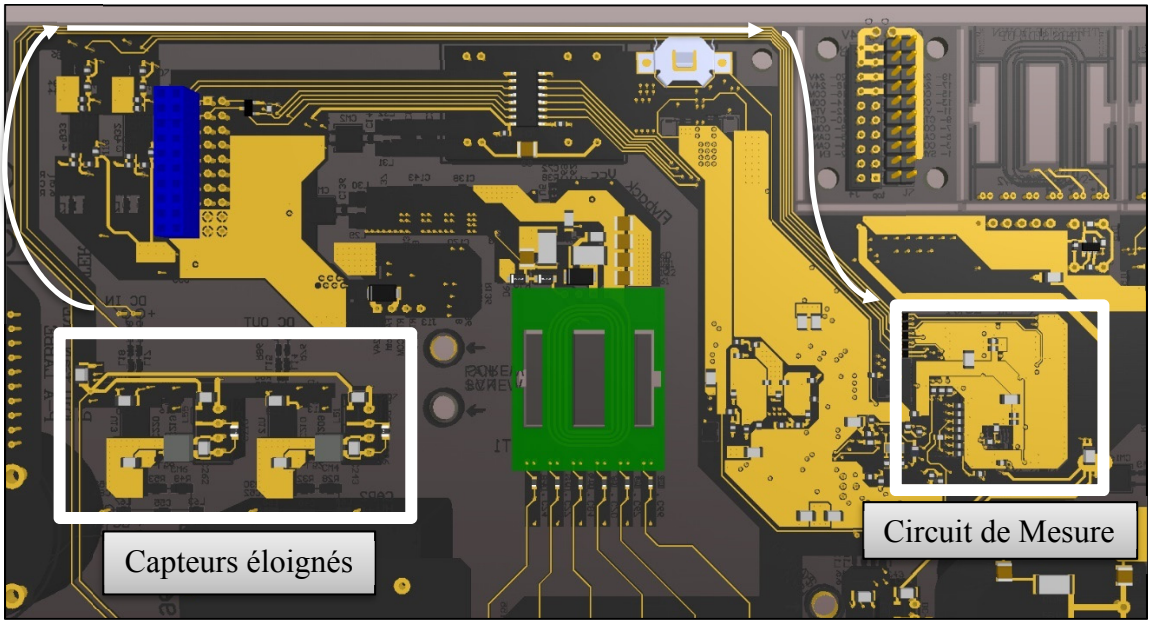


Figure 5.4 Chemin analogique des capteurs éloignés

5.3 Isolation électrique

Les signaux de haute tension doivent être dégagés adéquatement afin de ne pas endommager le circuit imprimé et les composants. Pour ce faire, il existe plusieurs normes dans lesquels est dictée de manière pratique la distance requise entre deux nœuds pour une tension donnée. La loi de Paschen (Wagner, 1907) décrit empiriquement la tension de claquage pour une pression donnée. Or, cette tension dépend de plusieurs autres facteurs en réalité : la température, l'humidité, le coefficient d'ionisation secondaire de Townsend, etc. La robustesse et l'environnement vont aussi influencer la distance requise. À long terme, une haute tension peut modifier le matériel diélectrique d'un circuit imprimé en ionisant les gaz se trouvant à l'intérieur. Il est même préférable dans certains cas d'enlever complètement une partie de la plaquette afin d'augmenter la distance surfacique de deux nœuds. Cette méthode se nomme « *creepage* » et est très importante dans les circuits de haute tension. De manière générale, la norme IPC-2221A permet de déterminer la distance requise en fonction de la tension maximale entre deux conducteurs. Cette norme se concentre sur les tensions en dessous de 500V et prend en compte différents cas, dont les suivants :

B1 – Conducteurs internes;
B2 – Conducteurs externes, sans vernis, altitude en dessous de 3050m;
B3 – Conducteurs externes, sans vernis, altitude de plus de 3050m;
B4 – Conducteurs externes, avec vernis en polymère, toutes altitudes.

Comme on peut voir sur le graphique de la Figure 5.5, l'altitude à un grand impact sur le dégagement d'isolation requis sur les couches externes en raison de la plus faible pression atmosphérique. On remarque aussi qu'un conducteur interne est meilleur en termes d'isolation. Celui-ci sera cependant plus difficile à refroidir étant donné que le matériel diélectrique du circuit imprimé n'est pas un bon conducteur thermique. L'utilisation d'un vernis devient alors intéressante, car la résistance thermique équivalente est relativement plus faible. Une bonne pratique consiste aussi à séparer le circuit de puissance du circuit de contrôle comme illustré à la Figure 5.6.

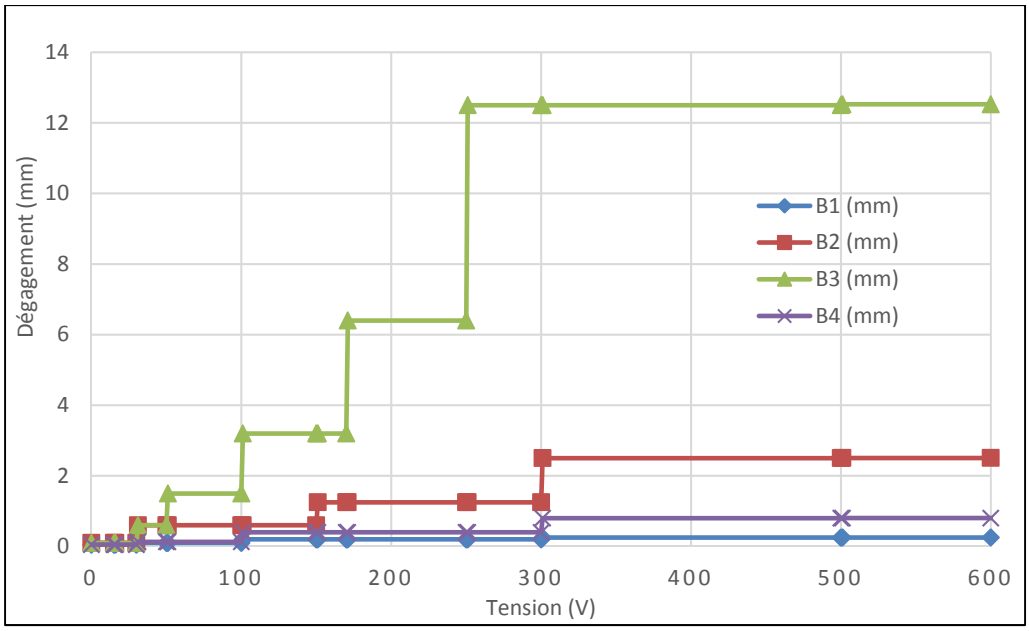


Figure 5.5 Distance de dégagement en fonction de la tension - normes IPC-2221A

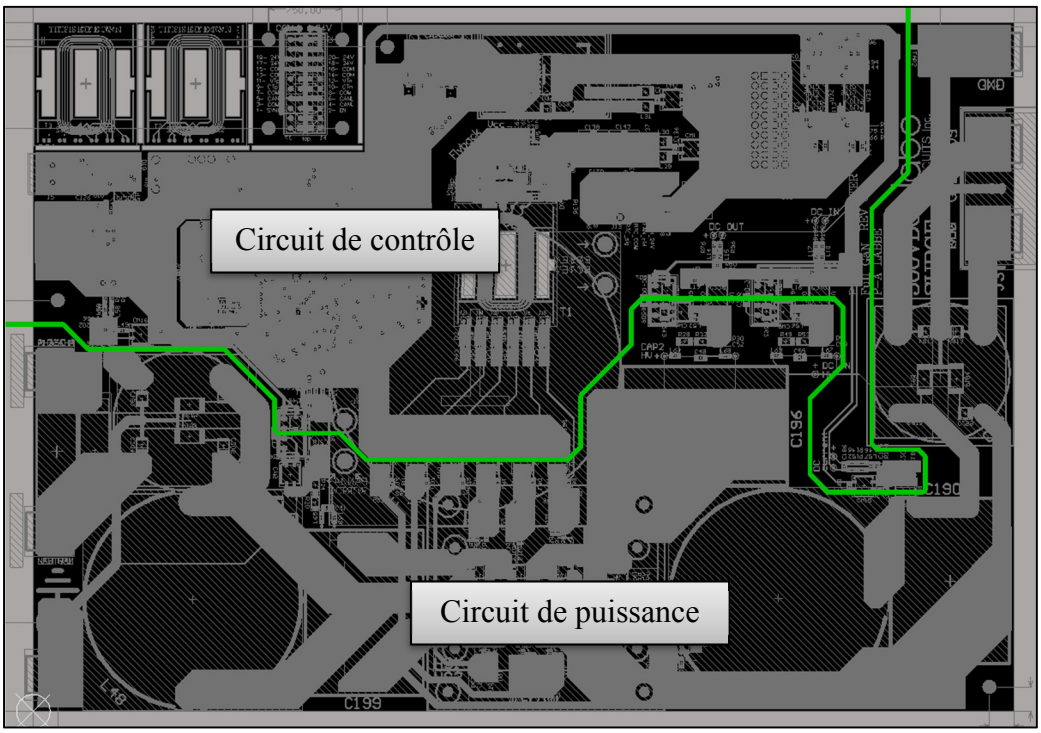


Figure 5.6 Séparation du circuit de puissance et du circuit de contrôle

CHAPITRE 6

RÉSULTATS EXPÉRIMENTAUX

Plusieurs prototypes ont été réalisés au cours de cette recherche. Il fut donc possible d'expérimenter beaucoup afin d'optimiser la conception. Il sera principalement question, dans ce chapitre, des performances du dernier prototype. Quelques formes d'onde du premier prototype seront aussi présentées.

6.1 Outils de débogage

Afin de s'assurer du bon fonctionnement du contrôleur, il est important de pouvoir regarder la valeur des variables internes du contrôleur en temps réel. Cela permet de confirmer que les lectures analogiques ne sont pas bruitées, que la commande n'oscille pas, etc. Les avantages sont nombreux quand vient le temps de développer une loi de commande. Pour se faire, une interface utilisateur a été réalisée sur Matlab avec un port série. Une commande peut alors être envoyée au microcontrôleur afin de lire des variables ou de modifier leur valeur. Cette instruction est interprétée par une machine à états dans l'interruption du port série. Lorsque le mode lecture est sélectionné, le contrôleur DMA du microcontrôleur envoie des données sans arrêt à l'interface jusqu'à ce que le nombre d'échantillons désirés soit atteint. L'interface envoie alors une commande d'arrêt au microcontrôleur. Cette méthode consomme très peu de temps de calcul au processeur du microcontrôleur et est extrêmement rapide. Deux canaux peuvent être lus simultanément avec une résolution temporelle de 46µs. Il est aussi possible d'écraser une valeur du système tel que la consigne de tension du CC-CC.

La Figure 6.1 illustre l'interface utilisateur. On peut sélectionner le port série associé au convertisseur et les différents paramètres de lecture et d'écriture comme le nombre d'échantillons, les variables que l'on veut lire, etc. Étant donné la nature de la transmission, les valeurs reçues entre les deux canaux ne sont pas synchronisées. Le microcontrôleur envoie une valeur après l'autre dans le port série.

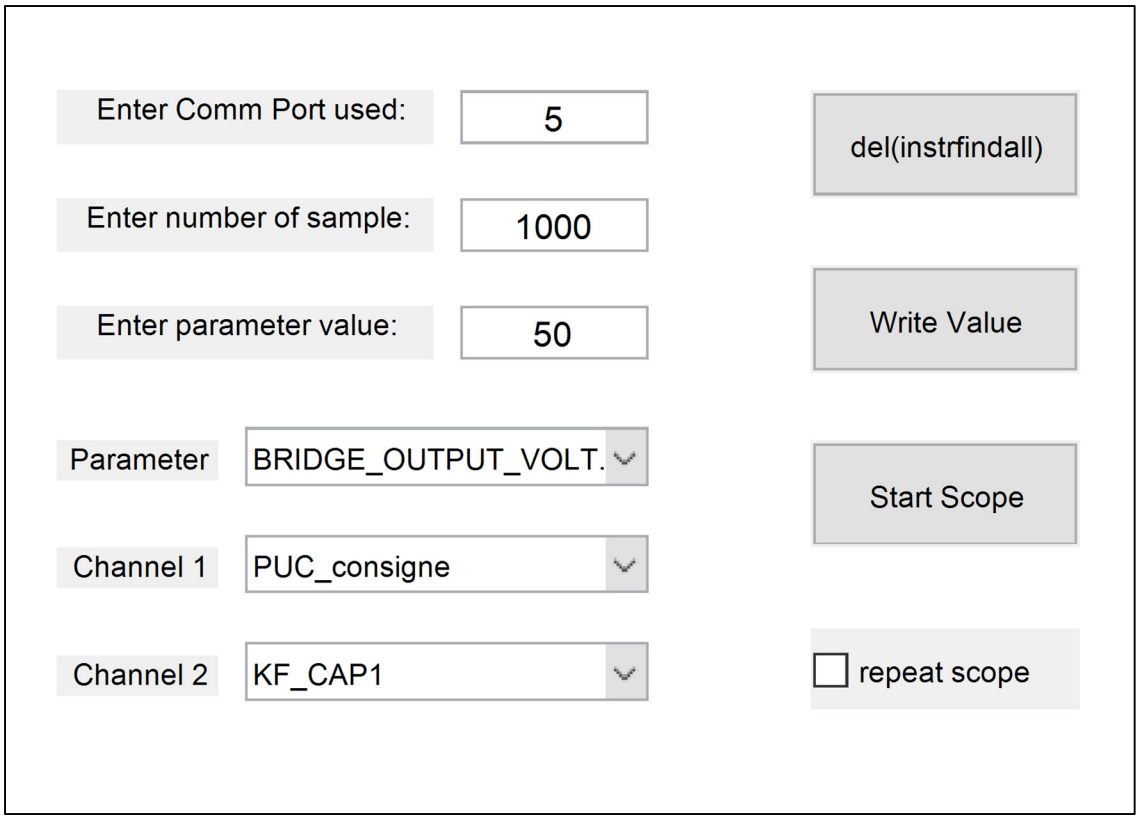


Figure 6.1 Interface utilisateur du convertisseur

Cet outil a été serviable notamment pour détecter la présence de bruit dans les mesures analogiques et d'oscillation dans la commande. La Figure 6.2 montre le genre de pique de tension que l'on peut avoir. De telles valeurs peuvent affecter énormément la stabilité et la performance du contrôleur. Un filtre de Kalman unidimensionnel a alors été implanté afin d'éliminer les anomalies et l'amplitude du bruit de fond. Ce filtre a aussi l'avantage de ne pas modifier la phase du signal. La Figure 6.3 montre le même signal que la Figure 6.2 après filtrage. On remarque un très faible écart type et que les piques de tension ont disparue. Le code source de ce filtre numérique est disponible à l'ANNEXE V.

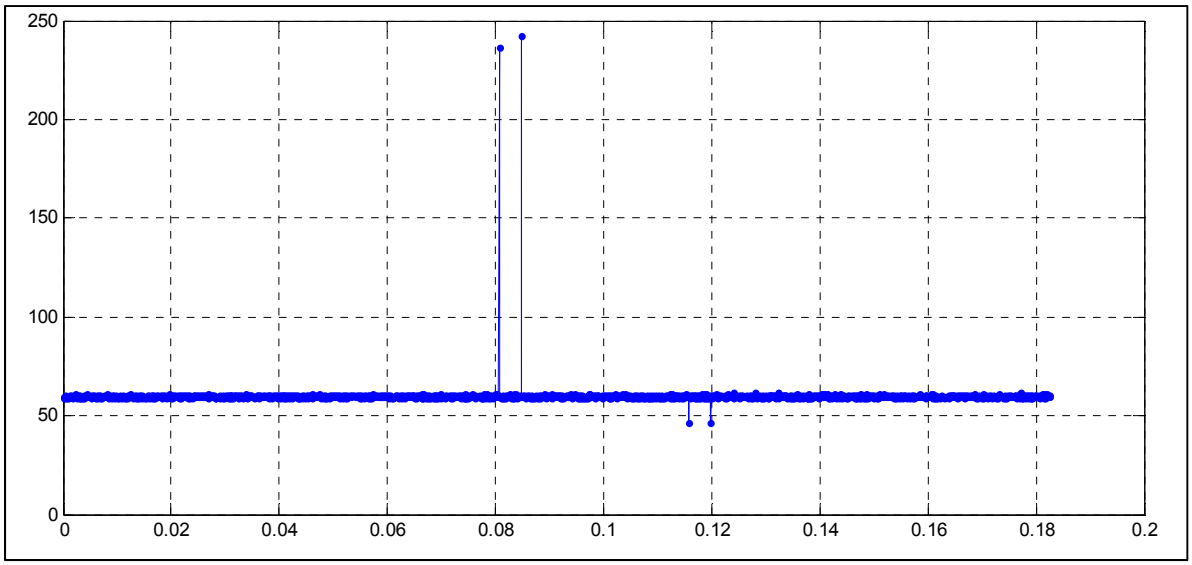


Figure 6.2 Bruit sur la mesure de la tension à la sortie du CC-CC

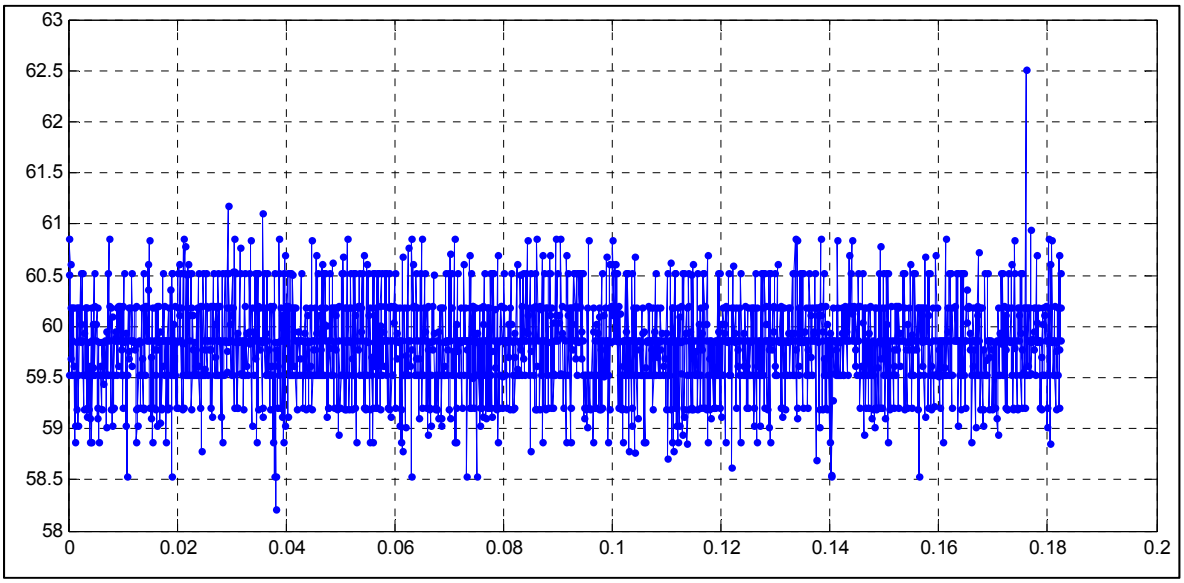


Figure 6.3 Mesure de la tension à la sortie du CC-CC après filtrage

Le filtre de Kalman est un outil très puissant mais il ne résout pas tous les problèmes. La Figure 6.4 montre la tension du condensateur flottant avant et après le filtre lorsqu'il y a beaucoup de bruit en mode commun sur les mesures.

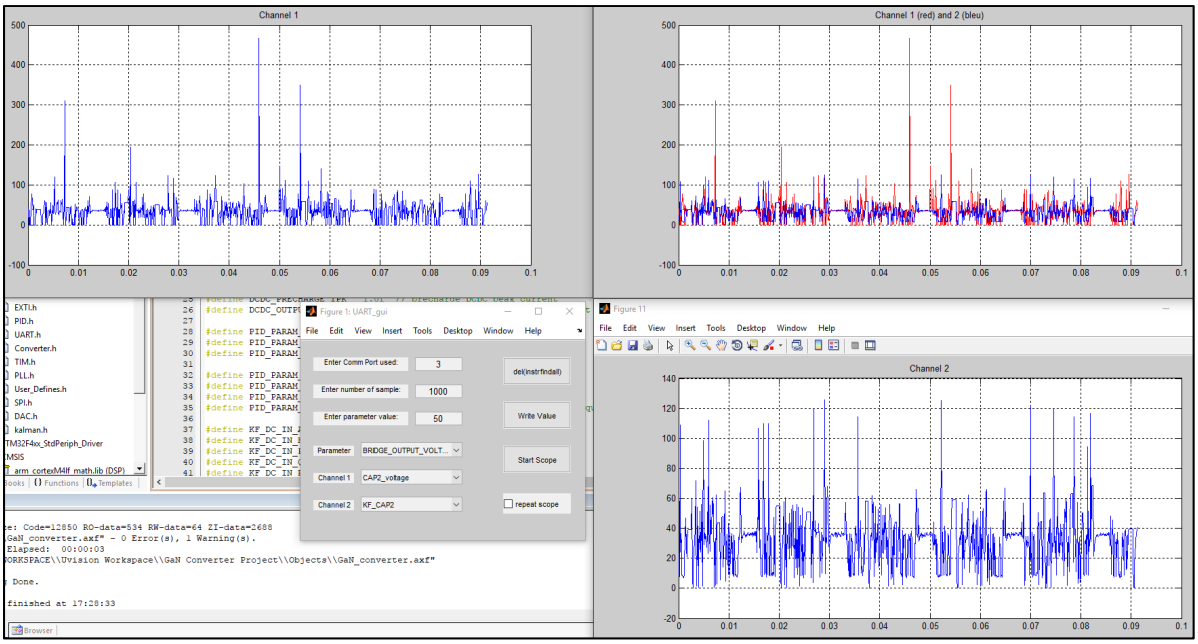


Figure 6.4 Exemple de bruit en mode commun. 1) Tension du condensateur flottant et 2) tension du condensateur flottant après filtrage

Il est aussi possible d'aller voir la valeur de l'erreur à l'entrée du PID. La valeur de ce signal devrait être autour de zéro étant donné que la sortie est à la valeur de la référence :

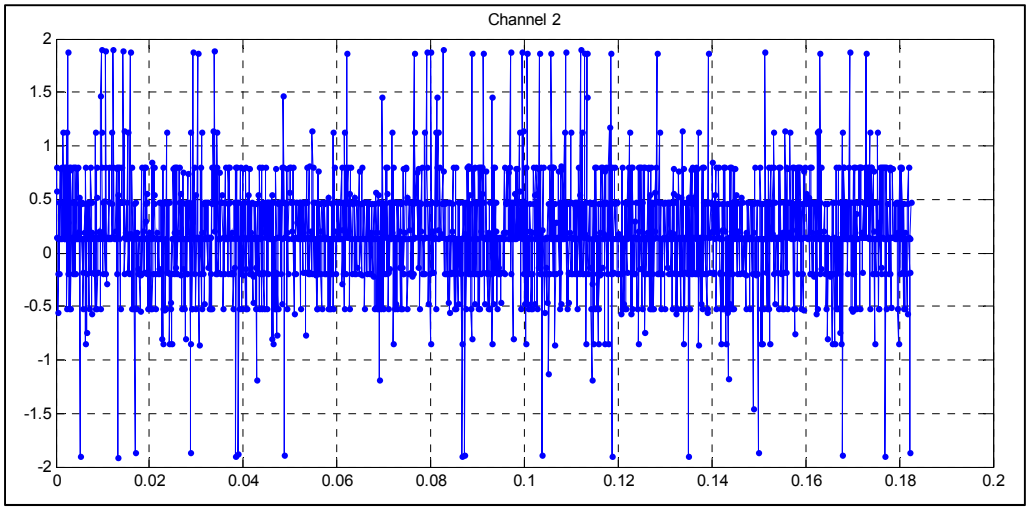


Figure 6.5 Valeur de l'erreur de la tension de sortie du CC-CC

Une autre variable intéressante à regarder est la valeur du rapport cyclique du PWM. La Figure 6.6 illustre cette variable dans le temps.

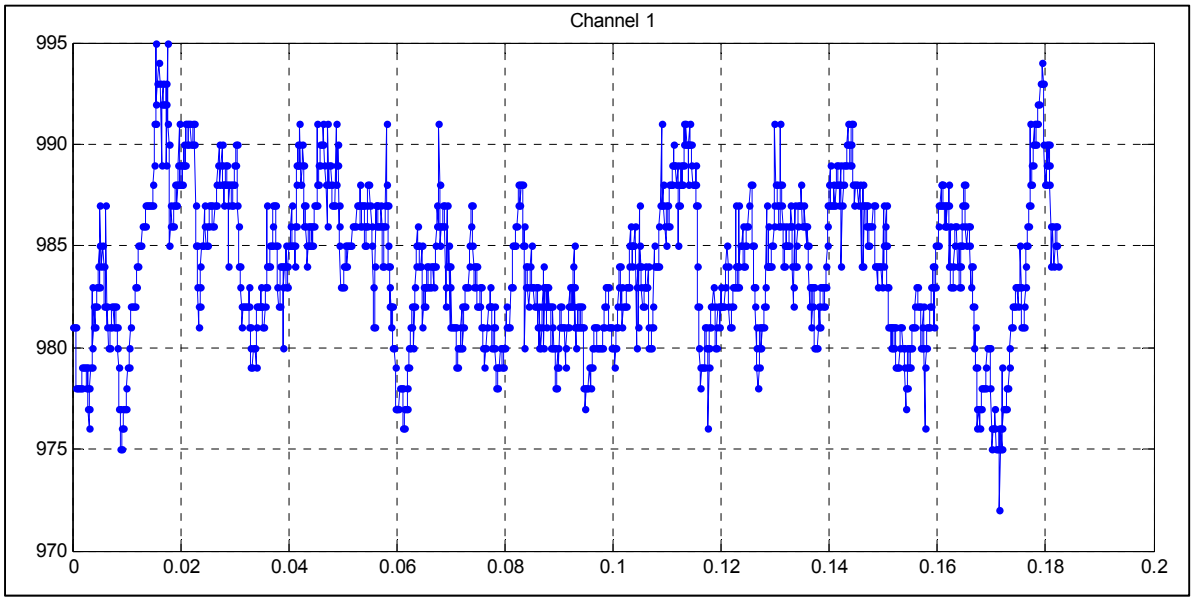


Figure 6.6 Valeur de la consigne du PWM (compte max = 3000)

Cette interface est particulièrement utile lorsque l'on augmente la puissance, car c'est là que les problèmes de stabilité surviennent. Par exemple, si l'on effectue la lecture de la tension à la sortie du CC-CC avec une plus grande charge, on remarque qu'il y a une oscillation à 120Hz. En analysant le rapport cyclique et la consigne de l'onduleur sur la Figure 6.8, il est possible de confirmer la présence de cette oscillation sur la commande et de s'assurer qu'elle ne soit pas néfaste à la stabilité du système. Le convertisseur élévateur possède une fonction de transfert CC non linéaire qui peut amplifier les effets de cette ondulation. Pour augmenter la puissance, une plage de fonctionnement restreinte à l'aide de saturations fut employée pour conserver le rapport cyclique à de faibles valeurs. En effet, le gain de la fonction de transfert entre la tension de sortie et le rapport cyclique est faible pour un petit rapport cyclique. Conséquemment, le régulateur du montage élévateur fonctionnait uniquement lorsque la tension de l'entrée était dans une zone confortable comparativement à la commande.

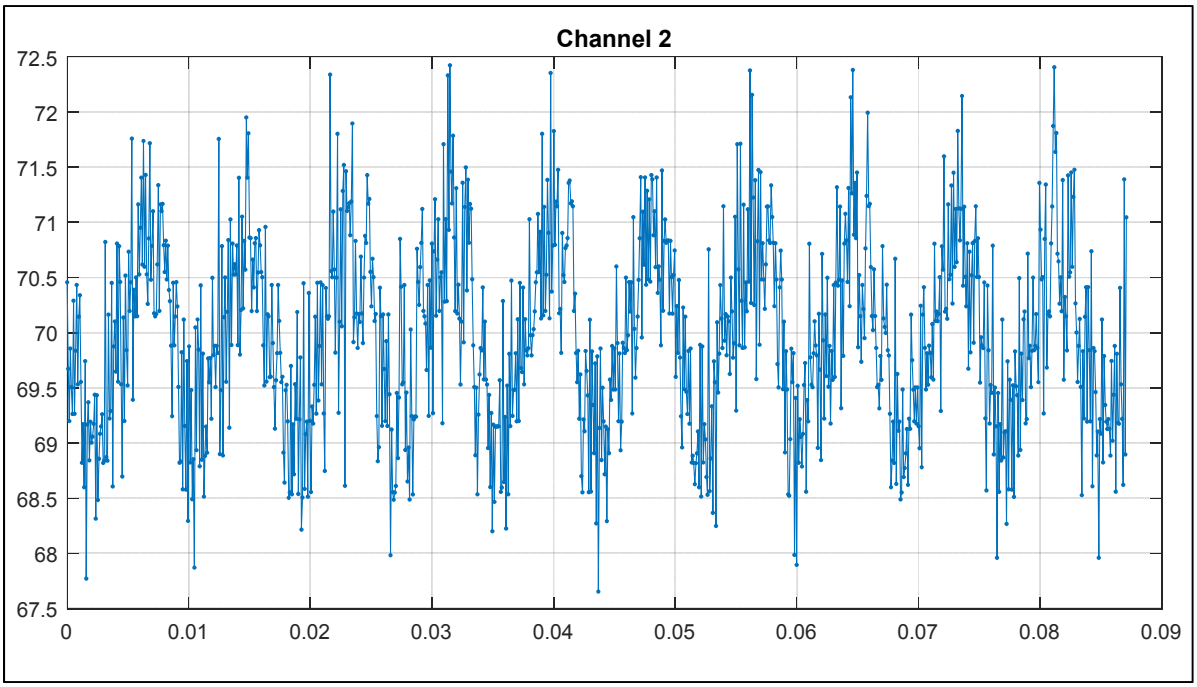


Figure 6.7 Ondulation de la tension de sortie du CC-CC

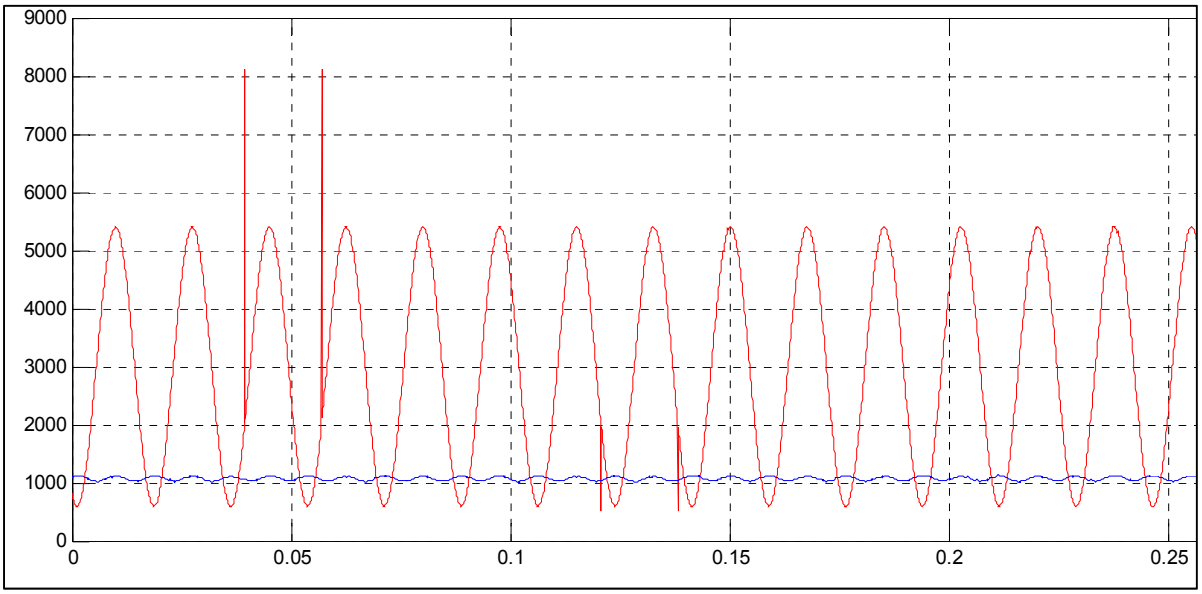


Figure 6.8 Consigne du PUC5 (0~6000) et consigne du CC-CC (0~3600)

6.2 Formes d'onde du premier prototype

La première version du convertisseur PUC5 fut réalisée dans le but de prouver expérimentalement le concept de parallélisation proposé et la technique de modulation multiniveau avec référence décalée. Il n'incluait pas de convertisseur CC-CC et le circuit de mesure analogique n'était pas au point. Néanmoins, il permit de mettre en évidence les paramètres critiques de la réalisation et de valider le modèle Matlab. Les formes d'onde d'une seule cellule de 500W se retrouvent à la Figure 6.9. La charge est alors une résistance (26.6Ω) et l'inductance de branche (100uH). Malgré la justesse de la tension moyenne du condensateur flottant, on remarque qu'une ondulation plus prononcée aux niveaux intermédiaires s'y retrouve. Un pic de tension est aussi observable lors du passage à zéro en raison de la méthode de synchronisation des comparateurs PWM et une harmonique de plus basse fréquence est présente dans le courant.

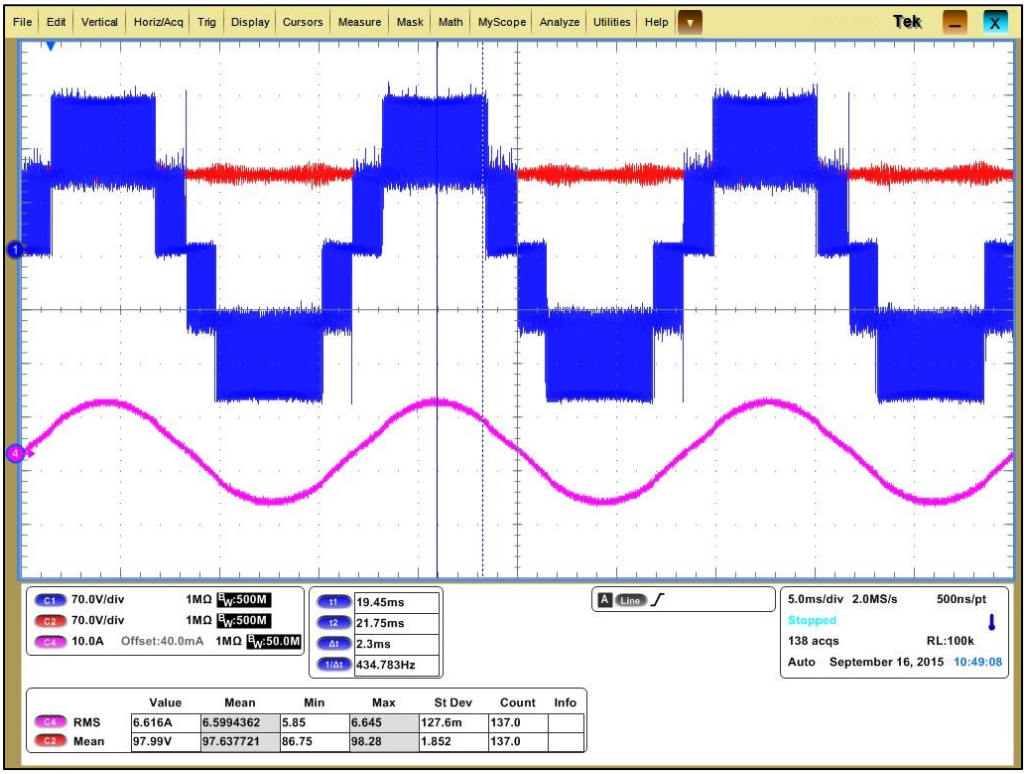


Figure 6.9 Premier prototype et charge RL de 500W, 1) tension de sortie, 2) tension du condensateur flottant, 4) courant de la sortie

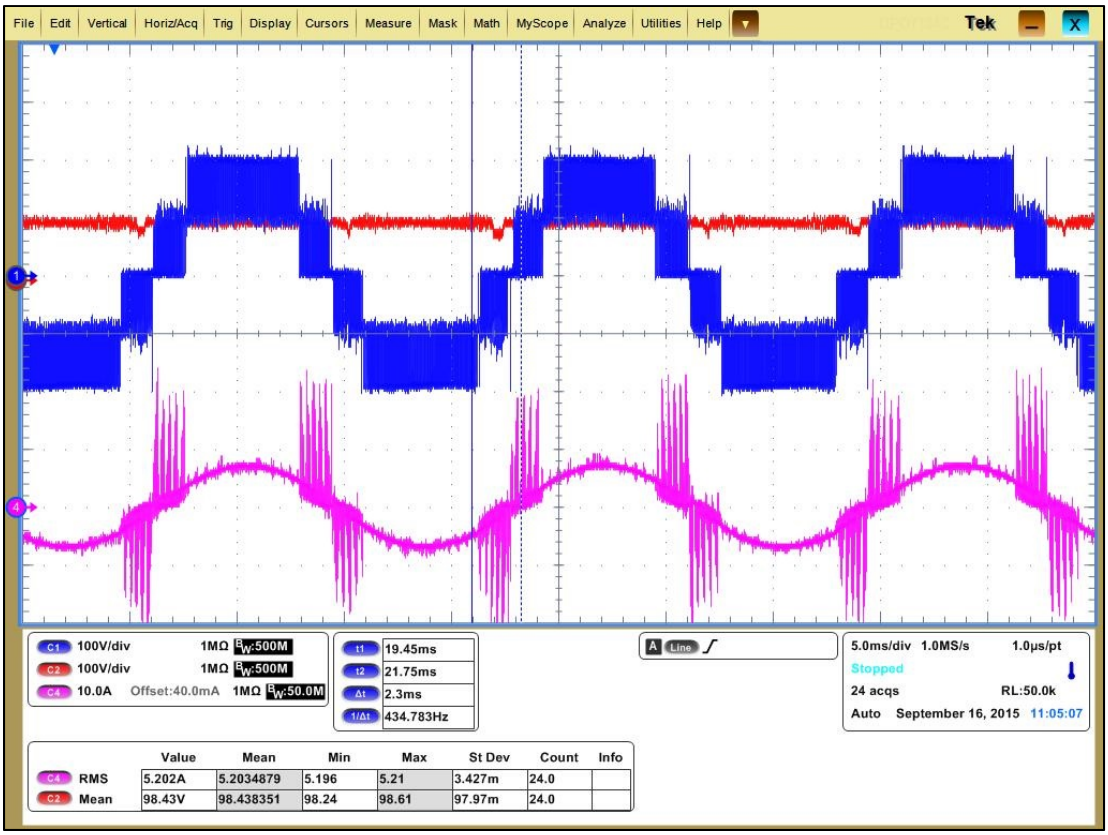


Figure 6.10 Premier prototype et charge non-linéaire, 1) tension de sortie, 2) tension du condensateur flottant, 4) courant de la sortie

La Figure 6.10 montre l'effet d'une charge non linéaire sur le premier prototype. D'emblée, on remarque que le courant devient très oscillant durant les niveaux de tension intermédiaires. La tension du condensateur flottant se stabilise aussi à une valeur différente durant ces instants. Le bruit en mode commun généré par le changement d'état du condensateur (charge et décharge) avait nettement un impact sur la régulation. Une interface entre le microcontrôleur et l'utilisateur pour regarder les mesures analogiques en temps réel était alors nécessaire, car il était alors uniquement possible de les consulter à travers le débogueur du microcontrôleur lorsque le programme était stoppé; cela n'était pas très pratique. Malgré ces inconvénients, il fut possible de tester ce premier prototype avec deux cellules en parallèle. Les résultats lorsque les deux cellules sont alimentées se retrouvent à la Figure 6.11 et les résultats avec une cellule flottante, à la Figure 6.12.

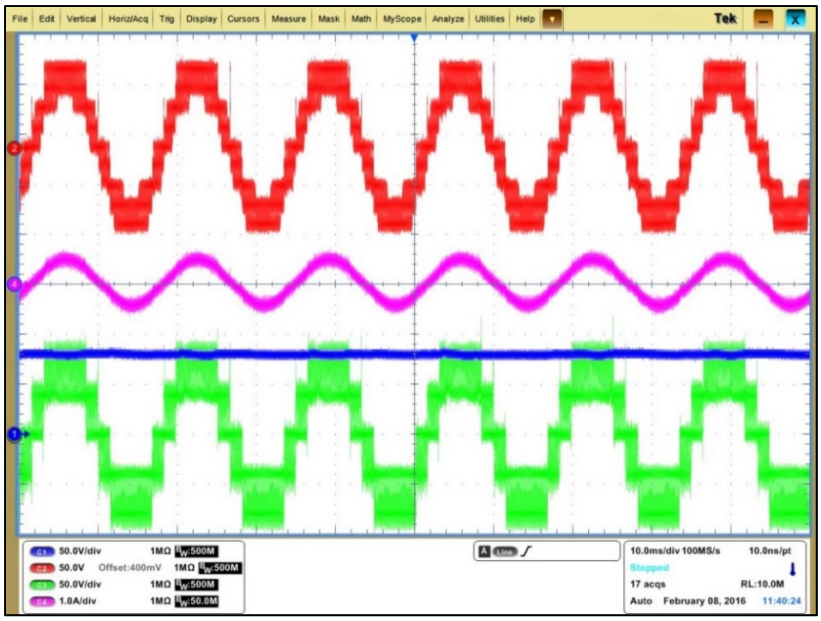


Figure 6.11 Formes d'onde 1) Tension d'entrée CC, 2) tension du PCC, 3) tension d'une cellule et 4) courant de la charge avec deux cellules en parallèles

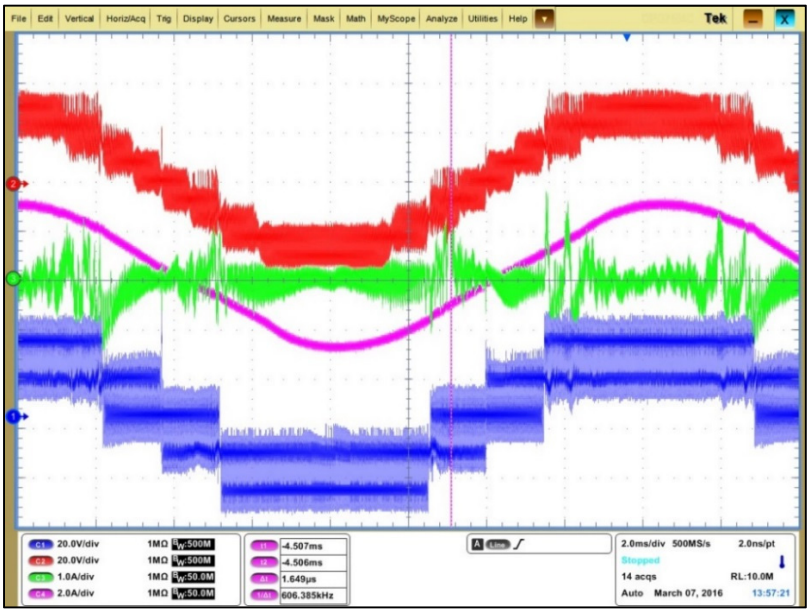


Figure 6.12 Zoom sur les formes d'onde 1) Tension de sortie d'une cellule, 2) tension du PCC, 3) courant de la charge et 4) courant d'une cellule flottante avec deux cellules en parallèles

On peut y confirmer que le nombre de niveaux a augmenté conformément au modèle analytique. Cependant, on note la présence accrue de bruit EMI sur les mesures de tension. Aucun algorithme de régulation du courant n'a été implanté dans ce prototype. Or, il mit en évidence la difficulté de la mesure analogique, la criticité de la disposition du circuit de puissance sur la plaquette, l'évacuation de la chaleur et différent type et valeur d'inductance. Une photo du premier prototype est disponible à la Figure 6.13. Son circuit thermique utilisait alors un propagateur de chaleur en graphite comme on peut voir sur la Figure 6.14. Ce propagateur possédait une très faible résistance thermique latérale. Le refroidissement des interrupteurs par le dessous fut la cause principale d'un tel système qui ne fut pas un franc succès.

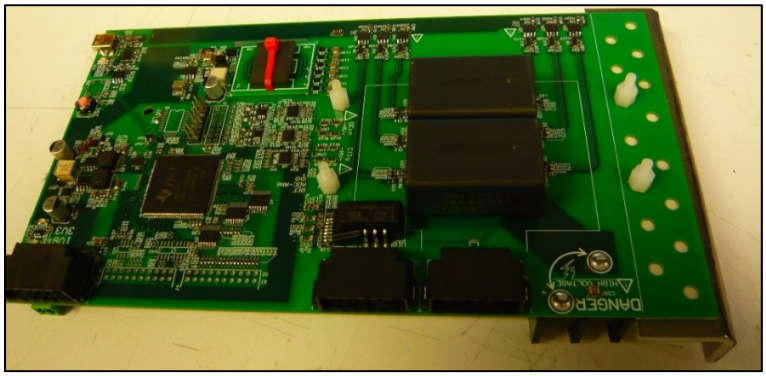


Figure 6.13 Vue isométrique du premier prototype

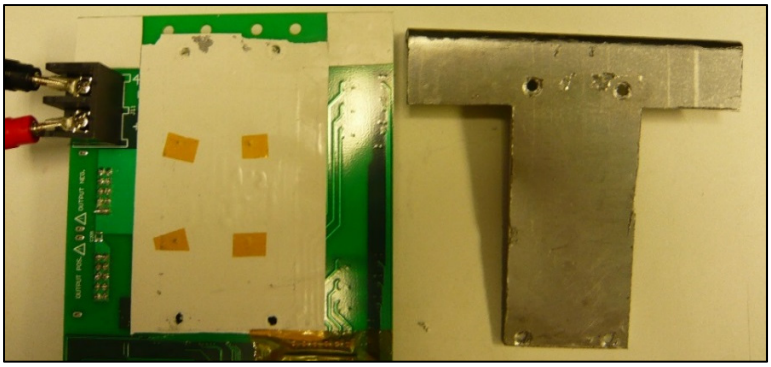


Figure 6.14 Circuit thermique du premier prototype

6.3 Formes d'onde du dernier prototype

Plusieurs tentatives séparent le premier prototype du dernier durant lesquelles différents composants et technologies ont été testés. On note, entre autres, la modification des interrupteurs de puissance, des circuits d'isolation, du microcontrôleur, de la technique de modulation multiniveau, du filtrage EMI, des condensateurs, des bobines et de la thermique. La fréquence de commutation fut aussi diminuée afin de minimiser le bruit sur les mesures et un filtre de Kalman unidimensionnel fut implanté afin d'augmenter davantage la qualité des mesures analogiques. La fréquence du convertisseur CC-CC est de 25KHz et celle de l'onduleur PUC5 est de 50KHz. En quelques mots, presque tout est différent entre le premier et le dernier prototype.

6.3.1 Pilote de grille

La tension de grille fut mesurée afin de valider le modèle LT SPICE utilisé. La mesure fut effectuée sur l'interrupteur du bas dans le convertisseur CC-CC. Avec une faible charge, la tension de sortie du Flyback est supérieure à la valeur attendue de 7V ce qui peut affecter le temps de montée (Figure 6.15) et de descente (Figure 6.16), car la dynamique de commutation du transistor est intimement liée à cette tension (transconductance, capacité, etc.).

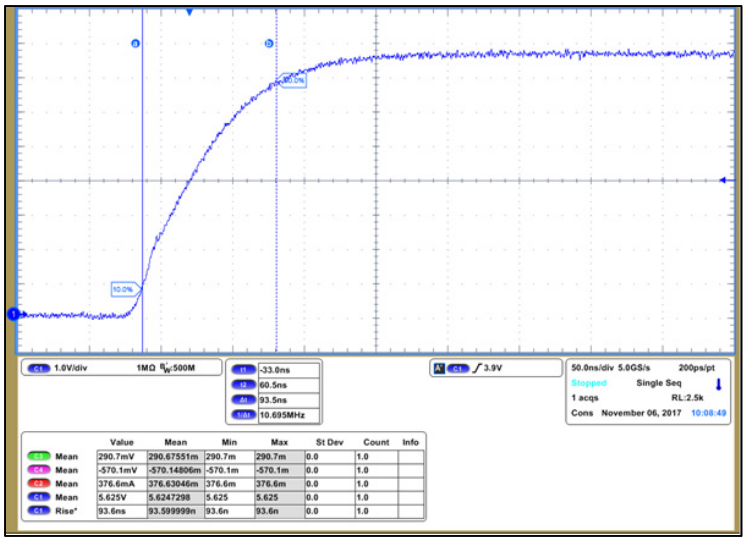


Figure 6.15 Tension grille-source lors du front montant avec une résistance de 51Ω

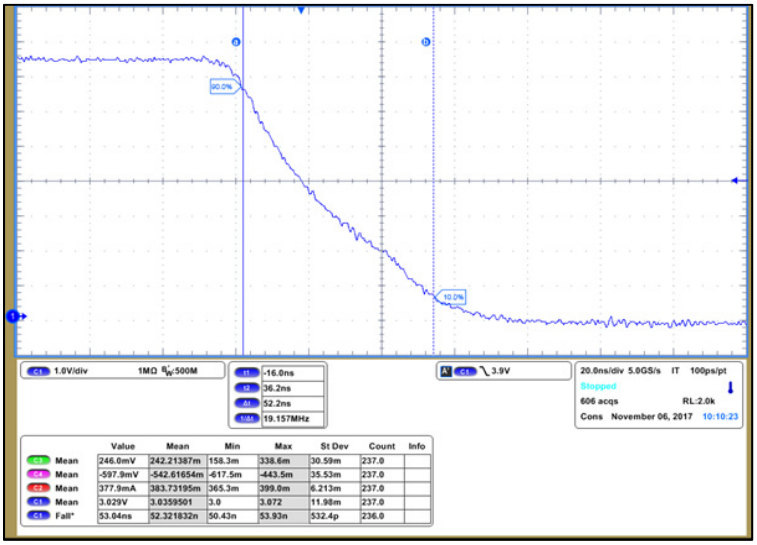


Figure 6.16 Tension grille-source lors du front descendant avec une résistance de 12Ω

Une grande différence est visible entre les formes d'onde recueillie et la simulation. La tension d'attaque plus élevée affecte évidemment ces mesures. Or, plusieurs autres facteurs peuvent contribuer à rallonger le temps de montée et de descente de la tension de grille, dont la sonde

utilisée pour la mesure. Le temps de montée au nœud de commutation est, quant à lui, très semblable à la valeur simulée de 31ns. Les formes d'ondes présentées à la Figure 6.17, à la Figure 6.18 et à la Figure 6.19 comprennent le temps de commutation qui est de 29ns.

6.3.2 Effet du circuit d'amortissement au point de commutation

Un circuit RC fut utilisé afin d'amortir la commutation de la tension aux bornes des interrupteurs. Cela permet de diminuer le bruit EMI et de diminuer les surtensions dues aux inductances de fuite du circuit. Différentes valeurs ont été testées par expérimentation afin de déterminer la bonne combinaison. La Figure 6.17, la Figure 6.18 et la Figure 6.19 présentent la modification du pic de la résonance. On remarque, entre autres, que le temps de commutation ne semble pas être affecté et que la fréquence ne change pas. Or, l'oscillation est fortement atténuée en augmentant la capacité. Cela met de mettre en évidence le temps où la diode antiparallèle du transistor conduit, lors du temps mort, que l'on observe bien à la Figure 6.19.

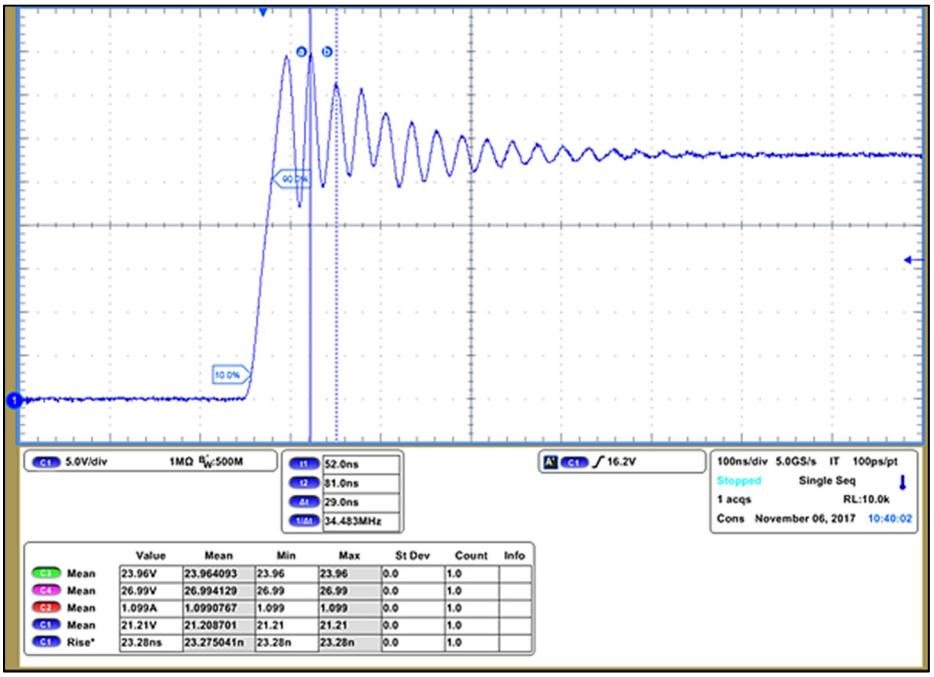


Figure 6.17 Tension du nœud de commutation CC-CC sans circuit d'amortissement

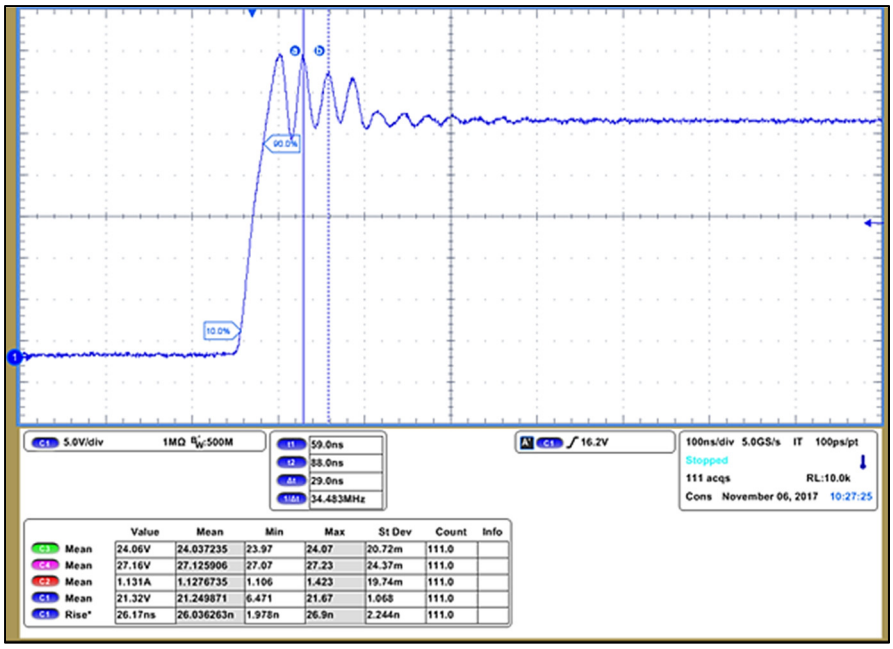


Figure 6.18 Tension du nœud de commutation CC-CC avec R_S = 100Ω et C_S = 1.2nF

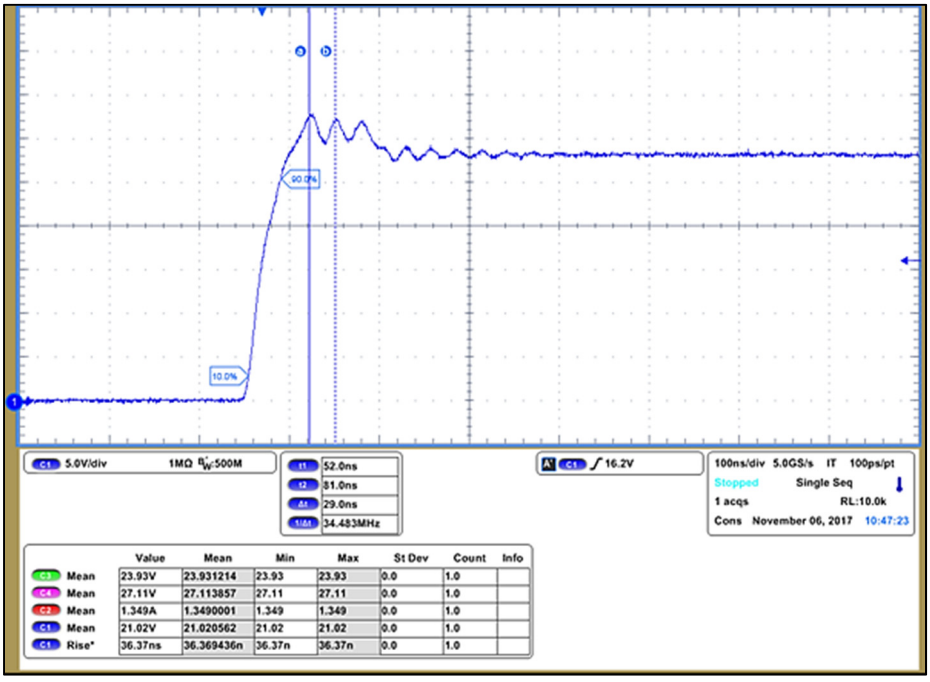


Figure 6.19 Tension du nœud de commutation CC-CC avec RS = 50Ω et CS = 3.6nF

6.3.3 Effets transitoires

Un convertisseur de puissance est rarement endommagé durant son utilisation à charge nominale. Les bris surviennent en général dans les zones transitoires qui requièrent une gestion complexe. En plus d'un démarrage en douceur au niveau du convertisseur CC, l'onduleur est mis en route lorsque la référence sinusoïdale de tension est aux alentours de zéro. On peut voir la mise en marche de l'onduleur avec une telle condition à la Figure 6.20. L'arrêt du convertisseur est aussi considéré, car il est souvent provoqué en coupant la tension d'alimentation. Comme le montre la Figure 6.21, cela peut engendrer des courants intenses. Des systèmes de protection ont alors été ajoutés dans le programme afin de limiter cet impact. Un exemple de l'arrêt du convertisseur est présent à la Figure 6.22 où on remarque que le courant et la tension s'estompent tranquillement. Ces systèmes de sécurité ont été testés avec de faibles charges afin de limiter les dommages sur la cellule. Des protections contre une tension d'entrée trop faible, une tension d'entrée trop élevée et une tension de sortie trop élevée ont été implantées relativement à la consigne de la tension du bus CC.

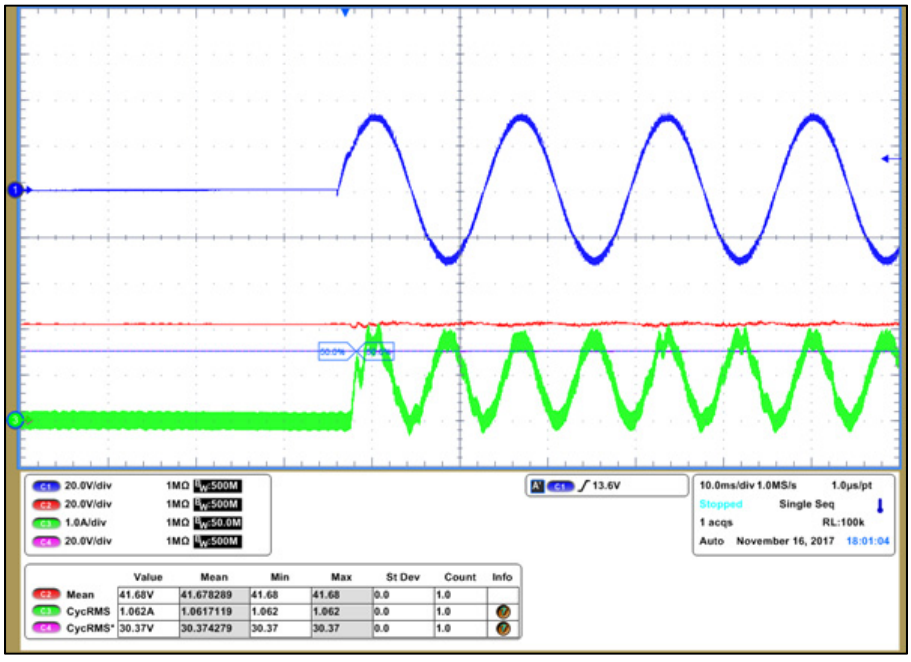


Figure 6.20 Démarrage de l'onduleur à zéro tension, 1) tension de la cellule, 2) tension du bus CC, 3) courant d'entré et 4) tension d'entrée

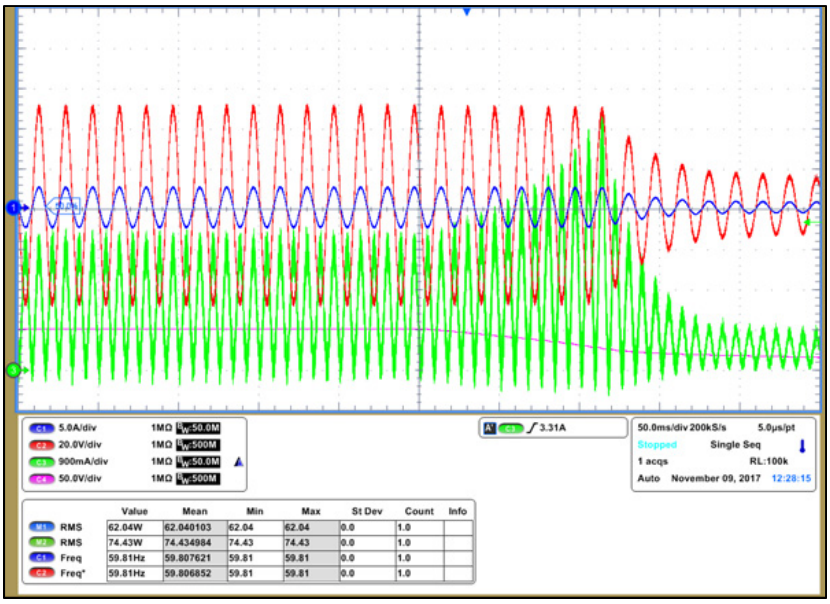


Figure 6.21 Arrêt de l'onduleur en diminuant la tension de la source d'alimentation sans protection, 1) courant de la cellule, 2) tension de la cellule, 3) courant d'entrée et 4) tension d'entrée

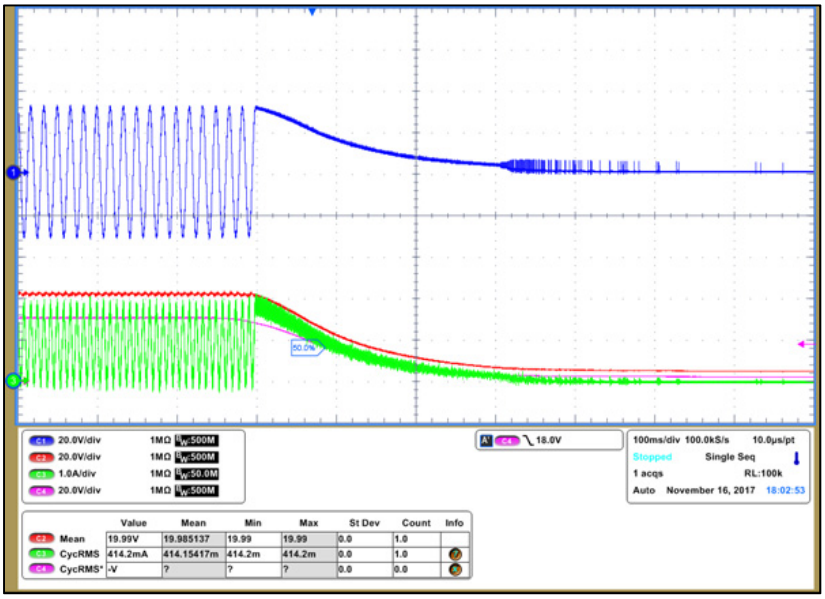


Figure 6.22 Arrêt de l'onduleur en diminuant la tension de la source d'alimentation avec protection contre les faibles tensions, 1) tension de la cellule, 2) tension d'une cellule, 3) courant CC et 4) tension d'alimentation CC

6.4 Performances globales

Le système proposé est complexe. Plusieurs paramètres peuvent exprimer sa performance, et ce, pour différentes configurations. Une photographie du dernier prototype est disponible à la Figure 6.23 où le ventilateur a été retiré pour bien voir le circuit. On peut y remarquer qu'il y a beaucoup d'espace vide sur la plaquette en raison de l'isolation, mais aussi pour augmenter l'immunité au bruit EMI. Les composants de puissance principaux y sont numérotés. Quelques photographies de l'assemblage du convertisseur Flyback sont disponibles pour montrer la pellicule thermoconductrice. Celle-ci possède un adhésif d'un côté afin de l'apposer sur les enroulements secondaires, voir la Figure 6.25. On peut aussi remarquer à la Figure 6.24 que du ruban adhésif supplémentaire est appliqué sur les trous, car ils étaient près de la ferrite.

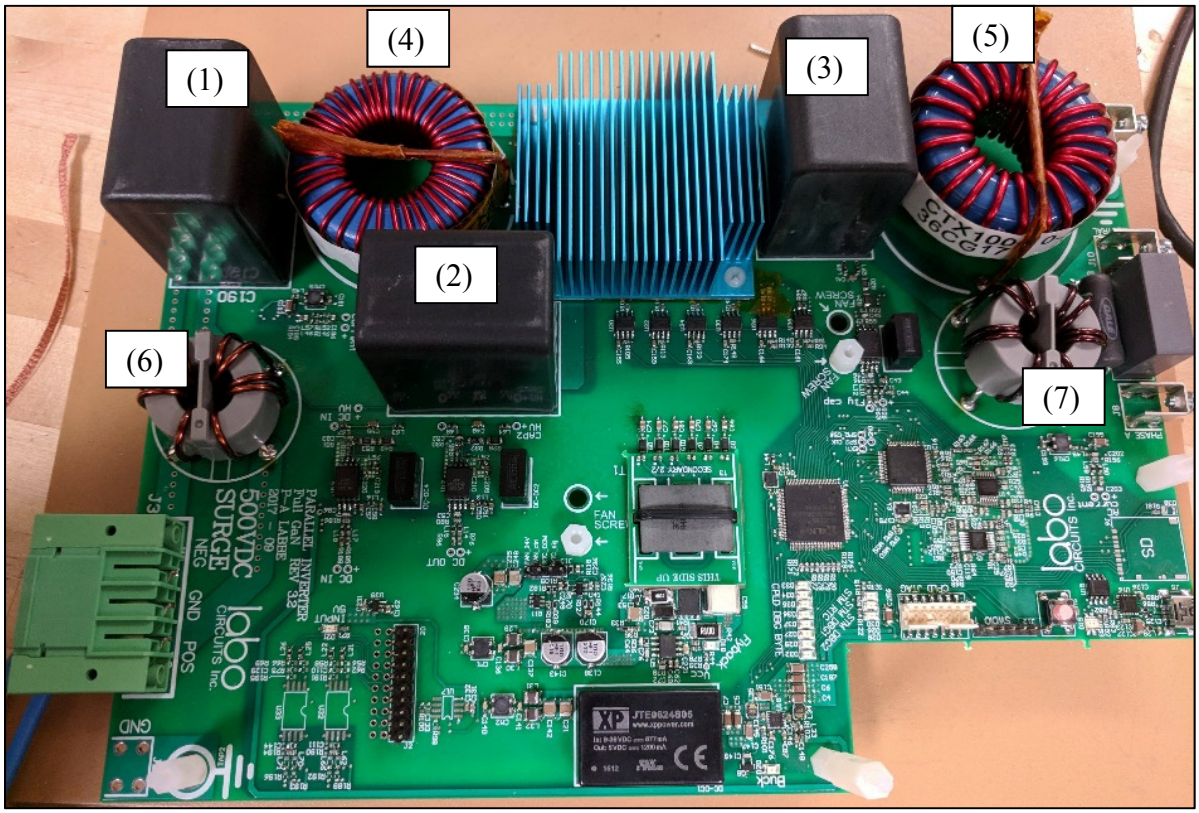


Figure 6.23 Photo du dernier prototype sans ventilateur, 1) $C_{IN\text{-}CC\text{-}CC}$, 2) $C_{OUT\text{-}CC\text{-}CC}$, 3) C_{FLY}, 4) $L_{CC\text{-}CC}$, 5) $L_{INTERLEAF}$, 6) filtre d'entrée et 7) filtre de sortie

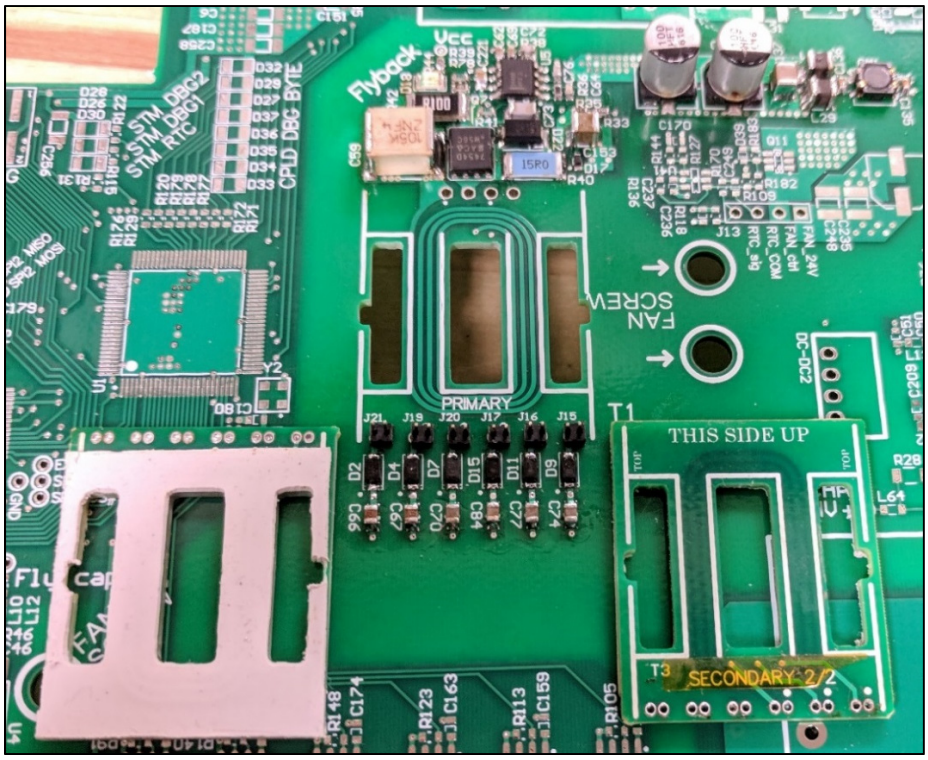


Figure 6.24 Photo de l'assemblage du transformateur du Flyback

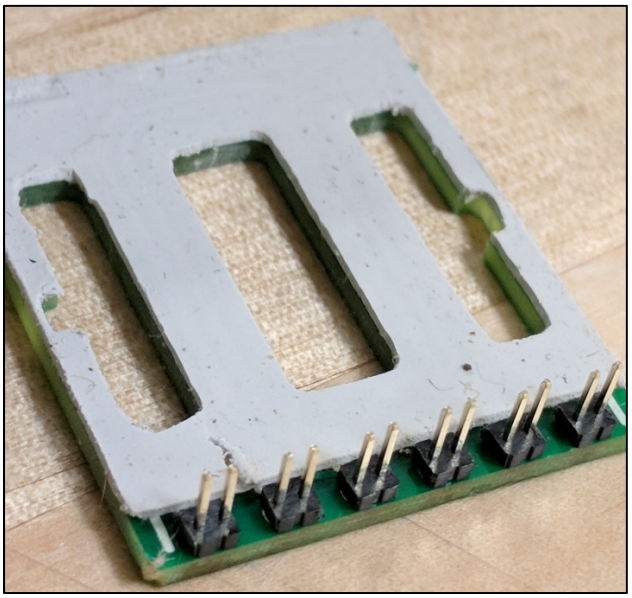


Figure 6.25 Photo de la pellicule isolatrice du Flyback

Les résultats peuvent facilement être influencés par l'environnement de test; une photo du montage est disponible Figure 6.26. Étant donné les fréquences en jeu, le filage fut torsadé en pairs afin de diminuer l'inductance de fuite. La température des éléments de puissance est mesurée en temps réel avec une caméra thermique afin de valider les calculs de transfert de chaleur, mais aussi pour éviter les dommages si quelque chose de fonctionne pas correctement. De plus, une enceinte de protection en plastique transparent permis d'effectuer les tests de puissance de manière sécuritaire.



Figure 6.26 Montage de test

6.4.1 Cellule simple

Les premiers tests ont été effectués sur une seule cellule afin de valider ses capacités et d'ajuster son contrôleur. La cellule fut soumise à une charge résistive d'environ 200W tel que montré à la Figure 6.27. Le filtre de sortie n'était alors que l'inductance interbranche de 100µH et un condensateur de 1µF. Le système était alors stable malgré une ondulation sur le courant de l'entrée. Cette ondulation fut amplifiée lorsque la tension d'alimentation CC diminua; la Figure 6.28 montre la nouvelle allure du courant de l'entrée. Cette ondulation est causée par du bruit sur les mesures analogiques qui, autour d'un rapport cyclique élevé, affecte exponentiellement la tension à la sortie du convertisseur CC-CC. La plage de fonctionnement fut donc confinée à des tensions d'alimentation de 70% à 85% la tension de référence.

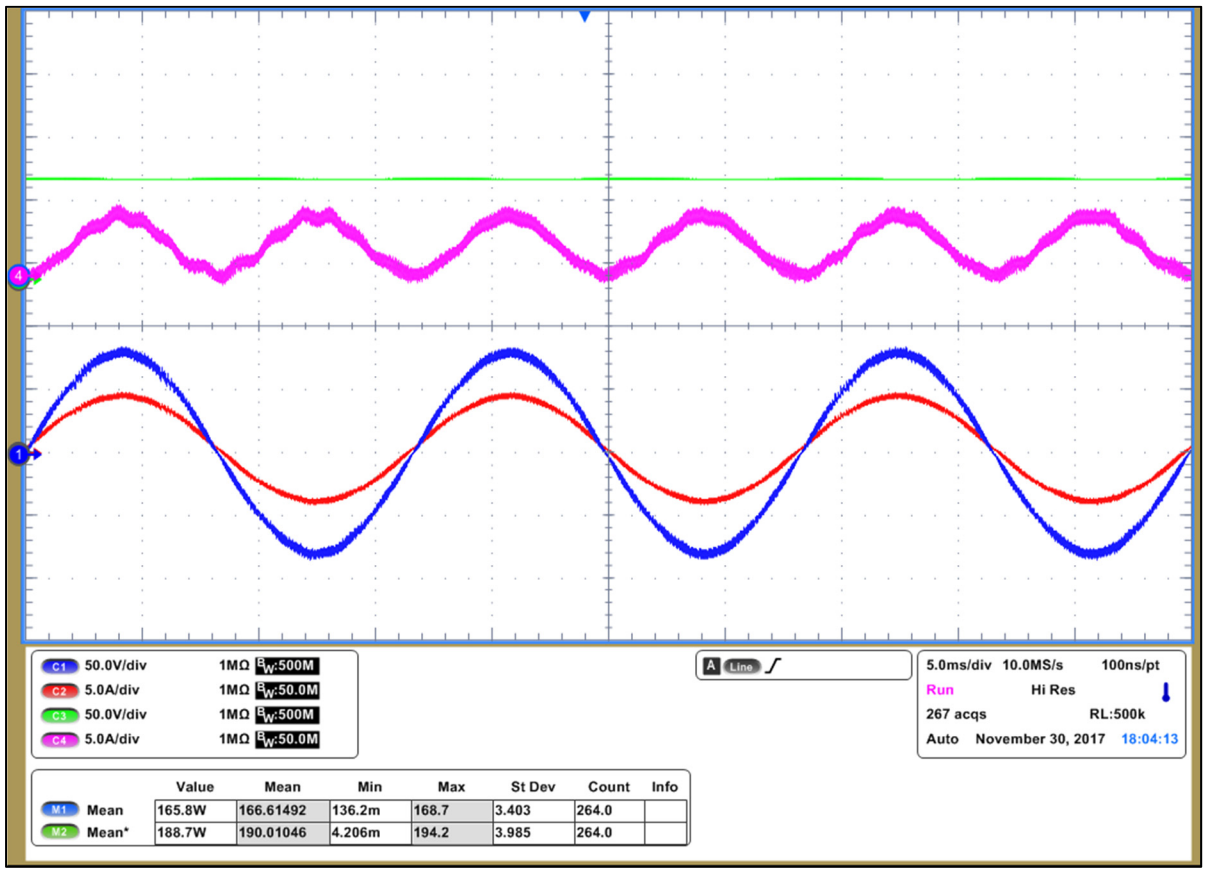


Figure 6.27 Forme d'onde avec faible charge, 1) tension de la sortie, 2) courant de la sortie, 3) tension de l'entrée et 4) courant de l'entrée

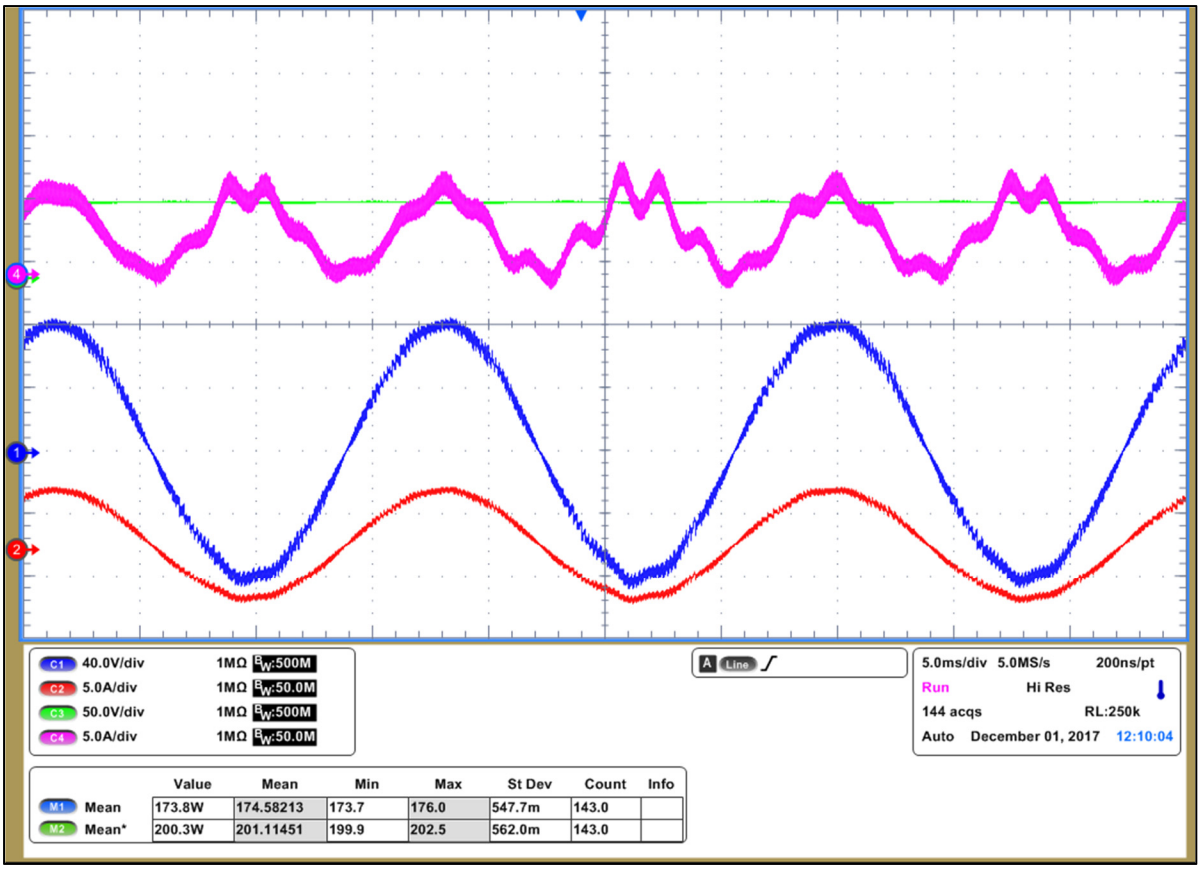


Figure 6.28 Forme d'onde avec faible tension d'alimentation CC, 1) tension de la sortie, 2) courant de la sortie, 3) tension de l'entrée et 4) courant de l'entrée

Les formes d'ondes de la charge maximale expérimentée sont disponibles à la Figure 6.29. La tension d'alimentation était de 190V, le bus CC de 220V et la charge de 13.3Ω. L'efficacité de la cellule était alors de 88%, ce qui est faible pour des transistors GaN. Il fut observé, lors de la prise de mesure, que la température des circuits d'amortissements était élevée. Cela diminua beaucoup le rendement et compliqua l'expérimentation sur des longues périodes de temps. La température du radiateur ne c'était donc pas stabilisée encore. À ce point d'opération, le convertisseur CC-CC était très sensible. On peut d'ailleurs remarquer l'ondulation sur le courant à l'entrée.

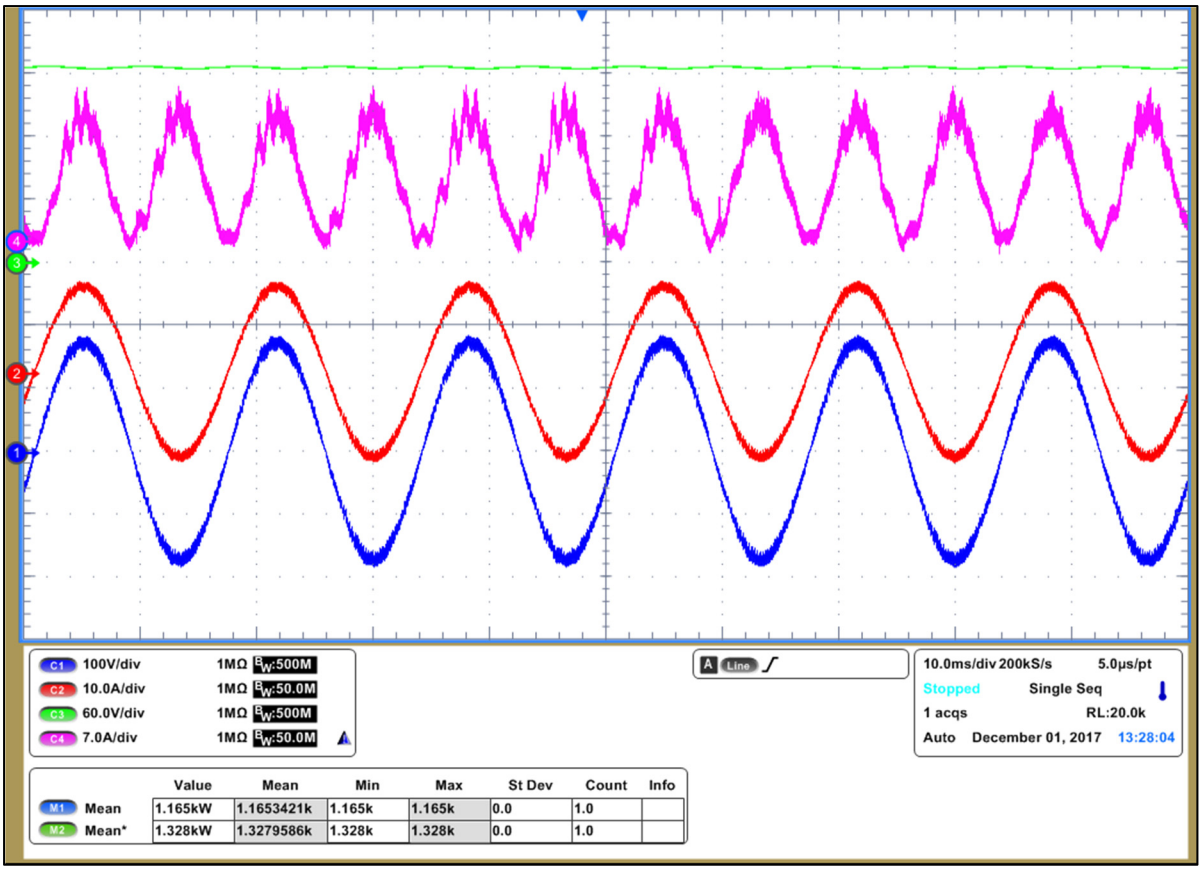


Figure 6.29 Forme d'onde avec faible tension d'alimentation CC, 1) tension de la sortie, 2) courant de la sortie, 3) tension de l'entrée et 4) courant de l'entrée

6.4.2 Deux cellules en parallèles

Avant de connecter des cellules ensembles, quelques tests de synchronisation ont été réalisés. Dans un premier temps, la synchronisation de la référence 60Hz fut validée avec la mesure des tensions de sortie présentées à la Figure 6.30. À première vue, il ne semble pas avoir de déphasage majeur. Par la suite, la synchronisation de la base temporelle a été confirmée en zoomant sur les impulsions de tensions à la sortie des cellules. La Figure 6.31 montre ces impulsions, on remarque que le délai est bien ajusté à la moitié de la période de commutation comme ce devait être le cas avec deux cellules.

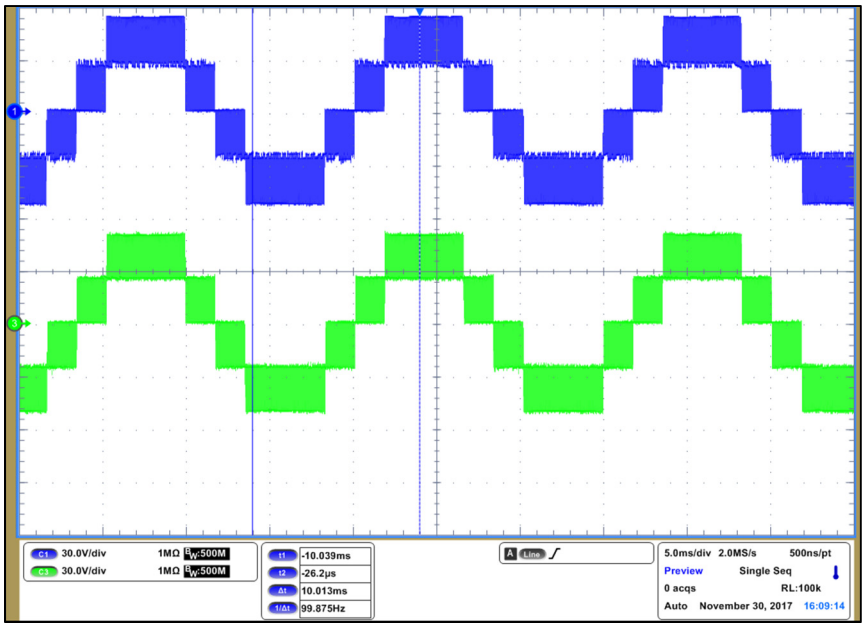


Figure 6.30 Tension de sortie de deux cellules, 1) tension de la sortie #1, 2) tension de la sortie #2

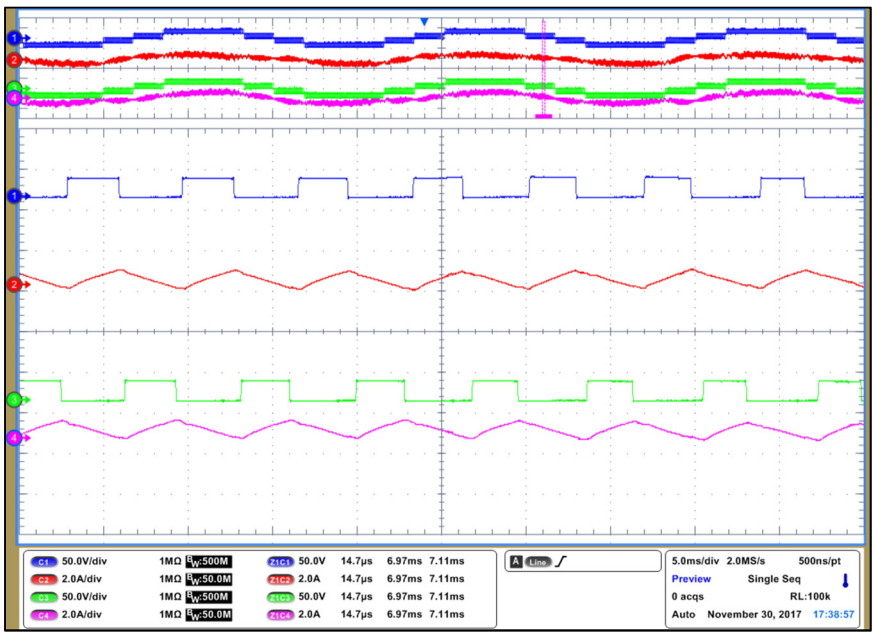


Figure 6.31 Synchronisation des impulsions, 1) tension de la sortie #1, 2) courant de la sortie #1, 3) tension de la sortie #2 et 4) courant de la sortie #2

Après avoir validé la synchronisation, leurs sorties furent connectées ensemble et testées sur une charge résistive. Un débalancement de courant entre les deux cellules a été d'emblée remarqué en raison d'une faible différence entre les mesures analogiques et d'un déphasage entre les PLL. Afin de palier à ce problème, la tension d'entrée fut ajustée manuellement avec un rapport cyclique fixe. Il fut alors remarqué que la répartition de la charge entre les cellules était très sensible à la tension d'alimentation contrairement au premier prototype en raison de l'ajout d'un PLL; ce dernier utilisait une synchronisation par impulsion. En analysant la Figure 6.32, on remarque un déphasage entre les courants des cellules. La Figure 6.33 montre le courant de la charge dans les mêmes conditions. Le courant d'une cellule est alors environ la moitié du courant de la charge. Malgré les débalancements de courant et de tension entre les cellules, le nombre de niveaux de tension au point de couplage commun fut augmenté conformément à la théorie.

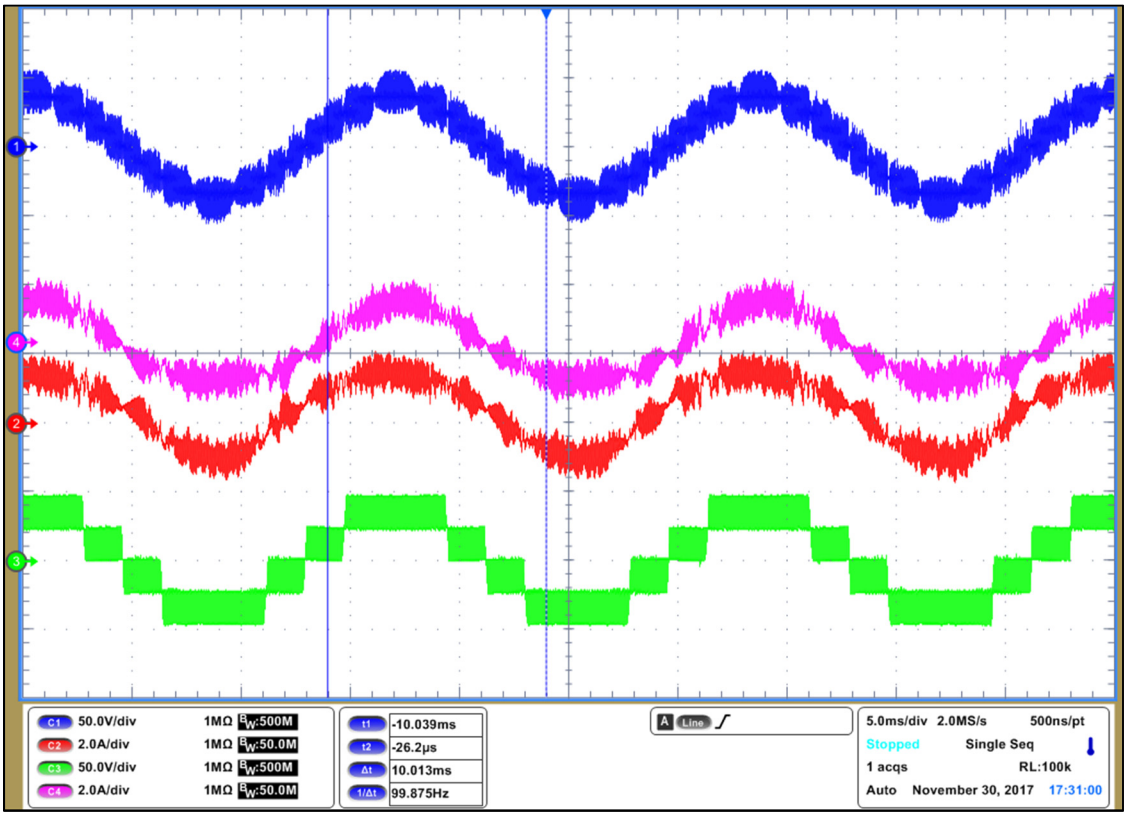


Figure 6.32 Deux cellules en parallèle, 1) tension au PCC, 2) courant de la première cellule, 3) tension de la première cellule et 4) courant de la deuxième cellule

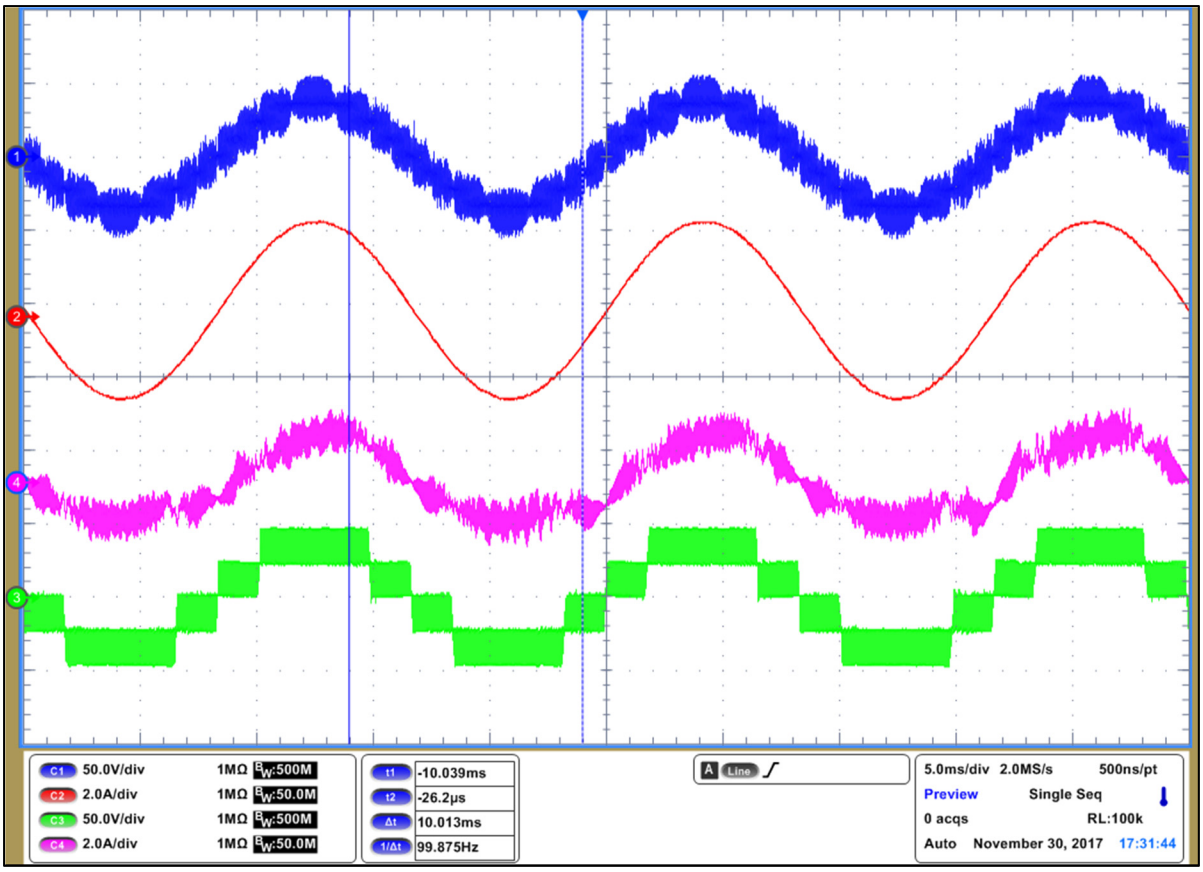


Figure 6.33 Deux cellules en parallèle, 1) tension au PCC, 2) courant de la charge, 3) tension de la première cellule et 4) courant de la deuxième cellule

CONCLUSION

Le développement d'un onduleur PUC5, d'un convertisseur élévateur CC-CC et d'une méthode de parallélisation a été présenté dans cet ouvrage. La parallélisation permet, entre autres, de nullifier les harmoniques de commutation et d'augmenter le nombre de niveaux au point de couplage commun. Des transistors au Nitrure de Gallium ont été utilisés afin d'augmenter la fréquence de commutation et de diminuer les dimensions du circuit. Deux techniques de modulation multiniveaux ont été testées : la référence décalée (premier prototype) et la porteuse décalée (dernier prototype).

Une cellule unique et deux cellules en parallèle ont été testées. Le système fonctionnait alors en onduleur autonome et alimentait une charge résistive. Une puissance maximale d'un peu plus d'un KW a été atteinte brièvement avec une cellule simple pour une tension au bus CC de 220V. Lors des tests sur la parallélisation, le nombre de niveaux au point de couplage commun a conformément été augmenté de cinq à neuf. Cependant, des différences de tensions sur leur bus CC ont fait en sorte que le partage de la puissance ne se réalisait pas correctement lorsque le convertisseur CC-CC fonctionnait en boucle fermée. La tension d'alimentation devait donc être ajustée manuellement pour chaque convertisseur. Ces différences de tension étaient principalement dues aux différences de mesure entre les deux cellules. De plus, il semblait y avoir un déphasage entre les PLL ce qui affecte le partage de la charge.

Le bruit EMI fut un des principaux problèmes rencontrés lors de la réalisation des prototypes, car il faisait en sorte que le système soit instable. Plusieurs mesures ont donc été mises de l'avant afin d'améliorer la propreté des signaux analogiques : synchronisation, filtrage en mode commun, filtrage numérique, signaux différentiels, etc. Malgré tous ces efforts, le circuit n'est pas tout à fait au point. Le programme du convertisseur était aussi très rudimentaire. Finalement, les transistors GaN sont avantageux en termes de performances et de dimensions, mais le temps de conception et la complexité du circuit augmentent drastiquement. La conception du circuit imprimé devient beaucoup plus compliquée et chaque composante doit être sélectionnée avec soin.

ANNEXE I

PROGRAMME MATLAB DU CONTRÔLEUR

```
function [BOOST_PULSES,...
          Consigne,...
          TOC,...
          PLL_TOC,...
          STATE_out,...
          CAP_STATE,...
          BOOST_error_feedback,...
          BOOST_error_I_feedback,...
          PLL_error,...
          CPLD_FAULT,...
          CA_relay,...
          PLL_lock,...
          zero_cross] = fcn1(  ...
                        CAP_STATE_fb,...
                        TIC,...
                        PLL_TIC,...
                        STATE_in,...
                        PLL_feedback,...
                        BOOST_error_fb,...
                        BOOST_error_I_fb,...
                        PWM_carrier,...
                        Vcap1,...
                        Vcap2,...
                        Current_CC,...
                        Current_CA,...
                        Voltage_grid,...
                        Current_grid,...
                        Voltage_INPUT,...
                        PLL_lock_fb,...
                        zero_cross_fb)
%=========================================================================
%% global constant
%=========================================================================

%=========================================================================
%% state update
%=========================================================================

% state d'énergisation
% on attend que la tension d'entré soit dans un range acceptable
% et que la sortie du boost s'énergise aussi
if(STATE_in == -2)
    if(Voltage_INPUT < 220 && Voltage_INPUT > 180 ...
                           && ...
       Vcap1 < 220 && Vcap1 > 180)
```

```
        if(TIC > 50)
            STATE_out = -1;
            TOC = 0;
            CA_relay = 0;
        else
            TOC = TIC+1;
            STATE_out = -2;
            CA_relay = 0;
        end
    else
        TOC = 0;
        STATE_out = -2;
        CA_relay = 0;
end

% state de précharge du boost
% on demarre le boost sans charge avec des gain faible
elseif(STATE_in == -1)
    if(Vcap1 < 450 && Vcap1 > 350)

        if(TIC > 50)
            STATE_out = 0;
            TOC = 0;
            CA_relay = 0;
        else
            TOC = TIC+1;
            STATE_out = -1;
            CA_relay = 0;
        end
    else
        TOC = 0;
        STATE_out = -1;
        CA_relay = 0;
    end

% state de demarrage du BOOST
% on change le gains des PID
elseif(STATE_in == 0)
    if(Vcap1 < 450 && Vcap1 > 350)
        if(TIC > 50)
            STATE_out = 1;
            TOC = 0;
            CA_relay = 0;
        else
            TOC = TIC+1;
            STATE_out = 0;
            CA_relay = 0;
        end
    else
        TOC = 0;
        STATE_out = 0;
        CA_relay = 0;
    end
```

```
% state de demarrage du PUC5
% on charge le condensateur flottant à faible courant
elseif(STATE_in == 1)
    if(Vcap2 > 190)
        if(TIC > 50)
            STATE_out = 2;
            TOC = 0;
            CA_relay = 0;
        else
            TOC = TIC+1;
            STATE_out = 1;
            CA_relay = 0;
        end
    else
        TOC = 0;
        STATE_out = 1;
        CA_relay = 0;
    end

% attente du zero crossing
elseif(STATE_in == 2)
    CA_relay = 1;
    TOC = 0;

    if(zero_cross_fb == 1 && PLL_lock_fb)
        STATE_out = 3;
    else
        STATE_out = 2;
    end

% 2 = state finale - deviendra idle et ajouter state d'init comm.
% utilisation normale
elseif(STATE_in == 3)
    CA_relay = 1;
    TOC = 0;
    STATE_out = 3;

% autres cas
% erreur
else
    STATE_out = -1;
    TOC = 0;
    CA_relay = 0;
end



%=========================================================================
%% PLL
%=========================================================================
vco = cos(PLL_feedback)*Voltage_grid/(240*sqrt(2));
PLL_error = vco;
```

```
if((Voltage_grid - 240*sqrt(2)*sin(PLL_feedback)) < 20)
    if(PLL_TIC == 1000)
        PLL_lock = 1;
        PLL_TOC = 1000;
    else
        PLL_TOC = PLL_TIC + 1;
        PLL_lock = 0;
    end
else
    PLL_TOC = 0;
    PLL_lock = 0;
end

if(PLL_feedback < 2*pi/1000 && zero_cross_fb == 0 && PLL_lock_fb)
    zero_cross = 1;
else
    zero_cross = 0;
end


%=========================================================================
%% BOOST PID et consigne
%=========================================================================

dt = 1e-5;  % sampling time

if(STATE_in == -2)
    Kp = 0;     % proportional term Kp
    Ki = 0;  % Integral term Ki
    Kd = 0;  % derivative term Kd
    KCC = 0;
    PID_output = 0;
    BOOST_error_I_feedback = 0;
    BOOST_error_feedback = 0;
    BOOST_voltage_set_point = 0;

elseif(STATE_in == -1)
    Kp = 0.1;     % proportional term Kp
    Ki = 0;  % Integral term Ki
    Kd = 0;  % derivative term Kd
    KCC = 1;
    BOOST_voltage_set_point = 400;

    BOOST_voltage_error = BOOST_voltage_set_point - Vcap1;
    BOOST_error_feedback = BOOST_voltage_error;


    % error of proportional term
    error_P  = BOOST_voltage_error;
    % derivative of the error
    error_D  = BOOST_voltage_error - BOOST_error_fb/dt;
    % integration of the error
```

```
    error_I = (BOOST_voltage_error + BOOST_error_fb)*dt/2 +
BOOST_error_I_fb;
    % on garde l'integration à sa position initial de zero
    % BOOST_error_I_feedback = error_I;
    BOOST_error_I_feedback = 0;

    error_current_CC = KCC*Current_CC;


        PID_output = Kp*error_P + Kd*error_D + Ki*error_I -
error_current_CC; % the three PID terms

        if PID_output > 0.95
            PID_output = 0.95;
        end

        if PID_output < 0.05
            PID_output = 0.05;
        end

else
    Kp = 0.5;     % proportional term Kp
    Ki = 0.75;  % Integral term Ki
    Kd = 0.000001;  % derivative term Kd
    KCC = 0.1;
    BOOST_voltage_set_point = 400;

    BOOST_voltage_error = BOOST_voltage_set_point - Vcap1;
    BOOST_error_feedback = BOOST_voltage_error;


        % error of proportional term
        error_P  = BOOST_voltage_error;
        % derivative of the error
        error_D  = BOOST_voltage_error - BOOST_error_fb/dt;
        % integration of the error
        error_I = (BOOST_voltage_error + BOOST_error_fb)*dt/2 +
BOOST_error_I_fb;
        BOOST_error_I_feedback = error_I;

        error_current_CC = KCC*Current_CC;


        PID_output = Kp*error_P + Kd*error_D + Ki*error_I -
error_current_CC; % the three PID terms

        if PID_output > 0.6
            PID_output = 0.6;
        end

        if PID_output < 0.01
            PID_output = 0.01;
```

```
        end

end

    if PID_output < PWM_carrier
        BOOST_PULSES = 1;
    else
        BOOST_PULSES = 0;
    end



%=========================================================================
%% PUC5 consigne
%=========================================================================

% précharge du condensateur flottant
% en current-mode

if(STATE_in == 1)
      CPLD_FAULT = 0;
      Consigne = 0.25;

      if (Vcap2 < Vcap1/2)
            CAP_STATE = 1;
      else
            CAP_STATE = 0;
      end

      elseif(STATE_in == 2)
            CPLD_FAULT = 1;
            Consigne = 0;
            CAP_STATE = 1;

      elseif(STATE_in == 3)
            CPLD_FAULT = 0;
            Consigne = Voltage_grid/340;

            if (Vcap2 < Vcap1/2)
                  CAP_STATE = 1;
            else
                  CAP_STATE = 0;
            end
      else
          CPLD_FAULT = 1;
          Consigne = 0;
          CAP_STATE = 0;
      end
end
```

ANNEXE II

PROGRAMME MATLAB DU MODULATEUR MULTINIVEAU

```
function pulses = switching(Vref,Cr1,Cr2,Cr3,Cr4,CAP_STATE, Master_enable,
CPLD_FAULT)

S=[false;false;false; false; false; false];
A=[true; false; false; false ;true; true]; % +2E
B=[true; false; true ;false; true ;false]; % +E   Charging
B1=[true; true; false; false; false ;true]; % +E  Discharging
C=[true; true ;true; false ;false; false]; % false
C1=[false; false; false; true; true ;true]; % false
D=[false; true; false; true; false ;true]; % -E   Charging
D1=[false; false; true; true; true; false]; %-E   Discharging
E=[false; true; true; true; false;false]; % -2E



if(Master_enable == 1 && CPLD_FAULT == 0)
    if Vref>=Cr1
        S=A;
    elseif CAP_STATE == 1 && Vref<Cr1 && Vref>=Cr2
        S=B;
    elseif CAP_STATE == 0 && Vref<Cr1 && Vref>=Cr2
        S=B1;
    elseif Vref>=0 && Vref<Cr2 && Vref>=Cr3
        S=C;
    elseif Vref<0 && Vref<Cr2 && Vref>=Cr3
        S=C1;
    elseif CAP_STATE == 1 && Vref<=Cr3 && Vref>Cr4
        S=D;
    elseif CAP_STATE == 0 && Vref<=Cr3 && Vref>Cr4
        S=D1;
    elseif Vref<=Cr4
        S=E;
    end
else
    S = [false;false;false; false; false; false];
end

pulses = S;
```

ANNEXE III

FIGURES SUPPLÉMENTAIRES AVEC DIFFÉRENTS DÉLAIS

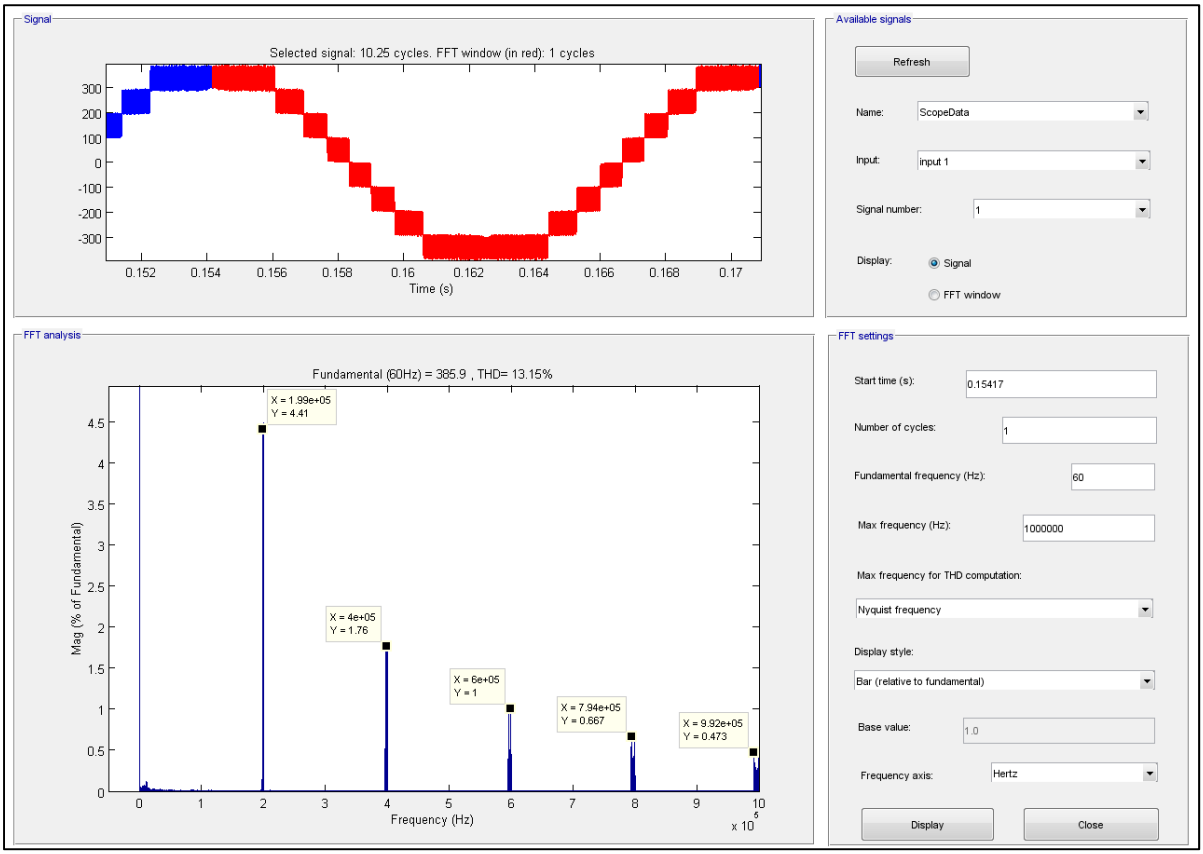


Figure-A III-1 Forme d'onde avec un délai de Ts/2 et quatre cellules en parallèle

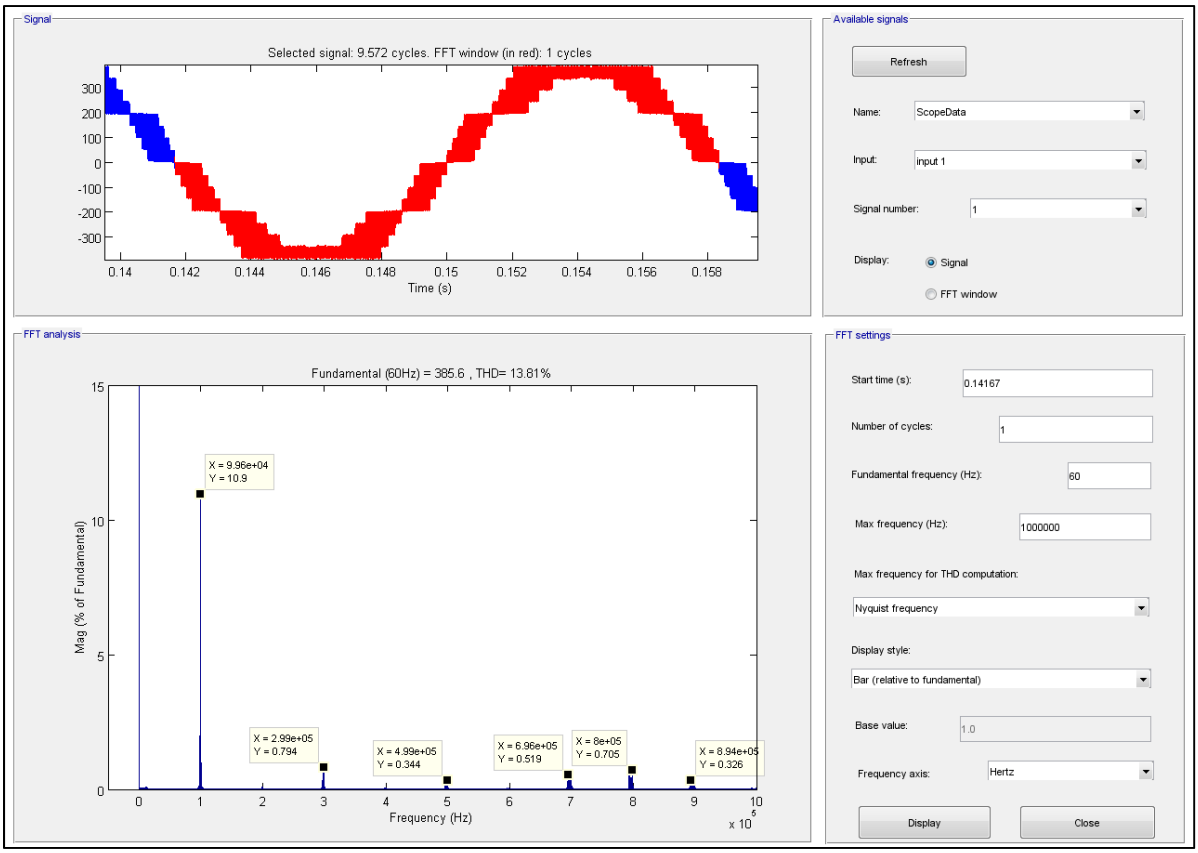


Figure-A III-2 Forme d'onde avec un délai de Ts et quatre cellules en parallèle

ANNEXE IV

CODE SOURCE DE L'INTERUPTION PRINCIPALE DU MCU

```
/*******************************************************************************
DMA2 STREAM 0 INTERRUPT ROUTINE
triggered by dma2stream0 transfert finish
which is triggered by ADC
which is triggered by CPLD
which is synchronised with PWM_SYNCI signal

compute values of the ADC into SI units.
copy the data in the converter main structsssss
compute controler algorithm (PID, PLL, filters, etc.)
update peripherals
update state machines
*******************************************************************************/
void DMA2_Stream0_IRQHandler(void){

static uint32_t loop_counter,
                DCDC_OUTPUT_OV_cnt,
                DCDC_INPUT_UV_cnt,
                DCDC_RUN_counter,
                DCDC_PRECHR_cnt,
                DCDC_RDY_counter,
                DCDC_INPUT_OV_cnt;

float temp = 0.0f;

//start counter to measure loop time
//is used for overruns detectiion at end of loop
TIM_SetCounter(TIM1, 0);
TIM_Cmd(TIM1, ENABLE);

/*************************************************************
  UPDATE ANALOG MEASUREMENTS AND STATE
*************************************************************/
update_analog_measurements(&Analog_status);
update_RMS_value(&Analog_status);//integral over grid period

/*************************************************************
  UPDATE ANALOG MEASUREMENTS AND STATE
*************************************************************/
if(GaN_converter.converter_state > CONV_STATE_INIT){
    update_kalman(&KALMAN_DC_IN_status, Analog_status.DC_Voltage);
    update_kalman(&KALMAN_CAP1_status, Analog_status.PUC_CAP1_Voltage);
    update_kalman(&KALMAN_CAP2_status, Analog_status.PUC_CAP2_Voltage);
    update_kalman(&KALMAN_PUC_CUR_status, Analog_status.PUC_Current);
    update_kalman(&KALMAN_DC_CUR_status, Analog_status.DC_Current);
}
```

```
/************************************************************
	UPDATE CONVERTER - CONVERTER STATE
************************************************************/
	switch(GaN_converter.converter_state){

/**********************************
	CONV STATE - STATE INIT
**********************************/
		case CONV_STATE_INIT:
			strcpy((char*)GaN_converter.status_message,"initializing");
			init_Analog(&Analog_status);	//the analog meas. handle
			init_PUC(&PUC_status);		//the PUC handle
			init_DCDC(&DCDC_status);	//the dcdc handle
			init_Converter(&GaN_converter); //the PID/PLL handle
			init_Controler(&GaN_converter); //must be done at the end
							//calcul PID gains
			GaN_converter.converter_state = CONV_IDLE;
			break;

/**********************************
	CONV STATE - PRECHARGE
**********************************/
case CONV_IDLE:

if(DCDC_status.state == DCDC_PRECHARGE || PUC_status.state == PUC_PRECHARGE){
	GaN_converter.converter_state = CONV_PRECHARGE;
}
else{
	GaN_converter.converter_state = CONV_IDLE;
}
break;

/**********************************
	CONV STATE - PRECHARGE
**********************************/
case CONV_PRECHARGE:

if(DCDC_status.state >= DCDC_READY && PUC_status.state >= PUC_READY){
	GaN_converter.converter_state = CONV_READY;
}
if(DCDC_status.state < DCDC_PRECHARGE || PUC_status.state < PUC_PRECHARGE){
	GaN_converter.converter_state = CONV_IDLE;
}
else{
	GaN_converter.converter_state = CONV_PRECHARGE;
}
break;

/**********************************
	CONV STATE - IS READY
**********************************/
case CONV_READY:
break;
```

```
/**********************************
       CONV STATE - IS RUNNING
**********************************/
case CONV_RUNNING:
       GaN_converter.CA_BUS_RELAY = 1;
       GPIO_ResetBits(GPIOC,GPIO_Pin_12);
break;

/**********************************
       CONV STATE - ERROR
**********************************/
case CONV_ERROR:
break;

/**********************************
       CONV STATE - USER OVERRIDE
**********************************/
case CONV_OVERRIDE:
       strcpy((char*)GaN_converter.status_message,"OVERRIDE");
break;

/**********************************
       CONV STATE - UNKNOWN
**********************************/
default:
       strcpy((char*)GaN_converter.status_message,"TROUBLE");
break;
}

/*****************************************************************
  UPDATE PUC - CONTROLER STATE
*****************************************************************/

/*****************************************************************
  UPDATE NUMBER OF CONVERTER
*****************************************************************/
update_N_of_converter(&GaN_converter);

/*****************************************************************
  UPDATE PLL
*****************************************************************/
update_PLL(&PLL_status, Analog_status.Grid_Voltage);

switch(PUC_status.state){

/**********************************
       PUC STATE - STATE INIT
**********************************/
case PUC_STATE_INIT:
       arm_pid_reset_f32(&PID_PUC_arm);
       PUC_status.PUC_DUTY_CYCLE_ctrl = PWM_PUC_PERIOD; // duty = 0%
```

```
      //PUC_status.state = PUC_WAIT_DCDC;
      PUC_status.state = PUC_READY;
      break;

/**********************************
       PUC STATE - STATE WAIT DCDC_READY
**********************************/
case PUC_WAIT_DCDC:
       //arm_pid_reset_f32(&PID_PUC_arm);
       if(!(loop_counter % 35)){
              if(PUC_status.PUC_DUTY_CYCLE_ctrl > PWM_PUC_PERIOD){
                     PUC_status.PUC_DUTY_CYCLE_ctrl--;
              }
              else if(PUC_status.PUC_DUTY_CYCLE_ctrl < PWM_PUC_PERIOD){
              PUC_status.PUC_DUTY_CYCLE_ctrl++;
              }
              else{
              PUC_status.PUC_DUTY_CYCLE_ctrl = PWM_PUC_PERIOD;
              }
      }

      if(DCDC_status.state >= DCDC_READY && PUC_status.PUC_DUTY_CYCLE_ctrl ==
PWM_PUC_PERIOD){
              PUC_status.state = PUC_PRECHARGE;
                     }
      else{
              PUC_status.state = PUC_WAIT_DCDC;
      }
      break;

/**********************************
       PUC STATE - STATE WAIT DCDC_READY
**********************************/
case PUC_WAIT_USER:
break;

/**********************************
       PUC STATE - PRECHARGE
**********************************/
case PUC_PRECHARGE:
       if(!(loop_counter % 35)){
              if(PUC_status.PUC_DUTY_CYCLE_ctrl > PWM_PUC_QUARTER_PERIOD){
                     PUC_status.PUC_DUTY_CYCLE_ctrl--;
              }
              else if(PUC_status.PUC_DUTY_CYCLE_ctrl < PWM_PUC_QUARTER_PERIOD){
                     PUC_status.PUC_DUTY_CYCLE_ctrl++;
              }
              else{
                     PUC_status.PUC_DUTY_CYCLE_ctrl = PWM_PUC_QUARTER_PERIOD;
              }
      }
```

```
    //capacitor is in charge mode until it reach VCC/2
      if(DCDC_status.state < DCDC_READY){
             PUC_status.state = PUC_WAIT_DCDC;
      }
      else if(PUC_status.CAP_state == CAP_DISCHARGE){
             PUC_status.state = PUC_SYNC;
      }
      else{
             PUC_status.state = PUC_PRECHARGE;
      }

break;

/**********************************
       PUC STATE - SYNC
**********************************/
case PUC_SYNC:
       if(!(loop_counter % 35)){
        if(PUC_status.PUC_DUTY_CYCLE_ctrl > PWM_PUC_PERIOD){
          PUC_status.PUC_DUTY_CYCLE_ctrl--;
        }
        else if(PUC_status.PUC_DUTY_CYCLE_ctrl < PWM_PUC_PERIOD){
          PUC_status.PUC_DUTY_CYCLE_ctrl++;
        }
        else{
          PUC_status.PUC_DUTY_CYCLE_ctrl = PWM_PUC_PERIOD;
        }
      }

      if(DCDC_status.state < DCDC_READY){
        PUC_status.state = PUC_WAIT_DCDC;
      }
      else if(PLL_status.PLL_sin < 0.06f && PLL_status.PLL_sin > -0.06f &&
PUC_status.PUC_DUTY_CYCLE_ctrl == PWM_PUC_PERIOD){
        PUC_status.state = PUC_READY;
      }
      else{
        PUC_status.state = PUC_SYNC;
      }
break;
/**********************************
                    PUC STATE - IS READY
**********************************/
case PUC_READY:
      temp = GaN_converter.PLL_handle->PLL_sin * 0.8f;
      temp *= PWM_PUC_PERIOD_F;//adjust float to integer
      temp += PWM_PUC_PERIOD_F;//3000 = 0% duty cycle
      PUC_status.PUC_DUTY_CYCLE_ctrl = (uint16_t)(temp);

    /*
      if(DCDC_status.state < DCDC_READY){
        PUC_status.state = PUC_WAIT_DCDC;
      }
```

```
      else{
        PUC_status.state = PUC_READY;
      }
    */
break;

/**********************************
                    PUC STATE - IS RUNNING
**********************************/
case PUC_RUNNING:
       PUC_status.PUC_OUTPUT_CURRENT_ctrl = 1.0f;
       PUC_status.PUC_DUTY_CYCLE_ctrl = (uint16_t)((GaN_converter.PLL_handle-
       >PLL_sin * PUC_status.PUC_OUTPUT_CURRENT_ctrl) + PWM_PUC_PERIOD);
break;

/**********************************
                    PUC STATE - IS HALTED
**********************************/
case PUC_HALT:
break;

/**********************************
                    PUC STATE - ERROR
**********************************/
case PUC_ERROR:
break;

/**********************************
                    PUC STATE - UNKNOWN
**********************************/
default:
break;
    }

/*************************************************************
  UPDATE PUC - DUTY CYCLE
*************************************************************/

    //saturation
    if(PUC_status.PUC_DUTY_CYCLE_ctrl >= PWM_PUC_MAX_DUTY){
      PUC_status.PUC_DUTY_CYCLE_ctrl = PWM_PUC_MAX_DUTY;
      PUC_status.PUC_PID_fault = SATURATED_TOP;
    }
    else if(PUC_status.PUC_DUTY_CYCLE_ctrl <= PWM_PUC_MIN_DUTY){
      PUC_status.PUC_DUTY_CYCLE_ctrl = PWM_PUC_MIN_DUTY;
      PUC_status.PUC_PID_fault = SATURATED_BOTTOM;
    }
    else{
      PUC_status.PUC_PID_fault = PID_OK;
    }

    PUC_status.PUC_commande = (float)PUC_status.PUC_DUTY_CYCLE_ctrl;
```

```
    //send data to CPLD, the PUC pwm...
    SPI_Cmd(SPI2, ENABLE);
    if(PUC_status.PUC_DUTY_CYCLE_override == OVERRIDE){
      SPI2->DR = (uint16_t)PUC_status.PUC_DUTY_CYCLE_user; // write user data
    }
    else{
      SPI2->DR = (uint16_t)PUC_status.PUC_DUTY_CYCLE_ctrl; // write ctrl data
    }
    //pull CS up........
    //voir datasheet
    SPI_Cmd(SPI2, DISABLE);

/*************************************************************
  UPDATE PUC - CAPACITOR STATE
*************************************************************/
  update_PUC_capacitor(&GaN_converter);

/*************************************************************
  UPDATE DCDC - CONTROLER STATE
*************************************************************/

/**********************************
       voltage ref override
**********************************/
    if(DCDC_status.BRIDGE_OUTPUT_VOLTAGE_override == OVERRIDE){
                DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl =
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_user;
             }

//dcdc state machine starts here
             switch(DCDC_status.state){
/**********************************
       DCDC STATE - STATE INIT
**********************************/
                   case DCDC_STATE_INIT:
        DCDC_status.BRIDGE_DUTY_CYCLE_ctrl = PWM_TIM8_MIN_DC;
                        DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl =
DCDC_CAP1_VREF;

        //check for dcdc output over voltage first
        if(KALMAN_CAP1_status.X_output > DCDC_OUTPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_OUTPUT_OV_cnt > 5){
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_OUTPUT_OVER_VOLTAGE;
          }
          else{
            DCDC_OUTPUT_OV_cnt++;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
          }

        }
```

```
        //check for dc input over voltage
        else if(KALMAN_DC_IN_status.X_output > DCDC_INPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_OV_cnt > 5){
            DCDC_INPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_OVER_VOLTAGE;
          }
          else{
            DCDC_INPUT_OV_cnt++;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_OUTPUT_OV_cnt = 0;
          }

        }

        //check for input under voltage, i.e. when the input power is shut
        else if(KALMAN_DC_IN_status.X_output < DCDC_INPUT_UV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_UV_cnt > 5){
            DCDC_INPUT_UV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_UNDER_VOLTAGE;
          }
        else{
            DCDC_INPUT_UV_cnt++;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
        }
      }

        //if it doesnt go in above mentionned state
        //wait, for now...
        else{
          DCDC_OUTPUT_OV_cnt = 0;
          DCDC_INPUT_UV_cnt = 0;
          DCDC_INPUT_OV_cnt = 0;
        }
                          break;
/**********************************
       DCDC STATE - INPUT_OVER_VOLTAGE
**********************************/
case DCDC_INPUT_OVER_VOLTAGE:
       DCDC_status.BRIDGE_peak_current_ctrl    = DCDC_PRECHARGE_IPK;
       //wait for user to reduce input voltage
       if(KALMAN_DC_IN_status.X_output < DCDC_INPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_OV_cnt > 5){
            DCDC_INPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_PRECHARGE;
          }
          else{
            DCDC_INPUT_OV_cnt++;
          }
```

```
        }
        else{
          DCDC_INPUT_OV_cnt = 0;
        }

break;


/**********************************
       DCDC STATE - INPUT_UNDER_VOLTAGE
**********************************/
case DCDC_INPUT_UNDER_VOLTAGE:
                           DCDC_status.BRIDGE_peak_current_ctrl    =
DCDC_PRECHARGE_IPK;

        //diminue le duty cycle jusqu'au minimum tranquillement s'il ne l'est pas
        if(!(loop_counter % 35)){
          if(DCDC_status.BRIDGE_DUTY_CYCLE_ctrl > PWM_TIM8_MIN_DC){
            DCDC_status.BRIDGE_DUTY_CYCLE_ctrl =
DCDC_status.BRIDGE_DUTY_CYCLE_ctrl - 1;
          }
          else{
            DCDC_status.BRIDGE_DUTY_CYCLE_ctrl = PWM_TIM8_MIN_DC;
          }
        }

        //check for dcdc output over voltage first
        if(KALMAN_CAP1_status.X_output > DCDC_OUTPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_OUTPUT_OV_cnt > 5){
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_OUTPUT_OVER_VOLTAGE;
          }
          else{
            DCDC_OUTPUT_OV_cnt++;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
            DCDC_PRECHR_cnt = 0;
          }

        }

        //check for input over voltage
        else if(KALMAN_DC_IN_status.X_output > DCDC_INPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_OV_cnt > 5){
            DCDC_INPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_OVER_VOLTAGE;
          }
          else{
            DCDC_INPUT_OV_cnt++;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_OUTPUT_OV_cnt = 0;
```

```
            DCDC_PRECHR_cnt = 0;
          }

        }

        //check for input under voltage, i.e. when the input power is shut
        else if(KALMAN_DC_IN_status.X_output <= DCDC_INPUT_UV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_UV_cnt > 5){
            DCDC_INPUT_UV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_UNDER_VOLTAGE;
          }
          else{
            DCDC_INPUT_UV_cnt++;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
            DCDC_PRECHR_cnt = 0;
          }
        }
        //dcdc voltage in bound
        //start its energisation
        else{
          if(DCDC_PRECHR_cnt > 5){
            DCDC_PRECHR_cnt = 0;
            DCDC_status.state = DCDC_PRECHARGE;
          }
          else{
            DCDC_PRECHR_cnt++;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
          }
        }
break;

/**********************************
       DCDC STATE - CAP1_OVER_VOLTAGE
**********************************/
case DCDC_OUTPUT_OVER_VOLTAGE:
                          DCDC_status.BRIDGE_peak_current_ctrl    =
DCDC_PRECHARGE_IPK;

        //diminue le duty cycle jusqu'au minimum tranquillement s'il ne l'est pas
        if(!(loop_counter % 35)){
          if(DCDC_status.BRIDGE_DUTY_CYCLE_ctrl > PWM_TIM8_MIN_DC){
            DCDC_status.BRIDGE_DUTY_CYCLE_ctrl =
DCDC_status.BRIDGE_DUTY_CYCLE_ctrl - 1;
          }
          else{
            DCDC_status.BRIDGE_DUTY_CYCLE_ctrl = PWM_TIM8_MIN_DC;
          }
        }
```

```
        //wait for user to reduce input power and over voltage to pass.....
        if((KALMAN_DC_IN_status.X_output < DCDC_OUTPUT_UV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl) &&
           (KALMAN_CAP1_status.X_output  < DCDC_OUTPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl)){
          if(DCDC_INPUT_UV_cnt > 5){
            DCDC_INPUT_UV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_UNDER_VOLTAGE;
          }
          else{
            DCDC_INPUT_UV_cnt++;
          }
        }
        else{
          DCDC_INPUT_UV_cnt = 0;
        }

break;

/**********************************
       DCDC STATE - PRECHARGE
**********************************/
case DCDC_PRECHARGE:
                          DCDC_status.BRIDGE_peak_current_ctrl    =
DCDC_PRECHARGE_IPK;
        arm_pid_reset_f32(&PID_DCDC_arm);

        //increment duty cycle until output is at set value
        if(!(loop_counter % 35)){
          if(DCDC_status.BRIDGE_DUTY_CYCLE_ctrl < PWM_TIM8_MAX_DC){
            DCDC_status.BRIDGE_DUTY_CYCLE_ctrl =
DCDC_status.BRIDGE_DUTY_CYCLE_ctrl + 1;
          }
          else{
            DCDC_status.BRIDGE_DUTY_CYCLE_ctrl = PWM_TIM8_MAX_DC;
          }
        }

//compute voltage error
DCDC_status.BRIDGE_PID_error  = (DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl -
KALMAN_CAP1_status.X_output);

        //check for dcdc output over voltage first
        if(KALMAN_CAP1_status.X_output > DCDC_OUTPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_OUTPUT_OV_cnt > 5){
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_OUTPUT_OVER_VOLTAGE;
          }
          else{
            DCDC_OUTPUT_OV_cnt++;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
```

```
            DCDC_RDY_counter = 0;
          }

        }

        //check for input over voltage
        else if(KALMAN_DC_IN_status.X_output > DCDC_INPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_OV_cnt > 5){
            DCDC_INPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_OVER_VOLTAGE;
          }
          else{
            DCDC_INPUT_OV_cnt++;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_RDY_counter = 0;
          }

        }

        //check for input under voltage, i.e. when the input power is shut
        else if(KALMAN_DC_IN_status.X_output < DCDC_INPUT_UV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_UV_cnt > 5){
            DCDC_INPUT_UV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_UNDER_VOLTAGE;
          }
          else{
            DCDC_INPUT_UV_cnt++;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
            DCDC_RDY_counter = 0;
          }
        }
        //if error is neg, Vout = Vref + petite difference
        else if(DCDC_status.BRIDGE_PID_error < 0.0f){
          if(DCDC_RDY_counter > 5){
            DCDC_RDY_counter = 0;
            //init pid output to present duty cycle value
            //by setting past output value, it prevents step variation when PID
starts
            PID_DCDC_arm.state[2] = (float)DCDC_status.BRIDGE_DUTY_CYCLE_ctrl;
            DCDC_status.state = DCDC_READY;
          }
          else{
            DCDC_RDY_counter++;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
            DCDC_INPUT_UV_cnt = 0;
          }
        }
        else{
```

```
          DCDC_OUTPUT_OV_cnt = 0;
          DCDC_INPUT_OV_cnt = 0;
          DCDC_INPUT_UV_cnt = 0;
          DCDC_RDY_counter = 0;
        }
break;

/*********************************
       DCDC STATE - IS READY
*********************************/
case DCDC_READY:
       DCDC_status.BRIDGE_peak_current_ctrl    = DCDC_IND_IPK;
       //compute voltage error
       DCDC_status.BRIDGE_PID_error  = (DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl -
KALMAN_CAP1_status.X_output);

       //compute PID, close the voltage loop
       DCDC_status.BRIDGE_DUTY_CYCLE_ctrl =
arm_pid_f32(&PID_DCDC_arm,DCDC_status.BRIDGE_PID_error);

       //compute current feedback, the goal is to reduce 120Hz harmonic in the
duty-cycle
       DCDC_status.BRIDGE_DUTY_CYCLE_ctrl -= DCDC_CURRENT_KP *
KALMAN_DC_CUR_status.X_output;

        //check for dcdc output over voltage first
        if(KALMAN_CAP1_status.X_output > DCDC_OUTPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_OUTPUT_OV_cnt > 5){
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_OUTPUT_OVER_VOLTAGE;
          }
          else{
            DCDC_OUTPUT_OV_cnt++;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
            DCDC_RUN_counter = 0;
          }

        }

        //check for input over voltage
        else if(KALMAN_DC_IN_status.X_output > DCDC_INPUT_OV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_OV_cnt > 5){
            DCDC_INPUT_OV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_OVER_VOLTAGE;
          }
          else{
            DCDC_INPUT_OV_cnt++;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_RUN_counter = 0;
```

```
          }

        }

        //check for input under voltage, i.e. when the input power is shut
        else if(KALMAN_DC_IN_status.X_output < DCDC_INPUT_UV_REF *
DCDC_status.BRIDGE_OUTPUT_VOLTAGE_ctrl){
          if(DCDC_INPUT_UV_cnt > 5){
            DCDC_INPUT_UV_cnt = 0;
            DCDC_status.state = DCDC_INPUT_UNDER_VOLTAGE;
          }
          else{
            DCDC_INPUT_UV_cnt++;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
            DCDC_RUN_counter = 0;
          }
        }
        /*
        //if power is flowing, set state to run
        else if(Analog_status.DC_Power > 50000.0f){//never true
          if(DCDC_RUN_counter > 10){
            DCDC_RUN_counter = 0;
            DCDC_status.state = DCDC_RUNNING;
          }
          else{
            DCDC_RUN_counter++;
            DCDC_OUTPUT_OV_cnt = 0;
            DCDC_INPUT_UV_cnt = 0;
            DCDC_INPUT_OV_cnt = 0;
          }
        }
        */

        else{
          DCDC_OUTPUT_OV_cnt = 0;
          DCDC_INPUT_UV_cnt = 0;
          DCDC_RUN_counter = 0;
          DCDC_INPUT_OV_cnt = 0;
        }

        break;

/**********************************
       DCDC STATE - IS RUNNING
**********************************/
case DCDC_RUNNING:
break;
/**********************************
       DCDC STATE - PID IS HALTED
**********************************/
case DCDC_HALT:
break;
```

```
/**********************************
       DCDC STATE - ERROR
**********************************/
case DCDC_ERROR:
break;

/**********************************
       DCDC STATE - UNKNOWN
**********************************/
default:
break;
}

/*************************************************************
  UPDATE DCDC - BRIDGE DUTY CYCLE
*************************************************************/
//saturation for pwm
if(DCDC_status.BRIDGE_DUTY_CYCLE_ctrl > PWM_TIM8_MAX_DC){
       DCDC_status.BRIDGE_DUTY_CYCLE_ctrl = PWM_TIM8_MAX_DC;
       DCDC_status.BRIDGE_PID_fault = SATURATED_TOP;
}
else if(DCDC_status.BRIDGE_DUTY_CYCLE_ctrl < PWM_TIM8_MIN_DC){
       DCDC_status.BRIDGE_DUTY_CYCLE_ctrl = PWM_TIM8_MIN_DC;
       DCDC_status.BRIDGE_PID_fault = SATURATED_BOTTOM;
}
else{
       DCDC_status.BRIDGE_PID_fault = PID_OK;
}

//en float pour le debug scope
DCDC_status.BRIDGE_commande = (float)DCDC_status.BRIDGE_DUTY_CYCLE_ctrl;

//setup DAC voltage for peak current
//override is inside the function
update_DCDC_peak_current(&DCDC_status);

//setup timer register
if(DCDC_status.BRIDGE_DUTY_CYCLE_override == OVERRIDE){
       TIM_SetCompare2(TIM8,(uint32_t)DCDC_status.BRIDGE_DUTY_CYCLE_user);
}
else{
       TIM_SetCompare2(TIM8,(uint32_t)DCDC_status.BRIDGE_DUTY_CYCLE_ctrl);
}

//toggle rapidly heartbeat led
GPIO_ToggleBits(GPIOB,GPIO_Pin_10); //stm_dbg_led1
//reset interrupt flag for next adc acquisition
DMA_ClearITPendingBit(DMA2_Stream0, DMA_IT_TCIF0);
//increment SW loop counter
loop_counter++;
```

```
	//get main loop timer value and keep count of overruns
	TIM_Cmd(TIM1, DISABLE);
	GaN_converter.main_loop_timer = TIM_GetCounter(TIM1);
	GaN_converter.main_loop_us = GaN_converter.main_loop_timer * 0.01111111f;

	if(GaN_converter.main_loop_us > 40.0f){
		GaN_converter.main_loop_overrun_ctn++;
	}
}
```

ANNEXE V

CODE SOURCE DU FILTRE DE KALMAN

```
#include "kalman.h"


void update_kalman(kalman_t * temp_kalman, float input){
  float XP = 0.0f,
        PP = 0.0f,
        K = 0.0f,
        K_last = 0.0f,
        S = 0.0f,
        temp_float = 0.0f;

  unsigned int loop_counter = 0;

  //do-while pour la convergence du filtre
  do {

    // Predicted state, a priori estimate
    // x(k|k-1) = A * x(k-1|k-1)
    XP = temp_kalman->A * temp_kalman->X_output;

    // Predicted covariance, a priori estimate
    // P(k|k-1) = A * P(k-1|k-1) * A' + Q
    PP = temp_kalman->A * temp_kalman->P;
    PP *= temp_kalman->A;
    PP += temp_kalman->Q;

    // Innovation (or residual) covariance
    // S = H * P(k|k-1) * H' + R
    S = temp_kalman->H * PP;
    S *= temp_kalman->H;
    S += temp_kalman->R;

    // Optimal Kalman gain
    // K = P(k|k-1) * H' * S^-1
    K  = PP * temp_kalman->H;
    K /= S;

    // Innovation (or measurement residual)
    // y = Z - H * x(k|k-1)
    // Updated (a posteriori) state estimate
    // X(k|k) = x(k|k-1) + K * y
    temp_float = input-temp_kalman->H * XP;
    temp_float *= K;
    temp_kalman->X_output = XP + temp_float;

    // Updated (a posteriori) estimate covariance
    // P(k|k) = (I - K * H) * P(k|k-1)
```

```
    //        = P(k|k-1) - K * H * P(k|k-1)
    temp_float = temp_kalman->H * PP;
    temp_float *= K;
    temp_kalman->P = PP - temp_float;

    if ((K - K_last) / K_last < 0.002f) {
      temp_kalman->converged = 1;
    }
    else {
      temp_kalman->converged = 0;
    }

    K_last = K;

    loop_counter++;

  }while (temp_kalman->converged == 0 && loop_counter < 5);
}
```

ANNEXE VI

CODE SOURCE DU CPLD

```
----------------------------------------------------------------------------------
-- Company:
-- Engineer:
--
-- Create Date:    07:57:15 10/23/2016
-- Design Name:
-- Module Name:    PUC5_SCM_PWM - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
----------------------------------------------------------------------------------
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use ieee.std_logic_unsigned.all;
USE WORK.PUC5_SCM_PWM_PACKAGE.all;



--top entity
--is directly pinned outside the CPLD
entity PUC5_SCM_PWM is
    Port(
            --INPUT
            RESET_n             : IN  STD_LOGIC; -- MC
            CLK                 : IN  STD_LOGIC; -- MC

            SPI2_MOSI           : IN  STD_LOGIC; -- MC
            SPI2_CLK            : IN  STD_LOGIC; -- MC
            SPI2_NSS            : IN  STD_LOGIC; -- MC

            MASTER_ENABLE   : IN  STD_LOGIC; -- MC
            STM_DBG_LED2        : IN  STD_LOGIC; -- MC
            CPLD_CONVNUM        : IN  STD_LOGIC_VECTOR(3 DOWNTO 0); --MC

            CAP_state           : IN  STD_LOGIC; -- MC
            CURRENT_state       : IN  STD_LOGIC; -- MC
            PWM_SYNCI           : IN  STD_LOGIC; -- MC

            PWM_CC-CC_LO         : IN  STD_LOGIC; -- MC
            PWM_CC-CC_HO         : IN  STD_LOGIC; -- MC
            CC-CC_current_comp   : IN    STD_LOGIC; -- MC

            --OUTPUT
            CPLD_DBG_LED        : OUT  STD_LOGIC_VECTOR(7 DOWNTO 0); -- MC
            SPI2_MISO           : OUT  STD_LOGIC := '0'; -- MC
```

```
            PWM_SYNCO           : OUT  STD_LOGIC := '0'; -- MC
            EXTi_11_ACC     : OUT  STD_LOGIC := '0'; -- MC

            PWM_Q1              : OUT  STD_LOGIC; -- MC
            PWM_Q2              : OUT  STD_LOGIC; -- MC
            PWM_Q3              : OUT  STD_LOGIC; -- MC
            PWM_Q4              : OUT  STD_LOGIC; -- MC
            PWM_Q5              : OUT  STD_LOGIC; -- MC
            PWM_Q6              : OUT  STD_LOGIC; -- MC

            PWM_CC-CC_LO_CM      : OUT  STD_LOGIC; -- MC
            PWM_CC-CC_HO_CM      : OUT  STD_LOGIC -- MC

        );
END PUC5_SCM_PWM;


ARCHITECTURE PUC5_SCM_PWM_behavioral OF PUC5_SCM_PWM IS
--carrier triangular wave for pwm, up down
SIGNAL PWM_CARRIER : STD_LOGIC_VECTOR(11 DOWNTO 0);
--value to which the timer reset, depend on number of converters
SIGNAL TIM_RST_VAL_signal : STD_LOGIC_VECTOR(11 DOWNTO 0);
--direction of counter, 1 = up, used as trigger for control main loop
SIGNAL TIM_DIR : STD_LOGIC;
--buffer for deadtime components
SIGNAL PWM_PUC_DT : STD_LOGIC_VECTOR(5 DOWNTO 0) := (OTHERS => '0');
--data to send with SPI
SIGNAL PWM_CC-CC_DT : STD_LOGIC_VECTOR(1 DOWNTO 0) := (OTHERS => '0');
--data to send with SPI
SIGNAL tx_data : STD_LOGIC_VECTOR(15 DOWNTO 0) := (OTHERS => '0');
--data is ready to be sent on next NSS selection
SIGNAL tx_send  : STD_LOGIC := '0';
--if NSS is selected
SIGNAL spi_busy : STD_LOGIC;
--consigne recu par le port SPI
SIGNAL Consigne : STD_LOGIC_VECTOR(15 DOWNTO 0);

BEGIN

--EXTi_11_ACC <= TIM_DIR; --envoi un rising edge a chaque reset de la timebase
tx_data <= Consigne; --simple echo for now

DIVIDER_COMPONENT : DIVIDER PORT MAP(
    RESET_n,
    TIM_DIR,
    EXTi_11_ACC
    );

ENCODER_DLY_COMPONENT : ENCODER_DLY PORT MAP(
                        CPLD_CONVNUM, --Consigne(15 downto 12);
                        TIM_RST_VAL_signal
                        );

SPI_SLAVE_COMPONENT : SPI_SLAVE PORT MAP(
            SPI2_CLK,
            SPI2_MOSI,
            SPI2_NSS,
            RESET_n,
            tx_data,
            tx_send,
```

```
            SPI2_MISO,
            Consigne,
            spi_busy
        );

COUNTER_UNIT_COMPONENT : COUNTER_UNIT PORT MAP(
        CLK,
        RESET_n,
        TIM_RST_VAL_signal,
        PWM_SYNCI,
        PWM_CARRIER,
        PWM_SYNCO,
        TIM_DIR
    );

COMPARE_UNIT_COMPONENT : COMPARE_UNIT PORT MAP(
        CLK,
        CAP_state,
        CURRENT_state,
        MASTER_ENABLE,
        PWM_CARRIER,
        Consigne(12 downto 0),
        TIM_DIR,
        RESET_n,
        PWM_PUC_DT(0),
        PWM_PUC_DT(1),
        PWM_PUC_DT(2),
        PWM_PUC_DT(3),
        PWM_PUC_DT(4),
        PWM_PUC_DT(5)
    );


DEAT_TIME_UNIT_COMPONENT1 : DEAD_TIME_UNIT PORT MAP(
        CLK,
        RESET_n,
        PWM_PUC_DT(0),
        PWM_Q1
);

DEAT_TIME_UNIT_COMPONENT2 : DEAD_TIME_UNIT PORT MAP(
        CLK,
        RESET_n,
        PWM_PUC_DT(1),
        PWM_Q2
);

DEAT_TIME_UNIT_COMPONENT3 : DEAD_TIME_UNIT PORT MAP(
        CLK,
        RESET_n,
        PWM_PUC_DT(2),
        PWM_Q3
);

DEAT_TIME_UNIT_COMPONENT4 : DEAD_TIME_UNIT PORT MAP(
        CLK,
        RESET_n,
        PWM_PUC_DT(3),
        PWM_Q4
);
```

```
DEAT_TIME_UNIT_COMPONENT5 : DEAD_TIME_UNIT PORT MAP(
        CLK,
        RESET_n,
        PWM_PUC_DT(4),
        PWM_Q5
);

DEAT_TIME_UNIT_COMPONENT6 : DEAD_TIME_UNIT PORT MAP(
        CLK,
        RESET_n,
        PWM_PUC_DT(5),
        PWM_Q6
);
CC-CC_CURRENT_MODE1 : CC-CC_CURRENT_MODE PORT MAP(
        CLK,
        RESET_n,
        CC-CC_current_comp,
        PWM_CC-CC_LO,
        PWM_CC-CC_HO,
        PWM_CC-CC_DT(0),
        PWM_CC-CC_DT(1)
);

DEAT_TIME_UNIT_COMPONENT7 : DEAD_TIME_UNIT PORT MAP(
        CLK,
        RESET_n,
        PWM_CC-CC_DT(0),
        PWM_CC-CC_LO_CM
);

DEAT_TIME_UNIT_COMPONENT8 : DEAD_TIME_UNIT PORT MAP(
        CLK,
        RESET_n,
        PWM_CC-CC_DT(1),
        PWM_CC-CC_HO_CM
);

    CPLD_DBG_LED(0) <= Consigne(0);
    CPLD_DBG_LED(1) <= Consigne(1);
    CPLD_DBG_LED(2) <= Consigne(2);
    CPLD_DBG_LED(3) <= Consigne(3);
    CPLD_DBG_LED(4) <= Consigne(4);
    CPLD_DBG_LED(5) <= Consigne(5);
    CPLD_DBG_LED(6) <= Consigne(6);
    CPLD_DBG_LED(7) <= Consigne(7);

END PUC5_SCM_PWM_behavioral;
```

```
-- ============================================================
-- GREPCI
-- VHDL PACKAGE
-- ============================================================
-- DESCRIPTION:
-- Ce fichier contient tous les components utilisé par un unité
-- on peut ainsi n'utiliser que la librairy XX_package.all
-- au lieu de tout le temps déclarer la component
-- ============================================================


-- ============================================================
-- LIBRAIRIES
-- ============================================================
LIBRARY ieee;
USE ieee.std_logic_1164.all;
USE ieee.std_logic_arith.all;



-- ============================================================
-- DÉBUT DES DÉCLARATIONS DE COMPOSANTES
-- ============================================================
PACKAGE PUC5_SCM_PWM_PACKAGE IS

-- ============================================================
-- encoder
-- ============================================================
COMPONENT ENCODER_DLY
    PORT(
        --INPUT
        CONVNUM         : in  STD_LOGIC_VECTOR(3 downto 0);

        --OUTPUT
        TIM_RST_VAL     : out STD_LOGIC_VECTOR(11 downto 0)
        );
END COMPONENT;


-- ============================================================
-- SPI
-- ============================================================
COMPONENT SPI_SLAVE is
    Port(
        --INPUT
        SPI_CLK     : in  STD_LOGIC;
        SPI_MOSI        : in  STD_LOGIC;
        SPI_NSS     : in  STD_LOGIC;
        RESET_n     : in  STD_LOGIC;
        tx_data     : in STD_LOGIC_VECTOR(15 downto 0);
        TX_SEND         : in  STD_LOGIC;

        --OUTPUT
        SPI_MISO        : out STD_LOGIC;
        rx_data     : out STD_LOGIC_VECTOR(15 downto 0);
        spi_busy        : out STD_LOGIC
        );
end COMPONENT;


-- ============================================================
```

```
-- COUNTER_UNIT
-- ============================================================
COMPONENT COUNTER_UNIT is
    Port(
        --INPUT
        CLK       : in  STD_LOGIC;
        RESET_n   : in  STD_LOGIC;
        RST_VAL   : in STD_LOGIC_VECTOR(11 downto 0);
        PWM_SYNCI : in  STD_LOGIC;

        --OUTPUT
        carrier   : out STD_LOGIC_VECTOR(11 downto 0);
        PWM_SYNCO : out STD_LOGIC;
        TIM_DIR   : out STD_LOGIC
    );
end COMPONENT;


-- ============================================================
-- COMPARE_UNIT
-- ============================================================
COMPONENT COMPARE_UNIT is
    Port(
        --INPUT
        CLK             : in  STD_LOGIC;
        CAP_state       : in  STD_LOGIC;
        CURRENT_state  : in  STD_LOGIC;
        Master_Enable   : in  STD_LOGIC;
        Carrier             : in  STD_LOGIC_VECTOR(11 downto 0);
        Consigne        : in  STD_LOGIC_VECTOR(12 downto 0);
        LOAD                : in  STD_LOGIC;
        RESET_n         : in  STD_LOGIC;

        --OUTPUT
        PWM_Q1  : out STD_LOGIC;
        PWM_Q2  : out STD_LOGIC;
        PWM_Q3  : out STD_LOGIC;
        PWM_Q4  : out STD_LOGIC;
        PWM_Q5  : out STD_LOGIC;
        PWM_Q6  : out STD_LOGIC
        );
end COMPONENT;


-- ============================================================
-- DEAD_TIME_UNIT
-- ============================================================
COMPONENT DEAD_TIME_UNIT is
    Port(
        --INPUT
        CLK       : in  STD_LOGIC;
        RESET_n   : in  STD_LOGIC;
        PULSE_IN  : in  STD_LOGIC;

        --OUTPUT
        PULSE_OUT : out STD_LOGIC
    );
end COMPONENT;

-- ============================================================
-- CC-CC_CURRENT_MODE
```

```
-- ================================================================
COMPONENT CC-CC_CURRENT_MODE is
    Port(
        --INPUT
        CLK                 : in  STD_LOGIC;
        RESET_n             : in  STD_LOGIC;
        CURRENT_MODE_RST : in  STD_LOGIC;
        PWM_CC-CC_LO          : in  STD_LOGIC;
        PWM_CC-CC_HO          : in  STD_LOGIC;

        --OUTPUT
        PWM_CC-CC_LO_CM       : out STD_LOGIC;
        PWM_CC-CC_HO_CM       : out STD_LOGIC
    );
end COMPONENT;

-- ================================================================
-- CC-CC_CURRENT_MODE
-- ================================================================
COMPONENT DIVIDER is
    Port ( RESET_n : in  STD_LOGIC;
           IN_PULSE : in  STD_LOGIC;
           OUT_PULSE : out  STD_LOGIC);
end COMPONENT;
-- ================================================================
-- FIN
-- ================================================================
END PUC5_SCM_PWM_PACKAGE;
```

```
----------------------------------------------------------------------------------
-- Company:
-- Engineer:
--
-- Create Date:    07:53:01 10/23/2016
-- Design Name:
-- Module Name:    COMPARE_UNIT - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
----------------------------------------------------------------------------------
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use ieee.std_logic_unsigned.all;



entity COMPARE_UNIT is
    Port(
            --INPUT
            CLK             : in  STD_LOGIC;
            CAP_state       : in  STD_LOGIC;
            CURRENT_state   : in  STD_LOGIC;
            Master_Enable   : in  STD_LOGIC;
            Carrier         : in  STD_LOGIC_VECTOR(11 downto 0);
            Consigne        : in  STD_LOGIC_VECTOR(12 downto 0);
            LOAD            : in  STD_LOGIC;
            RESET_n         : in  STD_LOGIC;

            --OUTPUT
            PWM_Q1      : out STD_LOGIC;
            PWM_Q2      : out STD_LOGIC;
            PWM_Q3      : out STD_LOGIC;
            PWM_Q4      : out STD_LOGIC;
            PWM_Q5      : out STD_LOGIC;
            PWM_Q6      : out STD_LOGIC
        );
end COMPARE_UNIT;


architecture COMPARE_UNIT_BEHAVIORAL of COMPARE_UNIT is
-------------------------------------------------------------------------
signal temp_PWM         : STD_LOGIC_VECTOR(2 downto 0);
signal Carrier_1        : STD_LOGIC_VECTOR(12 downto 0);
signal Carrier_2        : STD_LOGIC_VECTOR(12 downto 0);
signal Carrier_3        : STD_LOGIC_VECTOR(12 downto 0);
signal Carrier_4        : STD_LOGIC_VECTOR(12 downto 0);
signal temp_consigne_0  : STD_LOGIC_VECTOR(12 downto 0) := (OTHERS => '0');
signal temp_consigne_1  : STD_LOGIC_VECTOR(12 downto 0) := (OTHERS => '0');
signal temp_compare     : STD_LOGIC_VECTOR(3 downto 0)  := (OTHERS => '0');
signal temp_state_0     : STD_LOGIC_VECTOR(1 downto 0)  := (OTHERS => '0');
signal temp_state_1     : STD_LOGIC_VECTOR(1 downto 0)  := (OTHERS => '0');
```

```
--attribute NOREDUCE: string;
--attribute NOREDUCE of temp_PWM : signal is "TRUE";

begin
   -- process pour loader la consigne au bon moment
    -- avec un falling edge de DIR (counter_unit)
    -- ca permet de loader au top de la triangulaire
    -- cependant, ca fait du bruit lors de la lecture
    -- analogique du controler
    process(LOAD)
    begin
        if falling_edge(LOAD) then
            temp_consigne_0 <= Consigne(12 downto 0);--"0000100111111111";

                --temp_state_0(0) <= CAP_state; asynch.
                --temp_state_0(1) <= CURRENT_state;
        else
            temp_consigne_0 <= temp_consigne_0;
                --temp_state_0  <=  temp_state_0 ;
        end if;
    end process;

     temp_state_0(0) <= CAP_state;
     temp_state_0(1) <= CURRENT_state;

    --process pour synchroniser la consigne avec la clock
    process(CLK, RESET_n)
    begin
        if(rising_edge(CLK)) then
            temp_consigne_1 <= temp_consigne_0;
            temp_state_1    <= temp_state_0;
        end if;
    end process;

    --process pour loader les carrier
    --on fait le shift vertical synchrone
    process(Carrier, CLK, RESET_n)
    begin

        if rising_edge(CLK) then
            Carrier_1(12 downto 0) <= Carrier(11 downto 0) + "1000110010100";--4500
            Carrier_2(12 downto 0) <= Carrier(11 downto 0) + "0101110111000";--3000
            Carrier_3(12 downto 0) <= Carrier(11 downto 0) + "0010111011100";--1500
            Carrier_4(11 downto 0) <= Carrier(11 downto 0);
                Carrier_4(12) <= '0';
        end if;
    end process;


    --process pour comparer les carrier et la consigne
    --core of pwm peripheral
    process(CLK, RESET_n, Carrier_1, Carrier_2, Carrier_3, Carrier_4,
temp_consigne_1)
        begin

        if(rising_edge(CLK)) then
-------------------------------------------------------
            if (temp_consigne_1) >= (Carrier_1) then
                temp_compare(0) <= '1';
            else
                temp_compare(0) <= '0';
```

```
            end if;
-------------------------------------------------------
            if (temp_consigne_1) >= (Carrier_2) then
                temp_compare(1) <= '1';
            else
                temp_compare(1) <= '0';
            end if;
-------------------------------------------------------
            if (temp_consigne_1) >= (Carrier_3) then
                temp_compare(2) <= '1';
            else
                temp_compare(2) <= '0';
            end if;
-------------------------------------------------------
            if (temp_consigne_1) >= (Carrier_4) then
                temp_compare(3) <= '1';
            else
                temp_compare(3) <= '0';
            end if;
-------------------------------------------------------
        end if;
    end process;



    process(CLK, RESET_n, temp_state_1, temp_compare)
        begin

        if(rising_edge(CLK)) then
            case (temp_state_1) is
               when "00"   =>
                        temp_PWM(0) <= (temp_compare(2) and temp_compare(3)) and
((not(temp_compare(0)) and not(temp_compare(1))) or (not(temp_compare(0)) and
temp_compare(1)) or (temp_compare(0) and temp_compare(1)));
                        temp_PWM(1) <= not(temp_compare(0)) and
((not(temp_compare(1)) and not(temp_compare(2)) and not(temp_compare(3))) or
(not(temp_compare(1)) and temp_compare(2) and temp_compare(3)) or (temp_compare(1)
and temp_compare(2) and temp_compare(3)) );
                        temp_PWM(2) <= (not(temp_compare(0)) and
not(temp_compare(1))) and ((not(temp_compare(2)) and not(temp_compare(3))) or
(not(temp_compare(2)) and temp_compare(3)) or (temp_compare(2) and
temp_compare(3)));
               when "01"   =>
                        temp_PWM(0) <= temp_compare(1) and temp_compare(2) and
temp_compare(3);
                        temp_PWM(1) <= not(temp_compare(0)) and
not(temp_compare(1)) and not(temp_compare(2));
                        temp_PWM(2) <= not(temp_compare(0)) and
((not(temp_compare(1)) and not(temp_compare(2)) and not(temp_compare(3))) or
(temp_compare(1) and temp_compare(2) and temp_compare(3)));


                    when "10"   =>
                        temp_PWM(0) <= (temp_compare(2) and temp_compare(3)) and
((not(temp_compare(0)) and not(temp_compare(1))) or (not(temp_compare(0)) and
temp_compare(1)) or (temp_compare(0) and temp_compare(1)));
                        temp_PWM(1) <= not(temp_compare(0)) and
((not(temp_compare(1)) and not(temp_compare(2)) and not(temp_compare(3))) or
(not(temp_compare(1)) and temp_compare(2) and temp_compare(3)) or (temp_compare(1)
and temp_compare(2) and temp_compare(3)) );
```

```
                        temp_PWM(2) <= (not(temp_compare(0)) and
not(temp_compare(1))) and ((not(temp_compare(2)) and not(temp_compare(3))) or
(not(temp_compare(2)) and temp_compare(3)) or (temp_compare(2) and
temp_compare(3)));
                when "11"   =>
                        temp_PWM(0) <= temp_compare(1) and temp_compare(2) and
temp_compare(3);
                        temp_PWM(1) <= not(temp_compare(0)) and
not(temp_compare(1)) and not(temp_compare(2));
                        temp_PWM(2) <= not(temp_compare(0)) and
((not(temp_compare(1)) and not(temp_compare(2)) and not(temp_compare(3))) or
(temp_compare(1) and temp_compare(2) and temp_compare(3)));
                    when OTHERS   =>
                        temp_PWM <= temp_PWM;
                end case;
        end if;
    end process;


    --process pour updater la sortie
    --master enable synchrone
    --reset async
    process(CLK, RESET_n)
    begin

        if(RESET_n = '0') then
            PWM_Q1  <= '0';
            PWM_Q2  <= '0';
            PWM_Q3  <= '0';
            PWM_Q4  <= '0';
            PWM_Q5  <= '0';
            PWM_Q6  <= '0';
        elsif(rising_edge(CLK)) then
            PWM_Q1 <= temp_PWM(0);
            PWM_Q4 <= not(temp_PWM(0));

            PWM_Q2 <= temp_PWM(1);
            PWM_Q5 <= not(temp_PWM(1));

            PWM_Q3 <= temp_PWM(2);
            PWM_Q6 <= not(temp_PWM(2));
            --Master_Enable and
        end if;
    end process;

end COMPARE_UNIT_BEHAVIORAL;
```

```
----------------------------------------------------------------------------------
-- Company:
-- Engineer:
--
-- Create Date:    07:54:35 10/23/2016
-- Design Name:
-- Module Name:    COUNTER_UNIT - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
----------------------------------------------------------------------------------
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use ieee.std_logic_unsigned.all;

entity COUNTER_UNIT is
    Port(
        --INPUT
        CLK       : in  STD_LOGIC;
        RESET_n   : in  STD_LOGIC;
        RST_VAL   : in  STD_LOGIC_VECTOR(11 downto 0);
        PWM_SYNCI : in  STD_LOGIC;

        --OUTPUT
        carrier   : out STD_LOGIC_VECTOR(11 downto 0);
        PWM_SYNCO : out STD_LOGIC;
        TIM_DIR   : out STD_LOGIC
    );
end COUNTER_UNIT;

architecture COUNTER_UNIT_BEHAVIORAL of COUNTER_UNIT is
-----------------------------------------------------------------------
signal adder_output     : STD_LOGIC_VECTOR(11 downto 0) := (OTHERS => '0');
signal flipflop_output  : STD_LOGIC_VECTOR(11 downto 0) := (OTHERS => '0');
signal DIR              : STD_LOGIC := '1';

--attribute COOL_CLK: boolean;
--attribute COOL_CLK of CLK: signal is true;

begin

    process(CLK, RESET_n, PWM_SYNCI, DIR, RST_VAL, flipflop_output)
        begin
          carrier <= flipflop_output;



        TIM_DIR <= DIR;

          if flipflop_output = 0 then
                PWM_SYNCO <= '1';
          else
                PWM_SYNCO <= '0';
```

```
          end if;



         --counter
          if DIR = '1' then
            adder_output <= flipflop_output + '1';
          elsif DIR = '0' then
            adder_output <= flipflop_output - '1';
        else
            adder_output <= flipflop_output;
        end if;

        --DIR register update
        --reset assynchrone
        if RESET_n = '0' or PWM_SYNCI = '1' then
            DIR                 <= '1';
               flipflop_output <= RST_VAL;
        --update synchrone
        elsif rising_edge(CLK) then

              flipflop_output <= adder_output;

              if (adder_output = 0) then
                    DIR <= '1';
              elsif (adder_output = 1500) then
                    DIR <= '0';
              else
                    DIR <= DIR;
              end if;
        end if;

    end process;

end COUNTER_UNIT_BEHAVIORAL;
```

```
----------------------------------------------------------------------------------
-- Company:
-- Engineer:
-- Create Date:    07:54:35 10/23/2016
-- Design Name:
-- Module Name:    DEAD_TIME_UNIT - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description: This component creat the necessary deadtime for the complementary
--              outputs of the pwm modulator.
--              It does a rising edge using a shift register. Why ? because it is
--              simple and fast and i dont need to wait a lot. Plus, it doesnt
--              require more DFF if you do not have a long delay.
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
----------------------------------------------------------------------------------
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use ieee.std_logic_unsigned.all;

entity DEAD_TIME_UNIT is
    Port(
        --INPUT
        CLK       : in  STD_LOGIC;
        RESET_n   : in  STD_LOGIC;
        PULSE_IN  : in  STD_LOGIC;

        --OUTPUT
        PULSE_OUT : out STD_LOGIC
    );
end DEAD_TIME_UNIT;

architecture DEAD_TIME_UNIT_BEHAVIORAL of DEAD_TIME_UNIT is
-------------------------------------------------------------------
signal shift_reg_counter  : STD_LOGIC_VECTOR(4 downto 0) := (OTHERS => '0');
--15 clock cycle delay
--clk is 150MHZ --> 100ns

begin

    process(CLK, RESET_n, PULSE_IN)
        begin
        --reset le shift reg, donc la sortie, lorsque le pulse = 0
        --met delaie la sortie lorsque pulse = 1
        if RESET_n = '0' or PULSE_IN = '0'then
            shift_reg_counter <= (OTHERS => '0');
        elsif rising_edge(CLK) then
            shift_reg_counter(4) <= PULSE_IN;
            shift_reg_counter(3 downto 0) <= shift_reg_counter(4 downto 1);
        end if;

        PULSE_OUT <= shift_reg_counter(0);

    end process;

end DEAD_TIME_UNIT_BEHAVIORAL;
```

```
----------------------------------------------------------------------------------
-- Company:
-- Engineer:
--
-- Create Date:    07:55:18 10/23/2016
-- Design Name:
-- Module Name:    ENCODER_DLY - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
----------------------------------------------------------------------------------
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.NUMERIC_STD.ALL;


entity ENCODER_DLY is
    Port(
            --INPUT
            CONVNUM         : in  STD_LOGIC_VECTOR(3 downto 0);
            --OUTPUT
            TIM_RST_VAL     : out STD_LOGIC_VECTOR(11 downto 0)
        );
end ENCODER_DLY;

architecture ENCODER_DLY_BEHAVIORAL of ENCODER_DLY is

attribute REG: string;
attribute REG of TIM_RST_VAL : signal is "TRUE";

  begin
      process (CONVNUM) begin
              case (CONVNUM) is
                  when "0000" => TIM_RST_VAL <= X"000"; --   0
                  when "0001" => TIM_RST_VAL <= X"5CC"; --1500
                  when "0010" => TIM_RST_VAL <= X"2EE"; -- 750
                  when "0011" => TIM_RST_VAL <= X"177"; -- 375
                  when "0100" => TIM_RST_VAL <= X"000";
                  when others  => TIM_RST_VAL <= X"000";
              end case;

      end process;

  end ENCODER_DLY_BEHAVIORAL;
```

```
----------------------------------------------------------------------------------
-- Company:
-- Engineer:
--
-- Create Date:    07:57:54 10/23/2016
-- Design Name:
-- Module Name:    SPI_SLAVE - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
----------------------------------------------------------------------------------
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use ieee.std_logic_unsigned.all;


entity SPI_SLAVE is
    Port(
            --INPUT
            SPI_CLK         : in  STD_LOGIC;
            SPI_MOSI           : in  STD_LOGIC;
            SPI_NSS         : in  STD_LOGIC;
            RESET_n         : in  STD_LOGIC;
            tx_data         : in  STD_LOGIC_VECTOR(15 downto 0);
            TX_SEND         : in  STD_LOGIC := '0';

            --OUTPUT
            SPI_MISO        : out STD_LOGIC;
            rx_data         : out STD_LOGIC_VECTOR(15 downto 0);
            spi_busy        : out STD_LOGIC := '0'
        );
end SPI_SLAVE;

architecture SPI_SLAVE_BEHAVIORAL of SPI_SLAVE is
SIGNAL shift_regiter_RX : STD_LOGIC_VECTOR(15 downto 0) := (OTHERS => '0');
SIGNAL shift_regiter_TX : STD_LOGIC_VECTOR(15 downto 0) := (OTHERS => '0');
--utiliser les bit rx_data(15 downto 12) pour control avec stm32
--envoyer une clef de communication
--puis attendre reponse du cpld
begin

    -- tells when there's a transaction
    spi_busy         <= not SPI_NSS;

   process(SPI_CLK, RESET_n, SPI_NSS, shift_regiter_RX, shift_regiter_TX)
    begin

        if (RESET_n = '0') then
            shift_regiter_RX(15 downto 0) <= (OTHERS => '0');
        elsif (rising_edge(SPI_CLK)) then
            if (SPI_NSS = '0') then
                shift_regiter_RX(15) <= SPI_MOSI;
                shift_regiter_RX(14 downto 0) <= shift_regiter_RX(15 downto 1);
```

```
                if(TX_SEND = '1') then
                    SPI_MISO <= shift_regiter_TX(0);
                    shift_regiter_TX(14 downto 0) <= shift_regiter_TX(15 downto 1);
                end if;

            end if;
        end if;

        if (RESET_n = '0') then
            rx_data(15 downto 0) <= (OTHERS => '0');
        elsif (rising_edge(SPI_NSS)) then
            rx_data(15 downto 0) <= shift_regiter_RX(15 downto 0);
        end if;

    end process;

end SPI_SLAVE_BEHAVIORAL;
```

ANNEXE VII

FICHIER DE CONFIGURATION DU CPLD

```
NET "CLK"               LOC = "P27" | IOSTANDARD = LVCMOS33 | BUFG = CLK | PERIOD =
6.6ns;
NET "RESET_n"           LOC = "P99" | IOSTANDARD = LVCMOS33 | BUFG = SR;
NET "MASTER_ENABLE" LOC = "P2"  | IOSTANDARD = LVCMOS33 | BUFG = OE;

NET "CPLD_DBG_LED(0)"   LOC = "P66" | IOSTANDARD = LVCMOS33 | OPEN_DRAIN;
NET "CPLD_DBG_LED(1)"   LOC = "P65" | IOSTANDARD = LVCMOS33 | OPEN_DRAIN;
NET "CPLD_DBG_LED(2)"   LOC = "P64" | IOSTANDARD = LVCMOS33 | OPEN_DRAIN;
NET "CPLD_DBG_LED(3)"   LOC = "P63" | IOSTANDARD = LVCMOS33 | OPEN_DRAIN;
NET "CPLD_DBG_LED(4)"   LOC = "P61" | IOSTANDARD = LVCMOS33 | OPEN_DRAIN;
NET "CPLD_DBG_LED(5)"   LOC = "P60" | IOSTANDARD = LVCMOS33 | OPEN_DRAIN;
NET "CPLD_DBG_LED(6)"   LOC = "P59" | IOSTANDARD = LVCMOS33 | OPEN_DRAIN;
NET "CPLD_DBG_LED(7)"   LOC = "P58" | IOSTANDARD = LVCMOS33 | OPEN_DRAIN;
NET "STM_DBG_LED2"      LOC = "P1"  | IOSTANDARD = LVCMOS33;

NET "PWM_Q1"            LOC = "P19" | IOSTANDARD = LVCMOS33;
NET "PWM_Q2"            LOC = "P18" | IOSTANDARD = LVCMOS33;
NET "PWM_Q3"            LOC = "P17" | IOSTANDARD = LVCMOS33;
NET "PWM_Q4"            LOC = "P14" | IOSTANDARD = LVCMOS33;
NET "PWM_Q5"            LOC = "P15" | IOSTANDARD = LVCMOS33;
NET "PWM_Q6"            LOC = "P16" | IOSTANDARD = LVCMOS33;

NET "SPI2_MISO"         LOC = "P78" | IOSTANDARD = LVCMOS33;
NET "SPI2_MOSI"         LOC = "P79" | IOSTANDARD = LVCMOS33;
NET "SPI2_CLK"          LOC = "P22" | IOSTANDARD = LVCMOS33;
NET "SPI2_NSS"          LOC = "P23" | IOSTANDARD = LVCMOS33;

NET "PWM_SYNCO"         LOC = "P54" | IOSTANDARD = LVCMOS33;
NET "PWM_SYNCI"         LOC = "P55" | IOSTANDARD = LVCMOS33;
NET "CPLD_CONVNUM(3)"   LOC = "P3"  | IOSTANDARD = LVCMOS33;
NET "CPLD_CONVNUM(2)"   LOC = "P9"  | IOSTANDARD = LVCMOS33;
NET "CPLD_CONVNUM(1)"   LOC = "P8"  | IOSTANDARD = LVCMOS33;
NET "CPLD_CONVNUM(0)"   LOC = "P6"  | IOSTANDARD = LVCMOS33;

NET "EXTI_11_ACC"       LOC = "P13" | IOSTANDARD = LVCMOS33;
NET "CURRENT_state"     LOC = "P77" | IOSTANDARD = LVCMOS33;
NET "CAP_state"         LOC = "P76" | IOSTANDARD = LVCMOS33;

NET "CC-CC_current_comp"  LOC = "P4"  | IOSTANDARD = LVCMOS33;
NET "PWM_CC-CC_LO"        LOC = "P10" | IOSTANDARD = LVCMOS33;
NET "PWM_CC-CC_LO_CM"     LOC = "P11" | IOSTANDARD = LVCMOS33;
NET "PWM_CC-CC_HO"        LOC = "P7"  | IOSTANDARD = LVCMOS33;
NET "PWM_CC-CC_HO_CM"     LOC = "P12" | IOSTANDARD = LVCMOS33;
```

ANNEXE VIII

SCHÉMAS ÉLECTRIQUES REV3.2

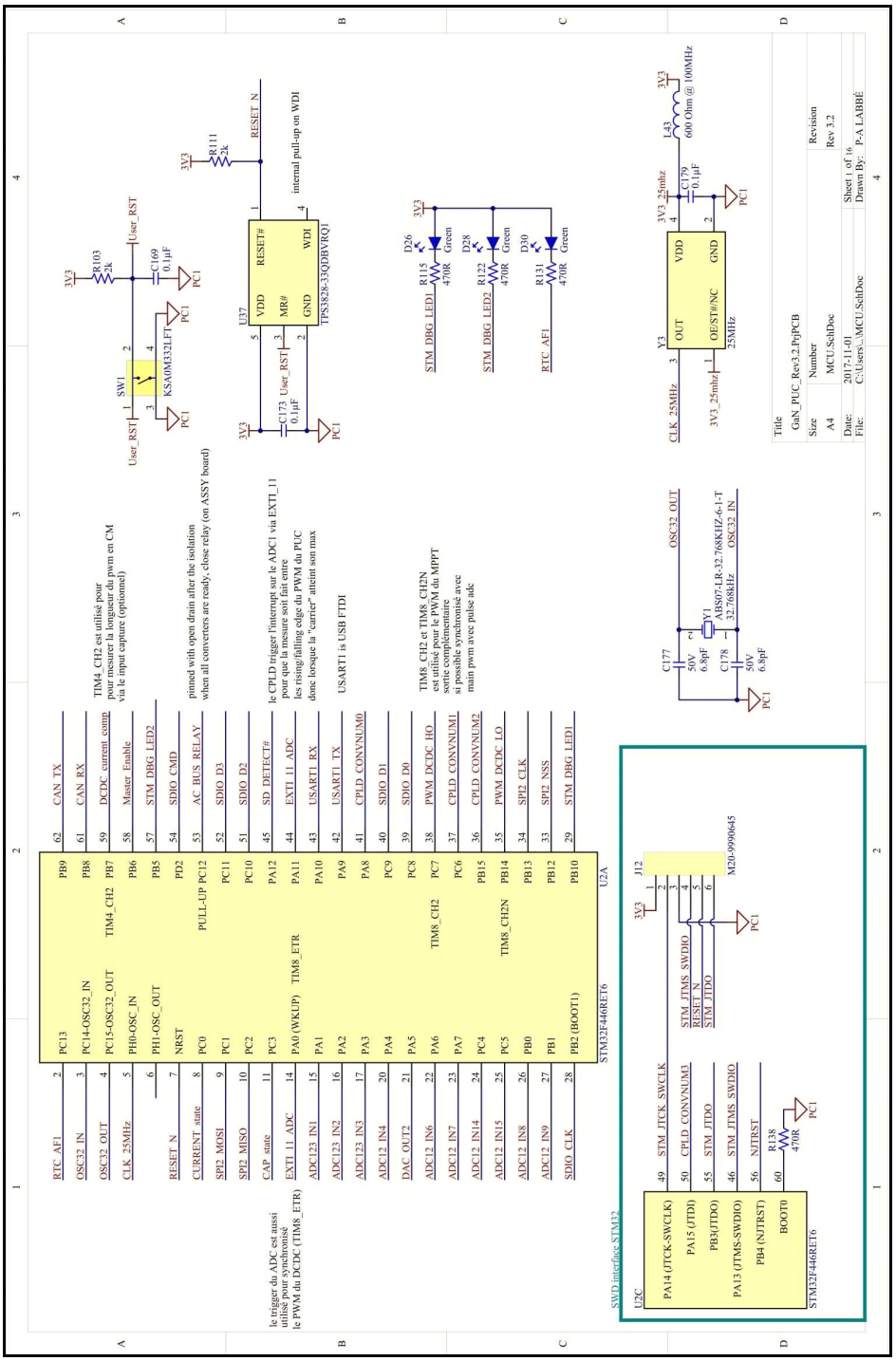


Figure-A VIII-1 Interconnexion du MCU

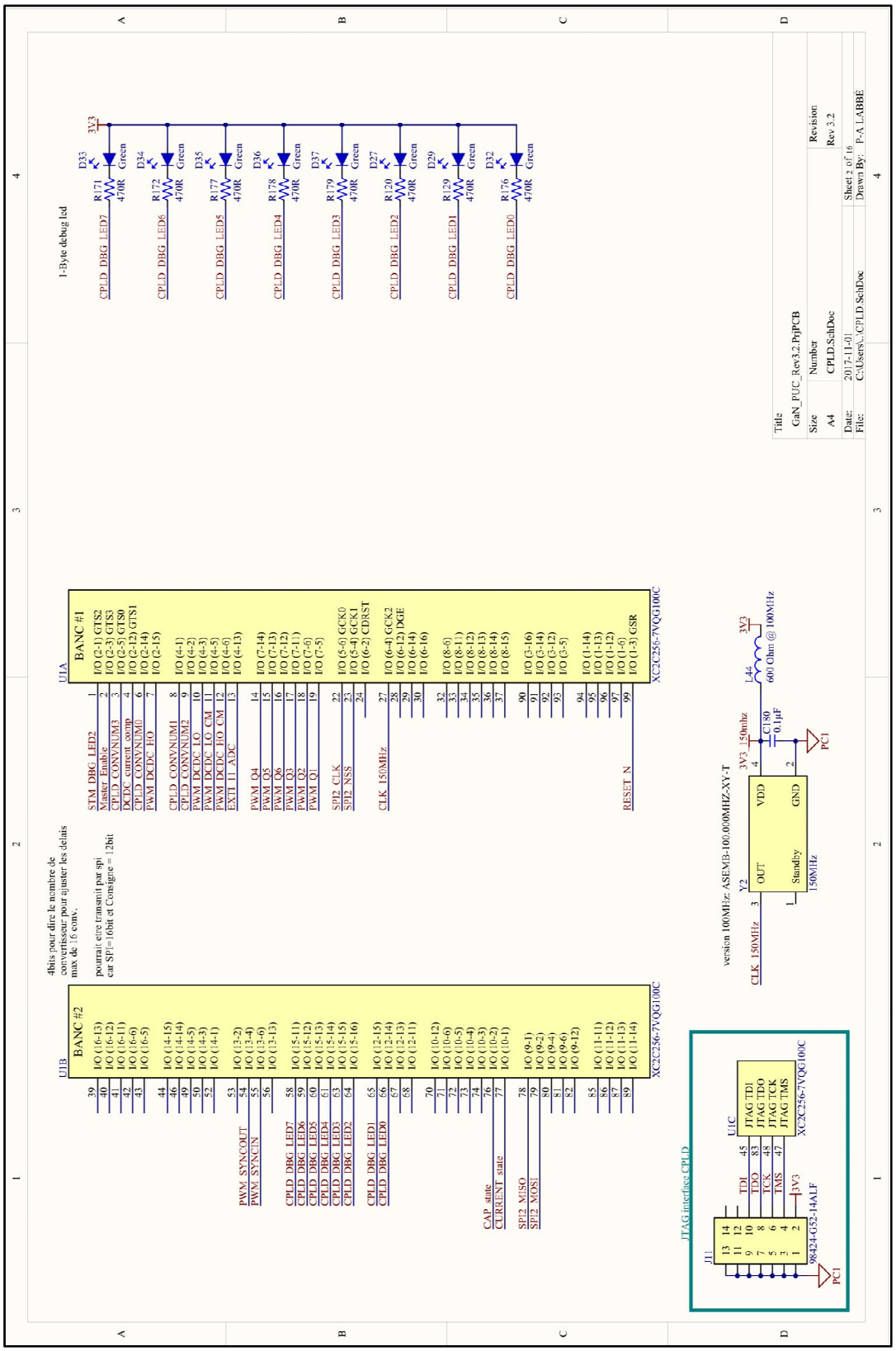


Figure-A VIII-2 Interconnexion du CPLD

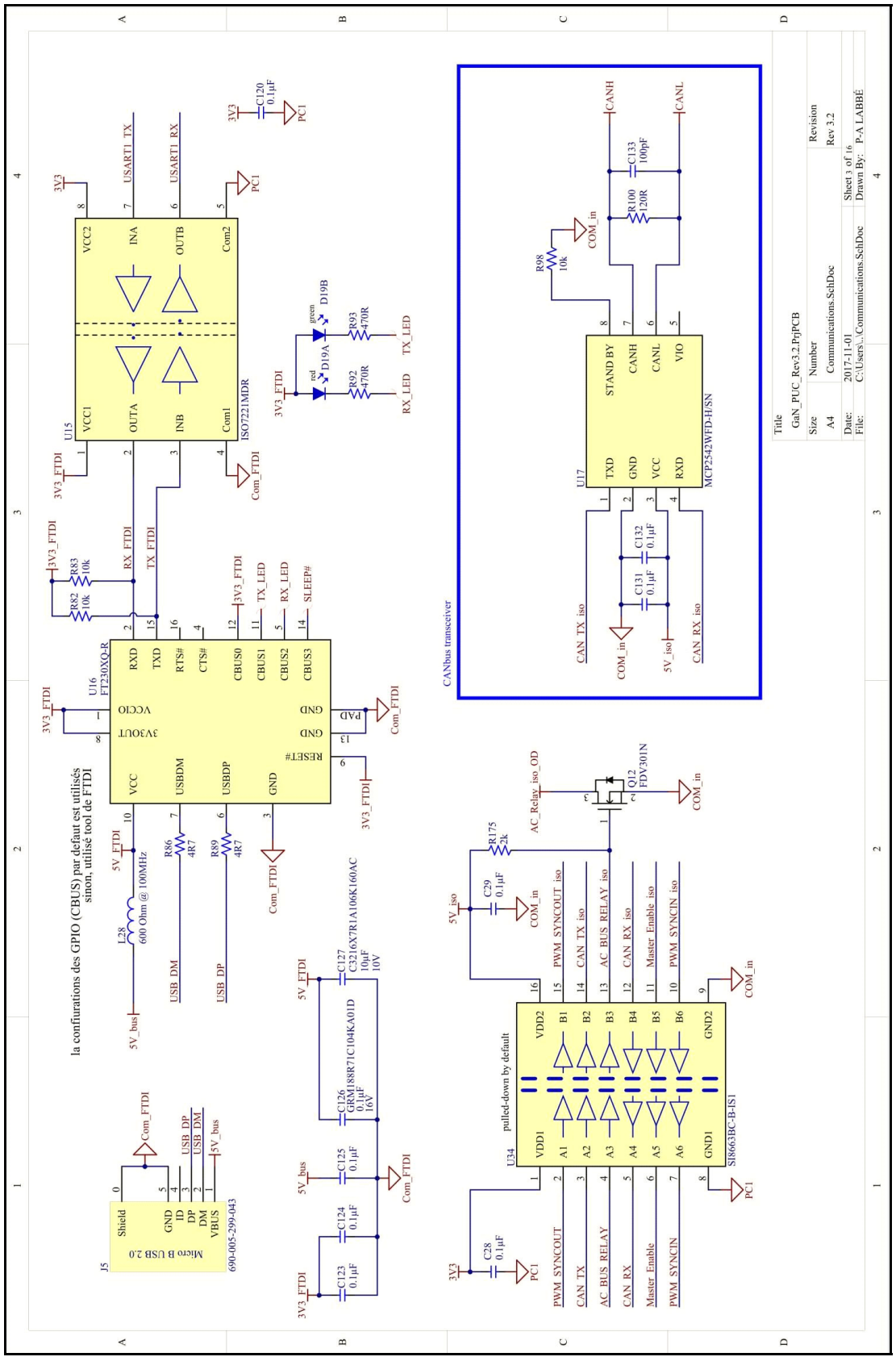


Figure-A VIII-3 Systèmes de communication

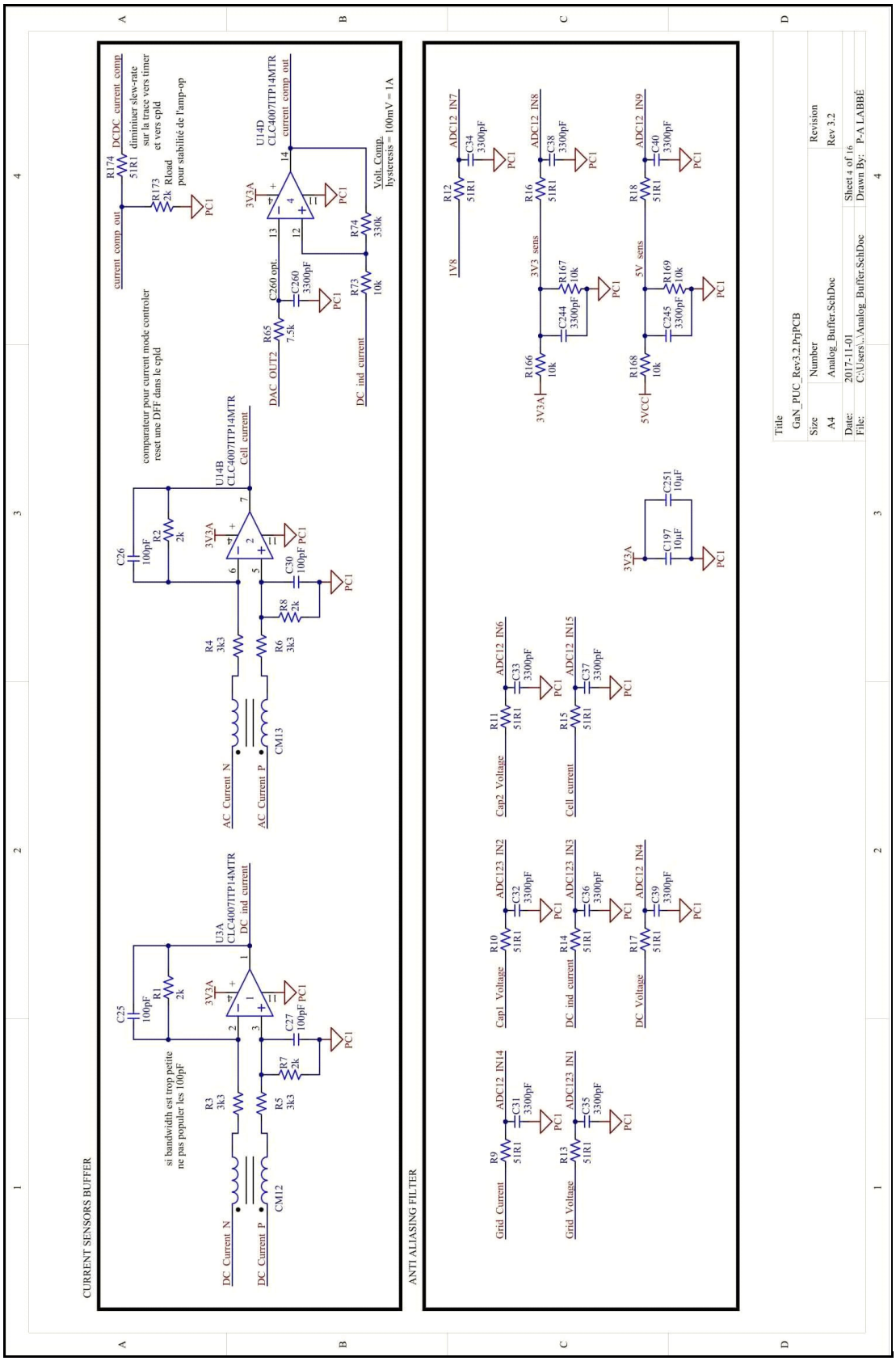


Figure-A VIII-4 Filtre d'entrée du circuit de mesure analogique

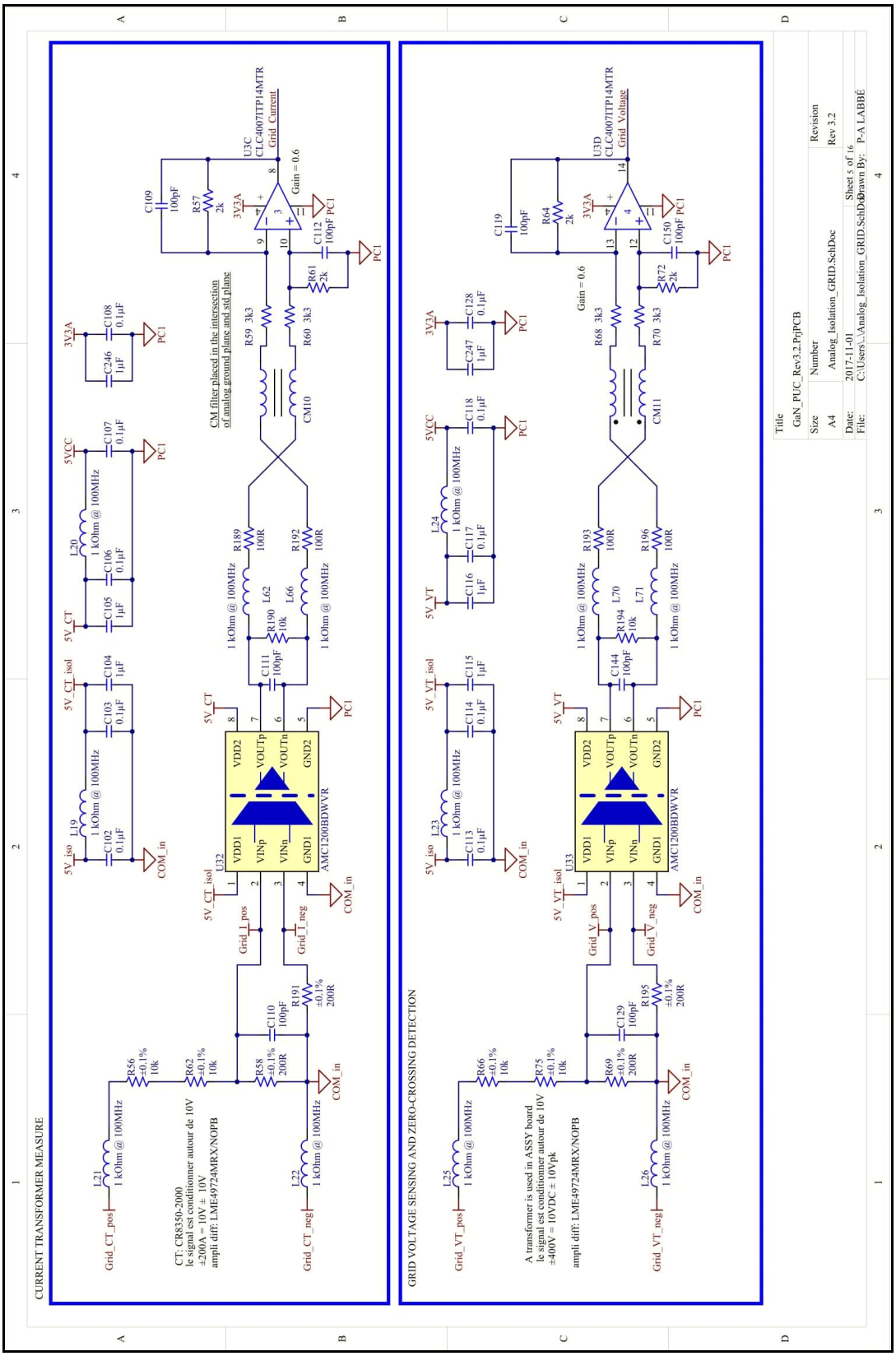


Figure-A VIII-5 Capteurs de tension isolés pour les signaux du réseau

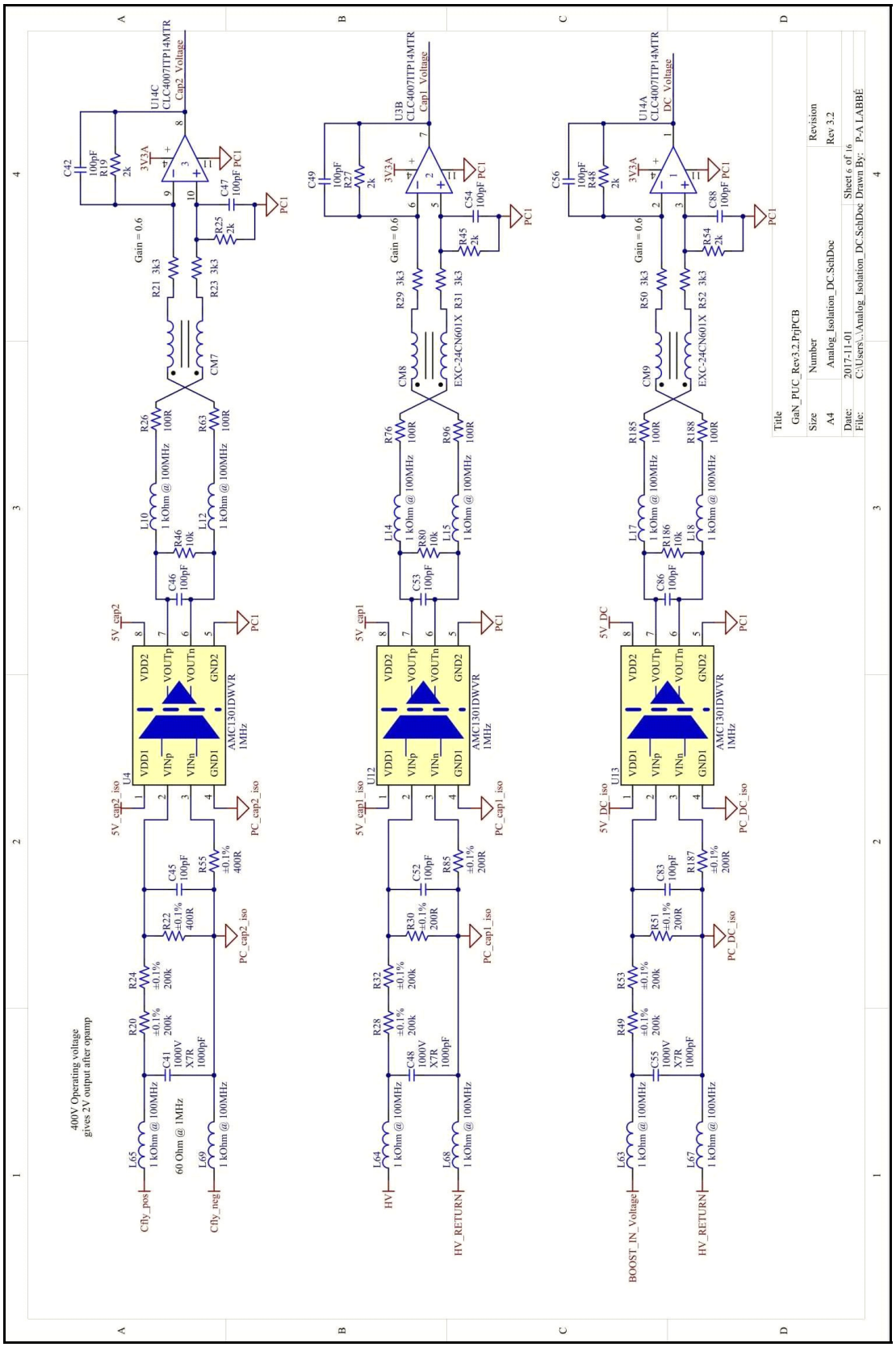


Figure-A VIII-6 Capteurs de tension isolés pour les signaux CC

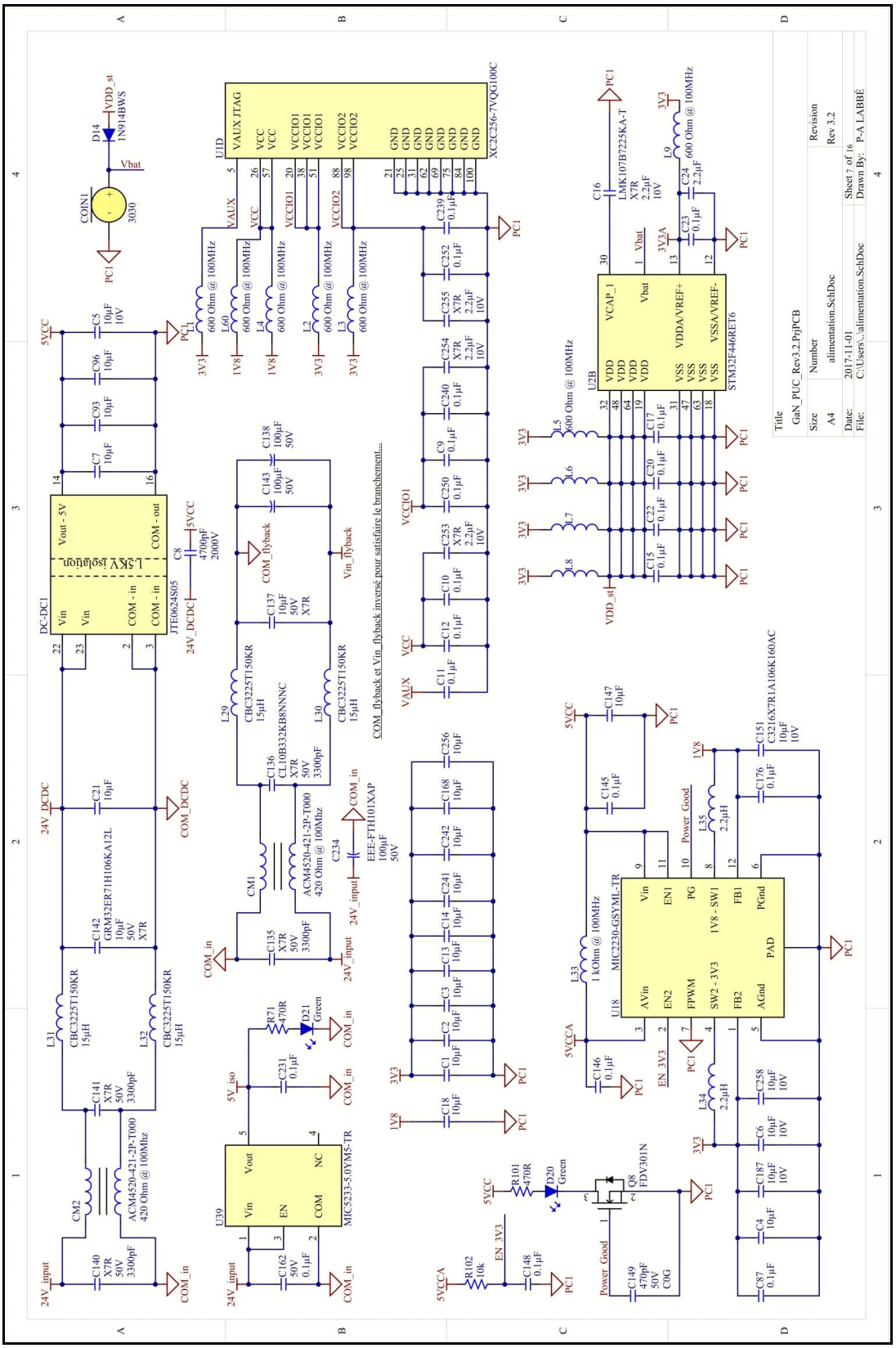


Figure-A VIII-7 Alimentation du système de contrôle

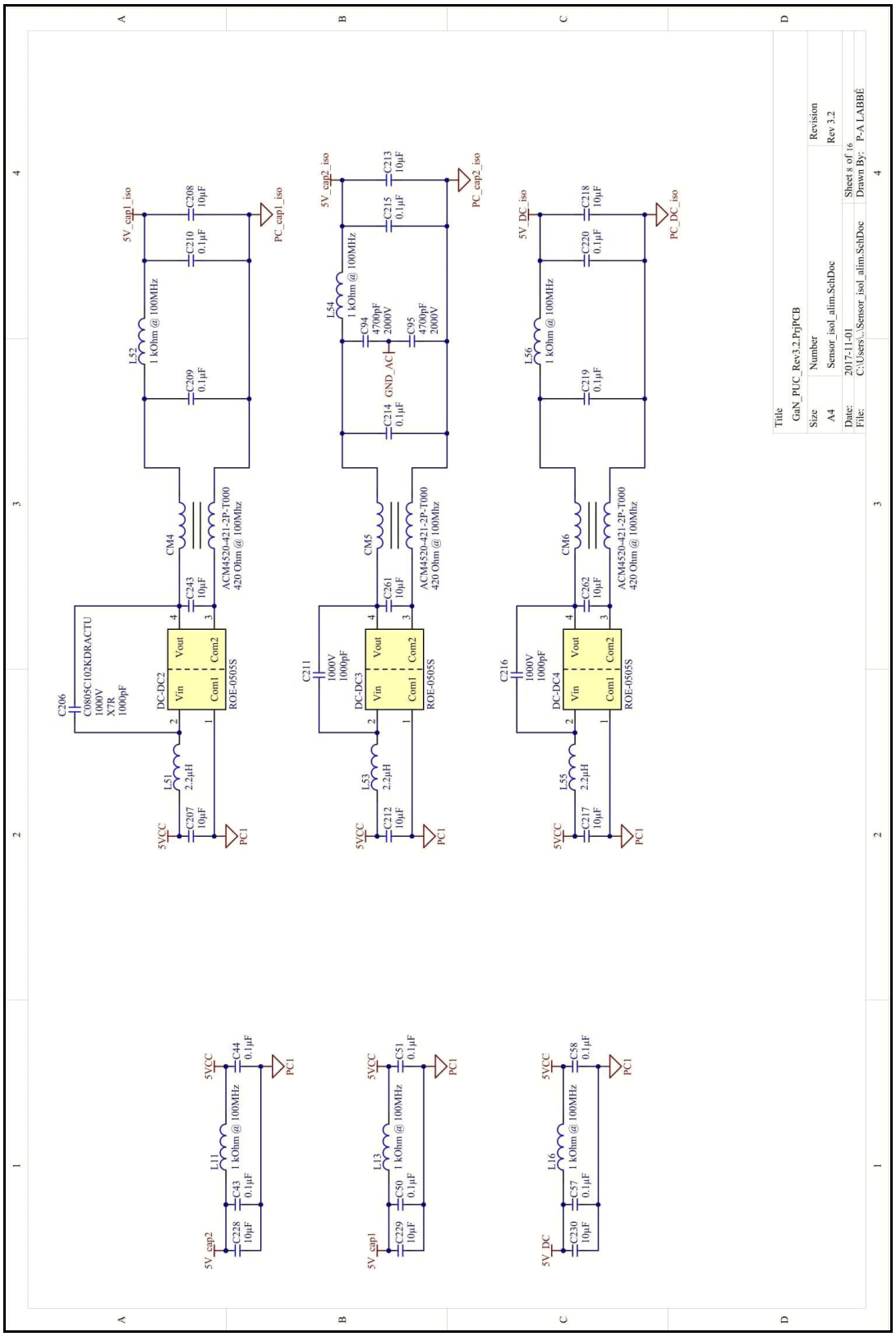


Figure-A VIII-8 Alimentations isolées des capteurs de tension CC

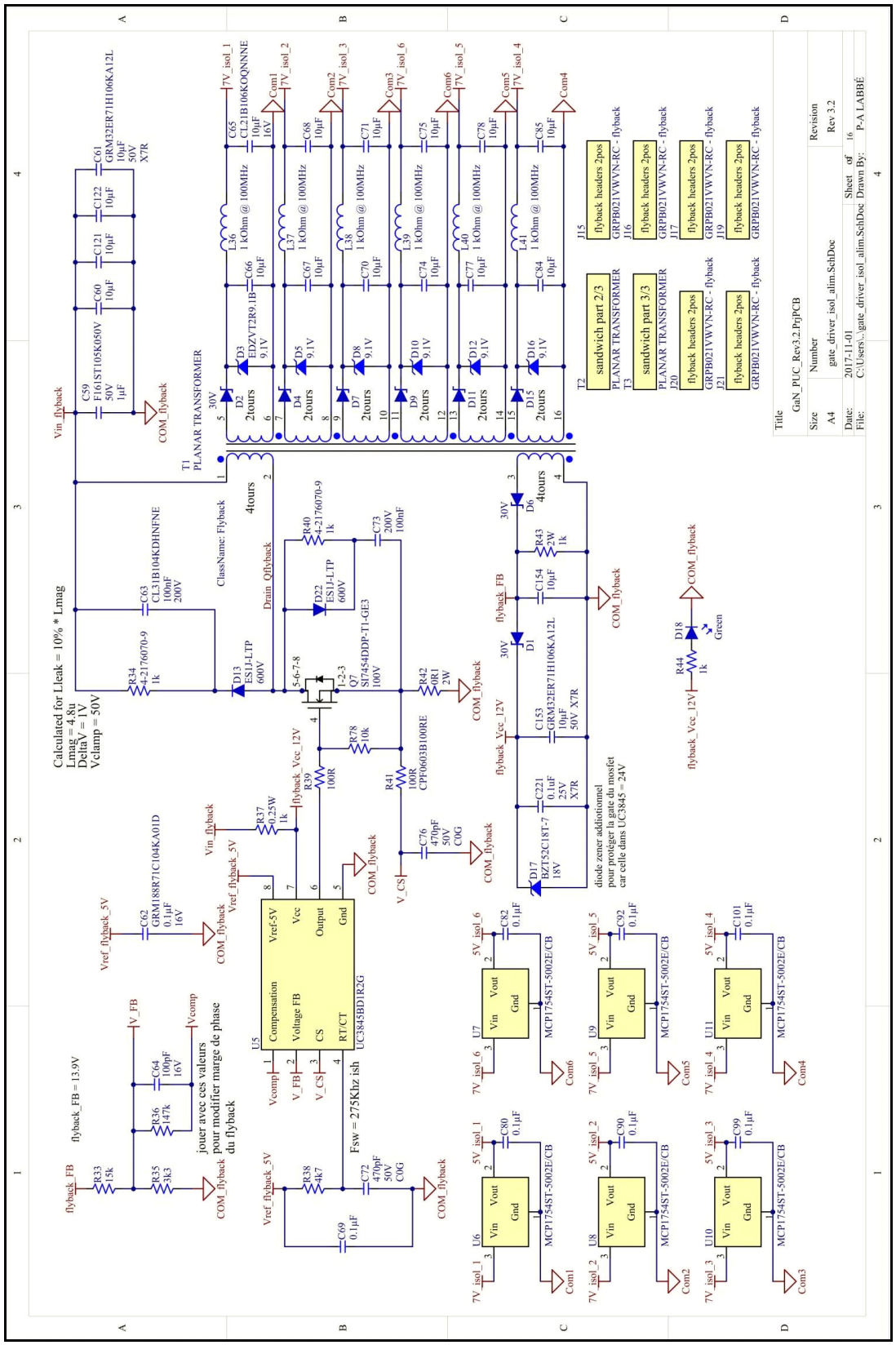


Figure-A VIII-9 Alimentations isolées des pilotes de grille

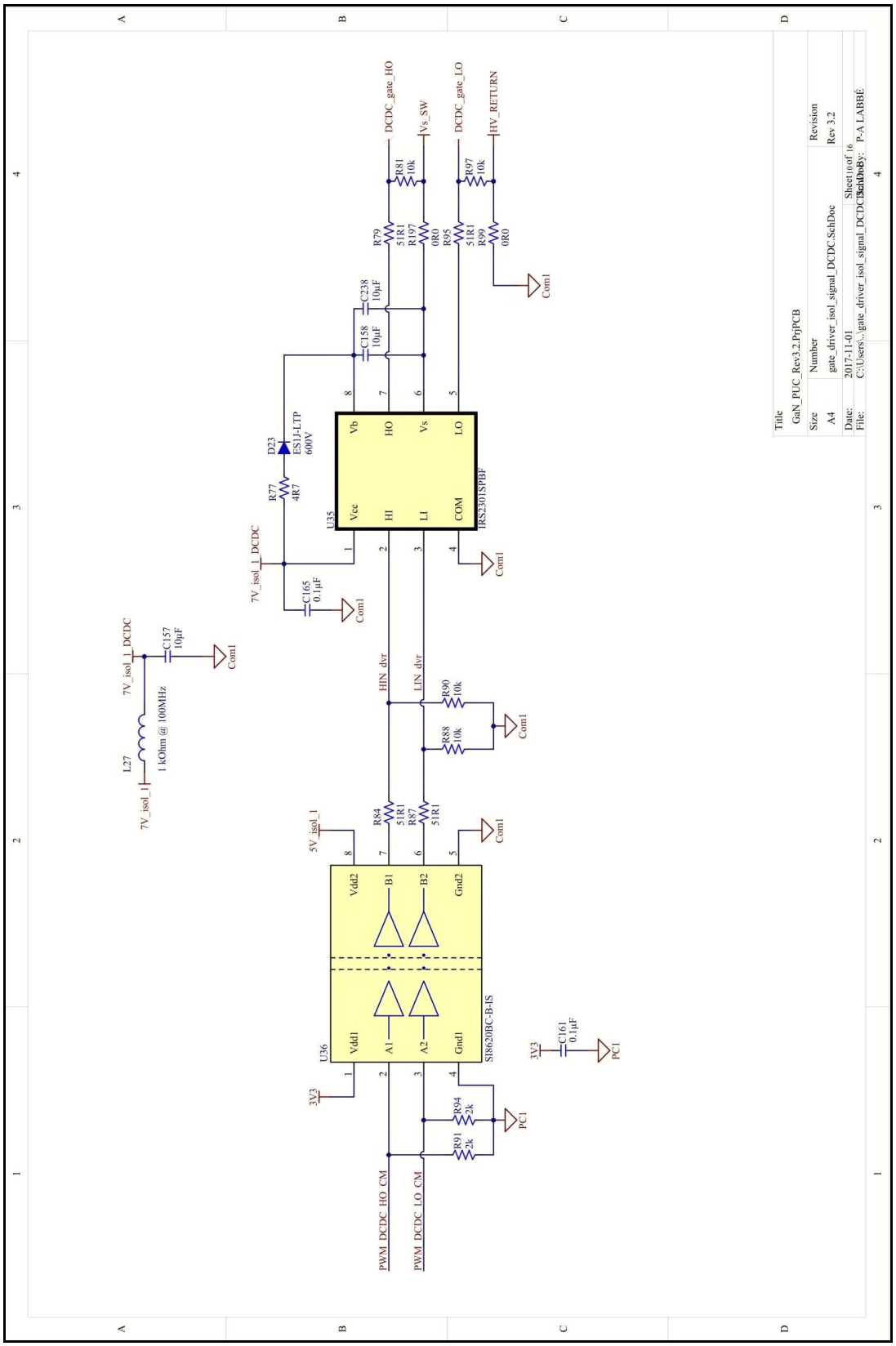


Figure-A VIII-10 Pilote de grille du convertisseur CC-CC

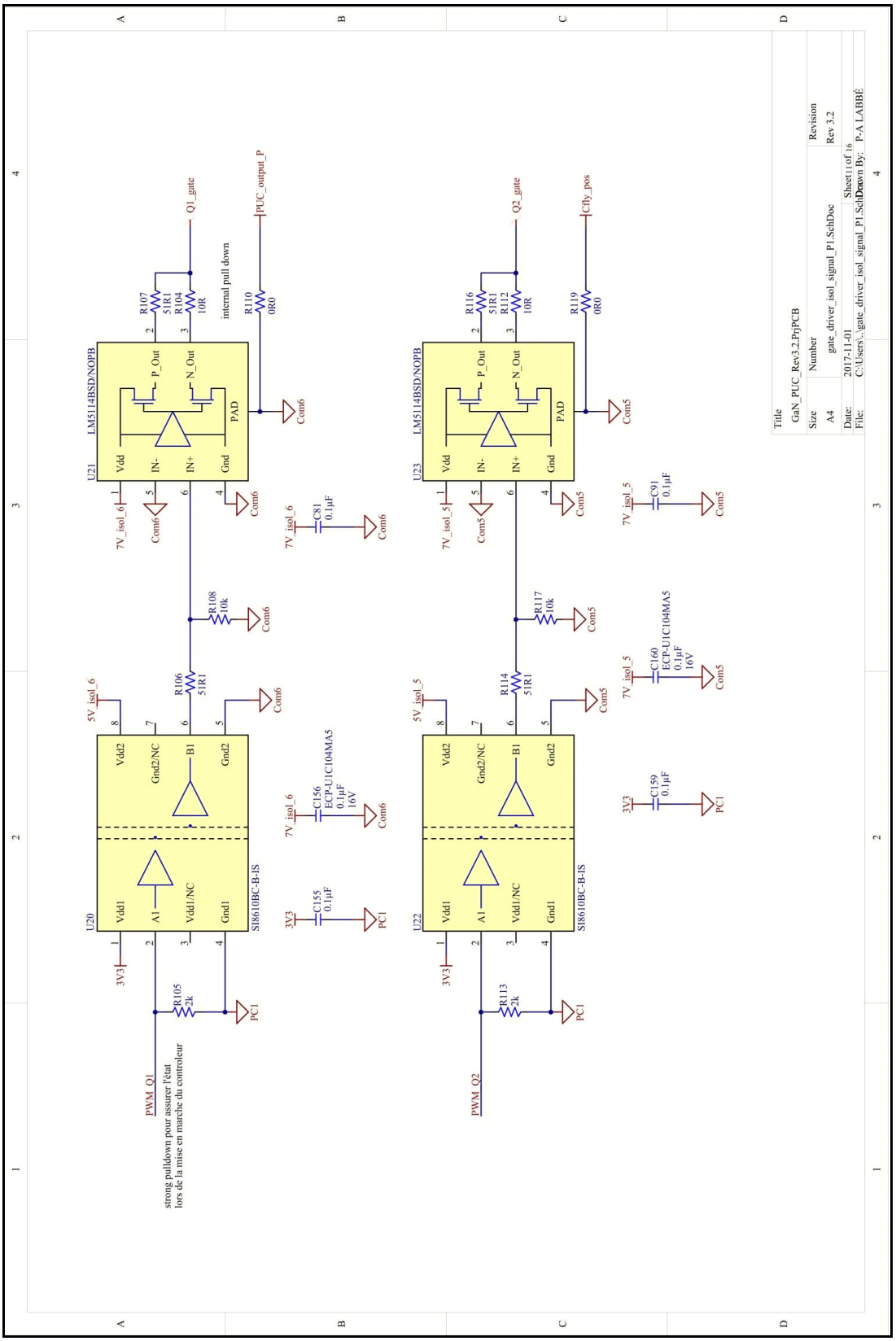


Figure-A VIII-11 Pilotes de grille du convertisseur PUC5 (1/3)

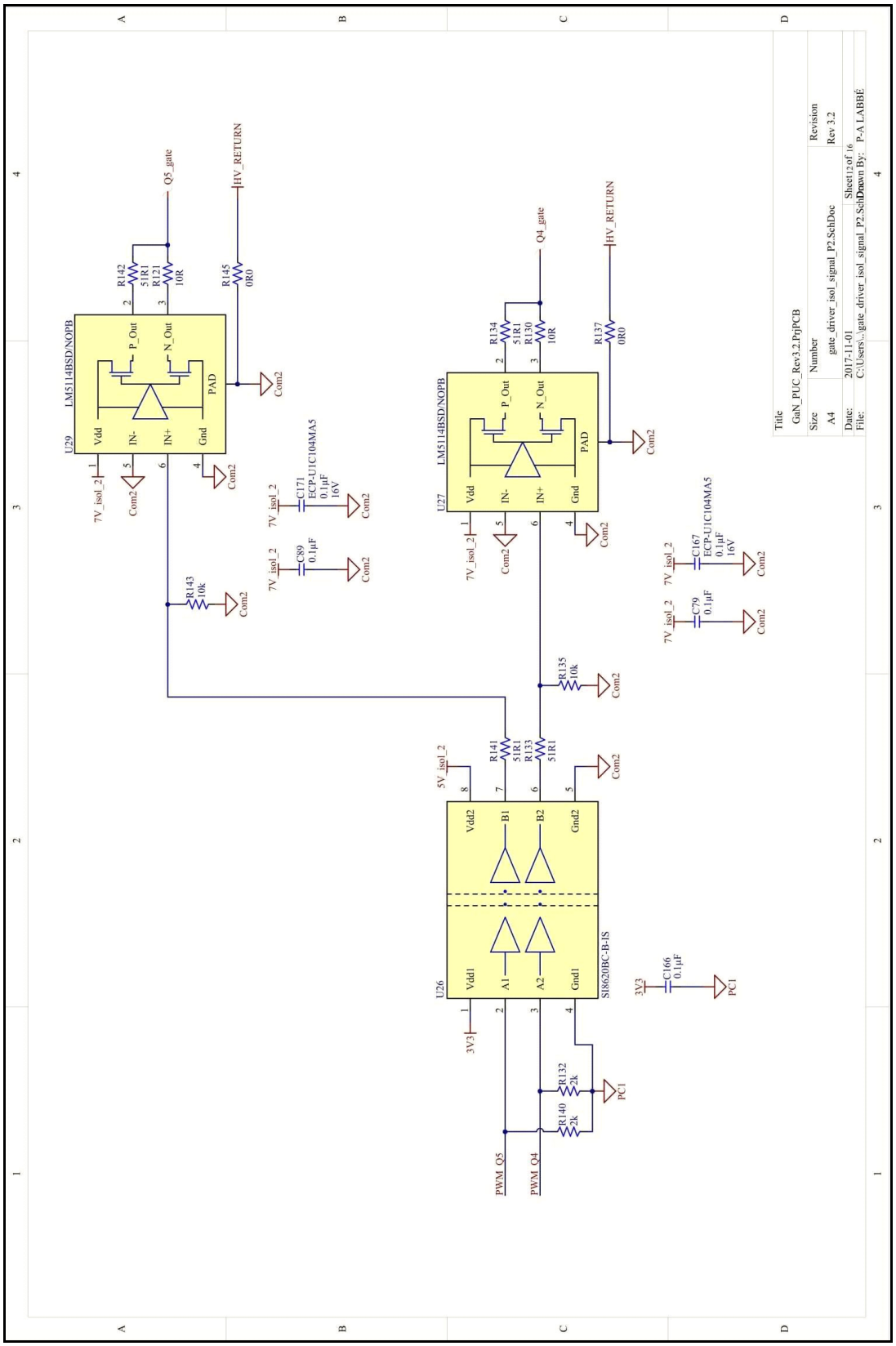


Figure-A VIII-12 Pilotes de grille du convertisseur PUC5 (2/3)

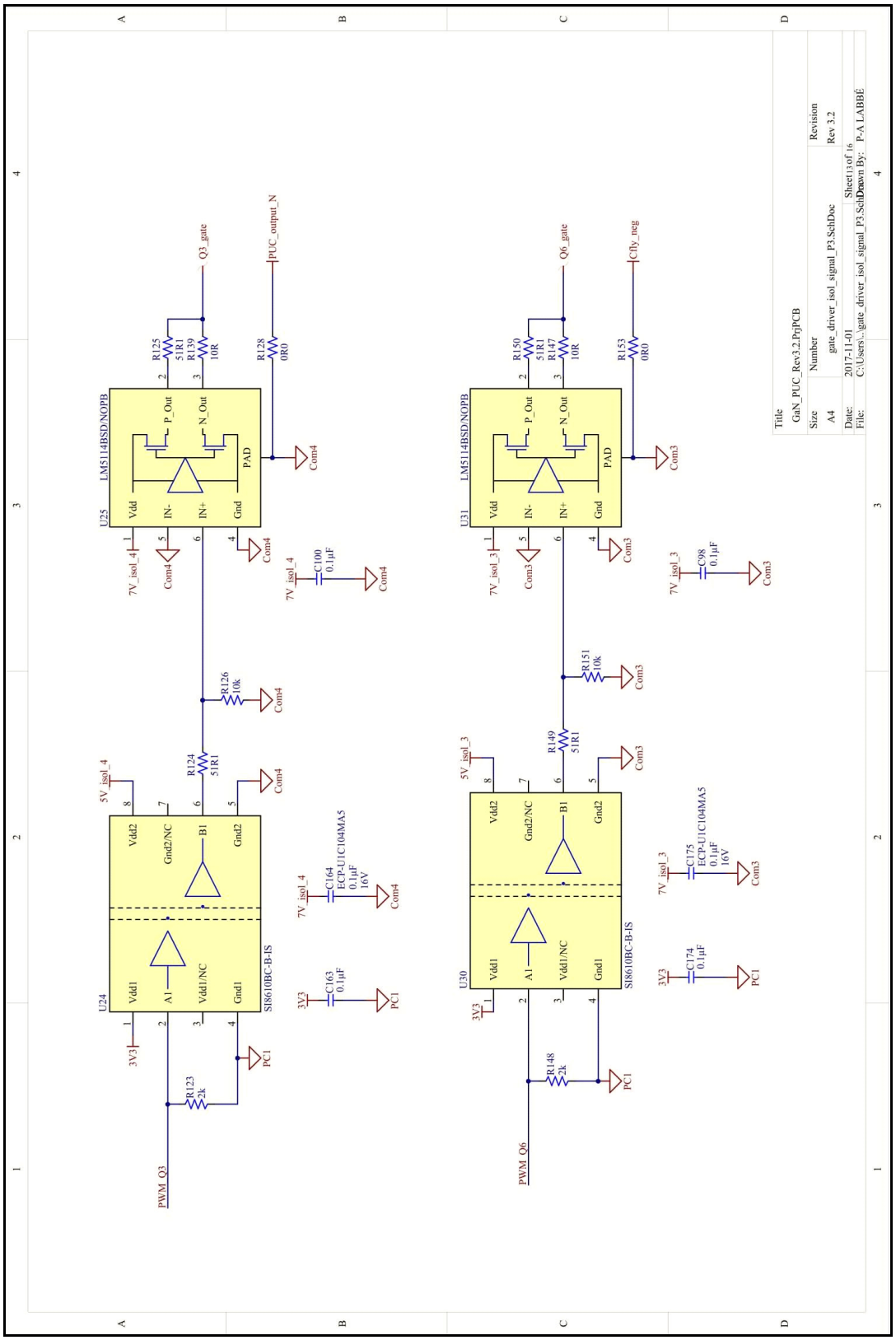


Figure-A VIII-13 Pilotes de grille du convertisseur PUC5 (3/3)

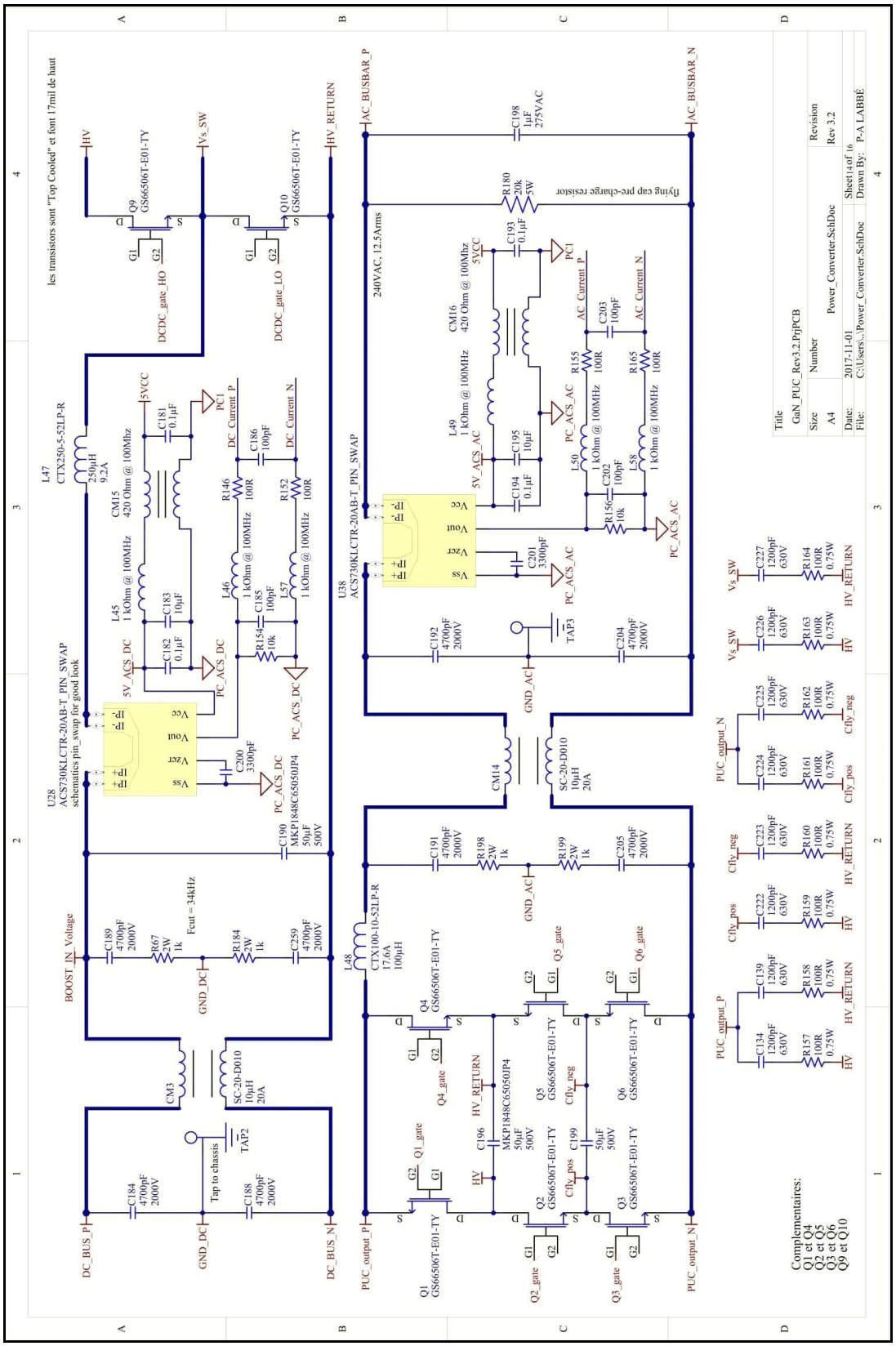


Figure-A VIII-14 Convertisseurs de puissance

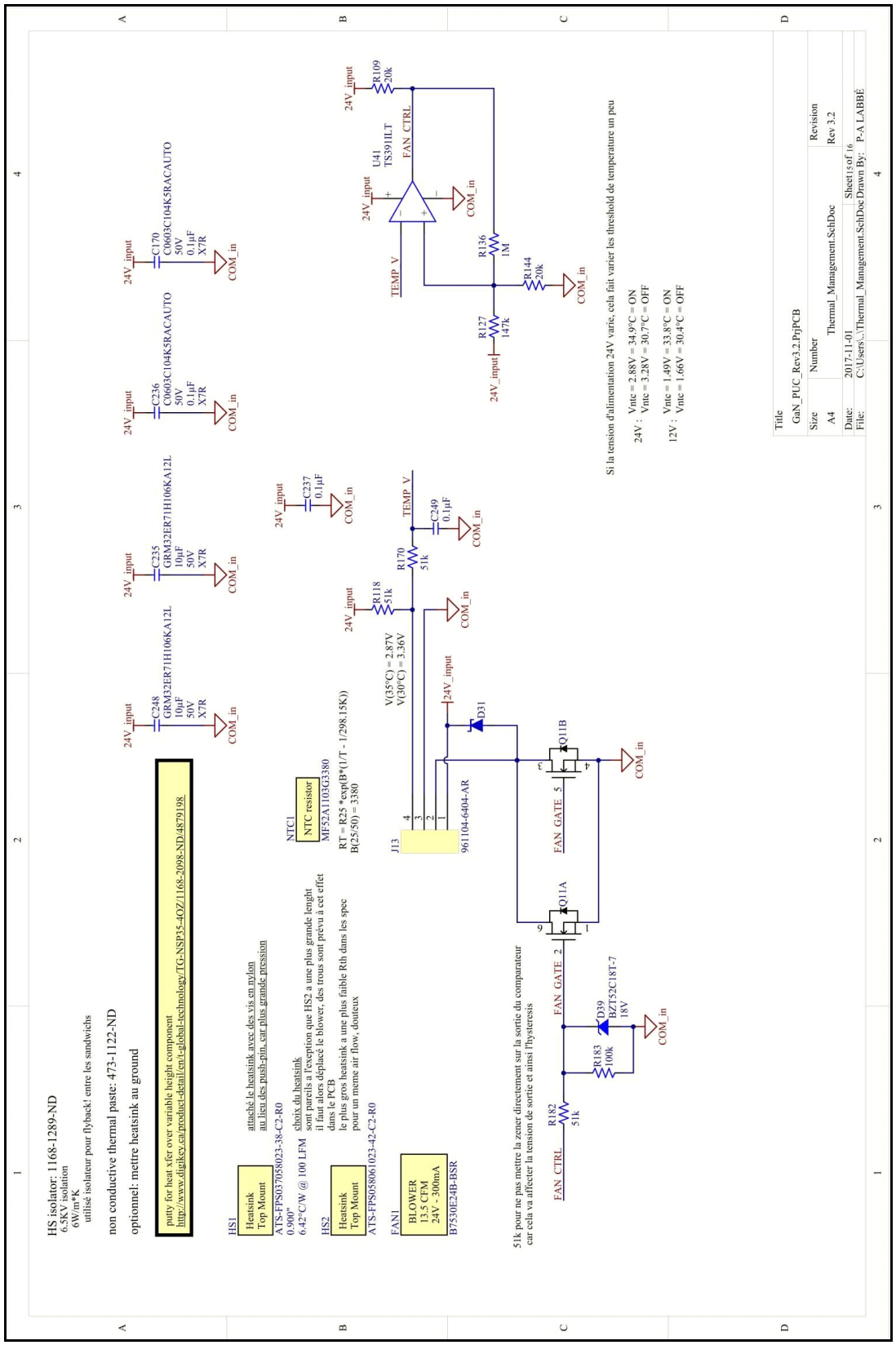


Figure-A VIII-15 Système de refroidissement

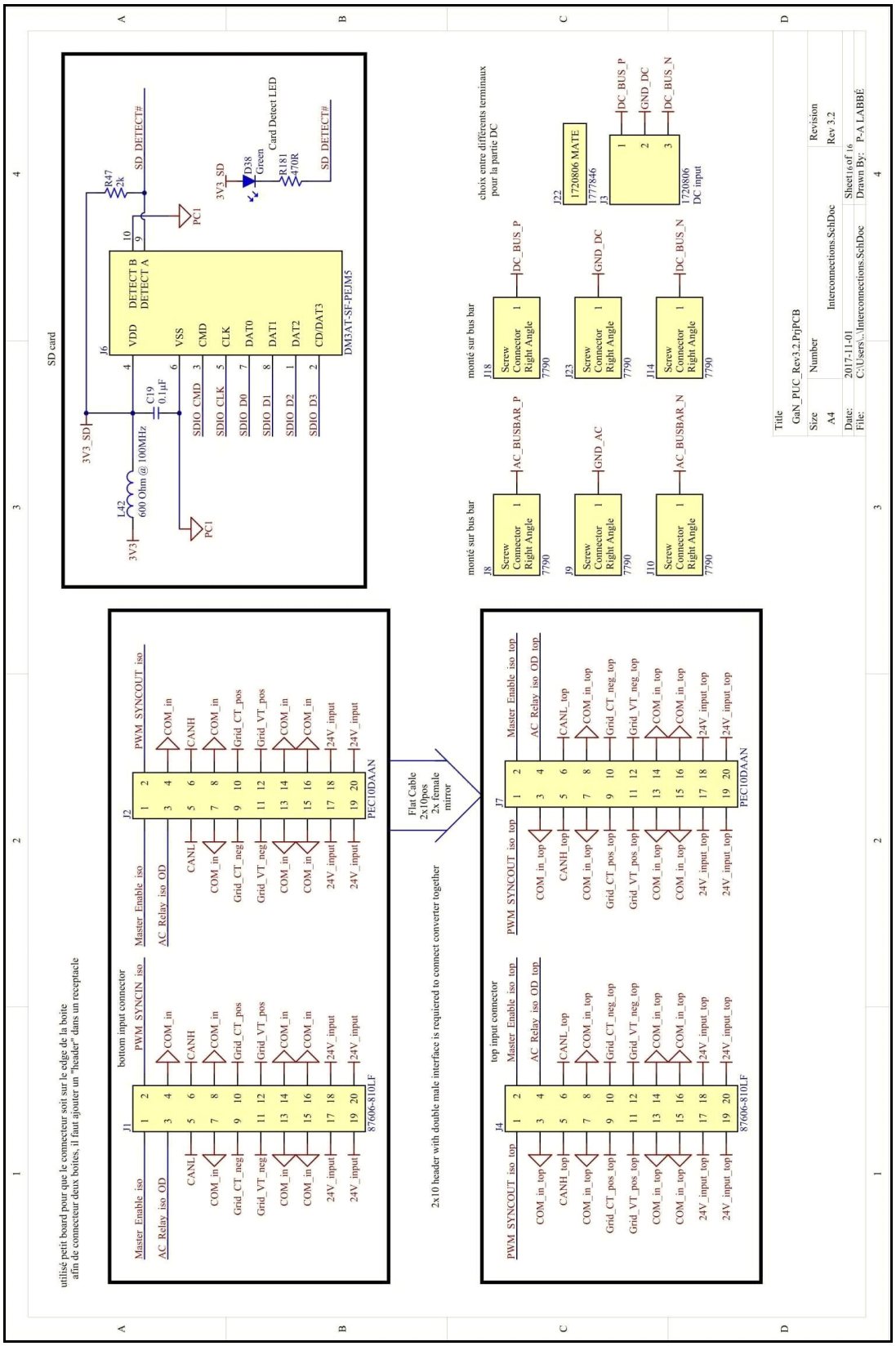


Figure-A VIII-16 Connecteurs

ANNEXE IX

SCRIPT DE MODÉLISATION DU CONVERTISSEUR CC-CC

```
%%%%%%%%%%%%%%%%%%% Boost Modelling for current control %%%%%%%%%%%
% Inductor Current,Input Current & Output Voltage Transfer Function
% Texas Instruments
% Digital Control Systems Group, Houston, TX
% Manish Bhardwaj
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
% This software is licensed for use with Texas Instruments C28x
% family DSCs. This license was provided to you prior to installing
% the software.
% ------------------------------------------------------------------
% Copyright (C) 2010-2014 Texas Instruments, Incorporated.
% All Rights Reserved.
%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
s = tf('s');

% Input Voltage
Vp=200;
% Input resistance
Rp=0.5;
% Input capacitance
Cci=20e-6;
% Input capacitance ESR
Rci=20e-3;
% CCR of the inductor
Rl=50e-3;
% Inductance
L=330e-6;
% Output Capacitance
Co=10e-6;
% Output Capacitance ESR
Rco=20e-3;
% Output Load
Io=12.5;
% Duty cycle
D=0.5;

% Equation 41
Reff=Rl+(1-D)*Rco+(Rci*Rp/(Rci+Rp));
% (sI-A)
SIminusA=[s 0 (-(1-D)/Co);0 (s+1.0/(Cci*(Rp+Rci))) (Rp/(Cci*(Rp+Rci)));
((1-D)/L) (-(Rp/(L*(Rp+Rci)))) (s+Reff/L)];
% (sI-A)^-1
inv_SIminusA=inv(SIminusA);
% (A1-A2)X+(B1-B2)U
A1minusA2XPlusB1minusB2U=[-Io/((1-D)*Co); 0 ;((Vp/((1-D)*L))-
(Io*(Rp+Rl)/(L*(1-D)^2)))];
```

```
% Inductor current Trasnfer Function
% Equation 39
% C*((sI-A)^-1*((A1-A2)X+(B1-B2)U))
y_IL=[0 0 1]*(inv_SIminusA*A1minusA2XPlusB1minusB2U);
% Input Current Transfer Function
% Equation 42
% C*((sI-A)^-1*((A1-A2)X+(B1-B2)U))
y_IP=[0 -1/(Rci+Rp) Rci/(Rci+Rp)]*(inv_SIminusA*A1minusA2XPlusB1minusB2U);
% Output Voltage Transfer Function
C1=[1 0 0];
C2=[1 0 Rco];
C=[1 0 (1-D)*Rco];
Il=Io/(1-D);
Vci=Vp-Io*Rp/(1-D);
Vco=(Vp/(1-D))-((Io*(Rp+Rl+D*(1-D)*Rco))/(1-D)^2);
X=[Vco; Vci; Il];
% Euqation 45
% C*((sI-A)^-1*((A1-A2)X+(B1-B2)U))+(C1-C2)*X
y_Vo=C*(inv_SIminusA*A1minusA2XPlusB1minusB2U)+(C1-C2)*X;
y_IL = minreal(y_IL);
zpk(y_IL)
y_IP= minreal(y_IP);
zpk(y_IP)
y_Vo = minreal(y_Vo);
zpk(y_Vo)
figure;
hold on;
bode(y_IL);
bode(y_IP);
bode(y_Vo);
title('Comparison of different transfer functions');
legend('Il/D','Ip/D','Vo/D');
% For digital implementation the plant needs to discretized
%Switching Frequency is 100Khz
Fs=25000;
% Switching time period
Ts= 1/Fs;
y_Vo_D=c2d(y_Vo,Ts);
% call sisotool ofr the compensator design
sisotool(y_Vo_D);
```

LISTE DE RÉFÉRENCES BIBLIOGRAPHIQUES

Lesnicar et R. Marquardt. 2003. « An innovative modular multilevel converter topology suitable for a wide power range ». Proceedings IEEE Bologna Power Tech Conference. (Bologne, Italie, 23-27 juin 2003). vol. 3, pp. 1–6.

Debnath, J. Qin, B. Bahrani, M. Saeedifard, et P. Barbosa. 2015. « Operation, control, and applications of the modular multilevel converter: A review ». IEEE Transaction on Power Electronics, vol. 30, no. 1, pp. 37–53.

Hwang, P.-C. Chen, C.-S. Liu et L.-R. Chen. 2014. « A novel single-phase interleaved bi-directional inverter for grid connection control ». 2014 IEEE 23rd International Symposium on Industrial Electronics. (Istanbul, Turquie, 1-4 juin 2014). pp. 375-379.

Sleiman, A. A. H. Ali, H. F. Blanchette, K. Al-Haddad, B. Piepenbreier et H. Kanaan. 2014. « A survey on modeling, control, and DC-fault protection of modular multilevel converters for HVDC systems ». 2014 IEEE 23rd International Symposium on Industrial Electronics. (Istanbul, Turquie, 1-4 juin 2014). pp. 2149–2154.

Hahn, M. Andresen et G. Buticchi. 2017. « Thermal analysis and balancing for modular multilevel converter in HVDC applications ». IEEE Transaction on Power Electronics, vol. 33, no. 3, pp. 1985–1996.

Yang, B. Li et G. Wang. 2016. « Asymmetric Mode Control of MMC to Suppress Capacitor Voltage Ripples in Low-Frequency, Low-Voltage Conditions ». IEEE Transaction on Power Electronics, vol. 32, no. 6, pp. 4219–4230.

Antonio-Ferreira et O. Gomis-Bellmunt. 2016. « Comparison of Cell Selection Methods for Modular Multilevel Converters ». 2016 IEEE 16th International Conference on Environment and Electrical Enginerring. (Florence, Italie, 7-10 juin 2016). pp. 1-8.

Vahedi et K. Al-Haddad. 2016. « PUC5 inverter - a promising topology for single-phase and three-phase applications ». 42nd Annual Conference of the IEEE Industrial Electronics Society. (Florence, Italie, 23-26 octobre 2016). pp. 6522-6527.

Deboy, M. Treu, O. Haeberlen et D. Neumayr. 2016. « Si, SiC and GaN power devices: An unbiased view on key performance indicators ». 2016 IEEE Internationnal Electron Devices Meeting. (San Francisco, É-U, 3-7 décembre 2016). pp. 20.2.1- 20.2.4.

Zhang, P. Liu, S. Guo et A. Q. Huang. 2016. « Comparative study of temperature sensitive electrical parameters (TSEP) of Si, SiC and GaN power devices ». 2016 IEEE 4th workshop on wide bandgap power devices and applications, (Fayetteville, É-U, 1-9 novembre 2016). pp. 302-307.

Han, S. Li, W. Lee, W. Choi et B. Sarlioglu. 2017. « Trade-off between switching loss and common mode EMI generation of GaN devices – analysis and solution ». 2017 IEEE Applied Power Electronics Conference and Exposition. (Tampa, É-U, 26-30 mars 2017). pp. 843-847.

Yao, Z. Lu, H. Long et B. Li. « Research on grid-connected interleaved inverter with L filter ». 2013 1st International Future Energy Electronics Conferences. (Tainan, Taiwan, 3-6 novembre 2013). pp. 87-92.

Gohil, L. Bede, R. Teodorescu, T. Kerekes et F. Blaabjerg. 2016. « Evaluation of circulation current suppression methods for parallel interleaved inverters ». 2016 IEEE Energy Conversion Congress and Exposition. (Milwaukee, É-U, 18-22 septembre 2016). pp. 1-8.

Chowdhury, Y. Wu, L. Shen, K. Smith, P. Smith, T. Kikkawa, J. Gritters, L. McCarty, R. Lal, R. Barr, Z. Wang, U. Mishra et P. Parikh. 2016. « 650V highly reliable GaN HEMTs on Si substrates over multiple generations: matching Silicon CMOS manufacturing metrics and process control ». 2016 IEEE Compound Semiconductor Integrated Circuit Symposium. (Austin, É-U, 23-26 octobre 2016). pp. 1-4.

Elasser et T.P. Chow. 2002. « Silicon carbide benefits and advantages for power electronics circuits and systems ». Proceedings of the IEEE, vol. 90, no. 6, pp 969-986.

Chow. 2014. « Wide and extreme bandgap semiconductor devices for power electronics applications ». 2014 Lester Eastman Conference on High Performance Devices. (Ithaca, É-U, 5-7 août 2014). pp 1-4.

Wang, F. Wang et J. Zhang. 2008. « Power semiconductor device figure of merit for high-power-density converter design applications ». IEEE Transactions on Electron Devices, vol. 55, no.1, pp. 466-470.

Baliga. 1982. « Semiconductors for high voltage, vertical channel FET's ». Journal of Applied Physics, vol. 53, pp. 1759-1764.

Johnson. 1965. « Physical limitations on frequency and power parameters of transistors ». 1958 IRE International Convention Record, vol. 13, pp. 27–34.

Gurpinar et A. Castellazzi. 2016. « Single-phase T-type inverter performance benchmark using Si IGBTs, SiC MOSFETs, and GaN HEMTs ». IEEE Transactions on Power Electronics, vol. 31, no. 10, pp. 7148–7160.

Yang, L. Lei, K. Yu, X. Wang, T. Zhou, X. Lu, A. Zhang. 2016. « Novel vertical GaN power devices using PEALD-AlN/GaN heterostructure » 2016 13th China International Forum on Solid State Lighting: International Forum on Wide Bandgap Semiconductors. (Beijing, China, 15-17 novembre 2016). pp. 93–96.

Y. Ounejjar, K. Al-Haddad, et L. A. Grégoire. 2011. « Packed U Cells Multilevel Converter Topology: Theoretical Study and Experimental Validation ». IEEE Transactions on Industrial Electronics, vol. 58, pp. 1294-1306.

Fortin Blanchette, H. 2009. « Méthode unifiée de simulation et de conception des convertisseurs de puissance ». Thèse de doctorat en philosophie, Montréal, École de technologie supérieure, 196 p.

Vahedi, H., 2016. « Modélisation, développement et contrôle des convertisseurs multiniveaux pour les système de puissance ». Thèse de doctorat en philosophie, Montréal, École de technologie supérieure, 131 p.

W. Jiang, Y. Gao, B. Xiao, J. Wang et X. Ding. 2017. « Suppression of high frequency circulating current caused by asynchronous carrier for parallel three-phase grid-connected converters ». IEEE Transactions on Industrial Electronics, (À paraître).

Z. Quan et Y. Li. 2017. « Suppressing zero-sequence circulating current of modular interleaved three-phase converters using carrier phase shift PWM ». IEEE Transaction on Industry Applications, vol. 53, pp. 3782-3792.

Y. Zhongming, J. Praveen et S. Paresh. 2006. « Control of series parallel resonant converter with two different input voltage sources ». 2006 37th IEEE Power Electronics Specialists Conference. (Jeju, Corée du sud, 18-22 juin 2006). pp. 1-7.

R. Mitova, R. Ghosh, U. Mhaskar, D. Klikic, M. Wang, et A. Dentella. 2014. « Investigations of 600-V GaN HEMT and GaN diode for power converter applications ». IEEE Transaction on Power Electronics, vol. 29, no. 5, pp. 2441–2452.

Wagner, M. 1907. « Sur la loi de Paschen ». Journal de Physique Théorique et Appliquée, vol. 6, no. 1, pp.615-619.

Pressman, A. 1997. « Switching Power Supply Design ». 2ème éd. États-Unis: World Scientific and Engineering Academy and Society.

Graham, M. Johnson, H. 1993 « *High-speed Digital Design : A Handbook of Black Magic* ». États-Unis: Courrier Westford.

Fortin Blanchette, H. 2014. « *Note de cours ELE754 Électronique de puissance II – Introduction à la compatibilité électromagnétique* ». Canada: É.T.S.

Fortin Blanchette, H. 2014. « *Note de cours ELE754 Électronique de puissance II – Module 5: Code Matlab du calcul des pertes des MOS* ». Canada: É.T.S.

Fortin Blanchette, H. 2015. « *Note de cours ENR830 Convertisseurs d'énergie – Module 6: Perturbations et filtre harmonique* ». Canada: É.T.S.

Bhardwaj, M. 2015. « *Modeling Bi-directional Buck/Boost Converter for Digital Control Using C2000 Microcontrollers* ». États-Unis: Texas Instrument.

Lee, SW. 2014. « *Practical Feedback Loop Analysis for Current-Mode Boost Converter* ». États-Unis: Texas Instrument.