

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE
À L'OBTENTION DE LA MAÎTRISE EN GÉNIE ÉLECTRIQUE
M.Ing.

PAR

RANDOLPH , Floris

CARACTÉRISATION DES CIRCUITS RF PAR DES DISPOSITIFS DE MESURE
INTÉGRÉS

MONTRÉAL, LE 6 DÉCEMBRE 2007

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE :

M. Ammar KOUKI, directeur de mémoire
Département de génie électrique à l'École de technologie supérieure

M. Vahé NERGUIZIAN, président du jury
Département de génie électrique à l'École de technologie supérieure

M. Cevdet AKYEL, membre du jury
Département de génie électrique à l'École Polytechnique de Montréal

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 06 NOVEMBRE 2007

À L' ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

Je voudrais à travers ce mémoire exprimer ma profonde gratitude et mes remerciements à M. Ammar Kouki pour avoir accepté diriger ce travail. Ses critiques sincères et cohérentes m'ont permis de mener à bien ce projet. Sa capacité technique et son attention auditive m'ont aidé à orienter efficacement le déroulement de ce travail.

Je tiens également à remercier tous les professionnels, stagiaires et étudiants du Laboratoire de Communication et d'Intégration à la Micro Électronique (LACIME) de l'École de technologie supérieure qui ont d'une manière ou d'une autre contribué à la réalisation de ce travail. Plus particulièrement M. Christian Talbot qui a su guider mes premiers pas dans ce laboratoire de recherche.

J'exprime ma reconnaissance à Monsieur Cevdet Akyel, Professeur à l'École Polytechnique de Montréal et membre de jury pour ses conseils grâce auxquels j'ai énormément appris.

Je remercie Monsieur Vahé Nerguizian pour l'honneur qu'il m'a fait en acceptant être président de jury.

Enfin je remercie de tout mon cœur mes parents et amis pour le soutien moral indéfectible dont ils m'ont gratifié tout au long de ces années de recherche, en l'occurrence ma mère à qui je dédie ce mémoire.

CARACTÉRISATION DES CIRCUITS RF PAR DES DISPOSITIFS DE MESURE INTÉGRÉS

Randolph Floris

RÉSUMÉ

Le contexte actuel du marché des télécommunications connaît une demande sans cesse croissante des systèmes sans fils devant être dotés d'agilité, de flexibilité et de reconfigurabilité de sorte à s'affranchir de l'éternel problème de largeur de bande.

Étant donné que l'agilité peut entraîner des changements d'impédance et des performances des composantes radio fréquences, la section RF se veut alors la réalisation de tels systèmes tout en intégrant des technologies de moindres coûts. Pour ce faire, il faudra les caractériser en temps réel.

Notre travail se situe dans ce contexte de caractérisation embarquée en temps réel des circuits et composants RF. Le dispositif de caractérisation proposé dans ce mémoire consiste en un circuit intégrant le détecteur de phase et de gain AD8302 d'Analog Devices. Ce composant prend à ses entrées, deux signaux RF et produit deux tensions DC représentant leur rapport en amplitude ainsi que leur différence en phase.

L'extraction de ces paramètres offre plusieurs applications dont la calibration automatique d'un circuit de transmission par l'entremise d'une plateforme numérique, l'analyse de charges complexes à une fréquence précise ou sur une bande de fréquences donnée (100MHz à 2.7 GHz).

Le dispositif permettra de mesurer entre autre le coefficient de réflexion à l'instar de l'analyseur de réseau, le gain d'un amplificateur, le déphasage entre les entrée et sortie d'un amplificateur ou d'un mélangeur, via des coupleurs. Une procédure de correction adéquate s'impose puis que les signaux deviennent couplés lorsqu'on utilise des coupleurs.

Le système est piloté par une interface de contrôle et d'acquisition de données développée sur HP-VEE.

Les mesures obtenues avec ce nouveau système ont été comparées et validées à l'analyseur de réseau vectoriel

EMBEDDED MEASUREMENTS OF RF INTELLIGENT CIRCUITS

Randolph Floris

ABSTRACT

The current context of the telecommunication's market is witnessing an increasing demand of wireless systems with additional requirements on agility, flexibility and reconfigurability. Such characteristics would help bring about more cost effective solutions to the age-old problem of bandwidth.

If such solutions are to be reached, then the RF section must meet these requirements while integrating technologies of low costs. One key step in this process is the real time characterization of RF circuits and subsystems so that their state may be adjusted reconfigured as needed to meet the system requirements.

In this paper, we present one possible characterization device using a low cost circuit integrating the gain and phase detector AD8302 of Analog Devices. This component requires two RF-coupled input signals and provides two output voltages proportional to the magnitude ratio and the phase difference of the RF signals. Tests show that when this circuit is driven by decoupled sources, i.e., two independent generators, relatively easy extraction of the complex ratio can be achieved. However, when used through couplers, as would be the case in actual applications, the signals input to the AD8302 are mixed. Consequently a proper procedure for error correction and de-embedding is necessary. Here we propose one such approach based on a characterization of the coupler used in addition to calibration of the AD8302 receiver through a power and phase shift sweep using two independent sources.

With this system in place, it will be used for several applications with the main one being coupling it to tunable MEMS circuit and a chip transistor to dynamically match an amplifier circuit for various operating conditions, namely at different frequencies in the range 700 MHz to 2.7 GHz.

TABLE DES MATIÈRES

INTRODUCTION.....	1
CHAPITRE 1 SYSTÈMES ACTUELS DE CARACTÉRISATION DES CIRCUITS MICRO -ONDES.....	1
1.1 Introduction	1
1.2 Les analyseurs de réseau hétérodynes	1
1.2.1 Principe de fonctionnement.....	2
1.2.2 Avantages et inconvénients reliés au système hétérodyne.....	3
1.3 Les analyseurs de réseau homodynes.....	3
1.3.1 Principe de la méthode six- port.....	4
1.3.2 De la jonction six- port à l'analyseur de réseau six- port.....	6
1.3.3 Équations régissant le fonctionnement de la jonction six- port	7
1.3.4 Techniques de calibration de la jonction six- port	9
1.3.5 Étalonnage treize standards.....	11
1.3.6 Boîte d'erreur	12
1.3.7 Mesure de performance du six- port	13
1.3.8 Avantages et inconvénients des analyseurs de réseau homodynes	13
1.4 Nouvelle approche de caractérisation	14
1.5 Conclusion.....	15
CHAPITRE 2 ÉTUDE ET CARACTÉRISATION DE LA CARTE AD8302 D' ANALOG DEVICES.....	16
2.1 Introduction	16
2.2 Description du système	17
2.2.1 Principe de fonctionnement.....	17
2.2.2 Caractéristiques du DGP	19
2.2.3 Spécifications	21
2.2.4 Applications	23
2.3 Caractérisation du DPG.....	23
2.3.1 Présentation du logiciel HP VEE	23
2.3.2 Description de l'appareillage	24
2.3.2.1 Générateurs de signaux RF	24
2.3.2.2 Source d'alimentation	25
2.3.2.3 Multimètres	25
2.3.3 Fonctions de transfert expérimentales.....	25
2.3.3.1 Fonctions de transfert en amplitude	27

2.3.3.2	Fonctions de transfert en phase	28
2.3.4	Mesure expérimentale de l'impédance d'entrée du DPG.....	30
2.4	Extraction d'amplitude et de phase	31
2.4.1	Extraction d'amplitude	31
2.4.2	Extraction de phase	33
2.4.2.1	Techniques de résolution d'ambiguïté de phase	33
2.4.2.2	Présentation de résultats	36
2.5	Étude de performance de la carte en modulation AM.....	37
2.5.1	Rappel théorique sur la modulation AM	37
2.5.2	Résultats en modulation AM.....	39
2.6	Conclusion.....	39
CHAPITRE 3 MESURES DE PARAMÈTRES S À L'AIDE DU DISPOSITIF DE MESURE INTÉGRANT L'AD8302.....		41
3.1	Introduction	41
3.2	Description du banc de test	41
3.3	Technique de mesure de paramètres S	43
3.4	Configuration en mode réflectomètre	44
3.4.1	Détermination de coefficient de réflexion.....	44
3.4.2	Diagramme de fluence	46
3.4.3	Règle de Mason.....	49
3.4.4	Expression mathématique de la réflexion	50
3.4.5	Réflexométrie à deux coupleurs	52
3.4.6	Procédure d'étalonnage	56
3.5	Configuration en mode mesure de gain.....	57
3.6	Choix et caractérisation des coupleurs	60
3.7	Implémentation logicielle.....	64
3.8	Validation de mesure de réflexion.....	65
3.9	Validation de mesure de gain	74
3.10	Mesure de paramètre S d'amplificateur	77
3.11	Conclusion.....	79

CHAPITRE 4 APPLICATION AU SYSTÈME RF INTELLIGENT : MESURE EMBARQUÉE.....	80
4.1 Introduction.....	80
4.2 Les systèmes RF intelligents.....	80
4.2.1 Architecture simplifiée des SRFI.....	81
4.2.2 Architecture désirée des SRFI.....	82
4.2.3 Mesure embarquée des SRFI.....	83
4.2.4 Convertisseurs Analogiques Numériques.....	87
4.3 Conclusion.....	88
CONCLUSION.....	89
ANNEXE I FICHE TECHNIQUE DU AD8302.....	91
ANNEXE II FORMULE DIAGRAMME DE FLUENCE.....	102
ANNEXE III FICHE TECHNIQUE DU AD9071.....	103
ANNEXE IV PARAMÈTRES S DE L'AMPLIFICATEUR DE VALIDATION.....	113
BIBLIOGRAPHIE.....	114

LISTE DES FIGURES

Figure 1.1	Fonctionnement de l'analyseur	2
Figure 1.2	Structure de la jonction six- port.....	4
Figure 1.3	Circuit d'une jonction six- ports	5
Figure 1.4	Analyseur de réseau homodyne	6
Figure 1.5	Procédure de calibration	9
Figure 1.6	Boîte d'erreur	12
Figure 1.7	Exemple de topologie de mesure avec le AD8302	14
Figure 2.1	Circuit simplifié du AD8302	17
Figure 2.2	Carte d'évaluation AD8302 (DPG)	19
Figure 2.3	Fonction de transfert en amplitude du DPG	20
Figure 2.4	Fonction de transfert en phase du DPG	22
Figure 2.5	Impédances d'entrée du DPG en fonction de la fréquence.....	22
Figure 2.6	Éléments de caractérisation du DPG	24
Figure 2.7	Programme de fonction de transfert en amplitude.....	26
Figure 2.8	Fonction de transfert expérimentale en amplitude à 900MHz.....	27
Figure 2.9	Fonction de transfert expérimentale en amplitude à 1.6GHz et 2GHz.....	28
Figure 2.10	Programme de fonction de transfert en phase.....	29
Figure 2.11	Fonction de transfert en phase	30
Figure 2.12	Mise en évidence de l'effet de la longueur des câbles sur la phase.....	31
Figure 2.13	Mesure de S11 aux ports RFin1 et RFin2.....	32
Figure 2.14	Procédure d'extraction d'amplitude.....	32

Figure 2.15	Erreur absolue commise en amplitude.....	33
Figure 2.16	Première méthode de résolution d'ambiguïté de phase	33
Figure 2.17	Répartition de la fonction de transfert en zones	33
Figure 2.18	Algorithme de détection de signe	34
Figure 2.19	Deuxième méthode de résolution d'ambiguïté de phase	35
Figure 2.20	Erreur absolue commise en phase.....	36
Figure 2.21	Comparaison de fonction de transfert avec et sans modulation ($K_a=0.9$).....	37
Figure 2.22	Comparaison de fonction de transfert avec et sans modulation ($K_a=0.5$).....	39
Figure 3.1	Architecture simplifiée du banc de test	42
Figure 3.2	Architecture optimale du banc de test	43
Figure 3.3	Configuration en mode réflectomètre.....	44
Figure 3.4	Numérotation du coupleur	46
Figure 3.5	Graphes de fluence du banc de test	47
Figure 3.6	Utilisation des isolateurs.....	48
Figure 3.7	Graphes de fluence en utilisant des isolateurs.....	48
Figure 3-8	Réflexométrie à deux coupleurs	52
Figure 3-9	Graphes de fluence à deux coupleurs.....	53
Figure 3.10	Étalonnage par boîte d'erreur	54
Figure 3.11	Graphes de fluence de la boîte d'erreur	55
Figure 3.12	Schéma de mesure de gain.....	57
Figure 3.13	Graphes de fluence en mode mesure de gain	58
Figure 3.14	Deuxième configuration de mesure de gain	59
Figure 3.15	Masque des coupleurs ANAREN choisis.....	61
Figure 3.16	Principe de caractérisation des coupleurs	62

Figure 3.17	Paramètres S des coupleurs ANAREN.....	63
Figure 3.18	Mesure de réflexion de charge1	66
Figure 3.19	Mesure de réflexion de charge2.....	66
Figure 3.20	Mesure de réflexion pour la charge3	67
Figure 3.21	Mesure de réflexion de charge4.....	69
Figure 3.22	Mesure de réflexion pour la charge5	69
Figure 3.23	Mesure de charge adaptée avec un coupleur	69
Figure 3.24	Mesure de charge adaptée avec deux coupleurs	69
Figure 3.25	Mesure de charge1 par la 2eme calibration	70
Figure 3.26	Mesure de charge2 par la 2eme calibration	71
Figure 3.27	Mesure de charge3 par la 2eme calibration	71
Figure 3.28	Mesure de charge4 par la 2eme calibration	72
Figure 3.29	Mesure de charge5 par la 2eme calibration	74
Figure 3.30	Coefficients de réflexion pour $P_{in} = 0, 10, -10$ dBm.....	73
Figure 3.31	Mesure de S21 pour un filtre sélectif.....	74
Figure 3.32	Comparaison de gain d'amplificateur ALC.....	75
Figure 3.33	Caractérisation d'un coupleur par le banc de test.....	76
Figure 3.34	Mesure de paramètres S d'amplificateur.....	78
Figure 4.1	Architecture simplifiée des SRFI	80
Figure 4.2	Architecture désirée des SRFI	82
Figure 4.3	Intégration des DPG aux SRFI	83
Figure 4.4	Architecture n° 1 d'intégration des DPG aux SRFI.....	85
Figure 4.5	Architecture n° 2 d'intégration des DPG aux SRFI.....	86

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

RF	Radio Fréquence
ARV	Analyseur de Réseau Vectoriel
DST	Dispositif Sous Test
DUT	Dispositif Under Test
DPG	Détecteur de Gain et de Phase
PA	Power Amplifier
ADS	Advanced Design Systems
SRFI	Systèmes Radio Fréquences Intelligents
PAF	Progettazione ad Alta Frequenza
ALC	Automatic Level Controlled
MMIC	Monolithic Microwave Integrate Circuit
RAIV	Réseau d'Adaptation d'Impédance Variable
MEMS	Micro Electro – Mechanical Systems
CAN	Convertisseur Analogique Numérique
CNA	Convertisseur Numérique Analogique
CMOS	Complementary Metal Oxyd Semiconductor

INTRODUCTION

Au cours des années à venir, l'industrie des télécommunications devra faire face à de nombreuses modifications en raison de la prolifération des nouveaux produits et des exigences du marché.

Les défis qui émergent actuellement sont l'augmentation de la capacité des systèmes cellulaires, le développement des systèmes sans fil à large bande pouvant supporter les applications multimédias tout en intégrant la flexibilité et la reconfigurabilité. Afin de suivre ces nouvelles tendances, la section radio- fréquences (RF) se doit d'être plus agile et capable de s'auto caractériser en temps réel en tenant compte des critères dont le " faible coût ", l'intégration.

L'objectif de ce projet consiste donc à démontrer la faisabilité et la réalisation de tel dispositif de mesure à l'instar de l'analyseur de réseau vectoriel en ayant recours à des technologies intégrées de moindre coût. En d'autres termes, il s'agira de développer une technique de mesure en temps réel de circuits radio- fréquences à l'aide des composants facilement intégrables à ces circuits. Le dispositif permettra entre autre aux industriels de l'intégrer dans leurs produits afin de monitorer leur condition d'opération et d'apporter les modifications nécessaires pour en assurer une durée de vie meilleure.

Le présent mémoire est structuré en quatre chapitres. Le premier chapitre sera consacré à la description des systèmes actuels de caractérisation en RF. Nous y présenterons l'analyseur de réseau hétérodyne ainsi que la technique de mesure à six ports. Les avantages et inconvénients seront par la suite abordés pour démontrer leur manque de flexibilité dans les systèmes futurs de communication sans fil. En compromis, nous proposerons un dispositif de mesure capable d'effectuer des comparaisons d'amplitude et de phase. La compagnie Analog Devices offre un tel dispositif sous forme de puce AD8302 que nous avons choisie.

Le deuxième chapitre fera l'objet d'étude de la carte intégrant la puce AD8302.

Nous y décrirons la procédure d'étalonnage ainsi que les outils logiciels pour l'interfaçage. Nous établirons les estimateurs expérimentaux des fonctions de transfert régissant le fonctionnement de la carte en amplitude et en phase. Une étude de performance de la carte permettra de déterminer sa plage dynamique, son comportement en modulation AM ainsi que l'erreur commise en utilisant les fonctions de transfert expérimentales.

Dans le troisième chapitre, nous décrirons le banc de test réalisé. L'objectif étant de mesurer les paramètres S d'un dispositif sous test. Nous utiliserons différentes configurations du AD8302 via des coupleurs directionnels, des diviseurs de puissance et des déphaseurs pour mesurer les facteurs de réflexion et de transmission.

Enfin dans le dernier chapitre, nous ferons l'intégration du banc de test aux Systèmes RF Intelligents (SRFI) pour la mesure embarquée. Nous discuterons des architectures proposées ainsi que les technologies disponibles pour la réalisation de l'intégration aux SRFI.

CHAPITRE 1

SYSTÈMES ACTUELS DE CARACTÉRISATION DES CIRCUITS MICRO -ONDES

1.1 Introduction

L'analyseur de réseau est l'outil principal pour mesurer les performances des circuits linéaires actifs ou passifs aux hautes fréquences. Il permet entre autre de nous informer sur le comportement des circuits micro-ondes par rapport aux fréquences d'opération en mesurant les ondes transmises et réfléchies sur un dispositif sous test, donnant accès aux paramètres S. Deux grandes familles d'analyseurs de réseau existent sur le marché : le scalaire révélant le module des paramètres S et le vectoriel donnant accès à la forme complexe (module et phase) desdits paramètres [1]. Cette dernière catégorie, souvent convoitée, peut être hétérodyne ou homodyne. Les systèmes hétérodynes utilisent la technique de transposition fréquentielle tandis que les systèmes homodynes effectuent des mesures directes à la fréquence d'opération.

Qu'ils soient hétérodynes ou homodynes, les analyseurs de réseau vectoriels aussi complexes et coûteux soient-ils manquent de flexibilité pour certaines applications.

Dans ce chapitre, nous donnons un aperçu sur les techniques de mesures hétérodynes et homodynes pour mettre en exergue leurs avantages et inconvénients par rapport aux exigences actuelles du marché des télécommunications mobiles.

1.2 Les analyseurs de réseau hétérodynes

Apparus dans les années soixante [2], les analyseurs de réseau hétérodynes sont reconnus pour leur technique de transposition en fréquences. En effet, plus la fréquence devient considérable (à partir de 100 MHz), on ne peut mesurer le déphasage relatif des signaux. Une façon de s'affranchir est de faire la transposition en de fréquences plus basses (de l'ordre de

quelques KHz), ce qui permet d'augmenter la période facilitant ainsi l'utilisation de techniques de base dont l'échantillonnage.

1.2.1 Principe de fonctionnement

Le schéma suivant illustre le fonctionnement de l'analyseur :

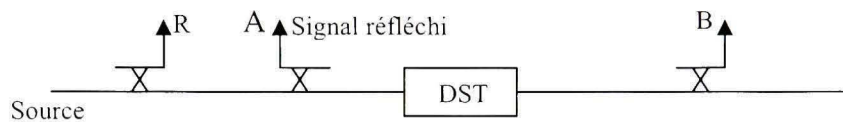


Figure 1.1 Fonctionnement de l'analyseur.

À l'aide d'un diviseur de Wilkinson, on récupère des échantillons du signal en provenance de la source. Une fraction du signal émis par la source servira de référence (R) tandis que l'autre sera considérée comme l'onde incidente en direction du dispositif à tester. Deux coupleurs disposés respectivement en amont et en aval de celui-ci permettront d'échantillonner les ondes réfléchies (A) et transmises (B). Une fois les signaux séparés, leur module et phase sont mesurés les uns par rapport aux autres pour reconstituer la matrice des paramètres S. Un processeur intégré assure le traitement des données sur différentes échelles (linéaire, dB, dBm...) ainsi que dans les domaines temporel et fréquentiel.

Signalons toutefois que ce principe suppose que l'on opère dans des conditions idéales. D'un point de vue pratique, les mesures effectuées sont entachées d'erreurs corrigibles ou non. On peut corriger certaines de ces erreurs par étalonnage de l'analyseur. Il existe deux types de calibration : la calibration en normation qui permet de ne corriger que les erreurs fréquentielles et la calibration vectorielle qui corrige toutes les erreurs dites systématiques dues aux imperfections de l'analyseur et sont invariantes dans le temps. Dans les deux cas, l'étalonnage est d'une simplicité à réaliser car il est basé sur la mesure d'une série de standards sur chacun de ses ports.

1.2.2 Avantages et inconvénients reliés au système hétérodyne

Les avantages liés à l'utilisation d'analyseurs de réseau vectoriels hétérodynes sont multiples et multiformes. Outre leur fonctionnement à bande étroite leur conférant une dynamique assez considérable par simple élimination du bruit dont la puissance est proportionnelle à la bande passante du filtre, ils sont reconnus pour la rapidité de mesure et la simplicité à étalonner. Toutefois, ces systèmes présentent quelques inconvénients. En effet leur conception devient difficile à réaliser quand on s'approche des ondes millimétriques. De plus, les mesures manquent de précision quand il s'agit de circuits oscillants car les analyseurs présentent généralement des ports de mesure adaptés à 50 Ohms. D'un point de vue matériel, ces dispositifs sont constitués d'amplificateur sélectif, de détecteurs synchrones, d'oscillateurs locaux, de multiplicateurs de fréquence etc qui les rendent complexes, coûteux et sont destinés à un environnement physique particulier.

1.3 Les analyseurs de réseau homodynes

Contrairement au modèle précédent, les systèmes homodynes effectuent la mesure directe des paramètres S à une fréquence d'excitation donnée. La jonction à six- port est le modèle couramment rencontré sur le marché. Elle a été le fruit de l'initiative d'Engen du NBS vers 1972 [3]. Présentée au début comme une alternative, elle est devenue un instrument de mesures micro-ondes très précis et peut être utilisée pour des mesures à haute puissance et une large gamme de fréquences couvrant les micro-ondes et les ondes millimétriques. La jonction six- port, tout en éliminant la partie hétérodyne, permet de déterminer le facteur de réflexion d'un dispositif sous test (qui est directement lié à son impédance d'entrée) ou alternativement de trouver le rapport en module et phase entre différents signaux à partir des lectures de puissances.

1.3.1 Principe de la méthode six- port

Le six- port doit son appellation à son circuit à six accès : un accès d'entrée noté P_1 , un accès de sortie P_2 et quatre ports de mesure (P_3 , P_4 , P_5 et P_6). La structure du six port est présentée à la figure 1.2.

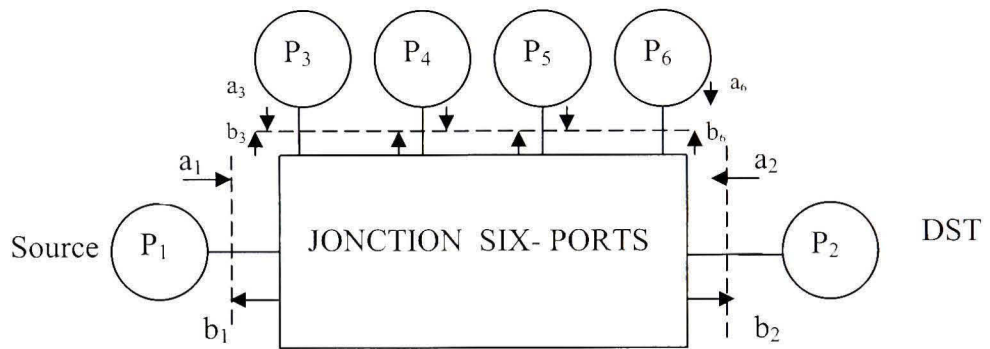


Figure 1.2 Structure de la jonction six- port.

Le port P_3 sera considéré comme référence et fournira un signal proportionnel à l'entrée. La mesure des puissances est assurée par des capteurs de puissance placés aux ports P_3 , P_4 , P_5 et P_6 . La topologie d'un six- port est faite d'éléments passifs comme des coupleurs, des déphaseurs et des diviseurs de puissance tel qu'illustré dans le circuit de la figure 1.3 :

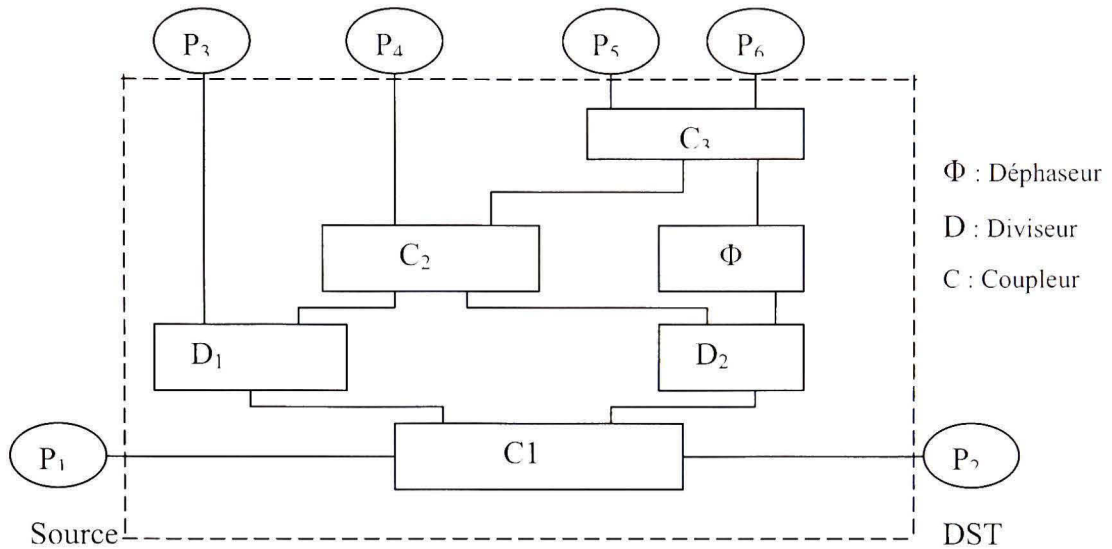


Figure 1.3 Circuit d'une jonction six- ports.

Le signal émis par la source est d'entrée de jeu échantillonné par un coupleur avant d'être soumis au diviseur de puissance D_1 . Généralement on utilise une jonction hybride (C_1) à cet étage pour assurer l'échantillonnage de l'onde incidente. L'onde a_2 réfléchie par la charge ou le circuit sous test au port 2 sera combinée à l'onde incidente a_1 pour présenter quatre signaux de puissance aux ports P_3 , P_4 , P_5 et P_6 . Cette combinaison se fait de façon linéaire dans les conditions idéales. En pratique, on utilise le diagramme de fluence pour tenir compte de l'effet de mésadaptation du générateur et des défauts de directivités des coupleurs.

Le coefficient de réflexion s'extrait par la connaissance des rapports $\frac{P_4}{P_3}$, $\frac{P_5}{P_3}$, $\frac{P_6}{P_3}$ ainsi que les constantes de calibration de la jonction six- port. Il est également possible de connaître la puissance absorbée par la charge à travers cette configuration. Celle-ci est directement liée au niveau de puissance à l'accès P_3 , au coefficient de réflexion ainsi qu'aux paramètres d'étalonnage.

1.3.2 De la jonction six- port à l'analyseur de réseau six- port

La jonction six- port doit son essor dans le domaine de l'instrumentation et de la mesure à son faible coût et à la qualité des mesures due à la simplicité des circuits qui le constituent. A son utilisation comme réflectomètre, s'ajoute son intérêt dans des applications comme les radars de sécurité pour les automobiles, les démodulateurs numériques, le contrôle d'antennes adaptatives ou même dans les boucles à verrouillage de phase et de récupération de porteuse.

A partir de ce succès, il a été possible de développer un système de mesure pour les dispositifs micro-ondes : l'analyseur de réseau à six- port, communément appelé analyseur de réseau homodyne [3]. Il sera constitué de deux circuits six- port, d'un diviseur de puissance, de deux déphaseurs réglables ainsi que d'un atténuateur réglable comme le montre la figure 1.4 :

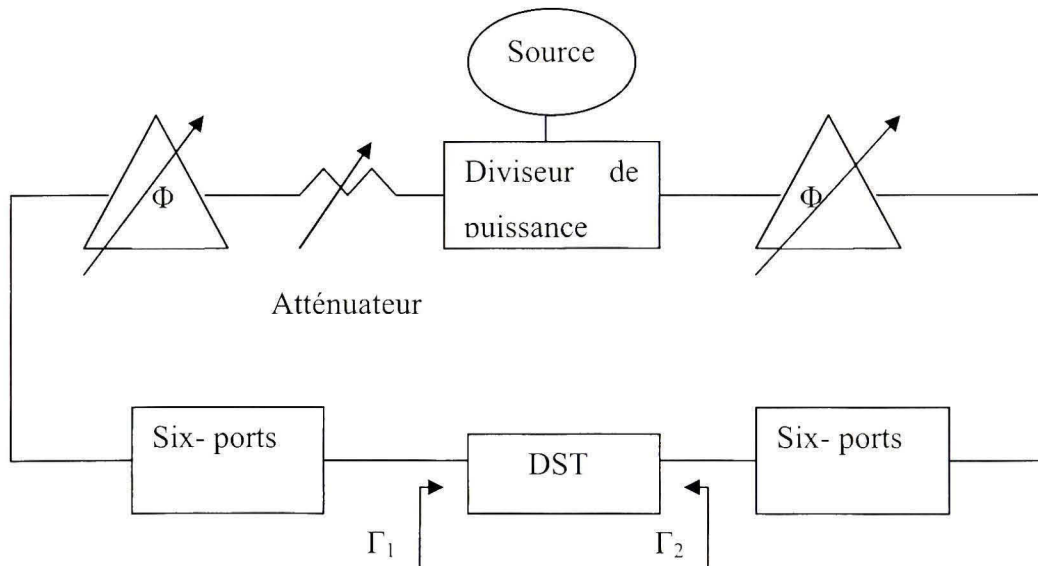


Figure 1.4 Analyseur de réseau homodyne.

On note à la figure 1.4 que le signal de la source RF est séparé en deux par un diviseur de puissance. Chaque partition attaque les circuits six- port auxquels est connecté le dispositif sous test. Les phases et les amplitudes des signaux incidents aux entrées des six- port sont

ajustés par des déphaseurs et atténuateurs réglables. En variant le déphasage de chaque six-port ainsi que l'atténuation, on mesure les coefficients de réflexion qui serviront à extraire les paramètres S du DST.

1.3.3 Équations régissant le fonctionnement de la jonction six- port

Considérons une jonction six- port linéaire avec des capteurs de puissance raccordés aux ports 3, 4, 5, et 6 tel qu'illustrée à la figure 1.3. Nous avons donc :

$$b_i = \sum_{j=1}^6 S_{ij} a_j \quad i=1..6 \quad (1.1)$$

a_i et b_j représentent respectivement les pseudo ondes incidentes et émergentes de la jonction et S_{ij} sont les paramètres de dispersion.

Si Γ_j est le coefficient de réflexion au port j, alors nous pouvons écrire :

$$a_j = \Gamma_j b_j \quad j=3..6 \quad (1.2)$$

Somme toute, nous avons un système de 10 équations à 12 inconnues : a_i et b_j

Nous pouvons également exprimer chacune des ondes émergentes sous forme de combinaison linéaire des ondes au port 2 :

$$b_i = A_i a_2 + B_i b_2 \quad i=3..6 \quad (1.3)$$

avec A_i et B_i des constantes déterminant les caractéristiques de la jonction six- port.

En termes de puissance, nous avons :

$$P_i = |b_i|^2 (1 - |\Gamma_i|^2) = |A_i a_2 + B_i b_2|^2 (1 - |\Gamma_i|^2) \quad i=3..6 \quad (1.4)$$

ou encore :

$$P_i = |A_i \Gamma_2 + B_i|^2 (1 - |\Gamma_i|^2) |b_2|^2 \quad i=3..6 \quad (1.5)$$

$$\text{Posons } \alpha_i = A_i \sqrt{1 - |\Gamma_i|^2} \quad (1.6)$$

$$\beta_i = B_i \sqrt{1 - |\Gamma_i|^2} \quad (1.7)$$

L'équation 1.5 s'écrit de la façon simplifiée comme suit :

$$P_i = |\alpha_i \Gamma_2 + \beta_i|^2 |b_2|^2 \quad i=3..6 \quad (1.8)$$

Généralement, on conçoit le réflectomètre de façon à ce que la puissance mesurée par le détecteur 3 soit indépendante de la charge présentée au port de mesure. Ainsi avons- nous :

$$P_3 = |\alpha_3 \Gamma_2 + \beta_3|^2 |b_2|^2 \quad (1.9)$$

En faisant le rapport des équations 1.8 et 1.9, nous obtenons

$$\frac{P_i}{P_3} = \frac{|\alpha_i \Gamma_2 + \beta_i|^2}{|\alpha_3 \Gamma_2 + \beta_3|^2} = \frac{|\frac{\alpha_i}{\beta_3} \Gamma_2 + \frac{\beta_i}{\beta_3}|^2}{|\frac{\alpha_3}{\beta_3} \Gamma_2 + 1|^2} \quad (1.10)$$

$$\text{Définissons le rapport } |W_k|^2 = \frac{P_i}{P_3} \text{ pour } k=1,2,3 \text{ et } i=k+3 \quad (1.11)$$

$$\text{Les équations 1.10 et 1.11 deviennent : } |W_k|^2 = \left| \frac{d_k \Gamma_2 + e_k}{c \Gamma_2 + 1} \right|^2 \quad (1.12)$$

$$\text{avec } d_k = \frac{\alpha_i}{\beta_3} ; e_k = \frac{\beta_i}{\beta_3} ; c = \frac{\alpha_3}{\beta_3}$$

Ces équations définissent trois cercles dans le plan complexe. Leur point de concours détermine le coefficient de réflexion Γ_2 au port de mesure. Pour expliciter les équations de cercles, il faudra connaître les paramètres c, d et e de l'équation 1.12. C'est ce que vise la calibration du six- port.

1.3.4 Techniques de calibration de la jonction six- port

Il existe plusieurs méthodes de calibration d'un six- port [4]. Celles développées dans la littérature sont basées sur la résolution des équations générées par la réduction d'un six- port conventionnel à un quatre- port. Parmi les techniques d'étalonnage, citons :

- la méthode à sept standards (Woods)
- la méthode Shihe Li
- La méthode à standards et demi (Hodgetts)

- La méthode à charge coulissante (Ghannouchi)
- La méthode d'Engen [5]

La différence entre ces méthodes réside dans la façon de construire les équations en utilisant des étalons connus, des charges variables ou fixes [4]. Dans la suite du chapitre, nous présenterons la méthode Engen dont l'avantage est de rendre l'étalonnage facile de programmation.

Tout comme les autres méthodes, elle consiste à réduire le six- port en quatre- port et à rajouter une boîte d'erreur qui servira de correction par rapport au plan de mesure [5, 6, 7, 8]. La figure 1.5 présente sa procédure de calibration

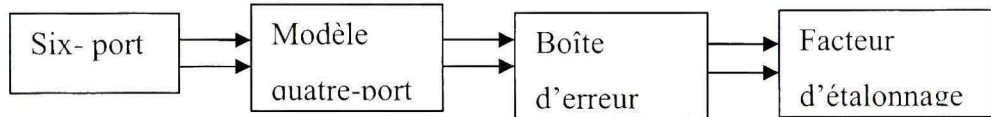


Figure 1.5 Procédure de calibration.

En extrayant le coefficient de réflexion à partir de l'équation 1.12, nous obtenons :

$$\Gamma_2 = \frac{e_k - W_k}{cW_k - d_k} \quad (1.13)$$

En posant $Q_k = |W_k|^2$, nous définissons 3 équations par élimination de Γ_2 :

$$Q_1 = |W_1|^2 \quad (1.15)$$

$$A^2 Q_2 = |W_1 - m|^2 \quad (1.16)$$

$$B^2 Q_3 = |W_1 - n|^2 \quad (1.17)$$

A, B, m et n étant des paramètres liés à c, d et e.

Étant donné que les équations sont définies dans le plan complexe, nous généraliserons en utilisant la forme complexe des paramètres.

$$m = M \cos(\theta) + jM \sin(\theta) \quad (1.18)$$

$$n = N \cos(\phi) + jN \sin(\phi) \quad (1.19)$$

$$W_1 = u_1 + jv_1 \quad (1.20)$$

En faisant la différence entre les équations 1.15, 1.16 et 1.17, nous obtenons :

$$A^2 Q_2 - Q_1 = -2Mu_1 \cos(\theta) - 2Mv_1 \sin(\theta) + M^2 \quad (1.21)$$

$$B^2 Q_3 - Q_1 = -2Nu_1 \cos(\phi) - 2Nv_1 \sin(\phi) + N^2 \quad (1.22)$$

Ces 2 dernières équations peuvent s'exprimer sous forme matricielle :

$$\begin{pmatrix} u_1 \\ v_1 \end{pmatrix} = (\sin(\phi - \theta))^{-1} \begin{pmatrix} \sin \phi & -\sin \theta \\ -\cos \phi & \cos \theta \end{pmatrix} \begin{pmatrix} \frac{M^2 + Q_1 - A^2 Q_2}{2M} \\ \frac{N^2 + Q_1 - B^2 Q_3}{2N} \end{pmatrix} \quad (1.23)$$

Une façon de transformer les variables complexes en réelles est de déclarer d'autres variables qui seront associées à leur module. Posons donc :

$$p = |m - n|^2 \quad (1.24)$$

$$q = |n|^2 \quad (1.25)$$

$$r = |m|^2 \quad (1.26)$$

Nous pouvons simplifier l'équation 1.23 comme suit :

$$\begin{pmatrix} u_1 \\ v_1 \end{pmatrix} = (\sin(\phi - \theta))^{-1} \begin{pmatrix} \sin \phi & -\sin \theta \\ -\cos \phi & \cos \theta \end{pmatrix} \begin{pmatrix} \delta \\ \varepsilon \end{pmatrix} \quad (1.27)$$

avec $\chi = \frac{p - q - r}{2\sqrt{qr}}$ (1.28)

$$\delta = \frac{M^2 + Q_1 - A^2 Q_2}{2M} = \frac{r + Q_1 - A^2 Q_2}{2\sqrt{r}} \quad (1.29)$$

$$\varepsilon = \frac{N^2 + Q_1 - B^2 Q_3}{2N} = \frac{q + Q_1 - B^2 Q_3}{2\sqrt{q}} \quad (1.30)$$

D'autre part, l'équation 1.15, pourrait s'écrire autrement :

$$Q_1 = \begin{pmatrix} u_1 \\ v_1 \end{pmatrix}^t \begin{pmatrix} u_1 \\ v_1 \end{pmatrix} \quad (1.31)$$

En remplaçant les équations 1.27 à 1.30 dans 1.31, on obtient une équation dont les seuls paramètres sont A^2 , B^2 , p , q et r qui satisfont à l'équation suivante :

$$pQ_1^2 + qA^4Q_2^2 + rB^4Q_3^2 + (r-p-q)A^2Q_1Q_2 + (p-r-q)B^2Q_1Q_3 + (p-r-q)A^2B^2Q_1Q_3 + p(p-r-q)Q_1 + q(q-r-p)A^2Q_2 + r(r-p-q)B^2Q_3 + pqr = 0 \quad (1.32)$$

En linéarisant 1.32, nous avons :

$$X_1Q_1^2 + X_2Q_2^2 + X_3Q_3^2 + X_4Q_1Q_2 + X_5Q_1Q_3 + X_6Q_2Q_3 + X_7Q_1 + X_8Q_2 + X_9Q_3 + 1 = 0 \quad (1.33)$$

1.3.5 Étalonnage treize standards

Les paramètres A^2 , B^2 , p , q et r peuvent être extraits en branchant successivement 9 charges différentes. En pratique, on utilise 13 charges réparties uniformément sur l'abaque de Smith. On peut utiliser à cet effet un circuit mobile et des atténuateurs pour obtenir les 13 charges pour lesquelles on lit les puissances de sortie du port 3 au port 6. La résolution du système nous fournit les paramètres de calibration :

$$\begin{aligned} A^2 &= \sqrt{prX_2} \\ B^2 &= \sqrt{pqX_3} \\ q &= \frac{2X_4 - X_7X_8}{2X_1X_8 - X_7X_4} \\ r &= \frac{2X_5 - X_7X_9}{2X_1X_9 - X_7X_5} \\ p &= r + q + \frac{X_7}{X_1} \end{aligned} \quad (1.34)$$

1.3.6 Boîte d'erreur

Après avoir calibré le six- port, c'est-à-dire trouvé W , il ne nous reste qu'à calculer le coefficient de réflexion de la charge sous test. On fait appel à la notion de boîte d'erreur par rapport à laquelle s'effectue le déplacement du plan de mesure. La boîte d'erreur est en d'autres termes la transformation qui permet de passer le plan de calcul W au plan physique Γ tel qu'illustré à la figure 1.6 :

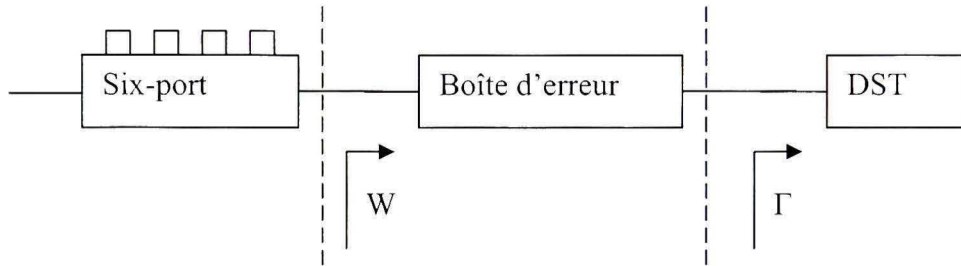


Figure 1.6 Boîte d'erreur.

Elle peut être représentée par une matrice 2x2 de paramètres de dispersion S . La relation de changement de plan de référence est donnée comme suit [9] :

$$W = S_{11} + \frac{S_{12}S_{21}\Gamma}{1 - S_{22}\Gamma} \quad (1.35)$$

Sous forme bilinéaire, cette relation s'écrit :

$$W = \frac{d\Gamma + e}{c\Gamma + 1} \quad (1.36)$$

L'équation 1.36 est en parfaite adéquation avec 1.12 que nous avons démontrée plus haut. Il suffit alors de déterminer les constantes c , d et e à partir de trois étalons bien connus ainsi qu'une quatrième charge afin de supprimer l'ambiguïté de signe [4] : on parle de méthode trois standards et demi.

1.3.7 Mesure de performance du six- port

Les performances du six- port dépendent principalement de la construction physique de son circuit ainsi que de la justesse de l'étalonnage. Les paramètres de calibration (A^2 , B^2 , p , q , r , c , d et e) déterminent le positionnement des centres de cercles (notés q_i) dont les rayons sont liés à la gamme dynamique des détecteurs de puissance. La simulation par ordinateur [6] révèle que l'étalonnage est moins fiable pour des $|q_i|$ proches de 1 ou de Γ . Par contre les résultats sont concluants pour $|q_i| \approx 1.5$. Pour une jonction idéale, $|q_1|=|q_2|=|q_3|$ avec une différence de phase de 120° entre eux [6].

1.3.8 Avantages et inconvénients des analyseurs de réseau homodynes

Le principal avantage des systèmes homodynes réside dans la simplicité de sa conception faisant intervenir des circuits linéaires. De plus ils offrent la possibilité de mesurer le flux de puissance contrairement au système hétérodyne. Par contre, ils sont sensibles à la variation des fréquences. A cela s'ajoute l'effort de calcul de la procédure d'étalonnage.

Si l'agilité et la reconfigurabilité sont les principaux critères visés dans les prochains systèmes de communication, il importe avant tout de connaître l'état de fonctionnement des différents circuits intégrés pour pouvoir modifier leur caractéristique dans le temps. Les techniques actuelles de caractérisation s'avèrent alléchantes mais ne répondent pas toujours aux critères coût, simplicité et flexibilité. En effet, nous avons vu dans les sections précédentes que la technique hétérodyne nécessite l'utilisation des circuits complexes qui du coup affectent son coût. La méthode six- port quant à elle paraît attrayante de part sa simplicité de conception. Toutefois la difficulté réside dans la procédure d'étalonnage paraissant très laborieuse. Le tableau suivant résume les avantages et inconvénients des systèmes de caractérisation existant par rapport aux exigences du marché des télécommunications :

Systèmes	Agilité	Reconfigurabilité	Faible coût	Facilité
Hétérodyne	NON	NON	NON	OUI
Homodyne	NON	NON	OUI	NON

Nous proposons alors une nouvelle approche de caractérisation.

1.4 Nouvelle approche de caractérisation

La nouvelle approche de caractérisation retenue en guise de compromis à ces différentes techniques consiste à utiliser un simple détecteur de gain et de phase. Nous avons opté pour le détecteur d'Analog Devices (AD8302) qui permet de connaître la différence d'amplitude et de phase entre deux signaux RF présentés à ses entrées. Des mesures de réflexion et en transmission peuvent être réalisées avec différentes configurations en utilisant des coupleurs bidirectionnels et au besoin des circulateurs ou isolateurs.

Cette technologie à coût faible permet donc de mesurer les paramètres S d'un DST tout comme un analyseur de réseau à six- port et ne nécessite pas une procédure fastidieuse de calibration. Une topologie de mesure se basant sur le détecteur choisi est illustrée à la figure 1.7 :

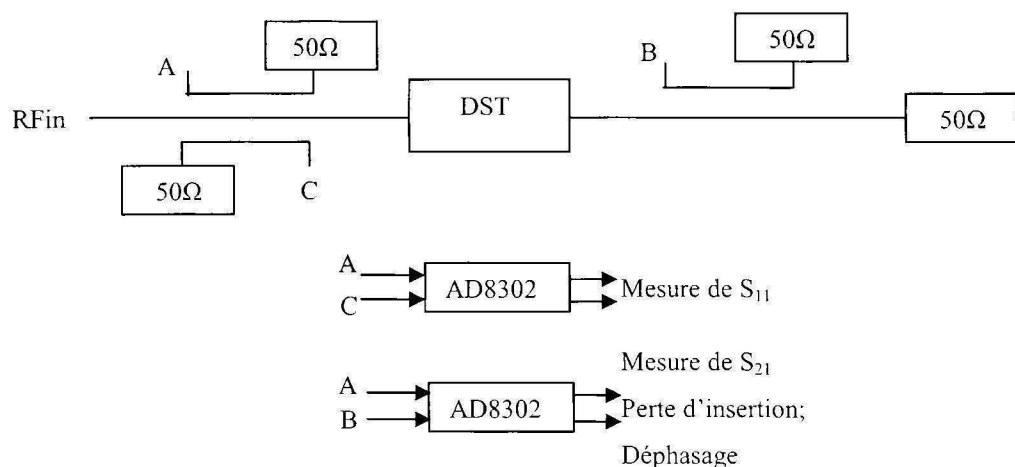


Figure 1.7 Exemple de topologie de mesure avec le AD8302.

Méthodologie

La méthodologie d'utilisation du AD8302 consiste à se servir dans un premier temps de deux sources indépendantes pour valider les performances de la carte. Dans un second temps, nous utiliserons des coupleurs. Dans ce cas, les sources deviennent dépendantes ; il est donc nécessaire d'envisager des techniques de calibration.

1.5 Conclusion

L'évaluation de la performance des circuits RF passifs ou actifs se fait par l'entremise d'instruments de mesure précis. L'analyseur de réseau est l'outil par excellence pour assurer la caractérisation de ces circuits. Dans ce chapitre, nous avons présenté les différents types d'analyseurs de réseau : homodyne et hétérodyne ainsi que leur principe de fonctionnement.

L'analyseur de réseau hétérodyne est basé sur le principe de transposition de fréquences à partir des mélangeurs, des filtres, des multiplicateurs de fréquences qui le constituent. Ce qui le rend cher. L'analyseur de réseau homodyne quant à lui se fait distinguer par la simplicité de son circuit, mais en revanche s'avère laborieux à calibrer. Nous avons par conséquent investigué une nouvelle approche de mesure afin de répondre aux critères d'agilité, de flexibilité, de reconfigurabilité avec une technologie à faible coût : utilisation du détecteur d'Analog Devices AD8302 qui fera l'objet du chapitre suivant.

CHAPITRE 2

ÉTUDE ET CARACTÉRISATION DE LA CARTE AD8302 D'ANALOG DEVICES

2.1 Introduction

Développé par la compagnie Analog Devices, l'AD8302 est un des premiers circuits intégrés permettant de mesurer le rapport complexe de deux signaux indépendants. Il serait l'aboutissement de plusieurs autres produits développés par la même compagnie pour pallier certaines difficultés liées à la détection de puissance par les diodes (AD8309, AD8310, AD8313, AD8314...). En effet, la connaissance des niveaux de puissances est d'une grande utilité dans les systèmes de radiocommunication sans fil car elle permet d'ajuster les paramètres de l'“Automatic Gain Control ” (AGC) dans une chaîne de transmission. Or les circuits de détections conventionnellement utilisés sont à base de diodes. Ces dernières exigent un effort de calibration, de linéarisation et sont souvent confrontés à un problème thermique. Pour venir à bout de ces problèmes, Analog Devices a développé plusieurs types d'amplificateurs logarithmiques démodulateurs permettant de mesurer le rapport de deux signaux en terme de puissance à partir des enveloppes des signaux. Toutefois dans plusieurs applications, il est nécessaire de connaître la différence relative en phase des signaux. Un détecteur de phase a été ajouté aux fonctions des amplificateurs logarithmiques démodulateurs. Le nouveau produit sera désigné sous le nom d'AD8302.

Utilisé à ses débuts comme un comparateur de signaux (détecteur de gain et de phase (DGP)), ce nouvel opus trouvera son utilité dans plusieurs autres applications. Il peut être entre autre utilisé comme un réflectomètre pour effectuer l'ajustement d'une charge telle une antenne afin de minimiser le taux d'ondes stationnaire.

Dans ce chapitre, nous passerons en revue le principe de fonctionnement de la carte AD8302, ses modes et conditions d'opération et ferons un bref aperçu de ses applications. Nous ferons par la suite une étude détaillée pour mettre en relief ses performances.

2.2 Description du système

2.2.1 Principe de fonctionnement

L'AD8302 permet de mesurer en dB le rapport de niveau de puissance et la différence de phase en degrés en produisant à la sortie deux tensions analogiques : une proportionnelle au rapport de puissance et l'autre relative au déphasage des signaux RF à ses deux entrées.

Son circuit simplifié est constitué de deux détecteurs logarithmiques identiques ayant chacun une plage dynamique de 60 dB, un détecteur numérique de phase et des amplificateurs de puissance. Le détecteur logarithmique produit deux signaux : un proportionnel au logarithme de l'enveloppe du signal d'entrée et le second représente le signal limité IF comportant l'information sur la phase et la fréquence. Les deux premières sorties des détecteurs sont envoyées dans un combineur pour obtenir le rapport d'amplitude des signaux tandis que les signaux IF sont injectés dans un mélangeur pour assurer la détection de la différence de phase. La figure 2.1 tirée de la fiche technique du AD8302 montre de façon schématique le fonctionnement de la puce.

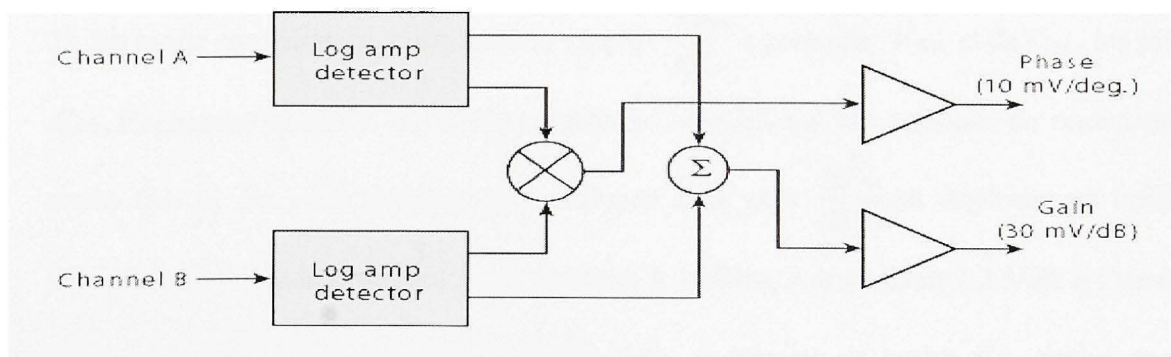


Figure 2.1 Circuit simplifié du AD8302.

Les performances de la carte d'évaluation dépendent de plusieurs paramètres dont la différence d'amplitudes des signaux appliqués, leur bande passante ainsi que la température

de fonctionnement du dispositif. Le circuit complet de la carte (détecteur de gain et de phase DPG) est montré à la figure 2.2 :

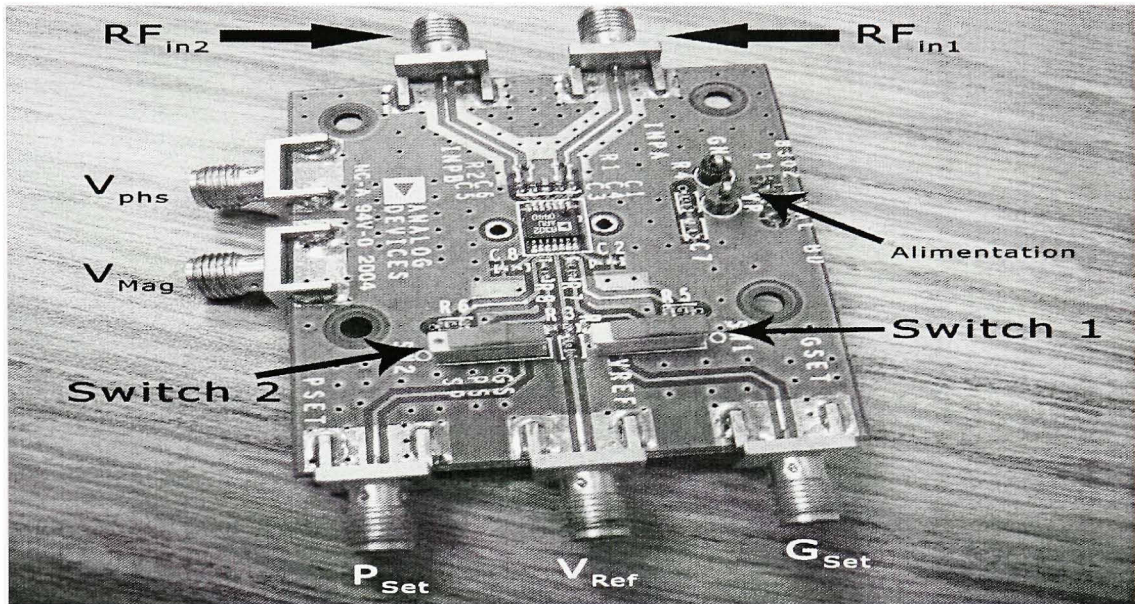


Figure 2.2 Carte d'évaluation AD8302 (DPG).

Elle peut être utilisée en mode comparateur ou en mode contrôleur à partir des switches (1 et 2). En mode comparateur, on mesure le rapport $\frac{RF_{in1}}{RF_{in2}}$ à partir de V_{Mag} et de V_{Phs} , les pins V_{Ref} , G_{Set} , P_{Set} restent flottants. En mode contrôleur, on applique des tensions de commande aux accès G_{Set} et P_{Set} . Par exemple pour indiquer si le gain $\frac{RF_{in1}}{RF_{in2}}$ est supérieur ou inférieur à 10dB, on applique une tension correspondant à 10dBm, soit environ 1.2 Volt à l'accès G_{Set} . Si le rapport $\frac{RF_{in1}}{RF_{in2}}$ est supérieur à 10dB alors la tension de sortie V_{Mag} atteint sa valeur maximale qui avoisine 1.8V. Dans le cas échéant, la tension chute à sa valeur minimale proche de 0. On peut procéder de la même façon pour contrôler la phase en appliquant la tension de référence à l'accès P_{Set} .

Les fonctions de gain et de phase sont indépendantes l'une de l'autre. Il est donc possible d'utiliser simultanément une des fonctions en mode comparateur (ou mode de mesure) et l'autre en mode contrôleur.

2.2.2 Caractéristiques du DGP

Mathématiquement, la sortie du détecteur s'exprime comme suit [Annexe I]:

$$V_{out} = V_{slp} \log\left(\frac{V_{in}}{V_z}\right) \quad (2.1)$$

avec V_{in} la tension du signal d'entrée, V_z la tension de calibration pour laquelle V_{out} s'annule (0dB); cette tension est appelée "tension d'interception" et change en fonction de la forme du signal; V_{slp} est la pente exprimée en volt/Décade. Généralement, on utilise la forme $V_{slp}/20$ qui représente le voltage par décibel (Volt/dB).

Pour deux signaux entrants de voltage V_{inA} et V_{inB} , la sortie de chaque amplificateur logarithmique s'écrira de la façon suivante (du fait de l'identité des deux détecteurs):

$$\begin{aligned} V_{outA} &= V_{slp} \log\left(\frac{V_{inA}}{V_z}\right) \\ V_{outB} &= V_{slp} \log\left(\frac{V_{inB}}{V_z}\right) \end{aligned} \quad (2.2)$$

En faisant la différence des équations (2.2), nous obtenons :

$$\begin{aligned} V_{Mag} &= V_{outA} - V_{outB} = V_{slp} \left(\log\left(\frac{V_{inA}}{V_z}\right) - \log\left(\frac{V_{inB}}{V_z}\right) \right) \\ &= V_{slp} \log\left(\frac{V_{inA}}{V_{inB}}\right) \end{aligned} \quad (2.3)$$

La pente V_{slp} peut être légèrement sensible à la température, à la fréquence d'opération ou à l'alimentation du circuit. Dans tous les cas, sa valeur moyenne est de 0.6 Volt/Décade ou 30mV/dB. La puissance des signaux d'entrées doit être comprise entre -60dBm et 0 dBm.

Pour éviter des voltages négatifs, un offset (tension de référence) a été introduit dans le circuit de façon à ce que la sortie minimale soit de 0Volt. L'équation (2.3) devient alors :

$$V_{Mag} = V_{slp} \log\left(\frac{V_{inA}}{V_{inB}}\right) + V_{ref} \quad (2.4)$$

où $V_{ref} = 0.9\text{Volt}$. Cette dernière représente la fonction de transfert du DPG en amplitude. La tension de sortie V_{Mag} peut varier alors de 0 à 1.8 Volt et la différence de puissances en décibel pouvant être détectée est de $\pm 30\text{dB}$.

La figure 2.3 illustre la variation de la tension V_{Mag} en fonction des signaux d'entrée pour des fréquences radio cellulaires les plus connues [Annexe I]:

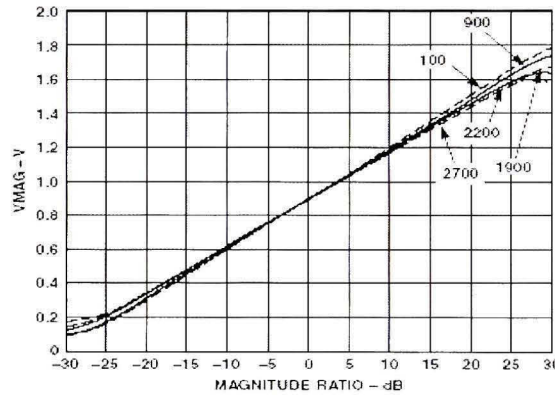


Figure 2.3 Fonction de transfert en amplitude du DPG.

De façon analogue à la détection d'amplitude, l'équation régissant la détection de phase s'exprime en fonction de la différence de phase des signaux en suivant une pente :

$$V_{Phs} = V_{\phi}(\Phi(V_{inA}) - \Phi(V_{inB})) \quad (2.5)$$

L'équation (2.5) est appelée fonction de transfert en phase du DPG. V_{ϕ} représente la pente en mV/degré. Idéalement sa valeur absolue est de 10mV/degré. La fonction $\Phi(x)$ représente la phase relative des signaux d'entrée en degrés.

Le point central (V_{ref}) est choisi à $\pm 90^\circ$. Ce qui correspond à une variation de la tension de sortie V_{phs} de 0 à 1.8 Volt. La figure 2.4 tirée de la fiche technique du AD8302 [Annexe I] montre la réponse du circuit intégré en fonction de la différence de phase entre les deux signaux :

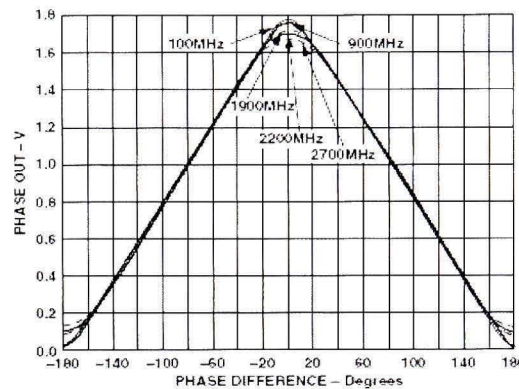


Figure 2.4 Fonction de transfert en phase du DPG.

La détection de phase se faisant de façon symétrique, il est impossible de savoir si la phase du signal A est en avance ou en retard sur la phase du signal B. Autrement dit, le DPG ne permet pas de connaître le signe associé à la différence de phase. Nous verrons plus loin comment lever cette ambiguïté de phase.

2.2.3 Spécifications

L'AD8302 peut opérer de 100MHz à 2.7 GHz. Il effectue toutefois des mesures précises en amplitude jusqu'à la fréquence de 3GHz. L'exactitude des mesures de phase se fait par contre sur une bande relativement réduite à 2.7 GHz. Il fonctionne particulièrement bien à de basses fréquences ; il est donc bien adapté pour les applications en bande de base, IF et RF.

Par ailleurs, l'impédance d'entrée aux ports RF_{in1} et RF_{in2} est une fonction de la fréquence et des capacités parasites induites. Pour des fréquences modérées, elle peut équivaloir à une résistance de $3K\Omega$ disposée en parallèle à une capacité de 2pF. Aux hautes fréquences, cette

résistance peut décroître jusqu'à 500Ω . La variation de l'impédance d'entrée en fonction de la fréquence est illustrée comme suit [Annexe I] :

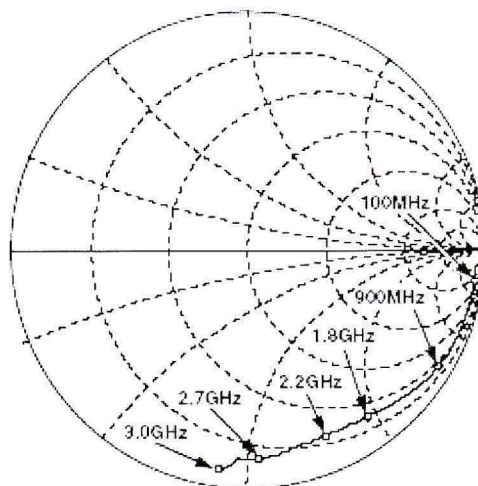


Figure 2.5 Impédances d'entrée du DPG en fonction de la fréquence.

D'après la fiche technique, le DPG est reconnu pour l'exactitude de ses mesures : 1dB d'erreur en amplitude et une plage dynamique de plus 55dB. En phase, l'erreur est de 3° pour une plage dynamique de 180° . La compilation des spécifications se tabule comme voici :

Fréquences	100MHz - 2.7GHz
Plage dynamique	55dB en amplitude 180° en phase
Précision	± 1 dB en amplitude $\pm 3^\circ$ en phase
Impédance d'entrée aux basses fréquences	(R)3K Ω // 2pF (C)
Impédance d'entrée aux hautes fréquences	(R)3K Ω -500 Ω //2pF (C)

2.2.4 Applications

Qu'elle soit en mode de mesure ou de contrôleur, la carte peut être utilisée pour plusieurs applications. L'AD8302 offre la possibilité de mesurer continuellement la distribution de gain ou sa variation à travers une section de circuit. Il peut être configuré comme un circuit moniteur mesurant constamment la différence entre les signaux qui peut être par la suite numérisée ou être configuré comme un indicateur d'alarme s'il est utilisé en mode contrôleur. Une autre application majeure consiste à mesurer la perte ou le gain de conversion d'un mélangeur ou pour assurer le contrôle et la surveillance d'un "Power Amplifier" (PA).

D'autre part, il peut servir dans les boucles de poursuite pour réaliser les circuits de linéarisation. Son utilisation est adéquate pour toutes les architectures de linéarisation incluant la prédistorsion et le feedforward. Dans un système feedforward, il est employé pour surveiller l'annulation de la porteuse dans la première boucle du PA ainsi que l'annulation de la déformation dans la boucle "erreur- amplificateur".

2.3 Caractérisation du DPG

La caractérisation du DPG consiste à établir les fonctions de transfert aussi bien en phase qu'en amplitude afin d'extraire la différence en dB équivalant au rapport en amplitude des signaux et leur différence de phase. Pour ce faire, nous utiliserons deux sources indépendantes pour avoir des signaux complètement découplés. Le système est piloté par un logiciel de contrôle et d'acquisition de données : le HP VEE [12].

2.3.1 Présentation du logiciel HP VEE

Mis en œuvre par Agilent Technologies, HP VEE est un logiciel pour l'automatisation des instruments. Il permet d'effectuer la communication entre les équipements micro-ondes ayant un port HP- IB ou GPIB et un ordinateur. Le logiciel étant conçu sur une plateforme

graphique assez simple, l'implémentation d'un programme de contrôle consiste à relier des icônes fonctionnelles ou des objets en cascade pour former un schéma fonctionnel comme dans n'importe quel autre langage textuel. Ces blocs peuvent être de type I/O HP- IB, module de calcul, affichage, contrôle d'exécution etc. L'approche unique à la programmation visuelle du logiciel lui fournit la flexibilité, la facilité d'utilisation et la facilité d'exécution.

2.3.2 Description de l'appareillage

Les premiers tests ont été effectués à l'aide de deux générateurs de signaux RF synchronisés entre eux. Le DPG est alimenté par une source DC et les sorties sont relevées par des multimètres; le tout sous contrôle d'un programme VEE (confère figure2.6) :

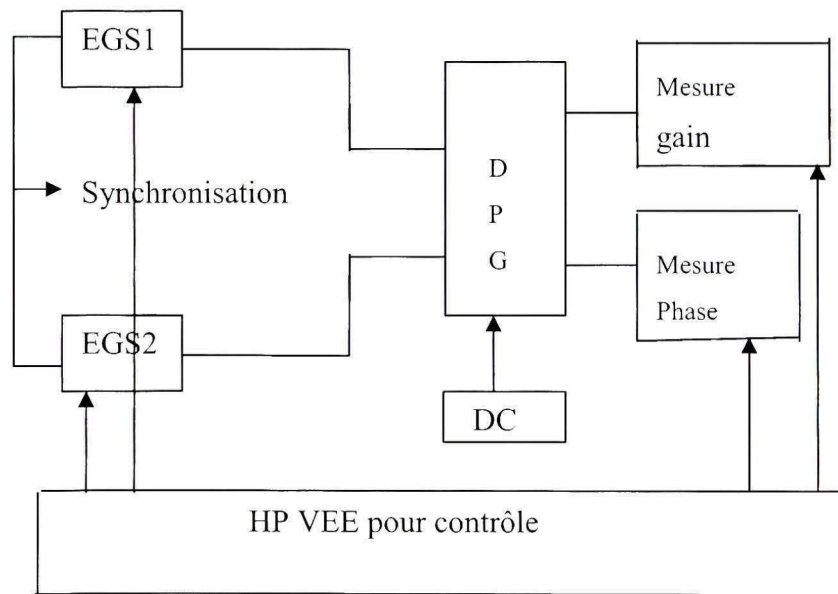


Figure 2.6 Éléments de caractérisation du DPG.

2.3.2.1 Générateurs de signaux RF

Nous avons configuré en mode “plug&play”, à partir de leur adresse, les deux générateurs de type E4433B d’Agilent. La fréquence des porteuses est initialement fixée à 900MHz. Les amplitude et phase du premier générateur sont prises comme état de référence alors que celles du second sont variables. Les deux générateurs sont verrouillés ensemble pour assurer la synchronisation. Dans un premier temps, ils seront configurés sans modulation afin de reproduire les fonctions de transfert. Nous ajouterons la modulation par la suite pour étudier son effet sur les performances du DPG.

2.3.2.2 Source d’alimentation

La carte peut être alimentée par une tension DC allant de 2.7 à 5.5 Volts et tire un courant équivalent de 17 à 25mA. Nous avons choisi sa valeur typique qui est de 5 Volts. Ceci correspond à un courant nominal de 19mA. Cette valeur sera maintenue durant tout le projet afin de rester dans les mêmes conditions d’opération. Nous avons utilisé lors des mesures la source E8244A syntonisée sur une échelle de 6V. Elle est branchée en série aux deux générateurs de signaux via le câble HP.

2.3.2.3 Multimètres

Deux multimètres E3631A sont utilisés en parallèle pour relever les tensions DC présentes aux sorties du DPG. Pour des fins de vérification, un troisième multimètre peut être branché au port V_{ref} pour s’assurer que la carte est bien calibrée. Dans le cas présent, cette tension devra correspondre à 0.9V.

Tous ces appareils étant installés et configurés sur HP VEE, l’acquisition des valeurs des multimètres se fait sous forme de fichier qui sera traité par des scripts MATLAB que nous avons intégrés au programme HP VEE pour faire une interface complète.

2.3.3 Fonctions de transfert expérimentales

Étant donné que l'impédance de sortie des générateurs qui est de 50Ω ne correspond pas à l'impédance d'entrée du DPG, nous avons à priori pensé à concevoir un circuit d'adaptation variable. Finalement cette idée a été négligée puis que la différence de puissances ne sera pas affectée par cette mésadaptation du fait que les deux entrées présentent la même impédance à la même fréquence d'excitation. Par contre, pour des mesures en phase, nous devons utiliser des câbles identiques puis que la phase reste sensible à la longueur des câbles utilisés.

2.3.3.1 Fonctions de transfert en amplitude

Pour obtenir la fonction de transfert en amplitude, nous avons programmé le banc de test tel que montré à la figure 2.7 à partir de HP VEE :

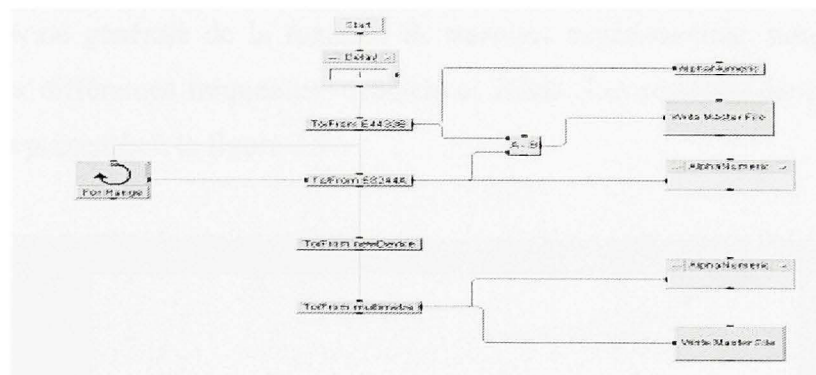


Figure 2.7 Programme de fonction de transfert en amplitude.

La puissance du générateur de référence est maintenue à -30dBm tandis que celle du second générateur varie de -60dBm à 0dBm . La réponse du DPG en fonction du rapport de puissances des signaux à la fréquence de 900MHz se présente à la figure 2.8 :

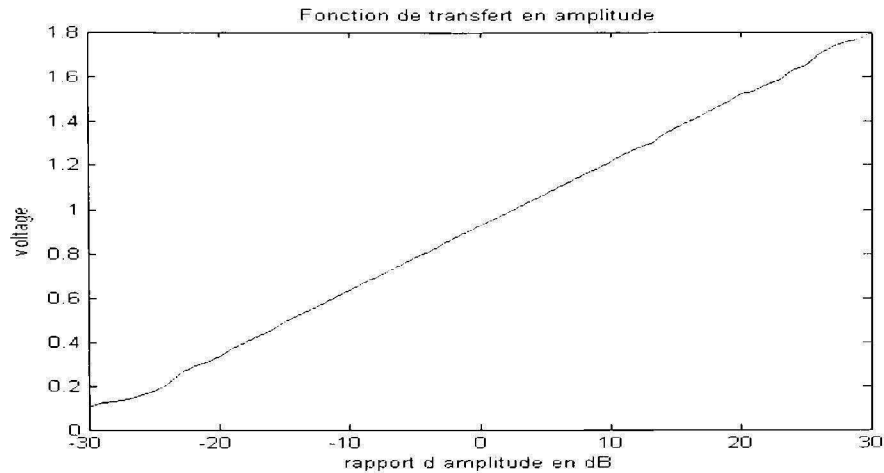


Figure 2.8 *Fonction de transfert expérimentale en amplitude à 900MHz.*

Nous avons une allure presque linéaire avec une pente moyenne de 28 mV/dB. Ce résultat est relativement proche de la valeur 30mV/dB prévue. Nous notons aussi une plage dynamique d'environ 60dB; preuve que la carte opère parfaitement bien à des fréquences modérées. La tension centrale équivalente à la tension référentielle (V_{ref}) est d'environ 0.9V. Afin de valider la forme générale de la fonction de transfert expérimentale, nous avons répété les mesures pour différentes fréquences : 1.6GHz et 2GHz. Les résultats dans ces deux cas sont identiques et présentés à la figure 2.9 :

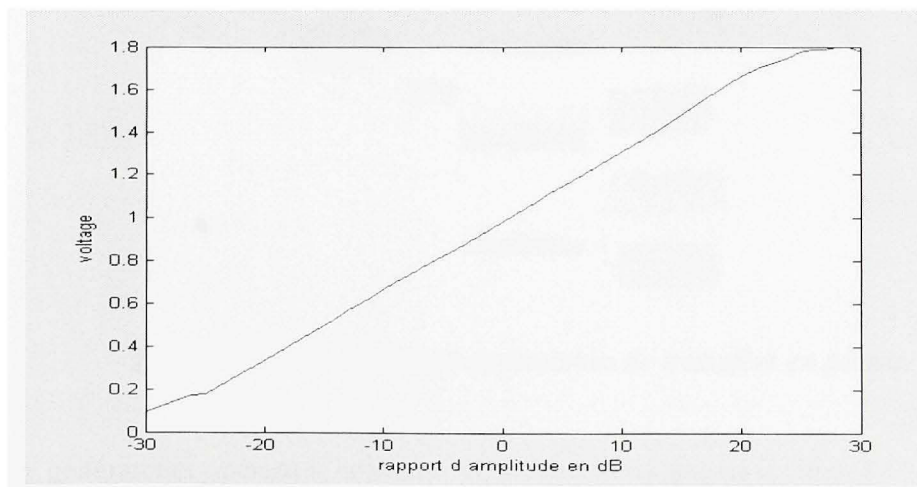


Figure 2.9 *Fonction de transfert expérimentale en amplitude à 1.6GHz et 2GHz.*

En comparant les figures 2.8 et 2.9, nous notons une similitude dans les allures des courbes. La pente dans les deux cas est de 28mV/dB et la tension centrale est très proche de 0.9V. Par contre la figure 2.9 présente une plage dynamique relativement réduite par rapport à celle de la figure 2.8. En effet la courbe devient quasi stationnaire lorsque la différence des niveaux de puissance devient supérieure à 20dB.

Au vu de ces résultats, nous pouvons déduire que le DPG a une fonction de transfert linéaire en amplitude et une plage dynamique d'au moins 50dB. Dans la suite du projet, nous utiliserons comme équation caractéristique expérimentale en amplitude, l'approximation :

$$V_{\text{Mag}} = 0.028 \Delta (\text{dB}) + 0.9 \quad (2.6)$$

2.3.3.2 Fonctions de transfert en phase

Tout comme dans le cas précédent, un programme VEE a été conçu pour étudier la réponse du DPG en phase. La figure 2.10 présente en diagramme le programme utilisé :

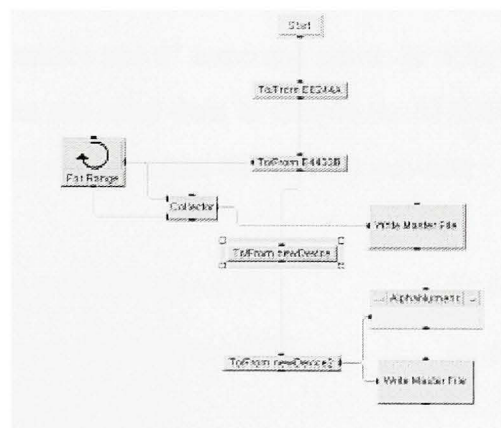


Figure 2.10 Programme de fonction de transfert en phase.

Les deux générateurs opèrent à la même fréquence initialement fixée à 900MHz et génèrent deux signaux de même niveau de puissance, à la différence que la phase du premier

générateur est nulle et celle du second varie de -180° à 180° . La figure 2.11 illustre la réponse obtenue en phase :

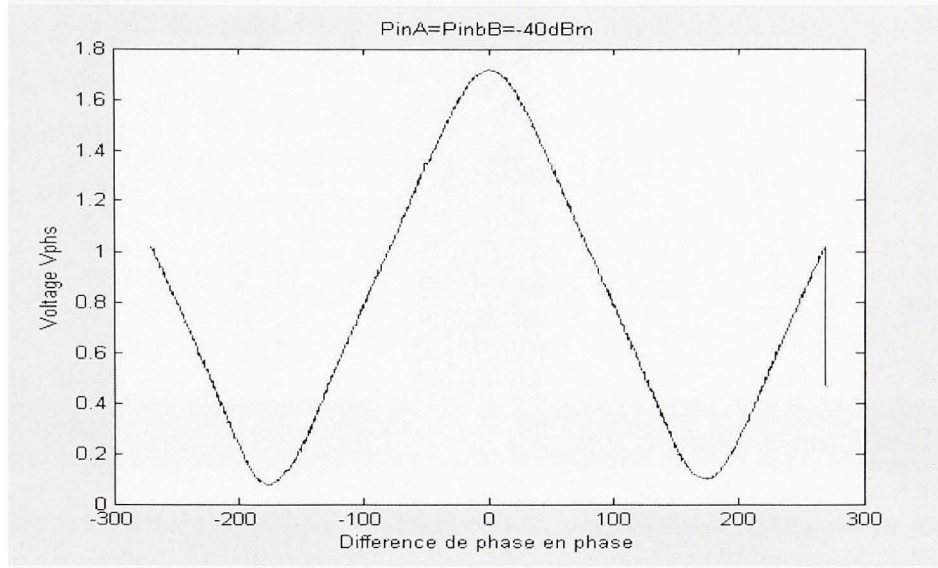


Figure 2.11 Fonction de transfert en phase.

Les figures 2.4 et 2.11 prouvent de part leur similitude l'exactitude des mesures en phase. En effet nous retrouvons la tension référentielle V_{ref} à $\pm 90^\circ$ telle que mentionnée plus haut. La courbe est symétrique et centrée sur 0° avec une pente de $\pm 9\text{mV/degré}$; valeur assez proche des $\pm 10\text{mV/degré}$ prévus en cas idéal dans la théorie du AD8302. L'équation caractéristique expérimentale en phase peut alors s'écrire de la façon suivante :

$$\begin{aligned} V_{Phs} &= 0.009\Delta_{Phs} + 1.75 & \text{Si } \Delta_{Phs} \leq 0 \\ V_{Phs} &= -0.009\Delta_{Phs} + 1.75 & \text{Si } \Delta_{Phs} \geq 0 \end{aligned} \quad (2.7)$$

Afin de mettre en évidence le déphasage provoqué par les câbles de raccordement, nous avons réalisé l'expérience qui consiste à utiliser des câbles de même type mais de longueurs différentes. Nous observons alors un décalage de la courbe par rapport à la référence comme le montre la figure 2.12.

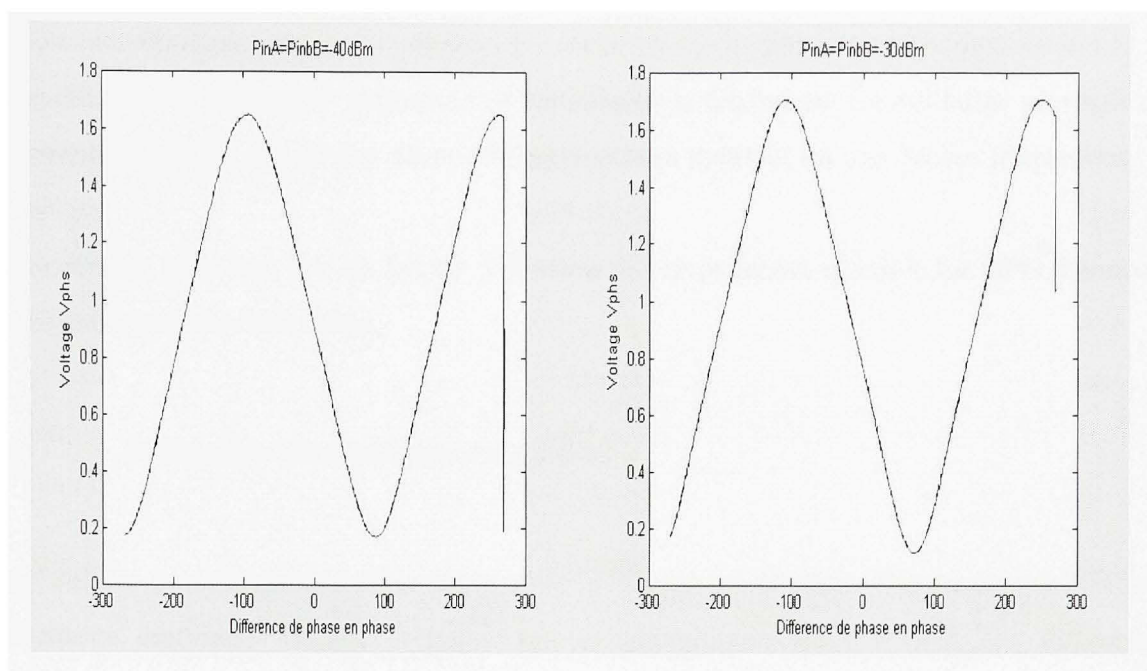


Figure 2.12 Mise en évidence de l'effet de la longueur des câbles sur la phase.

2.3.4 Mesure expérimentale de l'impédance d'entrée du DPG

Afin de comparer l'impédance d'entrée réelle du DPG à celle indiquée sur la fiche technique, nous avons procédé à sa mesure présentée à la figure 2.13 :

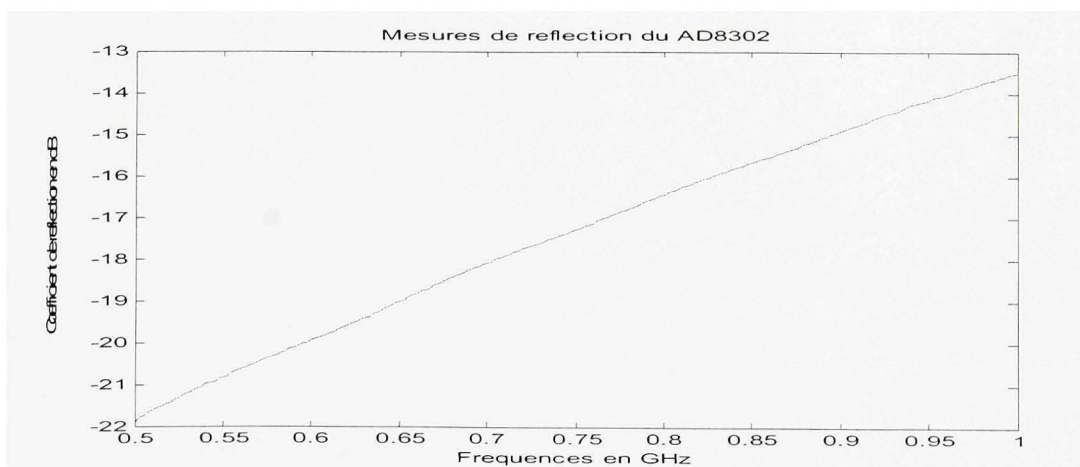


Figure 2.13 Mesure de S11 aux ports RFin1 et RFin2.

Le coefficient de réflexion augmente en fonction de la fréquence. Ce qui laisse présager que le comportement du circuit aux basses fréquences sera meilleur qu'aux hautes fréquences.

Nous verrons plus loin que du fait de l'identité des impédances d'entrée du DPG, beaucoup de simplifications seront faites.

2.4 Extraction d'amplitude et de phase

Pour valider la performance de la carte, plusieurs tests ont été faits. Dans cette section nous présentons comment extraire à partir des caractéristiques du AD8302, les différences d'amplitude et de phase de signaux connus. Ceci nous permet de connaître l'erreur commise en généralisant le comportement de la carte par ses équations caractéristiques expérimentales décrites en (2.6) et (2.7).

2.4.1 Extraction d'amplitude

De l'équation (2.6), nous obtenons le rapport d'amplitude en dB en connaissant la tension de sortie V_{Mag} :

$$\Delta_{dB} = \frac{V_{Mag} - 0.9}{0.028} \quad (2.8)$$

Deux signaux à amplitude connue sont générés à partir des sources RF. Leur niveau de puissance est relevé respectivement à partir de deux puissancemètres. La différence en dB des mesures des puissancemètres servira de référence théorique par rapport à laquelle nous évaluerons l'erreur commise en utilisant l'équation (2.8), une fois que le DPG est branché aux générateurs (confère figure 2.14).

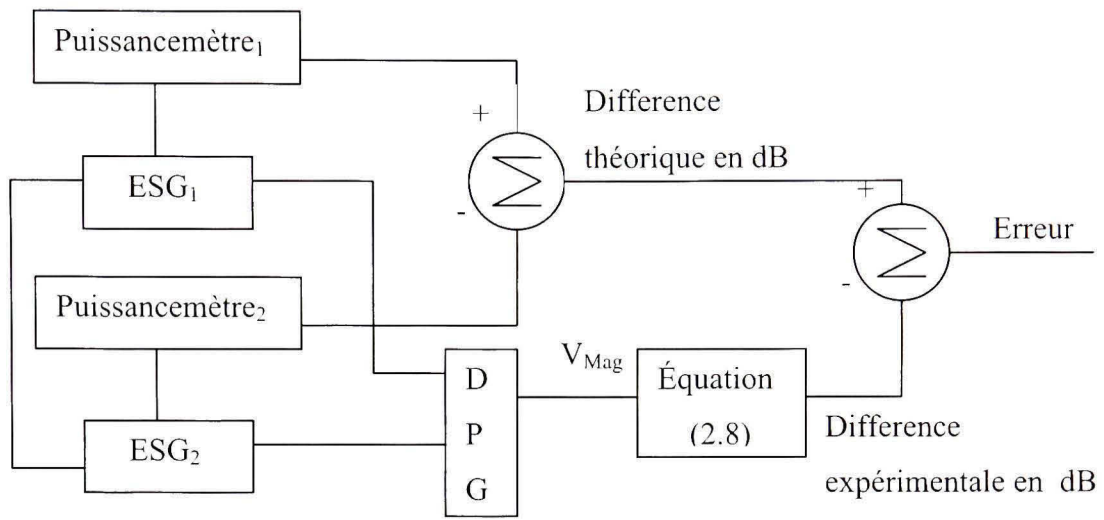


Figure 2.14 Procédure d'extraction d'amplitude.

Les mesures ont été répétées plusieurs fois pour différentes fréquences : 900MHz, 1.6GHz, 2GHz. La compilation des résultats nous a permis d'obtenir la courbe d'erreur présentée à la figure 2.15.

L'extraction se fait avec une erreur de 0.2dB dans la plage dynamique (-30dB à 20 dB). Au delà de 20dB, l'erreur commise peut augmenter jusqu'à 2.5 dB. En effet dans cette zone la courbe caractérisant la fonction de transfert en amplitude a tendance à se saturer à sa valeur maximale de 1.8V.

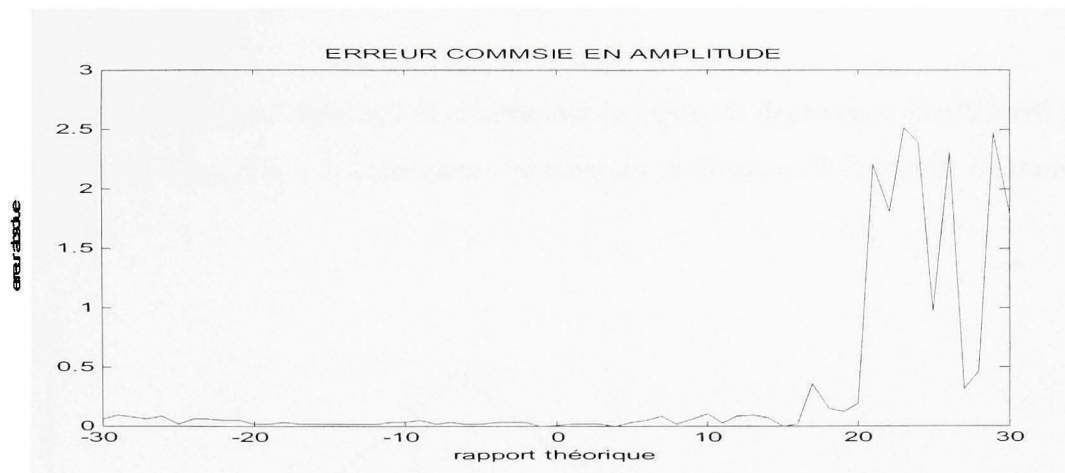


Figure 2.15 Erreur absolue commise en amplitude.

2.4.2 Extraction de phase

Le DPG présente une ambiguïté de signe du fait de la symétrie de la courbe caractéristique en phase. Pour lever cette ambiguïté, deux méthodes ont été investiguées.

2.4.2.1 Techniques de résolution d'ambiguïté de phase

La première méthode consiste à dédoubler la prise de mesure en utilisant deux DPG ainsi qu'un déphaseur de 90° .

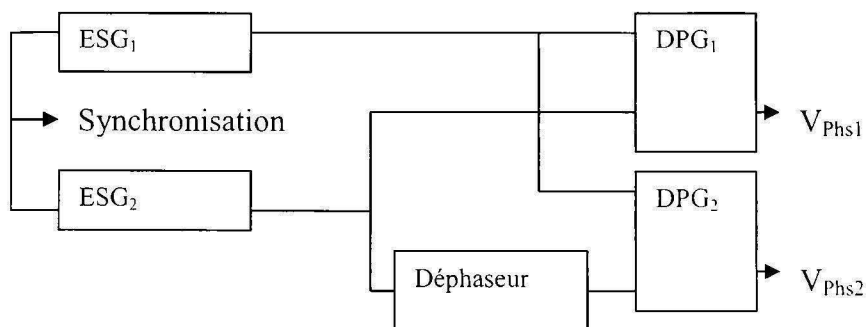


Figure 2.16 Première méthode de résolution d'ambiguïté de phase.

Cette méthode présente l'avantage de déterminer le signe du déphasage directement à partir de la lecture de V_{Phs1} , V_{Phs2} . L'algorithme est basé sur la division de la courbe de transfert en trois zones :

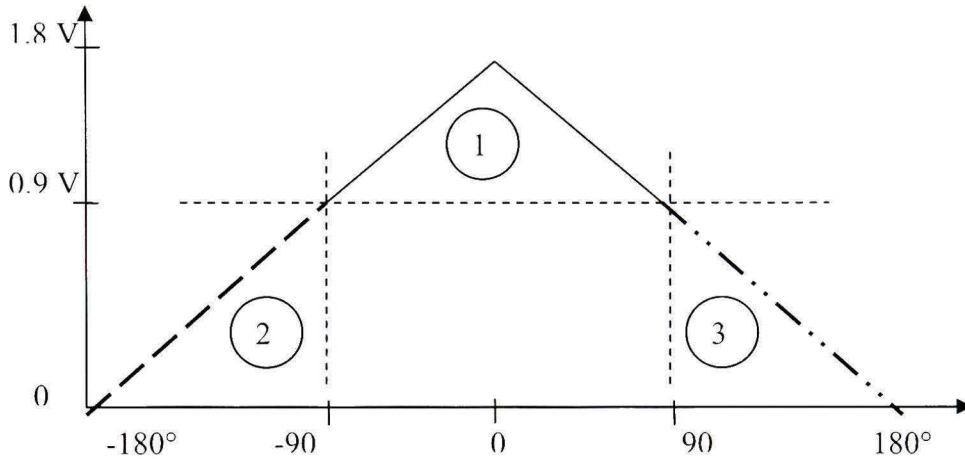


Figure 2.17 Répartition de la fonction de transfert en zones.

- Si la sortie V_{Phs1} est comprise entre 0.9 V et 1.8 V alors on se situe dans la zone 1 et la différence de phase résultante est comprise entre -90° et 90° . En utilisant le déphaseur de 90° , la différence réelle sera décalée et se situera entre 0 et 180° . Ce faisant on se retrouve sur la pente décroissante de la fonction de transfert. La sortie V_{Phs2} du second DPG variera alors de 0 à 1.8 V sans ambiguïté de signe car l'on opère dans la partie positive. En utilisant l'équation de cette droite (équation 2.7), nous pouvons extraire la différence de phase vue par le second DPG. Pour retrouver la différence réelle en phase, il suffira de retrancher le déphasage de 90° introduit par le déphaseur. L'expression finale de la différence de phase des deux signaux devient donc :

$$\Delta_{Phs} = \frac{V_{Phs2} - 1.75}{-0.009} - 90 \quad (2.9)$$

- Si la tension V_{Phs1} est inférieure à 0.9V alors nous avons deux possibilités :

Soit la différence réelle est comprise entre -180° et -90° (zone2) ou 90° et 180° (zone3). A partir de valeur V_{Phs2} , nous pouvons lever cette ambiguïté.

Dans le cas où elle se trouverait dans la zone 2, sous l'effet du déphaseur, la différence décalée se situerait entre -90° et 0° et la sortie V_{Phs2} devrait être comprise entre 0.9 V et 1.8V.

$$\text{Ainsi } \Delta_{Phs} = \frac{V_{Phs1} - 1.75}{0.009} \quad (2.10)$$

Dans le cas échéant (zone3), la sortie V_{Phs2} varierait de 0V à 0.9V car la différence déphasée se retrouverait dans l'intervalle $[180^\circ \text{ } 270^\circ]$ équivalent à $[-180^\circ \text{ } -90^\circ]$. Nous obtenons alors

$$\Delta_{Phs} = \frac{V_{Phs1} - 1.75}{-0.009} \quad (2.11)$$

Somme toute, l'algorithme de détection de signe a été implémenté sur HP VEE comme l'illustre la figure 2.18 :

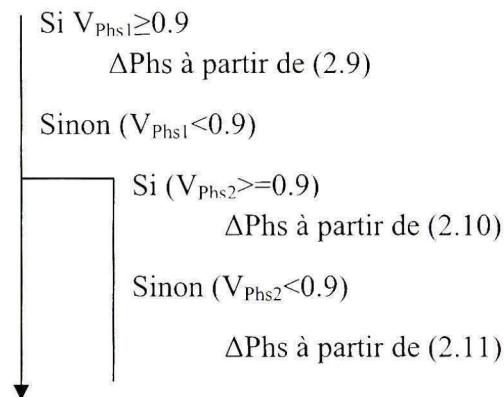


Figure 2.18 Algorithme de détection de signe.

Rappelons qu'il existe plusieurs façons pour l'implémentation du déphaseur à 90° . Citons à titre d'exemple l'utilisation d'un déphaseur réglable conventionnel ou d'une jonction hybride à 90° . Cette méthode, bien qu'intéressante, est coûteuse en terme de matériel car elle nécessite l'utilisation de deux DPG.

Nous avons initié une deuxième technique qui consiste à utiliser un switch pour faire la commutation lors de la prise de mesures. L'avantage réside dans l'emploi d'un seul DPG. Par contre les mesures seront prises en deux reprises. L'algorithme décrit à la figure 2.18 reste toujours valable pour cette deuxième proposition de solution (figure 2.19).

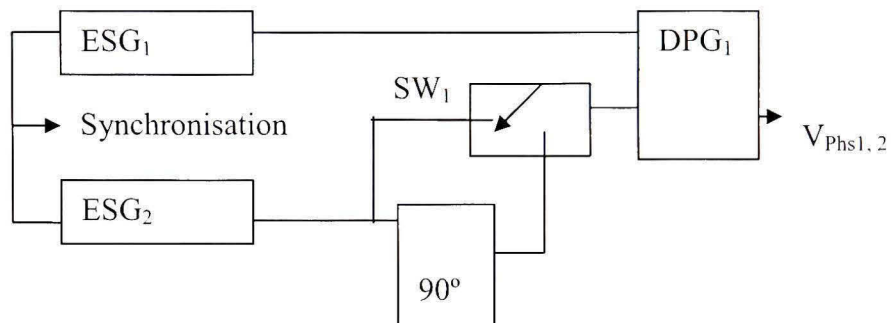


Figure 2.19 Deuxième méthode de résolution d'ambiguïté de phase.

Le commutateur permet de récupérer le signal directement à la sortie du générateur ou le signal déphasé. Les deux tensions de sortie seront notées respectivement V_{Phs1} et V_{Phs2} comme dans le cas précédent.

2.4.2.2 Présentation de résultats

Le graphe 2.20 illustre l'erreur commise en phase. Nous remarquons que la plupart des valeurs sont extraites avec une tolérance de 5° même si nous notons par endroit des pics allant jusqu'à $\pm 10^\circ$. L'erreur moyenne prévue dans la fiche technique est de 3° .

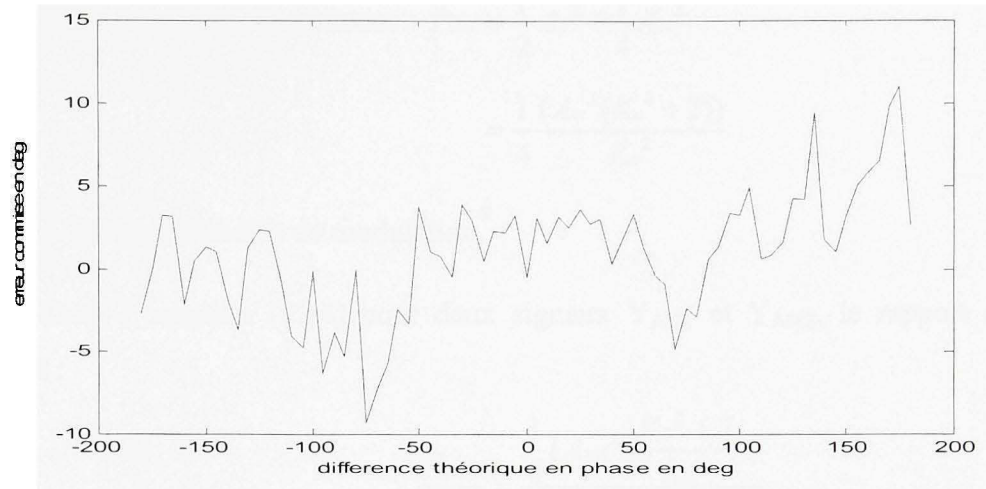


Figure 2.20 Erreur absolue commise en phase.

2.5 Étude de performance de la carte en modulation AM

Une des applications reliées au dispositif que nous développons est la mesure embarquée de certains circuits RF en l'occurrence son intégration dans les systèmes RF intelligents (SRFI). Il doit permettre d'observer les signaux du système en mesurant les gains et les phases entre deux points. Généralement, ces signaux sont modulés, filtrés avant d'être amplifiés. Il serait donc intéressant d'étudier le comportement du DPG en présence de signaux modulés. Nous avons, pour des fins de mesure, utilisé la modulation AM.

2.5.1 Rappel théorique sur la modulation AM

Un signal modulé AM s'exprime mathématiquement comme suit :

$$Y_{AM}(t) = (A_p + A_m \cos(W_m t)) \cos(W_p t) \quad (2.12)$$

Y_{AM} est le signal modulé, A_p l'amplitude de la porteuse, A_m l'amplitude du signal modulant, W_m la fréquence du signal modulant, W_p la fréquence de la porteuse et t la variable temporelle.

En terme de puissance, nous avons : $P_{AM} = \frac{1}{2} A_p^2 + \frac{1}{4} A_m^2$ (2.13)

$$= \frac{1}{4} \frac{(A_m^2 (K_a^2 + 2))}{K_a^2} \quad (2.14)$$

$K_a = \frac{A_m}{A_p}$ est appelé indice de modulation.

En utilisant l'équation (2.14) pour deux signaux Y_{AM1} et Y_{AM2} , le rapport de puissance devient :

$$\begin{aligned} \frac{P_{AM1}}{P_{AM2}} &= \frac{\frac{1}{4} (A_{m1}^2 (\frac{K_a^2 + 2}{K_a^2}))}{\frac{1}{4} (A_{m2}^2 (\frac{K_a^2 + 2}{K_a^2}))} \\ &= \frac{P_{AM1}}{P_{AM2}} = \frac{A_{m1}^2}{A_{m2}^2} \end{aligned} \quad (2.15)$$

Nous remarquons que ce rapport ne dépend que des amplitudes des signaux modulants si la même porteuse est appliquée.

2.5.2 Résultats en modulation AM

Nous avons repris les mêmes tests ayant servi à établir la fonction de transfert en amplitude (figure 2.7) en ajoutant la modulation AM. Les générateurs sont configurés en utilisant la même porteuse et le même indice de modulation.

Les résultats obtenus sont en adéquation avec ceux escomptés. La fonction de transfert en amplitude dans les deux cas (sans et avec modulation) reste la même. De plus elle est invariante par rapport à l'indice de modulation comme en témoignent les graphes des figures 2.21 et 2.22 :

$K_a=90\%$

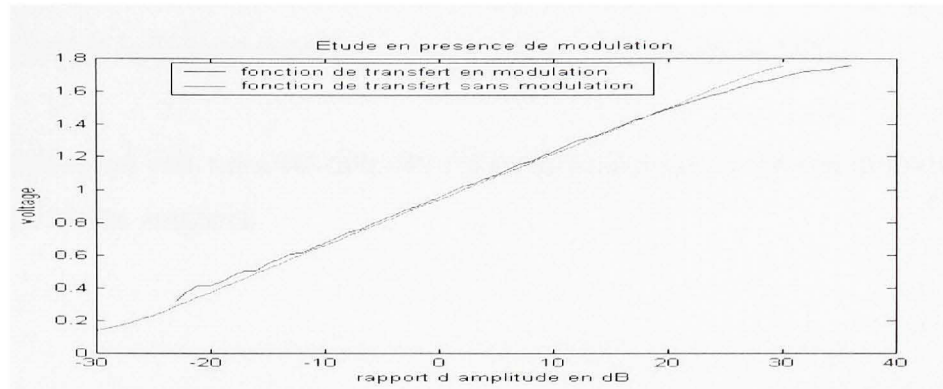


Figure 2.21 Comparaison de fonction de transfert avec et sans modulation ($K_a=0.9$).

$K_a=50\%$

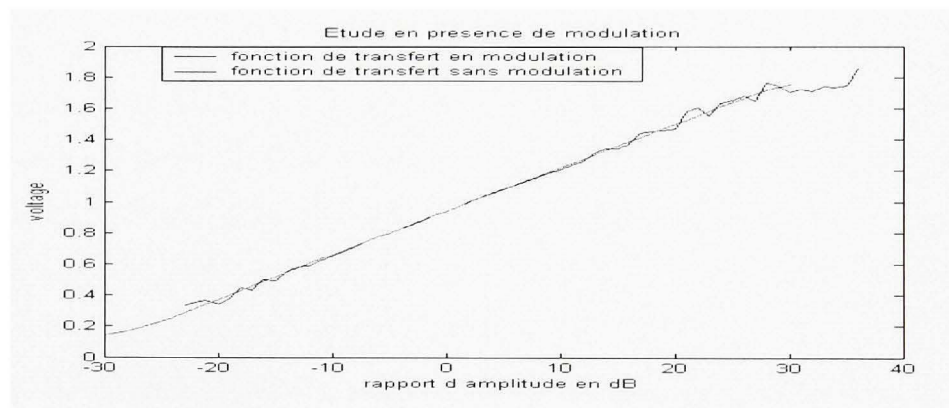


Figure 2.22 Comparaison de fonction de transfert avec et sans modulation ($K_a=0.5$).

2.6 Conclusion

Dans ce chapitre, nous avons étudié et caractérisé la carte d'évaluation AD8302 d'Analog devices. Nous avons pu établir les fonctions de transfert expérimentales en amplitude et en phase. Les performances de la carte ont été étudiées afin de connaître l'erreur commise en utilisant les équations décrites en (2.6) et (2.7). Les résultats sont concluants et nous permettent de généraliser son comportement par ses expressions caractéristiques expérimentales dans sa plage de fréquences (100MHz- 2.7GHz); expressions que nous

utiliserons comme modélisation du AD8302 pour l'implémentation des programmes HP VEE. Nous avons également passé en revue quelques applications du DPG.

Dans le chapitre qui suit, nous étudions les différentes topologies pour son utilisation comme analyseur de réseau vectoriel.

CHAPITRE 3

MESURE DE PARAMÈTRES S À L'AIDE DU DISPOSITIF DE MESURE INTÉGRANT L'AD8302

3.1 Introduction

Dans le chapitre précédent, nous avons démontré qu'il est possible de mesurer le rapport complexe de deux signaux découplés à partir des caractéristiques de l'AD8302 en utilisant deux sources indépendantes. Outre cette possibilité de mesure, le DPG permet de caractériser un dispositif en mesurant ses paramètres S à travers différentes configurations. Le présent chapitre fera l'objet d'étude des différentes topologies de mesure. La réalisation du banc de test nécessitera l'utilisation des coupleurs directifs dont le rôle est de prélever des échantillons des signaux incidents et réfléchis. Les signaux à l'entrée du DPG se trouvent alors couplés. Par conséquent une procédure de correction s'impose. En d'autres termes, nous étudierons l'extraction des paramètres S d'un DST à partir des caractéristiques du AD8302 ainsi que de la caractérisation des coupleurs utilisés.

3.2 Description du banc de test

La figure 3.1 illustre le banc d'essai à réaliser et qui permettra dans le cas général d'obtenir les quatre paramètres S d'un DST. Pour son développement, nous utiliserons une source RF ou au besoin l'analyseur de réseau en mode source. Il doit répondre à certaines exigences dont :

- l'automatisation et le contrôle par ordinateur : une interface HP VEE sera développée pour assurer l'acquisition et le traitement de données.
- moins coûteux en terme de circuits RF
- flexibilité d'usage
- la justesse des mesures.

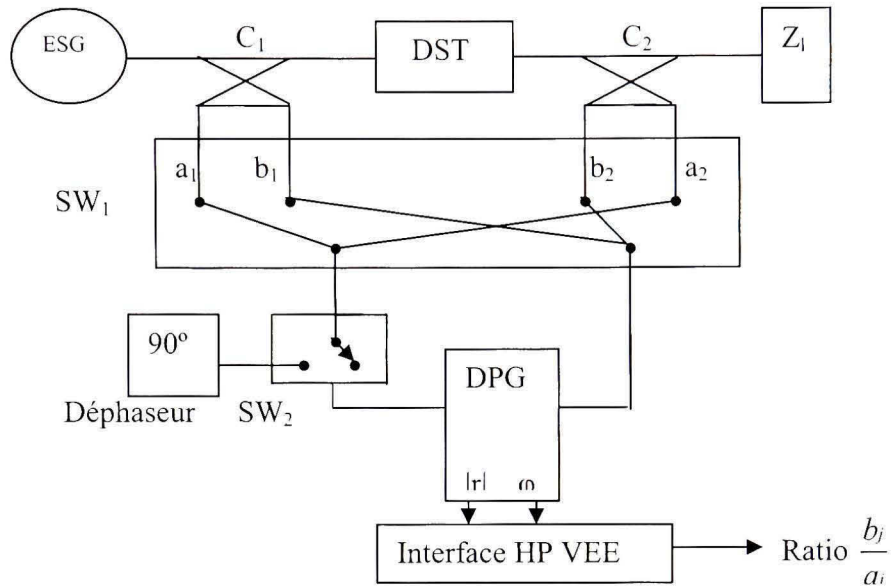


Figure 3.1 Architecture simplifiée du banc de test.

C_1 et C_2 représentent des coupleurs directifs ; SW_1 et SW_2 sont des commutateurs.

Le système de mesure dans sa forme simplifiée est composé de deux commutateurs de transfert, de deux coupleurs, d'un déphaseur et d'un DPG. Les coupleurs sont disposés en amont et en aval du dispositif à tester. Ils permettent d'échantillonner les pseudo-ondes émergentes et réfléchies a_1 , b_1 , a_2 et b_2 . Les échantillons seront acheminés au DPG par l'entremise du commutateur à quatre entrées et deux sorties (SW_1) dont le rôle est de sélectionner des couples de pseudo-ondes : (a_1, b_1) , (a_1, b_2) , (a_2, b_1) et (a_2, b_2) .

L'onde réfléchie de la paire sélectionnée par SW_1 est administrée directement à la première entrée du DPG alors que l'onde incidente peut être déphasée au besoin. Ce déphasage à 90° est assuré par un déphaseur manuellement réglable en basculant le commutateur SW_2 . L'insertion du déphaseur permet de lever l'ambiguïté de phase associée à l'emploi du DPG. Une répétition des mesures sera de mise pour compléter la procédure de détection de signe telle que décrite dans le chapitre précédent.

Une autre variante de cette architecture consiste à utiliser deux DPG et un seul commutateur. Cette configuration illustrée à la figure 3.2 permet de prendre instantanée les mesures contrairement à celle de la figure 3.1 dont les mesures se réalisent en deux temps.

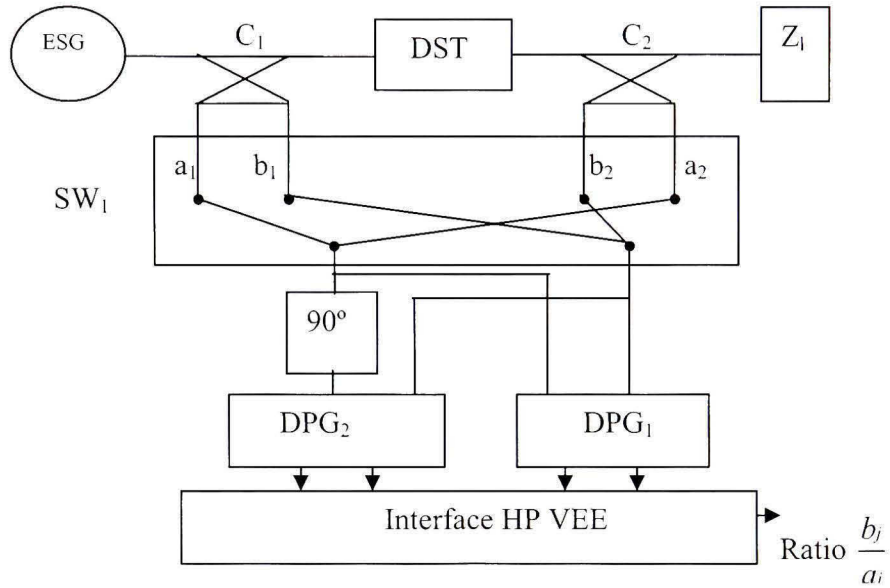


Figure 3.2 Architecture optimale du banc de test.

3.3 Technique de mesure de paramètres S

La mesure des paramètres S du DST est associée à la combinaison d'ondes du commutateur SW_1 . Ainsi pour la paire (a_1, b_1) , l'on peut déterminer le ratio $\frac{b_1}{a_1}$ qui représente le coefficient

de réflexion à l'entrée DST ou son paramètre S_{11} .

D'une façon générale, à partir des paires (a_1, b_1) , (a_1, b_2) , (a_2, b_1) et (a_2, b_2) sélectionnées, nous avons :

$$\begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix}_{DST} = \begin{pmatrix} \frac{b_1}{a_1} & \frac{b_1}{a_2} \\ \frac{b_2}{a_1} & \frac{b_2}{a_2} \end{pmatrix} \quad (3.1)$$

S_{ii}^{DST} représente le coefficient de réflexion respectivement à l'entrée et à la sortie du DST
 S_{ij}^{DST} ($i \neq j=1,2$) sont les facteurs de transmission direct et indirect du DST. Ces paramètres peuvent être déterminés par classification en deux catégories : réflectométrie et mesure de gain.

3.4 Configuration en mode réflectomètre

Avant de procéder à l'utilisation du DPG en mode mesure à deux ports, considérons le cas le plus simple de mesure à un port : la technique de la réflectométrie. Dans ce cas, le commutateur SW1 sélectionne l'un ou l'autre des couples (a_1, b_1) et (a_2, b_2) tels que présentés à la figure 3.2. Pour illustrer le principe, supposons que les pseudo-ondes a_1 et b_1 ont été sélectionnées. La configuration à un port est illustrée à la figure 3.3 :

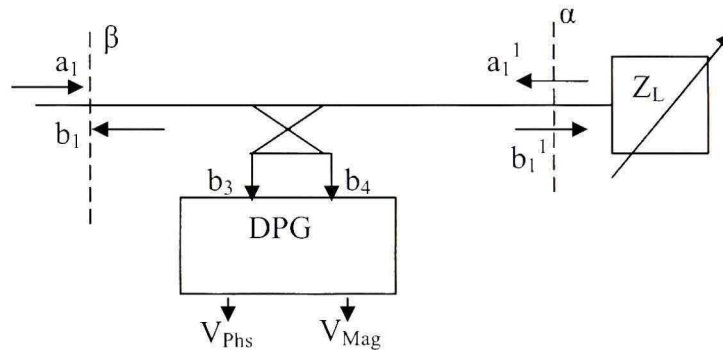


Figure 3.3 Configuration en mode réflectomètre.

3.4.1 Détermination de coefficient de réflexion

Le coefficient de réflexion peut être déduit à différents plans de mesure : le plan α et le plan β comme illustrés dans la figure 3.3:

$$\Gamma_{\alpha} = \frac{a_1^1}{b_1^1} \quad (3.2)$$

$$\Gamma_{\beta} = \frac{b_1}{a_1} \quad (3.3)$$

Où a_1^{-1} et b_1^{-1} représentent respectivement les ondes incidente et réfléchie au plan α , a_1 et b_1 les ondes incidente et réfléchie au plan β . En introduisant a_1 dans l'équation (3.2), nous obtenons :

$$\Gamma_{\alpha} = \frac{a_1^{-1}}{b_1^{-1}} = \frac{\frac{a_1^{-1}}{a_1}}{\frac{b_1^{-1}}{a_1}} \quad (3.4)$$

Par ailleurs, à partir des paramètres S d'un coupleur idéal, nous avons : $\frac{b_1}{a_1^{-1}} = S_{12}$ et

$$\frac{b_1^{-1}}{a_1} = S_{21}. \text{ Il s'en suit que } a_1^{-1} = \frac{b_1}{S_{12}} \text{ et } b_1^{-1} = S_{21}a_1.$$

En substituant ces équations dans (3.4), nous écrirons :

$$\Gamma_{\alpha} = \frac{\frac{b_1}{S_{12}}}{a_1 S_{21}} = \frac{b_1}{a_1} \frac{1}{S_{12} S_{21}}$$

$$\text{D'où} \quad \Gamma_{\alpha} = \Gamma_{\beta} \frac{1}{S_{12} S_{21}} \quad (3.5)$$

Le changement de plan de référence se fait aisément une fois le coupleur caractérisé.

D'autre part, le DPG fournira deux tensions DC en fonction du rapport d'ondes b_3/b_4 . Trouver le coefficient de réflexion revient mathématiquement à expliciter la fonction $h(x)$ telle que :

$$\Gamma_{\alpha} = \frac{a_1^{-1}}{b_1^{-1}} = h(b_3/b_4) = h(\frac{b_3/a_1}{b_4/a_1}) \quad (3.6)$$

Pour ce faire, nous utiliserons le diagramme de fluence.

3.4.2 Diagramme de fluence

Le principe de base du graphe de fluence est de définir le système en termes de branches et de nœuds pour extraire les différentes fonctions de transfert le caractérisant. L'élément de base de sa conception est le coupleur directionnel caractérisé par sa matrice de dispersion $[S]$. Les branches du diagramme définissent les paramètres S_{ij} ainsi que les différents coefficients de réflexion aux nœuds qui symbolisent les points de connection. Elles partent d'un nœud indépendant vers un nœud dépendant. Les variables associées aux nœuds indépendants correspondent aux ondes incidentes alors que les variables associées aux nœuds dépendants correspondent aux ondes réfléchies [14].

Les coupleurs utilisés seront considérés par défaut comme non idéaux. Nous tiendrons ainsi compte du défaut d'adaptation à chaque nœud ($S_{ij} \neq 0$), du défaut de directivité ($S_{14(41)} \neq 0$) et de la mésadaptation du générateur.

Soit un coupleur directionnel tel que symbolisé à la figure 3.4 :

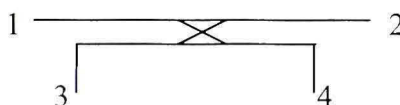


Figure 3.4 Numérotation du coupleur.

Le port 1 représente l'accès d'entrée et sera affecté par la mésadaptation du générateur. La charge présentant un coefficient de réflexion inconnu Γ est placée au port 2 qui sera considéré par défaut mal adapté. Les accès 3 et 4 du coupleur désignant respectivement les ports de couplage et d'isolation sont raccordés au DPG qui présente une impédance d'entrée variable en fonction de la fréquence. Il s'en suit une réflexion partielle des ondes émergentes de ces ports.

En supposant a_i et b_i les pseudo- ondes aux 4 ports du coupleur, le graphe de fluence associé au système se définit comme suit :

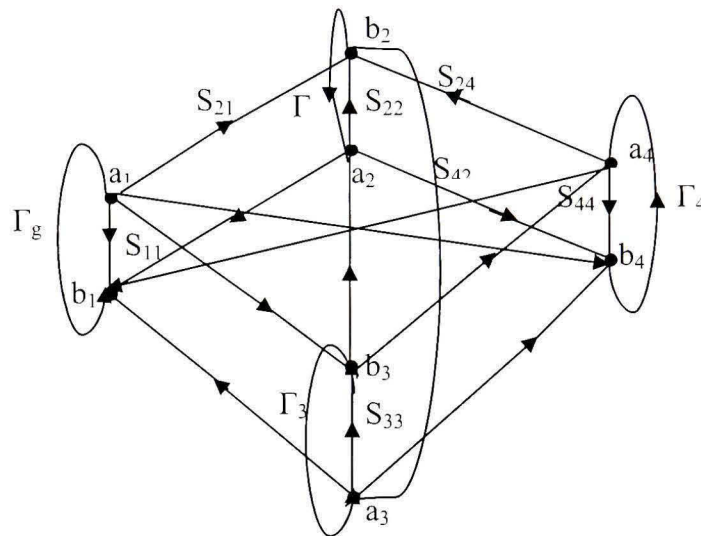


Figure 3.5 Graphe de fluence du banc de test.

Γ_g : Représente la réflexion du générateur. Elle est généralement faible et peut être considérée nulle pour la simplification du graphe.

Γ : Coefficient de réflexion recherché vu dans le plan de référence α (Figure 3.3).

Γ_3 : Coefficient de réflexion présenté par l'entrée RF_{in1} du DPG. Il varie en fonction de la fréquence d'opération.

Γ_4 : Coefficient de réflexion présenté par l'entrée RF_{in2} du DPG. Il est variant en fonction de la fréquence d'opération.

Le diagramme de fluence peut se simplifier davantage en utilisant des circulateurs placés aux entrées du DPG. Les coefficients de réflexion Γ_3 et Γ_4 s'annulent mais la mésadaptation perdure ($S_{33} \neq 0$, $S_{44} \neq 0$). Les figures 3.6 et 3.7 montrent cette configuration :

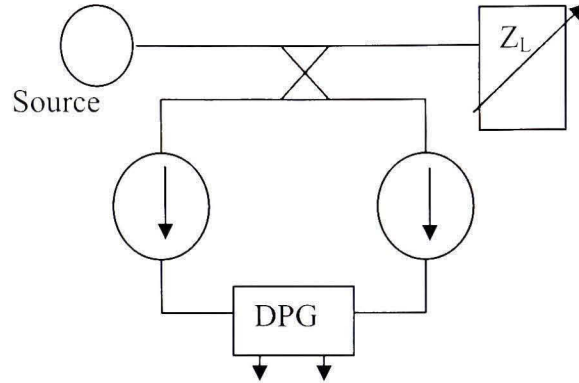


Figure 3.6 Utilisation des isolateurs.

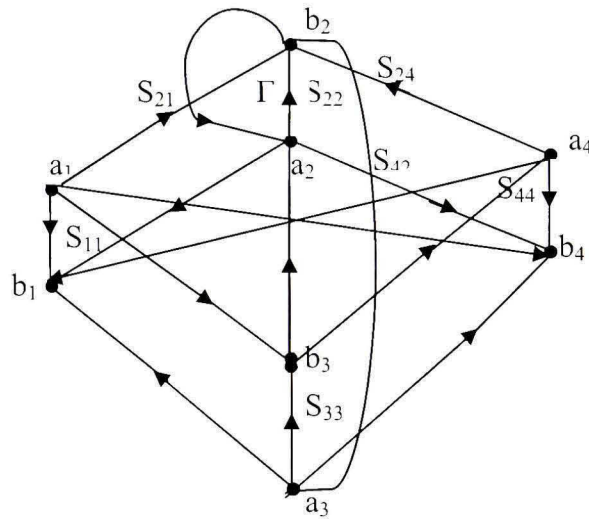


Figure 3.7 Graphe de fluence en utilisant des isolateurs.

Signalons toutefois que l'utilisation des circulateurs augmente la complexité du banc de test qui se veut moins coûteux en terme de circuits RF. Nous considérerons de ce point de vue le graphe de fluence décrit dans sa forme générale à la figure 3.5 pour la suite du développement. Dans l'éventualité d'utilisation des circulateurs, il suffira de poser $\Gamma_3 = \Gamma_4 = 0$ dans la fonction $h(x)$ que nous expliciterons en utilisant la formule de Mason.

3.4.3 Règle de Mason

En pratique, on ne peut mesurer les rapports b_3/a_1 , L'utilisation de la règle de Mason permet d'avoir la forme mathématique de ces rapports en lisant le diagramme de fluence.

La fonction de transfert d'un nœud dépendant à un nœud indépendant s'obtient de la manière suivante [11]:

$$T = \frac{P_1.[1 - \sum L(1)^{(1)} + \sum L(2)^{(1)} - \dots] + P_2.[1 - \sum L(1)^{(2)} + \sum L(2)^{(2)} - \dots] + \dots}{1 - \sum L(1) + \sum L(2) - \sum L(3) + \dots} \quad (3.7)$$

où

P_1, P_2, \dots sont les différents chemins reliant le nœud indépendant au nœud dépendant dont on désire calculer la fonction de transfert. La valeur d'un chemin correspond au produit de toutes les branches le long de ce chemin.

$\sum L(1)$ Correspond à la somme de toutes les boucles de premier ordre. Une boucle de premier ordre correspond au produit des branches définissant un chemin fermé orienté.

$\sum L(2)$ Correspond à la somme de toutes les boucles de second ordre. Une boucle de second degré correspond au produit de deux boucles de premier ordre ne se touchant pas.

$\sum L(3)$ Correspond à la somme de toutes les boucles de troisième ordre. Une boucle de troisième ordre est le produit de trois boucles de premier ordre ne se touchant pas.

$\sum L(1)^{(p)}$ Correspond à la somme des boucles de premier ordre ne touchant pas le chemin P.

Généralement on pose

$$\Delta = 1 - \sum L(1) + \sum L(2) - \sum L(3) + \dots \quad \text{et} \quad \Delta_p = 1 - \sum L(1)^{(p)} + \sum L(2)^{(p)} - \dots$$

3.4.4 Expression mathématique de la réflexion

À partir du graphe de la figure 3.5 et de la règle de Mason, nous avons obtenu :

$$\frac{b_3}{a_1} = \frac{S_{31}(1 - S_{22}\Gamma - S_{44}\Gamma_4 - S_{24}\Gamma S_{42}\Gamma_4 + S_{22}\Gamma S_{44}\Gamma_4) + S_{21}\Gamma S_{32}(1 - S_{44}\Gamma_4) + S_{41}\Gamma_4 S_{24}\Gamma S_{32} + S_{41}\Gamma_4 S_{34}(1 - S_{22}\Gamma)}{\Delta} \quad (3.8)$$

$$\text{et } \frac{b_4}{a_1} = \frac{S_{41}(1 - S_{22}\Gamma - S_{33}\Gamma_3 - S_{23}\Gamma S_{32}\Gamma_3 + S_{22}\Gamma S_{33}\Gamma_3) + S_{21}\Gamma S_{42}(1 - S_{33}\Gamma_3) + S_{31}\Gamma_3 S_{23}\Gamma S_{42} + S_{31}\Gamma_3 S_{43}(1 - S_{22}\Gamma)}{\Delta} \quad (3.9)$$

L'expression complète de Δ se trouve en annexe II. Des équations (3.8) et (3.9), il est possible de déterminer le rapport b_3/b_4 qui est lié aux facteurs de réflexion des quatre ports et aux paramètres S du coupleur :

$$\begin{aligned} \frac{b_3}{b_4} &= \frac{S_{31}(1 - S_{22}\Gamma - S_{44}\Gamma_4 - S_{24}\Gamma S_{42}\Gamma_4 + S_{22}\Gamma S_{44}\Gamma_4) + S_{21}\Gamma S_{32}(1 - S_{44}\Gamma_4) + S_{41}\Gamma_4 S_{24}\Gamma S_{32} + S_{41}\Gamma_4 S_{34}(1 - S_{22}\Gamma)}{S_{41}(1 - S_{22}\Gamma - S_{33}\Gamma_3 - S_{23}\Gamma S_{32}\Gamma_3 + S_{22}\Gamma S_{33}\Gamma_3) + S_{21}\Gamma S_{42}(1 - S_{33}\Gamma_3) + S_{31}\Gamma_3 S_{23}\Gamma S_{42} + S_{31}\Gamma_3 S_{43}(1 - S_{22}\Gamma)} \\ &= g(\Gamma) \text{ avec } g(x) \text{ la fonction reliant } b_3/b_4 \text{ à } \Gamma. \end{aligned} \quad (3.10)$$

Par ailleurs, nous savons que la puissance détectée aux entrées du DPG s'énonce comme étant :

$$P_3 = |b_3|^2 - |a_3|^2 = |b_3|^2 (1 - |\Gamma_3|^2) \quad (3.11)$$

$$P_4 = |b_4|^2 - |a_4|^2 = |b_4|^2 (1 - |\Gamma_4|^2) \quad (3.12)$$

Du fait que l'impédance d'entrée aux entrées du DPG reste la même ($\Gamma_3 = \Gamma_4$) pour une fréquence d'excitation donnée, le rapport de puissance détectée est indépendant de a_1 . Ainsi avons-nous :

$$\frac{P_3}{P_4} = \frac{|b_3|^2}{|b_4|^2} \quad (3.13)$$

$$\text{Posons } \frac{P_3}{P_4} = \chi^2 \text{ ou } \left| \frac{b_3}{b_4} \right| = \chi \quad (3.14)$$

χ est mesuré par le DPG en terme de voltage et est extrait en dB à partir de l'équation caractéristique (2.8) du chapitre 2.

$$\text{Sa valeur scalaire devient : } \chi = \sqrt{10^{\frac{V_{Mug}-0.9}{0.028}}} \quad (3.15)$$

De même la sortie V_{phs} du DPG nous fournit la phase du rapport d'ondes b_3/b_4 tel que décrit dans l'algorithme illustré à la figure 2.18 du chapitre 2.

$$\text{En posant la phase } \angle \frac{b_3}{b_4} = \Delta_{Phs} \quad (3.16)$$

alors b_3/b_4 peut s'exprimer sous forme complexe comme suit :

$$\frac{b_3}{b_4} = \chi e^{j\Delta_{Phs}} = C \quad (3.17)$$

En extrayant Γ de l'équation (3.10), nous obtenons finalement :

$$\Gamma = \frac{S_{31}(S_{44}\Gamma_4 - 1) - S_{41}S_{34}\Gamma_4 + CS_{41}(-S_{33}\Gamma_3 + 1) + CS_{31}\Gamma_3S_{43}}{(S_{31}(S_{24}S_{42}\Gamma_4 - S_{22}\Gamma_4S_{44} - S_{22}) + S_{21}S_{32}(1 - S_{44}\Gamma_4) + S_{41}(\Gamma_4S_{24}S_{32}) - S_{22}S_{41}\Gamma_4S_{34} + CS_{41}(S_{22} + S_{23}\Gamma_3S_{32} + S_{22}\Gamma_3S_{33}) + CS_{21}S_{42}(S_{33}\Gamma_3 - 1) - CS_{31}\Gamma_3S_{23}S_{42} + \Gamma_3CS_{22}S_{31}S_{43})} \quad (3.18)$$

Cette dernière équation représente la fonction $h(x)$ recherchée et désigne la forme complexe du coefficient de réflexion mesuré à la charge et est insensible à une variation de puissance du générateur.

L'équation (3.18), bien que tenant compte des imperfections du coupleur et les défauts d'adaptation ne correspondra pas strictement à la valeur réelle de la réflexion. Une deuxième correction sera nécessaire en faisant un étalonnage. Les résultats peuvent aussi s'avérer plus intéressants en ajoutant un deuxième coupleur. En effet l'ajout d'un deuxième coupleur

permet d'améliorer la directivité en découplant davantage les ondes ; ce qui permet d'éliminer certains défauts de la réflectométrie et sera détaillé dans la section suivante.

3.4.5 Réflectométrie à deux coupleurs

Cette technique consiste à juxtaposer deux coupleurs en amont du DST (figure 3.8).

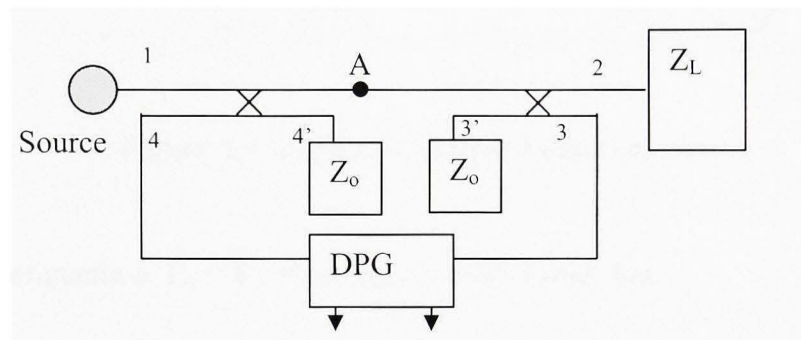


Figure 3.8 *Réflectométrie à deux coupleurs.*

De la même façon que le cas précédent, il suffit de déterminer le coefficient de réflexion par lecture du diagramme de fluence associé et les tensions de sortie du DPG. Le point A symbolise la jonction des deux coupleurs.

Pour des valeurs modérées de la réflexion, on dispose en tête le coupleur le moins bon. La figure 3.9 présente le graphe de fluence dans le cas de deux coupleurs.

L'équation (3.21) représente la fonction $h(x)$ dans le cas de deux coupleurs. On y retrouve les termes de l'équation 3.18 pour le cas d'un seul coupleur auquel s'ajoutent les paramètres de correction du second coupleur. Nous pouvons à partir de l'équation 3.21 déduire la fonction $h(x)$ dans le cas d'un coupleur en supposant le deuxième coupleur idéal.

3.4.6 Procédure d'étalonnage

Le but de l'étalonnage consiste à corriger les erreurs liées à la réflectométrie pour se rapprocher du modèle idéal. Deux techniques d'étalonnage ont été étudiées :

- Première technique d'étalonnage excluant l'effet du coupleur

Elle est la méthode conventionnellement utilisée. On crée une boîte d'erreur dont les paramètres seront déterminés à partir de la mesure de charges connues :

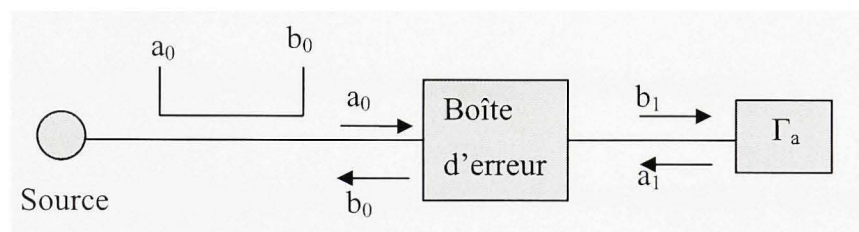


Figure 3.10 Étalonnage par boîte d'erreur.

Si Γ_m représente le coefficient mesuré et Γ_a le coefficient réel, le diagramme associé au modèle se définit de la façon suivante :

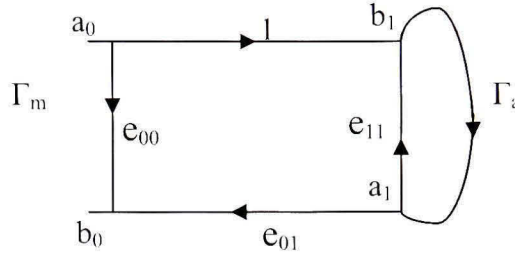


Figure 3.11 *Graphe de fluence de la boîte d'erreur.*

Le coefficient mesuré peut être corrigé par les termes de la boîte d'erreur définie par 3 inconnues :

$$\Gamma_m = \frac{b_0}{a_0} = \frac{e_{00}(1 - e_{11}\Gamma_a) + \Gamma_a e_{01}}{1 - e_{11}\Gamma_a} = e_{00} + \frac{e_{01}\Gamma_a}{1 - e_{11}\Gamma_a} \quad (3.22)$$

Trois charges de référence suffisent pour déterminer les trois termes d'erreur (circuit ouvert, court-circuit et charge adaptée). Cette technique est connue sous le nom d'étalonnage à un port.

- Deuxième méthode d'étalonnage intégrant l'effet du coupleur

Cette technique de calibration est un algorithme existant permettant de connaître l'ordre de grandeur de la réflexion sans pour autant connaître la caractérisation du coupleur [15]. Nous l'avons adapté à nos besoins en intégrant une procédure de correction basée sur la paramétrisation des coupleurs et la connaissance des rapports d'ondes.

Considérons le modèle de la figure 3.3 en supposant le coupleur idéal et le DPG adapté. Dans ce cas,

$$\begin{aligned} b_3 &= S_{13}a_1 \\ b_4 &= S_{21}\Gamma S_{42}a_1 \end{aligned} \quad (3.23)$$

Il ressort que

$$\Gamma_Z = \left[\frac{b_4}{b_3} \right]_{mesure} \cdot \frac{S_{13}}{S_{21}S_{42}} \quad (3.24)$$

Γ_Z est le coefficient de réflexion à la charge. En faisant un étalonnage sur court-circuit ($\Gamma = -1$), nous avons :

$$\left[\frac{b_4}{b_3}\right]_{CC} = \frac{-S_{13}}{S_{21}S_{42}} \quad (3.25)$$

Finalement

$$\Gamma_Z = - \frac{\left[\frac{b_4}{b_3}\right]_Z}{\left[\frac{b_4}{b_3}\right]_{CC}} \quad (3.26)$$

De la même façon, pour un circuit ouvert ($\Gamma = 1$)

$$\Gamma_Z = \frac{\left[\frac{b_4}{b_3}\right]_Z}{\left[\frac{b_4}{b_3}\right]_{CO}} \quad (3.27)$$

En somme,

$$\Gamma_Z = \frac{\frac{\left[\frac{b_4}{b_3}\right]_Z}{\left[\frac{b_4}{b_3}\right]_{CO}} - \frac{\left[\frac{b_4}{b_3}\right]_Z}{\left[\frac{b_4}{b_3}\right]_{CC}}}{2} \quad (3.28)$$

L'équation 3.28 est établie dans ce cas d'un coupleur idéal. Si le coupleur présente des défauts (comme dans le cas réel), on tient compte de ces imperfections en utilisant l'expression établie dans la formule 3.10 : $\frac{b_3}{b_4} = g(\Gamma)$. En substituant cette dernière dans (3.28), on a :

$$\Gamma_{Mesure} = \frac{\frac{g(1)}{g(\Gamma)} - \frac{g(-1)}{g(\Gamma)}}{2} \quad (3.29)$$

Cette équation représente la calibration en tenant compte de l'effet d'un coupleur réel. En utilisant deux étalons (court-circuit et circuit ouvert), on peut corriger la valeur du coefficient de réflexion mesuré à partir des paramètres du coupleur. La procédure reste identique dans le cas de deux coupleurs.

Comparaison des deux méthodes de calibration

La deuxième méthode de calibration que nous avons développée permet de corriger les mesures en utilisant juste deux étalons. On peut toutefois utiliser un étalon (court-circuit ou circuit ouvert) ou au besoin 3 étalons. Dans ce cas, on ajuste l'équation (3.28).

La difficulté se trouve principalement dans la résolution de l'équation de (3.29) puis que' il s'agit de trouver Γ à partir de Γ_{Mesure} . Son avantage réside dans le fait qu'elle tient compte de l'effet du coupleur, qu'il soit réel ou idéal (équations 3.28 et 3.29) comparativement à la première méthode de calibration qui exclut l'effet de coupleur. Par contre la première méthode est plus pratique car n'exige pas un effort supplémentaire de résolution d'équation.

3.5 Configuration en mode mesure de gain

Cette configuration est illustrée à la figure ci-dessous. Il s'agira de déterminer le gain complexe d'un amplificateur.

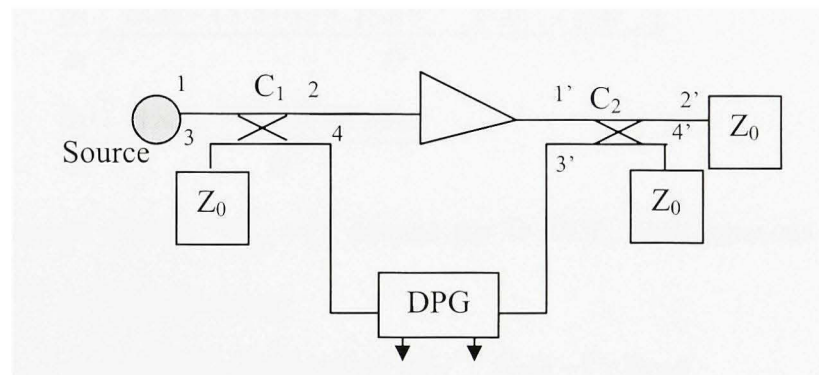


Figure 3.12 Schéma de mesure de gain.

L'amplificateur sera représenté d'une façon générale par un quadripôle dont les paramètres S seront notés S_{ij}^{Amp} . Les ports 3, 2' et 4' des coupleurs étant terminés par des charges adaptées, nous considérerons la réflexion nulle à ces ports. Le graphe de fluence associé à cette topologie est présenté à la figure 3.13.

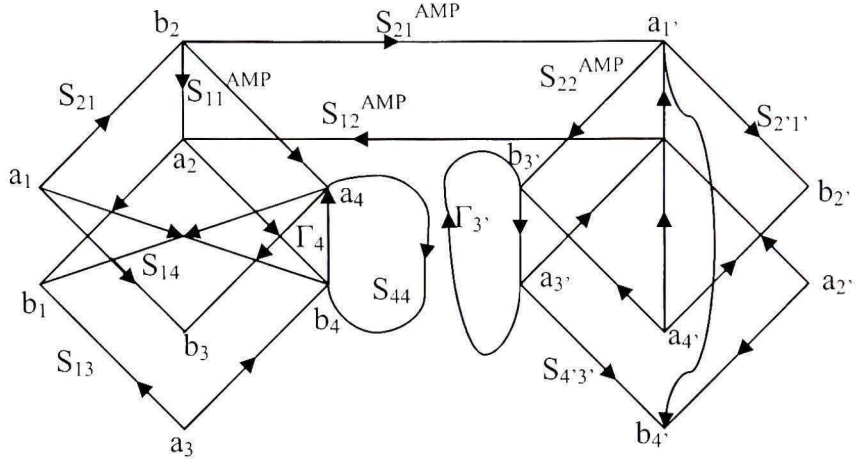


Figure 3.13 Graphe de fluence en mode mesure de gain.

Nous déduisons à partir de ce graphe les fonctions de transfert b_4/a_1 et $b_{3'}/a_1$:

$$\frac{b_4}{a_1} = \frac{S_{14}(1 - \Gamma_{3'} S_{3'3'}) + S_{21} S_{11}^{AMP} S_{42}(1 - \Gamma_{3'} S_{3'3'})}{D} \quad (3.30)$$

$$\frac{b_{3'}}{a_1} = \frac{S_{21} S_{21}^{AMP} S_{31'}(1 - \Gamma_4 S_{44})}{D} \quad (3.31)$$

A partir du rapport d'onde $b_4/b_{3'} = C$ détecté par le DGP, nous pouvons extraire le gain complexe S_{21}^{AMP} de l'amplificateur :

$$S_{21}^{AMP} = \frac{S_{14}(1 - \Gamma_{3'} S_{3'3'}) + S_{21} S_{11}^{AMP} S_{42}(1 - \Gamma_{3'} S_{3'3'})}{C S_{21} S_{31'}(1 - \Gamma_4 S_{44})} \quad (3.32)$$

Si les coupleurs sont identiques alors $S_{3'3'} = S_{44}$ et nous obtenons finalement :

$$S_{21}^{AMP} = \frac{S_{14} + S_{21} S_{11}^{AMP} S_{42}}{C S_{21} S_{31'}} \quad (3.33)$$

$\Gamma_{3'}$ et Γ_4 sont les réflexions aux entrées du DPG et sont connues.

L'équation (3.33) exige la connaissance préalable de la réflexion à l'entrée de l'amplificateur. Les mesures en réflexion seront donc effectuées à priori avant les mesures en transmission si nous utilisons cette configuration.

On peut toutefois s'affranchir de cette étape intermédiaire lorsque l'on désire mesurer directement le gain. Dans ce cas on dispose en tête le coupleur ayant une meilleure directivité en récupérant des échantillons de l'onde incidente au lieu de l'onde réfléchie à l'entrée RF_{in1} du DPG comme le montre la figure suivante :

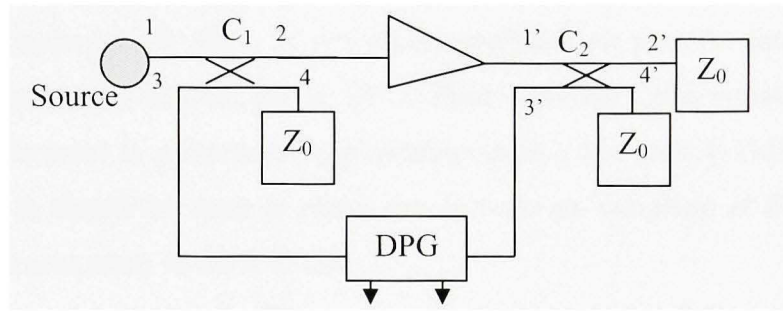


Figure 3.14 Deuxième configuration de mesure de gain.

En permutant les ports 3 et 4 du premier coupleur dans le graphe de fluence précédent, il s'en suit que

$$S_{21}^{AMP} = \frac{S_{31}(1 - \Gamma_{3'}S_{3'3'}) + S_{21}S_{11}^{AMP}S_{32}(1 - \Gamma_3S_{33})}{CS_{21}S_{31}(1 - \Gamma_3S_{33})} \quad (3.34)$$

Pour une meilleure directivité, l'équation (3.36) devient

$$S_{21}^{AMP} = \frac{S_{31}(1 - \Gamma_{3'}S_{3'3'})}{CS_{21}S_{31}(1 - \Gamma_3S_{33})} \quad (3.35)$$

avec $\Gamma_{3'}$, Γ_3 les réflexions aux entrées du DPG.

3.6 Choix et caractérisation des coupleurs

La précision des mesures dépend principalement de la qualité du coupleur. Le DPG étant limité en puissance (-60 à 0dBm) le choix des coupleurs devra se faire judicieusement pour s'assurer que le DPG fonctionne dans sa plage dynamique tout en tenant compte des seuils de rapport de signaux détectable (± 30 dB). En effet, même si les facteurs de réflexion et de transmission sont indépendants du signal émis par le générateur, le niveau de puissance de ce dernier doit être maintenu dans une certaine plage pour répondre à la limitation de puissance des entrées de la carte. Par exemple en utilisant un coupleur de 5dB et en ajustant la puissance de la source à 10 dBm, la puissance résultante au port de couplage se trouve supérieure à la puissance tolérée par le DPG. Pour contrôler cette situation, nous avons maintenu arbitrairement la puissance du générateur dans l'intervalle [-15dBm 10dBm]. Ce qui nous donne la flexibilité dans le choix des facteurs de couplage et d'isolation qui se situeraient idéalement entre 10 dB à 45 dB.

D'autre part, il est important de faire un compromis entre les facteurs de couplage et d'isolation de sorte à maximiser la directivité qui est un bon indicateur de la qualité du coupleur. Pour une utilisation optimale du DPG, il faut (fiche technique AD8302) :

$$|\Gamma_{Min}(dB)| < |D(dB)| \quad (3.36)$$

Γ_{min} désigne la réflexion minimale détectable et D la directivité du coupleur.

Nous avons opté pour le modèle 1H1304-20 d'Anaren. Il s'agit des coupleurs opérant de 800MHz à 1GHz avec un couplage de 20dB et une directivité minimale de 20 dB. La trace du coupleur a été dessinée sur ADS. Nous avons choisi convenablement les largeurs de ligne pour obtenir une impédance caractéristique de 50 Ohms. La figure 3.15 montre les masques des coupleurs :

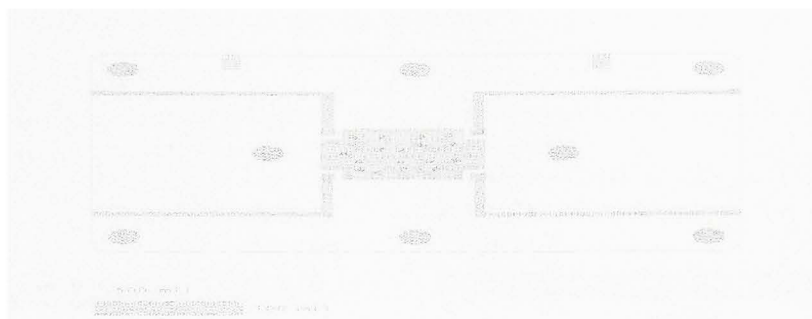


Figure 3.15 *Masque des coupleurs ANAREN choisis.*

La caractérisation des coupleurs a été réalisée à partir de l'analyseur de réseau et du PAF (Progettazione ad Alta Frequenza). L'utilisation du PAF permet de mesurer simultanément les 16 paramètres S du coupleur. Les fichiers de mesure sont transférés sur ADS pour la reconstitution de la matrice de dispersion et son implémentation dans les programmes HP VEE. La procédure de caractérisation est montrée à la figure 3.16 :

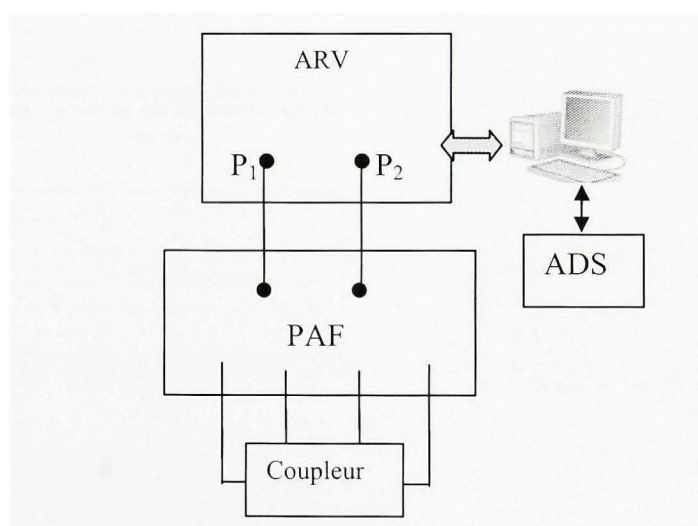


Figure 3.16 *Principe de caractérisation des coupleurs.*

Les graphes des paramètres S obtenus sont présentés à la figure 3.17 :

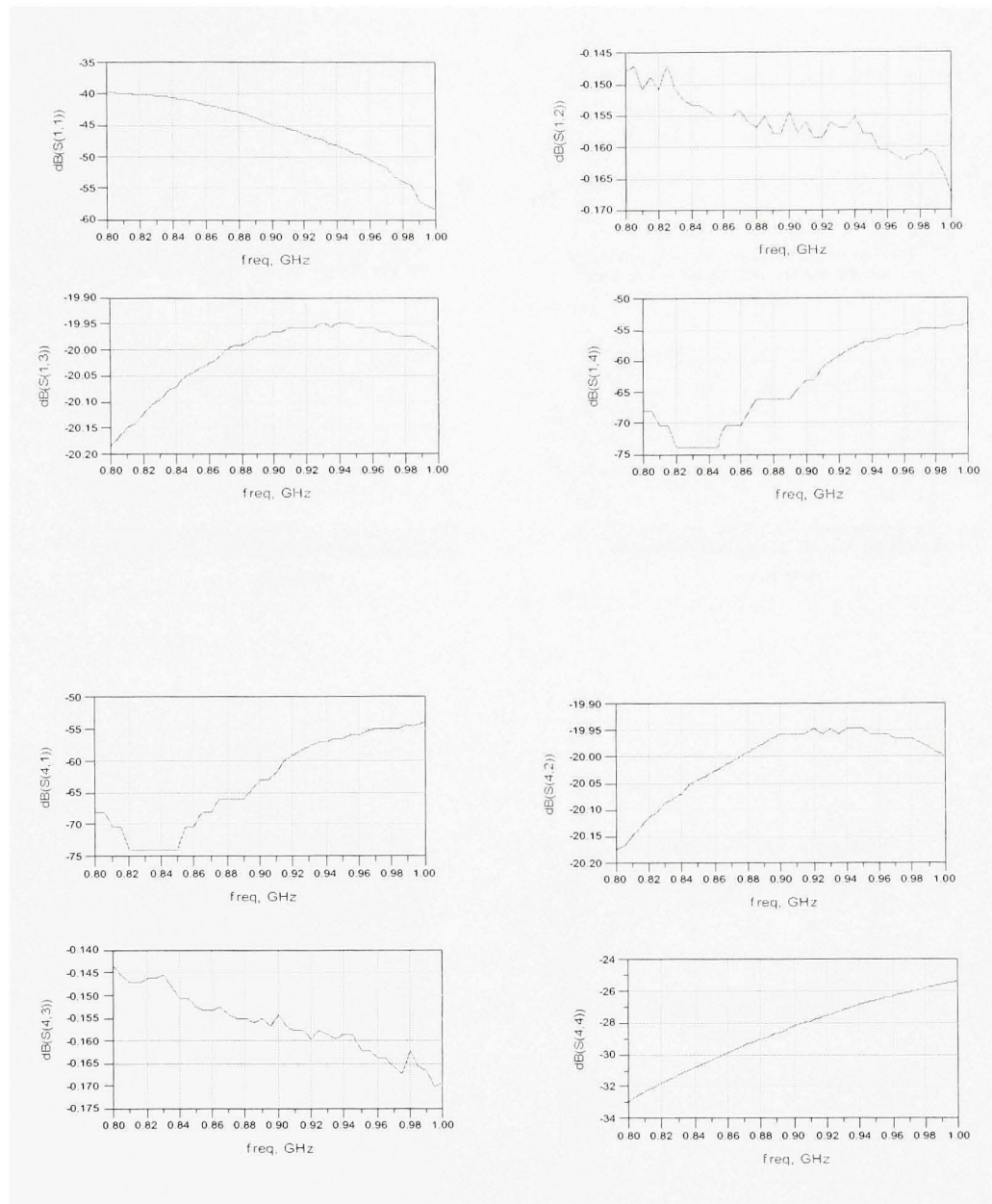


Figure 3.17 (a) Paramètres S des coupleurs ANAREN.

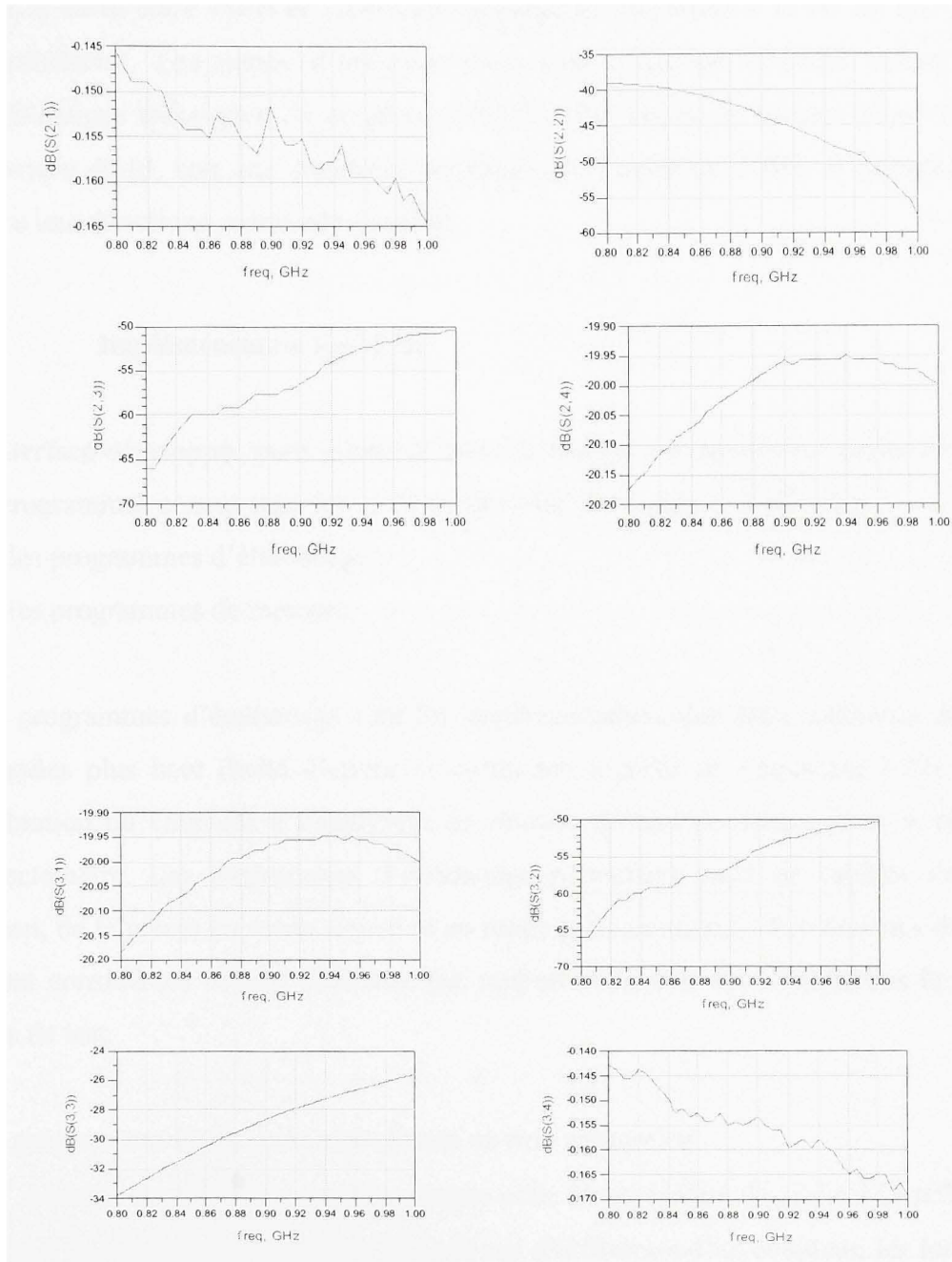


Figure 3.17 (b) Paramètres S des coupleurs ANAREN.

Les résultats illustrés à la figure 3.17 révèlent que le facteur de couplage est d'environ 20dB (S_{31}). Il varie entre 19dB et 21dB dans la plage de 800 MHz à 1GHz tel que prévu par le manufacturier. Les pertes d'insertion (S_{21}) sont d'environ -0.19dB valeur proche des spécifications théoriques du coupleur (-0.2dB). Par contre le facteur d'isolation (S_{41}) est d'environ 40dB, soit une directivité maximale de l'ordre de 20dB; le manufacturier ayant prévu une directivité minimale de 20dB.

3.7 Implémentation logicielle

L'interface développée pour piloter le banc de test est constituée principalement deux types de programmes conçus sous forme de scripts Matlab et intégrés à HP VEE :

- les programmes d'étalonnage
- les programmes de mesures.

Les programmes d'étalonnage sont les implémentations des deux méthodes de calibration exposées plus haut (boîte d'erreur et correction à partir de l'équation 3.29) ainsi que la calibration du coupleur à l'analyseur de réseau servant de source pour la réalisation du réflectomètre. Les programmes d'étalonnage permettent aussi de calibrer l'analyseur de réseau, de le placer en mode source et en mode prise de mesure. Les mesures de l'analyseur seront considérées comme référence par rapport à laquelle nous validerons la précision du banc de test.

Les programmes de mesures sont classés en trois catégories :

- Mesure en réflexion : ce programme offre la possibilité de réaliser la réflectométrie à l'aide d'un ou de deux coupleurs. Dans le cas d'utilisation d'un coupleur, les formules (3.18) et (3.19) seront implémentées tandis que dans le cas de deux coupleurs, l'équation (3.22) est implémentée.
- Mesure de gain : ce programme permet de mesurer le gain complexe d'un amplificateur. Il peut en outre être utilisé pour la caractérisation d'autres types d'éléments tel un coupleur

(couplage, perte d'insertion, isolation, directivité...). L'équation (3.35) a été utilisée dans ce cas.

- Mesure de paramètres S : on peut mesurer directement les paramètres S_{11} , S_{22} , S_{21} et S_{12} d'un quadripôle. Dans ce cas, il est nécessaire de faire les mesures en réflexion avant celles en transmission (équation 3.33). Toutefois la réalisation simultanée des mesures de ces quatre facteurs peut s'avérer délicate pour certains types de circuit du fait de la plage dynamique du DPG. Par exemple cette configuration n'est pas adéquate pour la mesure du paramètres S_{12} d'un amplificateur qui est relativement très faible.

3.8 Validation de mesure de réflexion

Le montage de la figure 3.3 a été réalisé. Les charges ont été conçues en utilisant des résistances, des capacités et des bobines que nous avons soudées au connecteur de type SMA. Les résultats de ces mesures sont illustrés aux figures 3.17 à 3.21. La technique de correction par boîte d'erreur (étalonnage à un port) a été appliquée lors des mesures. Pour chaque figure, nous avons présenté le module (a) et la phase (b) de la réflexion. Les résultats de mesures ont été validés à l'aide de l'analyseur de réseau E8755 d'Agilent.

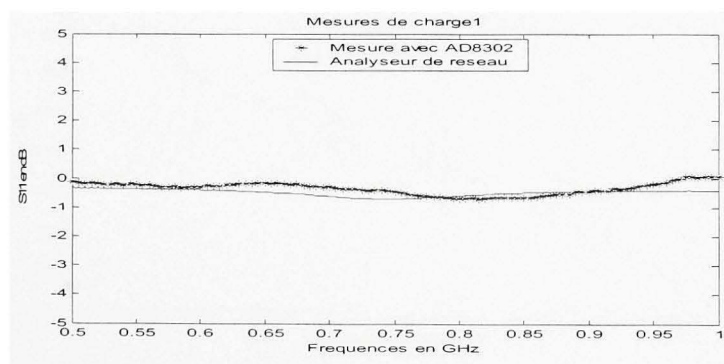


Figure 3.18 (a) Mesure de réflexion de charge1.

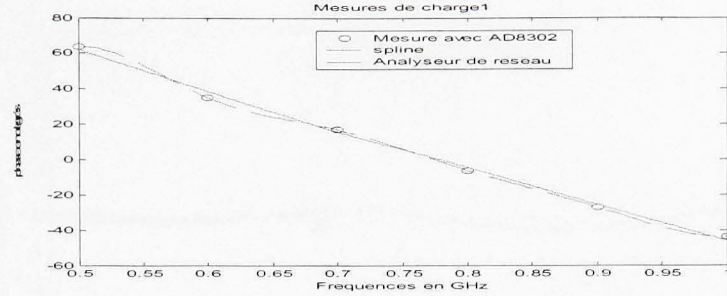


Figure 3.18 (b) Mesure de réflexion de charge1.

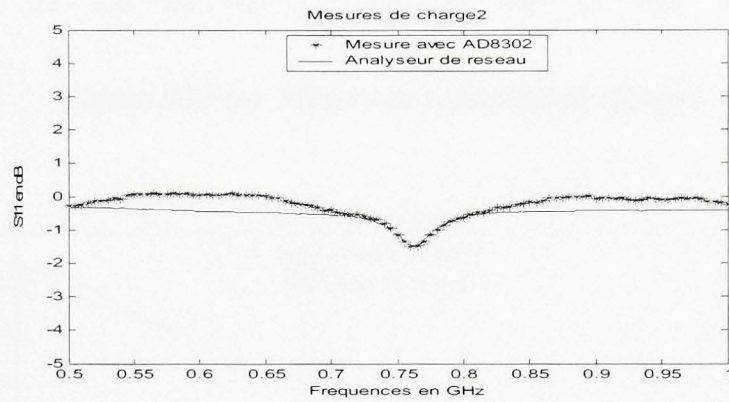


Figure 3.19 (a) Mesure de réflexion de charge2.

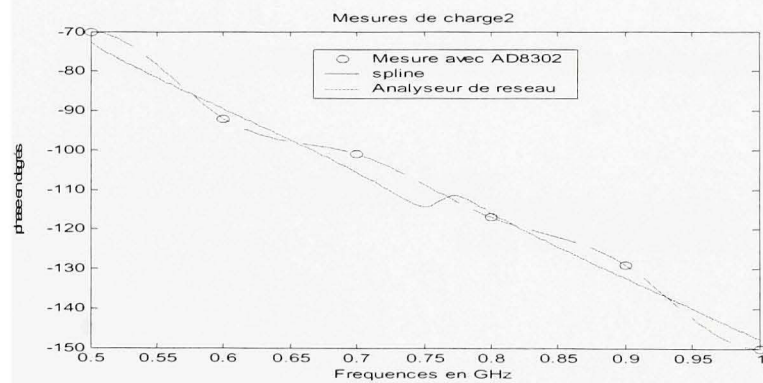


Figure 3.19 (b) Mesure de réflexion de charge2.

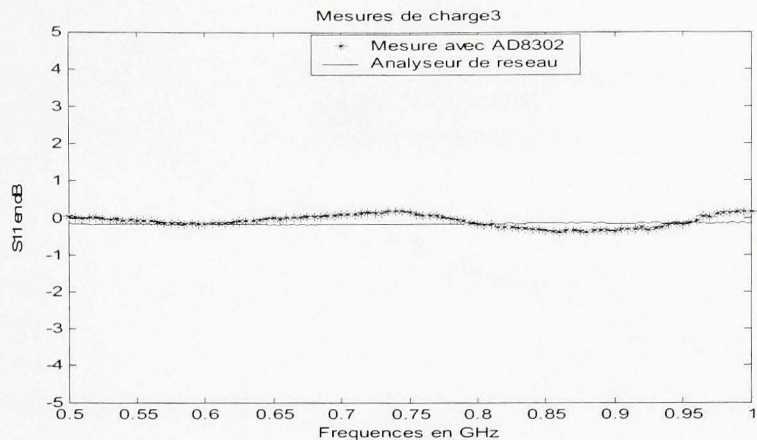


Figure 3.20 (a) Mesure de réflexion de charge3.

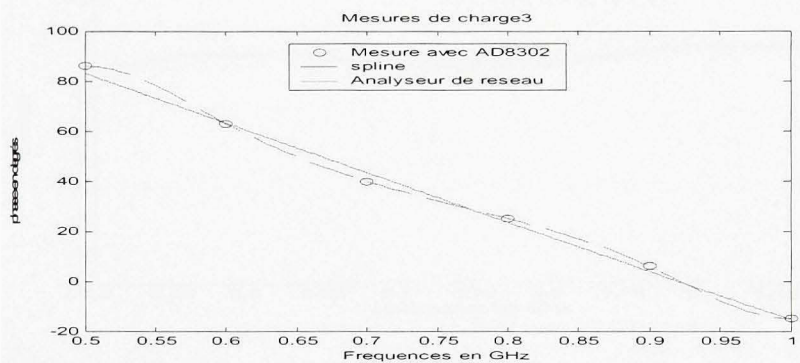


Figure 3.20 (b) Mesure de réflexion pour la charge3.

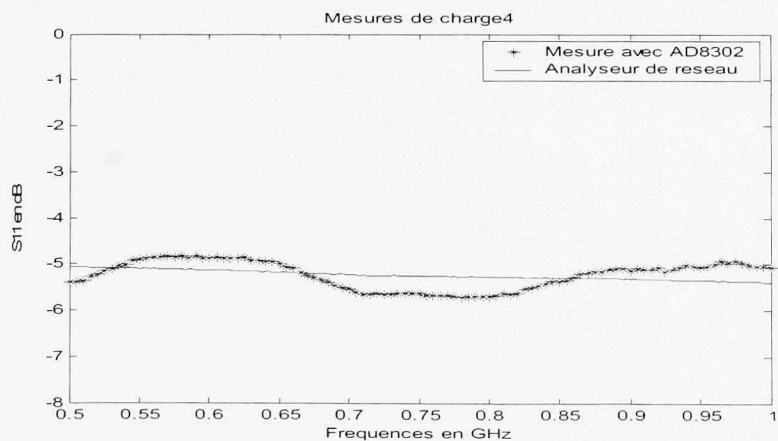


Figure 3.21 (a) Mesure de réflexion de charge4.

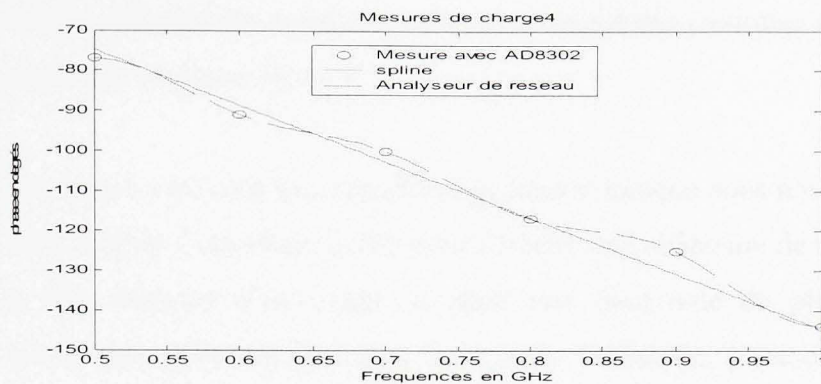


Figure 3.21 (b) Mesure de réflexion de charge4.

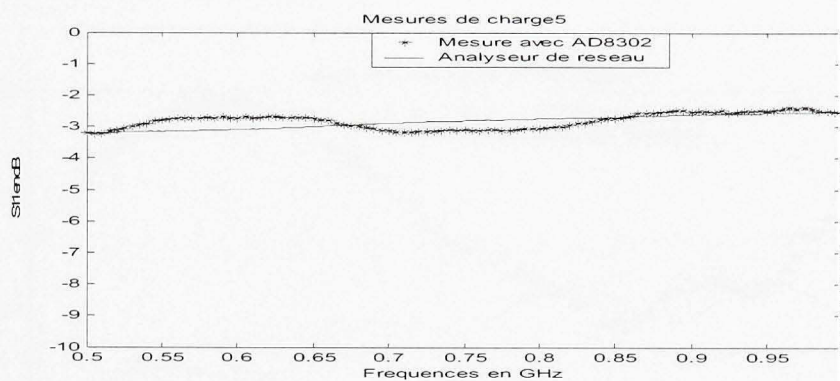


Figure 3.22 (a) Mesure de réflexion de charge5.

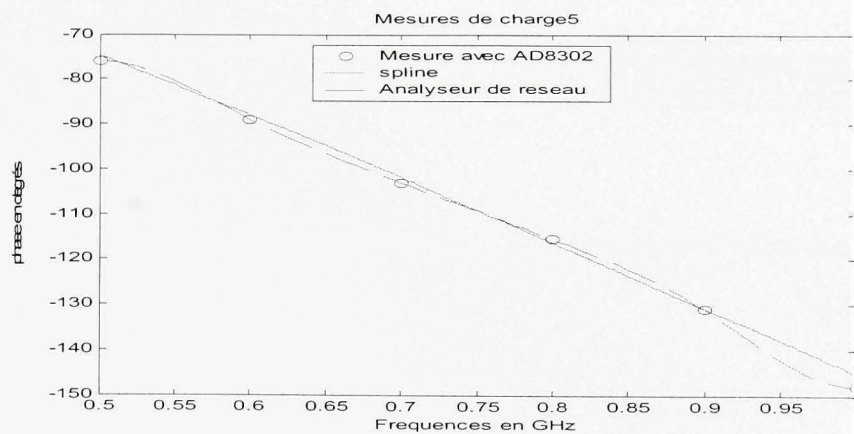


Figure 3.22 (b) Mesure de réflexion pour la charge5.

Ces graphes montrent que les différentes formules implémentées sont assez représentatives et que l'étalonnage effectué est satisfaisant. L'erreur maximale commise en amplitude est de 1dB tandis que celle en phase est de 5° .

Toutefois le système à un coupleur démontre ses limites lorsque nous nous approchons de 50 Ohms. En effet d'après l'équation (3.38), pour détecter une réflexion de 0.01 ou (-40dB) par exemple, il faut disposer d'un coupleur ayant une directivité de plus de 40dB. Cette contrainte sur la directivité devient quasi impossible à atteindre à mesure que la réflexion tend vers 0. Pour contourner cette difficulté, on se sert du modèle à deux coupleurs pour découpler davantage les ondes incidentes et réfléchies (confère figures 3.23 et 3.24).

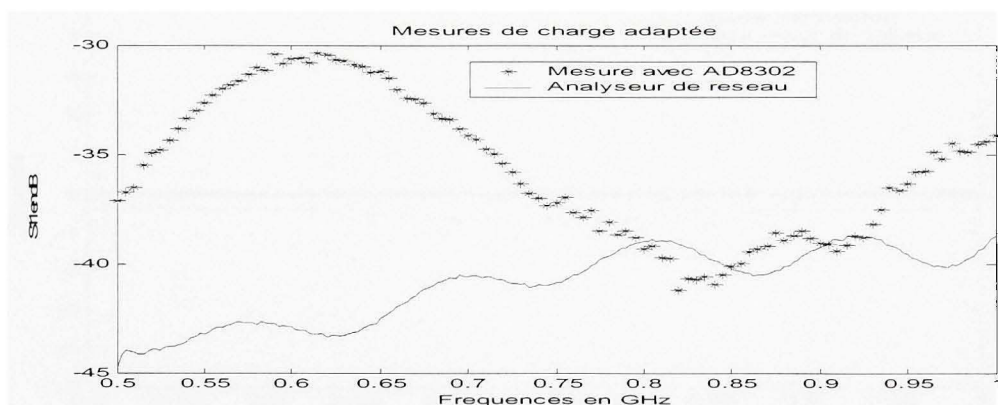


Figure 3.23 Mesure de charge adaptée avec un coupleur.

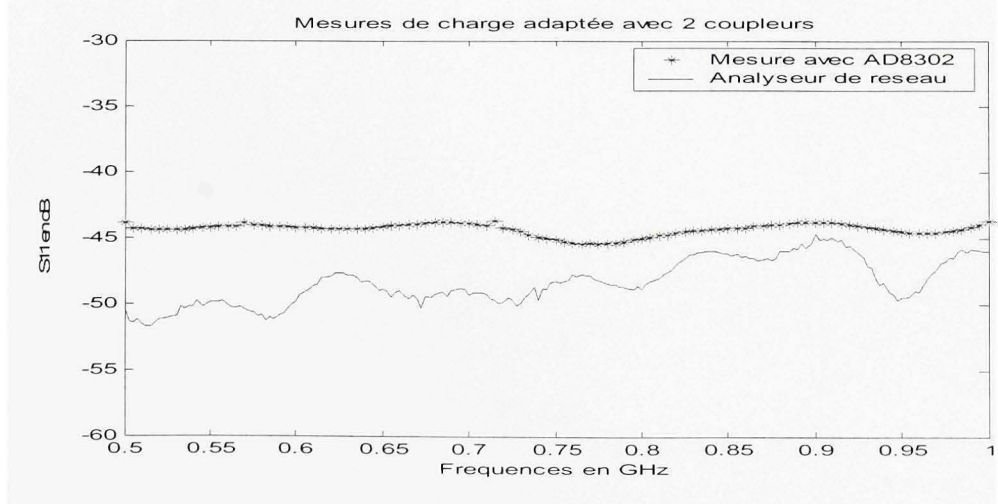


Figure 3.24 Mesure de charge adaptée avec deux coupleurs.

Nous observons que la mesure de charge adaptée à deux coupleurs est plus stable et plus précise que celle à un coupleur.

- Validation de la deuxième technique de calibration

L'implémentation de la deuxième technique de calibration a permis l'obtention des résultats que nous présentons dans les figures 3.24 à 3.28. Ces figures illustrent le module du coefficient de réflexion pour les cinq charges considérées et comparent les mesures du DPG avec le second algorithme de calibration à celles de l'analyseur de réseau :

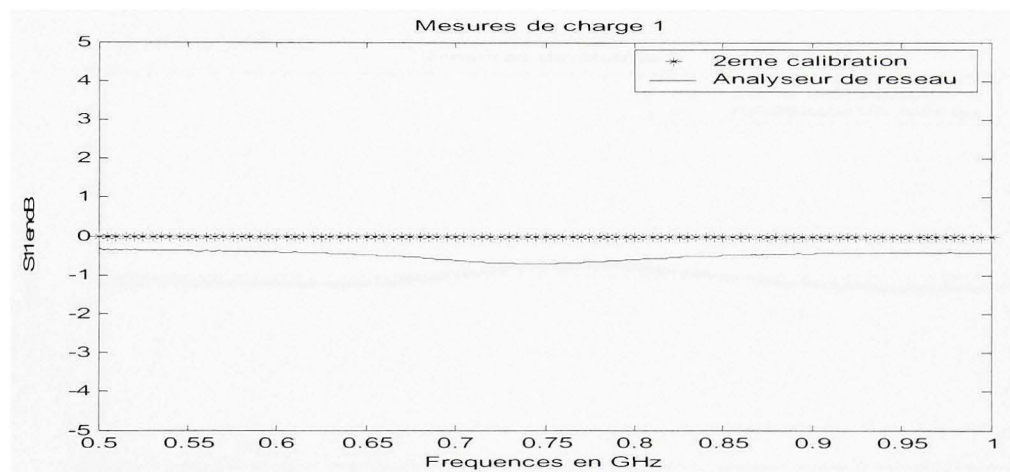


Figure 3.25 Mesure de charge1 par la 2eme calibration.

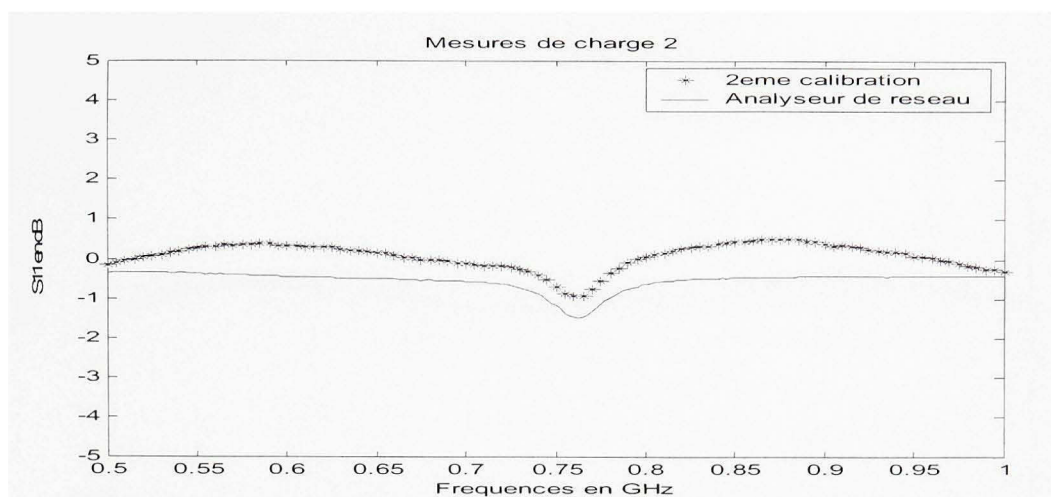


Figure 3.26 Mesure de charge2 par la 2eme calibration.

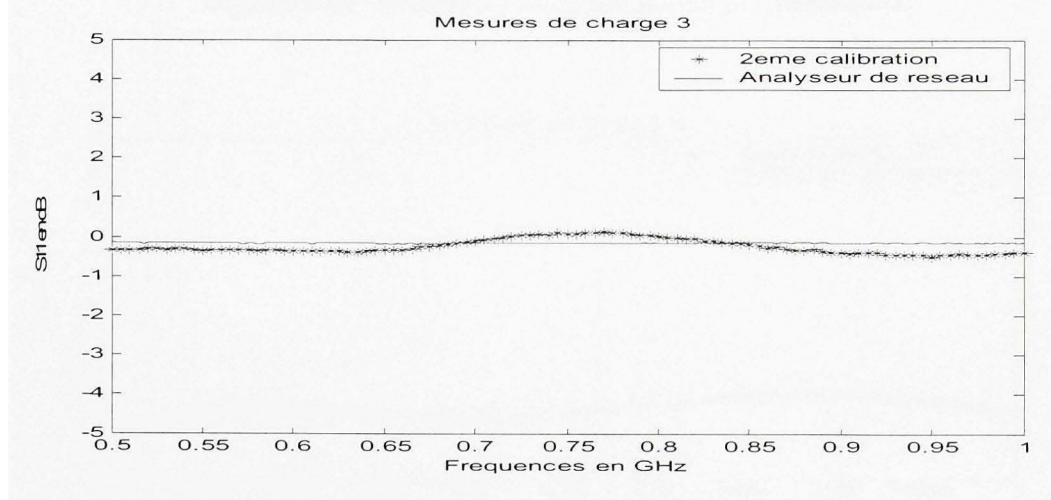


Figure 3.27 Mesure de charge3 par la 2eme calibration.

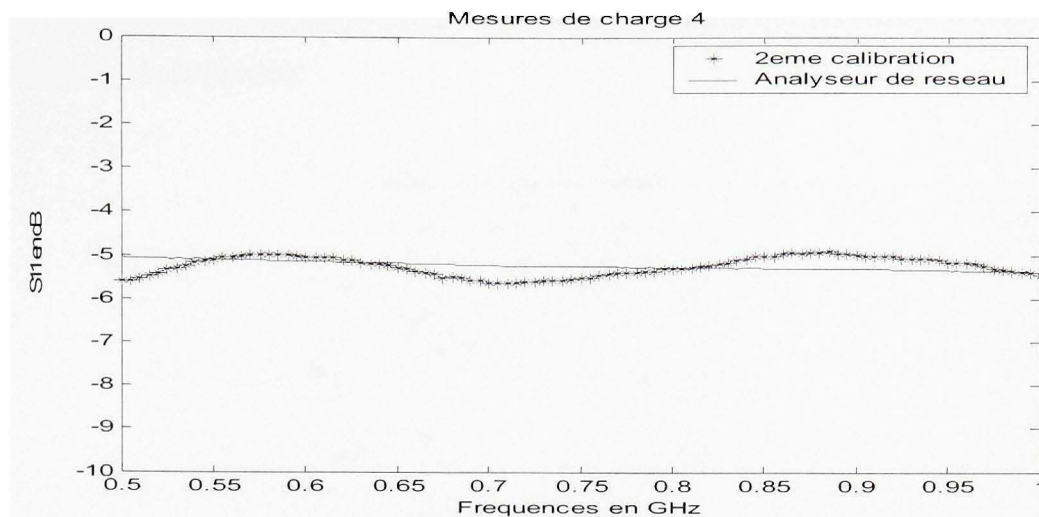


Figure 3.28 Mesure de charge4 par la 2^e calibration.

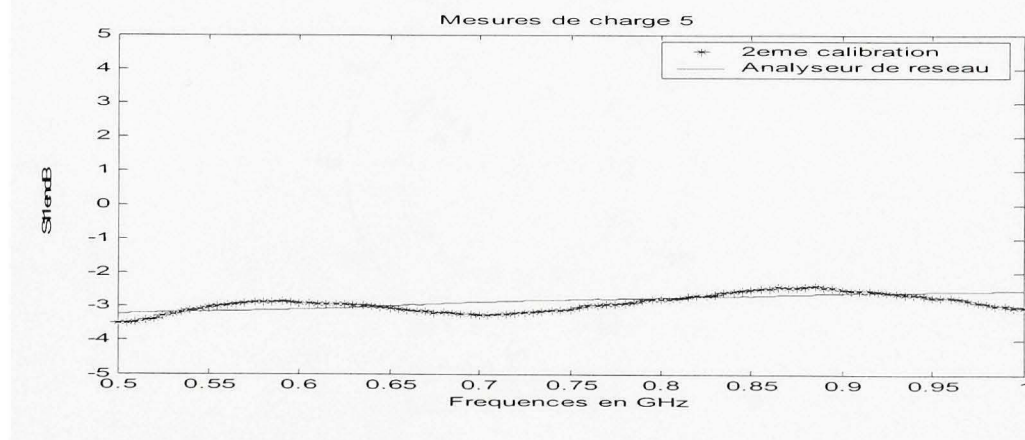


Figure 3.29 Mesure de charge5 par la 2^e calibration.

Les résultats ci-dessus sont quasi-identiques à ceux obtenus avec la méthode de boîte d'erreur.

Validation de puissance

Nous avons vérifié expérimentalement si le coefficient de réflexion est insensible à la puissance du générateur si l'on opère dans la plage du DPG. Les résultats sont présentés à la

figure 3-30 pour $P_{in}=0\text{dBm}$, 10dBm , -10dBm et confirment que les mesures sont invariantes par rapport à la puissance:

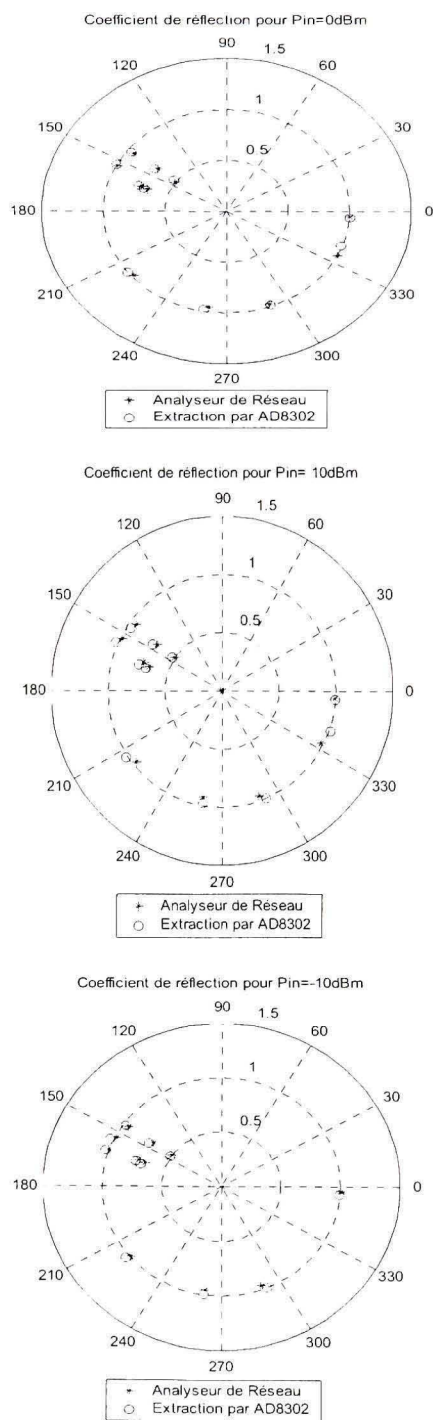


Figure 3.30 Coefficients de réflexion pour $P_{in}=0, 10, -10\text{ dBm}$.

3.9 Validation de mesure de gain

Le montage de la figure 3.12 a été réalisé pour valider les mesures en transmission. Le programme “ mesure de gain ” a été appliqué sur un filtre sélectif, un coupleur et un amplificateur de type ALC (Automatic Level Controlled).

- Filtre sélectif

Le filtre utilisé est sélectif aux fréquences 1.2 GHz et 1.6 GHz comme l'illustrent les mesures de la figure 3.31. Les résultats ont été obtenus à partir du DPG et comparés à l'analyseur de réseau :

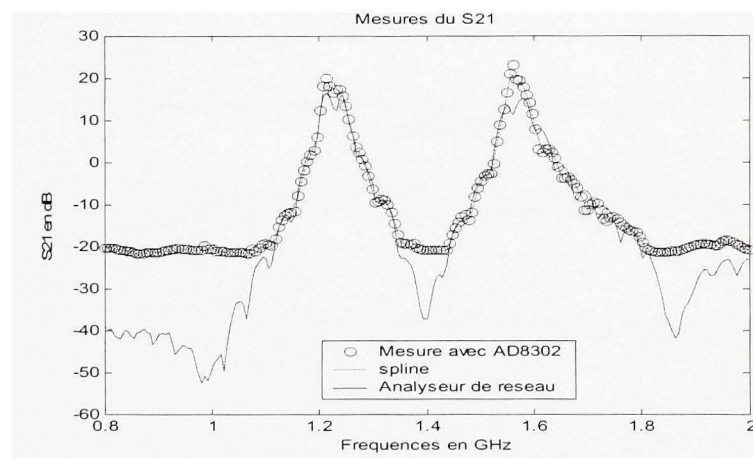


Figure 3.31 *Mesure de S21 pour un filtre sélectif.*

Les mesures dans ce cas sont très précises. La saturation à -20dB est associée à la limitation en puissance du DPG ainsi que sa plage dynamique.

- Amplificateur de type ALC

Nous avons utilisé deux “puissancemètres” comme référence pour mesurer la différence en dB des puissances d’entrée et de sortie de l’amplificateur. Les mesures sont par la suite comparées à celles enregistrées à partir du DPG comme le montre la figure 3.32 dans lequel nous avons tracé les différences des “puissancemètres” en fonction des mesures du DPG :

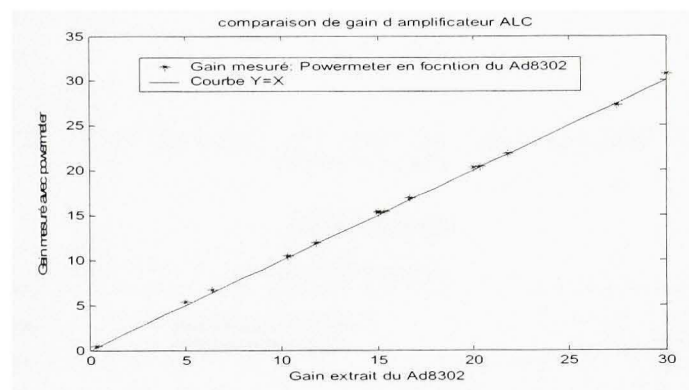


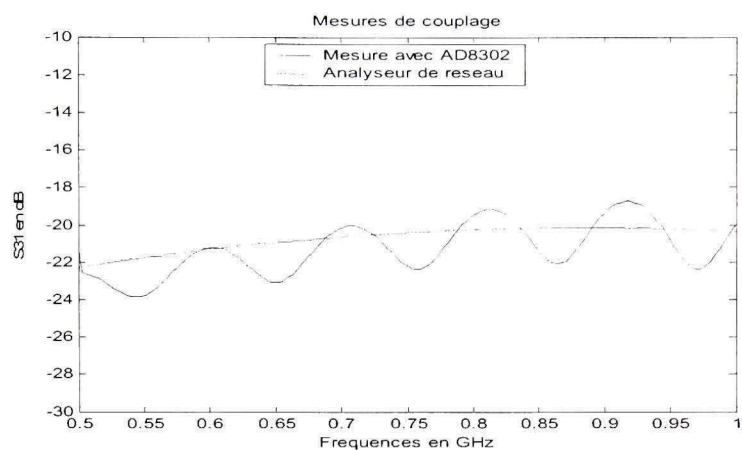
Figure 3.32 Comparaison de gain d'amplificateur ALC.

Les mesures de gain par le banc de test et la lecture des “puissancemètres” se révèlent identiques car l’on suit la première bissectrice ($Y=X$).

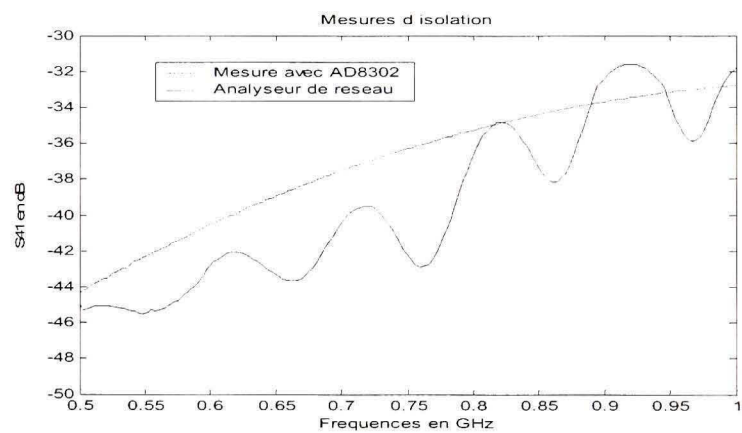
- Mesure d’un coupleur ANAREN

Le banc de test nous a permis aussi de caractériser un coupleur en mesurant la transmission, le couplage et l’isolation. Les résultats ont été validés à l’aide de l’analyseur de réseau et sont présentés à la figure 3.33. Le facteur de couplage a été obtenu avec une erreur maximale de 2 dB tandis que l’erreur commise pour l’isolation peut atteindre 6dB. Cette différence est élevée étant donné qu’on opère en dehors de la plage dynamique du DPG. La mesure en transmission quant à elle oscille de $\pm 0.5\text{dB}$ par rapport à sa valeur réelle.

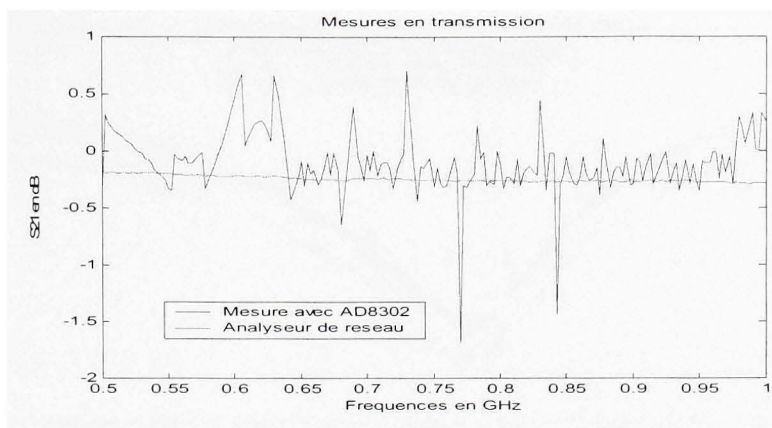
Soulignons que même si l’allure globale est maintenue, les variations brusques notées sont dues à des discontinuités.



(a) Couplage.



(b) Isolation.

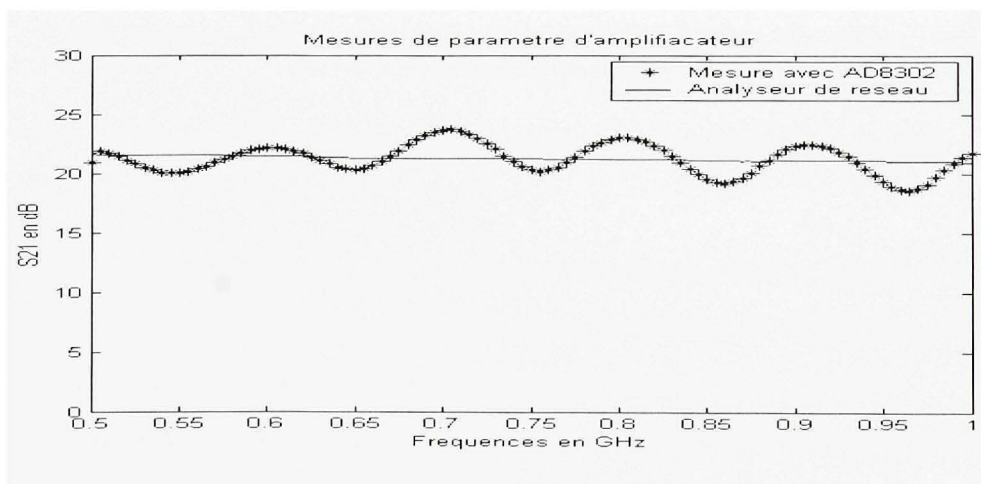


(c) Transmission.

Figure 3.33 Caractérisation d'un coupleur par le banc de test.

3.10 Mesure de paramètre S d'amplificateur

Le montage de la figure 3.12 a été réalisé lors des mesures. Les coupleurs utilisés ont les mêmes caractéristiques. Le programme 'mesure de paramètre S' a été utilisé pour produire les résultats que nous avons validés à l'aide de l'analyseur de réseau (figure 3.34). L'amplificateur mesuré est le modèle ADL 5330 d'Analog Device.



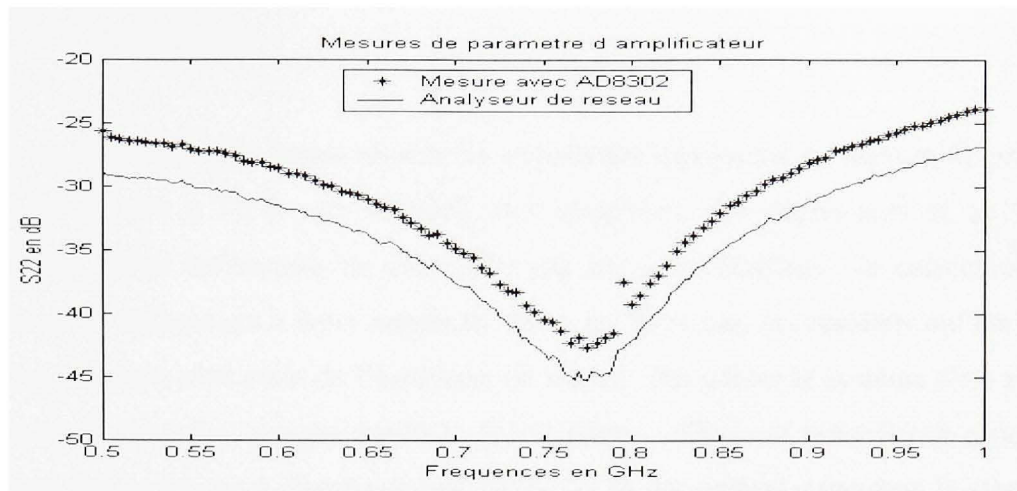


Figure 3.34 *Mesure de paramètres S d'amplificateur.*

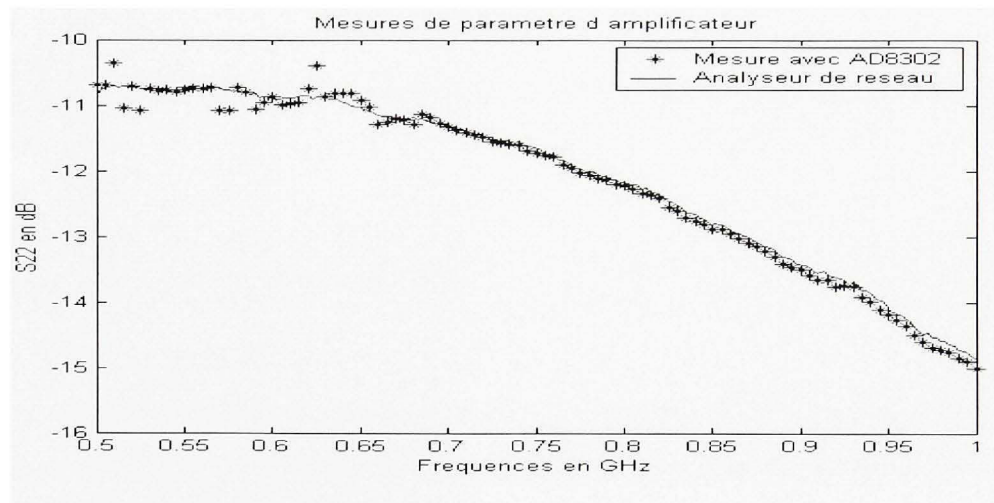


Figure 3.34 *Mesure de paramètres S d'amplificateur (suite).*

L'erreur commise est moins de 3dB. La mesure du gain S_{21} fluctue autour de la valeur de 21 dB. Signalons que nous opérons dans la zone de saturation du DPG. Les résultats seraient plus précis si nous fonctionnons dans la plage dynamique (-30dB à 20 dB). Nous n'avons pas mesuré le gain inverse (S_{12}) étant donné qu'il est relativement faible et ne peut être détecté par le DPG.

3.11 Conclusion

Dans ce chapitre, nous avons abordé les différentes topologies de mesure de paramètres S d'un quadripôle à l'aide du AD8302, des coupleurs, des déphaseurs et au besoin des isolateurs. Deux techniques de correction ont été aussi étudiées : la correction par boîte d'erreur et l'étalonnage à deux standards. Dans les deux cas, les résultats ont été concluants par comparaison avec ceux de l'analyseur de réseau. Par contre le système s'est avéré moins performant pour des charges proches de 50 Ohms. On peut remédier à cette limite en utilisant des coupleurs à directivité très élevée ou en découplant davantage le signal d'entrée en se servant de deux coupleurs.

CHAPITRE 4

APPLICATION AU SYSTÈME RF INTELLIGENT : MESURE EMBARQUÉE

4.1 Introduction

Dans le chapitre précédent, nous avons démontré la faisabilité d'un dispositif de mesures utilisant des technologies peu coûteuses. Une des applications imminentes de ce banc de test consiste à faire la mesure embarquée des SRFI.

Dans ce chapitre, nous ferons une mise en contexte sur les SRFI et présenterons l'architecture désirée. Nous étudierons par la suite comment s'intégrera le banc d'essai aux SRFI.

4.2 Les systèmes RF intelligents

L'approche des systèmes intelligents en RF a été abordée pour la première fois en 2001. La principale motivation à l'époque était de remédier à certains inconvénients liés à l'emploi de la technologie MMIC (Monolithic Microwave Integrated Circuits). Un des inconvénients demeure l'incapacité d'accorder des composantes après fabrication, limitant la capacité des systèmes à s'adapter à de nouvelles fonctionnalités.

L'initiative des SRFI se résumait sous forme de projets visant à développer et démontrer des concepts révolutionnaires, des processus de fabrication, des architectures de composantes, des technologies d'intégration pour pouvoir adapter les systèmes RF lorsque les besoins changent dans le temps. Le terme intelligent justifie alors la capacité de ces types de systèmes de pouvoir fonctionner sur une plage de fréquences variables, de s'auto-évaluer, de s'ajuster aux nouvelles conditions d'opération et de compenser les effets de vieillissement

etc. Cette caractéristique de reconfigurabilité automatisée est assurée par un module d'asservissement dans lequel seront implémentés les algorithmes numériques pour gérer l'état du bloc RF.

4.2.1 Architecture simplifiée des SRFI

L'architecture simplifiée des SRFI se compose de quatre sections différentes comme le montre la figure 4.1. La section à contrôler est la composante RF alors que les trois autres sont les réseaux d'adaptation d'impédance variable (RAIV), le détecteur intégré et la partie numérique. L'ensemble de ces sections assure la reconfigurabilité :

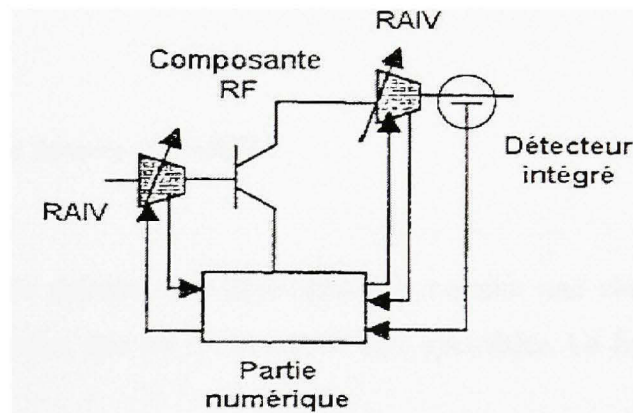


Figure 4.1 Architecture simplifiée des SRFI [13].

Les RAIV sont placés à l'entrée et à la sortie de la composante RF. Leur rôle est d'adapter l'impédance effective entre deux points dans un circuit. La technologie de choix pour leur réalisation porte actuellement sur les MEMS (Micro Electro Mechanical System) ayant pour principal avantage la propriété de mobilité physique. L'évolution de cette technologie permettra de développer de tels réseaux de sorte à couvrir une grande plage d'impédance tout en minimisant la consommation en terme de puissance et à garantir une bonne isolation. Actuellement, il n'existe pas un circuit commercial ayant la même fonctionnalité que les

RAIV. Cependant différents travaux de recherche dans ce domaine ont démontré leur faisabilité en utilisant les interrupteurs MEMS [12].

Les détecteurs quant à eux vont permettre de connaître l'état des signaux du système en mesurant les rapports complexes des ondes à leurs entrées et sorties.

La partie numérique sera constituée de divers circuits intégrés numériques et d'algorithmes pour réaliser l'acquisition et le traitement des données du détecteur afin de pouvoir contrôler les RAIV qui changeront la configuration du système.

La communication entre les domaines numérique et analogique se fera par le biais des convertisseurs numériques analogiques (CNA) ou analogiques numériques (CAN). La sortie du détecteur étant généralement une tension ou un courant analogique, l'échange de l'information à ce niveau se fera en utilisant un CAN. Une fois le traitement réalisé, la partie numérique génère des signaux numériques qui sont convertis par les CNA et commandent l'ajustement des RAIV.

4.2.2 Architecture désirée des SRFI

L'architecture désirée se présente de façon générale comme une chaîne de transmission traditionnelle à la différence que les éléments RF sont ajustables. La figure 4.2 illustre cette architecture :

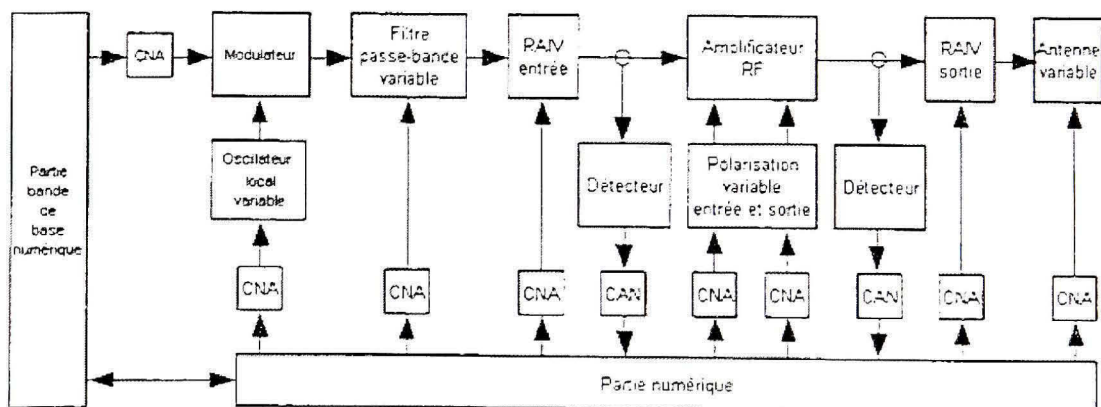


Figure 4.2 Architecture désirée des SRFI.

Chaque élément de la chaîne est relié à la partie numérique pour l'asservissement du système. Cette architecture est constituée dans son ensemble des modules RF : filtre, antenne, oscillateur, RAIV, détecteur... et des modules numériques. Il est courant de trouver sur le marché certains éléments du module RF par contre d'autres dont les RAIV et les circuits de détection sont en développement.

Notre projet s'inscrit dans ce cadre et vise à contribuer à l'intégration des mesures des ratios d'ondes complexes dans les SRFI.

4.2.3 Mesure embarquée des SRFI

Dans l'architecture désirée, les modules de détection sont placés avant et après l'amplificateur pour lequel l'on désire ajuster les paramètres. Ils permettent respectivement de détecter les signaux présents à l'entrée et à la sortie de celui-ci pour en mesurer le rapport. En configurant le DPG avec la topologie de mesure de gain, on peut arriver à cette fin. La figure 2.3 présente un modèle d'intégration du banc de test aux SRFI si l'on s'intéresse uniquement au gain complexe de l'amplificateur :

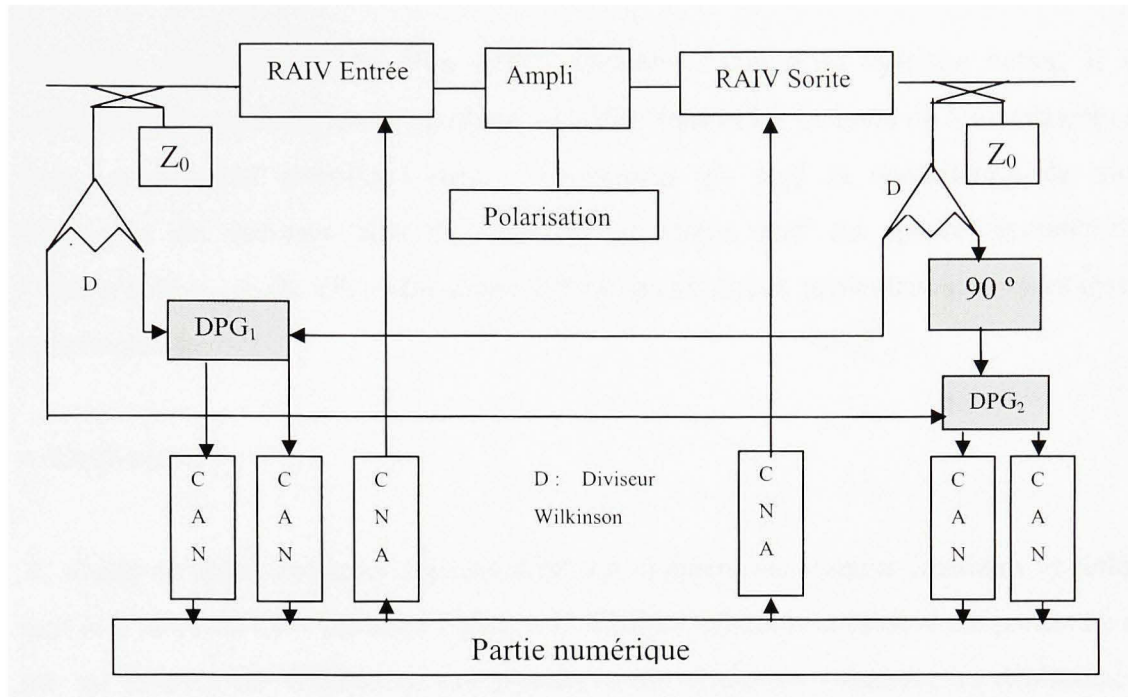


Figure 4.3 Intégration des DPG aux SRFI.

Le circuit de détection inclut des coupleurs directionnels ainsi que des diviseurs de Wilkinson qui permettront de diviser en deux les signaux préalablement échantillonnés par les coupleurs. Chaque échantillon d'entrée et de sortie du quadripôle sous test est injecté dans le premier DPG tandis que l'autre échantillon alimente le second DPG. Un déphaseur à 90° est utilisé pour lever l'ambiguïté de phase. Les sorties des diviseurs de Wilkinson présenteront certes une perte de 3dB par rapport au signal original, mais cette perte n'affectera la détection du rapport car les deux signaux présentés aux entrées des DPG subissent la même perte de 3dB. Chaque sortie du DPG est convertie en valeur numérique pour traitement par le processeur (partie numérique) dans lequel seront implémentés les algorithmes de calcul. Ainsi dans cette configuration, il nous faudra quatre CAN.

Dans le cas où l'on s'intéresse aux réflexions, les pseudo-ondes incidentes et réfléchies seront prélevées en amont et en aval de l'amplificateur ou du DST pour réaliser la réflectométrie suivant la configuration déjà présentée au chapitre précédent.

Toutefois étant donné que l'on désire contrôler l'état d'un système entier, il est fort intéressant de connaître simultanément les réflexions et les facteurs de transmission. Pour ce faire, nous avons investigué deux architectures qui font la compilation de toutes les topologies de mesures afin de mesurer en temps réel les quatre paramètres S de l'amplificateur ou du DST. Chacune de ces architectures présentent des avantages et des inconvénients :

- Architecture 1 :

À l'aide de deux coupleurs directionnels, on récupère les signaux incidents et réfléchis de part et d'autre du DST (confère figure 4.4). Chaque échantillon prélevé est partitionné en deux par un diviseur de Wilkinson. Les pseudo ondes réfléchies subissent un déphasage de 90° avant d'être à nouveau divisées par le diviseur de Wilkinson tandis que les pseudo ondes incidentes sont directement dupliquées. Ainsi à cet étage il résulte quatre échantillons d'ondes incidentes avec une atténuation de 6dB et quatre échantillons d'ondes réfléchies avec une atténuation de 6dB dont deux sont déphasés de 90° . Les échantillons sont administrés deux à deux dans huit DPG de façon à réaliser les mesures suivantes :

$$\begin{aligned}
 S_{11} &= \frac{b_1}{a_1} \\
 S_{21} &= \frac{b_2}{a_1} \\
 S_{12} &= \frac{b_1}{a_2} \\
 S_{22} &= \frac{b_2}{a_2}
 \end{aligned}
 \tag{4.1}$$

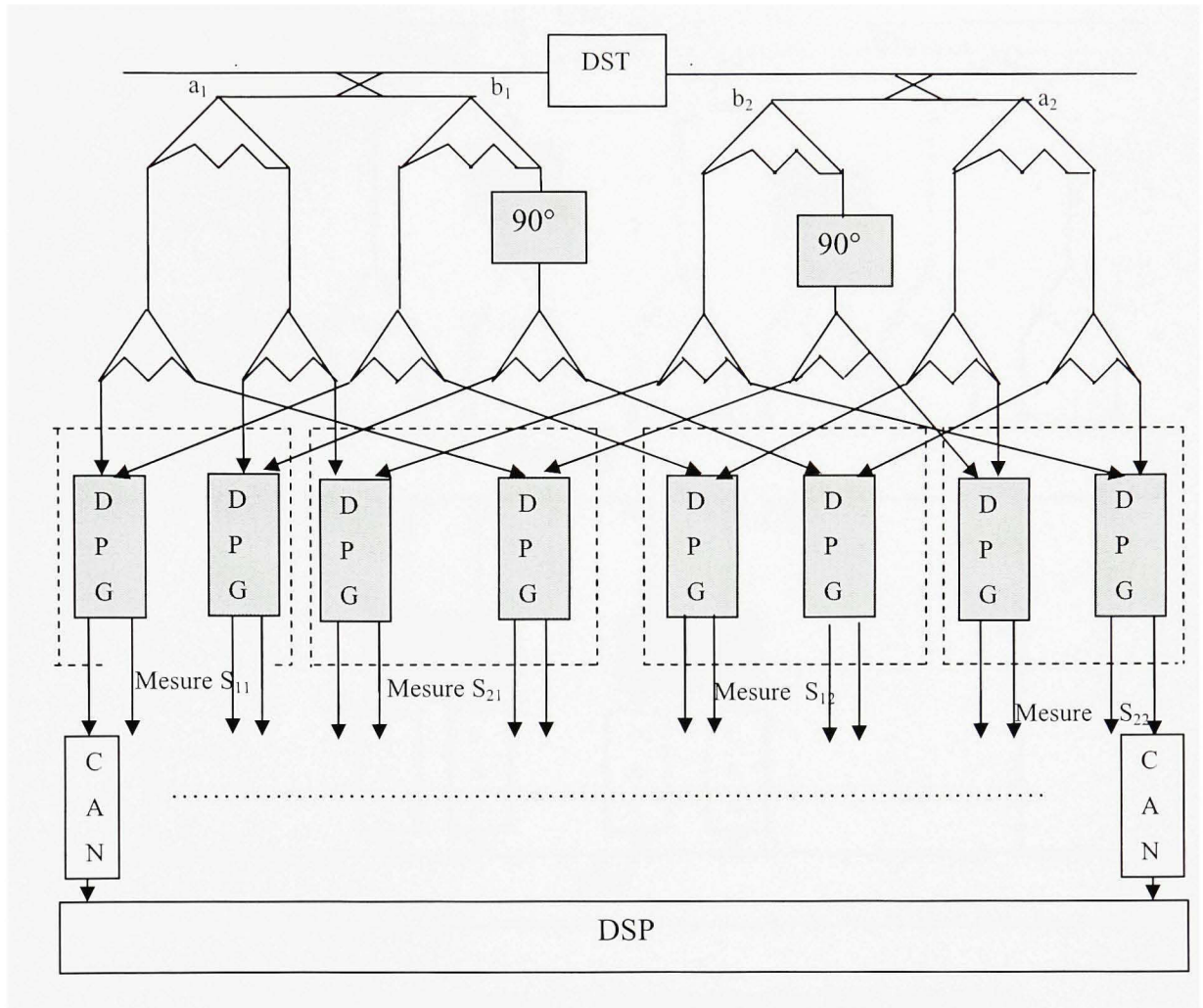


Figure 4.4 Architecture n° 1 d'intégration des DPG aux SRFL.

- Architecture 2 :

Cette deuxième architecture ressemble à la première à la différence qu'on utilise un commutateur pour prélever les ondes incidentes et réfléchies. On prévoit ainsi minimiser l'utilisation des DPG.

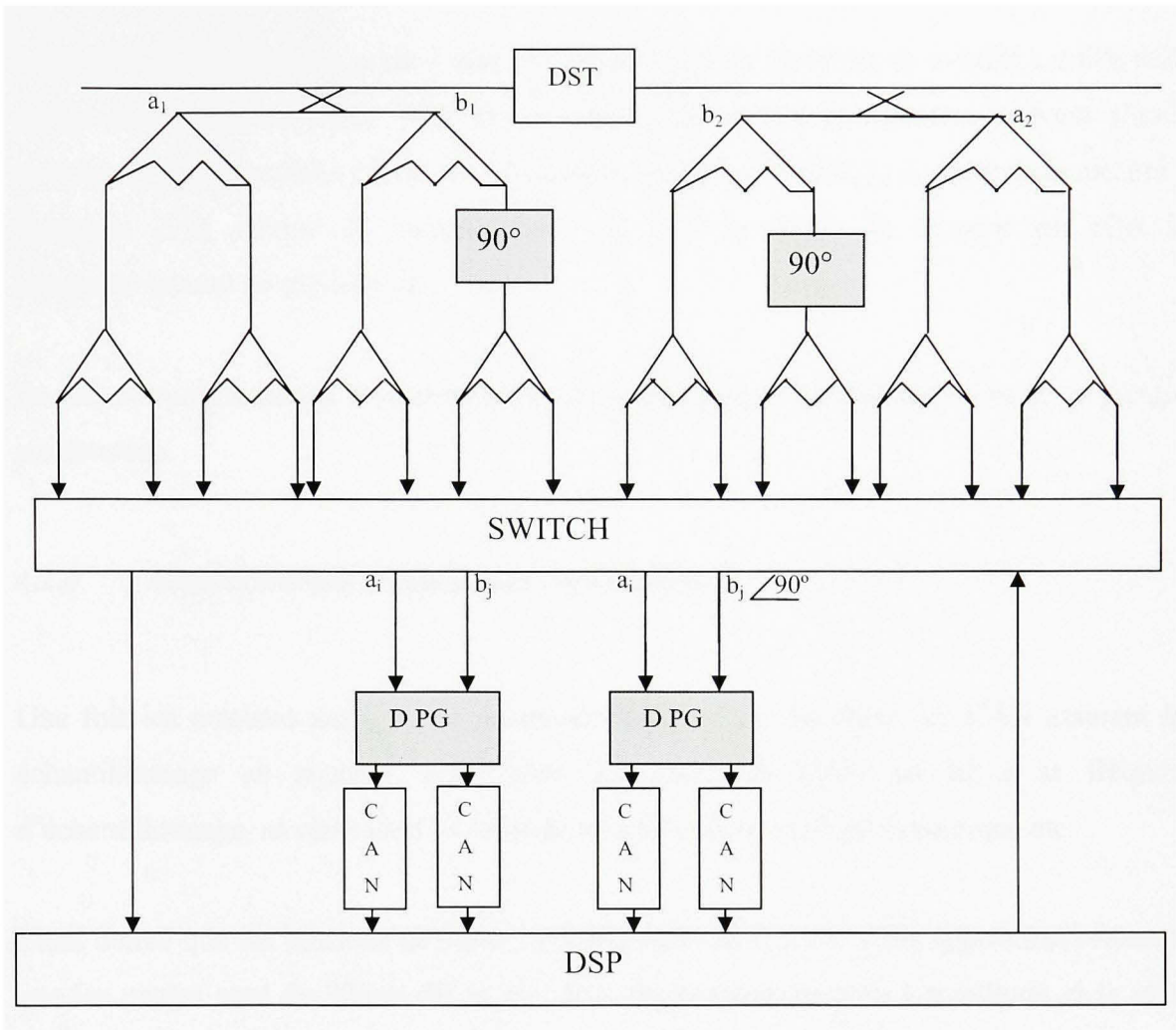


Figure 4.5 Architecture n° 2 d'intégration des DPG aux SRFI.

Deux DPG seront utilisés dans cette configuration : un sert à déterminer le rapport complexe non signé et l'autre permet d'élever l'ambiguïté de signe. Le commutateur prélève alors les

ondes a_i ($i=1,2$), b_j ($j=1,2$), et b_j déphasées de 90° . On pourra ainsi calculer aisément $S_{ji} = \frac{b_j}{a_i}$.

- Comparaison des deux architectures

La première architecture présente l'avantage de mesurer directement tous les paramètres du DST une fois les raccordements réalisés. Le temps de réponse du système devient ainsi rapide. Cependant elle nécessite l'utilisation de huit DPG et de huit CAN rendant encombrant la détection.

La deuxième architecture quant à elle, est moins coûteuse en terme de circuits car elle utilise quatre convertisseurs, deux DPG et un switch. Par contre les mesures peuvent s'avérer erronées si la commutation n'est pas idéalement réalisée. En effet, la justesse de la mesure est assujettie à la vitesse du commutateur. De plus le temps de réponse est plus lent comparativement au premier cas.

En tenant compte de ces considérations, nous suggérerons l'implémentation de la première architecture.

4.2.4 Convertisseurs Analogiques Numériques

Une fois les tensions analogiques récupérées aux sorties des DPG, les CAN assurent leur échantillonnage en signaux numériques. Le choix du CAN est lié à sa fréquence d'échantillonnage, sa résolution, le bruit de quantification, sa plage dynamique etc.

Étant donné que les tensions de sortie du DPG varie de 0 à 1.8 Volts approximativement et que les pentes sont de 30mv/ dB et 10 mV/° respectivement pour l'amplitude et la phase, pour couvrir la plage de 0 à 2 Volts en tout en restant dans les limites des pentes, une quantification de 8 à 10 bits est jugée adéquate. En optant pour une résolution sur 10 bits et un débit proche de 100MSPS, l'AD9071 d'Analog Devices semble être un candidat de choix. Ce convertisseur peut être alimenté à 5Volts et a une largeur de bande (analogique) de 280 MHz. La puissance maximale dissipée est de 620 mW et le rapport signal à bruit est d'environ 56 dB [Annexe II].

Conclusion

Ce chapitre a fait l'objet d'application du banc de test aux SRFI. Dans un premier temps nous avons fait une mise en contexte sur les SRFI. Nous y avons présenté l'architecture désirée ainsi que les technologies qui existent pour sa mise en application. Si certains éléments existent déjà sur le marché et ont atteint une phase de maturité, d'autres tel l'aspect détection sont en développement.

Nous avons suggéré deux architectures visant à mesurer l'état des signaux du système en utilisant des coupleurs directionnels, des diviseurs de Wilkinson, des déphaseurs et des DPG. L'architecture retenue sera composée des huit DPG permettant la mesure instantanée des quatre paramètres du DST. Elle est toutefois coûteuse en termes de circuits RF mais paraît être un bon compromis. La communication avec le domaine numérique se fera via le CAN AD9071. L'intégration des domaines RF et numérique sur un seul substrat est envisagée en utilisant la technologie CMOS ou des semi conducteurs à base de silicium.

CONCLUSION GÉNÉRALE

Dans ce mémoire, nous avons développé une approche originale de caractérisation des circuits micro-ondes. Le dispositif de mesure intègre la carte AD8302 qui assure la détection des signaux en gain et en phase. Le travail effectué durant ce projet nous a permis de rencontrer plusieurs objectifs.

Dans un premier temps, nous avons calibré la carte AD8302. Ce qui nous a permis de connaître ses conditions d'opération et de choisir adéquatement les caractéristiques des autres composantes dont les coupleurs afin de rester dans sa plage dynamique et de respecter les contraintes de limitation en puissance. Nous avons aussi obtenu des équations caractéristiques expérimentales de la carte pour son implémentation dans les programmes de calcul.

Une fois la calibration de la carte a été validée, nous avons procédé au développement analytique du banc de mesure en utilisant principalement le diagramme de fluence. Nous avons obtenu des équations mathématiques qui permettent de déterminer les facteurs de réflexion et de transmission par simple mesure de rapport d'ondes et la connaissance des paramètres S des coupleurs utilisés. Des techniques de correction ont été aussi abordées pour rendre le système précis.

Une série de tests a été réalisée sur des circuits passifs et actifs. Les résultats ont été comparés et validés à l'analyseur de réseau ou à la lecture des puissance- mètres.

Le banc de test offre plusieurs avantages par rapport aux systèmes actuels de caractérisation en RF. En effet, il ne nécessite pas de complexité dans sa conception, est relativement moins coûteux et ne nécessite pas une longue procédure d'étalonnage. De plus il est automatisée et commandé par ordinateur.

Le système présente cependant des limites. Outre son instabilité dans la détection de la phase, la mesure en réflexion devient difficile à réaliser lorsqu'on s'approche de 50 Ohms en raison des limitations de la carte et du défaut de directivité des coupleurs. De plus, le temps de mesure et de traitement est relativement long par rapport aux analyseurs de réseau existants. Il est également limité par sa plage fréquentielle et ne permet pas la caractérisation des circuits opérant à très hautes fréquences.

Nous avons finalement proposé des architectures d'intégration du banc de mesures aux systèmes RF intelligents. Cette intégration reste pour le moment conceptuelle puisque les tests n'ont pas encore été réalisés pour valider l'efficacité de la méthodologie investiguée.

ANNEXE I

FICHE TECHNIQUE DU AD8302



LF–2.7 GHz RF/IF Gain and Phase Detector

AD8302

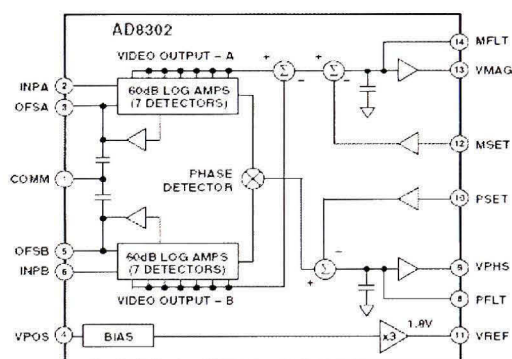
FEATURES

Measures Gain/Loss and Phase up to 2.7 GHz
Dual Demodulating Log Amps and Phase Detector
Input Range –60 dBm to 0 dBm in a 50 Ω System
Accurate Gain Measurement Scaling (30 mV/dB)
Typical Nonlinearity < 0.5 dB
Accurate Phase Measurement Scaling (10 mV/Degree)
Typical Nonlinearity < 1 Degree
Measurement/Controller/Level Comparator Modes
Operates from Supply Voltages of 2.7 V–5.5 V
Stable 1.8 V Reference Voltage Output
Small Signal Envelope Bandwidth from DC to 30 MHz

APPLICATIONS

RF/IF PA Linearization
Precise RF Power Control
Remote System Monitoring and Diagnostics
Return Loss/VSWR Measurements
Log Ratio Function for AC Signals

FUNCTIONAL BLOCK DIAGRAM



PRODUCT DESCRIPTION

The AD8302 is a fully integrated system for measuring gain-loss and phase in numerous receive, transmit, and instrumentation applications. It requires few external components and a single supply of 2.7 V–5.5 V. The ac-coupled input signals can range from –60 dBm to 0 dBm in a 50 Ω system, from low frequencies up to 2.7 GHz. The outputs provide an accurate measurement of either gain or loss over a ± 30 dB range scaled to 30 mV/dB, and of phase over a 0° – 180° range scaled to 10 mV/degree. Both subsystems have an output bandwidth of 30 MHz, which may optionally be reduced by the addition of external filter capacitors. The AD8302 can be used in controller mode to force the gain and phase of a signal chain toward predetermined setpoints.

The AD8302 comprises a closely matched pair of demodulating logarithmic amplifiers, each having a 60 dB measurement range. By taking the difference of their outputs, a measurement of the magnitude ratio or gain between the two input signals is available. These signals may even be at different frequencies, allowing the measurement of conversion gain or loss. The AD8302 may be used to determine absolute signal level by applying the unknown signal to one input and a calibrated ac reference signal to the other. With the output stage feedback connection disabled, a comparator may be realized, using the setpoint pins MSET and PSET to program the thresholds.

The signal inputs are single-ended, allowing them to be matched and connected directly to a directional coupler. Their input impedance is nominally 3 k Ω at low frequencies.

The AD8302 includes a phase detector of the multiplier type, but with precise phase balance driven by the fully limited signals appearing at the outputs of the two logarithmic amplifiers. Thus, the phase accuracy measurement is independent of signal level over a wide range.

The phase and gain output voltages are simultaneously available at loadable ground referenced outputs over the standard output range of 0 V to 1.8 V. The output drivers can source or sink up to 8 mA. A loadable, stable reference voltage of 1.8 V is available for precise repositioning of the output range by the user.

In controller applications, the connection between the gain output pin VMAG and the setpoint control pin MSET is broken. The desired setpoint is presented to MSET and the VMAG control signal drives an appropriate external variable gain device. Likewise, the feedback path between the phase output pin VPHS and its setpoint control pin PSET may be broken to allow operation as a phase controller.

The AD8302 is fabricated on Analog Devices' proprietary, high performance 25 GHz SOI complementary bipolar IC process. It is available in a 14-lead TSSOP package and operates over a -40°C to $+85^\circ\text{C}$ temperature range. An evaluation board is available.

REV. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781/329-4700
Fax: 781/326-8703
www.analog.com
© Analog Devices, Inc., 2002

AD8302—SPECIFICATIONS

($T_A = 25^\circ\text{C}$, $V_S = 5\text{ V}$, VMAG shorted to MSET, VPHS shorted to PSET, 52.3 Ω shunt resistors connected to INPA and INPB, for Phase measurement $P_{\text{INPA}} = P_{\text{INPB}}$, unless otherwise noted.)

Parameter	Conditions	Min	Typ	Max	Unit
OVERALL FUNCTION					
Input Frequency Range		>0		2700	MHz
Gain Measurement Range	P_{IN} at INPA, P_{IN} at INPB = -30 dBm		± 30		dB
Phase Measurement Range	ϕ_{IN} at INPA > ϕ_{IN} at INPB		± 90		Degree
Reference Voltage Output	P_{in} VREF, $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	1.72	1.8	1.88	V
INPUT INTERFACE					
Input Simplified Equivalent Circuit	Pins INPA and INPB To AC Ground, $f \leq 500\text{ MHz}$		3 2		k Ω pF
Input Voltage Range	AC-Coupled (0 dBV = 1 V rms) re: 50 Ω	-73 -60		-13 0	dBV dBm dBV dBm
Center of Input Dynamic Range			-43 -30		
MAGNITUDE OUTPUT					
Pin VMAG					
Output Voltage Minimum	$20 \times \log(V_{\text{INPA}}/V_{\text{INPB}}) = -30\text{ dB}$		30		mV
Output Voltage Maximum	$20 \times \log(V_{\text{OUTA}}/V_{\text{OUTB}}) = +30\text{ dB}$		1.8		V
Center Point of Output (MCP)	$V_{\text{INPA}} = V_{\text{INPB}}$		900		mV
Output Current	Source/Sink		8		mA
Small Signal Envelope Bandwidth	Pin MFLT Open		30		MHz
Slew Rate	40 dB Change, Load 20 pF 10 k Ω		25		V/ μs
Response Time					
Rise Time	Any 20 dB Change, 10%-90%		50		ns
Fall Time	Any 20 dB Change, 90%-10%		60		ns
Settling Time	Full-Scale 60 dB Change, to 1% Settling		300		ns
PHASE OUTPUT					
Pin VPHS					
Output Voltage Minimum	Phase Difference 180 Degrees		30		mV
Output Voltage Maximum	Phase Difference 0 Degrees		1.8		V
Phase Center Point	When $\phi_{\text{INPA}} = \phi_{\text{INPB}} \pm 90^\circ$		900		mV
Output Current Drive	Source/Sink		8		mA
Slew Rate			25		V/ μs
Small Signal Envelope Bandwidth			30		MHz
Response Time			40		ns
	120 Degree Change $C_{\text{FILT}} = 1\text{ pF}$, to 1% Settling		500		ns
100 MHz					
DYNAMIC RANGE					
Dynamic Range	MAGNITUDE OUTPUT				
	$\pm 1\text{ dB}$ Linearity $P_{\text{REF}} = -30\text{ dBm}$ ($V_{\text{REF}} = -43\text{ dBV}$)		58		dB
	$\pm 0.5\text{ dB}$ Linearity $P_{\text{REF}} = -30\text{ dBm}$ ($V_{\text{REF}} = -43\text{ dBV}$)		55		dB
	$\pm 0.2\text{ dB}$ Linearity $P_{\text{REF}} = -30\text{ dBm}$ ($V_{\text{REF}} = -43\text{ dBV}$)		42		dB
Slope	From Linear Regression		29		mV/dB
Deviation vs. Temperature	Deviation from Output at 25°C $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$, $P_{\text{INPA}} = P_{\text{INPB}} = -30\text{ dBm}$		0.25		dB
	Deviation from Best Fit Curve at 25°C $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$, $P_{\text{INPA}} = \pm 25\text{ dB}$, $P_{\text{INPB}} = -30\text{ dBm}$		0.25		dB
Gain Measurement Balance	$P_{\text{INPA}} = P_{\text{INPB}} = -5\text{ dBm}$ to -50 dBm		0.2		dB
PHASE OUTPUT					
Dynamic Range	Less than ± 1 Degree Deviation from Best Fit Line		145		Degree
	Less than 10% Deviation in Instantaneous Slope		143		Degree
Slope (Absolute Value)	From Linear Regression about -90° or $+90^\circ$		10		mV/Degree
Deviation vs. Temperature	Deviation from Output at 25°C $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$, Delta Phase = 90 Degrees		0.7		Degree
	Deviation from Best Fit Curve at 25°C $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$, Delta Phase = ± 30 Degrees		0.7		Degree

AD8302

Parameter	Conditions	Min	Typ	Max	Unit
900 MHz	MAGNITUDE OUTPUT				
Dynamic Range	± 1 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV) ± 0.5 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV) ± 0.2 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV)		58 54 42		dB dB dB
Slope	From Linear Regression		28.7		mV/dB
Deviation vs. Temperature	Deviation from Output at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, $P_{INPA} = P_{INPB} = -30$ dBm Deviation from Best Fit Curve at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, $P_{INPA} = \pm 25$ dB, $P_{INPB} = -30$ dBm		0.25 0.25		dB dB
Gain Measurement Balance	$P_{INPA} = P_{INPB} = -5$ dBm to -50 dBm		0.2		dB
	PHASE OUTPUT				
Dynamic Range	Less than ± 1 Degree Deviation from Best Fit Line Less than 10% Deviation in Instantaneous Slope		143 143		Degree Degree
Slope (Absolute Value)	From Linear Regression about -90° or $+90^{\circ}$		10.1		mV/Degree
Deviation	Linear Deviation from Best Fit Curve at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, Delta Phase = 90 Degrees $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, Delta Phase = ± 30 Degrees		0.75 0.75		Degree Degree
Phase Measurement Balance	Phase @ INPA = Phase @ INPB, $P_{IN} = -5$ dBm to -50 dBm		0.8		Degree
1900 MHz	MAGNITUDE OUTPUT				
Dynamic Range	± 1 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV) ± 0.5 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV) ± 0.2 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV)		57 54 42		dB dB dB
Slope	From Linear Regression		27.5		mV/dB
Deviation vs. Temperature	Deviation from Output at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, $P_{INPA} = P_{INPB} = -30$ dBm Deviation from Best Fit Curve at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, $P_{INPA} = \pm 25$ dB, $P_{INPB} = -30$ dBm		0.27 0.33		dB dB
Gain Measurement Balance	$P_{INPA} = P_{INPB} = -5$ dBm to -50 dBm		0.2		dB
	PHASE OUTPUT				
Dynamic Range	Less than ± 1 Degree Deviation from Best Fit Line Less than 10% Deviation in Instantaneous Slope		128 120		Degree Degree
Slope (Absolute Value)	From Linear Regression about -90° or $+90^{\circ}$		10.2		mV/Degree
Deviation	Linear Deviation from Best Fit Curve at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, Delta Phase = 90 Degrees $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, Delta Phase = ± 30 Degrees		0.8 0.8		Degree Degree
Phase Measurement Balance	Phase @ INPA = Phase @ INPB, $P_{IN} = -5$ dBm to -50 dBm		1		Degree
2200 MHz	MAGNITUDE OUTPUT				
Dynamic Range	± 1 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV) ± 0.5 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV) ± 0.2 dB Linearity $P_{REF} = -30$ dBm ($V_{REF} = -43$ dBV)		53 51 38		dB dB dB
Slope	From Linear Regression		27.5		mV/dB
Deviation vs. Temperature	Deviation from Output at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, $P_{INPA} = P_{INPB} = -30$ dBm Deviation from Best Fit Curve at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, $P_{INPA} = \pm 25$ dB, $P_{INPB} = -30$ dBm		0.28 0.4		dB dB
Gain Measurement Balance	$P_{INPA} = P_{INPB} = -5$ dBm to -50 dBm		0.2		dB
	PHASE OUTPUT				
Dynamic Range	Less than ± 1 Degree Deviation from Best Fit Line Less than 10% Deviation in Instantaneous Slope		115 110		Degree Degree
Slope (Absolute Value)	From Linear Regression about -90° or $+90^{\circ}$		10		mV/Degree
Deviation	Linear Deviation from Best Fit Curve at 25°C $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, Delta Phase = 90 Degrees $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$, Delta Phase = ± 30 Degrees		0.85 0.9		Degree Degree
REFERENCE VOLTAGE	Pin VREF				
Output Voltage	Load = 2 k Ω	1.7	1.8	1.9	V
PSRR	$V_S = 2.7$ V to 5.5 V		0.25		mV/V
Output Current	Source/Sink (Less than 1% Change)		5		mA
POWER SUPPLY	Pin VPOS				
Supply	$V_S = 5$ V	2.7	5.0	5.5	V
Operating Current (Quiescent)	$-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$		19 21	25 27	mA mA

Specifications subject to change without notice.

AD8302

ABSOLUTE MAXIMUM RATINGS¹

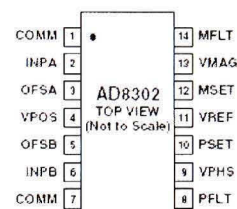
Supply Voltage V_S	5.5 V
PSET, MSET Voltage	$V_S + 0.3$ V
INPA, INPB Maximum Input	-3 dBV
Equivalent Power Re. 50 Ω	10 dBm
θ_{JA} ²	150°C/W
Maximum Junction Temperature	125°C
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature Range (Soldering 60 sec)	300°C

NOTES

¹Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

²JEDEC TS Standard (2-layer) board data.

PIN CONFIGURATION



PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Function	Equivalent Circuit
1, 7	COMM	Device Common. Connect to low impedance ground.	
2	INPA	High Input Impedance to Channel A. Must be ac-coupled.	Circuit A
3	OFSA	A capacitor to ground at this pin sets the offset compensation filter corner and provides input decoupling.	Circuit A
4	VPOS	Voltage Supply (V_S), 2.7 V to 5.5 V	
5	OFSB	A capacitor to ground at this pin sets the offset compensation filter corner and provides input decoupling.	Circuit A
6	INPB	Input to Channel B. Same structure as INPA.	Circuit A
8	PFLT	Low Pass Filter Terminal for the Phase Output	Circuit E
9	VPHS	Single-Ended Output Proportional to the Phase Difference between INPA and INPB.	Circuit B
10	PSET	Feedback Pin for Scaling of VPHS Output Voltage in Measurement Mode. Apply a setpoint voltage for controller mode.	Circuit D
11	VREF	Internally Generated Reference Voltage (1.8 V Nominal)	Circuit C
12	MSET	Feedback Pin for Scaling of VMAG Output Voltage Measurement Mode. Accepts a set point voltage in controller mode.	Circuit D
13	VMAG	Single-Ended Output. Output voltage proportional to the decibel ratio of signals applied to INPA and INPB.	Circuit B
14	MFLT	Low Pass Filter Terminal for the Magnitude Output	Circuit E

ORDERING GUIDE

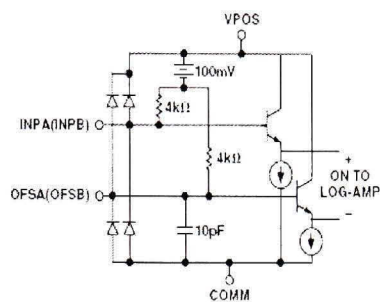
Model	Temperature Range	Package Description	Package Option
AD8302ARU	-40°C to +85°C	Tube, 14-Lead TSSOP	RU-14
AD8302ARU-REEL		13" Tape and Reel	
AD8302ARU-REEL7		7" Tape and Reel	
AD8302-EVAL		Evaluation Board	

CAUTION

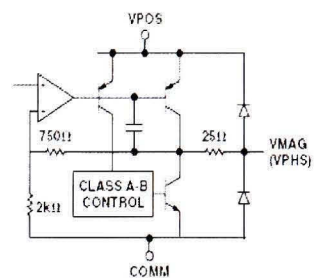
ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the AD8302 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.



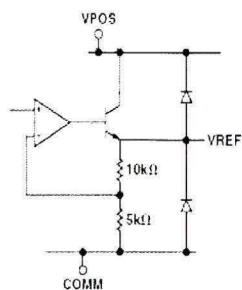
AD8302



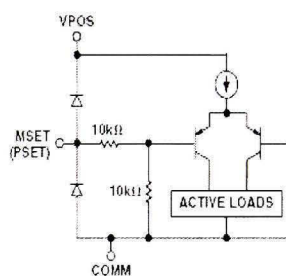
Circuit A



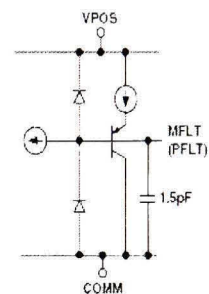
Circuit B



Circuit C



Circuit D

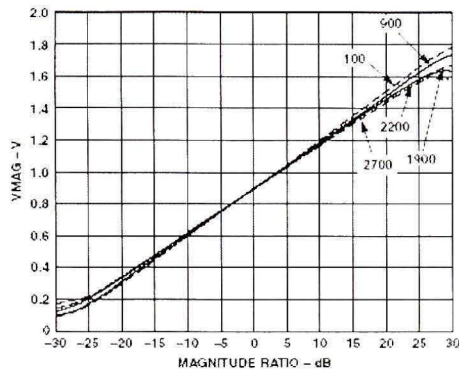


Circuit E

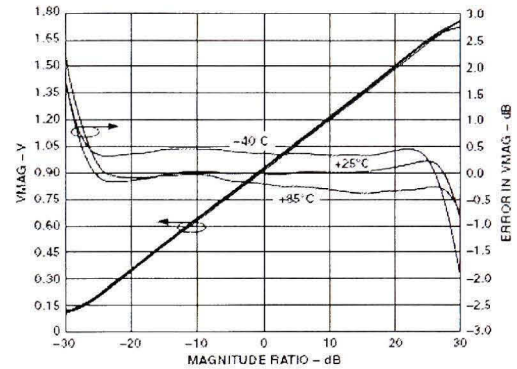
Figure 1. Equivalent Circuits

AD8302—Typical Performance Characteristics

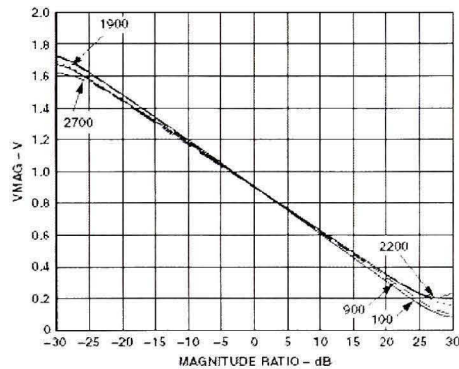
($V_S = 5\text{ V}$, V_{INPB} is the reference input and V_{INPA} is swept, unless otherwise noted. All references to dBm are referred to 50 Ω . For the phase output curves, the input signal levels are equal, unless otherwise noted.)



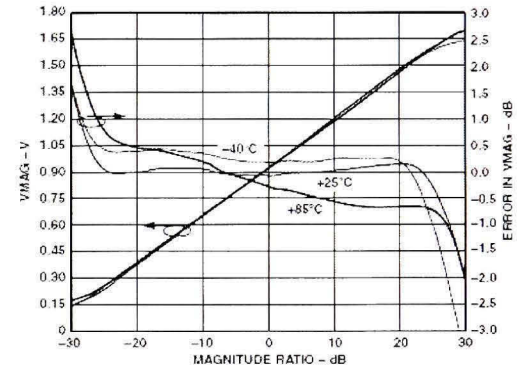
TPC 1. Magnitude Output (VMAG) vs. Input Level Ratio (Gain) V_{INPA}/V_{INPB} . Frequencies 100 MHz, 900 MHz, 1900 MHz, 2200 MHz, 2700 MHz, 25°C, $P_{INPB} = -30\text{ dBm}$, (Re: 50 Ω)



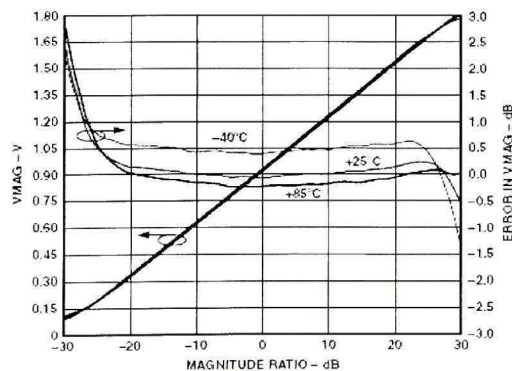
TPC 4. VMAG and Log Conformance vs. Input Level Ratio (Gain), Frequency 900 MHz, -40°C, +25°C, and +85°C, Reference Level = -30 dBm



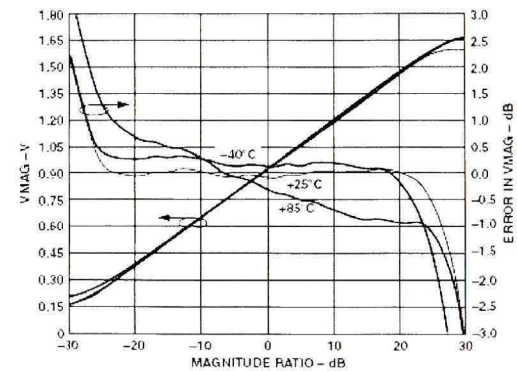
TPC 2. VMAG vs. Input Level Ratio (Gain) V_{INPA}/V_{INPB} . Frequencies 100 MHz, 900 MHz, 1900 MHz, 2200 MHz, 2700 MHz, $P_{INPA} = -30\text{ dBm}$



TPC 5. VMAG and Log Conformance vs. Input Level Ratio (Gain), Frequency 1900 MHz, -40°C, +25°C, and +85°C, Reference Level = -30 dBm

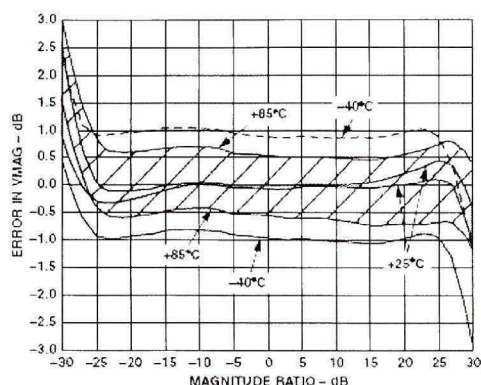


TPC 3. VMAG Output and Log Conformance vs. Input Level Ratio (Gain), Frequency 100 MHz, -40°C, +25°C, and +85°C, Reference Level = -30 dBm

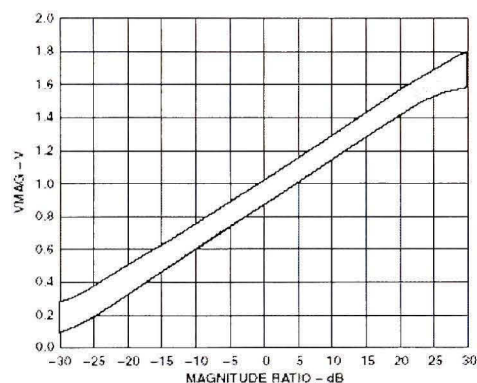


TPC 6. VMAG Output and Log Conformance vs. Input Level Ratio (Gain), Frequency 2200 MHz, -40°C, +25°C, and +85°C, Reference Level = -30 dBm

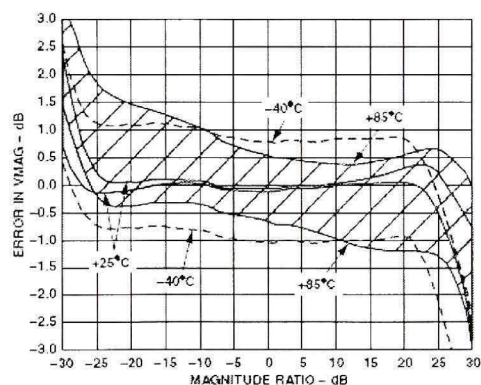
AD8302



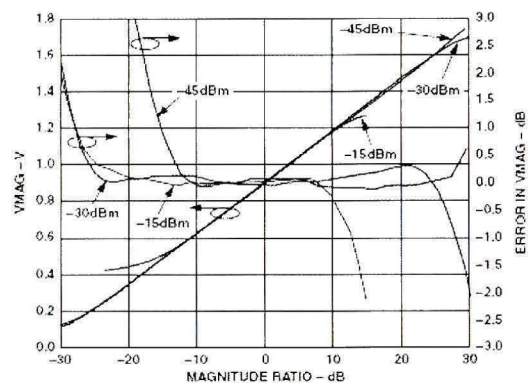
TPC 7. Distribution of Magnitude Error vs. Input Level Ratio (Gain), Three Sigma to Either Side of Mean, Frequency 900 MHz, -40°C , $+25^{\circ}\text{C}$, and $+85^{\circ}\text{C}$, Reference Level = -30 dBm



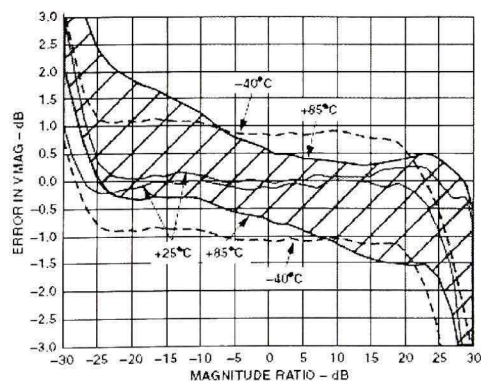
TPC 10. Distribution of VMAG vs. Input Level Ratio (Gain), Three Sigma to Either Side of Mean, Frequency 1900 MHz, Temperatures Between -40°C and $+85^{\circ}\text{C}$, Reference Level = -30 dBm



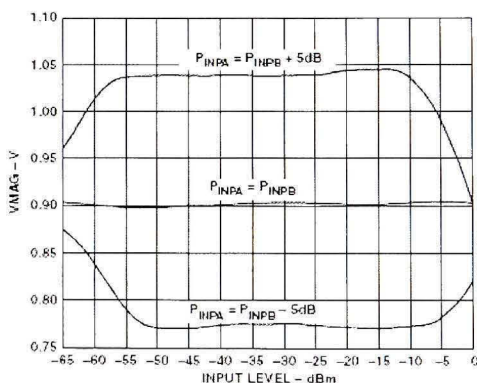
TPC 8. Distribution of Error vs. Input Level Ratio (Gain), Three Sigma to Either Side of Mean, Frequency 1900 MHz, -40°C , $+25^{\circ}\text{C}$, and $+85^{\circ}\text{C}$, Reference Level = -30 dBm



TPC 11. VMAG Output and Log Conformance vs. Input Level Ratio (Gain), Reference Level = -15 dBm , -30 dBm , and -45 dBm , Frequency 1900 MHz

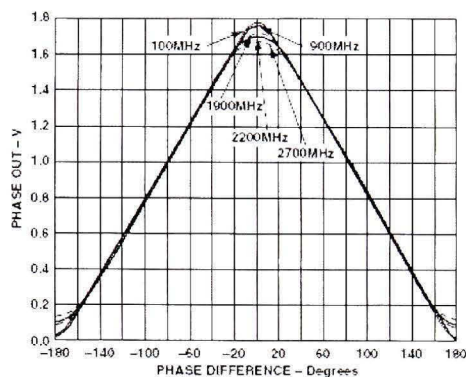


TPC 9. Distribution of Magnitude Error vs. Input Level Ratio (Gain), Three Sigma to Either Side of Mean, Frequency 2200 MHz, Temperatures -40°C , $+25^{\circ}\text{C}$, and $+85^{\circ}\text{C}$, Reference Level = -30 dBm

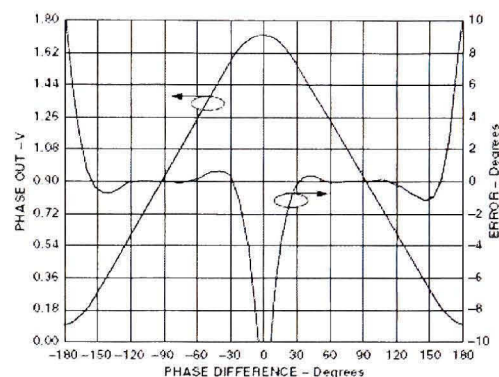


TPC 12. VMAG Output vs. Input Level for $P_{\text{INFA}} = P_{\text{INFS}}$, $P_{\text{INFA}} = P_{\text{INFS}} + 5\text{ dB}$, $P_{\text{INFA}} = P_{\text{INFS}} - 5\text{ dB}$, Frequency 1900 MHz

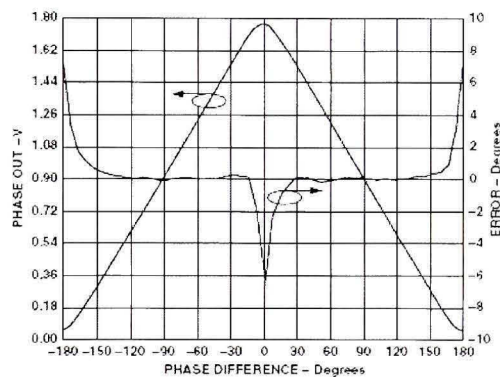
AD8302



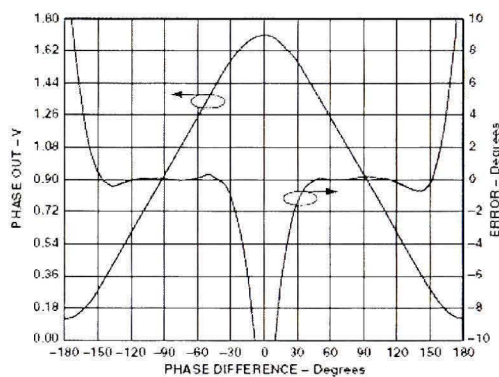
TPC 25. Phase Output (VPHS) vs. Input Phase Difference, Input Levels -30 dBm, Frequencies 100 MHz, 900 MHz, 1900 MHz, 2200 MHz, Supply 5 V, 2700 MHz



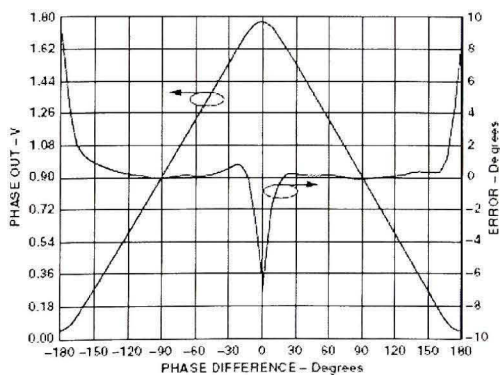
TPC 28. VPHS Output and Nonlinearity vs. Input Phase Difference, Input Levels -30 dBm, Frequency 1900 MHz



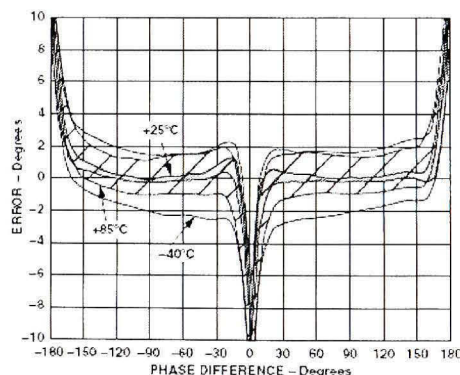
TPC 26. VPHS Output and Nonlinearity vs. Input Phase Difference, Input Levels -30 dBm, Frequency 100 MHz



TPC 29. VPHS Output and Nonlinearity vs. Input Phase Difference, Input Levels -30 dBm, Frequency 2200 MHz

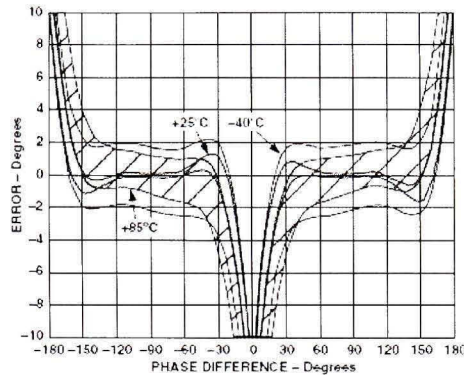


TPC 27. VPHS Output and Nonlinearity vs. Input Phase Difference, Input Levels -30 dBm, Frequency 900 MHz

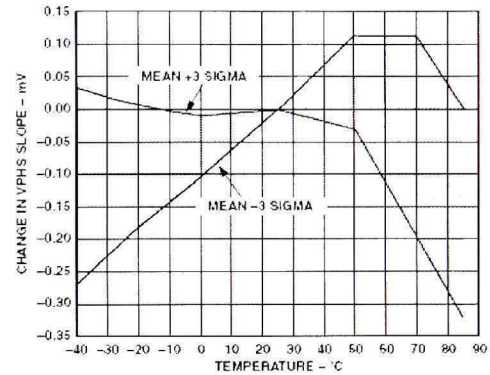


TPC 30. Distribution of VPHS Error vs. Input Phase Difference, Three Sigma to Either Side of Mean, Frequency 900 MHz, -40°C , $+25^{\circ}\text{C}$, and $+85^{\circ}\text{C}$, Input Levels -30 dBm

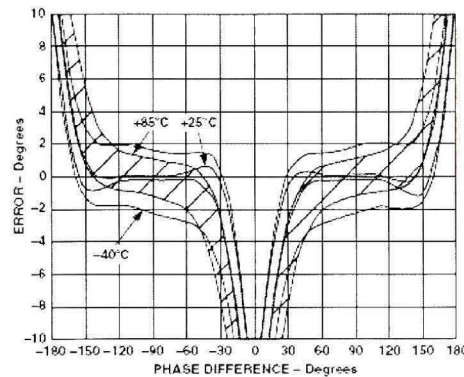
AD8302



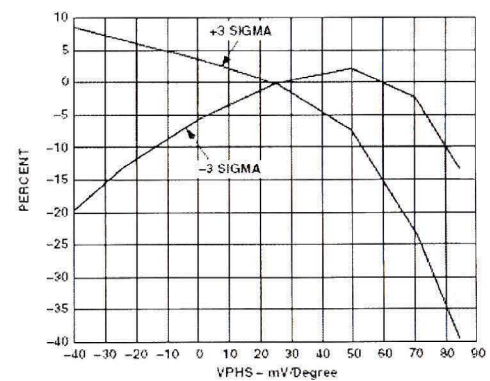
TPC 31. Distribution of VPHS Error vs. Input Phase Difference, Three Sigma to Either Side of Mean, Frequency 1900 MHz, -40°C , $+25^{\circ}\text{C}$, and $+85^{\circ}\text{C}$, Supply 5 V, Input Levels $P_{\text{INPA}} = P_{\text{INPB}} = -30 \text{ dBm}$



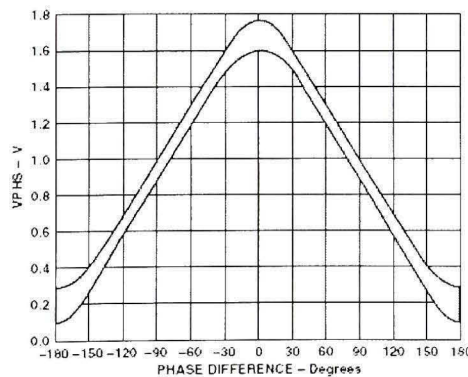
TPC 34. Change in VPHS Slope vs. Temperature, Three Sigma to Either Side of Mean, Frequency 1900 MHz



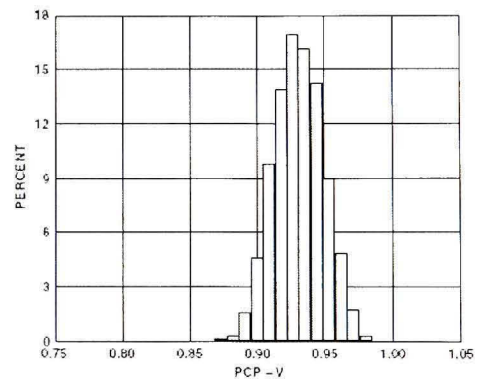
TPC 32. Distribution of VPHS Error vs. Input Phase Difference, Three Sigma to Either Side of Mean, Frequency 2200 MHz, -40°C , $+25^{\circ}\text{C}$, and $+85^{\circ}\text{C}$, Input Levels -30 dBm



TPC 35. Change in Phase Center Point (PCP) vs. Temperature, Three Sigma to Either Side of Mean, Frequency 1900 MHz



TPC 33. Distribution of VPHS vs. Input Phase Difference, Three Sigma to Either Side of Mean, Frequency 900 MHz, Temperature between -40°C and $+85^{\circ}\text{C}$, Input Levels -30 dBm



TPC 36. Phase Center Point (PCP) Distribution, Frequency 900 MHz, 17,000 Units

AD8302

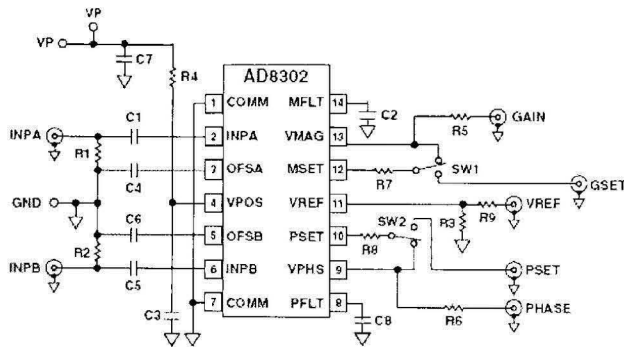


Figure 14. Evaluation Board Schematic

Table II. P1 Pin Allocations

1	Common
2	VPOS
3	Common

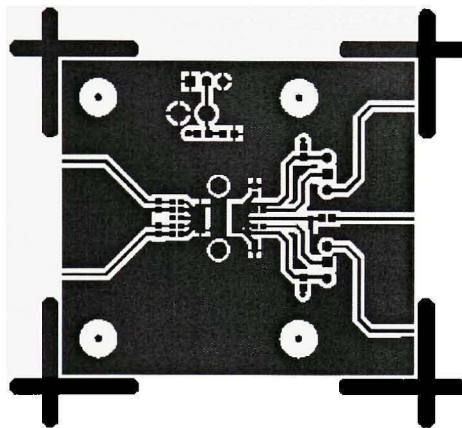


Figure 15a. Component Side Metal of Evaluation Board

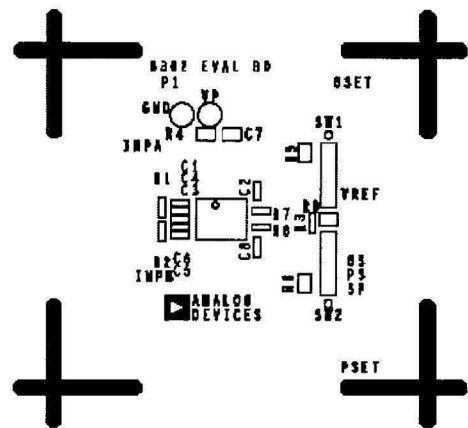


Figure 15b. Component Side Silkscreen of Evaluation Board

Table III. Evaluation Board Configuration Options

Component	Function	Default Condition
P1	Power Supply and Ground Connector: Pin 2 VPOS and Pins 1 and 3 Ground.	Not Applicable
R1, R2	Input Termination. Provide termination for input sources.	R1 = R2 = 52.3 Ω (Size 0402)
R3	VREF Output Load. This load is optional and is meant to allow the user to simulate their circuit loading of the device.	R3 = 1 k Ω (Size 0603)
R5, R6, R9	Snubbing Resistor	R5 = R6 = 0 Ω (Size 0603) R9 = 0 Ω (Size 0603)
C3, C7, R4	Supply Decoupling	C3 = 100 pF (Size 0603) C7 = 0.1 μ F (Size 0603) R4 = 0 Ω (Size 0603)
C1, C5	Input AC-Coupling Capacitors	C1 = C5 = 1 nF (Size 0603)
C2, C8	Video Filtering. C2 and C8 limit the video bandwidth of the gain and phase output respectively.	C2 = C8 = Open (Size 0603)
C4, C6	Offset Feedback. These set the high-pass corner of the offset cancellation loop and thus with the input ac-coupling capacitors the minimum operating frequency.	C4 = C6 = 1 nF (Size 0603)
SW1	GSET Signal Source. When SW1 is in the position shown, the device is in gain measure mode; when switched, it operates in comparator mode and a signal must be applied to GSET.	SW1 = Installed
SW2	PSET Signal Source. When SW2 is in the position shown, the device is in phase measure mode; when switched, it operates in comparator mode and a signal must be applied to PSET.	SW2 = Installed

AD8302

CHARACTERIZATION SETUPS AND METHODS

The general hardware configuration used for most of the AD8302 characterization is shown in Figure 16. The characterization board is similar to the Customer Evaluation Board. Two reference-locked R and S SMT03 signal generators are used as the inputs to INPA and INPB, while the gain and phase outputs are monitored using both a TDS 744A oscilloscope with 10 \times high impedance probes and Agilent 34401A multimeters.

Gain

The basic technique used to evaluate the static gain (VMAG) performance was to set one source to a fixed level and sweep the amplitude of the other source, while measuring the VMAG output with the DMM. In practice, the two sources were run at 100 kHz frequency offset and average output measured with the DMM to alleviate errors that might be induced by gain/phase modulation due to phase jitter between the two sources.

The errors stated are the difference between a best fit line calculated by a linear regression and the actual measured data divided by the slope of the line to give an error in V/dB. The referred to 25°C error uses this same method while always using the slope and intercept calculated for that device at 25°C.

Response measurement made of the VMAG output used the configuration shown in Figure 17. The variable attenuator, Alpha AD260, is driven with a HP8112A pulse generator producing a change in RF level within 10 ns.

Noise spectral density measurements were made using a HP3589A with the inputs delivered through a Narda 4032C 90° phase splitter.

To measure the modulation of VMAG due to phase variation again the sources were run at a frequency offset, f_{OS} , effectively creating a continuous linear change in phase going through 360° once every $1/f_{\text{OS}}$ seconds. The VMAG output is then measured with a DSO. When perceivable, only at high frequencies and large input magnitude differences, the linearly ramping phase creates a near sinusoid output riding on the expected VMAG dc output level. The curves in TPC 24 show the peak-to-peak output level measured with averaging.

Phase

The majority of the VPHS output data was collected by generating phase change, again by operating the two input sources with a small frequency offset (normally 100 kHz) using the same configuration shown in Figure 16. Although this method gives excellent linear phase change, good for measurement of slope and linearity, it lacks an absolute phase reference point. In the curves showing swept phase, the phase at which the VPHS is the same as VPHS with no input signal is taken to be -90° and all other angles are references to there. Typical Performance Curves show two figures of merit: instantaneous slope and error. Instantaneous slope, as shown in TPCs 43, 44, 45, and 47, was calculated simply by taking the delta in VPHS over angular change for adjacent measurement points.

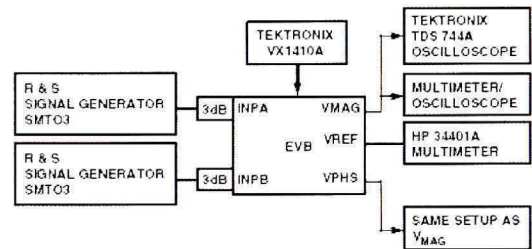


Figure 16. Primary Characterization Setup

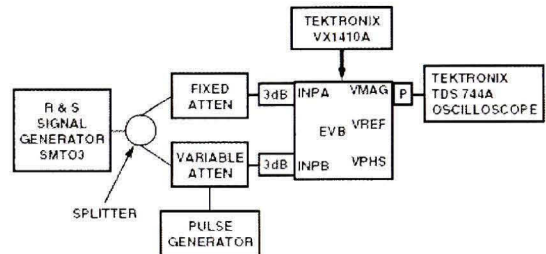


Figure 17. VMAG Dynamic Performance Measurement Setup

ANNEXE II

FORMULE DIAGRAMME DE FLUENCE

$$\begin{aligned}
 \Delta = & 1 - \Gamma_3 S_{33} - \Gamma_4 S_{44} - \Gamma_g S_{12} \Gamma S_{21} - \Gamma_4 S_{24} \Gamma S_{42} - \Gamma_g S_{31} \Gamma_3 S_{13} - \\
 & \Gamma_3 S_{34} \Gamma_4 S_{43} - \Gamma_g S_{14} \Gamma_4 S_{41} - \Gamma_g S_{41} \Gamma_4 S_{24} \Gamma S_{12} - \Gamma_g S_{12} \Gamma_4 S_{41} \Gamma S_{24} - \\
 & \Gamma_g S_{13} \Gamma_3 S_{31} \Gamma S_{42} - \Gamma_g S_{14} \Gamma_4 S_{42} \Gamma S_{21} + \Gamma_3 S_{33} \Gamma_4 S_{44} + \Gamma_4 S_{42} \Gamma_g S_{13} \Gamma S_{31} \Gamma S_{42} + \\
 & \Gamma_g S_{43} \Gamma_4 S_{34} \Gamma_3 S_{21} \Gamma S_{21} + \Gamma_g S_{33} \Gamma_4 S_{14} \Gamma_3 S_{41} + \Gamma_g S_{33} \Gamma_3 S_{21} \Gamma S_{12} + \Gamma_3 S_{33} \Gamma_2 S_{42} \Gamma S_{24} + \\
 & \Gamma_4 S_{44} S_{31} \Gamma_3 S_{13} \Gamma_g + \Gamma_g S_{44} \Gamma_4 S_{21} \Gamma S_{12}
 \end{aligned}$$

ANNEXE III

FICHE TECHNIQUE DU AD9071



10-Bit, 100 MSPS A/D Converter

AD9071

FEATURES

10-Bit, 100 MSPS ADC
 Low Power: 450 mW at 100 MSPS
 On-Chip Track/Hold
 280 MHz Analog Bandwidth
 $\text{SINAD} = 54 \text{ dB} @ 41 \text{ MHz}$
 On-Chip Reference
 1 V p-p Analog Input Range
 Single 5 V Supply Operation
 5 V/3.3 V Outputs

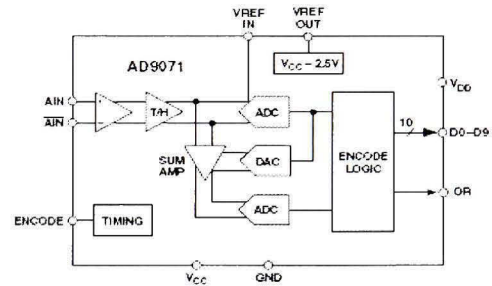
APPLICATIONS

Digital Communications
 Signal Intelligence
 Digital Oscilloscopes
 Spectrum Analyzers
 Medical Imaging
 Sonar
 HDTV

GENERAL DESCRIPTION

The AD9071 is a monolithic sampling analog-to-digital converter with an on-chip track-and-hold circuit and TTL/CMOS digital interfaces. The product operates at a 100 MSPS conversion rate with outstanding dynamic performance over its full operating range.

The ADC requires only a single 5 V supply and an encode clock for full performance operation. The digital outputs are TTL compatible. Separate output power supply pins support

FUNCTIONAL BLOCK DIAGRAM

interfacing with 3.3 V or 5 V logic. An out-of-range output (OR) is available that indicates a conversion result is outside the operating range. The output data are held at saturation levels during an out-of-range condition.

The input amplifier supports differential or single-ended interfaces. An internal reference is included.

Fabricated on an advanced BiCMOS process, the AD9071 is available in a plastic SOIC package specified over the industrial temperature range (-40°C to $+85^{\circ}\text{C}$).

REV. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781/329-4700
 Fax: 781/326-8703
 www.analog.com
 © Analog Devices, Inc., 2001

AD9071—SPECIFICATIONS ($V_{CC} = 5\text{ V}$, $V_{DD} = 3.3\text{ V}$, Differential Analog Input, ENCODE = 100 MSPS unless otherwise noted.)

Parameter	Temp	Test Level	AD9071BR			Unit
			Min	Typ	Max	
RESOLUTION			10			Bits
DC ACCURACY						
Differential Nonlinearity ¹	25°C	I		±0.8	+1.5/-1.0	LSB
	Full	VI		±1.0	+1.75/-1.0	LSB
Integral Nonlinearity ¹	25°C	I		±0.8	±1.5	LSB
	Full	VI		±1.25	±1.75	LSB
No Missing Codes ¹	25°C	I		Guaranteed		
Gain Error ²	25°C	I		±1	±4	% FS
	Full	VI		±2	±8	% FS
Gain Tempco ²	Full	V		150		ppm/°C
ANALOG INPUT						
Input Voltage Range (With Respect to AIN ₁)	Full	V		±512		mV p-p
Common-Mode Voltage	Full	V		-2.5 ± 0.2		V
Input Offset Voltage	25°C	I		±4	±18	mV
	Full	VI		±5	±20	mV
Input Resistance	Full	VI	15	35		kΩ
Input Capacitance	25°C	V		3		pF
Input Bias Current	25°C	I		55	90	μA
	Full	VI		65	115	μA
Analog Bandwidth, Full Power	25°C	V		280		MHz
REFERENCE OUTPUT						
Output Voltage	Full	VI	$V_{CC} - 2.6$	$V_{CC} - 2.5$	$V_{CC} - 2.4$	V
Temperature Coefficient	Full	V		130		ppm/°C
SWITCHING PERFORMANCE						
Maximum Conversion Rate	Full	VI	100			MSPS
Minimum Conversion Rate	Full	IV			40	MSPS
Encode Pulsewidth High (t_{EH})	25°C	IV	4.5		13	ns
Encode Pulsewidth Low (t_{EL})	25°C	IV	4.5		13	ns
Aperture Delay (t_A)	25°C	V		1.1		ns
Aperture Uncertainty (Jitter)	25°C	V		3.0		ps, rms
Output Valid Time (t_v) ³	Full	VI	2.0	4.0		ns
Output Propagation Delay (t_{PD}) ³	Full	VI		5.0	7.0	ns
Output Rise Time (t_R)	Full	V		1.4		ns
Output Fall Time (t_F)	Full	V		1.0		ns
DIGITAL INPUT						
Logic "1" Voltage	Full	VI	2.0			V
Logic "0" Voltage	Full	VI			0.8	V
Logic "1" Current	Full	VI			±10	μA
Logic "0" Current	Full	VI	-500			μA
Input Capacitance	25°C	V		3		pF
DIGITAL OUTPUTS						
Logic "1" Voltage	Full	VI	$V_{DD} - 0.5$			V
Logic "0" Voltage	Full	VI			0.05	V
Output Coding			Offset Binary			
POWER SUPPLY						
V_{CC} Supply Current ($V_{CC} = 5\text{ V}$) ⁴	Full	VI		85	115	mA
V_{DD} Supply Current ($V_{DD} = 3.3\text{ V}$) ⁴	Full	VI		7.5	14	mA
Power Dissipation ⁴	Full	VI		450	620	mW
Power Supply Sensitivity ⁵	25°C	I		0.002	0.010	V/V

AD9071

Parameter	Temp	Test Level	AD9071BR			Unit
			Min	Typ	Max	
DYNAMIC PERFORMANCE ¹						
Transient Response	25°C	V		4		ns
Overvoltage Recovery Time	25°C	V		5		ns
Signal-to-Noise Ratio (SNR) (Without Harmonics)						
f _{IN} = 10.3 MHz	25°C	I	54	56		dB
	Full	V		55		dB
f _{IN} = 41 MHz	25°C	I	53	55		dB
	Full	V		54		dB
Signal-to-Noise Ratio (SINAD) (With Harmonics)						
f _{IN} = 10.3 MHz	25°C	I	54	56		dB
	Full	V		55		dB
f _{IN} = 41 MHz	25°C	I	52	54		dB
	Full	V		53		dB
Effective Number of Bits						
f _{IN} = 10.3 MHz	25°C	I	8.8	9.2		Bits
f _{IN} = 41 MHz	25°C	I	8.5	8.8		Bits
2nd Harmonic Distortion						
f _{IN} = 10.3 MHz	25°C	I	63	75		dBc
f _{IN} = 41 MHz	25°C	I	60	66		dBc
3rd Harmonic Distortion						
f _{IN} = 10.3 MHz	25°C	I	65	75		dBc
f _{IN} = 41 MHz	25°C	I	57	65		dBc
Two-Tone Intermodulation (IMD)						
f _{IN} = 10.3 MHz	25°C	V		70		dBc
f _{IN} = 41 MHz	25°C	V		60		dBc

NOTES

¹Differential and integral nonlinearity based on $F_S = 80$ MSFS.²Gain error and gain temperature coefficient are based on the ADC only (with a fixed 2.5 V external reference).³ t_V and t_{PP} are measured from the threshold crossing of the ENCODE input to the 50% levels of the digital outputs. The output ac load during test is 5 pF.⁴Power dissipation is measured under the following conditions: F_S of 100 MSFS, analog input is -1 dBFS at 10.3 MHz.⁵A change in input offset voltage with respect to a change in V_{CC} .⁶SNR harmonics based on an analog input voltage of -1.0 dBFS referenced to a 1.024 V full-scale input range.Typical thermal impedance for the R style (SOIC) 28-lead package: $\theta_{JC} = 23^\circ\text{C/W}$, $\theta_{CA} = 48^\circ\text{C/W}$, $\theta_{JA} = 71^\circ\text{C/W}$.

Specifications subject to change without notice.

ABSOLUTE MAXIMUM RATINGS*

V_{CC}	6 V
Analog Inputs	V_{CC} to 0.0 V
Digital Inputs	V_{CC} to 0.0 V
VREF IN, VREF OUT	V_{CC} to 0.0 V
Digital Output Current	10 mA
Operating Temperature	-40°C to +85°C
Storage Temperature	-65°C to +150°C
Maximum Junction Temperature	150°C
Maximum Case Temperature	150°C

*Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum ratings for extended periods may affect device reliability.

CAUTION

ESD (electrostatic discharge) sensitive device. Electrostatic charges as high as 4000 V readily accumulate on the human body and test equipment and can discharge without detection. Although the AD9071 features proprietary ESD protection circuitry, permanent damage may occur on devices subjected to high-energy electrostatic discharges. Therefore, proper ESD precautions are recommended to avoid performance degradation or loss of functionality.

EXPLANATION OF TEST LEVELS

Test Level

- I. 100% production tested.
- II. 100% production tested at 25°C and sample tested at specified temperatures.
- III. Sample tested only.
- IV. Parameter is guaranteed by design and characterization testing.
- V. Parameter is a typical value only.
- VI. 100% production tested at 25°C, guaranteed by design and characterization testing for industrial temperature range.



AD9071

ORDERING GUIDE

Model	Temperature Range	Package Description	Package Option
AD9071BR AD9071PCB	-40°C to +85°C 25°C	28-Lead Wide Body (SOIC) Evaluation Board	R-28

PIN FUNCTION DESCRIPTIONS

Pin No.	Mnemonic	Function
1, 7, 12, 21, 23	GND	Ground
2, 8, 11	V _{CC}	Analog Power Supply. Nominally 5.0 V. (Tie together to prevent a possible latch-up condition.)
3	VREF OUT	Internal Reference Output (V _{CC} = 2.5 V typical); Bypass with 0.1 µF to V _{CC} .
4	VREF IN	Reference Input for ADC (V _{CC} = 2.5 V typical).
5, 6	DNC	Do Not Connect
9	$\overline{\text{AIN}}$	Analog Input - Complementary
10	AIN	Analog Input - True
13	ENCODE	Encode clock for ADC. (ADC Samples on Rising Edge of ENCODE.)
14	OR	Out-of-Range Output. Goes HIGH when the converted sample is more positive than 3FF _H or more negative than 000 _H (offset binary coding).
15-19, 24-28	D9-D0	Digital outputs of ADC. D9 is the MSB. Data is offset binary.
20, 22	V _{DD}	Digital Output Power Supply. User selectable range from 3 V to 5 V

PIN CONFIGURATION

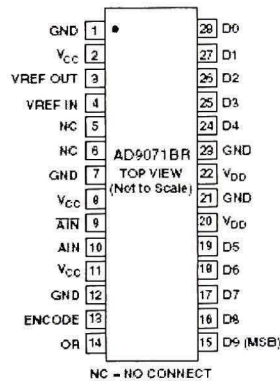


Table I. Output Coding

Code	AIN- $\overline{\text{AIN}}$	Offset Binary	OR
1023	$\geq 0.512 \text{ V}$	11 1111 1111	1
1023	0.511 V	11 1111 1111	0
1022	0.510 V	11 1111 1110	0
.	.	.	.
.	.	.	.
.	.	.	.
513	0.001 V	10 0000 0001	0
512	0.000 V	10 0000 0000	0
511	-0.001 V	01 1111 1111	0
.	.	.	.
.	.	.	.
.	.	.	.
1	-0.511 V	00 0000 0001	0
0	-0.512 V	00 0000 0000	0
0	$\leq -0.513 \text{ V}$	00 0000 0000	1

AD9071

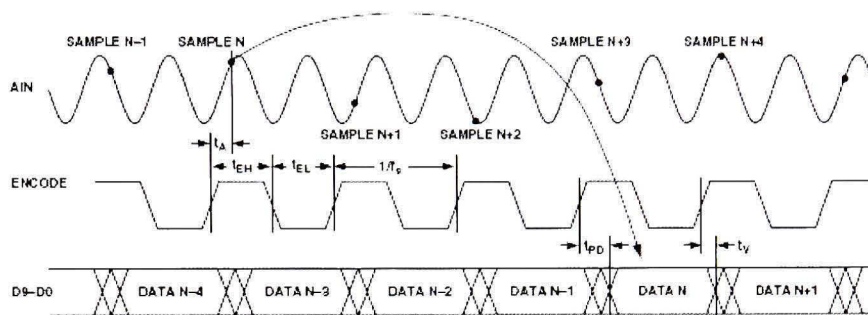


Figure 1. Timing Diagram

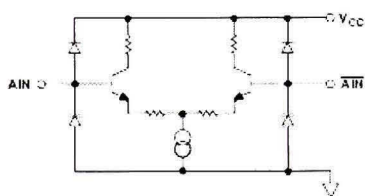


Figure 2. Equivalent Analog Input Circuit

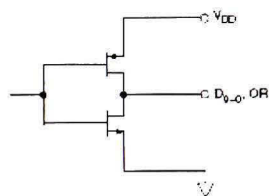


Figure 5. Equivalent Digital Output Circuit

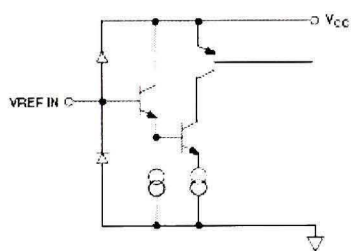


Figure 3. Equivalent Reference Input Circuit

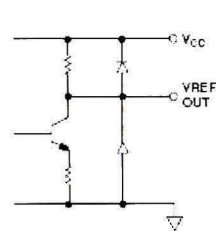


Figure 6. Equivalent Reference Output Circuit

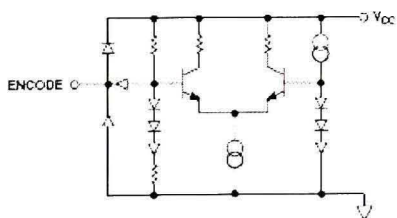
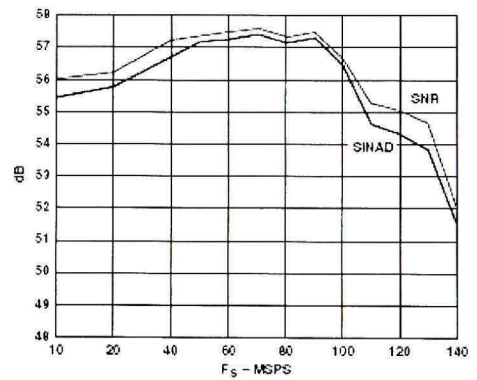
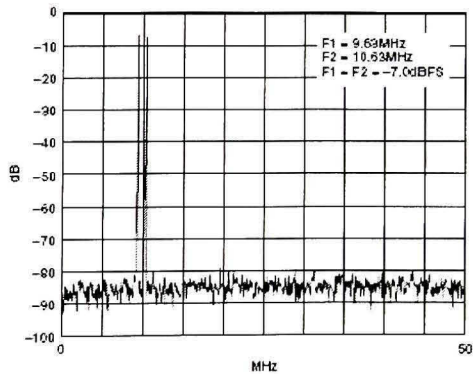
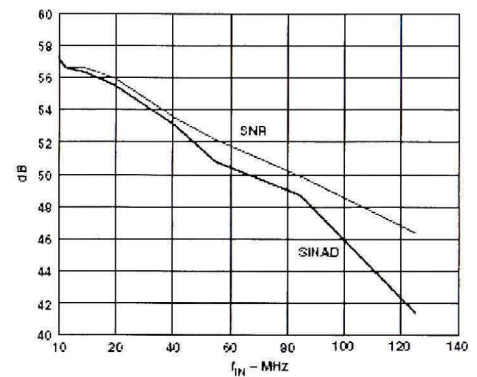
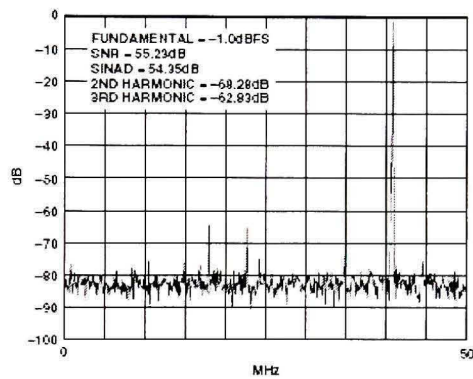
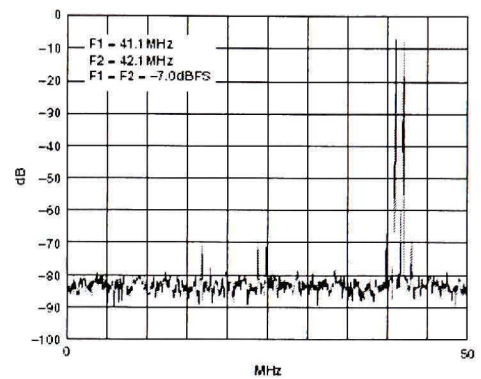
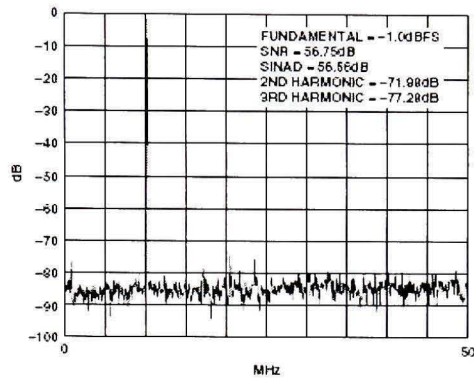
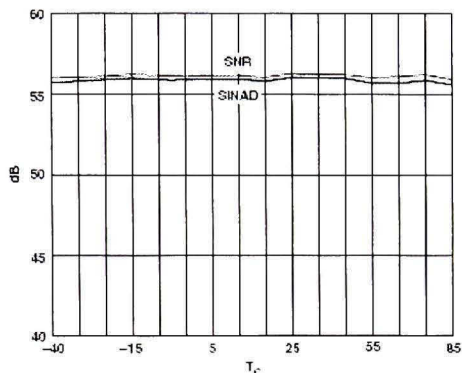


Figure 4. Equivalent Encode Input Circuit

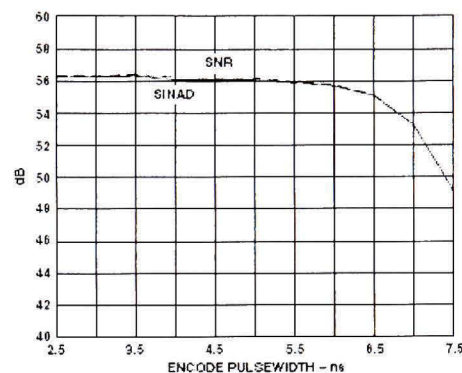
AD9071—Typical Performance Characteristics



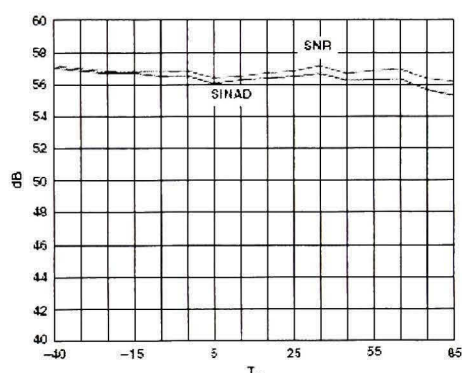
AD9071



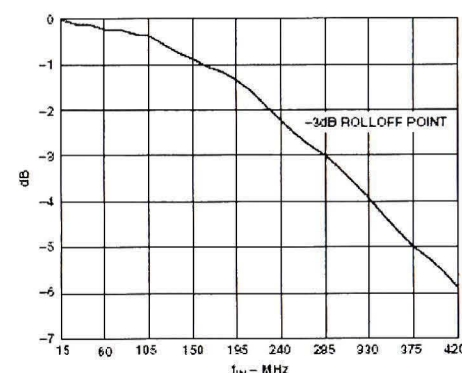
TPC 7. Differential SNR vs. T_C : $f_{IN} = 10.3$ MHz



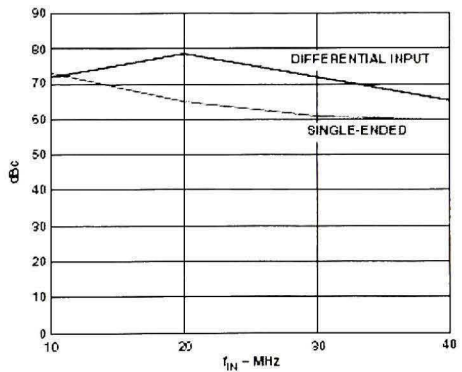
TPC 9. SNR vs. Clock Pulsewidth (t_{EP}): $f_{IN} = 10.3$ MHz



TPC 8. Single-Ended SNR vs. T_C : $f_{IN} = 10.3$ MHz



TPC 10. Frequency Response



TPC 11. Second Harmonic Performance: Single-Ended vs. Differential Input

AD9071

APPLICATION NOTES THEORY OF OPERATION

The AD9071 employs a two-step subranging architecture with digital error correction.

The sampling and conversion process is initiated by a rising edge at the ENCODE input. The analog input signal is buffered by a high speed differential amplifier and applied to a track-and-hold (T/H) circuit, which captures the value of the input at the sampling instant and maintains it for the duration of the conversion.

The coarse quantizer (ADC) produces a 5-bit estimate of the input value. Its digital output is reconverted to analog form by the reconstruction DAC and subtracted from the input signal in the SUM AMP. The second stage quantizer generates a 6-bit representation of the difference signal. The eleven bits are presented to the ENCODE LOGIC, which corrects for range overlap errors and produces an accurate 10-bit result.

Data are strobed to the output on the rising edge of the ENCODE input, with the data from sample N appearing on the output following ENCODE rising edge N+3.

USING THE AD9071

ENCODE Input

Any high-speed A/D converter is extremely sensitive to the quality of the sampling clock provided by the user. A track/hold circuit is essentially a mixer, and any noise, distortion, or timing jitter on the clock will be combined with the desired signal at the A/D output. For that reason, considerable care has been taken in the design of the ENCODE input of the AD9071, and the user is advised to give commensurate thought to the clock source. The lowest jitter clock source is a crystal oscillator producing a pure sine wave.

The ENCODE input is fully TTL/CMOS compatible.

Digital Outputs

The digital outputs are CMOS compatible for lower power consumption. 200 Ω series resistors are recommended between the AD9071 and the receiving logic to reduce transients and improve SNR.

Analog Input

The analog input has been optimized for differential signal input.

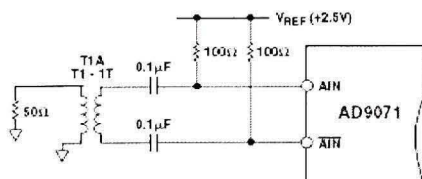


Figure 7. Differential Analog Input Configuration

If driven single-endedly, the $\overline{\text{AIN}}$ should be connected to a clean reference and bypassed to ground. For best dynamic performance, impedances at AIN and $\overline{\text{AIN}}$ should match.

Special care was taken in the design of the analog input section of the AD9071 to prevent damage and corruption of data when the input is overdriven. The nominal input range is 1.988 V to 3.012 V (1.024 V p-p centered at 2.5 V). Out-of-range

comparators detect when the analog input signal is out of this range, and set the OR output signal HIGH. The digital outputs are locked at plus or minus full scale (3FF_H or 200_H) for voltages that are out of range, but between 1 V and 5 V. Input voltages outside of this range may result in invalid codes at the ADC's output.

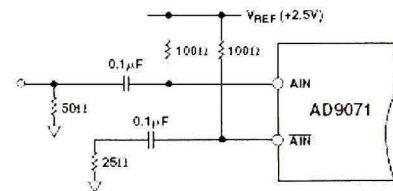


Figure 8. Single-Ended Analog Input Configuration

When the analog input signal returns to the nominal range, the out-of-range comparators return the ADC to its active mode and the device recovers in the overvoltage recovery time.

Voltage Reference

A stable and accurate 2.5 V voltage reference ($V_{CC} - 2.5 \text{ V}$) is built into the AD9071 (VREF OUT). In normal operation, the internal reference is used by strapping Pins 3 and 4 of the AD9071 together. The internal reference can provide 100 μA of extra drive current that may be used for other circuits.

Some applications may require greater accuracy, improved temperature performance, or adjustment of the gain of the AD9071, which cannot be obtained by using the internal reference. For these applications, an external 2.5 V reference can be connected to VREF IN, which requires 5 μA of drive current (see Figure 9).

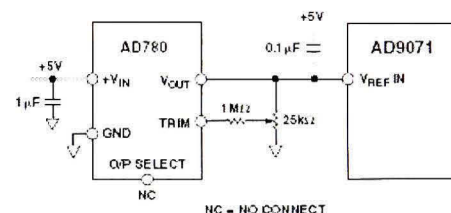


Figure 9. Using the AD780 Voltage Reference

The input range can be adjusted by varying the reference voltage applied to the AD9071. No appreciable degradation in performance occurs when the reference is adjusted $\pm 4\%$. The full-scale range of the ADC tracks reference voltage changes linearly.

Timing

The performance of the AD9071 is insensitive to the duty cycle of the clock over a wide range of operating conditions (see TPC 9).

The AD9071 provides latched data outputs, with three pipeline delays. Data outputs are available one propagation delay (t_{PD}) after the rising edge of the encode command (see Figure 1). The length of the output data lines, and loads placed on them, should be minimized to reduce transients within the AD9071; these transients can detract from the converter's dynamic performance

AD9071

The minimum guaranteed conversion rate of the AD9071 is 40 MSPS. At clock rates below 40 MSPS, dynamic performance may degrade. The AD9070 will operate in bursts, but the user must flush the internal pipeline each time the clock restarts. Valid data will be produced on the fourth rising edge of the ENCODE signal after the clock is restarted.

EVALUATION BOARD

The AD9071 evaluation board is a convenient and easy way to evaluate the performance of the AD9071 in the SOIC package. The board consists of an internal voltage reference or an optional external reference, two 74LCX574 latches for capturing data from the A/D converter, and an AD9760 DAC for viewing reconstructed A/D data. The AD9071 output logic can be driven at 5 V and 3.3 V levels. The latches are set up at 3.3 V but are 5 V tolerant. Test points are provided at Encode, DB9, DB0, Data Ready, and Data Clock. All are clearly labeled.

Analog Input

The evaluation board can be driven single-ended or differentially. Differential input requires using a 1:1 transformer. For single-ended operation (J1), Jumper S5 is connected to S8 and S6 is connected to S7. For differential input operation (J3), S5 is connected to S3 and S4 is connected to S6. The board is shipped in the differential configuration.

Encode

The AD9071 encode inputs are driven single-ended into J1 and are at TTL logic levels.

Data Out

The data delivered out of the AD9071 is in offset binary format at TTL levels. The Data Ready signal can be inverted by opening the S1 and S2 connections. An optional series termination

resistor on Data Ready (R33), normally 0 ohms, is provided to support various user output impedance configurations. The AD9760 DAC supports viewing reconstructed A/D data at J4.

Voltage Reference

The AD9071 can be operated using its internal voltage reference (connect E2 to E3) or an optional external reference (connect E1 to E2). The board is shipped utilizing the internal voltage reference.

Layout

The AD9071 is not layout sensitive if some important guidelines are met. The evaluation board layout provides an example where these guidelines have been followed to optimize performance.

- Provide a good ground plane connecting the analog and digital sections.
- Excellent bypassing is essential. Chip capacitors with 0.1 μF values and 0805 dimensions are placed flush against the pins. Placing any of the capacitors on the bottom of the board can degrade performance. These techniques reduce the amount of parasitic inductance that can impact the bypassing ability of the caps.
- Separate power planes and supplies for the analog and digital sections are recommended.

The AD9071 evaluation board is provided as a design example for customers of Analog Devices. ADI makes no warranties express, statutory, or implied regarding merchantability or fitness for a particular purpose.

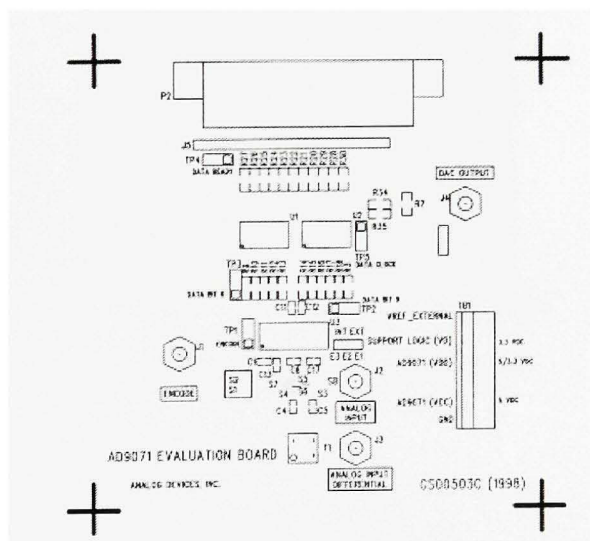


Figure 10. Printed Circuit Board Top Side Silkscreen

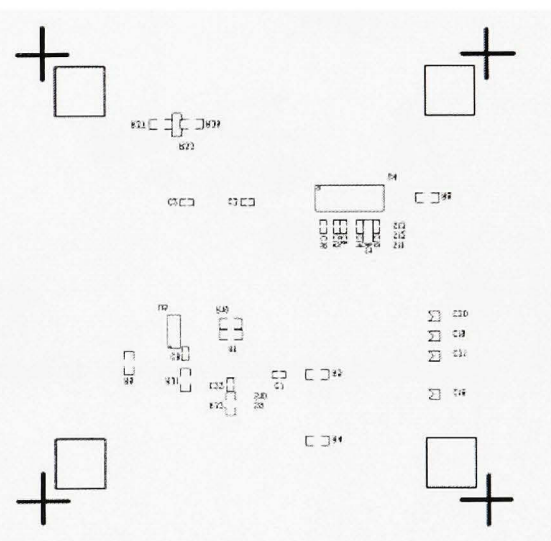


Figure 11. Printed Circuit Board Bottom Side Silkscreen

AD9071

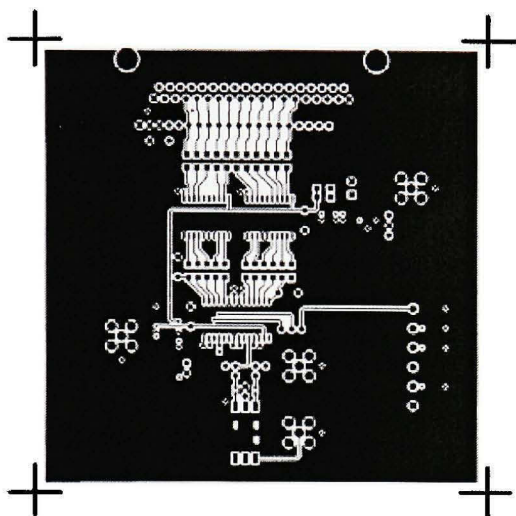


Figure 12. Printed Circuit Board Top Side Copper

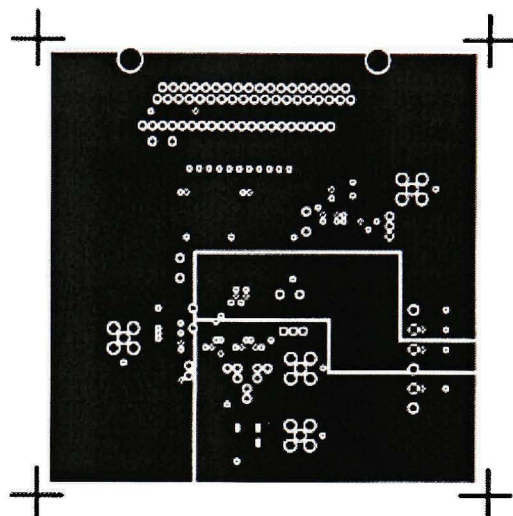


Figure 14. Printed Circuit Board "Split" Power Layer

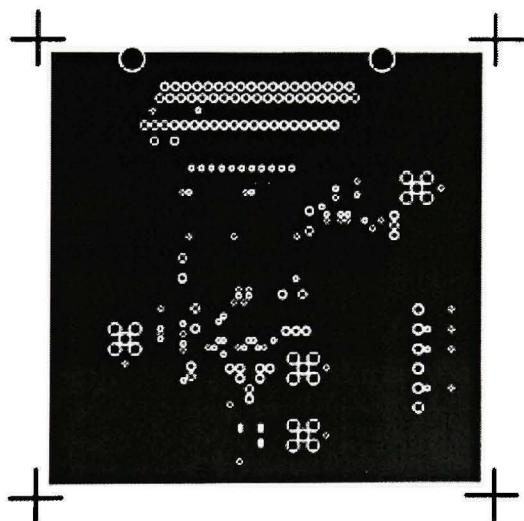


Figure 13. Printed Circuit Board Ground Layer

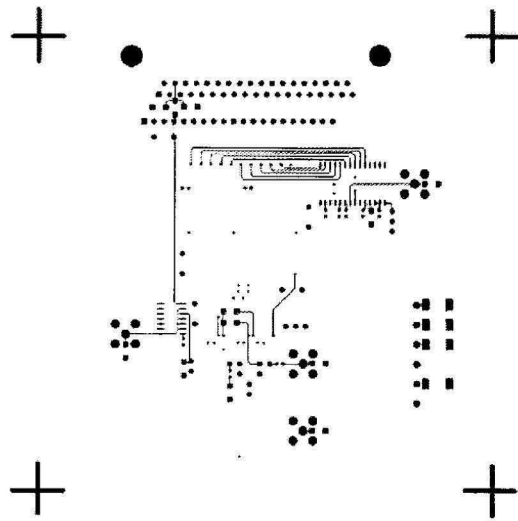


Figure 15. Printed Circuit Board Bottom Side Copper

AD9071

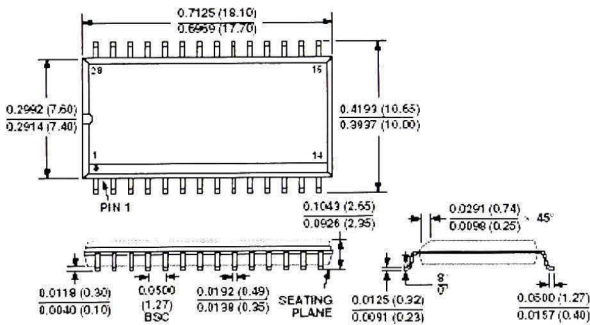
Table II. Printed Circuit Board Bill of Materials

Item #	Quantity	Reference	Description
1	18	C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, C11, C12, C13, C14, C15, C16, C17, C22	Ceramic Chip Capacitor, 0603, 0.1 μ F
2	4	C18, C19, C20, C21	Tantalum Chip Capacitor, 10 μ F
3	3	E1, E2, E3	Jumpers
4	4	J1, J2, J3, J4	SMB-P Connector
5	1	J5	20-Pin Male Header
6	1	P2	37-Pin Connector (Amp 747462-4)
7	13	R1, R19, R20, R21, R22, R23, R24, R25, R26, R27, R28, R29, R30	Surface Mount Resistor, 1206, 100 Ω
8	1	R2	Surface Mount Resistor, 1206, 2000 Ω
9	11	R3, R9, R10, R11, R12, R13, R14, R15, R16, R17, R18	Surface Mount Resistor, 1206, 200 Ω
10	5	R4, R5, R6, R7, R8	Surface Mount Resistor, 1206, 50 Ω
11	1	R31	Surface Mount Resistor, 1206, 5000 Ω
12	1	R32	Surface Mount Resistor, 1206, 25 Ω
13	1	R33	Surface Mount Resistor, 1206, 0 Ω
14	4	R34, R35, R36, R37	Surface Mount Resistor, 1206, 150 Ω
15	13	S1, S2, S3, S4, S5, S6, S7, S8, S9, S10, S11, S12, S13	Jumpers
16	1	T1	Surface Mount Transformer Mini-Circuit T1-T1, 1:1 Ratio
17	1	TB1	6-Pin Wieland Connector (P/N # 25,602, 2653.0; 25.530 3625.0)
18	5	TP1, TP2, TP3, TP4, TP5	Test Points
19	2	U1, U2	74LCX574 Octal Latch
20	1	U3	AD9071BR, 10-Bit, 100 MSPS, ADC
21	1	U4	AD9760AR, 10-Bit, 125 MSPS, DAC
22	1	U5	74LCX86, XOR

OUTLINE DIMENSIONS

Dimensions shown in inches and (mm)

28-Lead Wide Body SOIC
(R-28)



AD9071—Revision History

Location	Page
Data Sheet changed from REV. B to REV. C.	
Edits to ABSOLUTE MAXIMUM RATINGS	3

000567b-0-8/01(C)

PRINTED IN U.S.A.

BIBLIOGRAPHIE

- [1] IEEE Student Branch @ Enseeiht, Janvier 2002.
- [2] Laurent Chusseau, “ *Hyperfréquences* ”
- [3] Akyel Cevdet, *Instrumentation automatisée en micro- ondes*.
- [4] Ghanouchi F., Brodeur A, “ *Théorie et techniques de calibration de l’analyseur de réseau Six- port*”, Rapport technique (École Polytechnique de Montréal, 1992).
- [5] Engen G. F., (December 1973), “*Calibration of an Arbitrary Six- Port Junction for Measurement of active and passive Circuit Parameters*”, IEEE Transactions on Instrumentation and Measurement, Vol. 22, no.4, pp.295-299.
- [6] Engen G.F, (December 1977), “*The Six- port reflectometer. An alternative Network Analyzer*”, IEEE- MTT, Vol.25, No 12, pp. 1075-1080.
- [7] Engen G.F, (December 1978), “*Calibrating the six- port reflectometer by means of sliding termination*”, IEEE Trans. Microwave Theory, Vol.26,pp. 951-957.
- [8] Engen G.F., (December 1976) “*Determination Phase and Amplitude from power Measurements*” IEEE Transactions on Instrumentation and Measurement, vol.25, no.4, pp.414-418.
- [9] Gonzalez (1984), “*Microwave Transistor Amplifiers, Analysis and Design*”, Prentice Hall.
- [10] Julia Kantz, Jan Waldman, Freidrich, “*Measuring System for Time Variant Impedances*”, IMTC 2003-Instrumentation and Measurement.
- [11] ELE 4501 *Circuits actifs Micro-ondes*, École Polytechnique, Notes de Cours.
- [12] http://www.hp.com/hpbooks/prentice/ptr_0136317979.html
- [13] Martinez 2002
- [14] http://patrick.furon.free.fr/_traitementsignal/_cours_tns/_mason/000.html
- [15] ELEC2700 Hyperfréquences, Notes de cours, Université Catholique de Louvain