

Synthétiseur de fréquence pour les applications avioniques SDR: analyse et conception

par

Zakaria ELALAOUI ISMAILI

THÈSE PRÉSENTÉE À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
COMME EXIGENCE PARTIELLE À L'OBTENTION
DU DOCTORAT EN GÉNIE
Ph.D.

MONTREAL, LE "21 DÉCEMBRE 2020"

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC



Zakaria Elalaoui Ismaili, 2020



Cette licence Creative Commons signifie qu'il est permis de diffuser, d'imprimer ou de sauvegarder sur un autre support une partie ou la totalité de cette oeuvre à condition de mentionner l'auteur, que ces utilisations soient faites à des fins non commerciales et que le contenu de l'oeuvre n'ait pas été modifié.

PRÉSENTATION DU JURY

CETTE THÈSE A ÉTÉ ÉVALUÉE

PAR UN JURY COMPOSÉ DE:

M. Wessam Ajib, Directeur de Thèse
Département d'informatique, Université du Québec à Montréal

M. Frédéric Nabki, Co-directeur
Département du génie électrique, École de technologie supérieure

M. Mohamed Faten Zhani, Président du Jury
Département de génie logiciel et des TI, École de technologie supérieure

M. Dominic Deslandes, membre du jury
Département du génie électrique, École de technologie supérieure

M. Yves Audet, Examineur Externe Indépendant
Département de génie électrique, École Polytechnique de Montréal

ELLE A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE "17 DÉCEMBRE 2020"

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

Je tiens à remercier mes chers parents M. Moulay Jaâfar El Alaoui Ismaili et Mme Andalibi Zahra, qui m'ont continuellement soutenu pendant le cursus universitaire, pour leur aide et leur compréhension. Je remercie aussi mes frères et sœurs Fatimazahra , Moulay Youssef, Samira et Elmahdi pour leurs encouragements tout au long de mes études, merci beaucoup pour tout.

Je souhaite adresser mes remerciements les plus sincères à mon directeur de recherche prof. Wessam Ajib qui m'a encadré au cours du projet; toujours disponible et enthousiaste, il m'a beaucoup aidé avec ses conseils et ses recommandations pertinents à d'atteindre le but souhaité. Je remercie également mon co-directeur de recherche prof. François Gagnon pour m'avoir offert son savoir et son encadrement et je remercie aussi le prof. Nabki pour son soutien et ses conseils tout au long de ces années de recherche qui viennent de s'écouler.

Je remercie aussi les membres du jury professeur Ghizlane El Boussaidi, présidente de jury, et les professeurs Dominic Deslandes et Prénom nom d'avoir accepté d'évaluer mon travail.

Je remercie mes amis Ilyas, Miryam, Parisa, Anoir, Abdelhak, Alexandre, Abdelhalim, Philippe-olivier, Ali, Nakisa, Amin et Zoubeir pour leur soutien inconditionnel dans les moments les plus durs.

Finalement, je remercie tous mes amis et mes élèves ainsi que toute l'équipe de recherche du laboratoire Microélectronique.

Synthétiseur de fréquence pour les applications avioniques SDR : Sanalyse et conception

Zakaria ELALAOUI ISMAILI

ABSTRACT

De nos jours, les synthétiseurs de fréquence sont des éléments primordiaux dans les circuits de transmetteur-récepteur radio. Ces synthétiseurs jouent le rôle d'oscillateur local capable de générer les fréquences porteuses nécessaires pour les opérations de sur-conversion et de sous-conversion fréquentielle. Cette thèse portera sur la conception et l'analyse d'une nouvelle architecture de synthétiseur de fréquence à base de boucle à verrouillage de phase (en anglais *Phase-locked loop* ou PLL) apte à couvrir un large spectre fréquentiel et notamment le spectre utilisé dans les systèmes de communication avionique.

Le synthétiseur de fréquence proposé est apte à générer une bande de fréquence continue qui atteint 10 GHz. Cette large bande de fréquence permet de garantir l'agilité nécessaire pour répondre aux spécifications fréquentielle de plusieurs systèmes, tout en préservant la haute précision et en respectant les contraintes de bruit de phase, du coût et de consommation de puissance. À travers une étude comparative des architectures existantes dans la littérature, des simulations permettent de choisir l'architecture convenable aux applications visées. Par la suite, une analyse générale de PLL est réalisée pour identifier les considérations de conception ainsi que sélectionner les paramètres clés qui répondent aux exigences de la conception de chaque bloc interne du synthétiseur. Un oscillateur commandé en tension (en anglais *voltage controlled oscillator* ou VCO) convenable à l'application est conçu en prenant en compte les contraintes d'implémentation. Le détecteur de fréquence/phase, la pompe de charge, les diviseurs de fréquence, le mélangeur à bande latérale unique et les multiplexeurs sont aussi conçus en respectant les contraintes en fréquence et les considérations d'implémentation.

Entièrement intégré en technologie CMOS 0,13 μm , le synthétiseur assure une gamme de fréquences comprise entre 100 MHz et 10 GHz. Cette gamme couvre plusieurs systèmes avioniques de communication et plusieurs standards de communication sans fil existants. D'autre part, le VCO utilisé génère une plage d'accord de 6,6 GHz à 10 GHz (40%). Le bruit de phase du VCO, mesuré à 8,3 GHz, est de -107 dBc/Hz à un décalage de fréquence de 1 MHz avec une consommation de puissance mesurée de 3,4 mW. Ainsi, la figure du mérite, nommée FOM_V , du VCO proposé atteint 205. En outre, le synthétiseur produit un bruit de phase de -106,4 dBc/Hz à un décalage de fréquence de 1 MHz en générant une porteuse à 8 GHz. La bande passante de la boucle (en anglais *loop bandwidth* ou ω_{BW}) est de 110 kHz alors que la gigue d'horloge intégrée est de 637 fs avec une puissance totale mesurée de la PLL qui atteint 15,7 mW, ce qui mène à une figure de mérite gigue/puissance, nommé FOM_j , de -232.

Keywords: Synthétiseur de fréquence, Oscillateur local, Applications avioniques, PLL, VCO, Mélangeur SSB, SDR

Frequency synthesizer for avionic SDR applications : analysis and design

Zakaria ELALAOUI ISMAILI

ABSTRACT

Nowadays, frequency synthesizers are widely used as local oscillators in modern front-end transceivers. They are used to generate required carrier frequencies for up and down frequency conversion. This dissertation will focus on the design and the analysis of a new frequency synthesizer architecture based on PLL able to cover a large spectrum and mainly the one used for avionic communications.

The proposed frequency synthesizer provides a continuous frequency band reaching 10 GHz. This wide frequency range allows for enough agility in order to meet frequency specifications of several systems, while providing high accuracy and respecting phase noise, cost and power consumption constraints. Based on a comparative analysis of synthesizer architectures presented in the literature, simulations allow to choose the suitable architecture for the intended application. Subsequently, a general analysis performed on the PLL allowed distinguishing the design considerations as well as selecting of different characteristics and key parameters in order to meet the design requirements for each internal synthesizer block. A suitable VCO for the application has been designed depending on implementation considerations. Meanwhile, the phase frequency detector, the charge pump, the single side band mixer, frequency dividers and multiplexers are also designed while respecting frequency constraints and implementation considerations.

Fully integrated in 0.13 μm CMOS technology, the frequency synthesizer provides a carrier frequency range from 100 MHz to 10 GHz covering numerous avionics communication applications and existing wireless communication standards. The VCO used provides a wide tuning range of 6.6 GHz to 10 GHz (40%). The VCO phase noise, measured at 8.3 GHz, is about -107 dBc/Hz at a frequency offset of 1 MHz with a power consumption of 3.4 mW. Thus, the VCO figure of merit (FOM_V) is 205. In addition, the synthesizer exhibits a total phase noise of -106.4 dBc/Hz at a 1 MHz frequency offset for a 8 GHz output frequency. The PLL loop bandwidth is of 110 kHz while the measured integrated jitter is about 637 fs with a measured PLL consumption of 15.7 mW which lead to a jitter FOM_j of -232.

Keywords: Frequency synthesizer, Local oscillator, Avionics applications, PLL, VCO, SSB mixer, SDR

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 REVUE DE LITTÉRATURE	11
CHAPITRE 2 CHOIX DE L'ARCHITECTURE DU SYNTHÉTISEUR	17
2.1 Le synthétiseur S-VCO	17
2.2 Le synthétiseur multi-VCO	20
2.3 Le synthétiseur muni d'un mélangeur SSB (SSB-m)	20
2.4 Comparaison des architectures présentées	22
2.5 Architecture du synthétiseur de fréquence proposée	28
2.6 Conclusion du chapitre	31
CHAPITRE 3 ANALYSE, CONSIDÉRATIONS ET IMPLÉMENTATION DES BLOCS DU CIRCUIT	33
3.1 Boucle à verrouillage de phase (PLL)	33
3.1.1 Analyse du modèle linéaire de la PLL	33
3.1.2 Analyse du bruit dans la PLL	39
3.1.3 Choix des paramètres de la PLL	41
3.2 Oscillateur contrôlé par tension (VCO)	42
3.2.1 Analyse du circuit	42
3.2.2 Conception du VCO	48
3.3 Le comparateur de fréquence/phase et la pompe de charge	53
3.4 Diviseurs de fréquence	55
3.4.1 Diviseur par deux en mode de courant logique	55
3.4.2 Diviseur programmable par N	56
3.5 Mélangeur SSB passif	59
3.6 Sélection des bandes : Multiplexeur	61
3.7 Conclusion du chapitre	62
CHAPITRE 4 RÉSULTATS DES SIMULATIONS	65
4.1 Performance du VCO	66
4.2 Performance du détecteur de fréquence/phase et de la pompe de charge	68
4.3 Performance des diviseurs de fréquence	70
4.4 Performance du mélangeur SSB	72
4.5 Performance du multiplexeur en mode de courant logique	74
4.6 Performance du synthétiseur de fréquence	75
CHAPITRE 5 RÉSULTATS DES TESTS EXPÉRIMENTAUX	81
5.1 Configuration et plan de test de la puce	81
5.2 Tests expérimentaux sur la puce "Version 1"	84

5.3	Tests expérimentaux sur la puce "Version 2"	87
CONCLUSION ET RECOMMANDATIONS		95
ANNEXE I	LISTE DES PUBLICATIONS	99
BIBLIOGRAPHIE		100

LISTE DES TABLEAUX

	Page
Tableau 2.1	Choix de la valeur de la fréquence f_{chosen} 22
Tableau 2.2	Comparison of frequency synthesizer architectures 28
Tableau 3.1	Paramètres de la PLL..... 42
Tableau 3.2	Paramètres du core du VCO 51
Tableau 4.1	Caractéristiques et performance du synthétiseur proposé 79
Tableau 5.1	Comparaison des synthétiseurs de fréquence 93

LISTE DES FIGURES

	Page
Figure 0.1 Systèmes de communication avionique	3
Figure 0.2 Allocation de spectre pour les communications aéronautiques	3
Figure 0.3 Représentation d'une tête RF.....	4
Figure 1.1 Différentes architectures des synthétiseurs de fréquence.....	15
Figure 2.1 Schéma fonctionnel du synthétiseur S-VCO	18
Figure 2.2 Schéma fonctionnel du synthétiseur <i>Multi-VCO</i>	20
Figure 2.3 Schéma fonctionnel du synthétiseur SSB-m.....	21
Figure 2.4 Plage d'accord fréquentielle pour le synthétiseur S-VCO.	23
Figure 2.5 Plage d'accord fréquentielle pour le synthétiseur SSB-m.	24
Figure 2.6 Résultats du gain du VCO K_{vco}	25
Figure 2.7 Schéma équivalent d'une branche de condensateurs commutés	26
Figure 2.8 Comportement du facteur de qualité en fonction de n	27
Figure 2.9 Performance en bruit de phase des synthétiseurs présentés.....	27
Figure 2.10 Diagramme bloc du synthétiseur de fréquence	29
Figure 2.11 Dessin d'allocation des fréquences	31
Figure 3.1 Schéma block de la boucle à verrouillage de phase	33
Figure 3.2 Modèle linéaire de la CP-PLL.....	34
Figure 3.3 Marge de phase et facteur d'amortissement en fonction du rapport C_1/C_2	37
Figure 3.4 Comportement temporel de l'erreur ε pour différentes valeurs de ξ	38
Figure 3.5 Modèle du bruit de la CP-PLL	39
Figure 3.6 Modèle d'oscillateur en parallèle.....	43

Figure 3.7	Modèle de la banque des condensateurs commutés.	45
Figure 3.8	Schéma implémenté du QVCO	46
Figure 3.9	Dessins de masque de la bobine.	48
Figure 3.10	Résistance en série et facteur de qualité de la bobine	49
Figure 3.11	Facteur de qualité des varactors	50
Figure 3.12	Facteur de qualité des commutateurs	50
Figure 3.13	Comparateur de fréquence/phase	53
Figure 3.14	Pompe de charge	54
Figure 3.15	Architecture du diviseur par 2 en CML	56
Figure 3.16	Schéma bloc du diviseur programmable	57
Figure 3.17	Schéma bloc logique	58
Figure 3.18	Schéma d'implémentation du pré-diviseur 2/3	58
Figure 3.19	Schéma d'implémentation du compteur swallow	59
Figure 3.20	Schéma d'implémentation du diviseur par deux en TSPC	60
Figure 3.21	Schéma d'implémentation du mélangeur passif SSB	61
Figure 3.22	Schéma d'implémentation du sélectionneur de bandes	62
Figure 3.23	Schéma d'implémentation du sélectionneur de bandes	63
Figure 4.1	Layout du synthétiseur de fréquence	65
Figure 4.2	Paramètres des fils de liaison au pad.	66
Figure 4.3	Courbes de plage d'accord du VCO	67
Figure 4.4	Bruit de phase du VCO en oscillation libre.	68
Figure 4.5	Erreur de phase du PFD.....	69
Figure 4.6	Comparaison des tensions de sortie $V_{control}$ et $V_{replicas}$	69
Figure 4.7	Courant de sortie I_{cp} de la pompe de charge.	70

Figure 4.8	Comportement temporel du diviseur en CML.	70
Figure 4.9	Sensibilité du diviseur en CML.....	71
Figure 4.10	Forme d'ondes du diviseur programmable.	72
Figure 4.11	Isolation entre les ports du mélangeur SSB.	73
Figure 4.12	Point de compression à 1 dB.	73
Figure 4.13	Point d'interception du troisième ordre.	74
Figure 4.14	Sortie du multiplexeur de 10 GHz à 4 GHz.	74
Figure 4.15	Isolation entrées/sortie du multiplexeur.	75
Figure 4.16	Spectre de sortie pour une fréquence de 9,6 GHz.	76
Figure 4.17	Réponse fréquentielle de la PLL en boucle ouverte.	76
Figure 4.18	Réponse fréquentielle de la PLL en boucle fermée.....	77
Figure 4.19	Réponse transitoire de la PLL.	77
Figure 4.20	Bruit de phase à la sortie du synthétiseur proposé.....	78
Figure 5.1	microphotographie de la puce.	81
Figure 5.2	La puce dans le boîtier QFN.....	82
Figure 5.3	Circuit imprimé du système.	83
Figure 5.4	Mise en place de la puce sur le boîtier.	85
Figure 5.5	Circuit imprimé de la première puce, version 2.	86
Figure 5.6	Paramètres des fils de liaison au pad.	87
Figure 5.7	Mise en place de la puce lors de liaison aux pads.	88
Figure 5.8	Circuit imprimé de la deuxième puce.	88
Figure 5.9	Spectre de sortie du VCO pour une variation de V_{ctrl} entre 0,1 V et 1 V.....	89
Figure 5.10	Bruit de phase du VCO en oscillation libre.	89

Figure 5.11	Défaut d'appariement d'amplitude et de phase du QVCO.	90
Figure 5.12	Bruit de phase à la sortie du synthétiseur de fréquence.	91
Figure 5.13	Bruit de phase à la sortie du synthétiseur de fréquence.	91
Figure 5.14	Distribution de la consommation de puissance.	92

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

ACARS	Aircraft Communication Addressing and Reporting System
ADC	analog-to-digital converter
ADS	Advanced design system
ADS-B	Automatic dependent surveillance broadcast
AOC	Aeronautical operational control
BC	Bit de commande
BPF	Band pass filter
CML	Current mode logic
CMOS	Complementary Metal Oxide Semiconductor
CP	Charge pump
CS	Condensateurs commutés
DAC	Digital-to-analog converter
DB	Double bande
DME	Distance measuring equipment
DVB	Digital Video Broadcasting
F	Facteur de bruit
FI	Fréquences intermédiaires
FOM _v	VCO Figure of merit
FOM _j	Jitter Figure of merit
GNSS	Global navigation satellite system
GPS	Global positioning system
GSM	Global System for Mobile
IIP3	Third-Order Intercept point

XX

ILS	Instrument Landing System
LNA	Low noise amplifier
LO	Local oscillator
LTE	Long Term Evolution
MLS	Microwave landing system
OFDM	Orthogonal frequency-division multiplexing
PA	Power amplifier
PFD	Phase frequency detector
PN	Bruit de phase
PLL	Phase locked loop
QFN	Quad Flat No-leads
QVCO	Quadrature voltage-controlled oscillator
RF	Radio fréquence
Rx	Récepteur
SDR	Software defined radio
S-VCO	single voltage-controlled oscillator
SSB	Single side band
SSB-m	SSB mixer
TCAS	Traffic alert and Collision Avoidance System
TR	Tuning range (Plage d'accord)
TSPC	True single phase clock
Tx	Émetteur
VCO	Voltage-controlled oscillator
WiMAX	Worldwide Interoperability for Microwave Access

LISTE DES SYMBOLES ET UNITÉS DE MESURE

A	Ampère
dB	Décibel
dBm	Rapport du dB par un milliwatt
dBc/Hz	Décibels reliés à la porteuse par hertz
I_{cp}	Courant de la pompe de charge
α	Facteur d'oscillation
$^{\circ}$	Degré
C_{ox}	Capacité de l'oxyde par unité de surface
Δ_{fm}	Décalage de fréquence
ε	Erreur de fréquence
g_m	Transconductance
γ	Facteur de bruit d'un seul transistor
GHz	Gigahertz
k	Constante de Boltzmann
K_{vco}	Gain du VCO
kHz	kilohertz
MHz	Mégahertz
mW	Milliwatt
μm	Micromètre
μA	Microampère
μs	Microseconde
mA	Milliampère
mm^2	Millimètre carré

mS	Millisiemens
mV	millivolt
μ_n	Mobilité du canal
nm	Nanomètre
nH	Nanohenry
$K\Omega$	Kilo ohm
Ω	Ohm
ω_{BW}	Largeur de la bande passante
ω_n	Fréquence naturelle
ω_p	Pôle de la fonction de transfert
ω_z	Zéro de stabilisation
ϕ_m	Marge de phase
pH	Picohenry
pF	Picofarad
Q_c	Facteur de qualité du condensateur
Q_L	Facteur de qualité de la bobine
Q_{switch}	Facteur de qualité du commutateur
Q_T	Facteur de qualité globale
R_{ON}	Résistance du transistor en mode ON
R_p	Résistance parallèle du réservoir
t_s	Temps de stabilisation
Θ	Bruit
ξ	Facteur d'amortissement
V	Volt
V_{gs}	Tension grille-source du transistor

V_{th} Tension de seuil du transistor

Z_T Impédance totale

INTRODUCTION

La croissance phénoménale des systèmes de communication exige, de plus en plus, le développement des têtes à radio fréquence (en anglais *RF front-end*), entièrement intégrées, qui répondent aux spécifications de différents standards et qui sont capables de garantir un fonctionnement rapide, précis, à faible coût et à faible consommation de puissance.

Dans les systèmes avioniques de communication, par exemple, il s'avère nécessaire d'implémenter une variété de standards afin de pouvoir répondre aux exigences des différents signaux transmis. Que ce soit une communication air-air, air-sol ou air-satellite, des équipements comme le système de mesure de distance (en anglais *Distance Measurement Equipment* ou DME), le transpondeur Mode S (S pour sélectif), la surveillance dépendant autonome en diffusion (en anglais *Automatic Dependent Surveillance-Broadcast* ou ADS-B) et le système de positionnement global (en anglais *Global positioning system* ou GPS) nécessitent la présence de plusieurs têtes RF pour couvrir les fréquences d'opération de tous les standards à bord de l'avion. De plus, l'arrivée de nouveaux services de communication (tel que l'internet pendant le vol) pour les passagers est en train d'introduire des standards supplémentaires. Par conséquent, la diversité des standards exige d'implémenter, en général, plusieurs têtes RF de spécifications fréquentielles distinctes. Cependant, l'implémentation d'une tête RF pour chaque module avionique ne présente pas une solution optimale vu la grande surface occupée pour l'implémentation, le poids, le coût et l'encombrement. Alors, l'implémentation d'une tête RF agile en fréquence s'avère bénéfique pour les systèmes avioniques. Cela donne naissance à l'idée de la conception d'un synthétiseur de fréquence agile qui sera l'un des principaux éléments de la tête RF. Ce synthétiseur sera utilisé comme un oscillateur local pour la translation de fréquence et le choix des canaux.

La recherche durant ce doctorat portera sur la conception et l'analyse de synthétiseurs de fréquence RF à large bande de fréquence à base de PLL, à faible bruit, à haute résolution, à

faible coût et à faible consommation de puissance en technologie CMOS 0,13 μm pour des applications qui atteignent 10 GHz comme fréquence porteuse.

Motivations

La flexibilité de configuration et de reconfiguration, l'économie sur le plan de la puissance, du coût et de la surface sont toutes des avantages apportés par la technologie de la radio logicielle (en anglais *Software Defined Radio* ou SDR). La technologie SDR a donné naissance à une nouvelle approche qui s'avère bénéfique pour les systèmes électroniques et pour la communication sans fil. La SDR permet la substitution des modules électroniques matériels par des simples blocs logiciels faciles à modifier, à mettre à jour et à manipuler. L'utilisation de cette technologie est proposée dans plusieurs domaines. Spécifiquement, elle représente une bonne approche pour les applications avioniques. Elle répond aussi aux besoins des concepteurs qui essaient toujours de minimiser l'encombrement à bord d'un avion ainsi que de réduire le coût.

La présence de plusieurs systèmes de communication radio avioniques tels que le DME, le transpondeur mode S, le système d'évitement des collisions du trafic (en anglais *Traffic Alert and Collision Avoidance System* ou TCAS), le GPS, et d'autres exige l'implémentation de plusieurs standards. De plus, d'autres standards de communication sans fil comme le IEEE 802.11 WiFi et le LTE (*Long Term Evolution*) doivent être implémentés afin d'assurer des nouveaux services de communication aux clients qui sont de plus en plus demandant. La Figure 0.1 présente les différents modules de communication existants dans un avion (ICAO, 2015).

De nos jours, la reconfigurabilité offerte par les systèmes SDR garantit l'intégration de ces systèmes que ce soit des radios de navigation, des systèmes de communication, des rapports de position automatique ou des liens de données dans un seul module pour un fonctionnement simultané ou séparé organisé par un ordonnanceur (*scheduler*) d'opération.

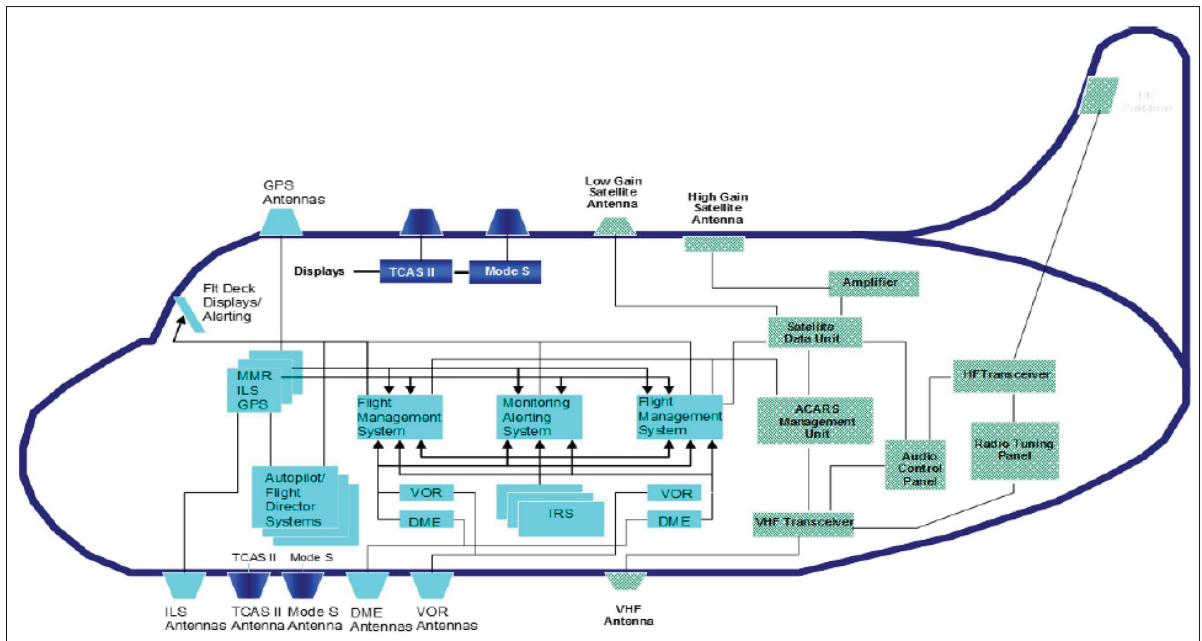


Figure 0.1 Systèmes de communication avionique

D'autre part, les systèmes de communication avioniques opèrent à des fréquences différentes. La Figure 0.2 présente l'allocation du spectre pour les services aéronautiques utilisés par les avions civils (Elalaoui *et al.*, 2015).

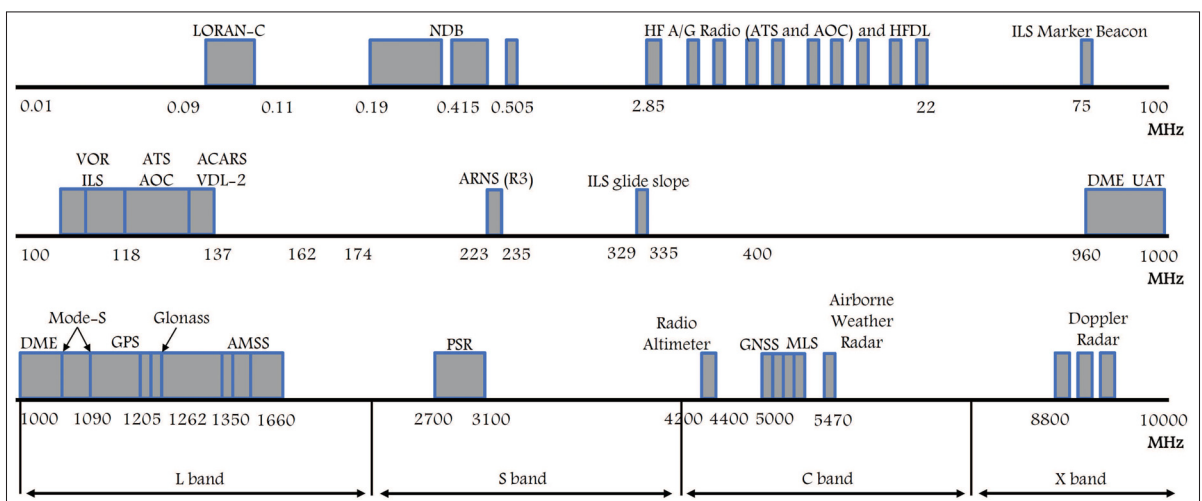


Figure 0.2 Allocation de spectre pour les communications aéronautiques

Il est clair que les fréquences porteuses d'opération des différents modules se situent dans une bande de fréquence comprise entre 10 kHz et 10 GHz. De plus, d'autres systèmes avioniques opèrent même à des fréquences qui atteignent 18 GHz. Par conséquent, chaque système nécessite l'implémentation d'une tête RF qui répond à ses propres spécifications. La Figure 0.3 présente un exemple de schéma bloc d'une tête RF.

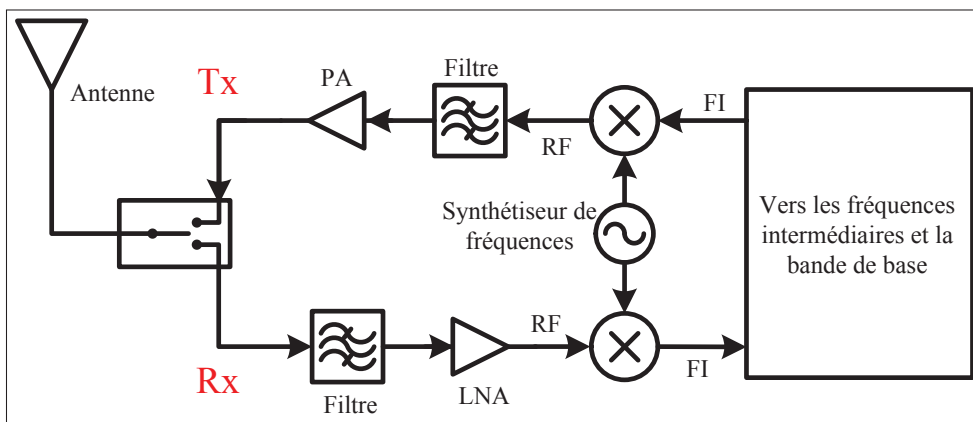


Figure 0.3 Représentation d'une tête RF

Une tête RF se compose de cinq blocs qui correspondent aux fonctions principales. La première fonction est réalisée par l'ensemble des amplificateurs du signal (amplificateur à faible bruit (en anglais *Low noise amplifier* ou LNA) et amplificateur de puissance (en anglais *power amplifier* ou PA)) qui se chargent d'amplifier le signal suivant le besoin de l'entrée subséquente. La deuxième fonction est réalisée par l'ensemble des mélangeurs qui ont pour tâche de traduire la fréquence vers une valeur convenable au fonctionnement du bloc suivant. Ensuite, la troisième fonction est réalisée par l'ensemble des filtres passe-bande (en anglais *Band pass filter* ou BPF) qui cernent l'intervalle de fréquences visée par chaque partie du transmetteur. La quatrième fonction est réalisée par l'oscillateur local (en anglais *local oscillator* ou LO) qui sert à générer les fréquences porteuses pour les opérations de conversion de fréquence réalisées à travers le mélangeur qui représente le cinquième bloc de la tête RF. La section des fréquences intermé-

diaires présente généralement une deuxième étape de conversion de fréquence afin de garantir la fréquence convenable au fonctionnement des convertisseurs analogiques-numériques et des convertisseurs numériques-analogiques (en anglais *ADC* et *DAC*).

La diversité des spécifications rend l'implémentation des modules RF plus coûteuse avec plus d'occupation d'espace sans oublier les problèmes de synchronisation lors de l'utilisation de plusieurs oscillateurs. La solution proposée est la fabrication d'une tête RF caractérisée par l'agilité en fréquence capable de répondre à toutes les spécifications fréquentielles des applications visées.

L'agilité en fréquence est importante pour les applications qui exigent un mode opératoire sur des fréquences différentes. Les modules RF agiles sont utilisés pour supporter les multistandards terrestres (Im *et al.*, 2012), dans le domaine de communication sans fil (Adiseno *et al.*, 2002) et particulièrement dans la radio cognitive (Kaltioikallio *et al.*, 2012).

Néanmoins, la conception des têtes RF agiles représente toujours un défi pour les applications avioniques. D'une part, la conception d'un oscillateur local à faible bruit, stable, rapide, qui couvre une large gamme de fréquences avec une résolution élevée et une consommation réduite s'avère toujours complexe. D'autre part, les autres composants de la tête RF (LNA, Mélangeur et filtres) doivent être favorables au fonctionnement quelle que soit la fréquence d'opération souhaitée.

Contraintes de conception

L'oscillateur local représente l'élément clé d'une tête RF. Cet élément joue le rôle de générateur de fréquence porteuse nécessaire pour assurer l'opération de translation vers des fréquences plus hautes ou plus basses selon le besoin du traitement subséquent. Cependant, la conception d'un synthétiseur de fréquence, généralement utilisé comme un oscillateur local, qui est apte à générer une large bande de fréquences hautes à faible bruit de phase (en anglais *phase*

noise ou PN), à haute résolution, à haute vitesse d'opération et à faible consommation présente toujours un défi majeur pour les applications avioniques à hautes fréquences. Par conséquent, les contraintes de conception peuvent être citées, par ordre d'importance pour les applications avioniques, comme suit : une stabilité élevée, un faible bruit de phase, un niveau de fréquences parasites (dits *spurious tones* ou *spurs*) réduit, une résolution élevée, un temps de réponse réduit, un temps de commutation réduit, une surface d'implémentation réduite et moins coûteuse ainsi qu'une faible consommation de puissance.

Le bruit de phase est généralement dû au bruit thermique et aussi au bruit de scintillation (en anglais *flicker noise* ou *1/f noise*) dans les composants du synthétiseur (actifs et passifs), en particulier le VCO, alors que les *spurs* sont causées par le circuit qui génère la fréquence de référence, le comparateur de phase et la pompe de charge (Kroupa, 2003).

De plus, la fréquence maximale permise en technologie CMOS utilisée lors de la conception représente une limitation pour la vitesse d'opération pour les fréquences radios. Par conséquent, la conception des diviseurs et des VCOs capable de fonctionner à des fréquences élevées est un autre défi. En ce qui concerne la dissipation de puissance, le VCO et les diviseurs sont des éléments les plus responsables de cette dissipation plus que les autres composants qui opèrent à des fréquences moins élevées.

Les composants du synthétiseur de fréquence doivent être optimisés en vitesse et en puissance tout en tenant compte de la restriction fondamentale du bruit de phase.

Objectif

L'objectif principal de cette thèse est d'analyser, concevoir et puis fabriquer et tester un synthétiseur de fréquence agile capable de générer des fréquences porteuses dans une bande de fréquence continue comprise entre 100 MHz et 10 GHz pour des applications avioniques. La performance en terme de bruit de phase et la résolution fréquentielle du synthétiseur doivent

se conformer avec les spécifications des différents standards visés. Le temps de réponse et la vitesse de commutation entre les fréquences sont des paramètres de qualité qui doivent aussi respecter les exigences des standards. De plus, la surface d'implémentation du synthétiseur doit être prise en considération en minimisant le nombre de composants utilisés afin de réduire le coût d'une part, et de minimiser la puissance dissipée d'autre part. Le synthétiseur sera conçu puis fabriqué en technologie CMOS 0,13 μm .

Méthodologie du travail

La méthodologie suivie pour atteindre les objectifs cités à la section précédente est décrite comme suit.

La thèse commence par la réalisation d'une revue critique des différents synthétiseurs de fréquence existants dans la littérature. Cette revue permettra, d'une part, de situer notre travail et, d'autre part, de réaliser une étude de faisabilité de tous les composants nécessaires pour la conception du synthétiseur. La comparaison des différentes architectures permet de choisir l'architecture adéquate au spectre utilisé pour les communications avioniques étalées sur la bande de fréquence 10 MHz–10 GHz.

Ensuite, les blocs qui forment le synthétiseur proposé sont analysés. Tout d'abord, la PLL qui représente le cœur du synthétiseur proposé est analysée en détail afin de déduire les paramètres du modèle théorique du circuit qui répondent aux exigences de la stabilité, la vitesse et le bruit de phase du système. Lors de la conception des composants de la PLL proposée (à savoir le VCO, le comparateur de fréquence/phase (en anglais *phase frequency detector* PFD), la pompe de charge et les diviseurs de fréquence), les considérations tirées de l'analyse réalisée sont respectées. De plus, la stratégie de conception suivie pour le mélangeur à bande latérale unique (en anglais *Single Side Band* ou SSB) et pour les multiplexeurs respecte les contraintes fréquentielles et les considérations d'implémentation en technologie CMOS 0,13 μm .

Chaque bloc fait individuellement l'objet d'une simulation post-layout pour caractériser sa performance et sa conformité au système. Par la suite, le système entièrement intégré en technologie CMOS 0,13 μm est simulé en post-layout afin de confirmer son fonctionnement tout en respectant les exigences fréquentielles ainsi que les limites de stabilité, de vitesse et de bruit de phase. Durant les simulations, les contraintes de fabrication, les ports et la liaison des fils sont pris en considération. Une fois le système est fonctionnel, la puce est envoyée à CMC microelectronics pour fabrication.

La puce fabriquée est ensuite encapsulée dans un boîtier QFN-7x7-44A de 7 mm par 7 mm à 44 pins de MOSIS avec un pas de distance entre les pins de 0,5 mm, puis testée sur un circuit imprimé pour évaluer sa performance. Le synthétiseur est ensuite comparé avec d'autres architectures présentées dans la littérature afin d'illustrer explicitement ses avantages.

Contributions

Les principales contributions découlant de cette thèse sont données dans la liste suivante :

- L'analyse et la comparaison de différentes approches d'architecture de synthétiseurs de fréquence précédemment présentées dans la littérature afin de pouvoir proposer une architecture convenable aux besoins en performance des applications visées.
- La proposition d'une nouvelle architecture de synthétiseur de fréquence qui permet de générer une fréquence porteuse appartenant à une large bande de fréquence qui atteint une fréquence de 10 GHz en technologie CMOS 0,13 μm basés sur une PLL, munie d'un VCO à banque de condensateurs commutés, aidée par un seul mélangeur. Ce choix assure un bon compromis, entre le bruit de phase et la surface d'implémentation, recommandé par l'étude comparative réalisée.

- La conception et l'implémentation d'un VCO apte à couvrir une bande de fréquence allant de 6,7 GHz à 10 GHz à une plage d'accord, dit en anglais *tuning range*, de 40% à faible bruit en technologie CMOS 0,13 μm à une figure de mérite de 205.
- La conception et la fabrication d'un synthétiseur de fréquences agile qui génère une bande de fréquence de 100 MHz jusqu'à 10 GHz à faible bruit de phase et à haute résolution pour des applications avioniques et pour les standards de communication sans fil existants.

Retombées industrielles potentielles

L'utilisation d'un seul synthétiseur de fréquence, à faible bruit et à haute résolution, agile capable de couvrir une bande de fréquence continue de 100 MHz à 10 GHz, remplace l'utilisation de plusieurs synthétiseurs qui génèrent un nombre limité de fréquences porteuses. Par conséquent, le synthétiseur agile permettra de réduire la puissance consommée au cours du fonctionnement. De plus, il permettra la diminution de la surface d'implémentation occupée ainsi que la réduction du coût.

Cette thèse fait partie d'un projet d'envergure nommé CRIAQ AVIO-505 dont l'objectif général est la conception d'une architecture hautement intégrée dans une radio logicielle SDR pour les domaines d'aéronautique et d'aérospatiale. Le but est d'intégrer le système de navigation, le système de communication et le système de surveillance dans une seule plateforme SDR reconfigurable. Par ailleurs, l'architecture doit présenter un système optimisé du point de vue poids, surface et consommation d'énergie. Trois universités (École de technologies Supérieure (ÉTS), Université du Québec à Montréal (UQAM) et l'École Polytechnique de Montréal) ainsi que quatre partenaires industriels sont impliqués dans ce projet d'envergure. Les partenaires industriels sont : Bombardier aéronautique, MDA corporation, Marinvent corporation et Nutaq.

Organisation de la thèse

Le premier chapitre de ce document présentera le concept d'agilité de fréquence dans les modules de transmission RF avioniques à travers une revue de littérature exhaustive afin de mettre en évidence les travaux antérieurs et les différentes solutions proposées dans le domaine du RF. Cette revue permettra de situer nos travaux par rapport aux autres dans le même domaine. Les architectures de synthétiseur précédemment présentées dans la revue de littérature seront analysées, dans le deuxième chapitre, et leurs performances seront comparées afin de pouvoir choisir l'architecture adéquate à notre application. Le troisième chapitre portera sur l'analyse, les considérations et l'implémentation des différents blocs qui forment le synthétiseur en technologie CMOS 0,13 μm . Les résultats de simulation post-layout des différents composants et du synthétiseur feront l'objet du quatrième chapitre. Puis, La configuration et les résultats des testes expérimentaux sont présentés, discutés et comparés à des systèmes présentés dans la littérature dans le cinquième chapitre. Ce dernier chapitre est suivi par la conclusion et les perspectives des travaux futures.

CHAPITRE 1

REVUE DE LITTÉRATURE

Cette revue de littérature se concentre principalement sur le synthétiseur de fréquence agile qui représente l'objectif principal de cette thèse. Les synthétiseurs de fréquence agiles ont fait l'objet de plusieurs travaux de recherche avec des applications dans des domaines différents. La radio cognitive, à titre d'exemple, représente une technologie prometteuse qui peut améliorer l'utilisation du spectre grâce à une allocation dynamique du spectre. Elle permet la détection et la redistribution des plages de spectres inoccupés. Par conséquent, la radio cognitive exige que le transmetteur soit agile en fréquence (Elalaoui *et al.*, 2012). La communication satellitaire exige aussi la génération des fréquences porteuses pour la charge utile du satellite (en anglais *satellite payload*) (Dayaratna, 2012). Le synthétiseur de fréquence agile est aussi évoqué par les systèmes de communication sans fil afin d'être capable d'implémenter plusieurs protocoles qui opèrent en utilisant des fréquences différentes (Sheen & Chen, 2001) dans le même système.

Les composants discrets représentaient une solution pour garantir l'agilité, mais ces composants souffrent de consommation d'énergie élevée et d'occupation élevée de surface. Les performances RF ont connu des progrès considérables grâce à la technologie CMOS qui a permis l'intégration de plusieurs composants dans une seule puce. L'implémentation de synthétiseurs de fréquence agile a été réalisée avec différentes technologies (Lu & Chen, 2012; Elalaoui *et al.*, 2012; Kim *et al.*, 2011; Shi *et al.*, 2008). Plusieurs architectures de synthétiseurs à base de PLL ont été proposées dans la littérature.

Une PLL munie d'un VCO unique à large plage d'accord fréquentielle peut être utilisée comme synthétiseur (Prinzie *et al.*, 2020; Santiccioli *et al.*, 2020; Sharkia *et al.*, 2019; Kim *et al.*, 2019a; Kim & Rabaey, 2018; Qiu *et al.*, 2017; Chen, 2014). Le synthétiseur proposé dans (Prinzie *et al.*, 2020) génère une bande de fréquence comprise entre 5,8 GHz et 7,2 GHz grâce à un VCO unique à large bande de fréquence conçu en technologie CMOS 22 nm. L'architecture proposée dans (Chen, 2014), conçue en technologie CMOS 65 nm, est capable de générer une

bande de fréquence de 4,4 GHz à 7,6 GHz à l'aide d'un VCO unique aussi. Cependant, les VCO à large plage d'accord génèrent un bruit de phase élevé en raison de la large variation du gain.

Le gain du VCO nécessaire pour une application donnée peut être diminué en utilisant une banque de condensateurs commutés (CS). La banque de condensateurs (en anglais *capacitors bank*) permettent d'élargir la bande de fréquence générée tout en maintenant un niveau réduit de gain (Mercandelli *et al.*, 2020; Wang *et al.*, 2018; Azadbakht *et al.*, 2016; Raczkowski *et al.*, 2015b; Wang *et al.*, 2014; Analui *et al.*, 2014; Deng *et al.*, 2014; Chen & Hashemi, 2014; Levantino *et al.*, 2013; Shin & Shin, 2012; Musa *et al.*, 2011; Vecchi *et al.*, 2011; Nabki *et al.*, 2009). Cette solution a permis la génération des fréquences dans une bande comprise entre 2,5 GHz et 4,5 GHz pour les applications radar (Wang *et al.*, 2014). La même technique garantit la génération de fréquences entre 50 MHz et 6 GHz comme le montre le synthétiseur présenté dans (Analui *et al.*, 2014). Le VCO avec une banque de condensateurs a été aussi utilisé dans (Raczkowski *et al.*, 2015b) et dans (Deng *et al.*, 2014) permettant de générer respectivement les bandes 9,2 GHz–12,7 GHz et 7,2 GHz–10,3 GHz. Néanmoins, le nombre de lignes des condensateurs commutés doit être judicieusement choisi pour maintenir un facteur de qualité acceptable afin d'assurer une bonne performance en terme de bruit de phase.

Les bandes de fréquences peuvent être étendues tout en conservant un faible gain en VCO en utilisant des mélangeurs et des diviseurs de fréquence (Liu & Luong, 2019; Xu *et al.*, 2017; Wu *et al.*, 2017; Elalaoui *et al.*, 2017; Rong *et al.*, 2016; Shanthi & Krishnamurthi, 2016; Milevsky *et al.*, 2015; Nasr *et al.*, 2014; Zheng *et al.*, 2009; Valdes-Garcia *et al.*, 2007; Sandner *et al.*, 2006; Koukab *et al.*, 2006; Khorram *et al.*, 2005; Roovers *et al.*, 2005; Mishra *et al.*, 2005; Ismail & Abidi, 2005). L'architecture présentée dans (Elalaoui *et al.*, 2017) assure une bande de fréquence comprise entre 100 MHz et 12 GHz à l'aide d'un seul mélangeur tandis que le synthétiseur présenté dans (Rong *et al.*, 2016) génère des larges bandes de fréquence de 0,05–10 GHz, 19–22 GHz et 38–44 GHz en utilisant un VCO aidé par des mélangeurs à bande latérale unique (en anglais *single side band* ou SSB) et des diviseurs en technologie CMOS 0,13 μm . L'utilisation des mélangeurs a été aussi une solution adoptée par (Zheng *et al.*, 2009). La solution proposée permet de produire des fréquences entre 3,1 GHz et 8 GHz.

Dans le travail présenté par (Ismail & Abidi, 2005), le synthétiseur de fréquence assure sept bandes de fréquences porteuses distribuées entre 3,4 GHz et 7,9 GHz en utilisant deux mélangeurs SSB. De plus, l'architecture présentée dans (Valdes-Garcia *et al.*, 2007) génère la bande de fréquence 3 GHz–10 GHz pour la communication à multiplexage par répartition en fréquence orthogonale (en anglais *Orthogonal frequency-division multiplexing* ou OFDM) ultra large bande. Il est aussi possible de générer une large bande de fréquence en utilisant un seul mélangeur avec un VCO à large plage d'ajustement (Hu *et al.*, 2019; Chen *et al.*, 2013; Huang *et al.*, 2011). Le travail présenté dans (Huang *et al.*, 2011) propose une architecture qui peut assurer la génération des fréquences porteuses entre 1,8 GHz et 6 GHz. L'architecture proposée par (Chen *et al.*, 2013) est apte à garantir la génération des fréquences qui supportent les standards de communications sans fil tel que le Diffusion vidéo numérique (en anglais *DVB*) et le système de communications mobiles (en anglais *GSM*). De plus, l'architecture présentée dans (Lo *et al.*, 2015) est capable de générer une bande de fréquence comprise entre 2 GHz et 16 GHz avec la même technique.

D'autres part, des systèmes proposés ont pu atteindre une large bande de fréquence grâce à l'utilisation de plusieurs VCOs en fonctionnement simultané ou un à la fois (Li *et al.*, 2020; Hu *et al.*, 2020; Zhang *et al.*, 2019; Vlachogiannakis *et al.*, 2019; Drechsel *et al.*, 2019; Herzel *et al.*, 2017; Zhao Zhang *et al.*, 2016; Copani *et al.*, 2016; Nehring *et al.*, 2016; Cali *et al.*, 2015; Zhou *et al.*, 2013b; Yu *et al.*, 2011; Mazzanti *et al.*, 2010; Borremans *et al.*, 2010; Osmany *et al.*, 2010; Jain *et al.*, 2009; Razavi, 2009; Khannur *et al.*, 2008; Lee, 2006; Huh *et al.*, 2005). Par exemple, le synthétiseur présenté dans (Zhou *et al.*, 2013a) utilise un doublet de VCO (un seul VCO opérationnel à la fois) et il est capable de générer des fréquences porteuses dans la bande 0,4 GHz–6 GHz. De plus, le synthétiseur dans (Lee, 2006) peut générer sept bandes distribuées entre 3 GHz et 8 GHz en utilisant deux PLLs. Une approche similaire présentée dans (Razavi, 2009) est capable de garantir treize bandes de fréquences entre 1 GHz et 10 GHz alors que l'architecture présentée dans (Yu *et al.*, 2011) permet de générer la bande 125 MHz–32 GHz. Avec deux VCOs, l'architecture présentée dans (Osmany *et al.*, 2010) est capable de fournir quatre bandes de fréquence, la bande 0,6 GHz–4,6 GHz, la bande

5 GHz–7 GHz, la bande 10 GHz–14 GHz et la bande 20 GHz–28 GHz. En outre, l'architecture présentée dans (Peng *et al.*, 2013) utilise deux VCOs pour garantir une bande de fréquence continue entre 50 MHz et 4,8 GHz pour les applications du standard de communication LTE (Long Term Evolution) et de la radio cognitive. La solution du doublet de VCOs a été utilisée aussi dans (Lee *et al.*, 2015) permettant de générer des porteuses entre 2,7 GHz et 7 GHz.

Pour des fréquences plus élevées (bande Ku et bande Ka par exemple), les concepteurs optent pour l'utilisation de plusieurs PLLs ou l'ajout des multiplicateurs de fréquence (Chen *et al.*, 2020; Liao *et al.*, 2020; Wagner *et al.*, 2020; Kuai *et al.*, 2019; Kim *et al.*, 2019b; Voelkel *et al.*, 2019; Ergintav *et al.*, 2019; Yi *et al.*, 2019; Kim *et al.*, 2019c; Lin *et al.*, 2018; Yin & Luong, 2014b; Kang *et al.*, 2014; Rong & Luong, 2011; Yu *et al.*, 2011; Stadius *et al.*, 2007). Ces systèmes permettent de générer des bandes de fréquences continues qui peuvent atteindre 92 GHz. L'architecture présentée dans (Li *et al.*, 2014) peut couvrir une bande de fréquence de 21 GHz jusqu'à 48 GHz. De plus, le synthétiseur présenté dans (Zhan *et al.*, 2011) peut atteindre la bande Ka avec un regroupement de plusieurs PLLs, mélangeurs et multiplicateurs. Le synthétiseur présenté dans (Yin & Luong, 2014a) couvre une très large bande aussi allant de 0,37 GHz jusqu'à 46,5 GHz pour les applications de la radio logicielle. Toutefois, ce synthétiseur utilise un VCO à large plage plus une combinaison entre les diviseurs et un multiplicateur de fréquence. De plus, l'architecture présentée dans (Rong *et al.*, 2015) est capable de générer trois larges bandes de fréquences : entre 0,05 GHz et 10 GHz, entre 19 GHz et 22 GHz et entre 38 GHz et 44 GHz via l'utilisation de deux mélangeurs et plusieurs multiplicateurs et diviseurs de fréquences.

Toutes les architectures vues précédemment sont capables d'assurer des gammes de fréquences larges que cela soit par l'utilisation d'une architecture de PLL basée sur un VCO unique à large plage d'accord muni d'une banque de condensateurs comme le montre la Figure 1.1.a, ou par le choix d'une PLL munie d'une banque de VCOs comme illustré par la Figure 1.1.b. Une large gamme de fréquence est aussi garantie par l'utilisation d'une architecture à plusieurs PLLs (Figure 1.1.c) ainsi que l'utilisation des diviseurs et des multiplicateur de fréquences comme montré par la Figure 1.1.d.

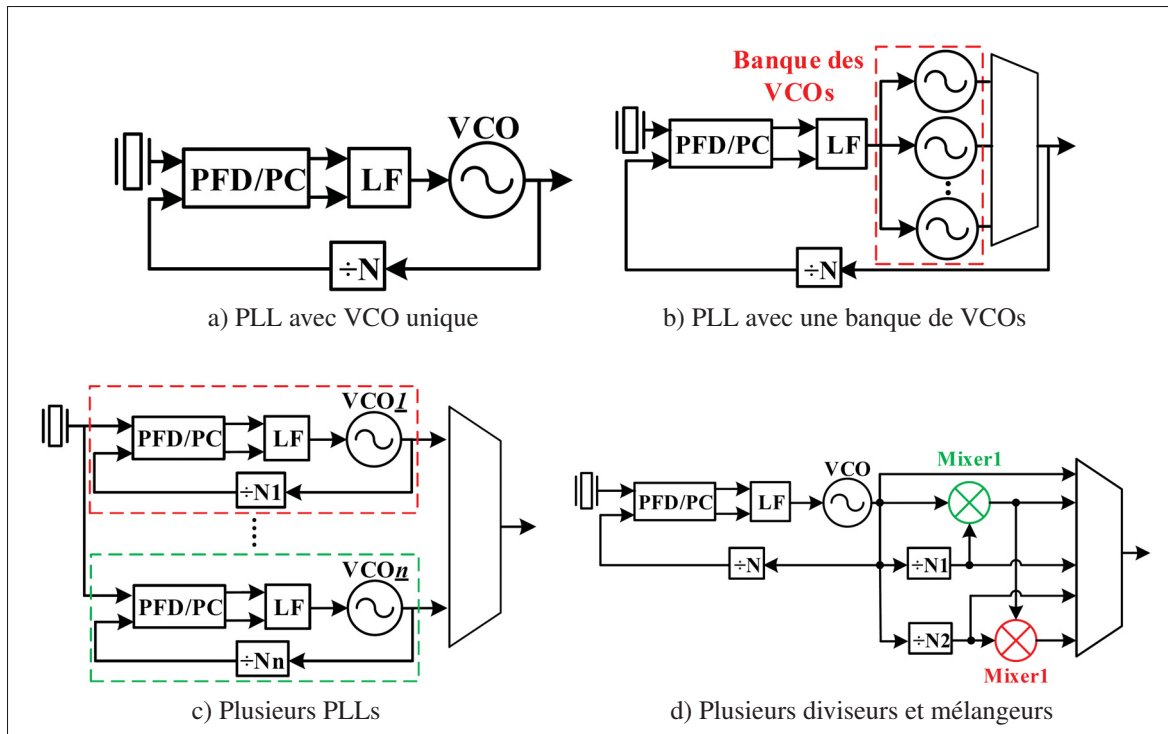


Figure 1.1 Différentes architectures des synthétiseurs de fréquence.

La performance d'un synthétiseur de fréquence se mesure par son bruit de phase, la largeur de bande des fréquences qu'il peut générer, sa stabilité, sa vitesse de réponse et de commutation d'une fréquence à une autre, la surface d'implémentation qu'il occupe, la pureté des porteuses générées à sa sortie ainsi que la puissance consommée lors de son fonctionnement.

Les synthétiseurs qui contiennent un seul VCO à large bande de fréquence souffrent de bruit de phase élevé à cause du gain élevé nécessaire pour une large plage d'accord. L'utilisation d'une banque de condensateurs peut être une solution pour réduire le gain du VCO, comme ce que les auteurs de (Analui *et al.*, 2014) ont proposé. Pourtant, ces systèmes souffrent de la limitation de la fréquence d'oscillation maximale causée par la capacité parasite générée par les commutateurs de la banque. Les auteurs de (Lu & Chen, 2012) exigent l'utilisation de plusieurs mélangeurs du type SSB et des diviseurs de fréquence pour étaler la bande de fréquence, ce qui rend l'implémentation plus complexe avec le risque d'une génération importante des parasites fréquentielles (en anglais *spurs*) à la sortie ainsi qu'une consommation de puissance élevée. D'autre part, l'utilisation de plusieurs PLLs provoque une consommation de

puissance élevée ainsi qu'une large surface d'implémentation. L'utilisation des multiplicateurs est toujours complexe que cela soit sur le plan du filtrage, du coût ou de la consommation de puissance.

L'évaluation des avantages et des inconvénients des différentes architectures précédemment discutées sur le plan du bruit, de la pureté de la porteuse générée, de la puissance consommée, de la surface occupée et de la bande de fréquence souhaitée montre que le synthétiseur de fréquence doit être, de préférence, implémenté en utilisant un seul VCO avec un seul mélangeur. Une telle implémentation permettra de garantir un bruit de phase réduit avec une résolution élevée, une faible consommation d'énergie, moins de complexité d'implémentation, une surface réduite tout en offrant la plus large gamme de fréquences possible. L'utilisation des banques de condensateurs reste aussi une bonne solution si la conception des commutateurs se fait judicieusement.

Pour plus de rigueur, une étude quantitative des différentes architectures présentées précédemment s'avère nécessaire afin de confirmer le choix de l'architecture convenable pour le spectre de fréquence avionique visé par cette thèse. Cette étude sera présentée au chapitre suivant.

CHAPITRE 2

CHOIX DE L'ARCHITECTURE DU SYNTHÉTISEUR

Le défi principal qui se présente lors de la conception d'un synthétiseur de fréquence à base de PLL se manifeste dans l'aptitude à garantir une large gamme de fréquences tout en respectant les contraintes de stabilité, de consommation d'énergie et de bruit de phase. Par conséquent, il est nécessaire de concevoir un VCO à large plage d'accord avec une faible variation de gain (K_{vco}). De plus, le VCO doit maintenir un facteur de qualité assez élevé afin de garantir une bonne performance en bruit de phase.

Dans cette section, les architectures de synthétiseurs précédemment présentées dans la revue de littérature seront analysées et leurs performances seront comparées afin de pouvoir choisir l'architecture adéquate à notre application. Les architectures étudiées, dans ce chapitre, sont capables de générer une bande de fréquence comprise entre une fréquence maximale, nommée f_{max} , et n'importe quelle valeur minimale requise par une application donnée. Trois architectures de synthétiseur seront étudiées puis comparées : l'architecture du synthétiseur à VCO unique (en anglais *single VCO* ou S-VCO), l'architecture du synthétiseur à multiple VCOs (Multi-VCO) et l'architecture de synthétiseur muni d'un mélangeur SSB (SSB-m).

2.1 Le synthétiseur S-VCO

L'architecture du synthétiseur S-VCO est capable de générer toutes les fréquences porteuses, comprises entre une fréquence maximale f_{max} et n'importe quelle valeur minimale requise par une application donnée, grâce à un VCO unique apte à générer une bande de fréquence continue comprise entre f_{max} et $f_{max}/2$. Ainsi, toutes les fréquences porteuses inférieures à $f_{max}/2$ peuvent être garanties à travers une simple opération de divisions par deux.

Le schéma fonctionnel du synthétiseur S-VCO est présenté à la Figure 2.1. Le VCO utilisé est conçu suivant la technique de la topologie couplé croisé complémentaire (en anglais *cross-coupled topology*) qui se caractérise par son bon compromis entre la performance en terme de bruit de phase et la largeur de plage d'accord fréquentielle (Elalaoui *et al.*, 2017). Une banque de condensateurs commutés (en anglais *switched capacitors bank* ou *SC bank*) permet de maintenir un niveau de gain du VCO assez bas tout en gardant la même largeur de la plage d'accord. Cependant, l'utilisation de plusieurs lignes de condensateurs réduit le facteur de qualité et ce qui engendre la dégradation du bruit de phase total du VCO.

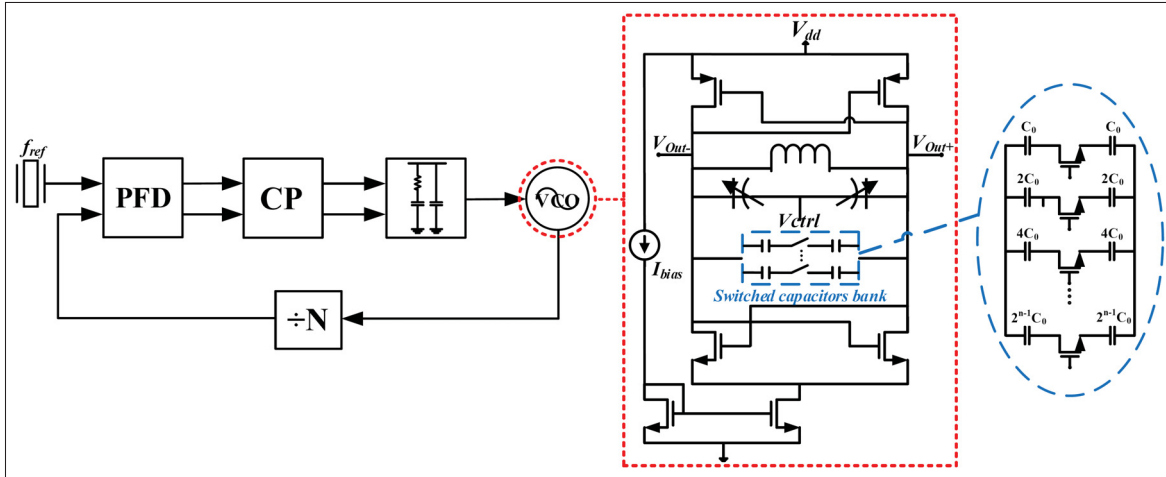


Figure 2.1 Schéma fonctionnel du synthétiseur S-VCO

La fréquence d'oscillation de la porteuse générée par le VCO s'écrit sous la forme suivante :

$$f_{osc} = \frac{1}{2\pi\sqrt{L \times (C_{var} + C_b)}}, \quad (2.1)$$

où L représente la valeur de l'inductance du réservoir (en anglais *tank*); C_{var} représente la capacité des varactors alors que C_b représente la capacité effective des branches de condensateurs commutés.

Les varactors utilisés dans le VCO sont des transistors CMOS. Par conséquent, ces varactors assurent une variation de capacité de la grille comprise entre les valeurs $C_{var.max} = C_{ox}$ et $C_{var.min} = 0,15 \times C_{ox}$ où C_{ox} est la capacité de l'oxyde par unité de surface calculée à l'aide de l'outil MATLAB basé sur la relation de la capacité MOS de la grille présentée dans (Sinencio & Andreou, 1998).

En outre, la valeur de C_b est définie en fonction de C_0 et de la capacité parasite des transistors CMOS utilisés comme commutateurs, nommée C_{pr} , comme le montre la Figure 2.1. Le commutateur CMOS est représenté par sa capacité parasite quand il est ouvert (ou en mode opératoire OFF). Cependant, le commutateur peut être représenté par sa résistance interne R_{on} en mode opératoire ON. Par conséquent, la valeur maximale de la capacité C_b , nommée $C_{b.max}$, est atteinte lorsque tous les commutateurs CMOS utilisés sont en mode opératoire ON. La valeur minimale $C_{b.min}$ est donc définie par le mode opératoire OFF de tous les commutateurs CMOS. Donc, les bornes de la capacité C_b peuvent s'écrire sous la forme suivante :

$$\begin{aligned} C_{b.min} &= \sum_{k=1}^{n-1} \left(\frac{1}{C_0/2} + \frac{1}{2^k \times C_{pr}} \right)^{-1} \\ &= (2^n - 1) \left(\frac{1}{C_0/2} + \frac{1}{C_{pr}} \right)^{-1}, \end{aligned} \quad (2.2)$$

$$C_{b.max} = \sum_{k=1}^{n-1} \left(k \times \frac{C_0}{2} \right) = (2^n - 1) \times \frac{C_0}{2}, \quad (2.3)$$

où n représente le nombre de branches des commutateurs utilisés.

Finalement, la plage d'accord fréquentielle du VCO est limitée par les valeurs $f_{osc.max}$ et $f_{osc.min}$ données par :

$$\begin{aligned} f_{osc.min} &= \frac{1}{2\pi\sqrt{L \times (C_{var.max} + C_{b.max})}}, \\ f_{osc.max} &= \frac{1}{2\pi\sqrt{L \times (C_{var.min} + C_{b.min})}}. \end{aligned} \quad (2.4)$$

2.2 Le synthétiseur multi-VCO

Le synthétiseur à plusieurs VCOs ou synthétiseur multi-VCO représente aussi une solution appropriée pour garantir des niveaux réduits du gain K_{vco} . L'architecture du synthétiseur multi-VCO est capable de générer la bande de fréquence souhaitée répartie en plusieurs sous-bandes de fréquences grâce à un bloc de VCOs.

La Figure 2.2 présente le schéma fonctionnel d'un synthétiseur Multi-VCO avec une banque de VCOs. Chaque sous-bande de fréquence est générée par son propre VCO. De plus, les VCOs dans de tels systèmes ont tendance à fonctionner simultanément ou séparément (un seul VCO fonctionne à la fois) selon les contraintes de consommation de puissance. Ces systèmes se manifestent par des niveaux de gain K_{vco} réduits et des facteurs de qualité élevés.

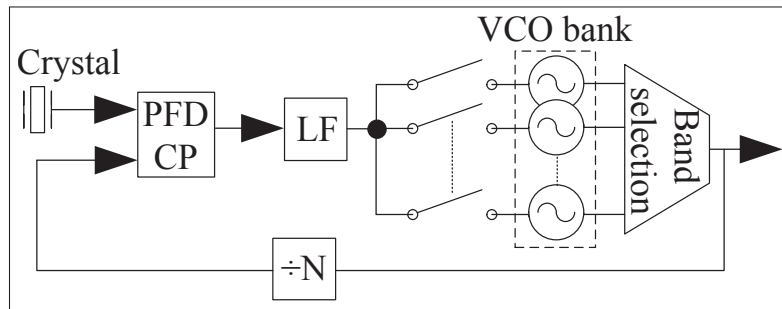


Figure 2.2 Schéma fonctionnel du synthétiseur *Multi-VCO*.

2.3 Le synthétiseur muni d'un mélangeur SSB (SSB-m)

L'architecture du synthétiseur SSB-m est une architecture, avec un VCO unique, équipée d'un mélangeur à bande latérale unique. Le synthétiseur SSB-m est caractérisé par la génération d'une large bande de fréquence à travers le chevauchement de deux sous-bandes. La première bande de fréquence est assurée par le VCO alors que la deuxième est garantie par le mélangeur.

Comme le montre la Figure 2.3, une bande de fréquence continue comprise entre f_{max} et $f_{max}/2$ est garantie à travers le chevauchement entre deux bandes de fréquences. La première bande

est générée par la PLL ($f_{\max} \sim f_{\text{chosen}}$ nommée BAND1) alors que la deuxième bande de fréquence résulte de l'opération de sous-conversion fréquentielle réalisée par le mélangeur SSB ($f_{\text{ssb1}} \sim f_{\text{ssb2}}$ nommée BAND3).

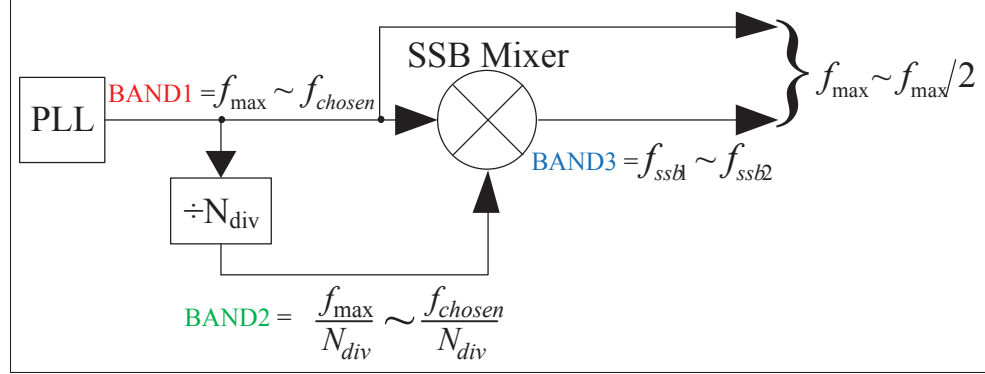


Figure 2.3 Schéma fonctionnel du synthétiseur SSB-m

Toutefois, la fréquence f_{chosen} et le nombre entier de divisions dénommé N_{div} doivent être judicieusement choisis afin, d'une part, de fournir l'intégralité de la bande souhaitée, et d'autre part, de minimiser le plus possible le gain K_{vco} .

Deux conditions nécessaires se manifestent pour assurer la génération de la bande de fréquence visée :

- La fréquence f_{chosen} doit impérativement être inférieure à la valeur de fréquence maximale générée par le mélangeur SSB (f_{ssb1}). Ainsi, le chevauchement entre les bandes de fréquences BAND1 et BAND3 est garanti.
- La fréquence f_{ssb2} résultante de la sous-conversion fréquentielle doit être inférieure à $f_{\max}/2$ sachant que $f_{\text{ssb2}} = f_{\text{chosen}} - (f_{\text{chosen}}/N_{\text{div}})$.

Sous ces conditions, nous proposons un algorithme qui permet de calculer les valeurs de la fréquence f_{chosen} et de N_{div} pour une fréquence maximale $f_{\max}$ donnée.

Comme le montre le pseudo-code présenté dans Algorithme 2.1, les deux conditions sont satisfaites par le calcul de la valeur de $f_{1\min}$ basé sur les valeurs de f_1 et f_2 pour des valeurs de

N_{div} qui varient entre 2 et 6. Par conséquent, la valeur maximale de f_{1min} est associée à f_{chosen} afin d'obtenir la valeur la plus basse possible du gain K_{vco} .

Algorithme 2.1 Les paramètres f_{chosen} et N_{div}

```

1  for  $n \leftarrow 2$  to 6 do
2     $f_1 \leftarrow f_{max} - (f_{max}/n)$   $\triangleright$  Opération de sous-conversion;
3     $f_2 \leftarrow f_{max} * (n/2 * (n - 1))$   $\triangleright f_2 - f_2/2 = f_{max}/2$ ;
4  end
5  for  $i \leftarrow 1$  to 5 do
6     $f_{1min}(i) \leftarrow \min(f_1(i), f_2(i))$ ;
7  end
8   $f_{chosen} \leftarrow \max(f_{1min})$ ;
9   $I_{Ndiv} \leftarrow \arg \max(f_{1min})$ ;
10  $N_{div} \leftarrow I_{Ndiv} + 1$   $\triangleright n$  commence de 2;

```

Finalement, la valeur de N_{div} est obtenue à travers l'argument de f_{chosen} . Le tableau 2.1 présente f_{chosen} pour différentes valeurs de fréquence f_{max} . À noter que la valeur de N_{div} est égale à 4 pour toutes les fréquences f_{max} testées.

Tableau 2.1 Choix de la valeur de la fréquence f_{chosen}

f_{max} (GHz)	25	20	18	15	12	10	7
f_{chosen} (GHz)	16,66	13,33	12	10	8	6,6	4,6

2.4 Comparaison des architectures présentées

Pour comparer les performances des architectures de synthétiseur présentées, des simulations de plage d'accord fréquentielle, du gain du VCO et de bruit de phase ont été réalisées à l'aide des outils MATLAB et *advanced design system* (ADS) en utilisant les paramètres de la technologie CMOS 0,13 μm .

Les résultats de simulation de la plage d'accord du synthétiseur S-VCO en fonction de la variation de tension de contrôle $V_{control}$ de 0 V à 1,2 V sont présentés à la Figure 2.4. La simulation est réalisée pour différents réglages des branches de condensateurs commutés avec des valeurs d'inductance de 400 pH, 2 nH et 10 nH respectivement.

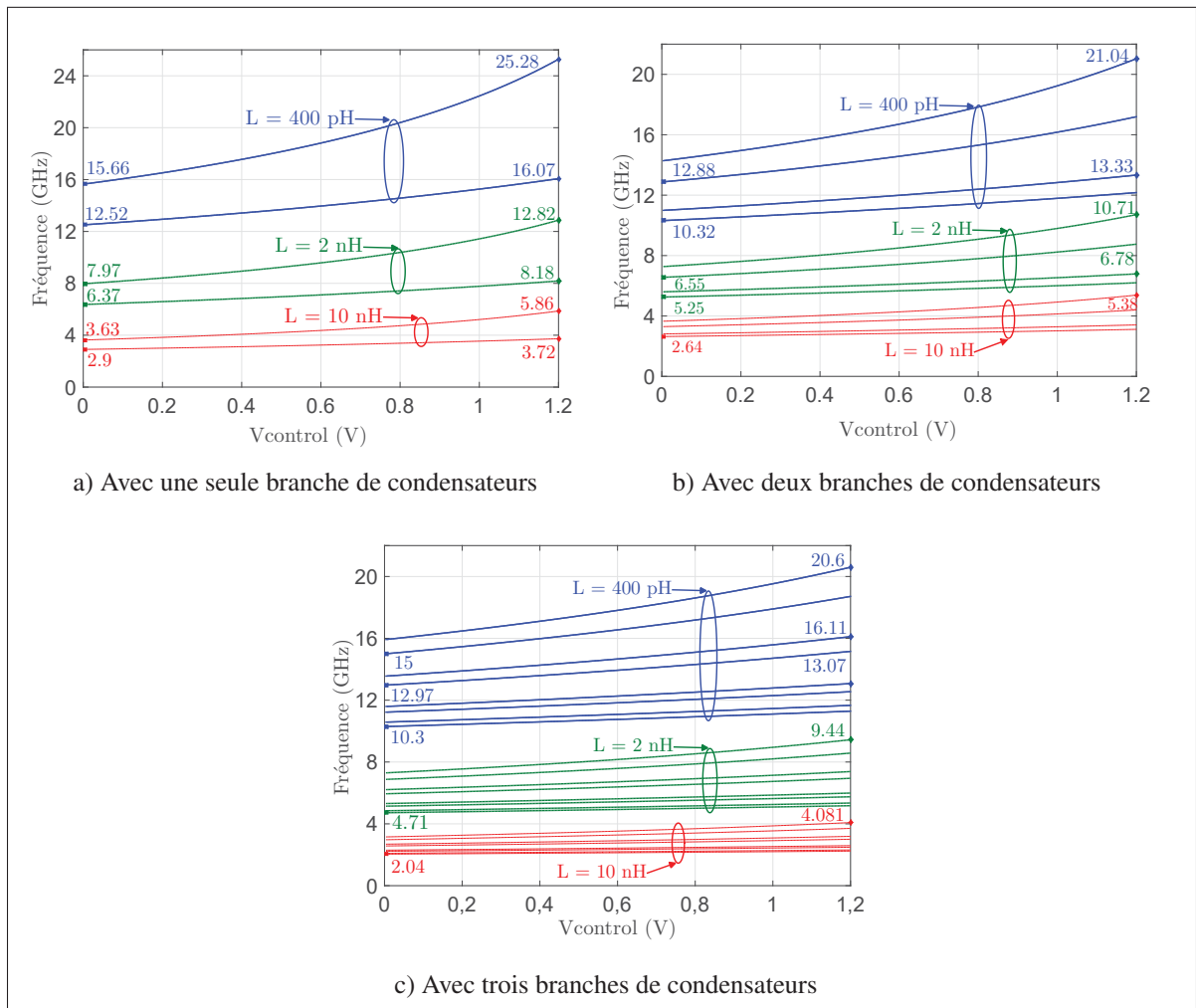


Figure 2.4 Plage d'accord fréquentielle pour le synthétiseur S-VCO.

Il est clair que l'architecture du synthétiseur S-VCO est capable de couvrir la totalité de la bande de fréquence comprise entre f_{max} et $f_{max}/2$ pour plusieurs valeurs de l'inductance L sous différents réglages des branches de condensateurs commutés. Néanmoins, la fréquence

maximale atteinte devient de plus en plus basse lorsque le nombre de branches n augmente. Ce fait s'explique par l'effet des capacités parasites introduites par chaque branche ajoutée.

D'autre part, la Figure 2.5 présente la performance en plage d'accord de l'architecture du synthétiseur SSB-m pour différents réglages des branches de condensateurs commutés et pour des valeurs d'inductance L de 400 pH, 2 nH et 10 nH respectivement lors d'une variation de tension de contrôle $V_{control}$ de 0 V à 1,2 V. Le système est apte à générer toutes les fréquences porteuses situées entre f_{max} et f_{chosen} . De plus, le VCO du synthétiseur SSB-m atteint des valeurs plus élevées de f_{max} pour un même nombre de branches utilisé.

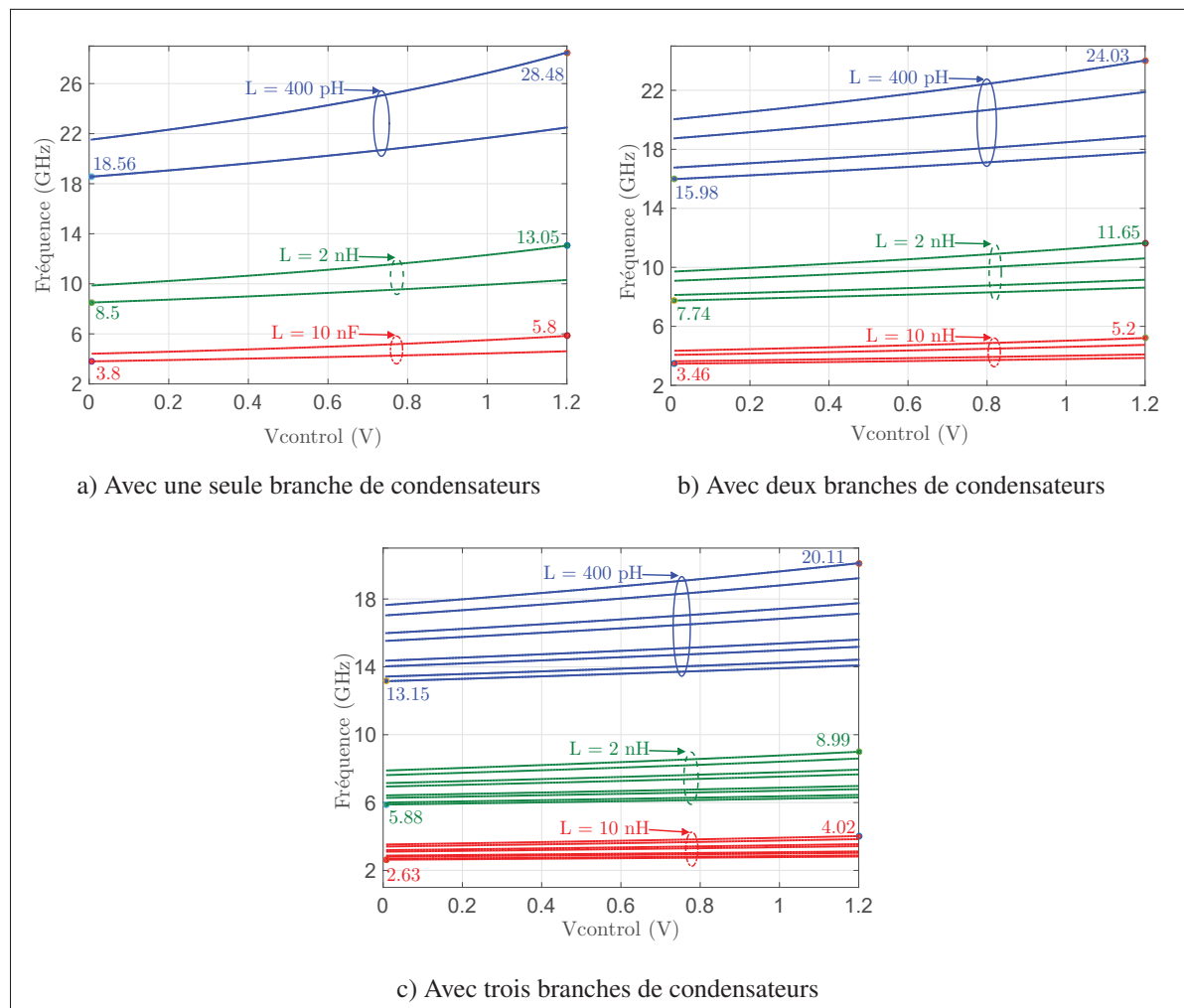


Figure 2.5 Plage d'accord fréquentielle pour le synthétiseur SSB-m.

Le gain du VCO, K_{vco} , représente un paramètre clé dans la performance de bruit de phase du VCO comme le montre l'équation (2.5) (Rohde & Newkirk, 2012) :

$$L(\Delta f_m) = 10 \log \left[\left(1 + \frac{f_0^2}{(2\Delta f_m Q)^2} \right) \cdot \left(1 + \frac{f_c}{\Delta f_m} \right) \cdot \left(\frac{2FkT}{P_{av}} \right) + \left(\frac{2kTRK_{vco}^2}{\Delta f_m^2} \right) \right]. \quad (2.5)$$

Des niveaux bas de K_{vco} sont choisis afin d'avoir des valeurs de bruit de phase plus basses. La Figure 2.6 présente les courbes du gain du VCO en fonction des fréquences maximales f_{max} pour les différentes architectures de synthétiseur présentées.

Le résultat des simulations montre que le synthétiseur Multi-VCO présente la meilleure performance du gain K_{vco} suivi par le synthétiseur SSB-m alors que le synthétiseur S-VCO vient en dernier. Ces résultats peuvent s'expliquer par la largeur de la bande de fréquence requise par le VCO de chaque architecture.

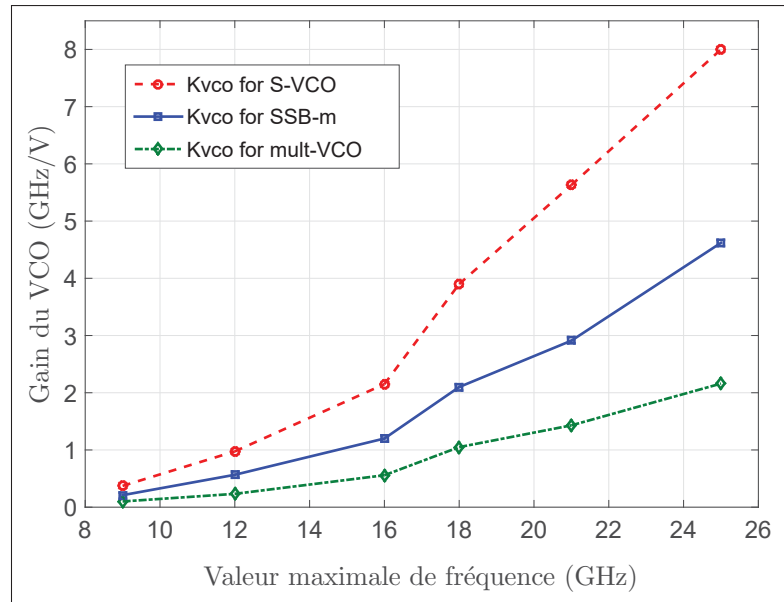


Figure 2.6 Résultats du gain du VCO K_{vco}

Cependant, un facteur de qualité total Q élevé est requis afin d'assurer une bonne performance de bruit de phase comme le montre l'équation (2.5). En outre, Q dépend principalement du

facteur de qualité Q_{switch} des commutateurs (en anglais *switches*) utilisés dans la banque de condensateurs comme le montre l'équation (2.6).

$$\frac{1}{Q} = \frac{1}{Q_L} + \frac{1}{Q_{var}} + \frac{1}{Q_{switch}}, \quad (2.6)$$

où Q_L représente le facteur de qualité de l'inductance L alors que Q_{var} représente le facteur de qualité des varactors. L'équation (2.6) montre qu'une valeur de Q_{switch} d'ordre élevé minimise son influence sur le facteur de qualité global.

Chaque branche de la banque des condensateurs contient deux condensateurs séparés par un transistor CMOS qui joue le rôle de commutateur. Ce dernier peut être représenté par sa résistance R_{on} et des capacités parasites représentées par C_{par} comme le montre la Figure 2.7.

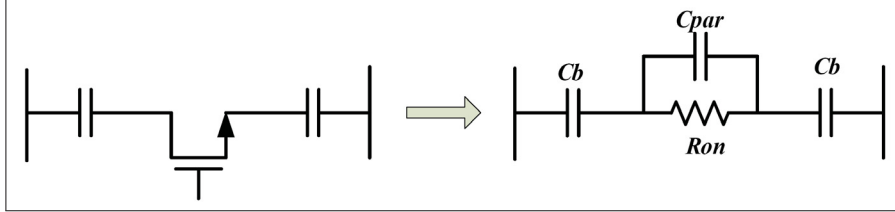


Figure 2.7 Schéma équivalent d'une branche de condensateurs commutés

Supposons que le transistor utilisé comme commutateur est le même dans chaque branche de la banque. Q_{switch} peut être alors exprimé, quand le commutateur est fermé, comme suit :

$$Q_{switch} = \frac{1}{2\pi \times f \times R_{on} \times C_{b.max}} = \frac{1}{\pi \times f \times R_{on} \times (2^n - 1) \times C_0}, \quad (2.7)$$

avec $C_{b.max}$ qui représente la capacité des branches exprimée par l'équation (2.2).

L'équation (2.7) montre que Q_{switch} est inversement proportionnel au nombre de branches des condensateurs n ainsi qu'à la valeur de la résistance R_{on} .

La Figure 2.8 présente le facteur de qualité Q_{switch} en fonction du nombre des branches de la banque de condensateurs pour différentes valeurs de R_{on} . La fréquence d'oscillation f est égale à 10 GHz alors que C_0 est fixée à 70 fF. Le facteur de qualité Q_{switch} diminue considérablement lorsque le nombre de branches augmente comme le montre la Figure 2.8.

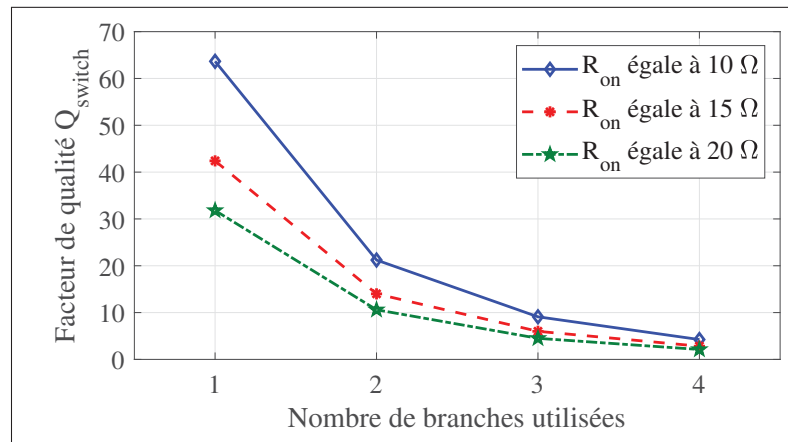


Figure 2.8 Comportement du facteur de qualité en fonction de n

La Figure 2.9 présente les performances de bruit de phase des trois architectures présentées considérant plusieurs valeurs de la fréquence f_{max} à un décalage de fréquence de 1 MHz.

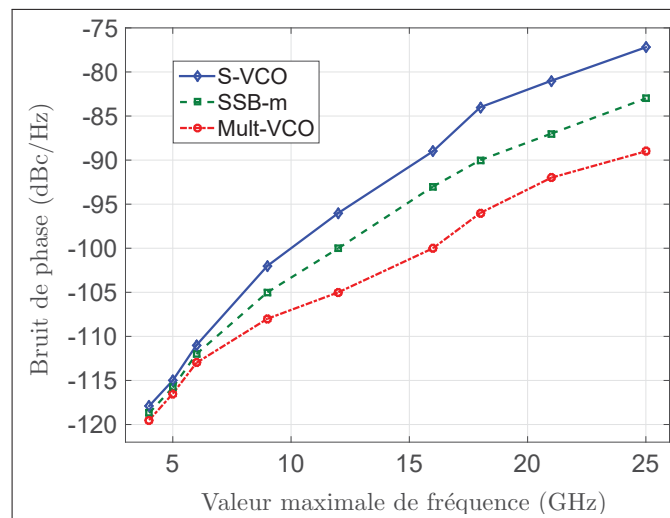


Figure 2.9 Performance en bruit de phase des synthétiseurs présentés

Il est clair que le bruit de phase est quasiment le même pour des valeurs de f_{max} inférieures à 6 GHz. Cependant, le synthétiseur Multi-VCO montre la meilleure performance de bruit de phase pour les fréquences plus élevées suivi par le synthétiseur SSB-m alors que le synthétiseur S-VCO vient en dernier.

En comparant les résultats de simulation, il s'avère que les synthétiseurs Multi-VCO peuvent être choisis pour les applications de communication qui exigent des fréquences porteuses supérieures à 16 GHz grâce à leurs meilleures performances en termes du gain et de bruit de phase. Pourtant, ces synthétiseurs occupent une surface d'implémentation et une consommation de puissance élevées. En outre, les synthétiseurs S-VCO, connus pour leur faible occupation et leur faible consommation de puissance, sont favorables pour des applications nécessitant des fréquences plus basses (au-dessous de 6 GHz). Néanmoins, les synthétiseurs SSB-m peuvent être considérés comme un compromis entre les architectures S-VCO et Multi-VCO.

Le Tableau 2.2 récapitule la comparaison des trois architectures présentées.

Tableau 2.2 Comparison of frequency synthesizer architectures

	<i>Bruit de phase</i>	<i>Temps de stabilisation</i>	K_{vco}	f_{max}	<i>Surface</i>	<i>Puissance</i>
S-VCO	pire	meilleur	pire	pire	meilleur	meilleur
SSB-m	acceptable	acceptable	acceptable	acceptable	acceptable	acceptable
Multi-VCO	meilleur	pire	meilleur	meilleur	pire	pire

2.5 Architecture du synthétiseur de fréquence proposée

Le synthétiseur présenté dans cette thèse vise principalement le spectre pour les systèmes de communication avionique présentés à la Figure 0.2. L'allocation fréquentielle exige que le synthétiseur soit apte à générer des fréquences porteuses situées dans une bande comprise

entre 10 MHz et 10 GHz. L'étude comparative réalisée et présentée, dont l'objectif est de choisir l'architecture du synthétiseur convenable à une application donnée, montre que pour une fréquence maximale de 10 GHz, l'architecture du synthétiseur SSB-m avec un VCO muni d'une banque de condensateurs s'avère un choix adéquat et présente un bon compromis, d'une part, pour la surface d'implémentation occupée et la consommation de puissance, et d'autre part, pour la performance en terme de bruit de phase, liée au gain K_{vco} , tout en assurant la génération de l'intégralité de la bande de fréquence souhaitée.

Le diagramme bloc de l'architecture du synthétiseur proposée est présenté à la Figure 2.10. L'architecture se compose de trois parties : la partie PLL, la partie de translation de fréquence et la partie de sélection de la porteuse.

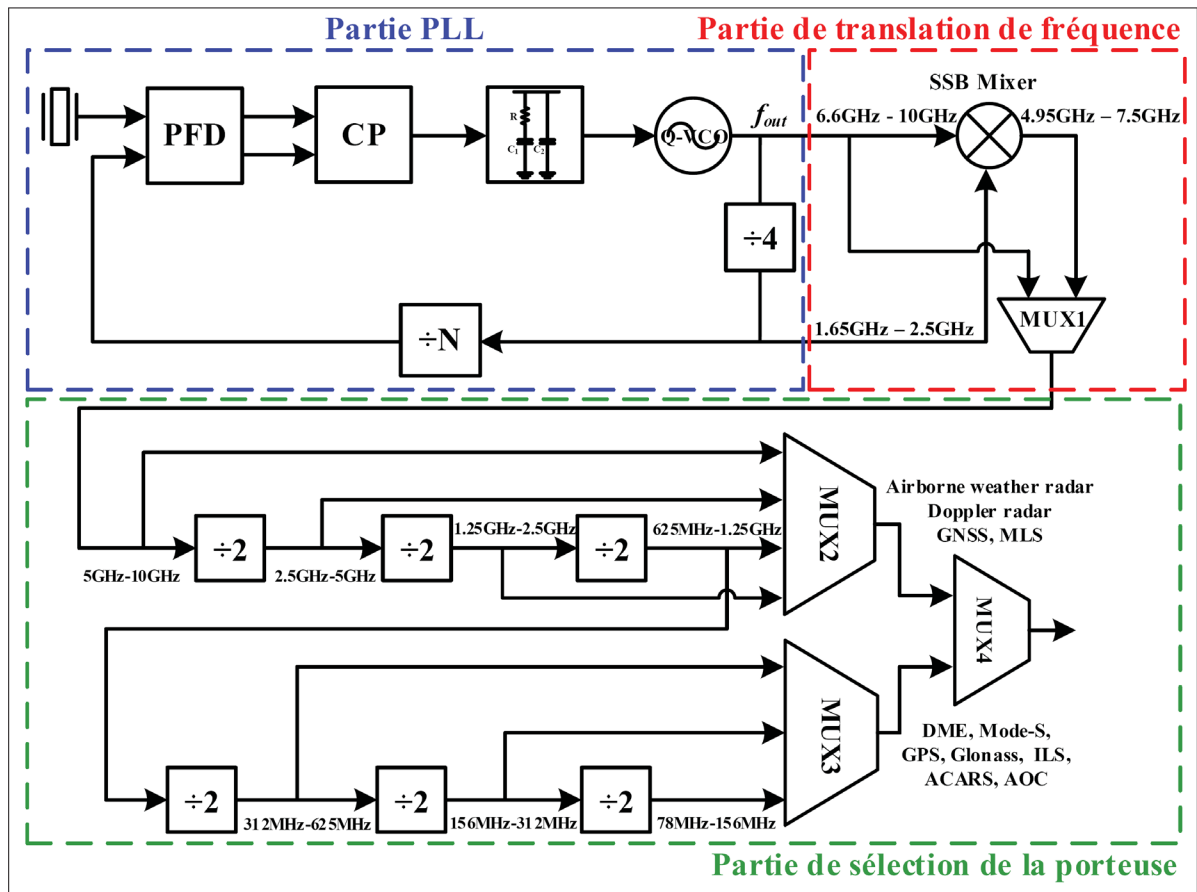


Figure 2.10 Diagramme bloc du synthétiseur de fréquence

Dans la partie PLL, la PLL est équipée d'un VCO unique avec un signal de sortie en quadrature (QVCO) muni d'une banque de condensateurs commutés. Le QVCO génère une large bande de fréquence comprise entre 6,6 GHz et 10 GHz (la bande 6,6 GHz–10 GHz) grâce à la variation de la tension de contrôle des varactors et les différents réglages des commutateurs de la banque de condensateurs. De plus, la bande de fréquence 1,65 GHz–2,5 GHz est simplement assurée en divisant la bande 6,6 GHz–10 GHz par quatre.

La partie de translation de fréquence est caractérisée par une opération de sous-conversion fréquentielle entre les bandes 6,6 GHz–10 GHz et 1,65 GHz–2,5 GHz à travers le mélangeur SSB. Cette opération de translation permet d'obtenir une nouvelle bande de fréquence comprise entre 4,95 GHz–7,5 GHz. Par conséquent, le chevauchement entre les bandes 6,6 GHz–10 GHz et 4,95 GHz–7,5 GHz met en œuvre la bande de fréquence 5 GHz–10 GHz (de f_{max} à $f_{max}/2$ pour une valeur de $f_{max} = 10$ GHz).

Dans la partie de sélection, les bandes de fréquences comprises entre 2,5 GHz et 5 GHz, 1,25 GHz et 2,5 GHz, 625 MHz et 1,25 GHz, 312 MHz et 625 MHz, 156 MHz et 312 MHz et 78 MHz sont respectivement générées via la division de la bande 5 GHz–10 GHz, disponible à la sortie du multiplexeur 1 (en anglais *MUX 1*), par 2, 4, 8, 16, 32 et 64. Ainsi, le MUX 2 couvre les fréquences du radar Doppler, le radar météorologique aéroporté, le système mondial de navigation par satellite (en anglais *Global navigation satellite system* ou GNSS) et le système d'atterrissage hyperfréquences (en anglais *Microwave landing system* ou MLS). D'ailleurs, le MUX 3 couvre les fréquences des systèmes d'équipement de mesure de distance (en anglais *DME*), le mode-S, le système global de positionnement (en anglais *GPS*), le Glonass, le contrôle opérationnel aéronautique (en anglais *Aeronautical operational control* ou AOC), le système d'atterrissage aux instruments (en anglais *Instrument Landing System* ou ILS) et le système d'adressage et de compte rendu de communication des aéronefs (en anglais *Aircraft Communication Addressing and Reporting System* ou ACARS).

L'allocation des fréquences est présentée à la Figure 2.11.

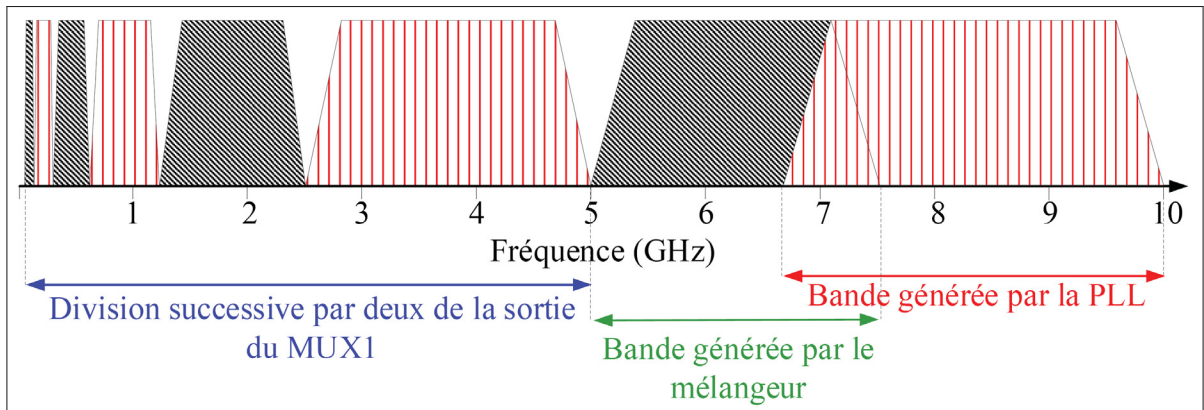


Figure 2.11 Dessin d'allocation des fréquences

2.6 Conclusion du chapitre

La comparaison de trois architectures de synthétiseur a fait l'objet de cette section. Cette comparaison entre le synthétiseur S-VCO, le synthétiseur Multi-VCO et le synthétiseur SSB-m a permis de choisir l'architecture convenable au spectre utilisé dans les communications avioniques et qui est étalé sur la bande de fréquence comprise entre 10 MHz et 10 GHz. L'architecture SSB-m munie d'un VCO unique avec une banque de condensateurs représente le choix adéquat pour les applications visées. Cette architecture répond aux exigences fréquentielles tout en assurant le bon compromis de performance en termes de bruit de phase, de surface occupée et de puissance consommée.

CHAPITRE 3

ANALYSE, CONSIDÉRATIONS ET IMPLÉMENTATION DES BLOCS DU CIRCUIT

Dans ce chapitre, chaque bloc du synthétiseur SSB-m montré à la Figure 2.10 sera présenté en détail. La PLL qui représente la base du synthétiseur sera analysée afin de définir les caractéristiques et les paramètres clé de la boucle. Par la suite, les considérations de conception et d'implémentation de chaque bloc du synthétiseur en technologie CMOS 0,13 μm seront présentées.

3.1 Boucle à verrouillage de phase (PLL)

3.1.1 Analyse du modèle linéaire de la PLL

Comme le montre le schéma fonctionnel présenté à la Figure 3.1, la PLL utilisée dans l'architecture du synthétiseur proposée est une PLL à base de pompe de charge (en anglais *PLL charge pump* ou CP-PLL).

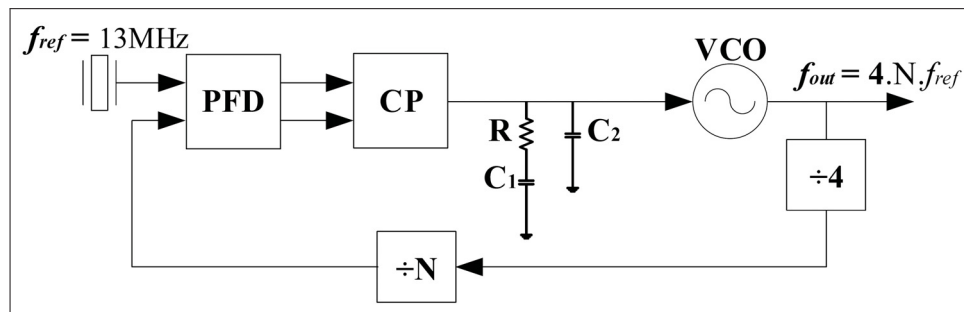


Figure 3.1 Schéma block de la boucle à verrouillage de phase

La CP-PLL est constituée d'un oscillateur à quartz (en anglais *crystal oscillator*) d'une fréquence d'oscillation de 11,7 MHz comme fréquence de référence de la PLL, un PFD, une CP, un VCO, un filtre passif de boucle ainsi qu'un diviseur de fréquence en rétroaction. Le PFD a le rôle de comparer la phase du signal de référence à la phase du signal de sortie du VCO (divisée

par $4N$). La différence de phase se propage vers la pompe de charge sous forme d'impulsions qui contrôlent l'ouverture et la fermeture des commutateurs de deux sources de courant permettant ainsi la génération d'un courant I_p qui commande le filtre de la boucle via la charge et la décharge du condensateur du filtre. Par conséquent, une tension V_{ctrl} , proportionnelle au courant I_{cp} et à la différence de phase, est générée pour régler la fréquence (et puis la phase) du signal de sortie du VCO afin de réduire la différence des phases jusqu'au moment du verrouillage. Avec une fréquence de référence de f_{ref} , la PLL génère une fréquence de sortie qui peut être donnée par : $f_{out} = 4.N.f_{ref}$ au verrouillage. Le modèle linéaire de la PLL est présenté à la Figure 3.2.

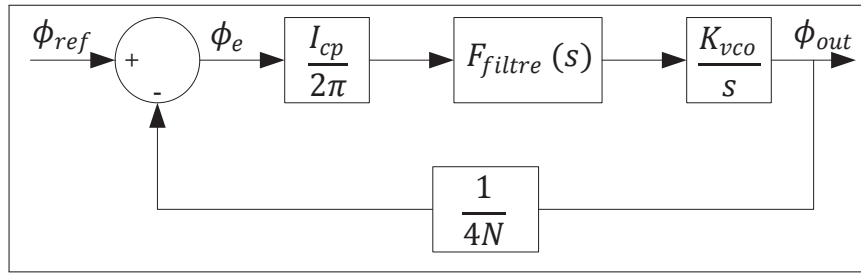


Figure 3.2 Modèle linéaire de la CP-PLL

Le PFD et la CP sont représentés ensemble par un gain de $\frac{I_{cp}}{2\pi}$, alors que $F_{filtre}(s)$ représente la fonction de transfert du filtre de la boucle. Finalement, le gain du VCO est représenté par K_{vco} . De plus, les symboles ϕ_{ref} , ϕ_{out} et ϕ_e désignent respectivement la phase du signal de référence, la phase du signal de sortie du VCO et la différence de phase (ou erreur de phase).

Le filtre passif utilisé dans la PLL est un filtre du deuxième ordre connu pour son compromis entre le degré de liberté pour la stabilité du système et la suppression des fréquences parasites (*spurs*). Le filtre se compose d'une résistance R et de deux condensateurs C_1 et C_2 comme le montre la Figure 3.1.

Par conséquent, la fonction de transfert du second ordre du filtre $F(s)$ s'écrit sous la forme suivante :

$$F_{\text{filtre}}(s) = \frac{1 + RC_1s}{s(C_1 + C_2) \left(1 + \frac{RC_1C_2}{C_1 + C_2}s\right)}. \quad (3.1)$$

Ainsi, la fonction de transfert en boucle ouverte $G(s)$ de la PLL présentée à la Figure 3.2 s'écrit comme suit :

$$G(s) = \frac{I_{cp}}{2\pi} \times \frac{1 + RC_1s}{sC_1(1 + \frac{C_2}{C_1}) \left(1 + \frac{RC_1C_2}{C_1 + C_2}s\right)} \times \frac{K_{vco}}{s} \times \frac{1}{4N}. \quad (3.2)$$

Le terme $(1 + \frac{C_2}{C_1})$ tend vers 1 quand $C_1 \gg C_2$. En substituant l'expression $\left(\frac{I_{cp}.R.K_{vco}}{8\pi.N}\right)$ par la constante A , $\left(\frac{1}{RC_1}\right)$ par ω_z et $\left(\frac{C_1 + C_2}{RC_1C_2}\right)$ par ω_p , l'équation (3.2) devient :

$$G(s) = A \times \frac{1 + s/\omega_z}{(s^2/\omega_z)(1 + s/\omega_p)}. \quad (3.3)$$

Le paramètre ω_z désigne le zéro de stabilisation alors que ω_p représente le pôle de la fonction de transfert.

Une marge de phase convenablement large est indispensable pour un fonctionnement stable de la boucle. L'expression de la marge de phase du système peut être déduite de l'équation (3.3). Alors, la marge de phase ϕ_m s'écrit sous la forme suivante :

$$\phi_m = \arctan\left(\frac{\omega}{\omega_z}\right) - \arctan\left(\frac{\omega}{\omega_p}\right). \quad (3.4)$$

Le maximum de la marge de phase est atteint lorsque la dérivée partielle de ϕ_m par rapport à ω est nulle. Le résultat de cette égalité mène à une valeur de ω égale à $\sqrt{\omega_p \cdot \omega_z}$. Ainsi, la substitution de ω , dans l'équation (3.4), par les expressions de ω_p et de ω_z en fonction de R ,

C_1 et C_2 permet d'écrire la marge de phase ϕ_m sous la forme suivante :

$$\begin{aligned}\phi_m &= \arctan\left(\sqrt{\frac{C_1 + C_2}{C_2}}\right) - \arctan\left(\sqrt{\frac{C_2}{C_1 + C_2}}\right) \\ &= \arctan\frac{\frac{C_1}{C_2}}{2 \cdot \sqrt{1 + \frac{C_1}{C_2}}}.\end{aligned}\tag{3.5}$$

L'équation (3.5) montre que la marge de phase dépend principalement des valeurs des condensateurs C_1 et C_2 .

La largeur de la bande passante en boucle ouverte du système (en anglais *loop bandwidth* ou ω_{BW}) est obtenue à travers l'équation $|G(j\omega_{BW})| = 1$ (Shu & Sinencio, 2005). La largeur de la bande passante s'écrit sous la forme :

$$\omega_{BW} \approx \frac{R \times I_{cp} \times K_0}{8\pi N}.\tag{3.6}$$

En outre, l'expression de la fonction de transfert $Y(s)$ en boucle fermée de la PLL s'écrit sous la forme suivante :

$$Y(s) = \frac{4N \times G(s)}{1 + G(s)} = 4N \times \frac{A \times \omega_p \times (s + \omega_z)}{s^3 + \omega_p s^2 + s\omega_z + A\omega_p \omega_z}.\tag{3.7}$$

L'équation (3.7) peut s'écrire sous la forme suivante (Shu & Sinencio, 2005) :

$$Y(s) = N \times \frac{(2\xi + 1)\omega_n^2 s + \omega_n^3}{(s + \omega_n)(s^2 + 2\xi \omega_n s + \omega_n^2)},\tag{3.8}$$

avec ω_n qui représente la fréquence naturelle d'oscillation alors que ξ désigne le facteur d'amortissement.

Par analogie entre les équations (3.7) et (3.8), la fréquence naturelle et le facteur d'amortissement s'expriment sous la forme :

$$\omega_n = A \approx \omega_{BW} \quad \xi = \frac{1}{2} \times \left(\sqrt{1 + \frac{C_1}{C_2}} - 1 \right). \quad (3.9)$$

Il est clair que le facteur d'amortissement ξ dépend du rapport C_1/C_2 alors que ω_n est proportionnel à R . La Figure 3.3 présente la variation de la marge de phase et du facteur d'amortissement en fonction du rapport C_1/C_2 . Le rapport C_1/C_2 doit être, d'une part, supérieur à 5 pour une marge de phase minimale de 45 degrés et d'autre part, ne pas dépasser une valeur de 9 pour un facteur d'amortissement aux alentours de 1 (la marge de phase est égale à 54 degrés). En pratique, la valeur de facteur d'amortissement la plus utilisée est comprise entre 0 et 1 (Shu & Sinencio, 2005).

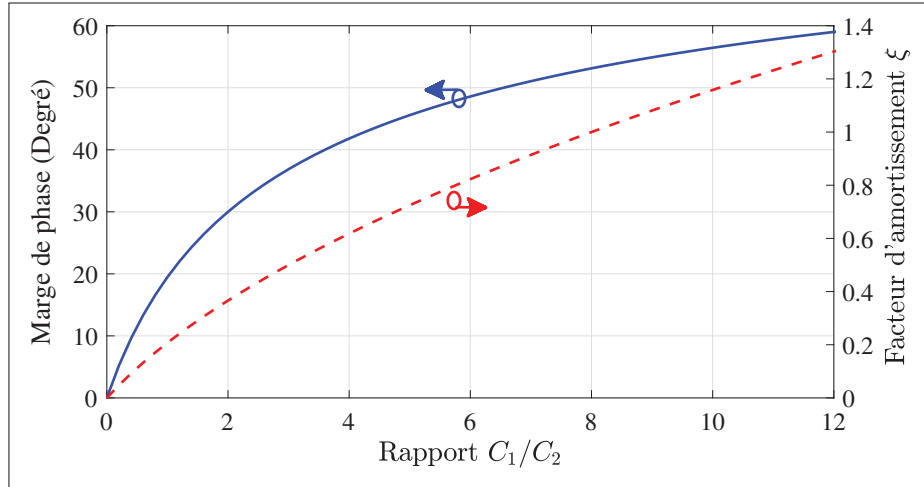


Figure 3.3 Marge de phase et facteur d'amortissement en fonction du rapport C_1/C_2

La réponse fréquentielle de la PLL à un pas de fréquence s'exprime comme suit :

$$f_{out}(s) - f_1 = \frac{f_2 - f_1}{N \times s} \times Y(s), \quad (3.10)$$

pour un saut de fréquence entre f_1 et f_2 . En utilisant la transformée de Laplace inverse, l'erreur de fréquence normalisée $\varepsilon(t)$ prend la forme suivante (Shu & Sinencio, 2005) :

$$\varepsilon(t) = \begin{cases} \frac{1}{\xi-1} \left(\xi \times e^{-\omega_n t} - e^{-\xi \omega_n t} \cos(\omega_n t \sqrt{1-\xi^2}) \right) & \text{pour } \xi < 1 \\ e^{-\omega_n t} (1 + \omega_n t - \omega_n^2 t^2) & \text{pour } \xi = 1 \\ \frac{1}{\xi-1} \left(\xi \times e^{-\omega_n t} - e^{-\xi \omega_n t} \cosh(\omega_n t \sqrt{\xi^2-1}) \right) & \text{pour } \xi > 1 \end{cases} \quad (3.11)$$

La Figure 3.4 présente les courbes de l'erreur de fréquence normalisée en fonction du temps normalisé par rapport à ω_n pour différentes valeurs de ξ réalisées avec MATLAB.

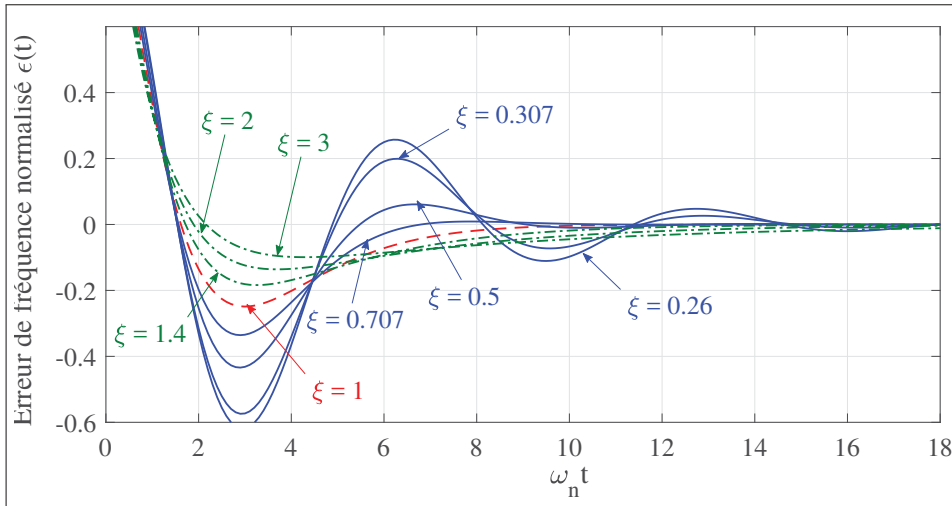


Figure 3.4 Comportement temporel de l'erreur ε pour différentes valeurs de ξ

Le temps de stabilisation dépend de la variation du facteur d'amortissement. Pour un ξ compris entre 0 et 1, le système est sous-amorti. Par conséquent, le temps de stabilisation est relativement large. La valeur de $\xi = 1$ représente un cas critique alors que pour un ξ supérieur à 1, le système devient sur-amorti, ce qui rend le temps de stabilisation plus court. Le temps de

stabilisation est aussi inversement proportionnel à ω_{BW} . Alors, il s'avère nécessaire d'avoir un compromis entre la largeur de bande passante et le temps de stabilisation de la PLL.

En outre, L'équation (3.6) montre que ω_{BW} peut être contrôlée à travers les valeurs de R et de I_{cp} . Une valeur basse de I_{cp} est toujours convenable pour réduire la taille du condensateur du filtre de la boucle. Ainsi, la valeur de R doit être judicieusement sélectionnée pour assurer au même temps la stabilité du système ainsi qu'un temps de stabilisation réduit.

3.1.2 Analyse du bruit dans la PLL

Cette section présentera une description analytique du comportement du bruit dans la CP-PLL, afin de caractériser la contribution en bruit de chaque composant et la façon dont se propagent ces bruits vers la sortie de la PLL. Cette description permettra de prédire le bruit de phase par rapport au décalage de fréquence.

Le bruit thermique (en anglais *thermal noise*), le bruit $1/f$ et le bruit de grenaille (en anglais *shot noise*) qui se produisent dans les différents composants de la PLL représentent la cause du bruit de phase. Les sources de bruit sont les suivants : le bruit introduit par le VCO représenté par sa puissance S_{VCO} , le bruit introduit par le générateur de la référence de fréquence S_{ref} , le bruit introduit par la combinaison du PFD et de la pompe de charge S_{PC} , le bruit introduit par le filtre de la boucle S_F et le bruit introduit par le diviseur S_N . Le modèle de bruit est présenté à la Figure 3.5.

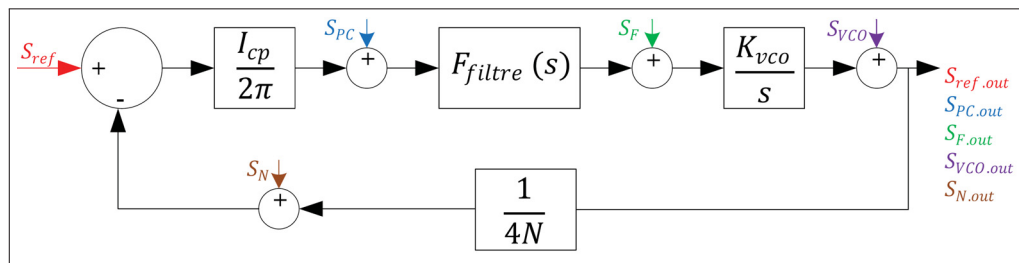


Figure 3.5 Modèle du bruit de la CP-PLL

Nous utilisons les notations suivantes : $S_{VCO.out}$, $S_{ref.out}$, $S_{PC.out}$, $S_{F.out}$ et $S_{N.out}$ pour d noter les diff rentes puissances des bruits propag s vers la sortie, respectivement, par le VCO, la r f rence, le PFD/CP, le filtre de la boucle ainsi que celui du diviseur.

La r f rence repr sente une source de bruit in vitable dans les CP-PLLs. La puissance du bruit g n r  par la r f rence qui se propage vers la sortie s' crit sous la forme suivante :

$$S_{outref}(s) = S_{ref}(s) \cdot \left(\frac{4N \cdot G(s)}{1 + G(s)} \right) = S_{ref}(s) \cdot \left(4N \cdot \frac{K_p \times F_{filtre}(s) \times K_{vco}}{4Ns + K_p \times F_{filtre}(s) \times K_{vco}} \right), \quad (3.12)$$

avec K_p  gale   $I_{cp}/2\pi$. De plus, la puissance du bruit g n r  par la PFD/CP s' crit sous la forme :

$$S_{PC.out}(s) = S_{pc}(s) \cdot \left(\frac{4N}{K_p} \cdot \frac{G(s)}{1 + G(s)} \right) = S_{pc}(s) \cdot \left(4N \cdot \frac{F_{filtre}(s) \times K_{vco}}{4Ns + K_p \times F_{filtre}(s) \times K_{vco}} \right). \quad (3.13)$$

alors que la puissance du bruit g n r  par le diviseur s' crit comme suit :

$$S_{N.out}(s) = S_N(s) \cdot \left((-4N) \cdot \frac{G(s)}{1 + G(s)} \right) = S_N(s) \cdot \left((-4N) \cdot \frac{K_p \times F_{filtre}(s) \times K_{vco}}{4Ns + K_p \times F_{filtre}(s) \times K_{vco}} \right), \quad (3.14)$$

Les  quations (3.12), (3.13) et (3.14) montrent que les bruits g n r s par la r f rence, le PFD/CP et le diviseur de la boucle sont filtr s par un filtre passe-bas, puisque le filtre de la PLL est un filtre passe-bas passif, avec un gain de $4N$. Par cons quent, leurs contributions en bruit dominant en basses fr quences de la bande passante de la CP-PLL.

D'autre part, la puissance du bruit introduite par le VCO s' crit sous la forme suivante :

$$S_{VCO.out}(s) = S_{VCO}(s) \cdot \left(\frac{1}{1 + G(s)} \right) = S_{VCO}(s) \cdot \left(\frac{1}{4Ns + K_p \times F_{filtre}(s) \times K_{vco}} \right). \quad (3.15)$$

Cependant, l' quation (3.15) montre que la contribution du bruit du VCO passe   travers un filtre passe-haut. Ce filtrage permet la suppression du bruit du VCO pr sent   l'int rieure de

la bande passante de la boucle. Ce fait se rapporte à une optimisation de la bande passante de manière à minimiser les valeurs maximales du bruit du VCO dans la boucle. Par contre, la contribution en bruit est considérable à des fréquences élevées.

Finalement, le filtre de la boucle contribue au bruit total, à cause de sa résistance, par un bruit thermique. La contribution du bruit du filtre à la sortie de la CP-PLL s'écrit comme suit :

$$S_{F.out}(s) = S_{F.out}(s) \cdot \left(\frac{K_{vco}}{s} \cdot \frac{1}{1 + G(s)} \right) = S_{F.out}(s) \times \frac{K_{vco}}{s(4Ns + K_p \times F_{filtre}(s) \times K_{vco})}. \quad (3.16)$$

L'équation (3.16) montre que la contribution du bruit du filtre passe à travers un filtre passe-bande. La contribution du filtre en bruit de phase est donc similaire à la contribution du VCO à l'exception d'un pôle additionnel qui s'ajoute, augmentant ainsi sa pente négative.

En conclusion, en basses fréquences, les bruits dominants dans la CP-PLL sont générés par la référence, le PFD/CP et le diviseur alors que le bruit du VCO est diminué par le gain de la boucle. D'autre part, le bruit généré par le VCO représente le bruit dominant de la CP-PLL en hautes fréquences. Les contributions du PFD/CP et du diviseur sont supposées avoir un impact relativement négligeable par rapport à la contribution du VCO et celles du filtre et de la référence sur le bruit de phase total (Razavi, 2003). En outre, les PFDs ne représentent pas généralement une source dominante de bruit dans les synthétiseurs en raison de leur faible fréquence d'opération.

La densité spectrale du bruit total de la PLL peut s'écrire sous la forme suivante :

$$\overline{S_{out}^2}(s) = \overline{S_{ref.out}^2}(s) + \overline{S_{PC.out}^2}(s) + \overline{S_{N.out}^2}(s) + \overline{S_{VCO.out}^2}(s) + \overline{S_{F.out}^2}(s). \quad (3.17)$$

3.1.3 Choix des paramètres de la PLL

La sélection des paramètres de la PLL doit respecter toutes les considérations et les compromis précédemment présentés. Les paramètres de la PLL ont été sélectionnés et optimisés à travers

l'outil d'optimisation par simulation offert par le logiciel ADS. Le VCO utilisé, comme le montre la Figure 2.1, sera muni de trois branches de condensateurs commutés (8 combinaisons possibles) afin de réduire la valeur de K_{vco} . Tandis que le VCO génère une bande de fréquence de 6,6 GHz à 10 GHz, une valeur K_{vco} de 500 MHz/V est choisie pour garantir tous les chevauchements fréquentiels nécessaires. Pour un courant I_{cp} égale à $200\mu\text{A}$ et une largeur de la bande passante égale à 110 kHz, la valeur de R est égale à $5,5\text{ k}\Omega$ pour une fréquence de référence de 11,7 MHz. De plus les valeurs de C_1 et C_2 sont respectivement 400 pF et 43 pF pour une marge de phase ϕ_m égale à 49° et un facteur d'amortissement ξ égal à 0,95. Ainsi, la stabilité de la boucle est garantie.

Le Tableau 3.1 récapitule les différents paramètres pour la conception de la PLL.

Tableau 3.1 Paramètres de la PLL

Gain du VCO	500 MHz/V
Fréquence de référence	11,7 MHz
Largeur de bande passante	110 kHz
Courant I_{cp}	$200\text{ }\mu\text{A}$
R	$5,5\text{ k}\Omega$
C_1	400 pF
C_2	43 pF

3.2 Oscillateur contrôlé par tension (VCO)

3.2.1 Analyse du circuit

Le VCO représente le cœur de la PLL et il est nécessaire à l'architecture proposée. Il doit être capable de générer des fréquences porteuses élevées situées dans une bande de fréquence

comprise entre 6,6 GHz et 10 GHz, ce qui représente une large plage d'accord et puis un gain K_{vco} assez large.

L'équation (3.6) montre que la bande passante en boucle ouverte ω_{BW} est proportionnelle au gain K_{vco} . Pourtant, les équations (3.13) et (3.16) montrent que la contribution en bruit de phase du PFD/CP et du filtre de la boucle sont aussi proportionnelles à K_{vco} . Par conséquent, un gain élevé du VCO rend le système plus rapide en augmentant la valeur de ω_{BW} . D'autre part, la performance du bruit de phase globale de la PLL sera considérablement dégradée.

Sous ces considérations, la solution proposée est d'utiliser un VCO muni d'une banque de condensateurs commutés, au lieu de se contenter de la variation de fréquence garantie par les varactors, afin de pouvoir réduire K_{vco} . La Figure 3.6 présente le modèle d'un oscillateur VCO où L désigne la valeur de l'inductance utilisée alors que C représente la valeur de la capacité équivalent générée par le réservoir (en anglais *tank*).

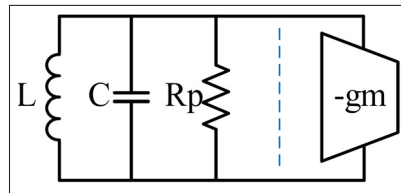


Figure 3.6 Modèle d'oscillateur en parallèle.

En outre, R_p représente la résistance parallèle équivalente à toutes les pertes résistives produites par tous les composants du réservoir alors que g_m désigne la transconductance générée par le composant actif du système (Sansen *et al.*, 1999).

L'impédance et le facteur de qualité globale du réservoir s'expriment sous la forme suivante :

$$Z_T = \frac{1}{2\pi f C} = 2\pi f L \qquad Q_T = \frac{R_p}{Z_T} \qquad (3.18)$$

avec f qui représente la fréquence d'oscillation. Le facteur de qualité Q_T s'écrit aussi sous la forme suivante :

$$\frac{1}{Q_T} = \frac{1}{Q_L} + \frac{1}{Q_c} + \frac{1}{Q_{switch}}, \quad (3.19)$$

où Q_L représente le facteur de qualité de la bobine, Q_c représente le facteur de qualité des varactors alors que Q_{switch} représente le facteur de qualité des branches de la banque des condensateurs. Il est évident que Q_T est déterminé par le facteur de qualité le plus bas parmi les composants du réservoir.

Le paramètre Q_{switch} est inversement proportionnel au nombre de branches des condensateurs, comme le montre la Figure 2.8, ainsi qu'à la résistance R_{on} comme le montre l'équation (2.7). Par conséquent, Q_{switch} doit être maintenu à un niveau élevé afin d'éviter la détérioration du facteur de qualité Q_T .

En se basant sur l'équation (2.7), le facteur de qualité d'une branche de la banque des condensateurs, nommé $Q_{branche}$, peut être exprimé comme suit :

$$Q_{branche} = \frac{1}{2\pi \times f \times R_{on.1} \times \frac{C_b}{2}} \quad (3.20)$$

Sachant que la capacité est incrémentée de la branche n à la branche subséquente $n + 1$ par un coefficients de 2^n , Q_{switch} s'écrit, en fonction des facteurs de qualité des branches, sous la forme :

$$\begin{aligned} \frac{1}{Q_{switch}} &= \frac{1}{Q_{branche.1}} + \frac{1}{Q_{branche.2}} + \frac{1}{Q_{branche.3}} + \dots + \frac{1}{Q_{branche.n}} \\ &= 2 \cdot \pi \cdot f \left[(R_{on.1} \cdot (C_0/2)) + (R_{on.2} \cdot (2C_0/2)) + \dots + (R_{on.n} \cdot ((2^{n-1})C_0/2)) \right] \end{aligned} \quad (3.21)$$

Une solution pour préserver une valeur élevée de Q_{switch} est de décrétement $R_{on.n}$ d'une branche n à la branche subséquente $n + 1$ par le même coefficient 2^n comme le montre la Figure 3.7.

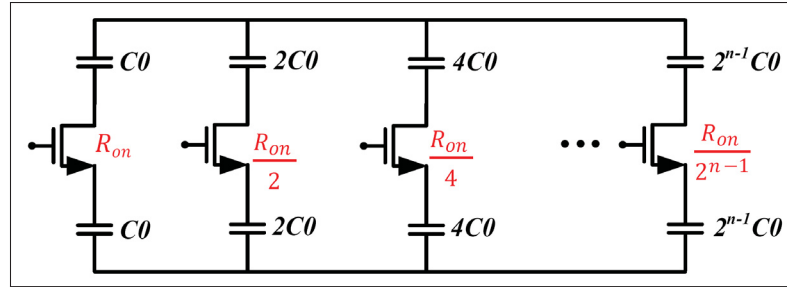


Figure 3.7 Modèle de la banque des condensateurs commutés.

Ainsi, l'expression de Q_{switch} devient :

$$\begin{aligned}
 \frac{1}{Q_{switch}} &= \pi \cdot f \cdot C_0 [(R_{on.1}) + (2R_{on.2}) + (4R_{on.3}) + \dots + ((2^{n-1})R_{on.n})] \\
 &= \pi \cdot f \cdot C_0 \left[(R_{on}) + 2 \left(\frac{R_{on}}{2} \right) + 4 \left(\frac{R_{on}}{4} \right) + \dots + ((2^{n-1}) \left(\frac{R_{on}}{2^{n-1}} \right)) \right] \\
 &= n \cdot \pi \cdot f \cdot C_0 \cdot R_{on}
 \end{aligned} \tag{3.22}$$

Finalement, Q_{switch} s'exprime en fonction des paramètres d'un transistor CMOS comme suit :

$$Q_{switch} = \mu_n C_{ox} \frac{W}{l} (V_{gs} - V_{th}) \cdot \frac{1}{n \times \pi \times f \times C_0} \tag{3.23}$$

avec μ_n qui représente la mobilité du canal, C_{ox} est la capacité de l'oxyde par unité de surface, V_{th} est la tension de seuil du transistor, V_{gs} est la tension grille source du transistor alors que W et l représentent respectivement la largeur et la longueur du transistor (Sedra & Smith, 2011).

L'équation (3.23) montre que le besoin d'une valeur élevée du facteur de qualité Q_{switch} exige l'utilisation d'un transistor d'une longueur de grille l minimale avec une largeur W qui est considérablement grande.

Cependant, un transistor très large engendre la présence des capacités parasites plus élevées, ce qui limite la fréquence d'oscillation et puis la plage d'accord. Une raison pour laquelle le choix de la largeur du transistor commutateur doit être judicieusement fait pour garantir le compromis entre le facteur de qualité convenable et le niveau des capacités parasites.

D'autre part, la valeur minimale de la transconductance g_m qui permet de garantir l'oscillation du système à la fréquence f est donnée par :

$$g_m = \frac{1}{R_p} = \frac{1}{Q_T \times Z_T}. \quad (3.24)$$

Le VCO est suivi d'un mélangeur passif, décrit plus loin, qui nécessite des signaux d'entrée en quadrature (en anglais *I/Q signals*). Ainsi, le synthétiseur utilise un QVCO basé sur deux VCOs en topologie couplé croisé complémentaire, précédemment présentée dans la section 2.1, connue par son bon compromis entre la performance en termes de bruit de phase et la largeur de la plage d'accord fréquentielle. Le QVCO est présenté à la Figure 3.8.

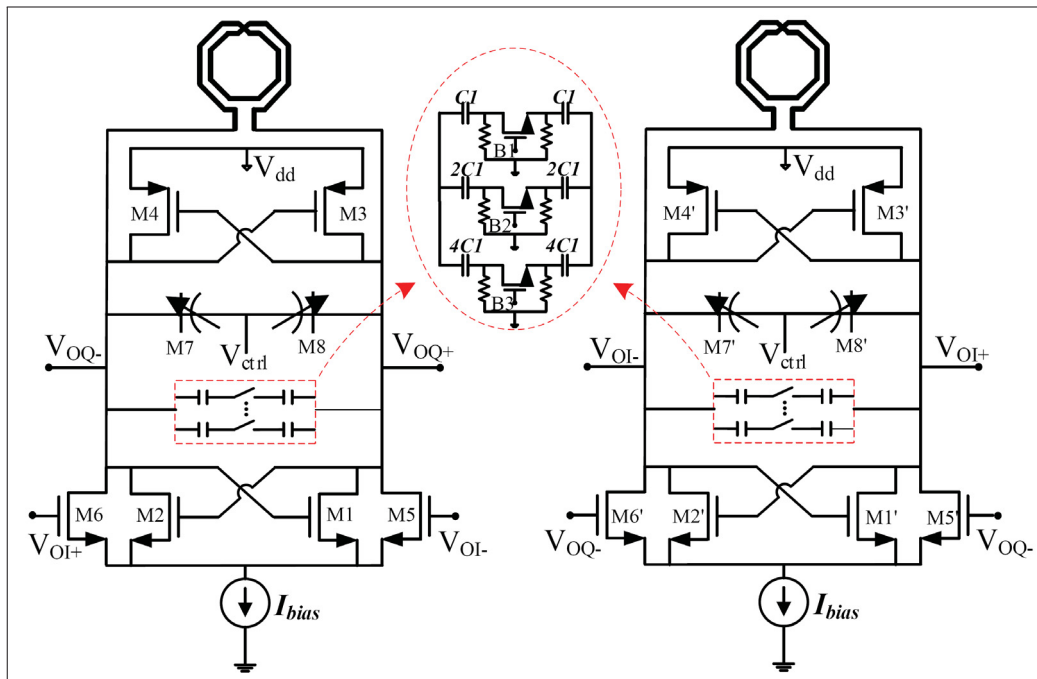


Figure 3.8 Schéma implémenté du QVCO

Chaque VCO se compose de deux paires de transistors en couplage transversal complémentaire formées par M1–M4, deux transistors, M7 et M8, utilisés comme varactors, M_{bias} pour générer le courant I_{bias} nécessaire au fonctionnement, une bobine différentielle ainsi qu'une banque

de condensateurs commutés. De plus, les transistors M5–M6 sont utilisés pour garantir le couplage actif entre les deux VCOs afin de pouvoir générer le signal souhaité en quadrature à la sortie.

La tranconductance globale d'une architecture de VCO couplé croisé complémentaire est définie par (Fiorelli, 2005) comme suit :

$$g_m = \frac{g_{m.n} + g_{m.p}}{2} = \sqrt{\frac{I_{vco}}{2 \times (V_{gs.n} - V_{th.n})}} + \sqrt{\frac{I_{vco}}{2 \times (V_{gs.p} - V_{th.p})}}, \quad (3.25)$$

où $g_{m.n}$ représente la transconductance de M1–M2 alors que $g_{m.p}$ représente la transconductance de M3–M4, I_{vco} représente le courant de polarisation du VCO, V_{gs} désigne la tension grille-source du transistor CMOS et V_{th} représente la tension de seuil.

Les bornes de la capacité C_b , définies par les équations (2.2) et (2.3), pour trois branches de condensateurs commutés s'écrivent sous la forme suivante :

$$\begin{aligned} C_{b.min} &= \sum_{k=0}^2 \left(\frac{1}{2^k \times C_1/2} + \frac{1}{2^k \times C_{pr}} \right)^{-1} \\ &= 7 \times \left(\frac{1}{C_1/2} + \frac{1}{C_{pr}} \right)^{-1}. \end{aligned} \quad (3.26)$$

$$C_{b.max} = \sum_{k=0}^2 \left(2^k \times \frac{C_1}{2} \right) = 7 \times \frac{C_1}{2}, \quad (3.27)$$

où $C_{b.min}$ correspond à la valeur de la capacité minimale de la banque quand tous les commutateurs sont désactivés (à travers un contrôle numérique de trois bits B(0,0,0)). Cependant, $C_{b.max}$ représente la valeur de la capacité maximale de la banque quand tous les commutateurs sont activés (B(1,1,1)).

Par conséquent, la plage d'accord du VCO est limitée par les fréquences $f_{osc.min}$ et $f_{osc.max}$ qui s'exprime sous la forme suivante :

$$\begin{aligned} f_{osc.min} &= \left(2\pi \sqrt{L \times \left(C_{var.max} + 7 \times \frac{C_1}{2} \right)} \right)^{-1} \\ f_{osc.max} &= \left(2\pi \sqrt{L \times \left(C_{var.min} + 7 \times \left(\frac{1}{C_1/2} + \frac{1}{C_{pr}} \right)^{-1} \right)} \right)^{-1} . \end{aligned} \quad (3.28)$$

Les tailles des commutateurs sont raisonnablement choisies pour maintenir un compromis entre la capacité parasite, le facteur de qualité ainsi que le pas de capacité convenable d'une branche de la banque à une autre. En outre, le QVCO assure un niveau d'oscillation suffisamment élevé à sa sortie pour contrôler l'entrée du mélangeur et des diviseurs de fréquence subséquents.

3.2.2 Conception du VCO

Le choix du LC-VCO en couplage transversal complémentaire exige l'utilisation d'une bobine de structure différentielle. Les bobines en spirale, disponibles dans la librairie du standard de CMOS 0,13 μm , sont largement utilisées lors de la conception de RF. Le dessin de masque de la bobine, en deux dimensions et en trois dimensions, est présenté à la Figure 3.9.

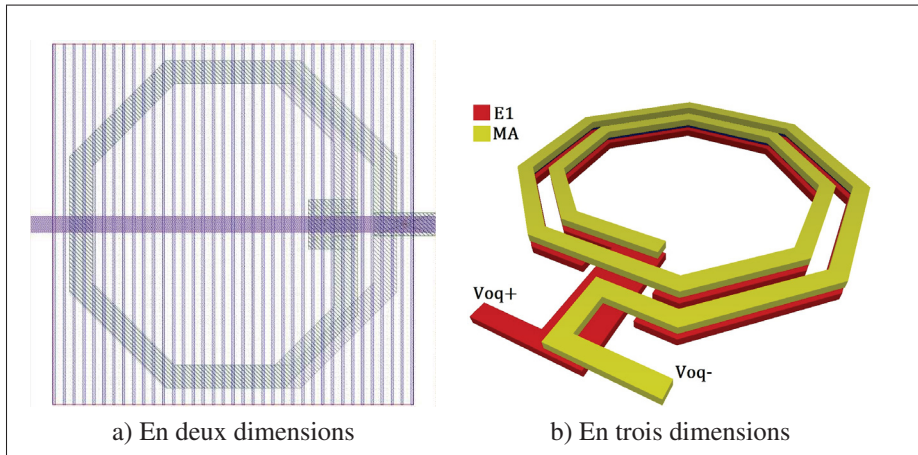


Figure 3.9 Dessins de masque de la bobine.

La bobine utilisée est une bobine à spirale empilée (en anglais *stacked spiral inductor*) formée de deux spires de couches métalliques *E1* et *MA* en parallèle. Ces deux métaux sont les métaux supérieurs offerts par la technologie CMOS 0,13 μm et ils sont caractérisés par une résistivité réduite.

Pour une largeur de métal de 6 μm , un nombre de tours de 2, une dimension extérieure de 110 μm et un espacement de métal de 5 μm , la valeur de l'inductance est de 720 pH. La variation de la résistance en série de la bobine ainsi que son facteur de qualité sont présentés à la Figure 3.10.

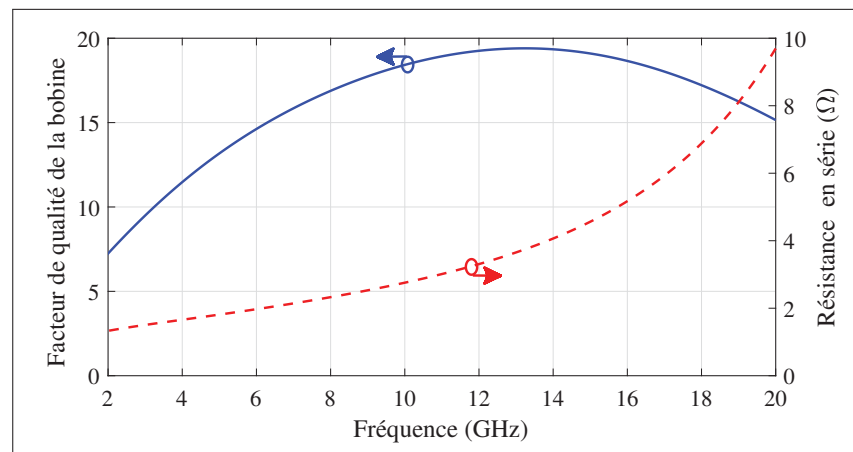


Figure 3.10 Résistance en série et facteur de qualité de la bobine

La résistance en série de la bobine varie entre 2,1 Ω et 2,7 Ω , pour des fréquences comprises entre 6,6 GHz et 10 GHz, alors que la valeur du facteur de qualité Q_L varie entre 15,4 et 18,4.

D'autre part, la simulation du facteur de qualité Q_c des varactors formés par des transistors NMOS d'une longueur l de 260 nm et une largeur W de 34 μm est présentée à la Figure 3.11. La valeur minimale de Q_c est de 22,4 pour une fréquence de 10 GHz.

Finalement, la Figure 3.12 présente la variation du facteur de qualité Q_{switch} de la banque des condensateurs, précédemment présenté à la Figure 2.8 pour une configuration à trois branches

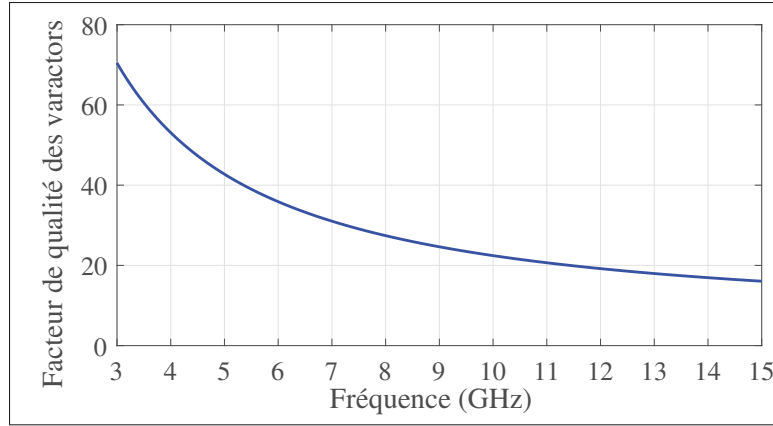


Figure 3.11 Facteur de qualité des varactors

(8 combinaisons possibles), en fonction de la fréquence d'oscillation pour différentes valeurs de la largeur W montrée à l'équation (3.23).

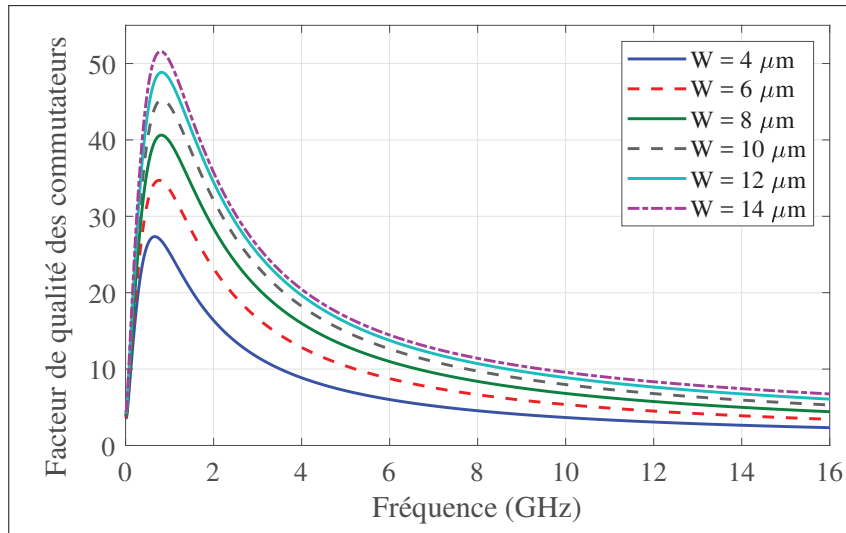


Figure 3.12 Facteur de qualité des commutateurs

La largeur $W = 12 \mu\text{m}$ engendre un facteur de qualité de 9, ce qui représente un bon compromis pour notre système. Par conséquent, le facteur de qualité total du réservoir, présenté par l'équation (3.19), est déterminé par Q_{switch} en étant la valeur la plus faible.

Le Tableau 3.2 récapitule les paramètres importants du VCO conçu.

Tableau 3.2 Paramètres du core du VCO

Fréquence maximale du VCO	10 GHz
Plage d'accord	6,6 GHz – 10 GHz
Tension d'alimentation	1,2 V
Courant de biais I_{bias}	1,2 mA
L	720 pH
Q	9
r_s	5 Ω
R_p	407 Ω

L'oscillation du VCO est garantie quand la valeur de la transconductance g_m est supérieure à l'inverse de la résistance parallèle R_p comme le montre l'équation (3.24). En utilisant le facteur d'oscillation α évoqué dans (Fiorelli, 2005), la condition de démarrage s'exprime comme suit :

$$g_m = \frac{\alpha}{R_p} = \frac{g_{m.n} + g_{m.p}}{2}. \quad (3.29)$$

Le facteur α prend généralement une valeur supérieure à 3,4 pour un bon démarrage d'oscillation.

L'obtention des valeurs des transconductance $g_{m.n}$ et $g_{m.p}$ permet d'estimer la valeur des largeurs des transistors NMOS et PMOS à travers l'expression générale de la transconductance d'un transistor MOS en saturation. Pour une longueur minimale l de 140 nm, la largeur d'un transistor en saturation s'écrit sous la forme suivante (Sedra & Smith, 2011) :

$$W = \frac{l \times g_m^2}{I_B \times \mu_{n.p} \times C_{ox}} \quad (3.30)$$

Ainsi, les valeurs $g_{m.n}$ et $g_{m.p}$ sont toutes les deux égales à 8,3 mS (pour α égale à 3,4). Le produit $\mu_n C_{ox}$ est égale à 511 $\mu A/V^2$ pour le NMOS, et 128 $\mu A/V^2$ pour le PMOS pour la technologie CMOS 0,13 μm (Sedra & Smith, 2011). Par conséquent, les valeurs estimées des largeurs W_n et W_p sont respectivement égales à 12,4 μm et 48 μm .

Le bruit de phase, qui représente une contrainte majeure lors de la conception des oscillateurs, a été modélisé par une formule donnée par l'équation (2.5). Afin d'estimer la valeur du bruit de phase du VCO proposé, nous utiliserons la forme simplifiée suivante :

$$L(\Delta f_m) = 10 \log \left[\left(1 + \frac{f_0^2}{(2\Delta f_m Q_T)^2} \right) \cdot \left(\frac{2FkT}{P_{av}} \right) \right], \quad (3.31)$$

où k représente la constante de Boltzmann ; T représente la température absolue ; P_{av} représente la puissance du signal de sortie ; f_0 représente la fréquence d'oscillation ; Δf_m représente le décalage de fréquence ; Q_T représente le facteur de qualité globale alors que F représente le facteur du bruit.

L'expression du facteur F varie d'une architecture d'oscillateur à une autre. Le facteur F d'une architecture en topologie couplé croisé complémentaire d'un VCO a été détaillée dans (He, 2007) et elle s'écrit sous la forme suivante :

$$F = 1 + (2 \times R_p \times \gamma \times g_m) + \left(\frac{128}{\pi^2} \times R_p \times \gamma_{bias} \times g_{m.bias} \right). \quad (3.32)$$

Le terme γ représente le facteur de bruit d'un seul transistor, qui vaut généralement 2/3 pour les larges longueurs de canal et 2,5 pour les longueurs étroites, alors que $g_m = g_{m.n} = g_{m.p}$. À noter aussi que γ_{bias} représente le facteur de bruit du transistor de biais du VCO alors que $g_{m.bias}$ représente sa transconductance.

Ainsi, l'équation (3.32) permet d'estimer la valeur du bruit de phase du VCO conçu. En considérant les valeurs du tableau 3.2, les équations (3.29) et (3.30) et les valeurs des transconductances calculées, le bruit de phase résultant est d'une valeur de -108,27 dBc/Hz.

3.3 Le comparateur de fréquence/phase et la pompe de charge

Le comparateur de fréquence/phase est un circuit asynchrone qui génère des signaux de sortie proportionnels à la différence, à la fois, de fréquence et de la phase des signaux d'entrées. Comme le montre la Figure 3.13, le PFD se compose de deux bascules-D en véritable horloge monophasée (en anglais *true single phase clock* ou TSPC) avec une porte logique non-ET (en anglais NAND).

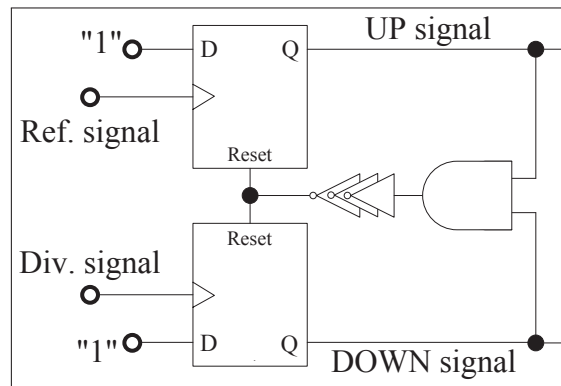


Figure 3.13 Comparateur de fréquence/phase

Le but est d'aligner les signaux "Ref.signal" et "Div.signal" afin qu'ils puissent avoir la même valeur de fréquence et de phase. Cet alignement peut être assuré par le suivi de la différence de phase des deux signaux. Quand le front montant du signal "Ref.signal" arrive, à un instant t_1 , avant le front montant de "Div.signal" qui arrive à l'instant t_2 , le PFD génère une impulsion "UP signal" d'une durée de $\Delta t = t_2 - t_1$. Dans ce cas, le signal "DOWN signal" est à 0. Cependant, une impulsion "DOWN signal" de durée $\Delta t = t_2 - t_1$ est générée lorsque le front montant du signal "Div.signal" arrive en premier, à l'instant t_1 , avant que le front montant du signal "Ref.signal" arrive à t_2 .

À noter que le PFD peut perdre sa sensibilité à des petites valeurs d'erreur de phase. Cette région se nomme zone morte (en anglais *dead zone*). Pour palier à ce problème, une chaîne d'inverseurs est ajoutée, en tant que retard comme le montre la Figure 3.13, à la sortie de

Tandis que les transistors M1 et M5, M2 et M8, M3 et M7, M4 et M6 sont respectivement identiques, les courants de drain I_{D7} et I_{D3} ne sont pas différents à cause de la modulation de longueur de canal (en anglais *channel length modulation*). Par conséquent, les courants de drain I_{D6} et I_{D4} sont égaux ce qui permet d'avoir un courant I_{CP} identique que cela soit un signal " $\overline{UP}$ ", qui représente l'inverse logique du signal "UP", ou le signal "DOWN" à l'entrée de la pompe de charge. Ainsi, la minimisation du décalage entre les courants générés par le " $\overline{UP}$ " et "DOWN" permet d'améliorer la performance de la PLL du point de vue parasite de fréquence. Par ailleurs, l'amplificateur opérationnel *Amp* est conçu comme une architecture cascode complémentaire (en anglais *complementary folded cascode*) pour assurer un fonctionnement rail à rail.

3.4 Diviseurs de fréquence

La division de fréquence représente un outil primordial dans l'architecture proposée afin de garantir la génération de toutes les fréquences porteuses dans une large bande de fréquence du spectre avionique. Cependant, les diviseurs de fréquence seront appelés à opérer à des fréquences hautes (dans l'ordre de 10 GHz) ou à des fréquences plus basses qui peuvent être de l'ordre de mégahertz.

Par conséquent, le synthétiseur nécessite un diviseur par deux en mode de courant logique (en anglais *Current-Mode-Logic* ou CML) pour les fréquences supérieures à 3 GHz, des diviseurs par deux conçus en mode TSPC pour des fréquences inférieures à 3 GHz et un diviseur programmable par N pour la rétroaction de la PLL.

3.4.1 Diviseur par deux en mode de courant logique

La PLL nécessite un pré-diviseur (en anglais *prescaler*) par quatre capable de fonctionner à une fréquence de 10 GHz. Ceci est la raison pour laquelle le pré-diviseur est réalisé par deux diviseurs par deux, en série, qui sont conçus à base d'une configuration CML maître-esclave de deux bascules D. Les bascules en CML sont largement évoquées dans les applications de

division aux fréquences de l'ordre de gigahertz grâce à leurs performances à des fréquences aussi élevées (Mo *et al.*, 2008).

Le diviseur par deux en CML est présenté à la Figure 3.15. Le choix de la taille des transistors $M3$ et $M4$ doit prendre en considération la condition d'oscillation afin de garantir la valeur de transconductance nécessaire pour le démarrage.

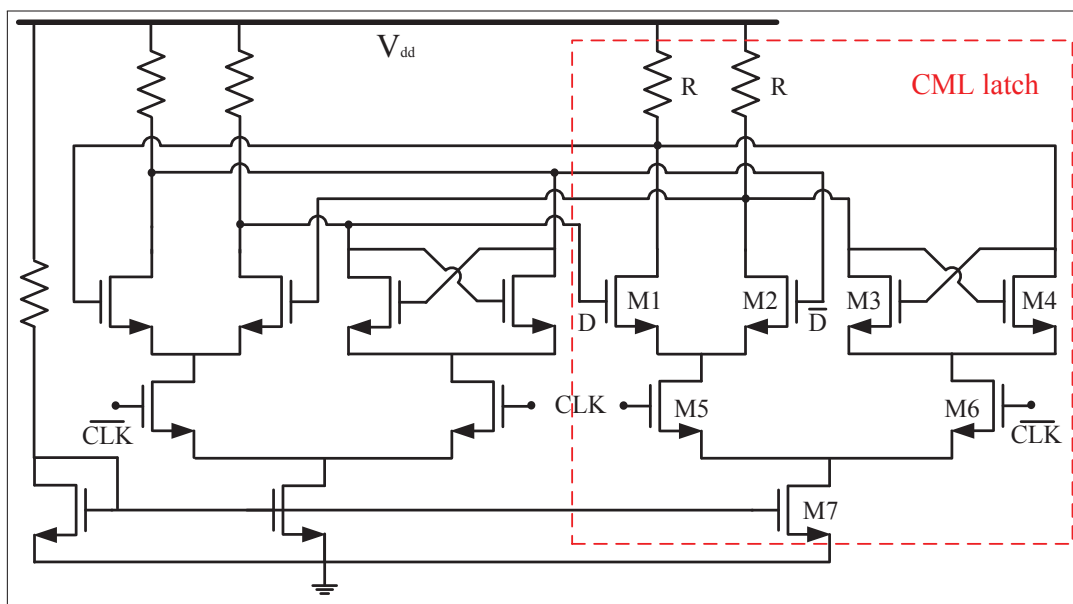


Figure 3.15 Architecture du diviseur par 2 en CML

Les tailles des autres transistors doivent être judicieusement choisies pour garantir un fonctionnement rapide avec une consommation de puissance réduite. L'opération de la division est garantie à travers la connexion croisée entre l'entrée de la bascule maître et la sortie la bascule esclave. En outre, le diviseur par deux génère des signaux différentiels à sa sortie.

3.4.2 Diviseur programmable par N

Le diviseur programmable par N en rétroaction de la PLL représente un diviseur en *pulse swallow*. Comme montré à la Figure 3.16, le pré-diviseur divise par M ou par $(M + 1)$ suivant

la commande fournie par le compteur swallow. Sa sortie (la sortie du prescaler) est directement injectée au compteur programmable et au compteur swallow.

Au début du cycle de division, le pré-diviseur commence par le coefficient de division $(M + 1)$. Quand le compteur swallow atteint la valeur S , il ordonne le changement du facteur de division $(M + 1)$ à M . Cependant, le compteur programmable continue jusqu'à ce qu'il atteigne la valeur P . Cette limite force une remise à zéro des deux compteurs permettant ainsi le début d'un nouveau cycle de division. Par conséquent, le pré-diviseur divise son entrée S fois par $(M + 1)$ et $(P - S)$ fois par M . Ainsi, le facteur de division global lors d'un cycle complet est égal à $(M + 1) \cdot S + M \cdot (P - S) = (MP + S)$.

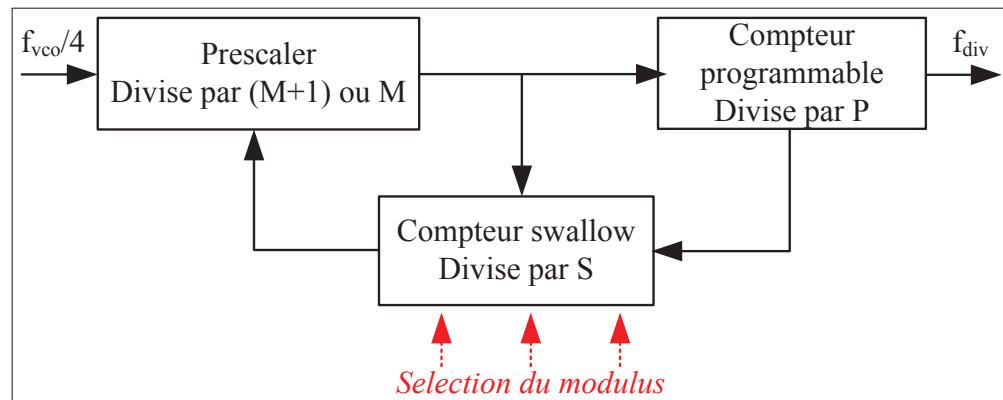


Figure 3.16 Schéma bloc du diviseur programmable

Le diviseur programmable par N doit assurer la division des fréquences comprises entre 1,66 GHz et 2,5 GHz (sortie du VCO divisée par quatre). Ainsi, le rapport global de division est donné par les nombres entières comprises entre 128 et 192. Le rapport est donc assuré par une valeur de M égale à 2, P égale à 64 alors que S varie entre 1 et 64.

Le pré-diviseur 2/3 opère à une fréquence maximale de 3 GHz et garantit une division par 2 ou par 3 selon le bit de commande (BC) généré par le compteur swallow. Donc, le pré-diviseur 2/3 est implémenté en mode TSPC connue par sa robustesse (Razavi, 2012). Le schéma fonctionnel en porte logique du pré-diviseur est présenté à la Figure 3.17. La porte logique "OU" permet

Tandis que le compteur programmable génère une impulsion une fois toutes le 64 cycle d'horloge pour le forçage de la remise à zéro, le compteur swallow génère une séquence de BC en fonction des bits de commande entrée ($S_1, S_2, S_3, S_4, S_5, S_6$), comme le montre la Figure 3.19 permettant ainsi de choisir le rapport de division correspondant pour contrôler le pré-diviseur 2/3.

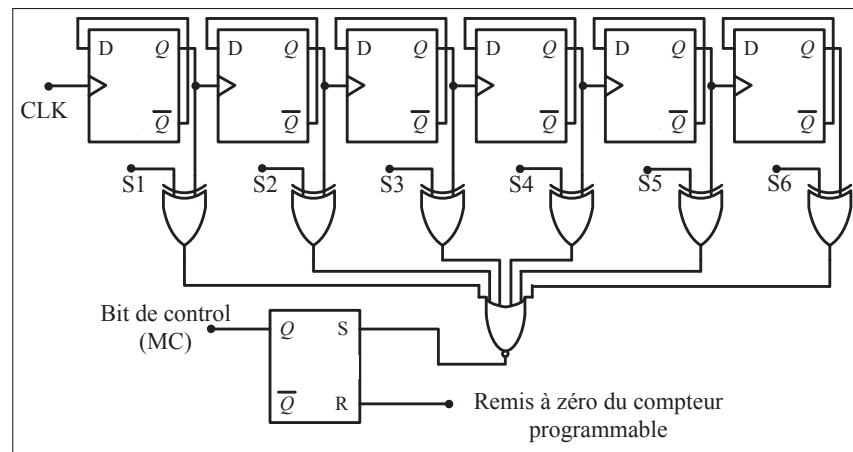


Figure 3.19 Schéma d'implémentation du compteur swallow

À noter que le signal généré par le compteur programmable force la remise à zéro de toutes les bascules du diviseur afin de permettre un nouveau départ du circuit.

Finalement, les diviseurs de fréquence qui figurent à la sortie des sélectionneurs de bande et qui opèrent à des fréquences relativement basses (au dessous de 3 GHz) sont aussi implémentés en mode TSPC avec des bascules D à rétroaction. Le diviseur par deux est présenté à la Figure 3.20. La division est assurée par l'injection du signal de sortie inversé $\bar{Q}$ à l'entrée D.

3.5 Mélangeur SSB passif

L'architecture du synthétiseur proposée exige une opération de sous-conversion fréquentielle pour obtenir la bande de fréquence 4,95 GHz-7,5 GHz. La sous conversion est obtenue par le

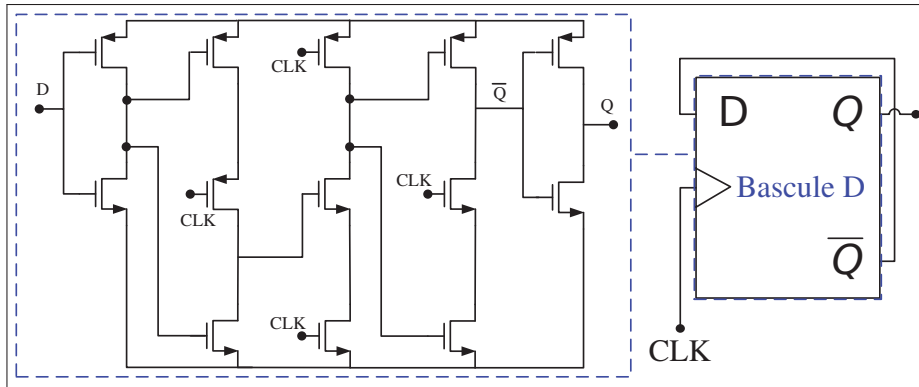


Figure 3.20 Schéma d'implémentation du diviseur par deux en TSPC

mélange fréquentielle de la bande 6,6 GHz-10 GHz avec la bande 1,66 GHz-2,5 GHz à travers un mélangeur SSB.

Les mélangeurs actifs sont connus par leurs gains de conversion élevés par apport aux mélangeurs passifs. Par contre, Les mélangeurs passifs sont largement choisis dans les applications RF et présentent plusieurs avantages : un mélangeur passif ne nécessite aucun courant de biais pour son fonctionnement et il présente une performance de linéarité plus élevée que le mélangeur actif. Par ailleurs, le mélangeur passif génère un bruit $1/f$ réduit (Oh *et al.*, 2017). Par conséquent, le mélangeur passif a été choisi pour l'architecture du synthétiseur proposé pour un système largement linéaire, avec moins de bruit et à consommation de puissance réduite.

L'architecture du mélangeur passif SSB est montrée à la Figure 3.21. Le mélangeur SSB se compose de deux mélangeurs, en double balance (en anglais *double-balanced* ou DB), en configuration de pont. Chaque mélangeur DB est muni de quatre transistors MOS identiques, utilisés comme des commutateurs, contrôlés par le signal LO afin de permettre le mélange entre le signal LO et le signal RF présent sur le drain des commutateurs. Finalement, le signal différentiel résultant du mélange, nommé signal IF, présente principalement les composantes fréquentielles $f_{RF} - f_{LO}$ et $f_{RF} + f_{LO}$ plus quelques harmoniques. La combinaison des deux mélangeurs DB permet de former un mélangeur SSB en connectant les ports IF ensemble comme montré à la Figure 3.21.

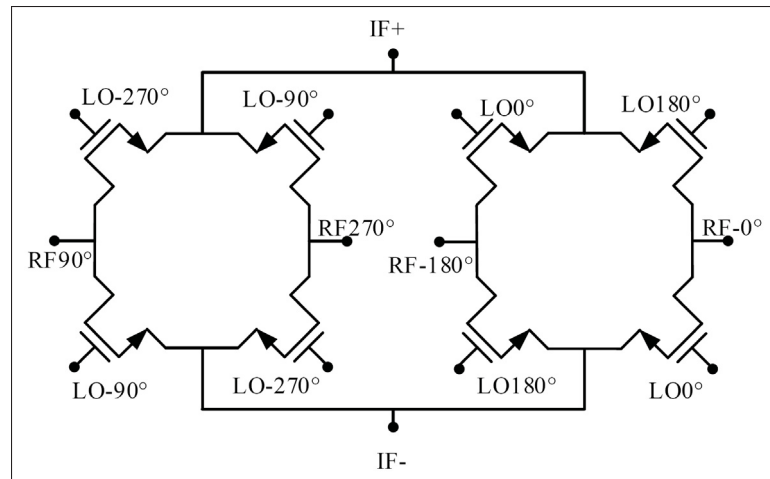


Figure 3.21 Schéma d'implémentation du mélangeur passif SSB

Le signal LO doit être suffisamment puissant pour garantir un mode de commutation fiable des transistors. Les transistors MOS sont conçus à une largeur W_{ssb} de $14\ \mu\text{m}$, avec une longueur minimale, qui représente un bon compromis entre la figure de bruit réduit, qui exige des largeurs élevées de commutateurs, et la puissance du signal LO nécessaire pour le contrôle des commutateurs qui augmente considérablement quand W_{ssb} augmente.

3.6 Sélection des bandes : Multiplexeur

Le rôle du multiplexeur ou sélectionneur de bande (en anglais *band selector*) dans l'architecture du synthétiseur consiste à choisir la bande de fréquence qui contient la fréquence porteuse souhaitée. Le multiplexeur 1 permet de générer la bande de fréquence 5 GHz–10 GHz alors que la combinaison entre le multiplexeur 2 le multiplexeur 3 et le multiplexeur 4 permet de générer les porteuses de la bande de fréquence 78 MHz–5 GHz. Ces multiplexeurs reçoivent continuellement des fréquences élevées qui atteignent 10 GHz. Par conséquent, la structure des multiplexeurs doit garantir une commutation rapide avec suffisamment d'isolation entre les branches afin d'éviter toute sorte d'interférence entre les signaux.

Comparé au multiplexeur réalisé à base de portes de transmission, le multiplexeur implémenté en mode CML représente un choix convenable pour le synthétiseur proposé au moyen de la

commutation rapide qu'il présente entre les bandes et sa consommation de puissance raisonnable. De plus, les multiplexeurs CML sont aptes à opérer à des fréquences qui dépassent 10 GHz sans avoir besoin d'un signal d'entrée rail à rail (Abdelkader *et al.*, 2009). La Figure 3.22 présente le multiplexeur à deux entrées.

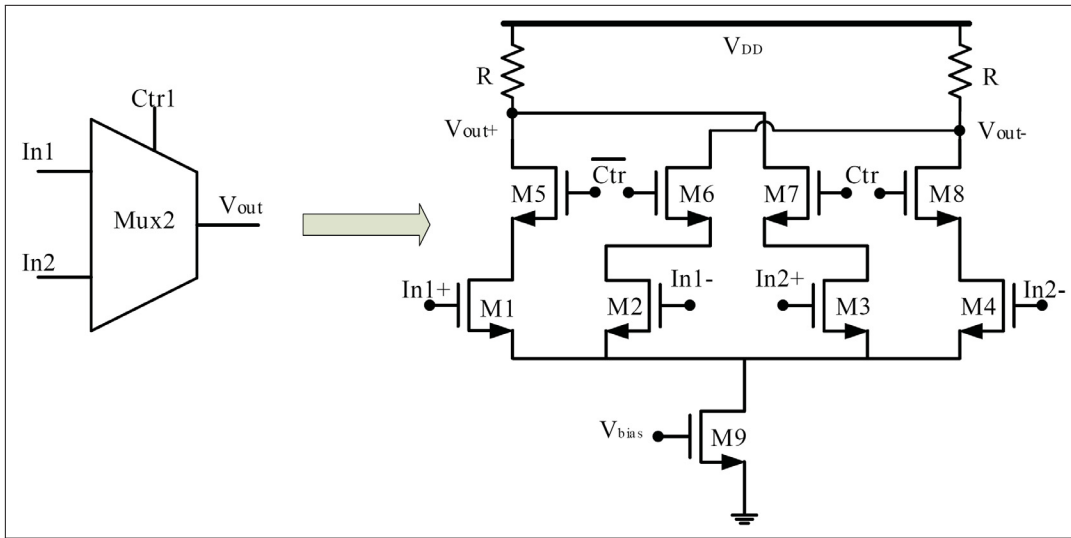


Figure 3.22 Schéma d'implémentation du sélectionneur de bandes

Les transistors M5, M6, M7 et M8 sont désignés pour le contrôle et le choix de la sortie voulue permettant plus d'isolation entre les entrées In1 et In2 de la sortie V_{out} pour préserver la forme d'onde du signal à la sortie surtout pour les fréquences élevées.

D'autre part, les multiplexeurs Mux2 et Mux3 à quatre entrées, présentés à la Figure 3.23, sont construits en exploitant une combinaison de trois multiplexeurs à deux entrées précédemment présentés à la Figure 3.22.

3.7 Conclusion du chapitre

Dans ce chapitre, une analyse détaillée de l'architecture du synthétiseur de fréquence et de ses blocs internes ainsi que les différentes considérations et la stratégie d'implémentation ont été présentées. Le modèle linéaire et le bruit de phase de la PLL ont été analysés permettant ainsi

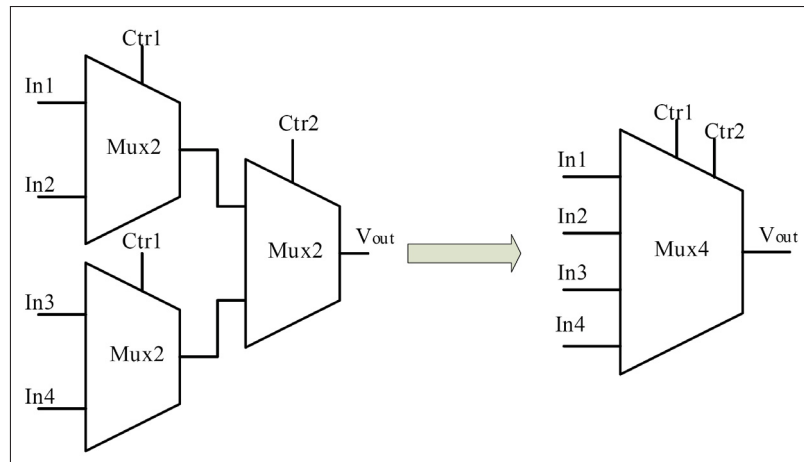


Figure 3.23 Schéma d'implémentation du sélectionneur de bandes

la sélection des caractéristiques et des paramètres importants qui répondent aux exigences de la conception. Par la suite, une conception du VCO convenable à notre application a été proposée et présentée en topologie couplé croisé complémentaire muni d'une banque de condensateurs en se basant sur les considérations d'implémentation analysées. La conception du PFD, de la pompe de charge, des diviseurs de fréquence, du mélangeur SSB et des multiplexeurs, tout en respectant les contraintes fréquentielles et les considérations d'implémentation en technologie CMOS 0,13 μm , a été détaillée.

CHAPITRE 4

RÉSULTATS DES SIMULATIONS

Le prototype du synthétiseur de fréquence proposé est entièrement intégré en technologie CMOS 0,13 μm . Le dessin du masque (en anglais *Layout*) globale du système mis en œuvre est présenté à la Figure 4.1.

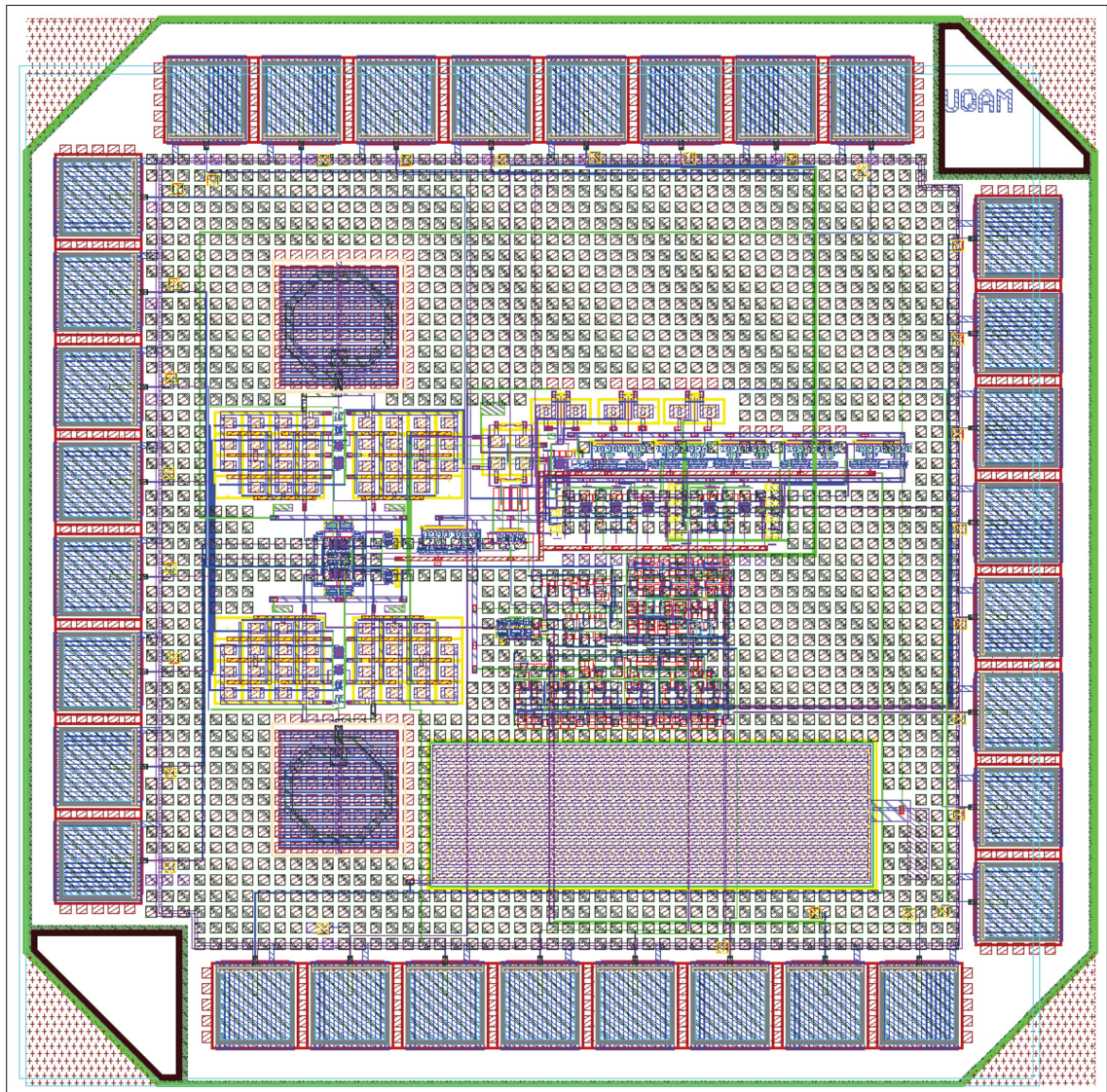


Figure 4.1 Layout du synthétiseur de fréquence

L'ensemble de la conception occupe une surface active de 1,24 mm par 1,24 mm y compris les ports (en anglais *pads*). Pour caractériser les performances du circuit, chaque bloc interne du synthétiseur a été simulé et évalué en premier. Ensuite, des simulations *post-layout* de l'architecture du synthétiseur ont été réalisées en utilisant l'outil de simulation SpectreRF de Cadence. Les paramètres de liaison des fils (en anglais *wire bounding*) aux ports montrés à la Figure 4.2 ont été prises en considération lors des simulations.

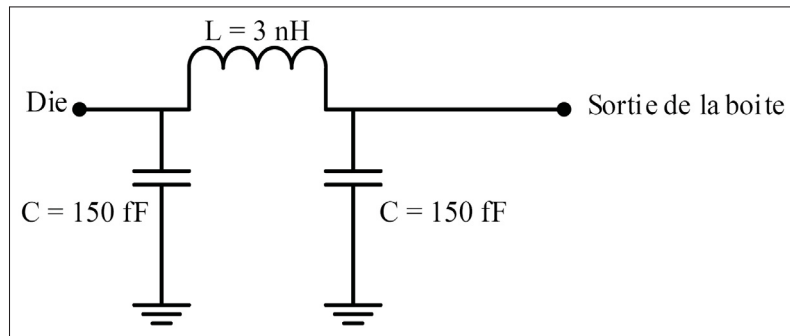


Figure 4.2 Paramètres des fils de liaison au pad.

4.1 Performance du VCO

Les considérations et les contraintes, détaillées à la section 3.2.1, ont été respectées lors de la conception du QVCO couplé croisé complémentaire présentée à la Figure 3.8 afin de satisfaire la condition de démarrage d'oscillation quelle que soit la fréquence générée. L'utilisation des varactors larges permet de maintenir une variation suffisante de C_{var} , par rapport à la capacité fournie par les condensateurs commutés, pour garantir continuellement le chevauchement entre les bandes de fréquences.

Les branches de condensateurs commutés sont conçues avec des condensateurs en structure métal-isolateur-métal-condensateur (en anglais MIMCAP) connus par leurs facteurs de qualité élevés. De plus, la largeur des commutateurs MOS W_0 est fixée à 12 μm pour une longueur minimale de 120 nm. Ainsi, le compromis entre le facteur de qualité Q_{switch} élevé et la largeur de capacités parasites due aux commutateurs est garanti.

À une tension d'alimentation de 1,2 V, la puissance dissipée du QVCO est de 2,9 mW. Les courbes de plages d'accord du QVCO pour différents réglages des commutateurs en fonction de la tension de contrôle qui varie entre 100 mV et 1 V sont présentées à la Figure 4.3.

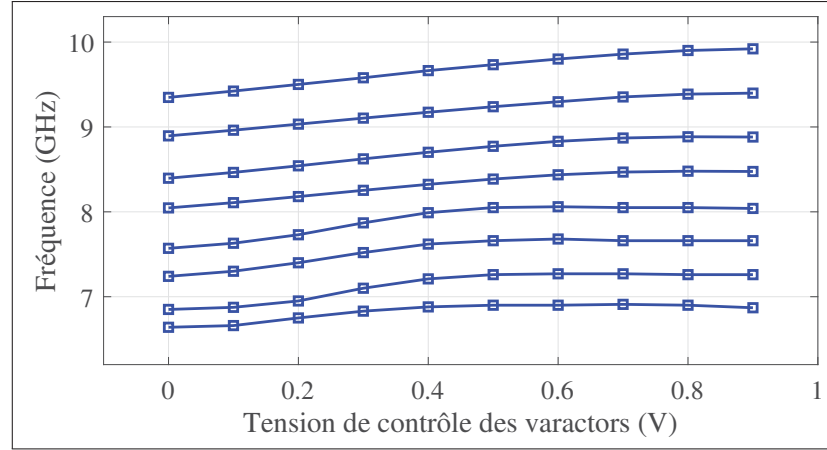


Figure 4.3 Courbes de plage d'accord du VCO

Le QVCO couvre la totalité de la bande de fréquence comprise entre 6,6 GHz et 10 GHz répartie sous 8 sous-bandes à travers les différentes commandes binaires de $B(X, X, X)$. Ainsi, le gain K_{vco} est réduit à une valeur typique de 500 MHz/V ce qui améliore notablement la performance de bruit de phase de la PLL.

La Figure 4.4 présente le bruit de phase du QVCO en oscillation libre simulé à une fréquence d'oscillation de 9,8 GHz. Le bruit de phase est de -107,6 dBc/Hz pour un décalage de fréquence de 1 MHz.

Pour comparer la performance du VCO conçu avec les systèmes existants, la figure de mérite (en anglais *figure of merit*) du VCO qui tient en compte la plage d'accord FOM_V est définie par :

$$FOM_V = 10 \log_{10} \left[\left(\frac{1mW}{P_{diss}} \right) \left(\frac{f_0}{\Delta f} \cdot \frac{T_R}{10\%} \right)^2 \right] - \mathcal{L}(\Delta f), \quad (4.1)$$

où $\mathcal{L}(\Delta f)$ représente le bruit de phase du VCO à un décalage de fréquence de Δf ; f_0 représente la fréquence maximale du VCO en oscillation libre, P_{diss} est la puissance dissipée alors que T_R

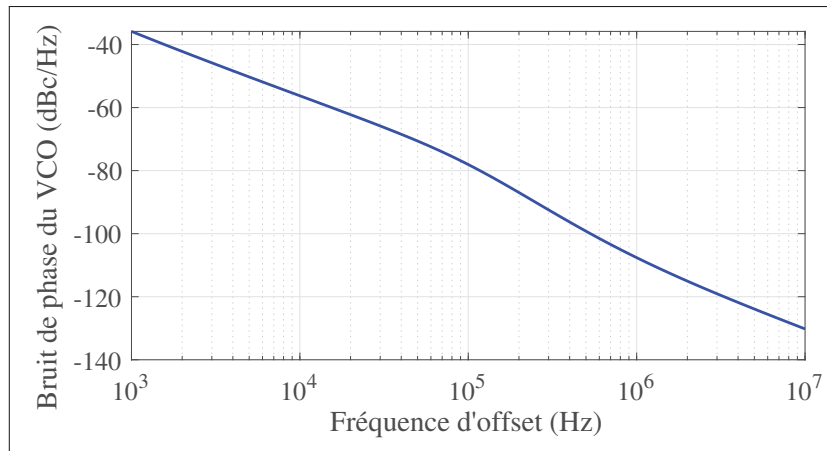


Figure 4.4 Bruit de phase du VCO en oscillation libre.

représente la plage d'accord du VCO. Par conséquent, la figure du mérite du VCO proposé est de 208.

4.2 Performance du détecteur de fréquence/phase et de la pompe de charge

La performance du PFD est évaluée par le suivi du comportement de la différence de phase entre les sorties "*Ref.signal*" et "*Div.signal*", précédemment vus à la section 3.3. Deux signaux carrés d'une fréquence de 20 MHz sont utilisés comme entrées du PFD. Le premier signal a un délai nul alors que le deuxième est manipulé par un délai variable. Par conséquent, il est possible de suivre les chargements de la différence de phase en fonction des variations du délai.

La valeur moyenne de la tension de sortie en fonction de la différence de phase des signaux de sortie est donnée à la Figure 4.5. Il est clair que le PFD présente une caractéristique de phase linéaire sans présence d'une zone morte grâce à la chaîne d'inverseurs ajoutée au signal de commande de la remise à zéro.

Quant à la pompe de charge, l'utilisation de l'architecture à rétroaction avec une réplique de branche minimise le décalage (en anglais *mismatch*) entre le courant de charge et celui de décharge permettant ainsi la minimisation des spurs de référence.

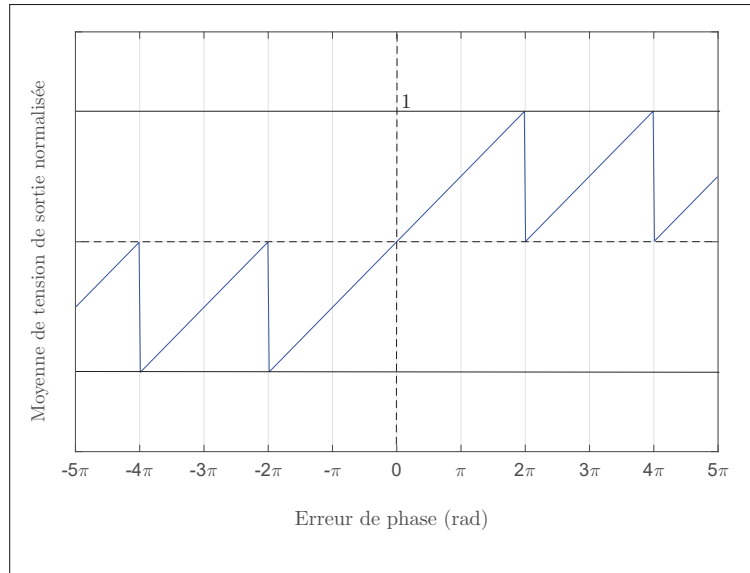


Figure 4.5 Erreur de phase du PFD.

Tel que présenté à la section 3.3, l'utilisation d'un amplificateur opérationnel permet de forcer V_{repl} à suivre V_{ctrl} , comme le montre la Figure 4.6. Par conséquent, le minimum de décalage entre les courants est maintenu.

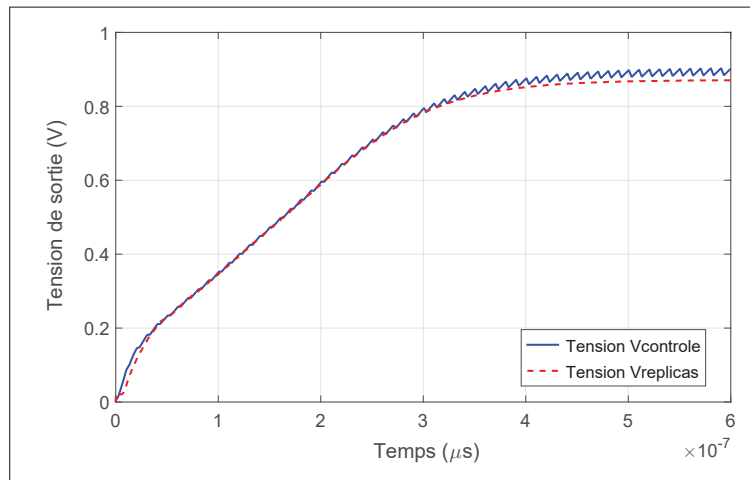


Figure 4.6 Comparaison des tensions de sortie $V_{control}$ et $V_{replicas}$.

De plus, le comportement des courants de charge et de décharge est présenté à la Figure 4.7. Le décalage dynamique simulé entre les deux courants est de 2%.

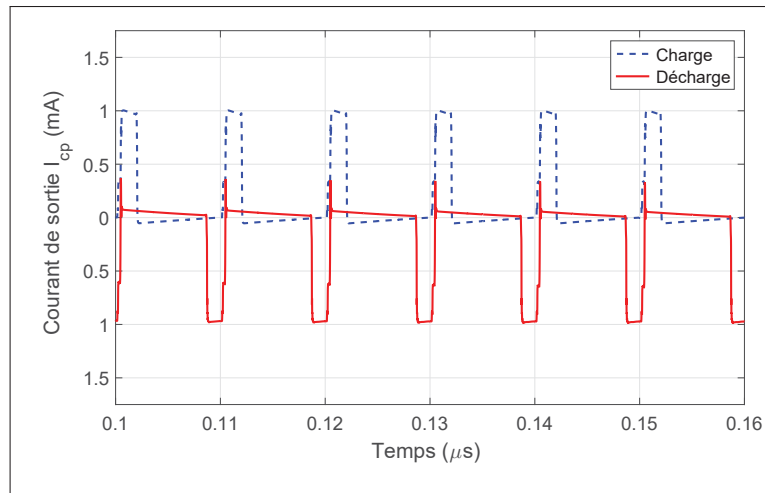


Figure 4.7 Courant de sortie I_{cp} de la pompe de charge.

4.3 Performance des diviseurs de fréquence

L'architecture du synthétiseur exige l'utilisation des diviseurs par deux en CML capable d'atteindre une fréquence d'opération de 10 GHz. La Figure 4.8 présente l'opération de division d'un signal de 400 mV crête à crête à une fréquence d'entrée de 12 GHz.

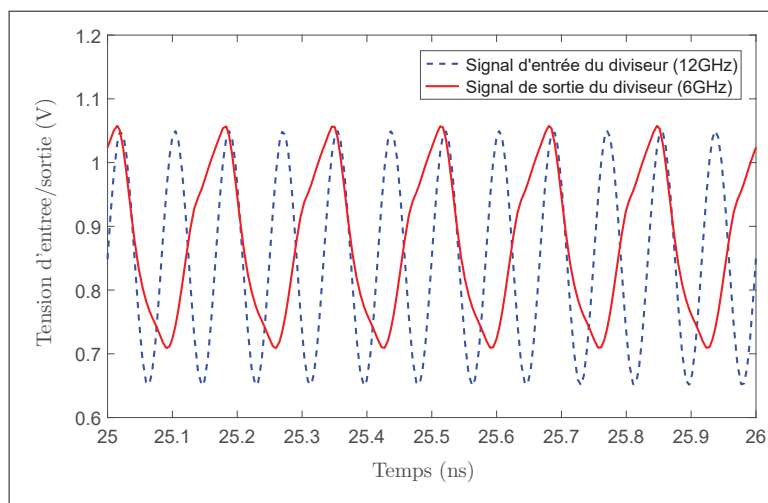


Figure 4.8 Comportement temporel du diviseur en CML.

Cependant, la Figure 4.9 montre la courbe de sensibilité du diviseur proposé pour une puissance de signal d'entrée qui varie entre 0 dBm et -25 dBm.

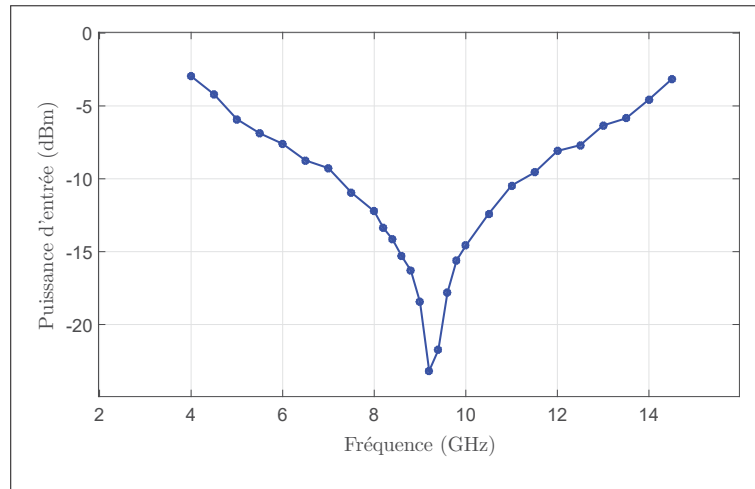


Figure 4.9 Sensibilité du diviseur en CML.

La fréquence minimale nécessaire pour le fonctionnement du diviseur est de 4 GHz. De plus, une opération de division propre est garantie pour toute la bande de fréquence visée. Finalement, le circuit consomme 2,76 mW à une tension d'alimentation de 1,2 V pour une fréquence d'opération de 12 GHz.

D'autre part, le diviseur programmable de la PLL opère à une fréquence maximale de 2,5 GHz. Afin de garantir son bon fonctionnement, le diviseur programmable a été conçu pour opérer à une fréquence maximale de 3 GHz. La réponse transitoire du diviseur programmable pour une entrée de 2,83 GHz à un coefficient de division de 188 est présentée à la Figure 4.10. Le compteur programmable génère une impulsion chaque 64 cycles du signal d'entrée afin d'assurer la remise à zéro du diviseur. En outre, la sortie du compteur swallow (MC) contrôle le mode de division du pré-diviseur. La fréquence de sortie du diviseur programmable générée est de 15 MHz. Le diviseur programmable consomme une puissance totale de 3,3 mW pour une tension d'alimentation de 1,2 V.

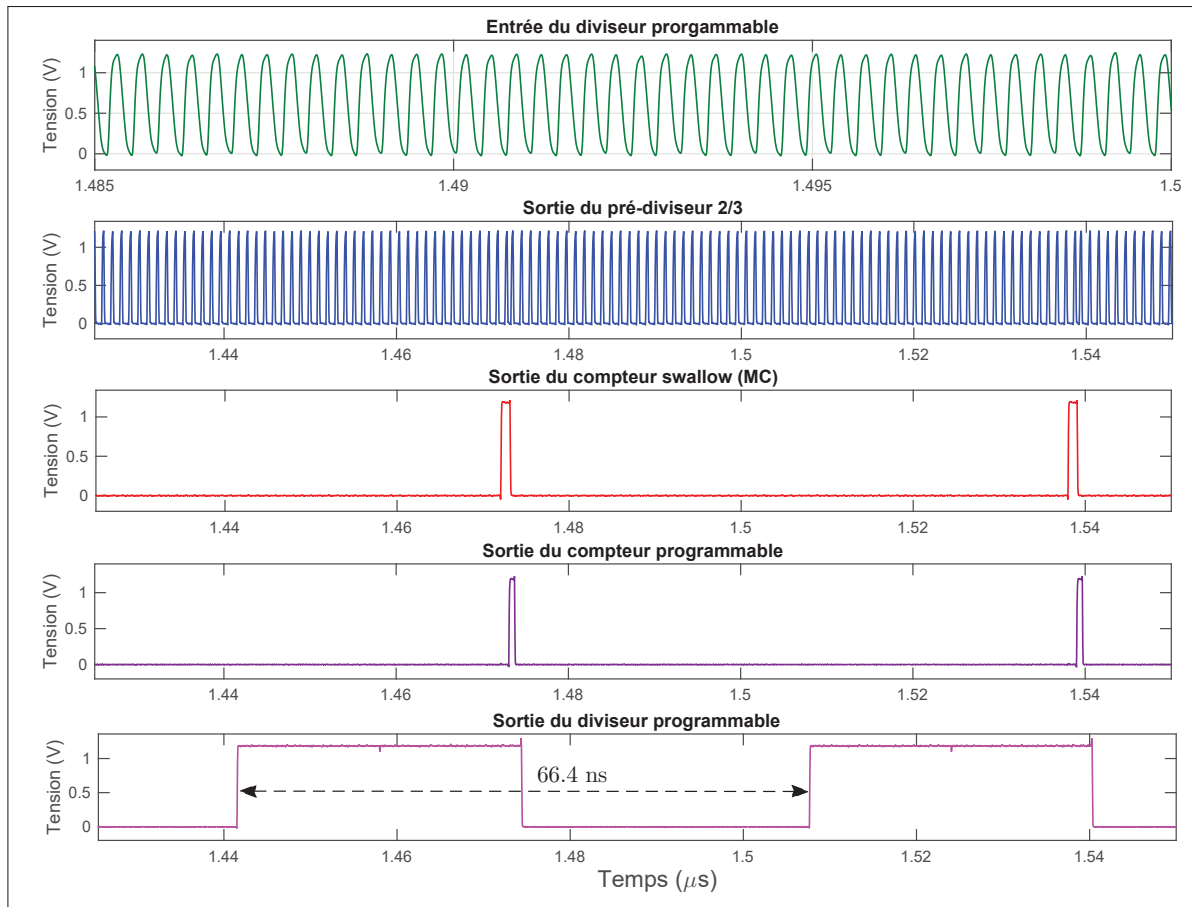


Figure 4.10 Forme d'ondes du diviseur programmable.

4.4 Performance du mélangeur SSB

Le mélangeur SSB utilisé est un mélangeur passif. Par conséquent, la puissance consommée est nulle. Pour une fréquence d'opération de 10 GHz, la perte de conversion est de -6 dB pour une amplitude d'entrée de 400 mV. La Figure 4.11 illustre l'isolation entre les ports d'entrée et de la sortie. On peut constater que l'isolation entre les ports IF et RF est de 65 dB alors que l'isolation entre les port IF et LO est de 88 dB. De plus, l'isolation entre les port RF et LO est de 105 dB ce qui prouve une bonne isolation entre les ports.

D'autre part, la linéarité du mélangeur SSB est évaluée à travers le point de compression à 1 dB (en anglais *1 dB compression point*) et le point d'interception du troisième ordre (en anglais

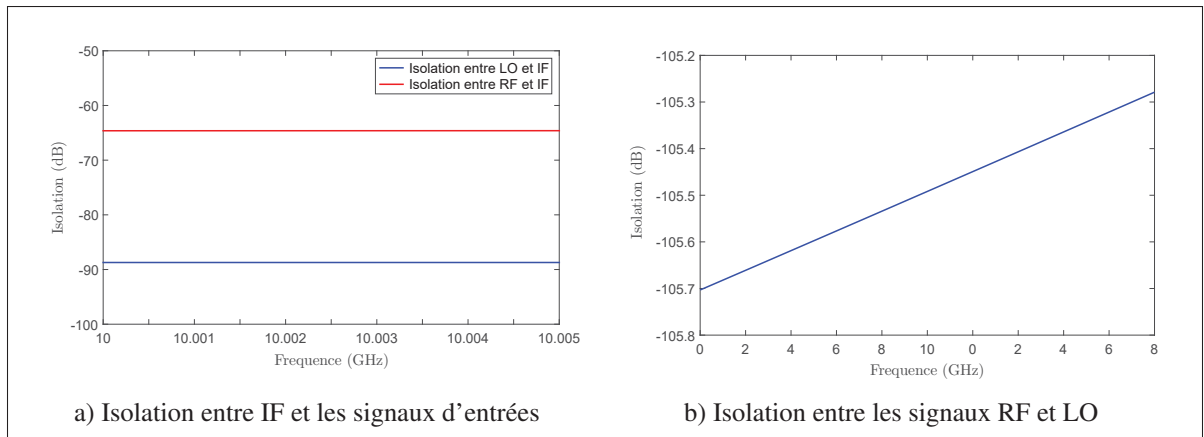


Figure 4.11 Isolation entre les ports du mélangeur SSB.

Third-Order Intercept point ou IIP3). Comme le montre la Figure 4.12, le point de compression à 1 dB du mélangeur SSB atteint une valeur de 14,62 dBm.

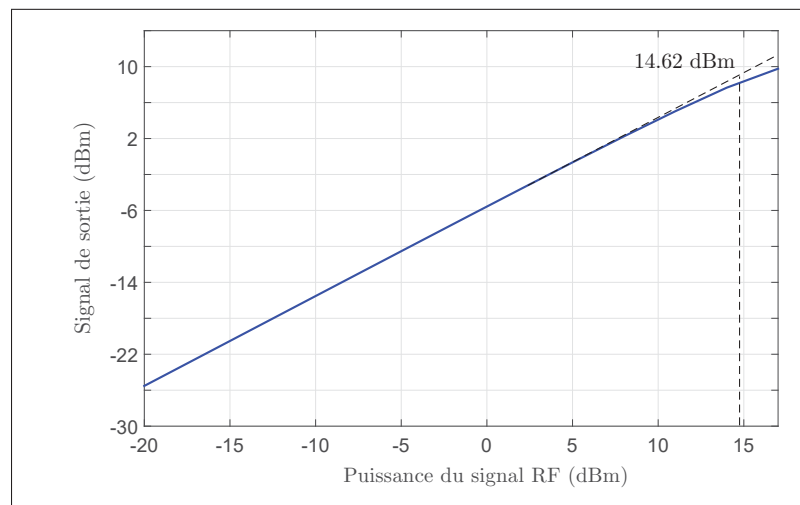


Figure 4.12 Point de compression à 1 dB.

Par ailleurs, le point d'interception du troisième ordre qui caractérise le mélangeur conçu est de 19,2 dBm comme illustré sur la Figure 4.13. Les valeurs du point de compression et du IIP3 confirment que le mélangeur est largement linéaire.

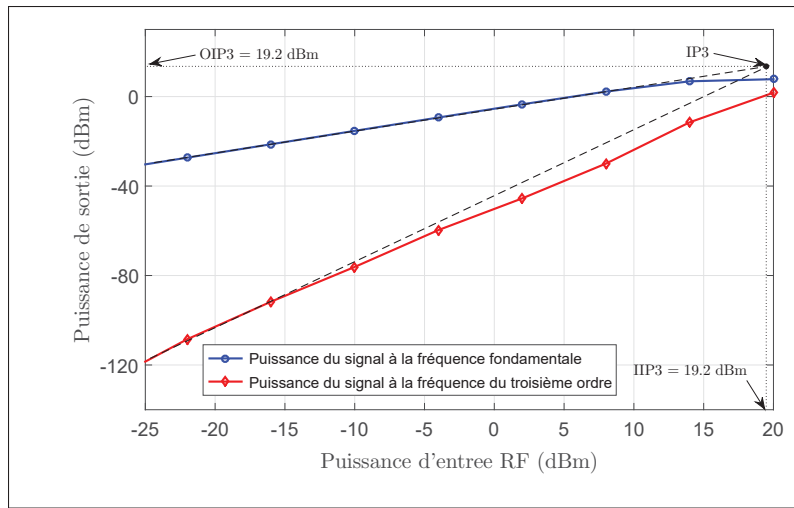


Figure 4.13 Point d'interception du troisième ordre.

4.5 Performance du multiplexeur en mode de courant logique

La performance du multiplexeur est évaluée par simulation en multiplexant deux signaux sinusoïdaux différentiels d'une amplitude de 300 mV à une fréquence de 4 GHz et de 10 GHz. La Figure 4.14 montre le comportement temporel du signal de sortie pour une commutation entre 4 GHz et 10 GHz.

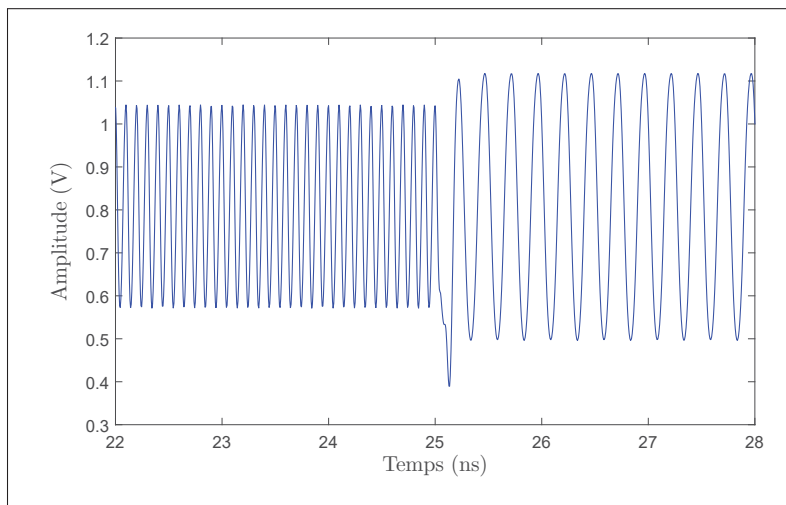


Figure 4.14 Sortie du multiplexeur de 10 GHz à 4 GHz.

La Figure 4.15 présente le spectre de sortie qui, à son tour, montre l'isolation entre l'entrée et la sortie du multiplexeur. La puissance du signal non voulu (4 GHz) est inférieure au signal principal (10 GHz) d'une valeur de 59 dB.

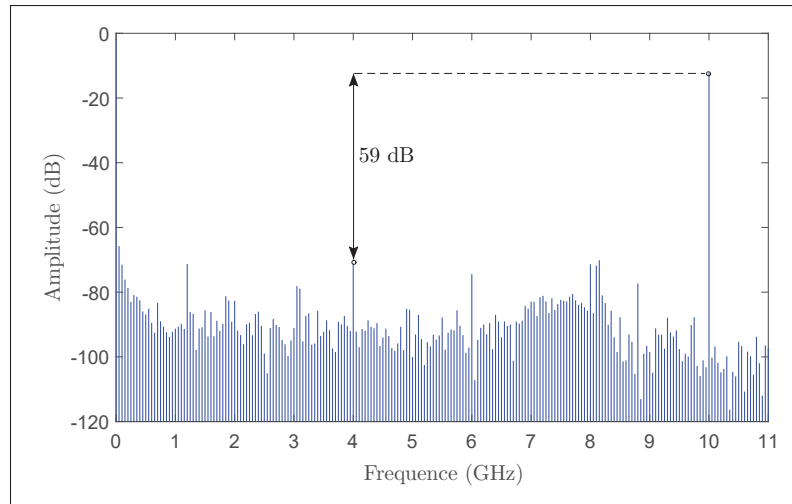


Figure 4.15 Isolation entrées/sortie du multiplexeur.

4.6 Performance du synthétiseur de fréquence

Après l'évaluation de ses différents blocs, l'architecture du synthétiseur de fréquence proposée est évaluée afin de valider sa conformité aux exigences des applications visées. Premièrement, une simulation en fréquence est réalisée afin de s'assurer de la pureté du signal de sortie ainsi que la stabilité de la PLL proposée. Ensuite, la simulation transitoire du synthétiseur proposé permet d'avoir des résultats sur la puissance et le temps de stabilisation de la PLL proposée. Finalement, une simulation de bruit est réalisée sur notre synthétiseur pour identifier le bruit de phase généré pour des fréquences d'oscillation différentes.

Le tracé du spectre de la sortie pour une fréquence de 9,6 GHz est montré à la Figure 4.16. Il est clair que la puissance du premier parasite fréquentiel est inférieure à la puissance de la porteuse de 54 dB.

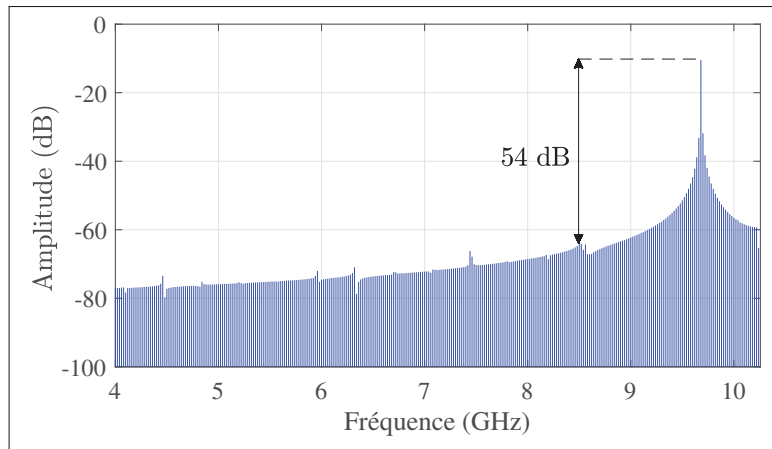


Figure 4.16 Spectre de sortie pour une fréquence de 9,6 GHz.

La Figure 4.17 présente la réponse fréquentielle en boucle ouverte de la PLL proposée pour une fréquence de sortie de 10 GHz en tenant compte des paramètres du Tableau 3.1.

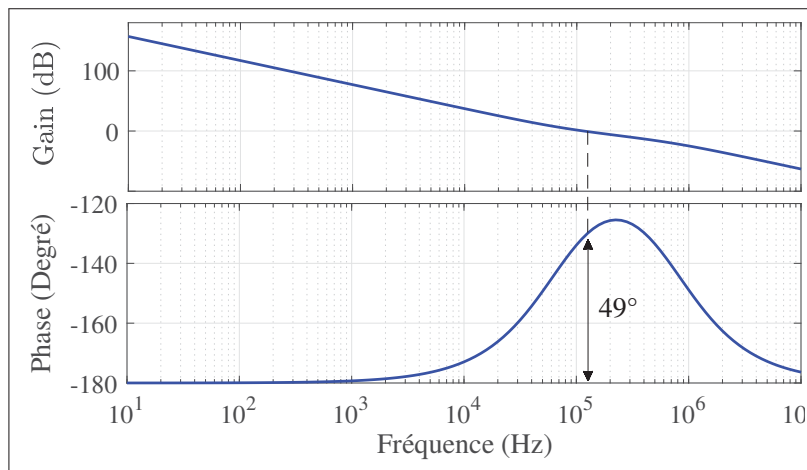


Figure 4.17 Réponse fréquentielle de la PLL en boucle ouverte.

La PLL conçue garantit une largeur de bande passante de 110 kHz avec une marge de phase de 49° pour une fréquence de référence de 11,7 MHz. Les valeurs obtenues permettent de s'assurer que le mode de fonctionnement est stable. De plus, la réponse fréquentielle en boucle fermée de la PLL et présentée par la figure 4.18.

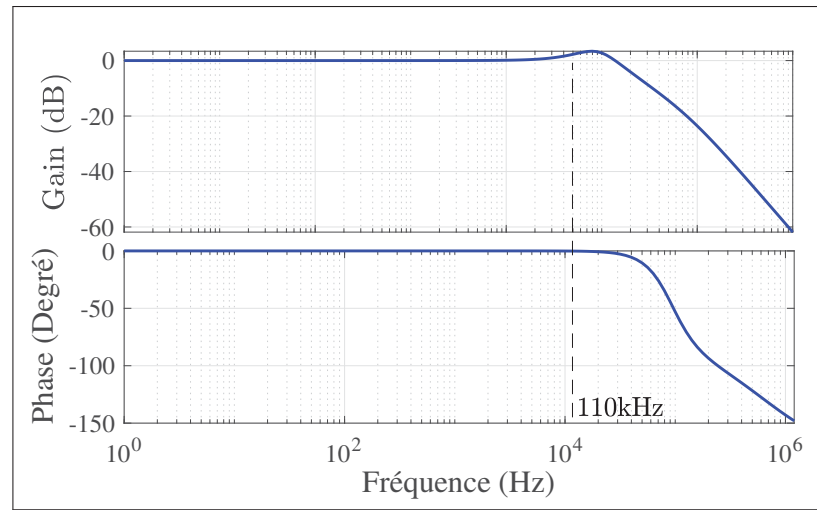


Figure 4.18 Réponse fréquentielle de la PLL en boucle fermée.

Le temps de stabilisation de la fréquence 9,8 GHz est le plus long puisque il nécessite un coefficient de division élevé. La Figure 4.19 présente le comportement transitoire de la tension de commande du VCO pour plusieurs fréquences d'opération.

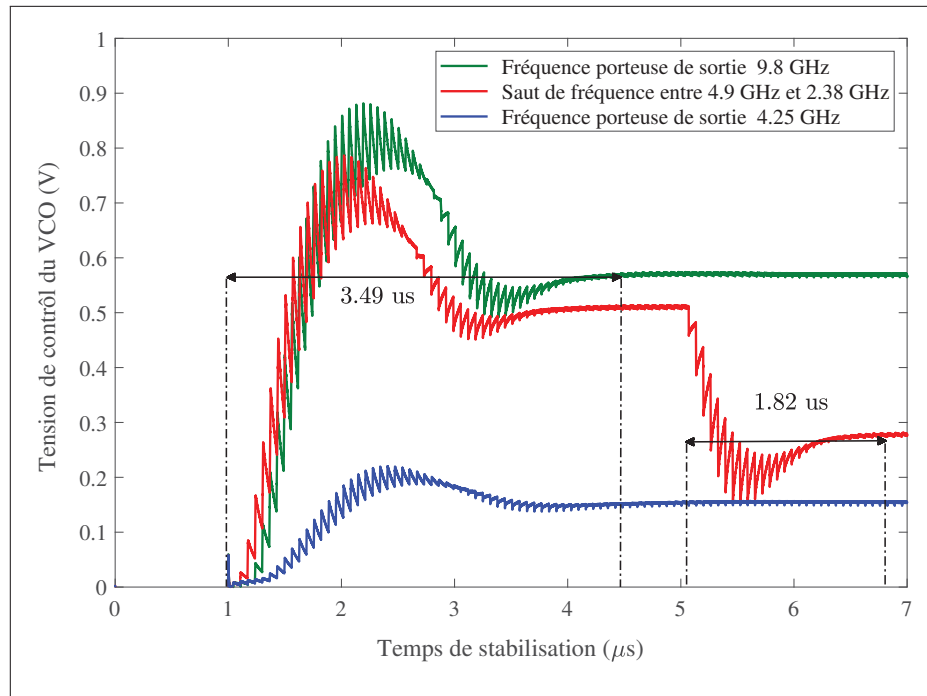


Figure 4.19 Réponse transitoire de la PLL.

Il est clair que le comportement de la tension de contrôle est linéaire avec une PLL légèrement sous-amortie. Le temps de stabilisation le plus large observé est de $3,49 \mu\text{s}$. Cependant, le système garantit un temps de stabilisation plus rapide, de $1,82 \mu\text{s}$, lors de la commutation entre deux fréquences porteuses.

De plus, la Figure 4.20 montre le bruit de phase totale à la sortie du synthétiseur simulé à différentes fréquences. À un décalage de fréquence de 1 MHz, le bruit de phase est de -109,4 dBc/Hz, -118,7 dBc/Hz et -124 dBc/Hz pour 9 GHz, 3,5 GHz et 1,75 GHz respectivement. Ce résultat est prévu à cause du gain du VCO assez élevé nécessaire pour garantir une plage d'accord suffisamment large.

Le synthétiseur consomme une puissance totale de 26 mW, à une tension d'alimentation de 1,2 V, pour générer une porteuse à 140 MHz.

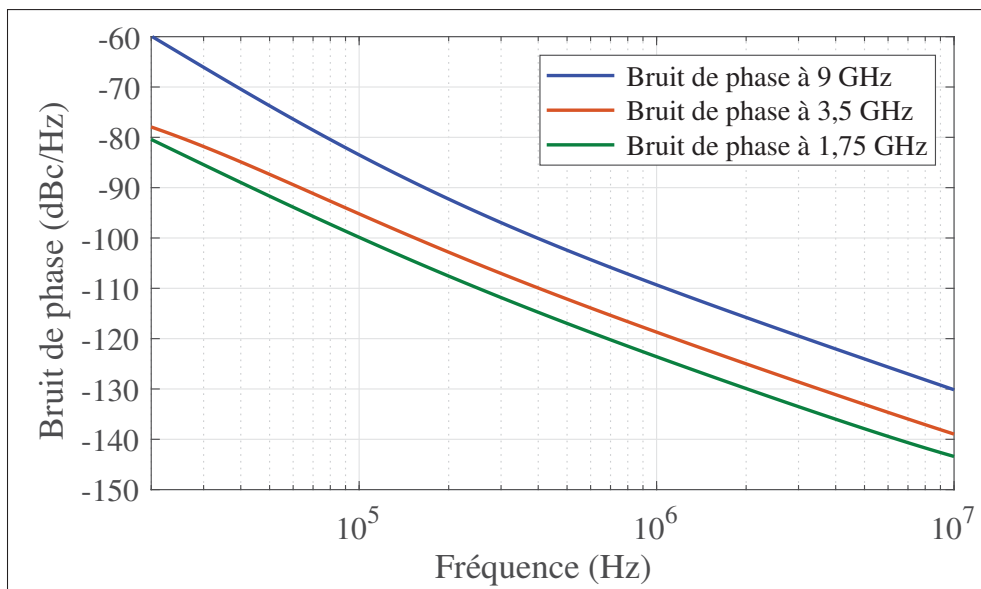


Figure 4.20 Bruit de phase à la sortie du synthétiseur proposé.

Finalement, les caractéristiques et la performance de l'architecture du synthétiseur proposée sont résumées dans le Tableau 4.1.

Tableau 4.1 Caractéristiques et performance du synthétiseur proposé

Caractéristiques	Synthétiseur proposé
Technologie	0,13 μ m
Fréquence de référence (MHz)	11,7
Fréquence maximale (GHz)	10
Plage d'accord (%)	40
Bande de fréquence (GHz)	0,09~10
Largeur de bande passante (kHz)	110
FOM _V du VCO	208
Bruit de phase à 1 MHz (dBc/Hz)	−107 simulé à 9,8 GHz
Parasites Fréquentielles (dBc)	-54
Puissance (mW)	26
Surface (mm ²)	1

CHAPITRE 5

RÉSULTATS DES TESTS EXPÉRIMENTAUX

L'architecture du synthétiseur de fréquence proposé a été fabriquée en technologie CMOS 0,13 μm chez CMC Microsystems. Dans ce chapitre, nous présenterons la configuration et le plan de test de la puce fabriquée. Par la suite, les résultats des tests expérimentaux seront présentés et puis comparés aux performances des systèmes précédemment proposés dans la littérature.

5.1 Configuration et plan de test de la puce

La microphotographie de la puce fabriquée est présentée à la Figure 5.1 avec les différents blocs encerclés et marqués.

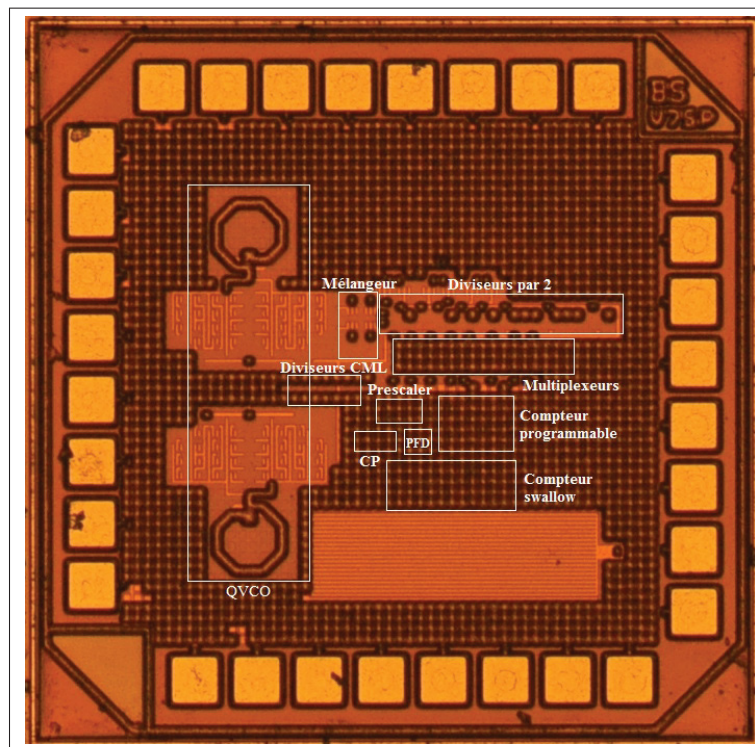


Figure 5.1 microphotographie de la puce.

Le QVCO muni de la banque de condensateurs est suivi par des diviseurs CML et le mélangeur passif à cause de la nécessité d'opération en fréquences radios. La puce est ensuite encapsulée dans un boîtier (en anglais *package*) QFN-7x7-44A de 7 mm par 7 mm à 44 pins de fourni par MOSIS avec un pas de distance entre les pins (en anglais *lead pitch*) de 0,5 mm comme le montre la Figure 5.2. Les boîtiers *Quad Flat No-leads* ou QFN sont connus par leur habilité à fonctionner aux fréquences radio. De plus, les ports de la masse (en anglais *ground pin*) de la puce sont connectés au port thermique du boîtier afin de minimiser l'effet des parasites dû aux liaisons des fils et de garantir ainsi un dégagement de chaleur adéquat de la puce.

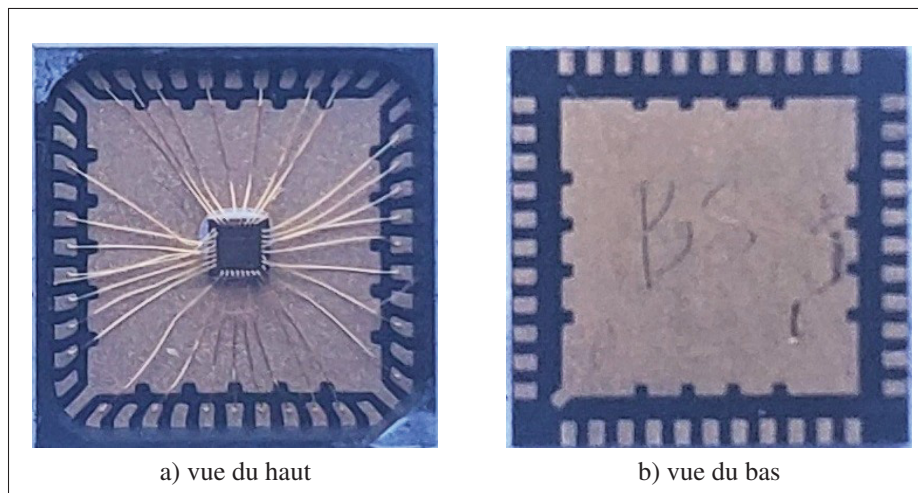


Figure 5.2 La puce dans le boîtier QFN.

La mise en place de la puce sur le circuit imprimé (en anglais *printed circuit board* ou PCB) est réalisée à travers une douille (en anglais *socket*) de *IRONWOODS ELECTRONICS* apte à gérer des signaux qui atteignent 30 GHz. La douille se monte directement sur le PCB tout en assurant une connexion à haute vitesse et fiable en élastomère.

Le PCB, conçu à l'aide du logiciel PADS, est présenté à la Figure 5.3. La puce génère cinq sorties : une sortie du VCO, une sortie pour suivre le changement de la tension de contrôle du VCO, une sortie pour suivre la génération du MC du diviseur par N ainsi que les sorties différentielles du synthétiseur. Par conséquent, des connecteurs coaxiaux (*SubMiniature version A*)

aptes à suivre des signaux de 18 GHz sont utilisés afin de garantir une bonne qualité de signal.

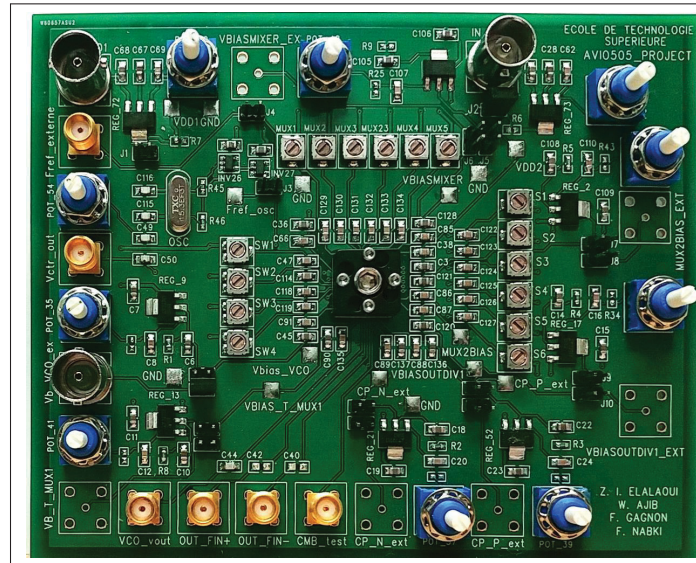


Figure 5.3 Circuit imprimé du système.

Par ailleurs, le PCB contient des régulateurs LT3082 choisis grâce à leur agilité pour générer une tension de sortie DC variable comprise entre 0 V et 1,2 V à travers un potentiomètre. Quant au contrôle des commutateurs que cela soit pour le VCO, les multiplexeurs ou le diviseur programmable, des interrupteurs, directement connectés à la tension d'alimentation, sont utilisés.

Le plan de test suivi se résume aux étapes suivantes :

- Vérifier si les tensions DC des entrées et des sorties sont conformes aux tensions DC obtenues par simulation afin de valider le bon fonctionnement des régulateurs.
- Suivre en permanence le courant d'alimentation du VCO jusqu'à l'atteinte du courant nécessaire pour le démarrage de l'oscillation.
- Extraire le signal de sortie du VCO sur le plan temporel, fréquentiel et du bruit de phase.
- Extraire le signal de sortie des diviseurs CML pour s'assurer de leurs conformités.

- Injecter le signal de référence de la PLL et suivre le signal de la tension de contrôle V_{ctrl} tout en contrôlant la valeur de la résistance R du filtre de la boucle afin de valider le verrouillage de la PLL.
- Extraire le signal de sortie de la synthétiseur sur le plan temporel, fréquentiel, du bruit de phase et de la gigue d'horloge.

Pour les tests, le signal de référence de la PLL sera généré par le générateur de fonction et d'impulsion AGILENT-81150A alors que les mesures de performance seront effectuées à l'aide de l'analyseur des signaux PXA-N9030A.

5.2 Tests expérimentaux sur la puce "Version 1"

Les tests de la puce ont commencés par tester le QVCO. Ce dernier est alimenté par sa propre tension d'alimentation V_{DD2} . Les commutateurs de la banque de condensateurs sont contrôlés par SW1, SW2 et SW3 comme montré sur le PCB à la Figure 5.3. Le courant I_{bias} du VCO est contrôlé par la tension variable V_{bias} générée par le régulateur agile LT3082. De plus, la tension de contrôle des varactors du VCO conçu est remplacée par la tension $V_{control}$ générée par un autre régulateur LT3082.

Pour une tension V_{DD2} de 1,2 V, toutes les tensions des sorties DC mesurées sont semblables à celles des simulations. Cependant, la variation de la tension V_{bias} engendre un courant maximal mesuré I_{bias} de 1,8 mA alors que le courant minimal nécessaire, en simulation, pour le démarrage de l'oscillation est de 2,4 mA. Cette différence nous a poussé à augmenter la tension d'alimentation V_{DD2} à des valeurs de 1,3 V et 1,4 V. Une valeurs supérieure à 1,4 V a engendré la détérioration de la puce. Pourtant, une valeur V_{DD2} égale à 1,4 V permet la génération d'un courant I_{bias} égale à 2,2 mA. Cette valeur est toujours insuffisante pour le démarrage de l'oscillation.

La chute du courant I_{bias} qui empêche le démarrage de l'oscillation du QVCO nous a poussé à investiguer sur l'erreur qui a pu causer ce problème. Nous avons commencé notre investigation par la re-vérification de la conception.

Nous avons pu identifier une erreur reliée au remplissage de l'espace vide de la puce par des rectangles des métaux E1 et MA (en anglais *fill*). Ce remplissage n'a pas été pris en considération lors des simulations réalisées. Par conséquent, nous avons refait un nouveau dessin de masque du QVCO avec le remplissage demandé. Après que la conception a pu passer les vérifications DRC et LVS de SpectreRF, la simulation post-layout du QVCO extrait a montré que l'oscillation démarre normalement à un courant I_{bias} de 2,4 mA. Le bon fonctionnement de notre conception avec le remplissage E1/MA a été validé par simulation. Ce résultat exclu l'hypothèse du remplissage E1/MA comme la cause du problème de la chute du courant I_{bias} . De plus, tous les dessins des masques ont été re-vérifiés afin de s'assurer qu'ils sont conformes aux règles de conception. Les nouvelles simulations post-layout montrent que tous les composants fonctionnent correctement ainsi que le synthétiseur en intégralité.

Une deuxième hypothèse nous mène à penser à une erreur lors de la mise de la puce sur le boîtier QFN (en anglais *packaging error*). La mise en place de la puce sur le boîtier a été réalisée par CMC Microelectronics. Comme le montre la Figure 5.4, la puce se trouve au milieu du boîtier. Il se peut que la distance entre la sortie du QVCO et le port du boîtier soit plus large par rapport à la longueur prise en considération lors des simulations. Par conséquent, la prochaine puce sera placée le plus proche possible des ports du boîtier.

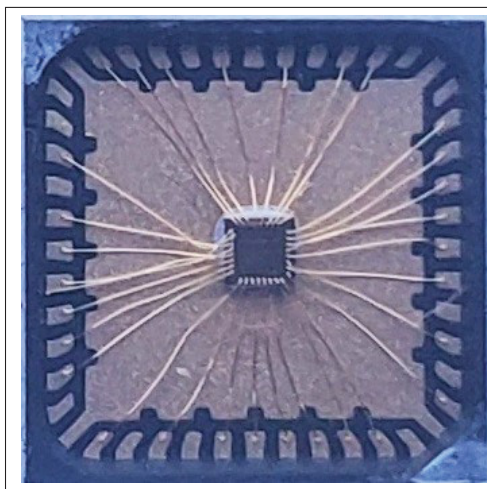


Figure 5.4 Mise en place de la puce sur le boîtier.

Une autre hypothèse est reliée aux amplificateurs à la sortie du QVCO. Ces amplificateurs sont aussi alimentés par V_{DD2} . Par conséquent, le changement de la tension d'alimentation changera le point de fonctionnement du transistor amplificateur. Une raison pour laquelle nous n'avons pas pu voir une oscillation à la sortie.

D'autres hypothèses que nous pouvons évoquer à propos du problème de la difficulté du démarrage de l'oscillation sont reliées aux erreurs commises lors du processus de fabrication. Ce type d'erreurs est difficile à diagnostiquer puisque la fabrication a été réalisée par *CMC Microelectronics*.

Un deuxième version du PCB a été réalisée avec des connecteurs SMA positionnés le plus proche possible de la puce avec des liaison RF adaptées a $50\ \Omega$ comme le montre la Figure 5.5. Néanmoins, nous n'avions pas pu avoir une oscillation à la sortie de QVCO.

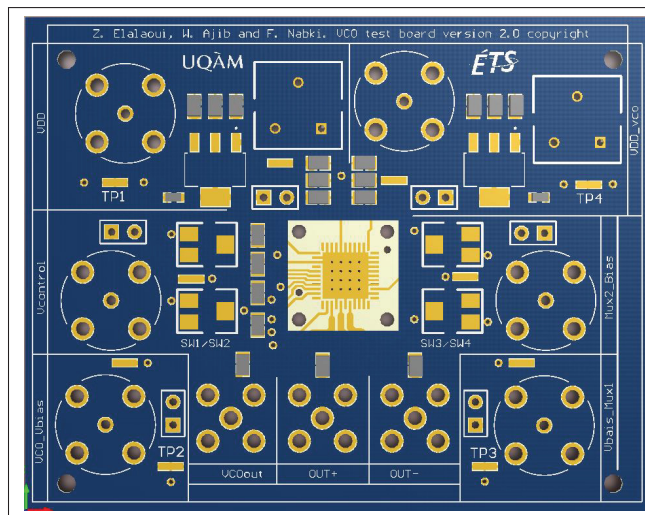


Figure 5.5 Circuit imprimé de la première puce, version 2.

La sortie du QVCO représente l'entrée du mélangeur SSB, l'une des entrées du multiplexeur MUX1 ainsi que le cœur de la PLL de l'architecture proposée. L'absence de l'oscillation nous a empêché de valider nos résultats de simulation par des mesures expérimentales. Par consé-

quent, la conception d'une deuxième puce s'est avérée nécessaire pour palier au problème du démarrage d'oscillation et valider la performance du système proposé.

5.3 Tests expérimentaux sur la puce "Version 2"

La deuxième puce conçue pour ce travail de recherche est similaire à la première avec des modifications mineures qui tiennent compte de nos hypothèses discutées à la section précédente, sur les raisons qui ont empêché le démarrage des oscillations du QVCO.

La première modification consiste à changer la valeur des capacités utilisées pour la modélisation de la liaison des fils de 150 fF à 300 fF comme le montre la Figure 5.6 afin de défier encore plus la sortie du QVCO à la fréquence 10 GHz.

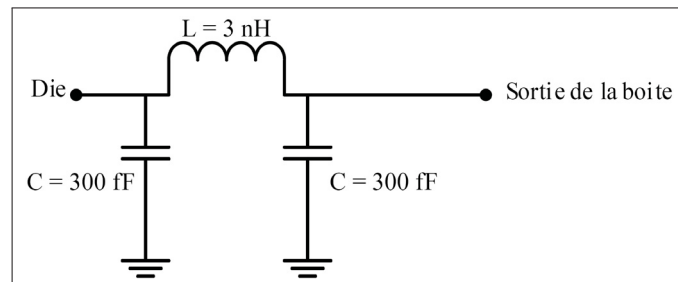


Figure 5.6 Paramètres des fils de liaison au pad.

Deuxièmement, le transistor utilisé pour générer le courant I_{bias} du VCO a été changé et remplacé par un transistor plus large pour garantir un courant plus élevé capable de lancer l'oscillation du VCO.

Nous avons aussi demandé à CMC Microelectronics de positionner la puce le plus proche possible des ports du boîtier QFN, comme le montre la Figure 5.7, lors de la mise en place des liaisons des fils.

Les résultats des simulations obtenus au chapitre précédent ont été validés pour la nouvelle conception. Le QVCO conçu à la deuxième puce consomme plus de puissance que celui de la

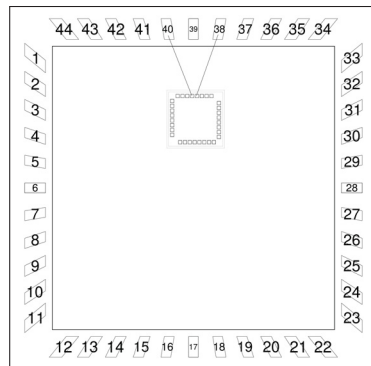


Figure 5.7 Mise en place de la puce lors de liaison aux pads.

première puce. La simulation montre un changement sur la valeur du courant I_{bias} de 2,4 mA à 2,8 mA tout en gardant la même fréquence maximale de sortie à 10 GHz ainsi qu'un bruit de phase de -107,4 dBc/Hz à un décalage de fréquence de 1 MHz.

Le PCB fabriqué pour la deuxième puce est présenté en trois dimensions à la Figure 5.8. Réalisé à l'aide du logiciel de conception ALTIUM, ce PCB se caractérise par des liaisons radio fréquence entre la puce et les connecteurs SMA placés le plus proche possible de la douille.

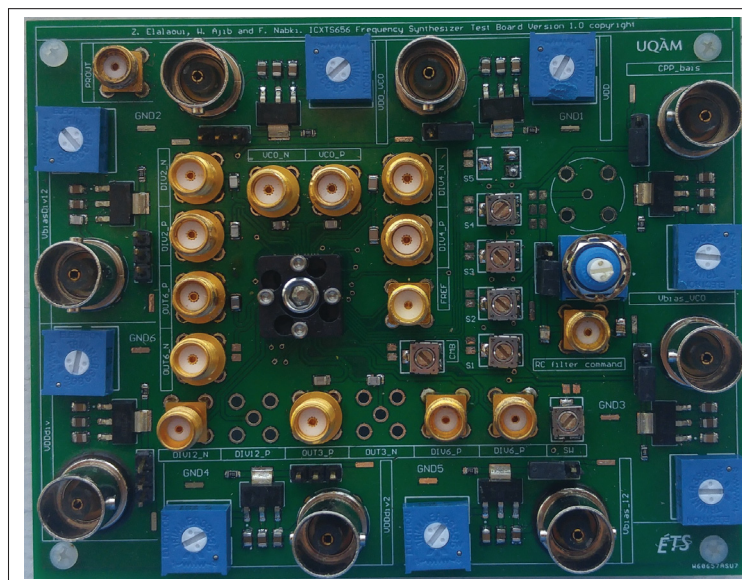


Figure 5.8 Circuit imprimé de la deuxième puce.

La Figure 5.9 présente le spectre de sortie du VCO pour une variation de la tension de contrôle des varactors V_{ctrl} entre 0,1 V et 1 V par un pas de 0,1 V. Il est clair que la bande de fréquence couverte atteint 500 MHz ce qui concorde bien avec la simulation de la plage d'accord du VCO montrée sur la Figure 4.3 ainsi que le gain K_{vco} choisi.

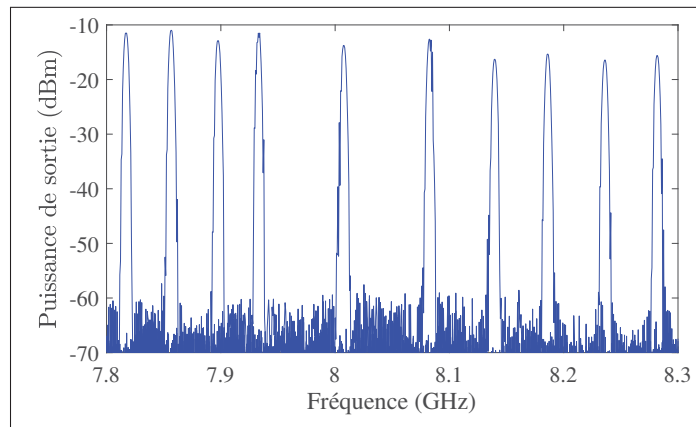


Figure 5.9 Spectre de sortie du VCO pour une variation de V_{ctrl} entre 0,1 V et 1 V.

Pour une tension d'alimentations V_{DD2} de 1,2 V, la consommation de puissance mesurée du QVCO est de 3,4 mW. De plus, le bruit de phase mesuré à une fréquence de 8,3 GHz en oscillation libre est de -107 dBc/Hz à un décalage de fréquence de 1 MHz comme le montre la Figure 5.10.

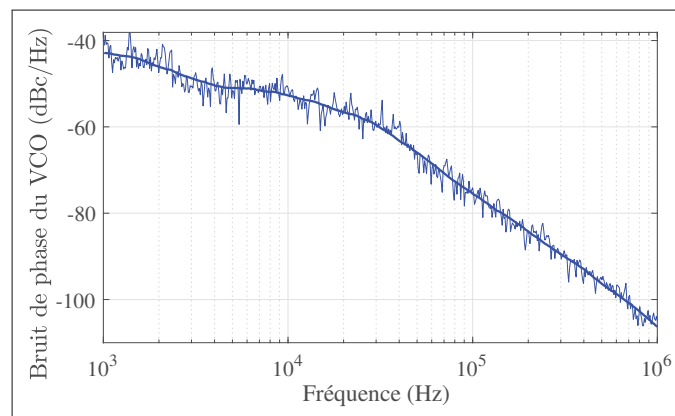


Figure 5.10 Bruit de phase du VCO en oscillation libre.

Le QVCO assure une figure de mérite calculée, en se basant sur l'équation (3.4), de 205. D'autre part, le défaut d'appariement (en anglais *mismatch*) de l'amplitude et de la phase du signal en quadrature du QVCO est présenté par la Figure 5.11.

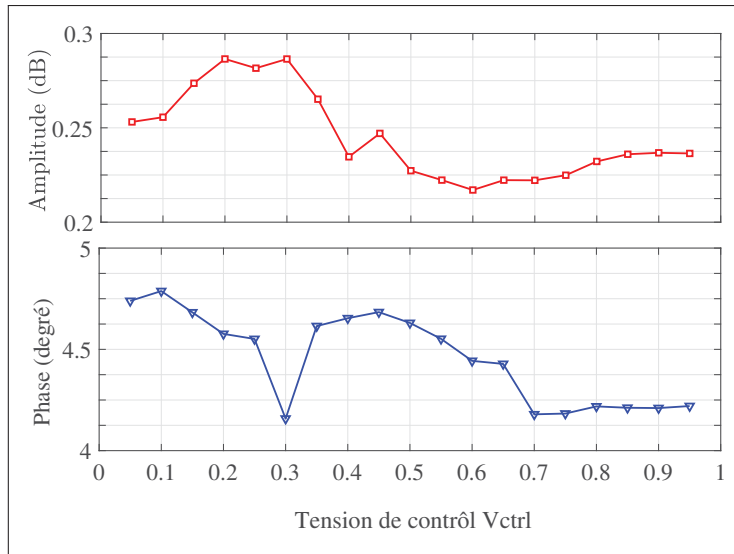


Figure 5.11 Défaut d'appariement d'amplitude et de phase du QVCO.

Le défaut d'appariement d'amplitude indiqué à une fréquence d'opération de 8,3 GHz est de 0,29 dB alors que la valeur maximale du défaut d'appariement de phase est de 4,9°.

La performance du bruit de phase du synthétiseur de fréquence proposé est présentée par la Figure 5.12. Le bruit de phase mesuré à la fréquence 8 GHz indique une largeur de bande passante de 105 kHz, ce qui représente un bon accord avec la valeur simulée (110 kHz). En outre, les bruits de phase mesurés, en générant les fréquences porteuses 8 GHz et 1,9 GHz, sont -105,8 dBc/Hz et -120 dBc/Hz respectivement.

Le bruit de phase en dehors de la boucle (en anglais *out-of-band*) est dominé par la contribution du VCO alors que le bruit à l'intérieure de la boucle (en anglais *in-band*) est relativement élevé à cause de la valeur élevée du facteur de division N de la boucle.

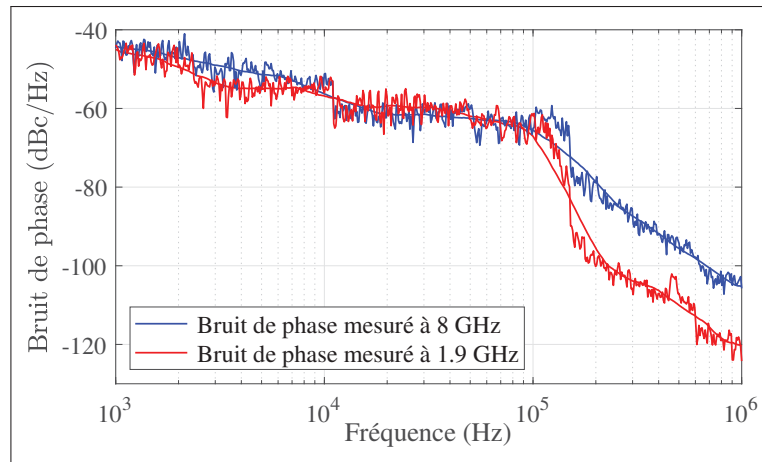


Figure 5.12 Bruit de phase à la sortie du synthétiseur de fréquence.

La Figure 5.13 présente le spectre de sortie du synthétiseur de fréquence proposé pour une fréquence porteuse générée de 8,3 GHz. Comme montré, le niveau de fréquence parasite le plus haut est inférieure à la fréquence porteuse de 65 dBc. De plus, la gigue d'horloge intégrée (en

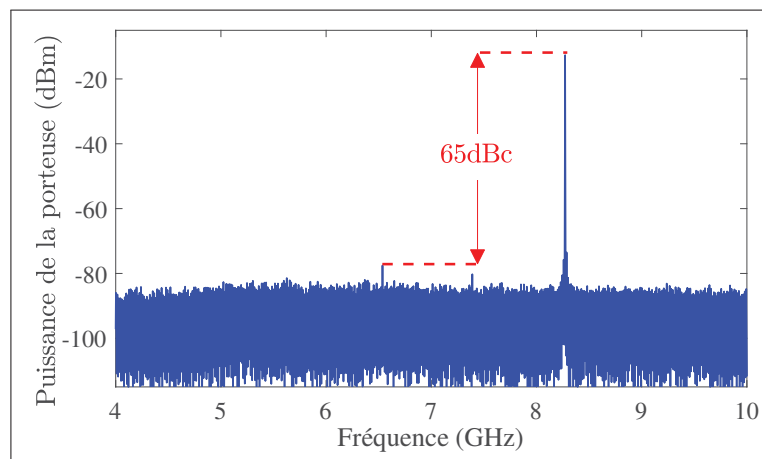


Figure 5.13 Bruit de phase à la sortie du synthétiseur de fréquence.

anglais *integrated jitter*) de la PLL mesurée entre 100 kHz et 100 MHz est de 647 fs avec une consommation de puissance mesurée qui atteint 15,7 mW.

La figure de mérite gigue d'horloge/puissance (en anglais *jitter-power figure of merit* ou FOM_j) de la PLL s'écrit comme suit :

$$FOM_j = 10 \log_{10} \left[\left(\frac{\sigma_f}{1s} \right)^2 \cdot \left(\frac{P_{PLL}}{1mW} \right) \right], \quad (5.1)$$

avec σ_f qui représente la gigue d'horloge intégrée de la PLL et P_{PLL} qui symbolise la consommation de puissance de la PLL. Par conséquent, la FOM_j calculée du synthétiseur est -232.

De plus, le synthétiseur de fréquence consomme 26,57 mW pour générer une fréquence porteuse de 140 MHz.

La distribution de la consommation de puissance des différents composants du synthétiseur proposé est montrée par la Figure 5.14. La consommation des diviseurs de fréquence CML est dominante par rapport à la consommation des autres composants.

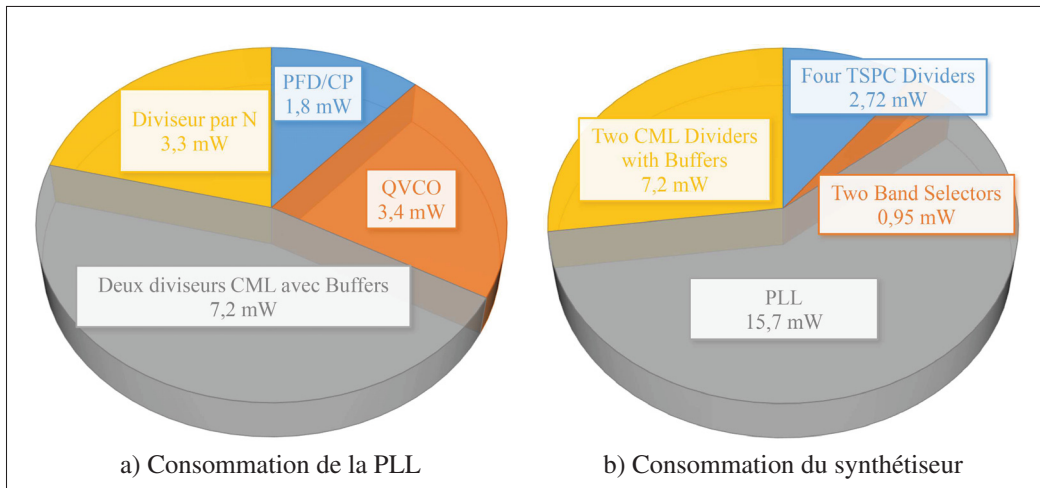


Figure 5.14 Distribution de la consommation de puissance.

La performance de l'architecture proposée du synthétiseur fréquence est résumée puis comparée, à certaines architectures précédemment publiées dans la littérature, dans le Tableau 5.1.

Tableau 5.1 Comparaison des synthétiseurs de fréquence

	Raczkowski JSSC'15	Shin JSSC'12	Sharkia TCAS-I'19	Liao JSSC'18	Borremans JSSC'10	Osmany JSSC'10	Ce travail
Technologie CMOS	28 nm	0,13 μ m	0,13 μ m	0,13 μ m	40 nm	0,25 μ m*	0,13 μ m
f_{ref}(MHz)	40	40	19,2	50	40	variable	11,7
f_c (GHz)	10	3,9	2,46	2,4	7,5 ; 10,5	22 ; 26	8,3
T_R (%)	32	65	24	3	28 ; 44	34	40
Bandes (GHz)	9,2~12,7	1,9~3,8	2,2~2,8	2,39~2,46	0,08~12	0,6~4,6 5~7 10~14 20~28	0,01~9
ω_{BW} (MHz)	1,8	0,224	0,7	1,5	0,5	variable	0,12
$\mathcal{L}$ (à 1 MHz)	-138 (10 GHz) ¹	-116 (3,9 GHz)	-128 (2,46 GHz)	-120 (2,4 GHz)	-108 (7 GHz)	-108 (24 GHz)	-106 (8 GHz)
FOM_V	203	207	208,5	177	201	200,5	205
σ_t (fs)	280	-	490	169	560	-	637
P_{PLL} (mW)	13	12,8	6,8	21	30	680	15,7
FOM_j	-240	-	-237,8	-242	-230,2	-	-232
Spurs (dBc)	-60	-77,7	-65	-72	-63	-70	-65
Area (mm²)	1	0,65	0,12	0,43	0,28	4×1,2	0,7×0,7

* Technologie SiGe BiCMOS. ¹Bruit de phase à un décalage de fréquence de 20 MHz.

Comme montré, l'architecture du synthétiseur de fréquence, à base de PLL, proposée dans cette thèse assure une large bande de fréquence en utilisant un seul VCO avec un seul mélangeur SSB. Le VCO utilisé atteint une FOM_V de 205 étant la meilleure FOM_V obtenue comparée aux synthétiseurs qui génèrent de très larges bandes présentés dans le Tableau 5.1. En outre, les performances de notre architecture proposée, réalisée en technologie CMOS $0,13\mu\text{m}$, en termes de consommation de puissance, gigue d'horloge intégrée, génération des fréquences parasites ainsi que le bruit de phase sont favorablement comparables aux autres architectures de la littérature.

CONCLUSION ET RECOMMANDATIONS

Une architecture de synthétiseur de fréquence dédiée à un spectre très large utilisé dans plusieurs communications avioniques représente la contribution principale de ce travail de doctorat. Entièrement intégrée en technologie CMOS 0,13 μm , l'architecture proposée génère une large bande de fréquences porteuses comprise entre 100 MHz et 10 GHz à travers une PLL munie d'un QVCO unique à banque de condensateur et un seul mélangeur SSB.

La revue de littérature présentée dans le premier chapitre a permis de situer le travail par rapport aux autres systèmes équivalents qui sont proposés dans la littérature. Cette revue a aussi permis de définir les trois architectures de synthétiseur à base de PLL les plus utilisées pour la génération des fréquences qui atteignent 10 GHz.

L'analyse et la comparaison des trois architectures ont fait l'objet du Chapitre 2. La comparaison entre l'architecture du synthétiseur S-VCO, l'architecture du synthétiseur Multi-VCO et l'architecture de synthétiseur SSB-m a permis de choisir l'architecture SSB-m comme étant celle la plus convenable au spectre avionique étalé sur la bande de fréquence comprise entre 10 MHz et 10 GHz.

Le Chapitre 3 présente l'analyse de l'architecture du synthétiseur de fréquence et de ses blocs internes avec toutes les considérations suivies ainsi que la stratégie d'implémentation adoptée. Le modèle linéaire et le bruit de phase de la PLL a été analysé afin de pouvoir sélectionner les caractéristiques et les paramètres clés qui répondent aux exigences de la conception. Par la suite, le VCO convenable à l'application a été conçu en topologie couplé croisé complémentaire muni d'une banque de condensateurs tout en respectant les considérations et les contraintes d'implémentation analysées. Le détecteur fréquence/phase (PFD), la pompe de charge, les diviseurs de fréquence, le mélangeur SSB et les multiplexeurs ont été conçus tout en respectant les contraintes de fréquence et les considérations d'implémentations en technologie CMOS 0,13 μm .

Le Chapitre 4 présente les résultats de simulation des différents blocs précédemment analysés et conçus au Chapitre 3. Les simulations post-layout montrent que le QVCO assure une plage d'accord de 40% avec un bruit de phase de $-107,6 \text{ dBc/Hz}$ à un décalage de fréquence de 1 MHz et une consommation de puissance de 2,9 mW. La faible dissipation de puissance et le faible bruit de phase garantissent une figure de mérite attrayante de 208. D'autre part, le PFD et la pompe de charge présentent une caractéristique sans zone morte et un décalage de 2% entre le courant de charge et celui de décharge. De plus, les diviseurs en CML peuvent assurer l'opération de division en consommant une puissance de 2,76 mW. Le diviseur programmable conçu fournit les coefficients de division nécessaires à une consommation totale de 3,78 mW. Par ailleurs, le mélangeur SSB garantit une large linéarité avec un point de compression à 1dB de 14,02 dBm avec un IIP3 de 19,2 dBm alors que les multiplexeurs assurent une isolation satisfaisante avec une commutation rapide. La marge de phase de la PLL montre que le synthétiseur est stable avec une bande passante qui permet un temps de stabilisation de $3,49 \mu\text{s}$. Le bruit de phase simulé à 9,8 GHz est de -107 dBc/Hz avec une consommation globale de 26 mW.

Le chapitre 5 présente les résultats des tests expérimentaux obtenus sur le système proposé. Les tests réalisés sur la première puce fabriquée n'ont pas permis de valider les résultats des simulations à cause d'une chute du courant de bias du VCO qui a empêché le démarrage de l'oscillation. Plusieurs hypothèses ont été évoquées pour diagnostiquer ce problème. Une investigation a été réalisée sur le système afin de palier à la difficulté de démarrage du VCO. Cette investigation a été prise en considération lors de la conception et la fabrication d'une deuxième puce. Les tests réalisés sur la deuxième puce fabriquée ont montré que le VCO peut atteindre une fréquence maximale de 9 GHz avec un bruit de phase mesuré à 8 GHz de -107 dBc/Hz pour une consommation de puissance de 3,4 mW en oscillation libre. Par conséquent, le FOM_V obtenu est de 205 (la valeur simulée atteint 208). Les tests ont pu aussi montrer que le bruit de phase du synthétiseur mesuré est -106 dBc/Hz avec une gigue d'horloge

intégrée de 637 fs et une puissance consommée de 15,7 mW. Ce qui engendre une FOM_j de -232. Les résultats des tests expérimentaux ont montré une baisse de performance du synthétiseur. Pourtant, ces résultats restent favorablement comparable aux autres systèmes capables de générer des bandes de fréquences larges avec une meilleure FOM_V .

Le synthétiseur proposé offre une large bande de fréquence qui s'étale jusqu'à 10 GHz avec un VCO unique. Les résultats obtenus du VCO conçu dans cette thèse inspire à concevoir un VCO à banque de condensateurs apte à générer une bande de fréquence de 12 GHz à 18 GHz en technologie 65 nm. Ce VCO représentera le cœur d'un synthétiseur de fréquence qui garantit une bande de fréquence comprise entre 100 MHz et 18 GHz afin de garantir aussi la bande de fréquence Ku.

D'autre part, la PLL proposée utilise un oscillateur à quartz. Nous allons essayer de tester le fonctionnement de notre PLL avec un oscillateur MEMS (*Micro-Electro-Mechanical Systems*) réalisé par un collègue du laboratoire. Ce teste permettra de voir le comportement du synthétiseur surtout au terme du bruit de phase avec un oscillateur MEMS.

De plus, la réalisation d'une tête RF agile composée d'un amplificateur LNA, d'un mélangeur et d'un synthétiseur de fréquence implémentés sur la même puce pour des fréquences qui atteignent 18 GHz représente aussi un défi intéressant pour les travaux futures.

ANNEXE I

LISTE DES PUBLICATIONS

- 1 Z. El Alaoui, W. Ajib, F. Gagnon and F. Nabki, *100 MHz-9 GHz Frequency Synthesizer for Avionic SDR Applications*, IEEE Transaction on Circuit and System I, soumis.
- 2 Z. El Alaoui, W. Ajib, F. Gagnon and F. Nabki, *Frequency Synthesizers Comparison for Communication Applications Up to 25 GHz*, IEEE New Circuits and Systems Conference, Munich, 2019.
- 3 Z. El Alaoui, W. Ajib, F. Gagnon and F. Nabki, *0.13 μm CMOS fully integrated 0.1-12 GHz frequency synthesizer for avionic SDR applications*, IEEE International Symposium on Circuits and Systems (ISCAS), Baltimore, MD, 2017.
- 4 Z. El Alaoui, W. Ajib, F. Gagnon and F. Nabki, *Very Wide Range Frequency Synthesizer Architecture for Avionic SDR Applications*, IEEE International Conference on Ubiquitous Wireless Broadband(ICUWB), Montreal, QC, 2015.
- 5 Z. Elalaoui , F. Nabki, W. Ajib et C. Thibeault, *A 0.35-6.25 GHz Cognitive Radio Frequency Synthesizer Architecture*, IEEE 56th Intl Midwest Symposium on Circuits and Systems (MWSCAS2013), Columbus, Ohio, août 2013.
- 6 Z. Elalaoui , F. Nabki, W. Ajib et M. Boukadoum, *A 500 MHz to 6 GHz Frequency Synthesizer Architecture for Cognitive Radio Applications*, IEEE International Conference on Electronics, Circuits, and Systems (ICECS 2012), Seville, Espagne, décembre 2012.

BIBLIOGRAPHIE

- Abdelkader, S., Omar, M. & M., D. (2009, May). 1-V, high speed, low leakage CMOS CML multiplexer. *IEEE International Symposium on Circuits and Systems*, pp. 3154-3157.
- Adiseno, I., Ismail, M. & Olsson, H. (2002). A Wide-band RF Front-End for Multiband Multistandard High-Linearity Low-IF Wireless Receivers. *Solid-State Circuits, IEEE Journal of*, 37(9), 1162-1168.
- Analui, B., Mercer, T., Mandegaran, S., Goel, A. & Hashemi, H. (2014, June). A 50 MHz–6 GHz, 2–2 MIMO, Reconfigurable Architecture, Software-Defined Radio in 130 nm CMOS. *Radio Frequency Integrated Circuits Symposium, 2014 IEEE*, pp. 329-332.
- Azadbakht, M., Sahafi, A. & Aghdam, E. N. (2016). Low power fractional-N frequency synthesizer for IEEE 802.11 a/b/g/n standards in 90-nm CMOS. *2016 24th Iranian Conference on Electrical Engineering (ICEE)*, pp. 1481-1485.
- Best, R. E. (1999). *Phase-locked loops : Design, simulation and applications* (éd. 4). McGraw Hill.
- Borremans, J., Vengattaramane, K., Giannini, V., Debaillie, B., Van Thillo, W. & Craninckx, J. (2010). A 86 MHz–12 GHz Digital-Intensive PLL for Software-Defined Radios, Using a 6 fJ/Step TDC in 40 nm Digital CMOS. *Solid-State Circuits, IEEE Journal of*, 45(10), 2116-2129.
- Cali, J. D., Grens, C. M., Turner, S. E., Jansen, D. S. & Kushner, L. J. (2015). 20-GHz PLL-based configurable frequency generator in 180nm SiGe-on-SOI BiCMOS. *2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, pp. 401-404.
- Chen, B., Luo, W., Wang, F., Lin, Y., Yan, N. & Xu, H. (2020). A 22.5-31.2-GHz Continuously Tuning Frequency Synthesizer With 8.7-GHz Chirp for FMCW Applications. *IEEE Microwave and Wireless Components Letters*, 1-4.
- Chen, J., Huang, D., Li, W., Zou, J. & Li, C. (2013, April). Wideband Fraction-N Frequency Synthesizer Design for Software-Defined Radio. *Wireless and Microwave Technology Conference (WAMICON), 2013 IEEE 14th Annual*, pp. 1-6.
- Chen, L. e. a. (2014). A 4.2 mm² 72 mW Multistandard Direct-Conversion DTV Tuner in 65 nm CMOS. *IEEE Transactions on Circuits and Systems*, 61(1), 280-292.
- Chen, R. & Hashemi, H. (2014). A 0.5-to-3 GHz Software-Defined Radio Receiver Using Discrete-Time RF Signal Processing. *Solid-State Circuits, IEEE Journal of*, 49(5), 1097-1111.

- Copani, T., Asero, C., Colombo, M., Aliberti, P., Martino, G. & Clerici, F. (2016). 2.4 A 2-to-16GHz BiCMOS Delta Sigma fractional-N PLL synthesizer with integrated VCOs and frequency doubler for wireless backhaul applications. *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, pp. 42-43.
- Dayaratna, L. (2012, June). Frequency Synthesizer Design for Communications Satellite Payloads. *Microwave Symposium Digest (MTT), 2012 IEEE MTT-S International*, pp. 1-3.
- Deng, W., Hara, S., Musa, A., Okada, K. & Matsuzawa, A. (2014). A Compact and Low-Power Fractionally Injection-Locked Quadrature Frequency Synthesizer Using a Self-Synchronized Gating Injection Technique for Software-Defined Radios. *Solid-State Circuits, IEEE Journal of*, 49(9), 1984-1994.
- Drechsel, T., Joram, N. & Ellinger, F. (2019). An Ultra-Wideband 3-23 GHz VCO Array with high continuous tuning range for FMCW Radar application. *2019 12th German Microwave Conference (GeMiC)*, pp. 103-106.
- Elalaoui, Z., Nabki, F., Ajib, W. & Boukadoum, M. (2012, Dec). A 500 MHz to 6 GHz Frequency Synthesizer Architecture for Cognitive Radio Applications. *Electronics, Circuits and Systems (ICECS), 2012 19th IEEE International Conference on*, pp. 597-600.
- Elalaoui, Z., Ajib, W., Gagnon, F. & Nabki, F. (2015). Very Wide Range Frequency Synthesizer Architecture for Avionic SDR Applications. *IEEE International Conference on Ubiquitous Wireless Broadband (ICUWB)*, pp. 1-5.
- Elalaoui, Z., Ajib, W., Gagnon, F. & Nabki, F. (2017, Sep). A 0.13 μm CMOS fully integrated 0.1-12 GHz frequency synthesizer for avionic SDR applications. *ISCAS, IEEE International Conference on*, pp. 1-4.
- Ergintav, A., Herzel, F., Fischer, G. & Kissinger, D. (2019). Multiplexed Twin PLLs for Wide-Band FMCW Chirp Generation in 130-nm BiCMOS. *IEEE Microwave and Wireless Components Letters*, 29(7), 483-485.
- Fiorelli, R. (2005). *Low Power Integrated LC Voltage Controlled Oscillator in CMOS Technology at 900MHz*. (Mémoire de maîtrise, Universidad de la Republica Montevideo, Uruguay, Montevideo, Uruguay).
- Hampel, S., Schmitz, O., Tiebout, M., Mertens, K. & Rolfes, I. (2012). 9-GHz Wideband CMOS RX and TX Front-Ends for Universal Radio Applications. *Microwave Theory and Techniques, IEEE Transactions on*, 60(4), 1105-1116.
- He, X. (2007). *Low Phase Noise CMOS PLL Frequency Synthesizer Design and Analysis*. (Thèse de doctorat, University of Maryland, Maryland, USA).
- Herzel, F., Ergintav, A., Borngraeber, J., Ng, H. J. & Kissinger, D. (2017). Design of a low-jitter wideband frequency synthesizer for 802.11ad wireless OFDM systems using

- a frequency sextupler. *2017 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1-4.
- Hu, A., Liu, D. & Zhang, K. (2019). A 0.03- to 3.6-GHz Frequency Synthesizer With Self-Biased VCO and Quadrature-Input Quadrature-Output Frequency Divider. *IEEE Transactions on Circuits and Systems II : Express Briefs*, 66(12), 1997-2001.
- Hu, A., Liu, D., Zhang, K., Liu, L. & Zou, X. (2020). A 0.045- to 2.5-GHz Frequency Synthesizer With TDC-Based AFC and Phase Switching Multi-Modulus Divider. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 1-14.
- Huang, D., Li, W., Zhou, J., Li, N. & Chen, J. (2011). A Frequency Synthesizer with Optimally Coupled QVCO and Harmonic-Rejection SSB mixer for Multi-Standard Wireless Receiver. *Solid-State Circuits, IEEE Journal of*, 46(6), 1307-1320.
- Huh, H., Koo, Y., Lee, K.-Y., Ok, Y., Lee, S., Kwon, D., Lee, J., Park, J., Lee, K., Jeong, D.-K. & Kim, W. (2005). Comparison Frequency Doubling and Charge Pump Matching Techniques for Dual-Band Delta-Sigma; Fractional-N Frequency Synthesizer. *Solid-State Circuits, IEEE Journal of*, 40(11), 2228-2236.
- ICAO. (2015, march). Aviation Frequency Spectrum and the ITU World Radiocommunication Conferences [Format]. Repéré à http://www.icao.int/safety/acp/repository/ITU_presentation_to_C187.pdf.
- Im, D., Kim, H. & Lee, K. (2012). A Broadband CMOS RF Front-End for Universal Tuners Supporting Multi-Standard Terrestrial and Cable Broadcasts. *Solid-State Circuits, IEEE Journal of*, 47(2), 392-406.
- Ismail, A. & Abidi, A. (2005). A 3.1–8.2 GHz Zero-IF Receiver and Direct Frequency Synthesizer in 0.18 μ m SiGe BiCMOS for Mode-2 MB-OFDM UWB Communication. *Solid-State Circuits, IEEE Journal of*, 40(12), 2573-2582.
- Jain, V., Javid, B. & Heydari, P. (2009). A BiCMOS Dual-Band Millimeter-Wave Frequency Synthesizer for Automotive Radars. *Solid-State Circuits, IEEE Journal of*, 44(8), 2100-2113.
- Kaltioikallio, M., Saari, V., Kallioinen, S., Parssinen, A. & Ryyanen, J. (2012). Wideband 2 to 6 GHz RF Front-End With Blocker Filtering. *Solid-State Circuits, IEEE Journal of*, 47(7), 1636-1645.
- Kang, S., Chien, J.-C. & Niknejad, A. (2014). A W-Band Low-Noise PLL With a Fundamental VCO in SiGe for Millimeter-Wave Applications. *Microwave Theory and Techniques, IEEE Transactions on*, 62(10), 2390-2404.
- Khannur, P., Chen, X., Yan, D. L., Shen, D., Zhao, B., Raja, M., Wu, Y., Sindunata, R., Yeoh, W. G. & Singh, R. (2008). A Universal UHF RFID Reader IC in 0.18 μ m CMOS Technology. *Solid-State Circuits, IEEE Journal of*, 43(5), 1146-1155.

- Khorram, S., Darabi, H., Zhou, Z., Li, Q., Marholev, B., Chiu, J., Castaneda, J., Chien, H.-M., Anand, S., Wu, S., Pan, M.-A., Roofougaran, R., Kim, H. J., Lettieri, P., Ibrahim, B., Rael, J., Tran, L., Geronaga, E., Yeh, H., Frost, T., Trachewsky, J. & Rofougaran, A. (2005). A Fully Integrated SOC for 802.11b in 0.18 μm CMOS. *Solid-State Circuits, IEEE Journal of*, 40(12), 2492-2501.
- Kim, J., Lim, Y., Yoon, H., Lee, Y., Park, H., Cho, Y., Seong, T. & Choi, J. (2019a). An Ultra-Low-Jitter, mmW-Band Frequency Synthesizer Based on Digital Subsampling PLL Using Optimally Spaced Voltage Comparators. *IEEE Journal of Solid-State Circuits*, 54(12), 3466-3477.
- Kim, J., Lim, Y., Yoon, H., Lee, Y., Park, H., Cho, Y., Seong, T. & Choi, J. (2019b). An Ultra-Low-Jitter, mmW-Band Frequency Synthesizer Based on Digital Subsampling PLL Using Optimally Spaced Voltage Comparators. *IEEE Journal of Solid-State Circuits*, 54(12), 3466-3477.
- Kim, J., Yoon, H., Lim, Y., Lee, Y., Cho, Y., Seong, T. & Choi, J. (2019c). 16.2 A 76fsrms Jitter and -40dBc Integrated-Phase-Noise 28-to-31GHz Frequency Synthesizer Based on Digital Sub-Sampling PLL Using Optimally Spaced Voltage Comparators and Background Loop-Gain Optimization. *2019 IEEE International Solid- State Circuits Conference - (ISSCC)*, pp. 258-260.
- Kim, J., Lee, S. J., Kim, S., Ha, J. O., Eo, Y. S. & Shin, H. (2011). A 54–862 MHz CMOS Transceiver for TV-Band White-Space Device Applications. *Microwave Theory and Techniques, IEEE Transactions on*, 59(4), 966-977.
- Kim, N. & Rabaey, J. M. (2018). A 3.1–10.6-GHz 57-Bands CMOS Frequency Synthesizer for UWB-Based Cognitive Radios. *IEEE Transactions on Microwave Theory and Techniques*, 66(9), 4134-4146.
- Koukab, A., Lei, Y. & Declercq, M. (2006). A GSM-GPRS/UMTS FDD-TDD/WLAN 802.11a-b-g Multi-Standard Carrier Generation System. *Solid-State Circuits, IEEE Journal of*, 41(7), 1513-1521.
- Kroupa, V. (2003). *Phase Lock loops and frequency synthesis*. Wiley, New York.
- Kuai, L., Hong, W., Chen, J. & Zhou, H. (2019). A Frequency Synthesizer for LO in Millimeter-wave 5G Massive MIMO System. *2019 IEEE Asia-Pacific Microwave Conference (APMC)*, pp. 1014-1016.
- Lee, C.-H., Kabalican, L., Ge, Y., Kwantono, H., Unruh, G., Chambers, M. & Fujimori, I. (2015). A 2.7 GHz to 7 GHz Fractional-N LC-PLL Utilizing Multi-Metal Layer SoC Technology in 28 nm CMOS. *Solid-State Circuits, IEEE Journal of*, PP(99), 1-11.
- Lee, J. (2006). A 3-to-8-GHz Fast-Hopping Frequency Synthesizer in 0.18 μm CMOS Technology. *Solid-State Circuits, IEEE Journal of*, 41(3), 566-573.

- Lee, T. (2004). *The design of CMOS radio-frequency integrated circuits* (éd. 2). Cambridge University Press.
- Levantino, S., Marzin, G., Samori, C. & Lacaita, A. (2013). A Wideband Fractional-N PLL With Suppressed Charge-Pump Noise and Automatic Loop Filter Calibration. *Solid-State Circuits, IEEE Journal of*, 48(10), 2419-2429.
- Li, A., Zheng, S., Yin, J., Luo, X. & Luong, H. (2014). A 21–48 GHz Subharmonic Injection-Locked Fractional-N Frequency Synthesizer for Multiband Point-to-Point Backhaul Communications. *Solid-State Circuits, IEEE Journal of*, 49(8), 1785-1799.
- Li, Z., Cheng, G., Han, T., Li, Z. & Tian, M. (2020). A 23-36.8-GHz Low-Noise Frequency Synthesizer With a Fundamental Colpitts VCO Array in SiGe BiCMOS for 5G Applications. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 1-14.
- Liao, D., Zhang, Y., Dai, F. F., Chen, Z. & Wang, Y. (2020). An mm-Wave Synthesizer With Robust Locking Reference-Sampling PLL and Wide-Range Injection-Locked VCO. *IEEE Journal of Solid-State Circuits*, 55(3), 536-546.
- Lin, J., Song, Z., Qi, N., Rhee, W., Wang, Z. & Chi, B. (2018). A 77-GHz Mixed-Mode FMCW Signal Generator Based on Bang-Bang Phase Detector. *IEEE Journal of Solid-State Circuits*, 53(10), 2850-2863.
- Liu, X. & Luong, H. C. (2019). A 270-Ghz Fully-Integrated Frequency Synthesizer in 65nm CMOS. *2019 Symposium on VLSI Circuits*, pp. C40-C41.
- Lo, Y.-C., Rashidi, N., Hwang, Y.-H. & Silva-Martinez, J. (2015, May). A 0.6ps Jitter 2-16 GHz 130nm CMOS Frequency Synthesizer for Broadband Applications. *Circuits and Systems (ISCAS), 2015 IEEE International Symposium on*, pp. 3048-3051.
- Lu, T.-Y. & Chen, W.-Z. (2012). A 3–10 GHz, 14 Bands CMOS Frequency Synthesizer With Spurs Reduction for MB-OFDM UWB System. *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, 20(5), 948-958.
- Mazzanti, A., Vahidfar, M., Sosio, M. & Svelto, F. (2010). A Low Phase-Noise Multi-Phase LO Generator for Wideband Demodulators Based on Reconfigurable Sub-Harmonic Mixers. *Solid-State Circuits, IEEE Journal of*, 45(10), 2104-2115.
- Mercandelli, M., Santiccioli, A., Parisi, A., Bertulesi, L., Cherniak, D., Lacaita, A. L., Samori, C. & Levantino, S. (2020). 17.5 A 12.5GHz Fractional-N Type-I Sampling PLL Achieving 58fs Integrated Jitter. *2020 IEEE International Solid-State Circuits Conference - (ISSCC)*, pp. 274-276.
- Milevsky, B., Ariaudo, M., Gautier, J. & Fijalkow, I. (2015). A simplified frequency synthesizer architecture thanks to interference cancellation. *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1506-1509.

- Mishra, C., Valdes-Garcia, A., Bahmani, F., Batra, A., Sanchez-Sinencio, E. & Silva-Martinez, J. (2005). Frequency Planning and Synthesizer Architectures for Multiband OFDM UWB Radios. *Microwave Theory and Techniques, IEEE Transactions on*, 53(12), 3744-3756.
- Mo, Y., Skafidas, E., Evans, R. & Mareels, I. (2008). A 40 GHz Power Efficient Static CML Frequency Divider in 0.13 μ m CMOS Technology for High Speed Millimeter-Wave Wireless Systems. *IEEE International Conference on Circuits and Systems for Communications*, pp. 812-815.
- Musa, A., Murakami, R., Sato, T., Chaivipas, W., Okada, K. & Matsuzawa, A. (2011). A Low Phase Noise Quadrature Injection Locked Frequency Synthesizer for MM-Wave Applications. *Solid-State Circuits, IEEE Journal of*, 46(11), 2635-2649.
- Nabki, F., Allidina, K., Ahmad, F., Cicek, P.-V. & El-Gamal, M. (2009). A Highly Integrated 1.8 GHz Frequency Synthesizer Based on a MEMS Resonator. *Solid-State Circuits, IEEE Journal of*, 44(8), 2154-2168.
- Nasr, I., Knapp, H., Aufinger, K., Weigel, R. & Kissinger, D. (2014). A 50–100 GHz Highly Integrated Octave-Bandwidth Transmitter and Receiver Chipset in 0.35 μ m SiGe Technology. *Microwave Theory and Techniques, IEEE Transactions on*, 62(9), 2118-2131.
- Nehring, J., Dietz, M., Aufinger, K., Fischer, G., Weigel, R. & Kissinger, D. (2016). A 4–32-GHz Chipset for a Highly Integrated Heterodyne Two-Port Vector Network Analyzer. *IEEE Transactions on Microwave Theory and Techniques*, 64(3), 892-905.
- norm. (2015). *Aviation Frequency Spectrum and the ITU World Radiocommunication Conferences*. Norme Abréviation de l'organisme auteur Numéro de la norme. Lieu de publication : norm.
- Oh, H. M., Kim, J. S., Lim, J. T. & Kim, C. Y. (2017). A 2.4-GHz High Conversion Gain Passive Mixer Using Q -Boosted π -Type LCL Matching Networks in 90-nm CMOS. *IEEE Microwave and Wireless Components Letters*, 27(8), 736-738.
- Osmany, S., Herzel, F. & Scheytt, J. (2010). An Integrated 0.6–4.6 GHz, 5–7 GHz, 10–14 GHz, and 20–28 GHz Frequency Synthesizer for Software-Defined Radio Applications. *Solid-State Circuits, IEEE Journal of*, 45(9), 1657-1668.
- Peng, K.-C., Lee, C.-H., Chen, C.-H. & Horng, T.-S. (2013). Enhancement of Frequency Synthesizer Operating Range Using a Novel Frequency-Offset Technique for LTE-A and CR Applications. *Microwave Theory and Techniques, IEEE Transactions on*, 61(3), 1215-1223.
- Prinzie, J., Andrabi, S., Beghein, C., Cao, C., Guo, X., Strange, J. & Tenbroek, B. (2020). A Fast Locking 5.8 – 7.2 GHz Fractional-N Synthesizer with Sub-2 μ s Settling Time in 22 nm FDSOI. *IEEE Symposium on VLSI Circuits*, pp. 1-2.

- Qiu, L., Liu, S., Zhang, Y., Zhu, Y., Tang, K. & Zheng, Y. (2017). A 0.9–2.6 GHz Cognitive Radio Receiver With Spread Spectrum Frequency Synthesizer for Spectrum Sensing. *IEEE Sensors Journal*, 17(22), 7569-7577.
- Raczkowski, K., Markulic, N., Hershberg, B. & Craninckx, J. (2015a). A 9.2–12.7 GHz Wideband Fractional-N Subsampling PLL in 28 nm CMOS With 280 fs RMS Jitter. *Solid-State Circuits, IEEE Journal of*, PP(99), 1-11.
- Raczkowski, K., Markulic, N., Hershberg, B. & Craninckx, J. (2015b). 9.2-12.7 GHz Wideband Fractional-N Subsampling PLL in 28 nm CMOS with 280 fs RMS Jitter. *Solid-State Circuits, IEEE Journal of*, 50(5), 1203-1213.
- Razavi, B. (2003). *Phase-Locking in High-Performance Systems : From Devices to Architectures*. Wiley-IEEE Press, New York.
- Razavi, B. (2009, June). Multi-Decade Carrier Generation for Cognitive Radios. *VLSI Circuits, 2009 Symposium on*, pp. 120-121.
- Razavi, B. (2012). *RF microelectronics, second edition*. Pearson education, New York.
- Rohde, U. & Newkirk, D. (2012). *RF Microwave Circuit Design for Wireless Applications, 2nd Edition*. Wiley, New York.
- Rong, S., Yin, J. & Luong, H. (2015). A 0.05-to-10GHz, 19-to-22GHz, and 38-to-44GHz Frequency Synthesizer for Software-Defined Radios in 0.13 μ m CMOS Process. *Circuits and Systems II : Express Briefs, IEEE Transactions on*, 1-1.
- Rong, S., Yin, J. & Luong, H. C. (2016). A 0.05 to 10 GHz, 19 to 22 GHz, and 38 to 44 GHz Frequency Synthesizer for Software-Defined Radios in 0.13 μ m CMOS Process. *Transactions on Circuits and Systems, IEEE Journal of*, 44(8), 598-614.
- Rong, S. & Luong, H. (2011, Feb). A 0.05-to-10 GHz 19-to-22GHz and 38-to-44GHz SDR Frequency Synthesizer in 0.13 μ m CMOS. *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, pp. 464-466.
- Roovers, R., Leenaerts, D., Bergervoet, J., Harish, K., van de Beek, R., van der Weide, G., Waite, H., Zhang, Y., Aggarwal, S. & Razzell, C. (2005). An Interference-Robust Receiver for Ultra-Wideband Radio in SiGe BiCMOS Technology. *Solid-State Circuits, IEEE Journal of*, 40(12), 2563-2572.
- Sandner, C., Derksen, S., Draxelmayr, D., Ek, S., Filimon, V., Leach, G., Marsili, S., Matveev, D., Mertens, K., Michl, F., Paule, H., Punzenberger, M., Reindl, C., Salerno, R., Tiebout, M., Wiesbauer, A., Winter, I. & Zhang, Z. (2006). A WiMedia/MBOA-Compliant CMOS RF Transceiver for UWB. *Solid-State Circuits, IEEE Journal of*, 41(12), 2787-2794.

- Sansen, W., Huijsing, J. & van de Plassche, J. (1999). *Analog Circuit Design : (X)DSL and other Communication Systems ; RF MOST Models ; Integrated Filters and Oscillators*. Springer.
- Santiccioli, A., Mercandelli, M., Bertulesi, L., Parisi, A., Cherniak, D., Lacaita, A. L., Samori, C. & Levantino, S. (2020). 17.2 A 66fsrmsJitter 12.8-to-15.2GHz Fractional-N Bang-Bang PLL with Digital Frequency-Error Recovery for Fast Locking. *2020 IEEE International Solid- State Circuits Conference - (ISSCC)*, pp. 268-270.
- Sedra, S. & Smith, K. C. (2011). *Microelectronic Circuits* (éd. 6). Oxford Series in Electrical and Computer Engineering.
- Shanthi, T. & Krishnamurthi, V. (2016). FPGA based frequency synthesizer for 14-band MB-OFDM UWB transceivers. *2016 International Conference on Emerging Trends in Engineering, Technology and Science (ICETETS)*, pp. 1-4.
- Sharkia, A., Aniruddhan, S., Mirabbasi, S. & Shekhar, S. (2019). A Compact, Voltage-Mode Type-I PLL With Gain-Boosted Saturated PFD and Synchronous Peak Tracking Loop Filter. *IEEE Transactions on Circuits and Systems I : Regular Papers*, 66(1), 43-53.
- Sheen, R.-B. & Chen, O.-C. (2001, May). A CMOS PLL-Based Frequency Synthesizer for Wireless Communication Systems at 0.9, 1.8, 1.9 and 2.4 GHz. *Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on*, 4, 722-725 vol. 4.
- Shi, C., Yang, H., Xiao, H., Liu, J. & Liao, H. (2008, Oct). A Dual Loop Dual VCO CMOS PLL Using a Novel Coarse Tuning Technique for DTV. *Solid-State and Integrated-Circuit Technology, 2008. ICSICT 2008. 9th International Conference on*, pp. 1597-1600.
- Shin, J. & Shin, H. (2012). A 1.9–3.8 GHz Delta Sigma Fractional-N PLL Frequency Synthesizer With Fast Auto-Calibration of Loop Bandwidth and VCO Frequency. *Solid-State Circuits, IEEE Journal of*, 47(3), 665-675.
- Shu, K. & Sinencio, E. (2005). *CMOS PLL Synthesizers Analysis and Design* (éd. 1). Springer.
- Sinencio, E. & Andreou, A. (1998). *Low-voltage/low-power integrated circuits and systems* (éd. 1). Wiley : IEEE Press Series.
- Stadius, K., Rapinoja, T., Kaukovuori, J., Ryynanen, J. & Halonen, K. (2007). Multitone Fast Frequency-Hopping Synthesizer for UWB Radio. *Microwave Theory and Techniques, IEEE Transactions on*, 55(8), 1633-1641.
- Valdes-Garcia, A., Mishra, C., Bahmani, F., Silva-Martinez, J. & Sanchez-Sinencio, E. (2007). An 11 Band 3-10 GHz Receiver in SiGe BiCMOS for Multiband OFDM UWB Communication. *Solid-State Circuits, IEEE Journal of*, 42(4), 935-948.
- van Liempd, B., Borremans, J., Martens, E., Cha, S., Suys, H., Verbruggen, B. & Craninckx, J. (2014). A 0.9 V 0.4–6 GHz Harmonic Recombination SDR Receiver in 28 nm

- CMOS With HR3/HR5 and IIP2 Calibration. *Solid-State Circuits, IEEE Journal of*, 49(8), 1815-1826.
- Vaucher, C. S. (2000). An adaptive PLL tuning system architecture combining high spectral purity and fast settling time. *IEEE Journal of Solid-State Circuits*, 35(4), 490-502.
- Vecchi, F., Bozzola, S., Temporiti, E., Guermandi, D., Pozzoni, M., Repossi, M., Cusmai, M., Decanis, U., Mazzanti, A. & Svelto, F. (2011). A Wideband Receiver for Multi-Gbit/s Communications in 65 nm CMOS. *Solid-State Circuits, IEEE Journal of*, 46(3), 551-561.
- Vlachogiannakis, G., Basetas, C., Tsirimokou, G., Vassou, C., Vastarouchas, K., Georgiadou, A., Sotiriou, I., Korfiati, T. & Sgourenas, S. (2019). A Self-Calibrated Fractional-N PLL for WiFi 6 / 802.11ax in 28nm FDSOI CMOS. *ESSCIRC 2019 - IEEE 45th European Solid State Circuits Conference (ESSCIRC)*, pp. 105-108.
- Voelkel, M., Thouabtia, M., Breun, S., Aufinger, K., Weigel, R. & Hagelauer, A. (2019). A Signal Source Chip at 140GHz and 160GHz for Radar Applications in a SiGe Bipolar Technology. *2019 IEEE 62nd International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 428-431.
- Wagner, E., Shana'a, O. & Rebeiz, G. M. (2020). A Very Low Phase-Noise Transformer-Coupled Oscillator and PLL for 5G Communications in 0.12 μ m SiGe BiCMOS. *IEEE Transactions on Microwave Theory and Techniques*, 68(4), 1529-1541.
- Wang, Z., Jiang, S., Jiang, H. & Chi, B. (2018). A K-Band Fractional-N Frequency Synthesizer With a Low Phase Noise LC VCO in 90nm CMOS. *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1-4.
- Wang, Z., Chen, X., Shen, Y., Rhee, W. & Wang, Z. (2014, Oct). A 2.5–4.5 GHz CMOS Fast Settling PLL for IR-UWB Radar Applications. *Solid-State and Integrated Circuit Technology (ICSICT), 2014 12th IEEE International Conference on*, pp. 1-3.
- Wu, L., Ng, A. W. L., Zheng, S., Leung, H. F., Chao, Y., Li, A. & Luong, H. C. (2017). A 0.9–5.8-GHz Software-Defined Receiver RF Front-End With Transformer-Based Current-Gain Boosting and Harmonic Rejection Calibration. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 25(8), 2371-2382.
- Wu, W., Sanduleanu, M., Li, X. & Long, J. (2008). 17 GHz RF Front-Ends for Low-Power Wireless Sensor Networks. *Solid-State Circuits, IEEE Journal of*, 43(9), 1909-1919.
- Xu, X., Zhang, F. & Pan, S. (2017). Low-phase-noise frequency synthesizer based on optoelectronic oscillator. *2017 16th International Conference on Optical Communications and Networks (ICOON)*, pp. 1-3.

- Yi, X., Liang, Z., Feng, G., Meng, F., Wang, C., Li, C., Yang, K., Liu, B. & Boon, C. C. (2019). A 93.4–104.8-GHz 57-mW Fractional- N Cascaded PLL With True In-Phase Injection-Coupled QVCO in 65-nm CMOS Technology. *IEEE Transactions on Microwave Theory and Techniques*, 67(6), 2370-2381.
- Yin, J. & Luong, H. (2014a, June). A 0.37-to-46.5GHz Frequency Synthesizer for Software-Defined Radios in 65nm CMOS. *VLSI Circuits Digest of Technical Papers, 2014 Symposium on*, pp. 1-2.
- Yin, J. & Luong, H. (2014b, June). A 0.37-to-46.5 GHz Frequency Synthesizer for Software-Defined Radios in 65 nm CMOS. *VLSI Circuits Digest of Technical Papers, 2014 Symposium on*, pp. 1-2.
- Yu, S.-A., Baeyens, Y., Weiner, J., Koc, U.-V., Rambaud, M., Liao, F.-R., Chen, Y.-K. & Kinget, P. (2011). A Single-Chip 125 MHz to 32 GHz Signal Source in 0.18 μm SiGe BiCMOS. *Solid-State Circuits, IEEE Journal of*, 46(3), 598-614.
- Zhan, M., Xie, X., Yao, H., Xu, R. & Lin, W. (2011). A Novel Full Phase-Coherent Frequency Synthesis Method for SFWF Radar Application. *Microwave Theory and Techniques, IEEE Transactions on*, 59(7), 1840-1845.
- Zhang, Z., Yang, J., Liu, L., Qi, N., Feng, P., Liu, J. & Wu, N. (2019). 0.1–5 GHz wideband Delta Sigma fractional- N frequency synthesiser for software-defined radio application. *IET Circuits, Devices Systems*, 13(7), 1071-1077.
- Zhao Zhang, Jincheng Yang, Liyuan Liu, Peng Feng, Jian Liu & Nanjian Wu. (2016). A 0.1-to-5 GHz wideband Delta Sigma fractional- N frequency synthesizer for software-defined radio application. *2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT)*, pp. 1570-1572.
- Zheng, H., Lou, S., Lu, D., Shen, C., Chan, T. & Luong, H. (2009). A 3.1 GHz–8.0 GHz Single-Chip Transceiver for MB-OFDM UWB in 0.18 μm CMOS Process. *Solid-State Circuits, IEEE Journal of*, 44(2), 414-426.
- Zhou, J., Li, W., Huang, D., Lian, C., Li, N., Ren, J. & Chen, J. (2013a). A 0.4–6GHz Frequency Synthesizer Using Dual-Mode VCO for Software-Defined Radio. *Microwave Theory and Techniques, IEEE Transactions on*, 61(2), 848-859.
- Zhou, J., Li, W., Huang, D., Lian, C., Li, N., Ren, J. & Chen, J. (2013b). A 0.4-6 GHz Frequency Synthesizer Using Dual-Mode VCO for Software-Defined Radio. *Transactions on Microwave Theory and Techniques, IEEE Journal of*, 42(4), 848-859.