

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE  
UNIVERSITÉ DU QUÉBEC

MÉMOIRE PRÉSENTÉ À  
L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

COMME EXIGENCE PARTIELLE  
À L'OBTENTION DE LA  
MAÎTRISE EN GÉNIE ÉLECTRIQUE  
M. Ing.

PAR  
Jean CARON

RÉALISATION D'UNE CARTE D'ACQUISITION ET DE GÉNÉRATION DE SIGNAL  
DE HAUTE DÉFINITION DANS LES SPECTRES AUDIO ET ULTRASONIQUE

MONTRÉAL, LE 16 JUIN 2009

© Jean Caron, 2009

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE

M. René J<sup>r</sup> Landry, directeur de mémoire  
Département de génie électrique à l'École de technologie supérieure

M. Bruno De Kelper, président du jury  
Département de génie électrique à l'École de technologie supérieure

M. Marcel Gheorghe Gabrea, membre du jury  
Département de génie électrique à l'École de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 14 MAI 2009

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

## REMERCIEMENTS

Je souhaite tout d'abord remercier mon directeur René J<sup>r</sup> Landry et mon co-directeur Michel Lavoie pour leur soutien et leurs conseils tout au long de ce projet. Je souhaite aussi remercier Patrice Dion, chargé de l'application technologique et informatique à l'ÉTS, pour son soutien moral et son aide technique dans l'étude du protocole USB 2.0. Merci aussi à Jean-Christophe Guay, étudiant à la maîtrise à l'ÉTS, pour ses conseils et son aide sur le protocole Gigabit Ethernet.

Je souhaite aussi remercier Musilab Inc. qui a participé au projet et financé en partie le matériel nécessaire dans le cadre de ce projet de recherche. Merci aussi à l'ÉTS de m'avoir accordé une bourse d'études me permettant de me consacrer pleinement à mes études sans avoir à m'inquiéter de ma sécurité financière.

Finalement, je souhaite aussi remercier chaleureusement toute ma famille et ma conjointe pour leur encouragement et leur appui tout au long de mes études, et particulièrement durant ma maîtrise.

# RÉALISATION D'UNE CARTE D'ACQUISITION ET DE GÉNÉRATION DE SIGNAL DE HAUTE DÉFINITION DANS LES SPECTRES AUDIO ET ULTRASONIQUE

Jean CARON

## RÉSUMÉ

La lumière, tout comme les ondes électromagnétiques, se propage difficilement dans un milieu naturel sous-marin. Le son demeure donc la meilleure option afin de transmettre de l'information entre deux ou plusieurs points dans ce milieu. Une entente entre Musilab, un centre de transfert technologique en musique et en son, et l'ÉTS a fait naître ce projet visant la réalisation d'une carte d'acquisition et de génération de signaux avec une haute résolution, autant dans le spectre audio qu'ultrasonique. La carte devait donc permettre de générer deux signaux provenant d'un ordinateur tout en transmettant à ce dernier les données de deux signaux captés, le tout devant fonctionner en temps réel et en débit continu.

Des études approfondies des liens de communication USB 2.0 et Ethernet gigabit ont permis de démontrer que ce dernier était préférable afin de répondre aux besoins du projet. Cette conclusion est due au fait que le mode de fonctionnement inclus dans la norme USB 2.0 et permettant l'élaboration d'une application en temps réel n'est pas encore complètement supporté et que le protocole Ethernet gigabit, combiné avec un pilote spécialisé, permet un taux de transfert entre un FPGA et un ordinateur bien supérieur à la limite de la norme USB 2.0 tout en demandant peu de charge de travail de la part du processeur. Bien qu'il n'ait pas été possible de tester ce lien en mode bidirectionnel, il a été possible d'atteindre un taux de transfert soutenu de plus de 43 Mbps entre la carte HR-DACADC et le logiciel Labview tout en réalisant la FFT en temps réel des données reçues. Ce résultat est un exemple de traitement en temps réel typique et le débit obtenu est supérieur aux besoins de quatre canaux audio ou deux canaux ultrasoniques.

Finalement, plusieurs tests ont été réalisés afin de quantifier les performances des convertisseurs numériques analogiques audio et ultrasonique. Il a été démontré que les exigences du cahier des charges de 103 dB pour la section audio et 84 dB pour la section ultrasonique ont toutes deux été surpassées. D'ailleurs, les performances de THD de 79,5 dB et de 84,6 dB ainsi que l'IMD de 96,7 dB et de 87,3 dB pour les spectres audio et ultrasonique respectivement sont excellents pour l'élaboration d'une application de communication numérique complexe comme la séparation de canaux par plage de fréquences. Les multiples tests réalisés ont aussi démontré que l'utilisation de signaux différentiels était essentielle à l'atteinte de telles performances. Finalement, il a été démontré que l'exploitation de la puissance de calcul des ordinateurs d'aujourd'hui permet de réaliser la quantification des performances des convertisseurs par analyse numérique du signal. Cette technique s'est avérée plus simple, plus rapide et nécessite beaucoup moins d'équipements hautement spécialisés que l'ancienne approche purement analogique.

**Mots clés :** Ultrasonique, ADC, DAC, SNR, THD.

# TABLE DES MATIÈRES

	Page
INTRODUCTION .....	1
CHAPITRE 1 ÉTAT DE L'ART .....	1
CHAPITRE 2 CARACTÉRISTIQUES DES CONVERTISSEURS ANALOGIQUES À NUMÉRIQUES ET NUMÉRIQUES À ANALOGIQUES .....	5
2.1 Non linéarité différentielle (DNL) des convertisseurs.....	5
2.2 Non linéarité intégrale (INL) des convertisseurs .....	7
2.3 Rapport signal à bruit (SNR) des convertisseurs .....	9
2.4 Plage dynamique sans parasite (SFDR) des convertisseurs.....	10
2.5 Taux de distorsion harmonique (THD) des convertisseurs.....	11
2.6 Taux de distorsion d'intermodulation (IMD) des convertisseurs .....	12
2.7 Rapport signal à bruit avec distorsion (SINAD) des convertisseurs.....	13
2.8 Nombre effectif de bits (ENOB) des convertisseurs.....	15
2.9 Réponse en fréquences dans la bande passante .....	16
CHAPITRE 3 PRÉSENTATION DU CAHIER DES CHARGES .....	19
3.1 Objectif du cahier des charges .....	19
3.2 Analyse des contraintes des entrées analogiques.....	19
3.3 Analyse des contraintes des sorties analogiques.....	21
3.4 Étude du lien de communication avec un ordinateur.....	22
3.5 Étude des alimentations .....	22
CHAPITRE 4 RÉALISATION DES CARTES DU PROJET .....	24
4.1 Réalisation et déverminage de la carte HR-DACADC.....	24
4.1.1 Problème de conception pour le régulateur U18.....	25
4.1.2 Problème de montage avec l'amplificateur différentiel de l'AD7760.....	27
4.1.3 Problème de configuration des DAC lors de la mise sous tension .....	28
4.1.4 Problème de synchronisation de la communication entre le FPGA et les ADC.....	29
4.1.5 Problème de branchement de signaux sur certaines broches du FPGA.....	29
4.1.6 Ajout d'alimentation sur les connecteurs d'expansion de la carte HR-DACADC .....	30
4.2 Conception de la carte de mise en forme des signaux analogiques .....	30
4.2.1 Conception du circuit de conversion courant à tension pour les DAC audio.....	31
4.2.2 Conception du circuit de conversion courant à tension pour les DAC ultrasoniques .....	35
4.3 Carte d'interconnexion au Iport PT1000-ST .....	39
4.4 Conclusion sur les cartes utilisées dans ce projet .....	42
4.4.1 Récapitulation des problèmes rencontrés sur la carte HR-DACADC .....	42

CHAPITRE 5	LIEN DE COMMUNICATION BIDIRECTIONNEL À HAUT DÉBIT AVEC UN ORDINATEUR .....	45
5.1	Analyse d'un lien de communication USB 2.0.....	45
5.1.1	Justification du choix du protocole USB 2.0 .....	45
5.1.2	Problèmes rencontrés lors de l'implémentation du protocole USB2.0.....	46
5.2	Lien de communication Gigabit Ethernet avec protocole « GigE Vision » .....	48
5.2.1	Justification du protocole « GigE Vision ».....	48
5.2.2	Implémentation du protocole « GigE Vision ».....	50
5.2.3	Résultats et performances de la communication Gigabit Ethernet .....	59
5.2.4	Conclusion sur la communication Gigabit Ethernet avec protocole « GigE Vision » .....	62
CHAPITRE 6	PROBLÈMES RENCONTRÉS AVEC LES CONVERTISSEURS ANALOGIQUES À NUMÉRIQUES.....	64
6.1	Problème de synchronisation de la communication parallèle avec le AD7760.....	64
6.2	Saturation de l'étage d'entrée des AD7760 .....	65
6.3	Conclusion sur les AD7760 .....	66
CHAPITRE 7	MESURE DES PERFORMANCES DES CONVERTISSEURS DE NUMÉRIQUE À ANALOGIQUE AUDIO .....	68
7.1	Élaboration du banc de tests pour les DAC audio .....	68
7.2	Tests des performances des DAC audio .....	70
7.2.1	Test avec une sinusoïdale pure comme stimuli des DAC audio .....	70
7.2.2	Test d'intermodulation pour les DAC audio.....	81
7.2.3	Test de réponse en fréquence des DAC audio .....	84
7.2.4	Comparaison entre l'analyse d'un signal balancé et non balancé.....	88
7.3	Problèmes rencontrés lors des divers tests avec les DAC audio.....	89
7.4	Conclusion sur les performances des DAC audio.....	91
CHAPITRE 8	PERFORMANCES DES CONVERTISSEURS NUMÉRIQUES À ANALOGIQUES ULTRASONIQUES.....	95
8.1	Élaboration des bancs de tests pour les DAC ultrasoniques .....	95
8.2	Tests de performance des DAC ultrasoniques.....	99
8.2.1	Analyse des DAC ultrasoniques avec banc de test E-MU 1616M .....	99
8.2.1.1	Test avec une sinusoïdale pure comme stimulus des DAC ultrasoniques en mode balancé .....	99
8.2.1.2	Test d'intermodulation pour les DAC ultrasoniques en mode balancé .....	110
8.2.1.3	Test de réponse en fréquence des DAC ultrasoniques en mode balancé... ..	113
8.2.2	Analyse des DAC ultrasoniques avec banc de test Agilent E4440A.....	114
8.2.2.1	Test avec une sinusoïdale pure comme stimuli des DAC ultrasoniques en mode non balancé .....	114
8.2.2.2	Test d'intermodulation pour les DAC ultrasoniques en mode non balancé .....	124

8.2.2.3	Test de réponse en fréquence des DAC ultrasoniques en mode non balancé .....	129
8.3	Problèmes rencontrés lors des tests de performance des DAC ultrasoniques .....	131
8.4	Comparaison des résultats avec le cahier des charges .....	133
8.5	Conclusion sur les performances des DAC ultrasoniques .....	136
CONCLUSION.....		138
RECOMMANDATIONS .....		141
ANNEXE I	TABLEAU D'INTERCONNEXION ENTRE LE FPGA ET L'IPORT PT10000-ST.....	144
ANNEXE II	PROBLÈME RENCONTRÉ AVEC LA COMMUNICATION GIGABIT ETHERNET ET LABVIEW .....	145
ANNEXE III	REGISTRE INTERNE DE L'AD7760 CONTRÔLANT LE DÉTECTEUR DE SATURATION .....	148
ANNEXE IV	PROCÉDURE POUR MESURER LES CRITÈRES DE PERFORMANCE DES DAC .....	149
ANNEXE V	CAPTURE D'ÉCRANS SUPPLÉMENTAIRES LORS DE LA QUANTIFICATION DES PERFORMANCES DES DAC AUDIO .....	152
ANNEXE VI	CAPTURE D'ÉCRANS SUPPLÉMENTAIRES LORS DE LA QUANTIFICATION DES PERFORMANCES DES DAC ULTRASONIQUES AVEC BANC DE TESTS E-MU 1616M.....	161
ANNEXE VII	CAPTURE D'ÉCRANS SUPPLÉMENTAIRES LORS DE LA QUANTIFICATION DES PERFORMANCES DES DAC ULTRASONIQUES AVEC BANC DE TESTS AGILENT E4440A.....	164
ANNEXE VIII	DESCRIPTION DU COURANT DE SORTIE POUR LES DAC ULTRASONIQUES .....	169
BIBLIOGRAPHIE.....		170

## LISTE DES TABLEAUX

	Page
Tableau 1.1	Comparaison des systèmes de communication sous-marin .....1
Tableau 1.2	Comparaison des cartes d'acquisition et génération de signaux analogique .....3
Tableau 2.1	Exemple de l'effet de la résolution et de la bande passante sur le SNR .....10
Tableau 3.1	Résumé des caractéristiques requises pour la carte HR-DACADC.....23
Tableau 4.1	Récapitulation des problèmes et des solutions sur les cartes du projet HR-DACADC .....43
Tableau 5.1	Résumé du temps de calcul de Labview en fonction du nombre d'itérations et de la taille du tableau à traiter .....62
Tableau 7.1	Amplitudes de la fondamentale et des harmoniques des tests sur les DAC audio .....80
Tableau 7.2	Résumé des mesures des critères de performances des DAC audio .....92
Tableau 7.3	Résumé des performances d'IMD des DAC audio .....93
Tableau 8.1	Amplitudes de la fondamentale et des harmoniques des tests sur les DAC ultrasoniques avec le système E-MU 1616M .....110
Tableau 8.2	Amplitudes de la fondamentale et des harmoniques des tests sur les DAC ultrasoniques avec le système E4440A .....124
Tableau 8.3	Comparaison entre les fréquences théoriques et mesurées des harmoniques d'un sinus de 80 kHz .....132
Tableau 8.4	Résumé des performances des DAC ultrasoniques avec banc de test E-MU 1616M.....133
Tableau 8.5	Résumé des performances d'IMD des DAC ultrasoniques avec banc de test E-MU 1616M .....134
Tableau 8.6	Résumé des performances des DAC ultrasoniques avec banc de test Agilent E4440A .....134
Tableau 8.7	Résumé des performances d'IMD des DAC ultrasoniques avec banc de test Agilent E4440A .....135

Tableau 8.8      Comparaison entre les performances du cahier des charges et les  
résultats obtenus.....138

## LISTE DES FIGURES

	Page
Figure 2.1	Représentation du DNL pour les ADC et les DAC. ....6
Figure 2.2	Représentation de l'INL pour un ADC et un DAC. ....7
Figure 2.3	Comparaison des différentes droites utilisées pour mesurer l'INL. ....8
Figure 2.4	Représentation de la plage dynamique sans parasite. ....11
Figure 2.5	Nombre effectif de bits (ENOB) en fonction du SINAD d'un convertisseur. ....16
Figure 4.1	Carte HR-DACADC avec les modifications apportées. ....25
Figure 4.2	Montage erroné du régulateur de tension de 1,2 V pour le FPGA. ....26
Figure 4.3	Montage corrigé du régulateur de tension de 1,2 V pour le FPGA. ....27
Figure 4.4	Montage erroné avec l'amplificateur différentiel de l'AD7760. ....27
Figure 4.5	Montage corrigé avec l'amplificateur différentiel de l'AD7760. ....28
Figure 4.6	Carte de conversion courant à tension pour projet HR-DACADC. ....30
Figure 4.7	Graphe des courants de sortie du PCM1794A en fonction du code appliqué. ....32
Figure 4.8	Diagramme schématique du convertisseur courant à tension pour DAC audio. ....32
Figure 4.9	Graphe des courants de sortie de l'AD9779 en fonction du code appliqué. ....36
Figure 4.10	Diagramme schématique du convertisseur courant à tension pour DAC audio. ....36
Figure 4.11	Carte d'interconnexion entre la carte HR-DACADC et l'Iport PT1000-ST. ....39
Figure 4.12	Schémas de la carte de lien entre le HR-DACADC et le PT1000-ST. ....41

Figure 5.1	Capture d'une rampe de 14 bits avec pixel gris de 8 bits. ....	50
Figure 5.2	Capture d'une rampe de 14 bits avec pixel gris de 14 bits. ....	51
Figure 5.3	Diagramme de bloc du mode 0 du programme dans Labview. ....	52
Figure 5.4	Exemple de l'interface usager du programme Labview dans le mode 0. ....	53
Figure 5.5	Diagramme de bloc du mode 1 du programme dans Labview. ....	54
Figure 5.6	Exemple de l'interface usager du programme Labview dans le mode 1. ....	55
Figure 5.7	Diagramme de bloc du mode 2 du programme dans Labview. ....	56
Figure 5.8	Exemple de l'interface usager du programme Labview dans le mode 1. ....	58
Figure 5.12	Schéma bloc du programme pour comparaison du temps de traitement en fonction de la taille des tableaux traités. ....	60
Figure 5.13	Interface usager du programme pour comparaison du temps de traitement en fonction de la taille des tableaux traités. ....	61
Figure 7.1	Banc de tests pour la quantification des DAC audio. ....	68
Figure 7.2	Plancher de bruit mesuré avec le banc d'essais de la section audio. ....	69
Figure 7.3	Analyse avec WinAudioMLS d'un sinus de 1 kHz à +16 dBu sur le canal droit. ....	71
Figure 7.4	Analyse avec WinAudioMLS d'un sinus de 1 kHz à +10 dBu sur le canal droit. ....	72
Figure 7.5	Analyse avec WinAudioMLS d'un sinus de 1 kHz à +16 dBu sur le canal gauche. ....	73
Figure 7.6	Analyse avec WinAudioMLS d'un sinus de 1 kHz à +10 dBu sur le canal gauche. ....	74
Figure 7.7	Analyse avec WinAudioMLS d'un sinus de 2 kHz à +16 dBu sur le canal droit. ....	76
Figure 7.8	Analyse avec WinAudioMLS d'un sinus de 2 kHz à +10 dBu sur le canal droit. ....	77

Figure 7.9	Analyse avec WinAudioMLS d'un sinus de 10 kHz à +16 dBu sur le canal droit.....	78
Figure 7.10	Analyse avec WinAudioMLS d'un sinus de 10 kHz à +10 dBu sur le canal droit.....	78
Figure 7.11	Capture avec WinaudioMLS du test d'IMD avec 250 Hz de 4 dBu et 8 kHz de -8 dBu. ....	81
Figure 7.12	Gros plan autour de 8 kHz du test d'IMD avec 250 Hz de 4 dBu et 8 kHz de -8 dBu. ....	82
Figure 7.13	Capture avec WinaudioMLS du test d'IMD 18,287 kHz et 18,571 kHz de même amplitude. ....	83
Figure 7.14	Test de réponse en fréquence 200 Hz à 20 kHz avec 1920 points.....	84
Figure 7.15	Test de réponse en fréquence 187,5 Hz à 18,75 kHz avec 2048 points.....	85
Figure 7.16	Gros plan du test de réponse en fréquence de 187,5 Hz à 18,75 kHz.....	86
Figure 7.17	Gros plan du test de réponse en fréquence de 1 kHz à 96 kHz.....	87
Figure 7.18	Comparaison de l'analyse d'un sinus de 1 kHz en mode balancé et non balancé. ....	88
Figure 8.1	Banc de test des DAC ultrasoniques pour se connecter à l'analyseur de spectre Agilent E4440A. ....	96
Figure 8.2	Plancher de bruit de la configuration avec l'analyseur de spectre E4402B. ....	97
Figure 8.3	Plancher de bruit de la configuration avec l'analyseur de spectre E4440A. ....	98
Figure 8.4	Analyse avec WinAudioMLS d'un sinus de 2 kHz à +16 dBu sur le DAC ultra droit 8X. ....	100
Figure 8.5	Analyse avec WinAudioMLS d'un sinus de 2 kHz à +10 dBu sur le DAC ultra droit 8X. ....	101
Figure 8.6	Analyse avec WinAudioMLS d'un sinus de 2 kHz à +16 dBu sur le DAC ultra gauche 8X.....	102

Figure 8.7	Analyse avec WinAudioMLS d'un sinus de 2 kHz à +10 dBu sur le DAC ultra gauche 8X.....	102
Figure 8.8	Analyse avec WinAudioMLS d'un sinus de 10 kHz à +16 dBu sur le DAC ultra droit. ....	103
Figure 8.9	Analyse avec WinAudioMLS d'un sinus de 10 kHz à +10 dBu sur le DAC ultra droit. ....	104
Figure 8.10	Analyse avec WinAudioMLS d'un sinus de 10 kHz à +16 dBu sur le DAC ultra droit 8X. ....	105
Figure 8.11	Analyse avec WinAudioMLS d'un sinus de 10 kHz à +10 dBu sur le DAC ultra droit 8X. ....	105
Figure 8.12	Analyse avec WinAudioMLS d'un sinus de 80 kHz à +16 dBu sur le DAC ultra droit. ....	106
Figure 8.13	Analyse avec WinAudioMLS d'un sinus de 80 kHz à +10 dBu sur le DAC ultra droit. ....	107
Figure 8.14	Analyse avec WinAudioMLS d'un sinus de 80 kHz à +16 dBu sur le DAC ultra droit 8X. ....	108
Figure 8.15	Analyse avec WinAudioMLS d'un sinus de 80 kHz à +10 dBu sur le DAC ultra droit 8X. ....	108
Figure 8.16	Test d'IMD avec 2 kHz de 12 dBu et 50 kHz de 0 dBu sur DAC ultra droit 8X.....	111
Figure 8.17	Gros plan autour de 50 kHz du test d'IMD avec 2 kHz et 50 kHz sur DAC ultra droit 8X. ....	111
Figure 8.18	Test d'IMD avec 38 kHz et 40 kHz de même amplitude sur DAC ultra droit 8X.....	112
Figure 8.19	Gros plan de la réponse en fréquence de 2 kHz à 96 kHz du canal droit avec interpolation 8X. ....	113
Figure 8.20	Analyse avec E4440A d'un sinus de 10 kHz à +16 dBu sur le DAC ultra droit.....	115
Figure 8.21	Analyse avec E4440A d'un sinus de 10 kHz à +10 dBu sur le DAC ultra droit.....	115

Figure 8.22	Analyse avec E4440A d'un sinus de 20 kHz à +16 dBu sur le DAC ultra droit avec interpolation 8X. ....	117
Figure 8.23	Analyse avec E4440A d'un sinus de 20 kHz à +10 dBu sur le DAC ultra droit avec interpolation 8X. ....	118
Figure 8.24	Analyse avec E4440A d'un sinus de 100 kHz à +16 dBu sur le DAC ultra droit. ....	119
Figure 8.25	Analyse avec E4440A d'un sinus de 100 kHz à +10 dBu sur le DAC ultra droit. ....	119
Figure 8.26	Analyse avec E4440A d'un sinus de 100 kHz à +16 dBu sur le DAC ultra droit avec interpolation 8X. ....	120
Figure 8.27	Analyse avec E4440A d'un sinus de 100 kHz à +10 dBu sur le DAC ultra droit avec interpolation 8X. ....	121
Figure 8.28	Analyse avec E4440A d'un sinus de 500 kHz à +16 dBu sur le DAC ultra droit. ....	122
Figure 8.29	Analyse avec E4440A d'un sinus de 500 kHz à +10 dBu sur le DAC ultra droit. ....	122
Figure 8.30	Test d'IMD avec 100 kHz de 0 dBu et 1 MHz de -12 dBu sur DAC ultra droit. ....	125
Figure 8.31	Test d'IMD avec 100 kHz de -6 dBu et 1 MHz de -18 dBu sur DAC ultra droit. ....	125
Figure 8.32	Test d'IMD avec 100 kHz de 0 dBm et 1 MHz de -12 dBm sur DAC ultra droit avec interpolation 8X. ....	126
Figure 8.33	Test d'IMD avec 976 kHz et 996 kHz de -6 dBu sur DAC ultra droit. ....	127
Figure 8.34	Test d'IMD avec 460 kHz et 480 kHz de -4 dBm sur DAC ultra droit avec interpolation 8X. ....	128
Figure 8.35	Test d'IMD avec 38 kHz et 40 kHz de -4 dBu sur DAC ultra droit avec interpolation 8X. ....	129
Figure 8.36	Test de réponse en fréquence de 20 kHz à 500 kHz avec amplitude de -16 dBm sur DAC ultra droit. ....	130

## **LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES**

ADC	Convertisseur analogique à numérique (Analog to Digital Converter)
DAC	Convertisseur numérique à analogique (Digital to Analog Converter)
DNL	Non linéarité différentielle (Differential Non Linearity)
INL	Non linéarité intégrale (Integral Non Linearity)
ENOB	Nombre équivalent de bits effectifs (Effective Number of Bits)
IMD	Distorsion d'intermodulation (Intermodulation Distortion)
LSB	Bit le moins significatif (Least Significant Bit)
MSB	Bit le plus significatif (Most Significant Bit)
SFDR	Plage dynamique sans parasite (Spurious Free Dynamic Range)
SINAD	Rapport signal à bruit avec distorsion (Signal to Noise and Distortion)
SNR	Rapport signal sur bruit (Signal to Noise Ratio)
THD	Taux de distorsion harmonique total (Total Harmonic Distortion)
RM	Représente la racine carrée de la moyenne des valeurs au carré (Root Mean Square)
DC	Représente une fréquence de 0 Hz équivalent à un courant continu (Discrete Current)
ASCII	Code américain normalisé pour l'échange d'information (American Standard Code for Information Interchange)
FPGA	Réseau de portes programmables in-situ (Field Programmable Gate Array)
PCB	Circuit imprimé (Printed Circuit Board)
DEL	Diode électroluminescente
USB	Bus série universel (Universal Serial Bus)
LACIME	Laboratoire de communications et d'intégration de la microélectronique

CDMA      Accès multiple par répartition en code (Code Division Multiple Access)

FDMA      Accès multiple par répartition en fréquence (Frequency Division Multiple Access)

## LISTE DES SYMBOLES ET DES UNITÉS DE MESURE

dB	Unité de mesure représentant le décibel
dBm	Unité de mesure en décibels relative à 1mW de puissance dans une charge de 600 ohms( $\Omega$ )
DBu	Unité de mesure en décibels équivalente à la tension de 1dBm dans une charge de 600 $\Omega$ . Cette unité est donc relative à une tension de 0,775V.
dBc	Unité de mesure en décibels relative à l'amplitude de la porteuse contenue dans le signal ( <i>dB Carrier</i> )
dBFS	Unité de mesure en décibels relative à la valeur de pleine échelle du système mesuré ( <i>dB FullScale</i> )
V	Unité de mesure représentant la tension
$\Omega$	Symbole représentant la résistivité d'un composant, exprimé en ohms
A	Unité de mesure représentant le courant
Mbps	Unité de mesure représentant un débit d'un million de bits par seconde
Kbps	Unité de mesure représentant un débit d'un millier de bits par seconde
Hz	Unité de mesure représentant un cycle par seconde
kHz	Unité de mesure représentant 1 000 cycles par seconde
MHz	Unité de mesure représentant 1 000 000 de cycles par seconde

## INTRODUCTION

Les ondes acoustiques ultrasoniques offrent de très vastes possibilités d'applications. Elles sont notamment utilisées pour établir des liens de communication sans fil sous l'eau puisque le son s'y propage mieux que la lumière ou les ondes électromagnétiques. De plus, la plage de fréquence audio, soit de 20 Hz à 20 kHz, n'est pas une bonne option puisque les sources de bruits présentes dans les cours d'eau, provenant autant de l'humain que de l'environnement et de l'écosystème, couvrent principalement ce spectre de fréquences. Cependant, le terme onde ultrasonique définit toute fréquence qui dépasse le seuil d'audition de l'être humain moyen. Or, comme il a été déterminé dans le rapport de recherche sur la communication aquatique par ultrason (Caron, 2005), si on se limite au domaine des ondes acoustiques se propageant dans l'eau, l'absorption de l'énergie mécanique contenue dans l'onde par le milieu augmente très rapidement avec la fréquence. C'est pourquoi, dans cet ouvrage, à moins de précision contraire, le terme ultrasonique se limitera à la plage de fréquence de 20 kHz à 500 kHz. Cependant, les sources de bruits présentes dans l'eau peuvent avoir une intensité beaucoup plus grande que celle produite par les émetteurs ultrasoniques à faible puissance disponibles sur le marché. Il est donc nécessaire d'avoir une grande résolution afin de pouvoir discerner un faible signal en présence d'un autre beaucoup plus puissant. Or, peu d'appareils optimisés pour ce type d'application dans cette plage de fréquence sont disponibles et aucun n'est vraiment performant.

Par la suite, l'équipe de l'ÉTS a fait la rencontre de Musilab (Musilab Inc., 2008), un centre de transfert technologique en musique et en son. À cette époque, Musilab en était encore à la phase de développement et d'acquisition de leurs outils de recherche pour répondre à des besoins les plus variés possibles se rapportant aux ondes acoustiques. Une entente de partenariat a donc pris forme entre les deux parties. Le projet a été modifié afin de développer une carte d'acquisition et de génération de signaux qui répondrait aux besoins des deux parties. Comme Musilab œuvre autant dans le domaine du son que des ultrasons, la carte devait donc aussi couvrir la plage de fréquence audio. Le projet est donc devenu la réalisation d'une carte qui pourra couvrir le spectre et les performances audio

professionnelles et la plage ultrasonique avec une résolution de 16 bits. De plus, dans une optique de recherche et de développement, il est intéressant de pouvoir capter un signal, et d'en générer un autre en temps réel en fonction des données captées. Il est aussi intéressant d'avoir plusieurs entrées et sorties non multiplexées pour que chacune puisse couvrir toute la plage du système de façon soutenue afin d'avoir un canal de test et un autre de référence pour la validation de l'expérience. Le tout devra pouvoir communiquer avec un ordinateur à un rythme soutenu afin de permettre le transfert des données à l'ordinateur, de faire un traitement et de générer la réponse de ce traitement de façon soutenue avec seulement un délai de quelques millisecondes.

Ce mémoire sera donc divisé en sept chapitres. Le premier présentera les divers critères de performance que l'on retrouve dans le domaine des convertisseurs puisque les performances du projet seront quantifiées selon ces termes. Ensuite, le chapitre deux présentera le cahier des charges afin de bien décrire les multiples objectifs de ce projet. Le chapitre trois traitera des différents circuits imprimés (PCB) réalisés dans le cadre de ce projet et du déverminage effectué sur chacun de ceux-ci. Le chapitre quatre traitera des protocoles de communication entre la carte HR-DACADC et un ordinateur, protocoles étudiés et expérimentés dans le cadre de ce projet. Le chapitre six traitera des problèmes rencontrés et des tests de déverminage effectués pour faire fonctionner les convertisseurs d'analogique à numérique (ADC) AD7760 de la compagnie Analog Devices Inc. Finalement, les chapitres sept et huit traiteront des mesures effectuées pour quantifier plusieurs critères de performance des convertisseurs numérique à analogique (DAC) audio et ultrasonique respectivement. Finalement, une conclusion générale sur les performances du système réalisé sera présentée ainsi que des recommandations afin de compléter et d'améliorer ce projet.

## CHAPITRE 1

### ÉTAT DE L'ART

Il importe tout d'abord de s'assurer qu'il n'existe pas déjà de produits correspondant au sujet de recherche amorcé. Le tableau 1.1, tiré du rapport de recherche sur la communication aquatique par ultrason (Caron, 2005), résume les principaux produits permettant de transmettre de l'information sans fils sous l'eau. Encore aujourd'hui, ces produits sont parmi les plus performants que l'on puisse se procurer.

Tableau 1.1 Comparaison des systèmes de communication sous-marins  
Tiré de Caron (2005, p. 22)

Modèle	Fabricant	Puissance (W)	Portée (m)	Réponse en fréquence	Fréquence d'utilisation (kHz)	Type de communication	Profondeur max (m)
Aquacom SSB-2010	Ocean technology systems	3	1000	300-4000 (Hz)	31-33	SSB	-
MKII-BUD	Ocean technology systems	0,5	500	300-3000 (Hz)	32,768	SSB	40
Aquacom SSB-1001B	Ocean technology systems	10	1500	300-4000 (Hz)	25-31	SSB	-
MAG-100D	Ocean technology systems	3/50	10000	-	8,0875 ou 25 ou 32,768	SSB	100
GSM	Ocean Reef	-	200	-	32,768	H-SSB	40
GSM DC	Ocean Reef	-	200	-	32,768 ou 41	H-SSB	40
M101A	Ocean Reef	-	200	-	32,768	H-SSB	40
ATM-885	Benthos	40	6000	150-15360 bps	9-14 ou 16-21 ou 25-30	MFSK	2000
ATM-887	Benthos	40	6000	150-15360 bps	9-14 ou 16-21 ou 25-31	MFSK	6000
UWM1000	Link Quest	1	300	19200 bps	26,77-44,62	étalement spectral	200
UWM2000	Link Quest	4	1500	19200 bps	26,77-44,62	étalement spectral	2000
UWM3000	Link Quest	20	3000	5000 bps	7,5-12,5	étalement spectral	2000
UWM2200	Link Quest	6	1000	38400 bps	53,55-89,25	étalement spectral	2000

On remarque qu'aucun de ces produits n'utilisent de fréquences supérieures à 90 kHz. Hors, selon une étude sur la transmission du son dans l'eau (Caron, 2005), la courbe d'atténuation du son dans l'eau en fonction de la fréquence montre une perte qui croît avec la fréquence. Toutefois, si on limite la portée du système à une distance de 200 m, il est alors possible de transmettre une onde acoustique jusqu'à une fréquence de 500 kHz sans observer d'atténuation significative. En élargissant la bande passante du système de communication, il serait alors possible d'augmenter considérablement le taux de transmission du système. Il serait également possible d'utiliser des techniques plus complexes de transmission, comme le CDMA ou le FDMA, afin d'améliorer la qualité et la robustesse du lien de communication tout en conservant un taux de transfert comparable aux produits les plus performants disponibles présentement.

Afin de pouvoir réaliser un système de communication bidirectionnel sous-marin surpassant les performances atteintes jusqu'à ce jour, il est donc essentiel d'avoir un système de génération et d'acquisition de signal ultrasonique. Puisque les ondes acoustiques devront se propager dans l'eau, la limite de bande passante requise est de 500 kHz. Le système doit également être très sensible afin de pouvoir détecter un signal très faible et ainsi assurer la robustesse du système de communication. Une résolution de 16 bits au minimum est donc requise. Le tableau 1.2 présente les cartes d'acquisition et de génération de signaux analogiques de différents manufacturiers.

Tableau 1.2 Comparaison des cartes d'acquisition et génération de signaux analogique

Modèle	Manufacturier	Nombre de canaux (E/S)	Type de canaux	Résolution (bits)	Cadence d'acquisition (E/S)	Lien avec PC
USB-6216 BNC	National instrument	8 / 2	multiplexé	16	400kHz / 250kHz	USB
PXI-7854R	National instrument	8 / 8	simultané	16	750kHz / 1MHz	PXI
PCI-4462	National instrument	4 / 0	simultané	24	204,8kHz	PCI
PCI-6255	National instrument	40 / 2	multiplexé	16	1,25MHz / 2,86MHz	PCI
ENET-9215	National instrument	4 / 0	simultané	16	100kHz	Ethernet
1616M PCI	E-MU	4 / 6	simultané	24	192kHz / 192kHz	PCI
0404 USB 2.0	E-MU	2 / 2	simultané	24	192kHz / 192kHz	USB
DI-720	Dataq instrument	32 / 0	multiplexé	16	180kHz	USB, Ethernet
16AO16FLV	General standards	0 / 16	simultané	16	440kHz	PCI
24DSI32	General standards	24 / 0	simultané	24	200kHz	PCI
16SDI-HS	General standards	8 / 0	simultané	16	1,1MHz	PCI

D'après cette étude, on remarque d'abord qu'aucun de ces produits ne permet d'avoir une bande passante suffisante tout en ayant plusieurs canaux d'entrées et de sorties non multiplexés. De plus, la seule carte s'approchant de ces contraintes, le modèle PXI-7854R de National Instrument, utilise un lien de communication vers un PC de type PXI, qui est un standard industriel non disponible sur les ordinateurs personnels. Finalement, si on augmente la résolution à 24 bits, il existe une carte, le modèle 0404 USB2.0 de E-MU, qui possède deux canaux d'entrées et deux autres de sorties pouvant tous fonctionner simultanément et utilisant un lien USB beaucoup plus universel pour s'interfacer sur n'importe quel PC. Cependant, la cadence d'échantillonnage de ce produit est limitée à 192 kHz, ce qui nous permet une bande passante de seulement 96 kHz et nous empêche de surpasser les meilleurs systèmes de communication sous-marins disponibles.

À la lumière de ces recherches préliminaires, il apparaît clairement qu'aucune technologie présentement disponible ne permet l'acquisition simultanée de plusieurs canaux d'entrées et de sorties à une cadence d'au moins 1 MHz, à une résolution d'au moins 16 bits et utilisant un lien de communication déterministe vers un PC. L'objectif du projet HR-DACADC est la réalisation d'un système ayant deux canaux d'entrées à une cadence de 2,5 MHz et deux autres de sorties à une cadence de 1 MHz. Tous les canaux doivent avoir une résolution de 16 bits et le système doit pouvoir échanger toutes ces informations avec un PC en temps réel. La réalisation de ce projet serait donc novatrice puisqu'elle permettrait l'atteinte de performances supérieures à tout ce qui existe présentement dans le domaine ultrasonique.

## CHAPITRE 2

### CARACTÉRISTIQUES DES CONVERTISSEURS ANALOGIQUES À NUMÉRIQUES ET NUMÉRIQUES À ANALOGIQUES

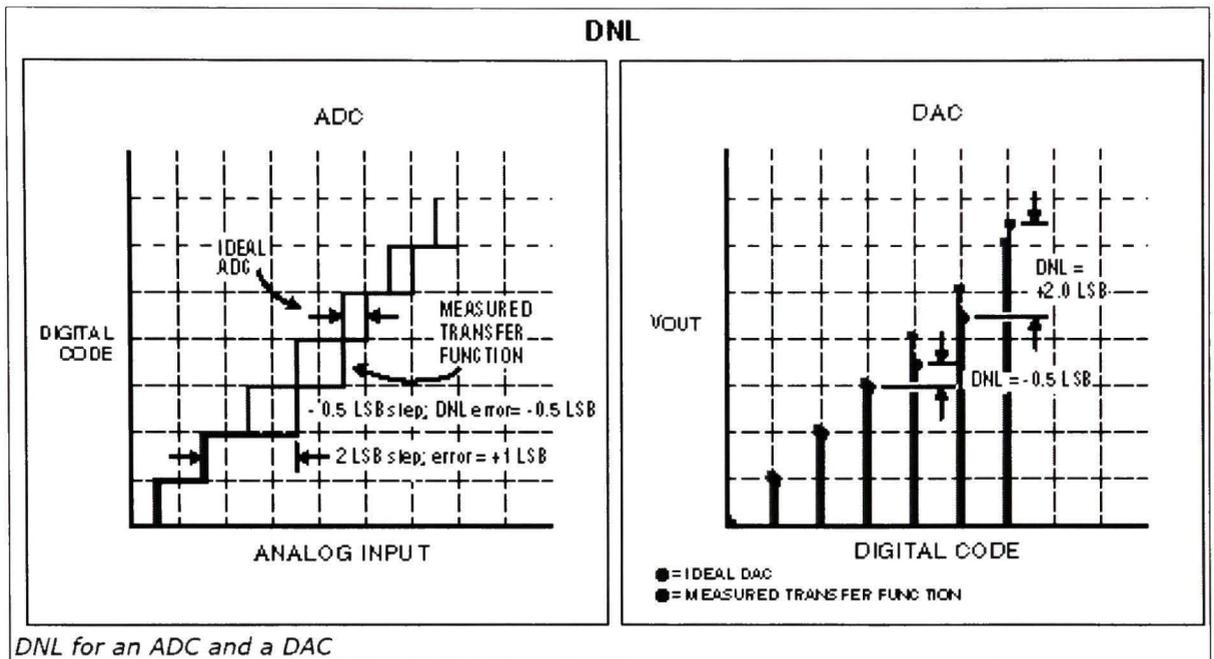
Afin de valider le bon fonctionnement et le respect du cahier des charges, plusieurs critères de performance devront être quantifiés pour chacun des convertisseurs. Ce chapitre présente donc chacune de ces caractéristiques en donnant sa description et la méthode générale pour la mesurer.

#### 2.1 Non linéarité différentielle (DNL) des convertisseurs

La non linéarité différentielle (DNL) se définit comme la différence entre la tension théorique et la tension réelle nécessaire pour passer d'un code de convertisseur au suivant. Comme cette différence varie pour chacun des codes, on spécifie généralement le pire cas positif (l'écart est plus grand que dans le théorique) et négatif (l'écart est plus petit que dans le théorique.) L'unité de mesure pour ce critère de performance est le bit le moins significatif (LSB). Pour un convertisseur donné, cette unité vaut :

$$LSB = \frac{V_{\max} - V_{\min}}{2^N} \quad (2.1)$$

où  $V_{\max}$  et  $V_{\min}$  sont les tensions pour le code à pleine échelle et à zéro respectivement et  $N$  représente le nombre de bits du convertisseur. En représentant la courbe contenant tous les niveaux théoriques possible d'un convertisseur et la courbe réelle de ce dernier, on détermine la non-linéarité différentielle comme la plus grande différence entre la largeur d'un palier théorique et son équivalent mesuré. La Figure 2.1 de Maxim (Maxim Integrated Products, 2000) représente bien ce principe.



**Figure 2.1 Représentation du DNL pour les ADC et les DAC.**  
Tiré de Maxim Integrated Products (2000)

Par exemple, si un ADC possède une plage d'entrée de 0 V à 5 V et une résolution de 8 bits, la tension théorique pour voir le code de sortie passer au suivant est de :

$$V_{LSB} = \frac{V_{\max} - V_{\min}}{2^N} = \frac{5 - 0}{2^8} = 0,01953125 = 19,53mV \quad (2.2)$$

Si, pour tous les codes de convertisseur, la tension maximale pour passer au code suivant est de 30 mV et la tension minimale est de 12 mV, on dira que le DNL de ce convertisseur est de +0,536/-0,3856 LSB comme le montre l'équation (2.3) :

$$DNL_{\max} = \frac{V_{LSB\_max} - V_{LSB\_théorique}}{V_{LSB\_théorique}} = \frac{0,03 - 0,01953}{0,01953} = 0,536LSB$$

$$DNL_{\min} = \frac{V_{LSB\_min} - V_{LSB\_théorique}}{V_{LSB\_théorique}} = \frac{0,012 - 0,01953}{0,01953} = -0,3856LSB \quad (2.3)$$

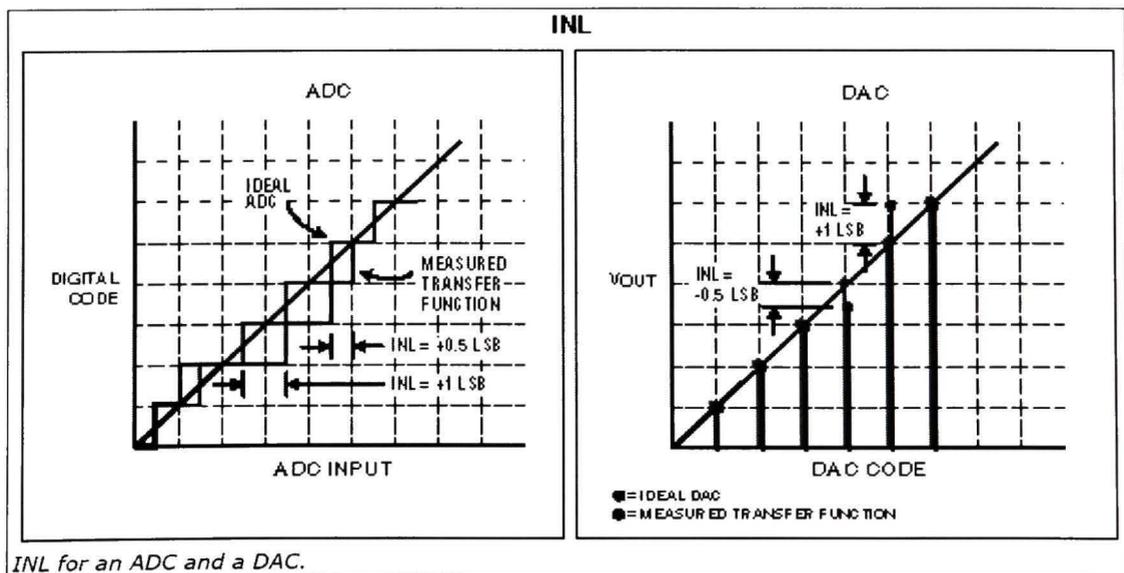
Il est à noter que lorsque les valeurs de DNL sont comprises entre -1 et 1 pour tous les codes, on considère qu'il ne manque aucun code au convertisseur. Un tel convertisseur est alors dit monotonique.

## 2.2 Non linéarité intégrale (INL) des convertisseurs

La non linéarité intégrale (INL) se définit comme le plus grand écart entre la courbe de réponse du convertisseur et la droite théorique que représente tous les codes du convertisseur qui serait espacé d'exactly 1 LSB. Il est à noter que si on connaît le DNL de tous les codes d'un convertisseur, il est possible de retrouver le INL de ce composant à partir de l'équation (2.4).

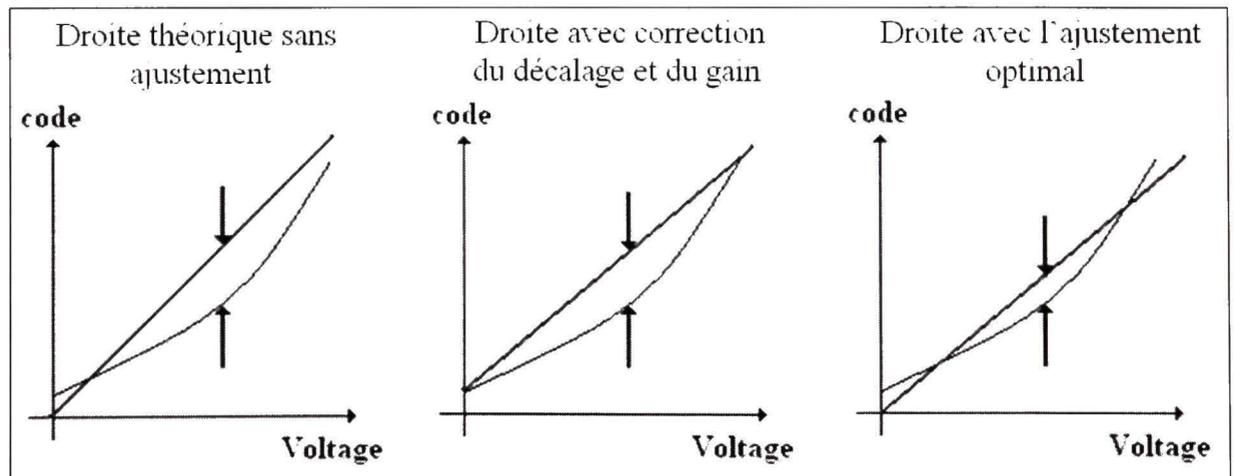
$$INL_n = \sum_{j=1}^n DNL_j \quad (2.4)$$

où  $n$  est la valeur du code estimé et  $DNL_j$  est la valeur de non linéarité différentielle entre le code  $j-1$  et  $j$ . La figure suivante de Maxim représente bien ce concept pour un ADC et un DAC :



**Figure 2.2 Représentation de l'INL pour un ADC et un DAC.**  
Tiré de (Maxim Integrated Products, 2000)

Un autre point important lors de l'évaluation de la caractéristique d'INL est de bien connaître et de spécifier la droite théorique utilisée pour le calcul. En effet, il est possible d'utiliser la droite reliant les valeurs extrêmes théoriques du convertisseur, c'est-à-dire 0 V et la tension de référence dans le cas d'un convertisseur unipolaire. Cependant, cette droite donne la plus grande valeur d'INL et est très peu utilisée. Une autre droite couramment utilisée est celle reliant les tensions limites du convertisseur en incluant sa tension de décalage et son erreur de gain. Finalement, la dernière droite aussi utilisée et donnant la plus petite valeur de INL est surnommée la droite de meilleur ajustement à la courbe (*Best Fit Curve*). Il s'agit en fait d'utiliser la droite, peu importe sa tension de départ et de fin, qui donne le plus petit écart avec la courbe de réponse réelle mesurée pour le composant étudié. La Figure 2.3 donne un exemple de mesure d'INL utilisant chacun des types de droite de référence pour un convertisseur unipolaire.



**Figure 2.3 Comparaison des différentes droites utilisées pour mesurer l'INL.**

Le type de droite de référence utilisé a une grande influence sur l'INL. Il est donc primordial de s'assurer que les performances d'INL des différents composants ont été mesurées avec la même droite de référence pour bien juger de la qualité relative des composants.

### 2.3 Rapport signal à bruit (SNR) des convertisseurs

Le rapport signal à bruit (SNR) se définit comme l'écart, en décibels (dB), entre l'amplitude maximale du signal capté ou généré et la somme des valeurs efficaces de toutes les autres composantes fréquentielles, à l'exception des harmoniques du signal et de la composante continue (DC). Ce critère de performance, avec le taux de distorsion harmonique (THD), est l'un des plus employés pour quantifier la performance d'un convertisseur dans le domaine de l'audio. Pour un convertisseur parfait, le SNR est uniquement une fonction du nombre de bits de résolution du convertisseur et du rapport entre la plage de fréquence d'intérêt sur la fréquence d'échantillonnage. L'équation (2.5) de M. Kester (Kester, 2004) définit cette relation :

$$SNR = \left[ 6,02 \cdot N + 1,76 + 10 \cdot \log_{10} \frac{f_s}{2 \cdot BW} \right] dB \quad (2.5)$$

Tiré de (Kester, 2004)

où  $N$  représente le nombre de bits de résolution du convertisseur,  $f_s$  la fréquence d'échantillonnage du convertisseur et  $BW$  la bande passante utilisée. Le dernier terme de l'équation n'est nécessaire que lorsqu'on fait un suréchantillonnage, c'est-à-dire que la fréquence d'échantillonnage est plus de deux fois celle du signal capté ou généré et qu'un filtrage numérique ou analogique vient éliminer tout ce qu'il y a à l'extérieur de la plage d'intérêt. Le Tableau 2.1 donne quelques exemples de SNR pour des convertisseurs théoriques avec différentes bandes passantes et résolutions.

Tableau 2.1 Exemple de l'effet de la résolution et de la bande passante sur le SNR

Résolution (bits)	Fréquence d'échantillonnage (kHz)	Bande passante (kHz)	SNR théorique (dB)	Note
16	192	96	96.3	Convertisseur de référence
16	192	48	99.3	Gain de 3 dB avec suréchantillonnage de deux
24	192	96	144.5	Gain de 48,2 dB avec augmentation de la résolution

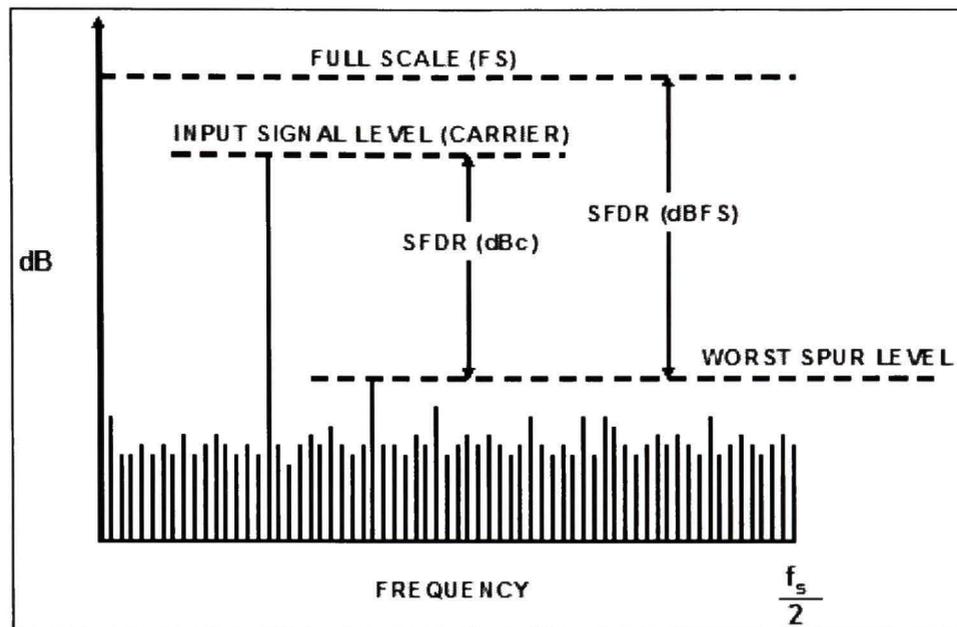
Il est à noter qu'il est aussi possible de déterminer le SNR à partir des caractéristiques de THD et SINAD si ces deux dernières sont connues. Le SNR peut alors être calculé à l'aide de l'équation (2.6) :

$$SNR = -10 \cdot \log_{10} \left[ 10^{-SINAD/10} - 10^{-THD/10} \right] \quad (2.6)$$

Tiré de (Kester, 2004)

## 2.4 Plage dynamique sans parasite (SFDR) des convertisseurs

La plage dynamique sans parasite (*Spurious Free Dynamic Range*, SFDR) se définit comme l'écart, en dB, entre l'amplitude maximale du signal capté ou généré et la prochaine raie spectrale ayant l'amplitude la plus élevée, à l'exception de la composante DC. Cette caractéristique représente l'amplitude du plus petit signal pouvant être détecté par le convertisseur en présence d'un autre signal couvrant la pleine échelle du convertisseur. La Figure 2.4 de Kester représente bien ce concept :



**Figure 2.4 Représentation de la plage dynamique sans parasite.**  
Tiré de (Kester, 2004)

Cette caractéristique est très importante dans les systèmes de télécommunication puisqu'elle représente la capacité du convertisseur à discerner un signal intelligent présent parmi d'autres signaux parasites.

## 2.5 Taux de distorsion harmonique (THD) des convertisseurs

Le taux de distorsion harmonique (THD) se définit comme la quantification de la dégradation harmonique que produit un convertisseur lorsqu'il tente de reproduire un signal sinusoïdal pur. Cette caractéristique est mesurée en calculant le ratio entre l'amplitude de la fréquence de la sinusoïde générée ou quantifiée sur la somme des valeurs RMS des harmoniques de ce signal. L'équation (2.7) représente ce calcul :

$$THD = \left[ 20 \cdot \log_{10} \frac{S}{D} \right] dB \quad (2.7)$$

Tiré de (Metzler, 1993a)

Où  $S$  représente la valeur RMS du signal et  $D$  la somme des valeurs RMS des harmoniques considérées. Le nombre d'harmoniques considérées dans ce calcul varie selon le manufacturier. Comme l'amplitude des harmoniques diminue rapidement avec l'ordre de ces dernières, la majorité des manufacturiers ne mesurent que la distorsion présente dans les cinq premières harmoniques. Cette information doit donc être spécifiée dans la fiche des caractéristiques d'un composant. Ce rapport peut s'exprimer en dB, mais il est courant dans le domaine de l'audio de le noter en pourcentage par rapport à l'amplitude de la fondamentale. Il est donc important de s'assurer que la définition de cette caractéristique est la même pour différents manufacturiers. Si tel n'est pas le cas, il est alors important de nuancer la comparaison des performances des convertisseurs de ces entreprises en se basant sur cette seule caractéristique.

## 2.6 Taux de distorsion d'intermodulation (IMD) des convertisseurs

Le taux de distorsion d'intermodulation (IMD) se définit comme le rapport entre l'amplitude de deux sinusoïdes générées ou captées et la somme des valeurs efficaces des raies de distorsion de second ordre ou d'ordres plus élevés. Cette distorsion provient de la non linéarité des circuits formant le convertisseur. Cette caractéristique est mesurée en analysant le résultat de la conversion de deux sinusoïdes rapprochées en fréquence. Il est ainsi possible de mesurer plusieurs ordres de distorsion d'intermodulation et ceux-ci sont définis par l'équation (2.8) :

$$\begin{aligned}
 IM_2 &: F_1 + F_2, F_1 - F_2 \\
 IM_3 &: 2 \cdot F_1 + F_2, 2 \cdot F_1 - F_2, 2 \cdot F_2 + F_1, 2 \cdot F_2 - F_1 \\
 IM_4 &: 3 \cdot F_1 + F_2, 3 \cdot F_1 - F_2, 3 \cdot F_2 + F_1, 3 \cdot F_2 - F_1 \\
 IM_5 &: 3 \cdot F_1 + 2 \cdot F_2, 3 \cdot F_1 - 2 \cdot F_2, 3 \cdot F_2 + 2 \cdot F_1, 3 \cdot F_2 - 2 \cdot F_1
 \end{aligned} \tag{2.8}$$

Tiré de (Maxim Integrated Products, 2000)

Tout comme le THD, il est important de spécifier l'ordre d'intermodulation maximum mesuré pour calculer cette caractéristique afin de pouvoir comparer deux mêmes caractéristiques entre deux fiches de spécification.

Tout comme l'indique Metzler (Metzler, 1993a), dans le domaine de l'audio, une autre norme est couramment utilisée pour quantifier l'IMD d'un convertisseur. Il s'agit de la norme 45403 de DIN (Deutsches Institut für Normung e.V.). Cette méthode prescrit l'utilisation de deux fréquences distantes l'une de l'autre avec la haute fréquence ayant une amplitude du quart de celle à basse fréquence. L'emploi d'une basse fréquence de 250 Hz et d'une haute fréquence de 8 kHz est conforme à cette norme et est couramment utilisé. L'avantage de cette méthode est que les différents ordres d'intermodulation se retrouvent tous de part et d'autre de la fréquence élevée, en s'éloignant d'un multiple de la basse fréquence à chaque ordre. Ainsi les raies d'IMD sont bien distinctes de celles de THD des deux fréquences utilisées. Ceci facilite grandement la conception d'appareils dédiés servant à quantifier cette caractéristique.

## 2.7 Rapport signal à bruit avec distorsion (SINAD) des convertisseurs

Le rapport signal à bruit avec distorsion (*Signal to Noise and Distortion*, SINAD) se définit comme l'écart, en dB, entre le signal mesuré ou généré et toutes les sources de bruits présents. Il est l'indication la plus fidèle des performances dynamiques d'un convertisseur puisqu'il inclut le plancher de bruit défini par le SNR et le bruit de distorsion défini par le THD. Il peut être calculé par le rapport entre le signal d'intérêt et la somme des valeurs RMS à toutes les autres fréquences, à l'exception du DC. Cependant, il peut aussi être calculé à partir des valeurs de THD et de SNR si celles-ci sont déjà connues. L'équation (2.9) fait un rappel de la définition mathématique de ces trois termes :

$$\begin{aligned}
 SNR &= 20 \cdot \log\left(\frac{S}{N}\right) \\
 THD &= 20 \cdot \log\left(\frac{S}{D}\right) \\
 SINAD &= 20 \cdot \log\left(\frac{S}{N+D}\right)
 \end{aligned}
 \tag{2.9}$$

Tiré de (Kester, 2004)

De ces définitions, il est donc possible de définir le SINAD en fonction des valeurs de SNR et de THD comme le démontre l'équation (2.10) :

$$\begin{aligned}\frac{N}{S} &= 10^{-SNR/20} \\ \frac{D}{S} &= 10^{-THD/20} \\ \frac{N+D}{S} &= \frac{N}{S} + \frac{D}{S} = 10^{-SNR/20} + 10^{-THD/20}\end{aligned}\tag{2.10}$$

D'où l'équation du SINAD tel qu'indiqué dans l'équation (2.11) :

$$\begin{aligned}SINAD &= 20 \cdot \log \left[ \left( 10^{-SNR/20} + 10^{-THD/20} \right)^{-1} \right] \\ &= -20 \cdot \log \left[ 10^{-SNR/20} + 10^{-THD/20} \right]\end{aligned}\tag{2.11}$$

Il est important de noter que cette équation n'est pas exactement celle retrouvée dans le document d'Analog Devices. En fait, celle-ci était erronée puisque la simplification suivante était fautive :

$$\frac{N+D}{S} \neq \left[ \left( \frac{N}{S} \right)^2 + \left( \frac{D}{S} \right)^2 \right]^{1/2}\tag{2.12}$$

Cependant, la réponse obtenue dans l'équation (2.11) est aussi erronée puisque, pour calculer le SINAD, on fait le rapport des puissances et non de l'amplitude. Tous les logarithmes de l'équation (2.9) doivent donc être multipliés par dix plutôt que par vingt. L'équation pour calculer le SINAD est donc effectivement celle obtenue dans le document de M. Kester malgré son erreur de développement. Cette équation est donc la suivante :

$$SINAD = -10 \cdot \log_{10} \left[ 10^{-SNR/10} + 10^{-THD/10} \right] \quad (2.13)$$

Tiré de (Kester, 2004)

Certaines applications sont plus sensibles à un type de bruit qu'un autre. C'est pourquoi il est intéressant d'étudier à la fois le SINAD avec le THD et avec le SNR car la première ne fait pas la distinction entre le plancher de bruit et la distorsion harmonique. Il est à noter que le terme « taux de distorsion harmonique avec bruit (THD+N) » est aussi employé pour définir le SINAD.

## 2.8 Nombre effectif de bits (ENOB) des convertisseurs

Le nombre effectif de bits (ENOB) se définit comme le nombre de bits que devrait avoir un convertisseur idéal pour obtenir les mêmes performances dynamiques que le convertisseur étudié. Cette caractéristique est basée sur l'équation du rapport signal à bruit d'un convertisseur idéal tel qu'indiqué dans l'équation (2.14) :

$$SNR_{idéal} = 6,02 \cdot N + 1,76dB \quad (2.14)$$

Tiré de (Kester, 2004)

où N est le nombre de bits du convertisseur idéal. On utilise l'équation du SNR idéal pour définir la performance d'un convertisseur idéal car ce dernier ne possède pas de distorsion harmonique. Il est donc inutile de calculer le SINAD de ce composant puisque le résultat serait identique au SNR. Pour calculer la valeur d'ENOB, on se base sur la caractéristique de SINAD du composant étudié puisque celle-ci inclut toutes les sources de bruits existantes. On la calcule comme suit :

$$ENOB = \frac{SINAD_{measured} - 1,76dB + 20 \cdot \log \left( \frac{\text{fullscale amplitude}}{\text{Input amplitude}} \right)}{6,02} \quad (2.15)$$

Tiré de (Kester, 2004)

La deuxième partie de l'équation sert simplement à maintenir la même valeur de ENOB peu importe l'amplitude du signal de référence puisque celui-ci a un impact sur la valeur de SINAD. Il est à noter que cette caractéristique nous donne la même information que le SINAD mais sous une autre forme. Il est donc rare de retrouver ces deux caractéristiques dans une même fiche technique. On utilise plutôt l'équation (2.15) pour faire la conversion d'une à l'autre afin de comparer deux composants provenant de manufacturiers distincts. La Figure 2.5 représente la relation entre le SINAD et l'ENOB.

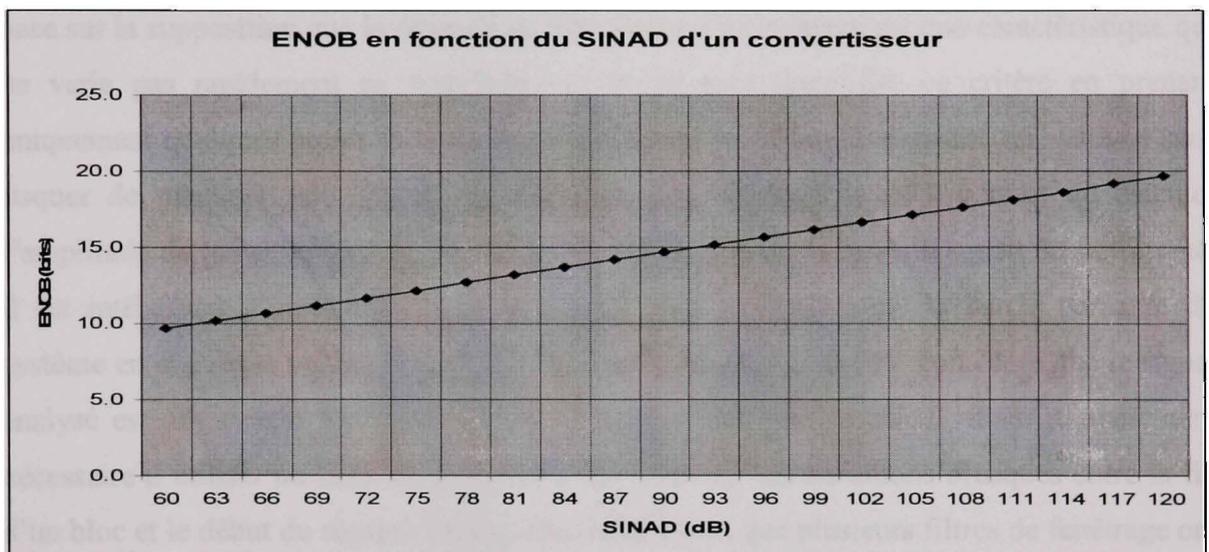


Figure 2.5 Nombre effectif de bits (ENOB) en fonction du SINAD d'un convertisseur.

## 2.9 Réponse en fréquences dans la bande passante

La réponse en fréquences se définit comme l'écart maximal qu'on retrouve à la sortie d'un convertisseur sur toute sa bande passante lorsque ce dernier est stimulé par un signal ayant la même amplitude à toutes les fréquences. On exprime cette valeur en dB. Il est intéressant de connaître cette valeur puisqu'elle peut constituer une source de distorsion dans un signal complexe. En effet, si le signal d'origine contient plusieurs composantes spectrales, le rapport d'amplitude entre chacune des composantes sera erroné si le convertisseur a un gain de sortie différent pour chacune d'elles. Cette variation du rapport d'amplitude entre les

différentes fréquences contenues dans un signal représente donc nécessairement une distorsion.

Afin de quantifier ce critère, il est nécessaire de mesurer la réponse d'un convertisseur en appliquant toutes les fréquences de la bande passante à l'entrée du système. Comme ce procédé est long et fastidieux, la compagnie Audio Precision (Audio precision, 2008) a développé une technique par FFT qui permet, en une seule mesure, de quantifier précisément la réponse en fréquences sur toute la plage de fonctionnement du système. Cette technique se base sur la supposition que la réponse en fréquences d'un système est une caractéristique qui ne varie pas rapidement en fréquences et qu'on peut quantifier ce critère en prenant uniquement quelques points uniformément distribués sur la bande passante du système sans risquer de manquer une grande variation du gain. Puisque la FFT permet de calculer l'amplitude de toutes les composantes fréquentielles contenues dans un signal échantillonné, il est intéressant d'utiliser cet outil de calcul pour analyser toute la bande passante du système en une seule mesure. Toutefois, comme le résultat de la FFT considère que le signal analysé est une exacte répétition infinie du bloc utilisé pour le calcul, il est normalement nécessaire d'utiliser un filtre de fenêtrage pour éliminer les transitions brusques entre la fin d'un bloc et le début du second. Malheureusement, bien que plusieurs filtres de fenêtrage ont été développés et longuement étudiés pour améliorer la précision du résultat de la FFT, tout filtre vient modifier la réponse en fréquences réelles du système étudié et il est donc essentiel de trouver un moyen d'utiliser la puissance de calcul de la FFT sans avoir recours à un filtre de fenêtrage. Pour régler ce problème, Audio Precision a développé une technique pour obtenir un signal de stimulation permettant de faire le calcul de la FFT sans nécessiter de fenêtrage et sans obtenir de distorsion causée par l'approximation du signal par répétition du bloc de données traitées. Tel que décrit par R. Cabot (C. Cabot, 1999), cette technique, nommée FASTTEST, consiste à générer un signal constitué uniquement de périodes complètes de chacune des fréquences présentes pour la longueur du bloc utilisé dans le calcul de la FFT. Ainsi, on s'assure que tous les sinus à différentes fréquences composant le signal complexe débutent et se terminent à la même valeur. De cette façon, le problème de fenêtrage et de répétition du bloc de données est résolu et on peut faire la FFT du signal et

obtenir les amplitudes précises de chaque fréquence du signal capturé. Il suffit donc d'avoir un signal de stimulation comprenant une somme de sinus également espacés sur la bande passante du système pour pouvoir calculer sa réponse en fréquences en un seul traitement.

Bien que cette technique soit très efficace pour obtenir rapidement la réponse en fréquences d'un système, elle possède également ses limitations. Ainsi, il est nécessaire de connaître la fréquence d'échantillonnage du convertisseur sous test et celle de l'appareil servant à générer ou à capturer le signal selon que l'on caractérise un DAC ou un ADC. De plus, si ces deux valeurs diffèrent l'une de l'autre, il est obligatoire qu'elles soient des multiples sans quoi il est impossible d'avoir un signal de stimulation dont chacune des fréquences présentes comptera un nombre entier de périodes autant pour le générateur que pour le capteur. Or, bien que la fréquence d'échantillonnage du convertisseur étudié soit connue, il est souvent plus difficile de déterminer celle d'un appareil de laboratoire servant à la caractérisation du système sous étude.

## CHAPITRE 3

### PRÉSENTATION DU CAHIER DES CHARGES

#### 3.1 Objectif du cahier des charges

L'objectif du cahier des charges (Musilab Inc., 2006) est de faire une synthèse de toutes les contraintes ou les spécifications que devra atteindre ou respecter le prototype final selon l'entente entre l'ÉTS et Musilab Inc. Dans le présent chapitre, une étude est faite sur chacune des sections du cahier des charges qui ont un impact sur la réalisation du projet pour l'équipe de l'ÉTS. Cette analyse met l'emphase sur les implications de ces spécifications pour la conception de la carte d'acquisition.

#### 3.2 Analyse des contraintes des entrées analogiques

Le cahier des charges définit les spécifications des entrées analogiques en séparant la section audio et la section ultrasonique. Il y est spécifié que la carte d'acquisition devra être dotée de quatre connecteurs d'entrée. Deux de ces connecteurs doivent avoir une bande passante audio, soit de 0 à 96 kHz, et les deux autres doivent offrir une bande passante ultrasonique la plus large possible selon la fiche technique des convertisseurs sélectionnés. Toutes ces entrées doivent être de type balancé, donc elles doivent avoir deux branches différentielles, et chacune doit avoir une impédance de 2 k $\Omega$  pour une impédance différentielle de 4 k $\Omega$ . Le gain de toutes les entrées des convertisseurs doit être ajusté de façon à obtenir la valeur numérique maximale lorsque la tension à l'entrée est de +16 dBu. Le dBu est utilisé car cette unité sert à décrire les systèmes audio professionnels où l'impédance de charge est inconnue ou non normalisée. Comme la tension est appliquée en différentiel, on doit retrouver la moitié de la tension à chacune des branches :

$$\begin{aligned}
V_{total} &= \left[ 10^{16/20} \cdot 0,775 = 4,890 \right] V_{RMS} \\
V_{max} &= \left[ V_{total} \cdot \sqrt{2} = 4,890 \cdot \sqrt{2} = 6,915 \right] V_{crête} \\
V_{max\_branche} &= \left[ \frac{V_{max}}{2} = \frac{6,915}{2} = 3,458 = 6,916 \right] V_{crête-crête}
\end{aligned} \tag{3.1}$$

où le 0,775 V est la tension RMS correspondant à 1 dBU et le 16 est la valeur maximale, en dB, admissible à l'entrée du convertisseur. Cependant, comme la tension maximale admissible aux bornes des ADC est de 3,25 V, le gain total de la carte de façade analogique et combinée avec le HR-DACADC devra être de :

$$Gain_{max} = \frac{V_{in\_adc}}{V_{in\_HR-DACADC\_crête-crête}} = \frac{3,25}{6,916} = 0,470 \tag{3.2}$$

Finalement la résolution des ADC doit être configurable entre 24, 16 et 8 bits pour les entrées audio et entre 16 et 8 bits lorsqu'on utilise la bande passante ultrasonique. La fréquence d'échantillonnage de la section audio doit pouvoir varier entre les valeurs suivantes : 48 kHz, 96 kHz et 192 kHz. La section ultrasonique doit pouvoir prendre les valeurs de 384 kHz, 768 kHz et 2,5 MHz. Il en résulte donc que la bande passante maximale nécessaire pour transmettre les données vers l'ordinateur est de :

$$\begin{aligned}
BW_{max\_tx\_audio} &= 2 \cdot (24bits \cdot 192000s^{-1}) = 9,216Mbps \\
BW_{max\_tx\_ultrasonique} &= 2 \cdot (16bits \cdot 2,5 \cdot 10^6 s^{-1}) = 80Mbps
\end{aligned} \tag{3.3}$$

Le rapport signal à bruit désiré pour les entrées analogiques est limité à 84 dB pour la plage ultrasonique. La section audio doit cependant être plus sensible et permettre un rapport signal à bruit de 103 dB lorsque mesuré pour un sinus à pleine échelle de 1 kHz.

### 3.3 Analyse des contraintes des sorties analogiques

La section du cahier des charges des sorties analogiques fait aussi la distinction entre la bande passante audio et ultrasonique. La carte devra être dotée de quatre connecteurs de sortie, deux pour chacune des plages de bande passante. Les sorties doivent être de type différentiel et avoir une impédance maximale de  $50 \Omega$  par branche. La tension de sortie à pleine échelle doit être la même que pour les entrées, c'est-à-dire +16 dBu. Les tensions de sorties sont donc les mêmes que celles calculées pour les entrées analogiques, soit  $6,915 V_{\text{crête}}$  en différentiel ou  $3,458 V_{\text{crête}}$  par branche.

La résolution des sorties audio doit être de 24 bits et celle des sorties ultrasoniques de 16 bits. La fréquence d'échantillonnage doit être configurable. Cette dernière doit pouvoir prendre les valeurs de 48 kHz, 96 kHz ou 192 kHz pour la section audio et 384 kHz, 768 kHz et 1 MHz pour la section ultrasonique. Il en résulte donc que la bande passante maximale nécessaire pour recevoir les données de l'ordinateur est de :

$$\begin{aligned} BW_{\text{max\_rx\_audio}} &= 2 \cdot (24\text{bits} \cdot 192000\text{s}^{-1}) = 9,216\text{Mbps} \\ BW_{\text{max\_rx\_ultrasonique}} &= 2 \cdot (16\text{bits} \cdot 1 \cdot 10^6\text{s}^{-1}) = 32\text{Mbps} \end{aligned} \quad (3.4)$$

Le rapport signal à bruit désiré pour les sorties analogiques est limité à 84 dB pour la plage ultrasonique. Toutefois pour les connecteurs audio, le rapport signal à bruit doit atteindre la valeur de 120 dB. Afin d'atteindre de telles performances de SNR, autant en entrées qu'en sorties, il est essentiel de porter une attention particulière au découplage des alimentations de la carte et au vacillement des horloges. Lors de la conception de la carte, des calculs respectant ces contraintes ont été effectués et peuvent être retrouvés dans le rapport de projet spécial : *Rapport de recherche sur le projet de carte d'acquisition HR-DACADC* (Caron, 2006).

### 3.4 Étude du lien de communication avec un ordinateur

Dans le cahier des charges, il est spécifié que la carte HR-DACADC doit communiquer avec un ordinateur par un lien USB2.0. Toutefois, comme ce mode de communication a causé certains problèmes (voir le chapitre sur la communication avec l'ordinateur) cette section traite uniquement des fonctionnalités nécessaires par le lien de communication.

Selon le cahier des charges, ce lien doit permettre le fonctionnement de deux canaux en acquisition et de deux en génération de signal en même temps. La bande passante maximale bidirectionnelle entre l'ordinateur et la carte est donc adoptée lorsqu'on utilise tous les canaux ultrasoniques avec une résolution de 16 bits :

$$BW_{\max\_bidirectionnelle} = 2 \cdot (16\text{bits} \cdot 2,5 \cdot 10^6 \text{ s}^{-1}) + 2 \cdot (16\text{bits} \cdot 1 \cdot 10^6 \text{ s}^{-1}) = 112\text{Mbps} \quad (3.5)$$

L'équation (3.5) présente donc le taux de transfert maximal nécessaire pour transmettre les données. Cependant, ce lien doit aussi permettre de changer les paramètres de la carte comme la fréquence d'échantillonnage et la résolution de chacun des canaux ou la valeur des filtres numériques présents pour les ADC ou les DAC ultrasoniques. Il est donc nécessaire de prévoir une capacité de communication légèrement supérieure à 112 Mbps. Finalement, le lien de communication doit être supporté par Labview afin de pouvoir utiliser ce programme pour générer ou pour traiter l'information véhiculée par ce lien.

### 3.5 Étude des alimentations

Selon le cahier des charges, la carte d'acquisition doit être fonctionnelle avec une seule alimentation bipolaire de  $\pm 20\text{V DC}$  précis à 5 % avec un taux de régulation de  $\pm 1\%$ . Le bloc d'alimentation doit pouvoir fournir un courant de 2,5 ampères (A). Ces caractéristiques étant très peu rigoureuses, il est nécessaire d'avoir une très bonne régulation pour chacune des tensions nécessaires sur la carte du HR-DACADC et sur la façade analogique. De plus, comme toutes les tensions différentes seront régulées à partir d'une même source de tension,

le découplage de chacune des alimentations devra être rigoureux afin de prévenir le bruit provenant des sections numériques de la carte ne se propage dans les alimentations des sections analogiques. Il sera donc nécessaire d'avoir un régulateur dédié pour chaque tension de chaque composant analogique et des régulateurs dédiés pour chaque tension nécessaire à l'ensemble des circuits numériques.

Le **Tableau 3.1** présente une synthèse des contraintes concernant la section de l'ÉTS du projet.

Tableau 3.1 Résumé des caractéristiques requises pour la carte HR-DACADC

<b>Section</b>	<b>Sous-section</b>	<b>Bande passante</b>	<b>Résolution (bits)</b>	<b>SNR (dB)</b>
ADC	configuration audio	96 kHz	24	103
	configuration ultrasonique	500 kHz	16	84
DAC	audio	96 kHz	24	103
	ultrasonique	500 kHz	16	84
Communication avec PC	---	> 112 Mbps	---	---
Alimentation	analogique	---	---	100
	numérique	---	---	60

Il est à noter que pour les ADC, la sous-section indique plutôt la configuration active puisque le même convertisseur est utilisé pour l'acquisition audio et ultrasonique. De plus, les contraintes sur les alimentations indiquent plutôt le rapport entre la tension DC à la sortie de chaque régulateur et tout autre bruit présent sur cette broche.

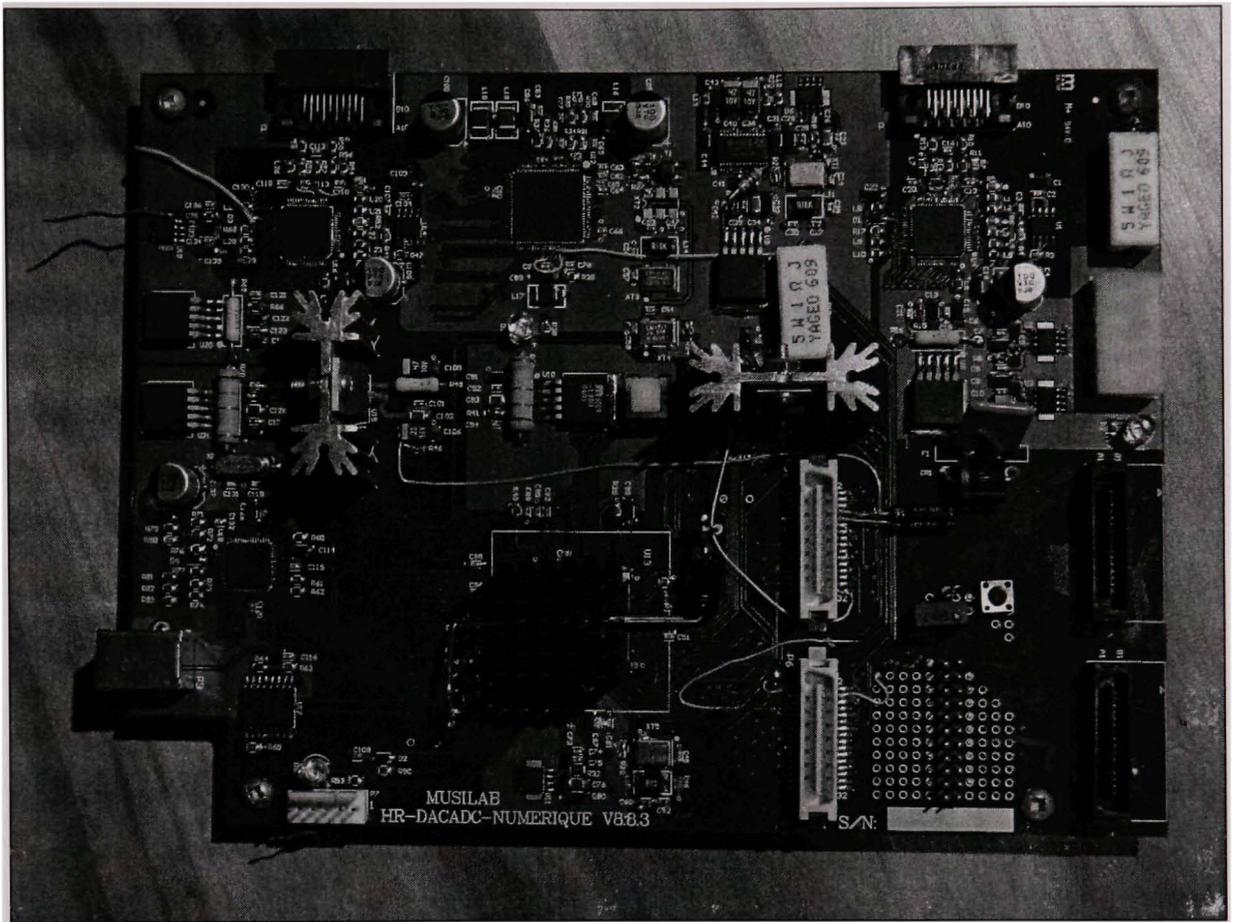
## CHAPITRE 4

### RÉALISATION DES CARTES DU PROJET

Comme plusieurs circuits imprimés (*Printed Circuit Board*, PCB) ont été conçus et réalisés dans le cadre de ce travail, ce chapitre traitera donc de la conception, de la réalisation et du déverminage de chacune d'entre elles.

#### 4.1 Réalisation et déverminage de la carte HR-DACADC

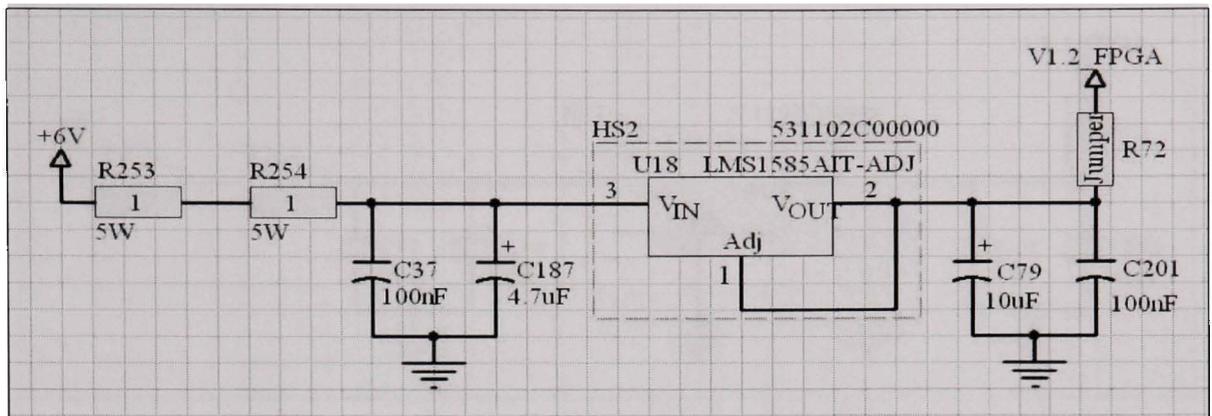
La conception de la carte principale du projet HR-DACADC, la justification du choix des composants ainsi que leur configuration ayant déjà été traitées en profondeur dans un précédent rapport (Caron, 2006), ce sujet ne sera pas abordé dans ce document. Toutefois, certains problèmes sont apparus lors de la mise sous tension et le déverminage de chacune des sections du circuit imprimé. Cette section traitera donc uniquement des problèmes rencontrés et des solutions ou des pistes de solution envisagées. La Figure 4.1 représente la carte HR-DACADC modifiée qui a servi lors des multiples tests effectués sur les performances des convertisseurs.



**Figure 4.1 Carte HR-DACADC avec les modifications apportées.**

#### **4.1.1 Problème de conception pour le régulateur U18**

La conception du branchement du régulateur U7 qui devait fournir la tension de 1,2 V nécessaire au cœur du FPGA de la carte ne fonctionnait pas. En effet, le régulateur utilisé a la possibilité d'avoir un ajustement sur la tension de sortie régulisée. Puisque la tension de sortie désirée est la même que la tension de référence interne, soit de 1,25 V, la tension de sortie était originellement directement connectée à la broche d'ajustement comme le montre la figure suivante :



**Figure 4.2 Montage erroné du régulateur de tension de 1,2 V pour le FPGA.**

Toutefois, ce montage était incorrect puisque l'équation qui détermine la tension de sortie de ce régulateur est la suivante :

$$V_{\text{sortie}} = V_{\text{réf}} \cdot \left(1 + \frac{R2}{R1}\right) + I_{\text{adj}} \cdot R2 \quad (4.1)$$

Dans cette équation, R2 et R1 forment un diviseur de tension entre la sortie à la broche 2 et la broche d'ajustement (i.e. broche 1). Comme la tension de sortie désirée est la même que  $V_{\text{réf}}$ , le gain de cette équation doit être unitaire, ce qui implique un ratio  $R2/R1$  de zéro. Cependant, comme l'indique la Figure 4.2, le montage initial ne comportait aucune de ces deux résistances, correspondant à un ratio  $R2/R1$  infini, ce qui était erroné. Pour obtenir le ratio de zéro, la résistance connectée à la tension de sortie doit plutôt être de  $0 \Omega$  et non un circuit ouvert. La résistance R2 est donc inutile et est remplacée par un bout de fil. Comme ce régulateur doit fournir un courant minimal afin de pouvoir réguler la tension de sortie, on conserve une résistance de  $50 \Omega$  en R1 pour maintenir un courant minimal de 25 mA. Le schéma équivalent du circuit corrigé est présenté à la Figure 4.3.

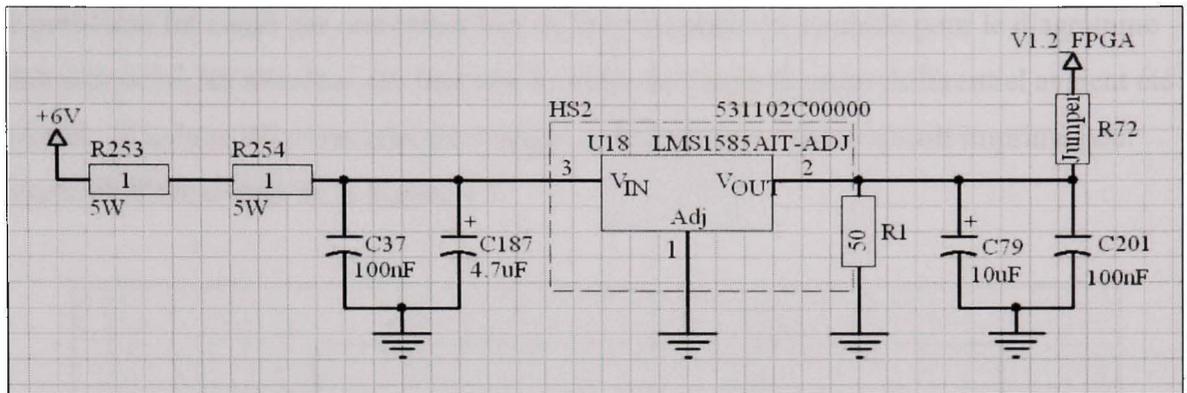


Figure 4.3 Montage corrigé du régulateur de tension de 1,2 V pour le FPGA.

#### 4.1.2 Problème de montage avec l'amplificateur différentiel de l'AD7760

Une erreur est survenue lors de la conception du filtre d'anti-repliement utilisant l'amplificateur différentiel présent dans l'AD7760. En effet, la rétroaction des sorties se connectait sur l'entrée de même polarité, faisant ainsi saturer le système plutôt que de le stabiliser en faisant une contre-réaction. La connexion originale sur le circuit imprimé était telle qu'indiquée par la Figure 4.4.

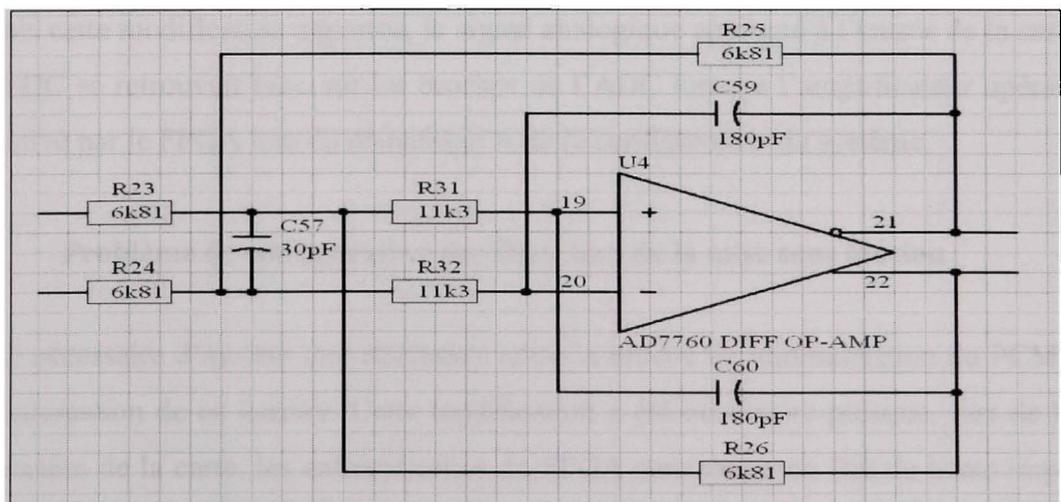
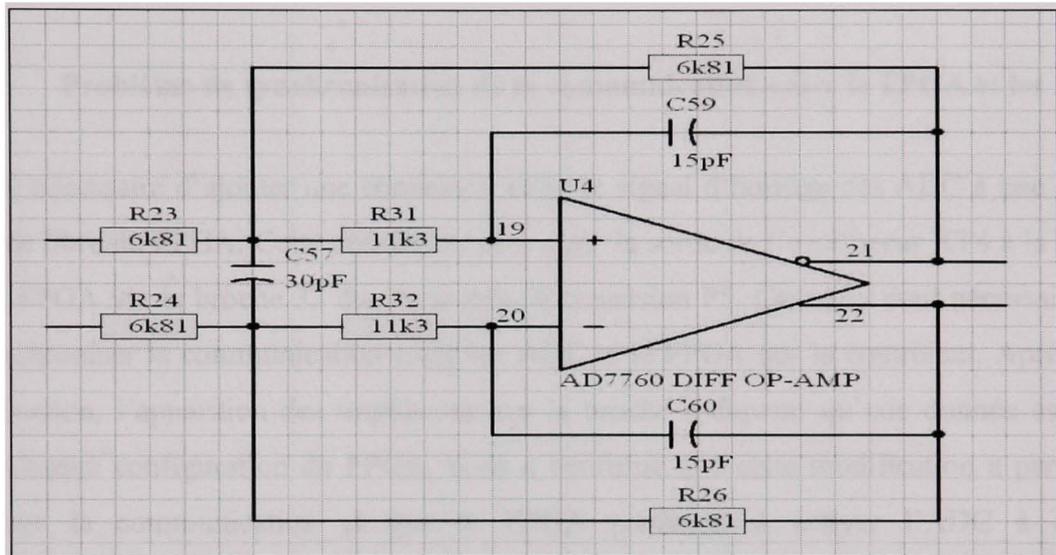


Figure 4.4 Montage erroné avec l'amplificateur différentiel de l'AD7760.

Ce problème fut causé par une erreur lors de la conception du symbole pour le diagramme schématique où les numéros des broches de sortie de l'amplificateur différentiel avaient été inversés. Il a donc été nécessaire de changer ce branchement sur le circuit imprimé pour obtenir plutôt le circuit de la Figure 4.5.



**Figure 4.5 Montage corrigé avec l'amplificateur différentiel de l'AD7760.**

Une fois cette modification apportée, le signal analogique appliqué à l'entrée de la carte HR-DACADC se retrouvait bien sur les broches de l'ADC lorsque l'amplificateur opérationnel était activé par le FPGA lors du démarrage et de la configuration du système.

#### 4.1.3 Problème de configuration des DAC lors de la mise sous tension

Il a été nécessaire d'ajouter une résistance entre la broche de réinitialisation du PCM1794A et l'alimentation de ce dernier. Cette modification a été nécessaire puisque, lors de la mise sous tension de la carte, les entrées/sorties du FPGA sont toutes en état de haute impédance et cela ne permet pas de maintenir le niveau de cette broche dans un état connu. Hors, ce signal contrôle la broche de réinitialisation des deux circuits intégrés contenant les DAC audio et ultrasonique. Puisque le niveau logique requis pour activer ces composants est l'inverse l'un de l'autre, une telle configuration permet de s'assurer qu'il y a toujours un seul

composant activé à la fois. Avant l'ajout de la résistance, il était alors possible d'avoir les deux composants actifs en même temps jusqu'à ce que le FPGA soit activé puisque cette broche était laissée flottante. La résistance maintient donc ce signal à un niveau logique haut, donc seul le DAC audio est en fonction, jusqu'à ce que le FPGA soit configuré et que l'état de sa broche correspondante ne soit plus en état de haute impédance.

#### **4.1.4 Problème de synchronisation de la communication entre le FPGA et les ADC**

Il a été nécessaire d'ajouter une connexion entre le signal d'horloge des ADC à une broche d'entrée libre du FPGA. Cette connexion relie donc la sortie de l'oscillateur XT4 à la broche T1 du FPGA via la broche 32 du connecteur d'expansion P5. Cet ajout était nécessaire afin de synchroniser la communication entre les ADC et le FPGA qui la contrôlent. Après cette modification, l'apparition des impulsions sur la broche indiquant qu'une donnée est prête après chaque configuration du FPGA, nous a confirmé que cette modification a permis de stabiliser la communication et que le FPGA parvenait à activer l'ADC à chaque configuration. Cette configuration est requise à chaque alimentation de l'ADC puisque ce dernier est en état de repos par défaut.

#### **4.1.5 Problème de branchement de signaux sur certaines broches du FPGA**

Il a été nécessaire d'inverser les broches du FPGA qui sont connectées aux signaux SCLK et SPI\_SDO du circuit intégré contenant les DAC ultrasoniques, soit l'AD9779 d'Analog Devices Inc. Cette modification était nécessaire car le signal SCLK doit être généré par le FPGA et ce dernier était relié à une broche pouvant être en mode entrée uniquement. Le signal SPI\_SDO, quant à lui, contient les données provenant de l'AD9779 lorsque ce dernier est configuré en mode de communication sériel à trois fils. Ce signal peut donc être relié à une entrée du FPGA sans problème, d'où le choix de l'inversion entre ces deux signaux.

#### 4.1.6 Ajout d'alimentation sur les connecteurs d'expansion de la carte HR-DACADC

Des interrupteurs, des boutons poussoir et des diodes électroluminescentes ont été ajoutés à la carte d'interconnexion entre le FPGA et le Iport PT1000-ST afin de faciliter le déverminage du système et d'afficher l'état du FPGA. Comme ces composants nécessitent une alimentation, une connexion a été ajoutée entre la broche de sortie du régulateur de tension de 3,3 V du FPGA et la broche 8 du connecteur d'expansion P5. Cette tension a été choisie car il s'agit de la même que celle alimentant la banque trois du FPGA. Cette banque étant celle contenant les entrées/sorties connectées à la carte d'interconnexion via les quatre connecteurs d'expansion, le niveau logique de ces broches est donc aussi de 3,3 V, permettant ainsi de lire l'état des interrupteurs et boutons poussoir.

#### 4.2 Conception de la carte de mise en forme des signaux analogiques

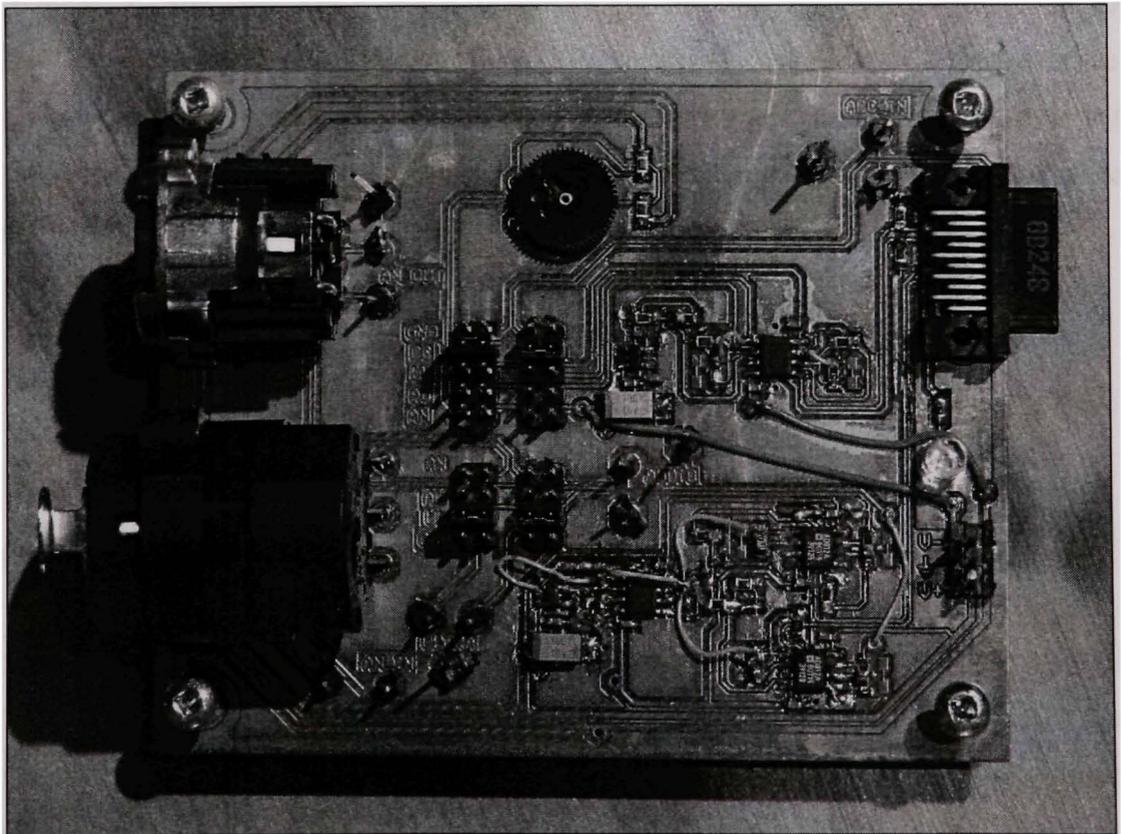


Figure 4.6 Carte de conversion courant à tension pour projet HR-DACADC.

Puisque tous les DAC du HR-DACADC possèdent des sorties de courant, il est nécessaire de concevoir une autre carte pour faire la conversion de courant à tension afin que les signaux analogiques générés correspondent aux critères du cahier des charges du projet. La Figure 4.6 montre la carte réalisée pour faire cette mise en forme des signaux. Cette section présentera donc les calculs et choix de conception qui ont mené à la réalisation de cette carte.

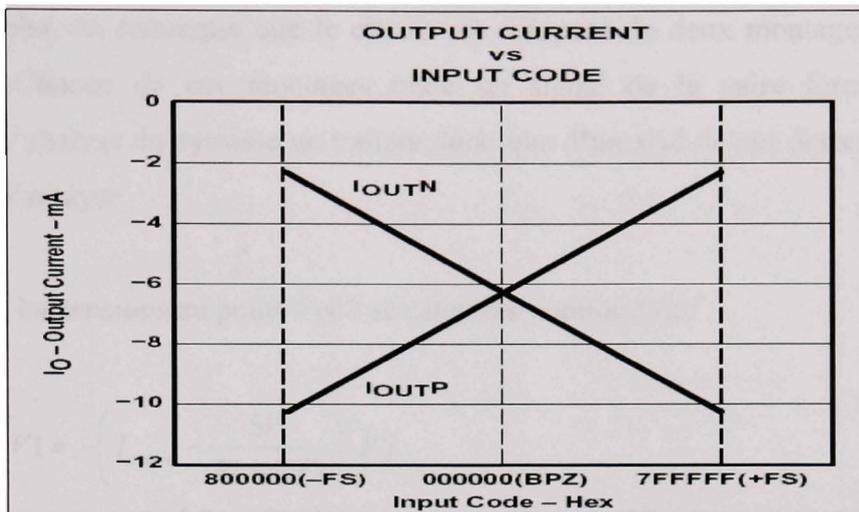
Toutes les sorties de courant présentes sur la carte ne peuvent générer une tension supérieure à 1V à leur borne. Il est donc impossible de simplement connecter des résistances de basse impédance en parallèle avec les sorties du HR-DACADC pour obtenir la tension désirée. De plus, les DAC utilisés ayant des alimentations unipolaires mais des sorties différentielles, un courant de décalage est ajouté aux sorties afin d'avoir une symétrie autour de cette valeur entre les deux broches de chaque sortie. Comme le cahier des charges requiert des sorties parfaitement bipolaires, c'est-à-dire sans tension continue, les circuits de conversion du signal de courant à un signal de tension doivent également éliminer le courant de décalage des sources du HR-DACADC. Selon le cahier des charges, toutes les sorties des DAC doivent avoir la même amplitude. Ce niveau de sortie est décrit comme balancé avec un niveau de -12 dB FS à +4 dBu. Cela correspond donc à avoir une tension à pleine échelle (i.e. 0 dB FS) de +16 dBu. Avec cette valeur, il est possible de déterminer la tension crête de chacune des broches de chaque sortie :

$$16dBu = 0,775V \cdot 10^{16/20} = 4,889V_{RMS} = 4,889 \cdot \sqrt{2} = 6,915V_{crête}$$

$$V_{crête \text{ d'une tige}} = \frac{V_{crête}}{2} = \frac{6,915V}{2} = 3,4575V_{crête \text{ par tige}} \quad (4.2)$$

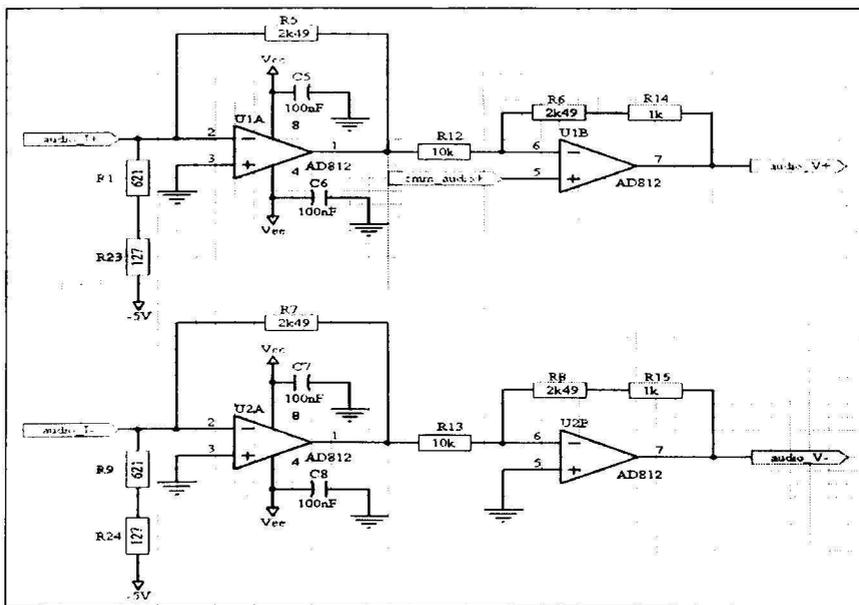
#### 4.2.1 Conception du circuit de conversion courant à tension pour les DAC audio

Le circuit intégré PCM1794A du manufacturier Texas Instrument est utilisé sur le HR-DACADC comme DAC audio. Tel que mentionné dans sa fiche technique (Texas Instrument, 2006), son courant de sortie par défaut est de  $\pm 3,9$  mA avec un courant de décalage de 6,2 mA. La Figure 4.7 représente le graphique de courant de sortie pour chacune des broches de sortie en fonction du code binaire appliqué :



**Figure 4.7** Graphe des courants de sortie du PCM1794A en fonction du code appliqué.  
Tiré de (Texas Instrument, 2006)

Le circuit suivant a été conçu pour générer une tension de sortie conforme au cahier des charges à partir de ce courant d'entrée :



**Figure 4.8** Diagramme schématique du convertisseur courant à tension pour DAC audio.

Dans ce schéma, on remarque que le circuit est composé de deux montages parfaitement symétriques. Chacun de ces montages traite un signal de la paire formant le signal différentiel. L'analyse du système ne traitera donc que d'un seul de ces deux montages afin de simplifier l'analyse.

Tout d'abord, les tensions au point 1 et 7 se calculent comme suit :

$$\begin{aligned}
 V_1 &= -\left( I_{\text{entrée}} - \frac{5V}{R_1 + R_{23}} \right) \cdot R_5 \\
 V_{\text{sortie}} &= V_1 \cdot \frac{-(R_6 + R_{14})}{R_{12}} = \left( I_{\text{entrée}} - \frac{5V}{R_1 + R_{23}} \right) \cdot \frac{R_5 \cdot (R_6 + R_{14})}{R_{12}} \quad (4.3)
 \end{aligned}$$

La résistance équivalente à  $(R_1 + R_{23})$  doit être sélectionnée pour drainer uniquement le courant de décalage présent à l'entrée :

$$\begin{aligned}
 I_{R_4} &= \frac{5V}{R_1 + R_{23}} = 6,2mA \\
 \Rightarrow R_1 + R_{23} &= \frac{5V}{6,2mA} = 806,452\Omega \quad (4.4)
 \end{aligned}$$

Les autres résistances du circuit peuvent être calculées de façon à obtenir l'amplitude désirée en sortie :

$$\begin{aligned}
 V_{\text{sortie max}} &= 3,4575V = \left( I_{\text{sortie max}} - \frac{5V}{R_1 + R_{23}} \right) \cdot \frac{R_5 \cdot (R_6 + R_{14})}{R_{12}} = (10,1mA - 6,2mA) \cdot \frac{R_5 \cdot (R_6 + R_{14})}{R_{12}} \\
 \text{et} \\
 V_{\text{sortie min}} &= -3,4575V = \left( I_{\text{sortie min}} - \frac{5V}{R_1 + R_{23}} \right) \cdot \frac{R_5 \cdot (R_6 + R_{14})}{R_{12}} = (2,3mA - 6,2mA) \cdot \frac{R_5 \cdot (R_6 + R_{14})}{R_{12}} \quad (4.5) \\
 \Rightarrow \frac{R_5 \cdot (R_6 + R_{14})}{R_{12}} &= 886,54
 \end{aligned}$$

Sur le circuit imprimé, la valeur de  $(R1 + R23)$  est de  $808 \Omega$  composée d'une résistance de  $621 \Omega$  en série avec une  $127 \Omega$ . La valeur de  $R1$  est de  $2,49 \text{ k}\Omega$ . La valeur de  $R12$  est de  $10 \text{ k}\Omega$  et la valeur de  $(R6 + R14)$  est de  $3,49 \text{ k}\Omega$  composée d'une résistance de  $1 \text{ k}\Omega$  en série avec une résistance de  $2,49 \text{ k}\Omega$ . On peut donc prévoir les tensions de sorties résultantes et calculer l'erreur correspondante :

$$\begin{aligned} V_{\text{sortie max}} &= \left( I_{\text{sortie max}} - \frac{5V}{R1 + R23} \right) \cdot \frac{R5 \cdot (R6 + R14)}{R12} = \left( 10,1 \text{mA} - \frac{5V}{808\Omega} \right) \cdot \frac{2490 \cdot 3490}{10000} = 3,399V \\ V_{\text{sortie min}} &= \left( I_{\text{sortie min}} - \frac{5V}{R1 + R23} \right) \cdot \frac{R5 \cdot (R6 + R14)}{R12} = \left( 2,3 \text{mA} - \frac{5V}{808\Omega} \right) \cdot \frac{2490 \cdot 3490}{10000} = -3,379V \end{aligned} \quad (4.6)$$

Des résultats trouvés à l'équation (4.6), il est possible de calculer l'erreur d'amplitude et de tension de décalage exigée par le cahier des charges :

$$\begin{aligned} V_{\text{crête}} &= V_{\text{sortie max}} - V_{\text{sortie min}} = 3,399V - (-3,379V) = 6,778V = 15,826 \text{dBu} \\ \text{Erreur}_{\text{gain}} &= [16 - 15,826 = 0,174] \text{dBu} \\ V_{\text{décalage}} &= \frac{V_{\text{sortie max}} - V_{\text{sortie min}}}{2} + V_{\text{sortie min}} = \frac{3,399V - (-3,379V)}{2} + (-3,379V) = 0,01V = 10 \text{mV} \end{aligned} \quad (4.7)$$

Avec ces valeurs, la tension de sortie devrait avoir une erreur de gain de seulement  $0,174 \text{ dB}$  et une tension de décalage de  $10 \text{ mV}$ . Le choix de ces valeurs élevées des résistances présentes dans les boucles de gain des amplificateurs opérationnels est imposé par la technologie de ce type d'amplificateur. En effet, l'amplificateur opérationnel choisi est l'AD812 du manufacturier Analog Devices Inc. Ce type de composant possède un système de rétroaction de courant plutôt que de tension. Cette topologie permet d'obtenir un meilleur gain à large bande passante du produit et un délai de réponse plus court. Toutefois, cette topologie est très sensible aux capacités parasites présentes et devient instable lorsque les résistances de rétroaction sont trop faibles. Comme la tension en sortie du premier étage est directement proportionnelle à la valeur de la résistance  $R1$ , la tension obtenue avec une valeur élevée était supérieure à la tension de sortie désirée. C'est pourquoi un deuxième étage

avec un gain fractionnaire était nécessaire pour obtenir le niveau de tension requis. De plus, afin de minimiser la diaphonie entre les deux canaux, il est préférable de ne pas utiliser deux amplificateurs opérationnels présents dans un même boîtier. Puisque la présence de diaphonie vient dégrader la performance du rapport signal à bruit et que ce critère est très important dans la section audio, il était donc justifié de ne pas utiliser un seul circuit intégré contenant les amplificateurs opérationnels requis pour les deux canaux mais bien des boîtiers distincts. Comme l'AD812 possède deux amplificateurs opérationnels dans son boîtier, il était donc possible de réaliser ce circuit tout en n'utilisant qu'un seul boîtier d'amplificateur opérationnel par canal.

#### 4.2.2 Conception du circuit de conversion courant à tension pour les DAC ultrasoniques

Le circuit intégré AD9779 du manufacturier Analog Devices Inc. est utilisé sur le HR-DACADC comme DAC ultrasonique. Tel que mentionné dans sa fiche technique (Analog Devices, 2005b), son courant de sortie par défaut est défini par l'équation (4.8) :

$$I_{FS} = \frac{1,2V}{R} \cdot \left[ \frac{27}{12} + \left( \frac{6}{1024} \cdot GAIN_{DAC} \right) \right] \cdot 32 \quad (4.8)$$

Tiré d'(Analog Devices, 2005b)

Comme la valeur de R vaut 10 kΩ dans le circuit et que, par défaut, GAIN<sub>DAC</sub> vaut 0h1F9 (i.e. 505), on peut trouver la valeur du courant de source :

$$I_{FS} = \frac{1,2V}{10000} \cdot \left[ \frac{27}{12} + \left( \frac{6}{1024} \cdot 505 \right) \right] \cdot 32 = 20,0025mA \quad (4.9)$$

La variation du courant couvre donc une plage de 20 mA. Comme le courant de décalage de ce circuit intégré est la moitié de sa plage dynamique, on obtient une valeur de sortie de ± 10 mA avec un courant de décalage de 10 mA. La Figure 4.9 représente le graphique de courant de sortie pour chacune des broches de sortie en fonction du code binaire appliqué :

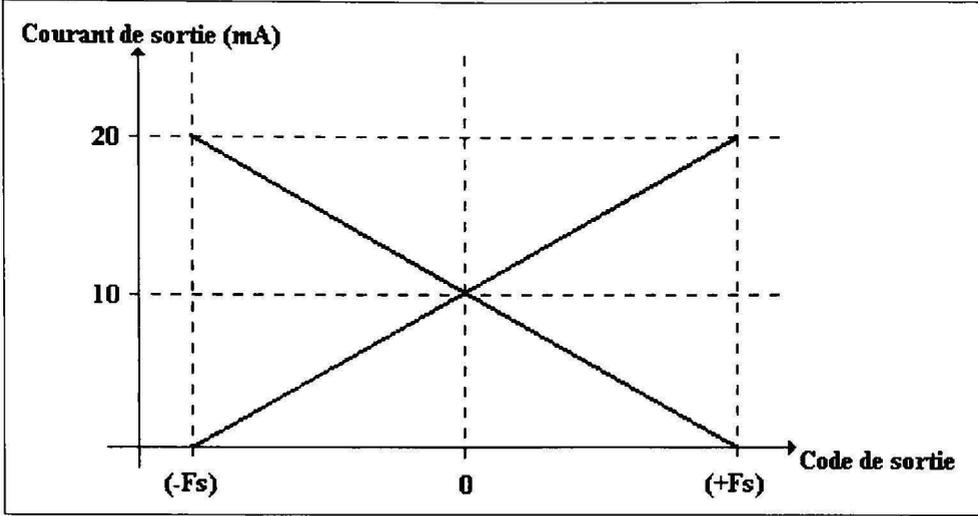


Figure 4.9 Graphe des courants de sortie de l'AD9779 en fonction du code appliqué.

Le circuit suivant a été conçu pour générer une tension de sortie conforme au cahier des charges à partir de ce courant d'entrée :

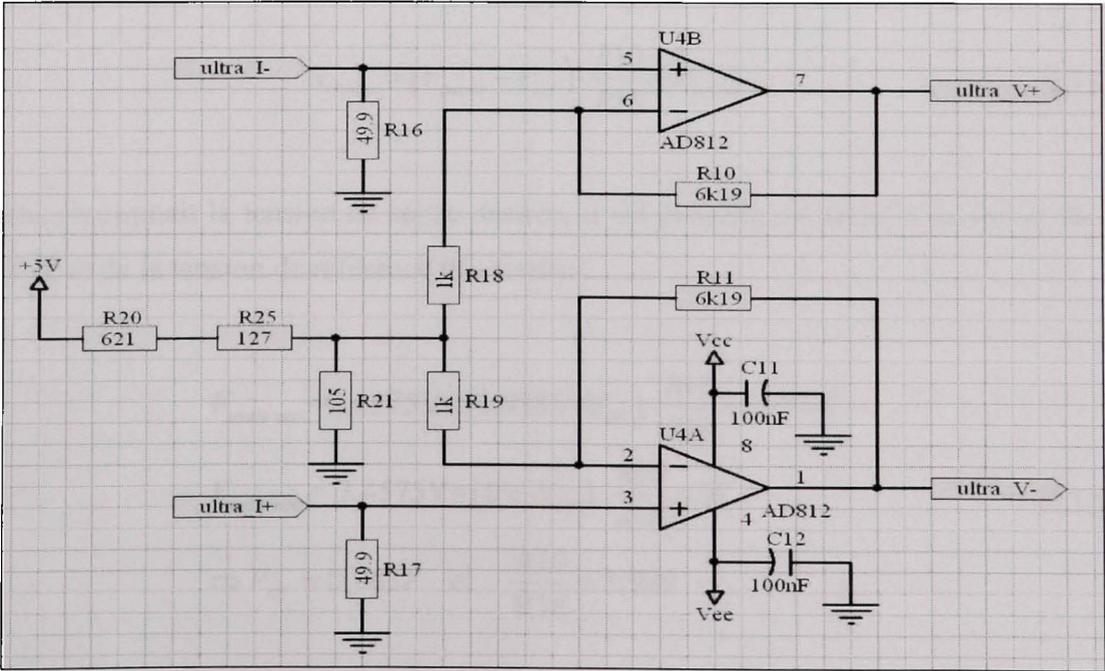


Figure 4.10 Diagramme schématique du convertisseur courant à tension pour DAC audio.

Dans ce schéma, on remarque que le circuit est composé de deux montages parfaitement symétriques. Chacun de ces montages traite un signal de la paire formant le signal différentiel. L'analyse du système ne traitera donc que d'un seul de ces deux montages afin de simplifier l'analyse.

Premièrement, la tension à l'entrée de l'amplificateur opérationnel se calcule comme suit :

$$\begin{aligned} V_{\text{entrée}} &= I_{\text{entrée}} \cdot R16 \\ \Rightarrow V_{\text{entrée max}} &= 20\text{mA} \cdot 49,9\Omega = 0,998\text{V} \\ V_{\text{entrée min}} &= 0\text{mA} \cdot 49,9\Omega = 0\text{V} \end{aligned} \quad (4.10)$$

Cette tension est donc directement proportionnelle à la valeur de R16. Puisque la tension de sortie aux bornes de l'AD9779 ne peut dépasser  $\pm 1\text{V}$ , la valeur de R16 est donc limitée à  $50\ \Omega$ , d'où le choix de  $49,9\ \Omega$ , qui est une valeur normalisée à 1 %. À partir de cette tension à l'entrée, on trouve la tension de sortie correspondante :

$$V_{\text{sortie}} = (V_{\text{entrée}} - V_{\text{réf}}) \cdot \frac{R10}{R18} + V_{\text{entrée}} \quad (4.11)$$

Comme on connaît la tension de sortie désirée, il est possible de calculer la valeur du ratio R10/R18 et de la tension de référence nécessaire :

$$\begin{aligned} V_{\text{sortie max}} &= 3,4575\text{V} = (0,998\text{V} - V_{\text{réf}}) \cdot \frac{R10}{R18} + 0,998\text{V} \\ V_{\text{sortie min}} &= -3,4575\text{V} = (0\text{V} - V_{\text{réf}}) \cdot \frac{R10}{R18} + 0\text{V} \\ \Rightarrow V_{\text{réf}} &= 0,583\text{V} \quad \text{et} \quad \frac{R10}{R18} = 5,929 \end{aligned} \quad (4.12)$$

Sur le circuit imprimé, la valeur de R10 est de 6,19 kΩ et la valeur de R18 est de 1 kΩ. La tension de référence est générée à partir d'un régulateur de tension de 5V et d'un simple diviseur de tension. Ce dernier est composé de trois résistances. Les deux premières, R20 et R25 ont des valeurs de 621 Ω et de 127 Ω respectivement pour former une résistance totale de 808 Ω. La dernière résistance est R21 avec une valeur de 105 Ω. L'équation (4.13) détermine les tensions de sorties réelles selon les résistances choisies :

$$\begin{aligned}
 V_{réf} &= 5V \cdot \frac{R21}{R21 + R20 + R25} = 5V \cdot \frac{105}{105 + 808} = 0,575V \\
 V_{sortie\ max} &= (0,998V - 0,575V) \cdot \frac{6190\Omega}{1000\Omega} + 0,998V = 3,616V \\
 V_{sortie\ min} &= (0V - 0,575V) \cdot \frac{6190\Omega}{1000\Omega} + 0V = -3,559V
 \end{aligned} \tag{4.13}$$

À partir de ces valeurs, il est possible de calculer l'erreur de gain et de tension de décalage par rapport aux exigences du cahier des charges :

$$\begin{aligned}
 V_{crête} &= V_{sortie\ max} - V_{sortie\ min} = 3,616 - (-3,559) = 7,176V = 16,321dBu \\
 Erreur_{gain} &= 16 - 16,321 = 0,321dBu \\
 V_{décalage} &= \frac{V_{sortie\ max} - V_{sortie\ min}}{2} + V_{sortie\ min} = \frac{3,616 - (-3,559)}{2} + (-3,559) = 0,029V = 29mV
 \end{aligned} \tag{4.14}$$

Avec ces valeurs, la tension de sortie possède donc une erreur de gain de seulement 0,321 dB et une tension de décalage de 29 mV. Encore une fois, la valeur des résistances d'ajustement de gain dans ce montage ont été choisies à des valeurs élevées afin d'éviter l'oscillation de l'AD812. Toutefois, cette nouvelle technologie est très sensible aux capacités parasites et demande des considérations particulières lors de la conception du circuit imprimé. Comme ces recommandations n'ont pas été totalement respectées, il s'est avéré qu'en pratique ce circuit était instable. L'AD812 a donc été remplacé par le TLE2082 (Texas Instrument, 2001) qui est un amplificateur opérationnel avec topologie de rétroaction de tension possédant la même configuration de broches. Avec ce changement de composant, ce montage s'est montré stable et fonctionnel. Cependant, afin d'augmenter le courant de rétroaction et de diminuer le

bruit capté par le circuit, les valeurs des résistances pourraient être diminuées d'un facteur d'environ 10. Cette modification n'a toutefois pas été réalisée avant les tests de quantification des performances de la carte. Il serait donc possible de faire ce changement et de valider s'il y a amélioration ou non dans le futur. Il est à noter que ce montage ne nécessite qu'un seul amplificateur opérationnel. Comme le boîtier du TLE2082 en contient deux, il est donc possible d'utiliser un seul boîtier pour les deux canaux. Contrairement à la section audio, la séparation des boîtiers a été jugé non essentielle dans le cas présent puisque le rapport signal à bruit requis pour la section ultrasonique est moins exigeant.

#### 4.3 Carte d'interconnexion au Iport PT1000-ST

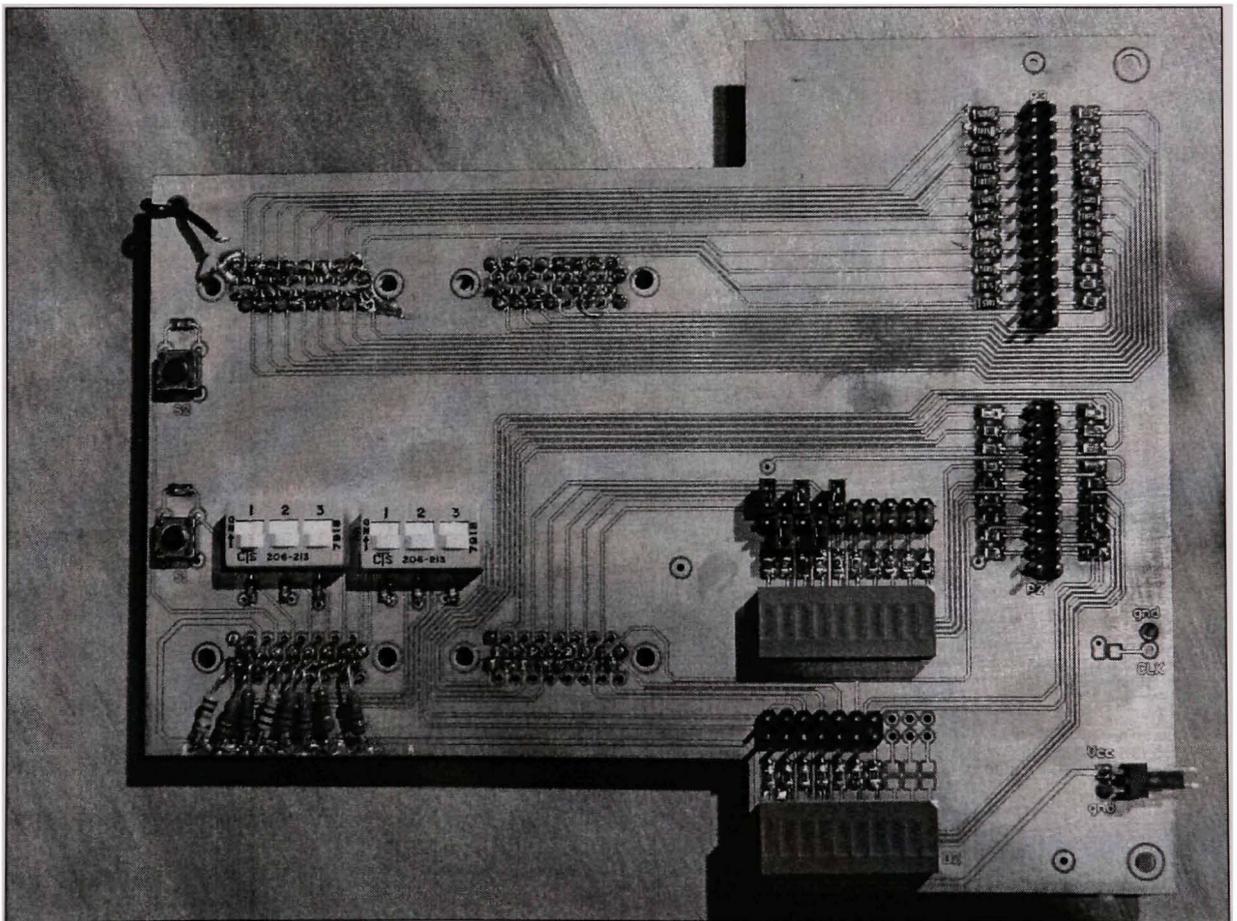


Figure 4.11 Carte d'interconnexion entre la carte HR-DACADC et l'Iport PT1000-ST.

La Figure 4.11 montre la carte sœur permettant de faire l'interconnexion entre le PT1000-ST de Pleora Technologies Inc. et le FPGA du HR-DACADC. Cette carte avait originalement été conçue pour se connecter à une carte de développement avec microprocesseur. Celle-ci aurait été en charge d'établir un lien de communication bidirectionnel entre le système et un ordinateur. C'est pour cette raison qu'en plus d'avoir les quatre connecteurs de la série FX2 de la compagnie Hirose qui se connecte dans le HR-DACADC, cette carte contient quatre autres connecteurs de sortie. Un de ces connecteurs sert à transmettre l'horloge, un autre une alimentation de 3,3 V, un autre un port de données parallèles de 24 bits et finalement le dernier connecteur compte les signaux d'activation et d'état de chacune des six mémoires tampon contenant les données de chacun des convertisseurs. Comme la carte sœur recouvre la section de développement présente sur le HR-DACADC, il a été choisi d'ajouter des interrupteurs, des boutons poussoirs et des diodes électroluminescentes à la carte sœur pour faciliter le déverminage et le suivi des états du FPGA. Cependant, comme le nombre d'entrées/sorties disponibles pour cette carte est limité, certains signaux de contrôle ont aussi été connectés aux diodes électroluminescentes (DEL) via des cavaliers. Voici donc le diagramme schématique de la carte résultante :

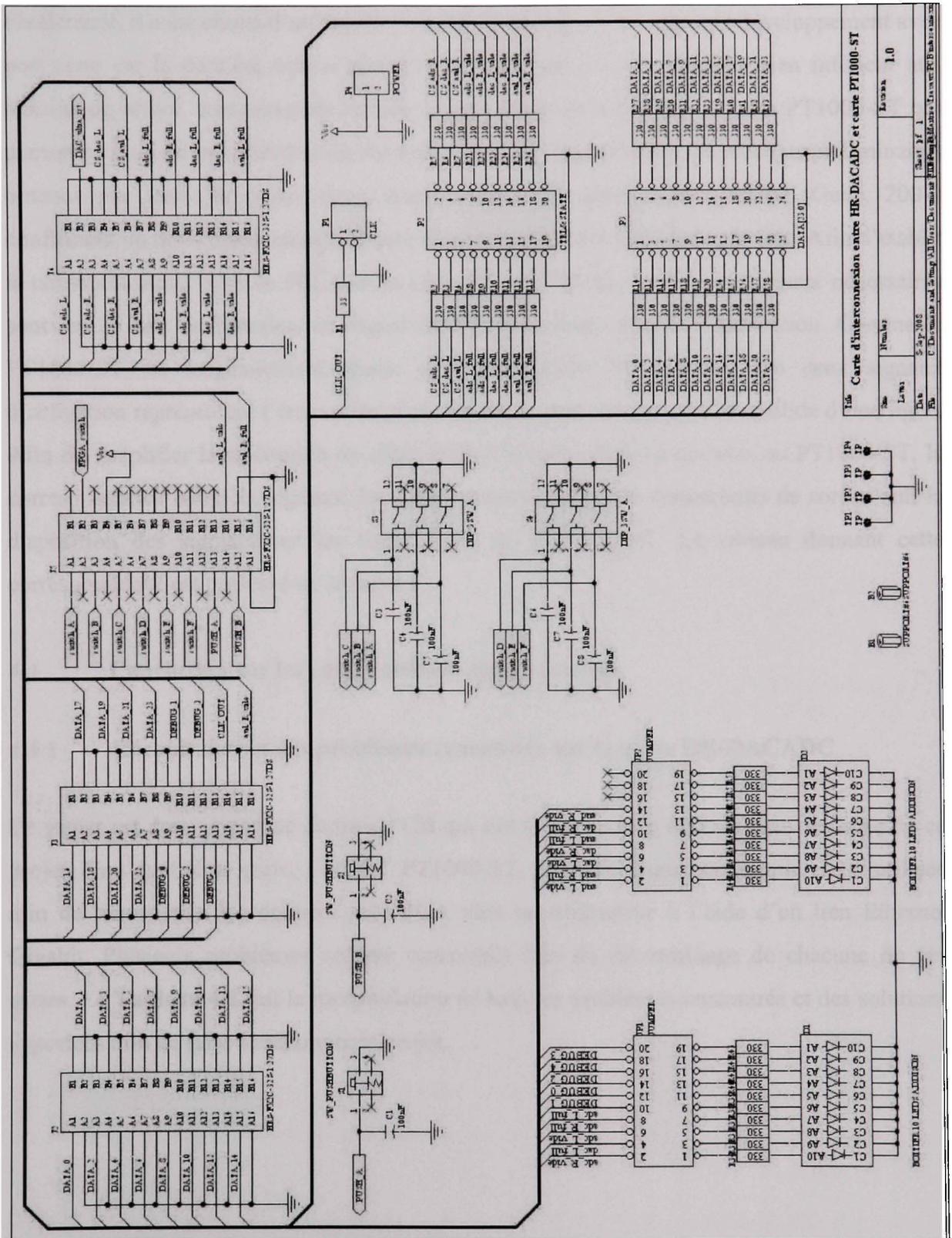


Figure 4.12 Schémas de la carte de lien entre le HR-DACADC et le PT1000-ST.

Finalement, il a été choisi d'utiliser le PT1000-ST plutôt qu'une carte de développement avec port série car la dernière option permettait d'avoir un taux de transfert bien inférieur aux besoins du projet, contrairement au lien gigabit Ethernet utilisé par la carte PT1000-ST qui permet un taux de transfert théorique amplement suffisant. De plus, les résultats préliminaires obtenus par Jean-Christophe Guay dans le cadre de son projet synthèse (Guay, 2007) confirment un débit amplement suffisant entre un FPGA et le logiciel Labview. Afin d'établir la communication entre le FPGA et la carte PT1000-ST de pleora, les signaux nécessaires sont les 24 bits de données, un signal d'horloge et deux signaux d'activation. Comme le PT1000-ST est originalement conçu pour transmettre des images, ces deux signaux d'activation représentent l'état valide d'une trame (i.e. une image) et l'état valide d'une ligne. Afin de simplifier la réalisation du câble reliant la carte d'interconnexion au PT1000-ST, la correspondance entre les signaux du FPGA et les broches des connecteurs de sorties suit la disposition des signaux sur les connecteurs du PT1000-ST. Le tableau donnant cette correspondance est présenté en Annexe I.

#### **4.4 Conclusion sur les cartes utilisées dans ce projet**

##### **4.4.1 Récapitulation des problèmes rencontrés sur la carte HR-DACADC**

Ce projet est donc constitué de trois PCB qui ont été conçus et réalisés dans le cadre de ce projet. Une quatrième carte, l'iPORT PT1000-ST, provient d'une compagnie et est utilisée afin de transmettre les données du FPGA vers un ordinateur à l'aide d'un lien Ethernet Gigabit. Plusieurs problèmes ont été rencontrés lors du déverminage de chacune de ces cartes. Le **Tableau 4.1** fait la récapitulation de tous les problèmes rencontrés et des solutions apportées afin de faire fonctionner le projet.

Tableau 4.1 Récapitulation des problèmes et des solutions sur les cartes du projet HR-DACADC

Carte	Problème	Solution apportée
HR-DACADC	Régulateur du 1,2 V pour FPGA non fonctionnel	Modification du branchement sur le circuit imprimé
HR-DACADC	Amplificateur différentiel de l'AD7760 non fonctionnel	Modification du branchement sur le circuit imprimé
HR-DACADC	Problème d'état des DAC lors de la mise sous tension de la carte HR-DACADC	Ajout d'une résistance pour maintenir niveau logique haut jusqu'à l'initialisation du FPGA
HR-DACADC	Problème de synchronisation de la communication avec AD7760	Ajout d'une connexion entre horloge de l'AD7760 et le FPGA pour synchroniser module de communication des ADC à cette horloge
HR-DACADC	Entrée de l'AD9779 branchée sur une entrée du FPGA	Modification du branchement sur le circuit imprimé pour inverser deux broches du FPGA
HR-DACADC	Alimentation absente des connecteurs d'expansion	Modification du branchement pour ajouter la tension de 3,3 V numérique au connecteur d'expansion P5
Convertisseur courant à tension	AD812 instable et part à osciller	Changement de composant pour TLE2082 qui possède la même configuration de broches
Interconnexion avec PT1000-ST	Carte sœur recouvre la section de prototypage du HR-DACADC	Ajout de DEL, d'interrupteur et de bouton poussoir sur la carte d'interconnexion

Pour la carte HR-DAC-ADC, puisqu'il a été possible de corriger tous ces problèmes sur le circuit imprimé original, la génération d'une deuxième version corrigée de la carte n'a pas été nécessaire dans le cadre de ce travail. Toutefois, il est important de noter que le déverminage de la carte a été très complexe puisque le circuit imprimé possède six couches et que tous les signaux numériques ont été insérés sur deux couches internes entre les plans d'alimentation. Ce choix de conception visait à éviter que les traces analogiques captent la radiation électromagnétique des signaux numériques et ainsi obtenir de meilleures performances. Cependant, comme les broches du FPGA ne sont pas accessibles et que toutes les traces s'y raccordant se retrouvent dans des couches internes, il est impossible d'aller lire le signal physique dans ces traces. L'intégrité de signal ou le respect de la synchronisation d'un bus de communication ne peut donc pas être vérifié aisément pour ces traces. Il aurait donc été préférable de réaliser une première génération de circuits imprimés avec un accès à la surface

de la carte pour tous ces signaux, même si cela dégrade la qualité des signaux analogiques. Ainsi le déverminage aurait été beaucoup plus rapide et il aurait été possible de réaliser une deuxième génération de cartes avec toutes les corrections nécessaires et sans ces accès aux signaux numériques pour pouvoir faire la mesure des performances réelles de la carte finale.

## **CHAPITRE 5**

### **LIEN DE COMMUNICATION BIDIRECTIONNEL À HAUT DÉBIT AVEC UN ORDINATEUR**

#### **5.1 Analyse d'un lien de communication USB 2.0**

Cette section présente le travail qui a été fait sur le premier lien de communication sélectionné, soit le standard USB 2.0. Une justification pour ce choix de lien sera d'abord présentée, puis suivra une explication des différents problèmes rencontrés.

##### **5.1.1 Justification du choix du protocole USB 2.0**

Lors de la conception préliminaire du projet visant à définir précisément le cahier des charges, le choix du protocole de communication entre la carte HR-DACADC et un ordinateur s'est arrêté sur la norme USB 2.0. Plusieurs raisons ont poussé à cette décision. Tout d'abord, la grande popularité de ce protocole a permis l'apparition d'un large éventail de périphériques qui utilisent ce lien de communication. De ce fait, la très grande majorité des ordinateurs récents sont dotés de lien USB 2.0. En utilisant ce lien, il est donc possible de relier la carte à tout ordinateur sans l'ajout de matériel physique dans ce dernier. De plus, comme l'utilisation de ce protocole est gratuit et que sa norme est disponible librement sur Internet (USB Implementers Forum Inc., 2008), il est possible de trouver beaucoup d'informations et de codes source d'applications utilisant ce lien de communication sur Internet. Cela facilite donc l'apprentissage de ce protocole et minimise le temps de développement et de déverminage de cette section du projet. De plus, la gratuité de cette norme nous assure la possibilité d'exploiter ce produit sans avoir à payer de royauté ou de licences à une autre compagnie. Aussi, la norme USB 2.0 prévoit un mode de communication de type synchrone. Ce mode, appelé « isochrone » garantit un temps de latence fixe entre chaque transmission de paquets d'une taille fixe. Ce mode de communication est donc très déterministe et permet la conception d'une application temps réel tel que prescrit dans ce projet. Finalement, l'énorme demande pour des produits exploitant cette technologie a mené

à l'apparition d'une grande variété de circuits intégrés faisant la gestion de la mise en forme du signal pour être compatible au protocole USB 2.0.

Finalement, le choix du circuit intégré devant gérer la communication USB s'est arrêté sur l'ISP1583 du manufacturier Philips. Ce choix a été imposé puisqu'à l'époque, ce composant était le seul disponible sur le marché qui supportait le mode de communication USB 2.0 Isochronous et donc répondant aux besoins du projet. Ce composant, qui fait un pont USB 2.0 à bus parallèle de 16 bits de large peut effectuer un cycle d'écriture à une fréquence maximale de 20 MHz pouvant permettre un débit maximal théorique de 320 Mbps, ce qui est presque le triple de la bande passante maximale nécessaire au système.

### **5.1.2 Problèmes rencontrés lors de l'implémentation du protocole USB2.0**

Une fois le prototype de la carte HR-DACADC assemblé, la réalisation du code VHDL pour contrôler la communication USB a pu débuter. Lors de cette étape, il s'est avéré que la documentation fournie par le manufacturier était insuffisante pour permettre d'établir une communication avec un ordinateur. L'information présente était légèrement différente de celle retrouvée dans la norme USB et aucune des deux n'a permis de faire reconnaître la carte du projet comme un périphérique USB par l'ordinateur. De plus, comme le composant ne supporte que la couche physique du protocole, toute la gestion logicielle du protocole doit être prise en charge par le FPGA. À chaque événement qui survient sur le câble USB, ce composant active un drapeau correspondant à l'événement et au drapeau d'interruption. À chaque interruption, le contrôleur doit donc vérifier l'état de tous les drapeaux pour déterminer à quelle étape de la communication on est afin de lancer la prochaine. De plus, comme l'ISP1583 contient 26 drapeaux d'interruption et que le bus parallèle ne compte que 16 bits, deux lectures sont nécessaires pour vérifier tous les drapeaux. Cela implique donc un très grand nombre de lectures et d'écritures à l'ISP1583 par le FPGA uniquement pour gérer les entêtes et les fins de protocole de contrôle de la communication. Le même bus parallèle

sert à cette gestion et à la transmission des données. Cela diminue donc grandement la bande passante utile réalisable à l'aide de ce composant.

Par la suite, un employé de l'ÉTS, Patrice Dion, a été mis en charge de cette section du projet. À ce stade, l'achat d'un analyseur de protocole USB était essentiel afin de lire les trames circulant sur le lien USB et comprendre le fonctionnement de ce protocole. Le Département de génie logiciel et des TI et M. René J' Landry du LACIME (École de technologie supérieure, 2008) ont financé conjointement l'achat de l'analyseur de protocole USB modèle Explorer 200 de la compagnie Jungo (Jungo Ltd, 2008) au coût de 5 000 \$US. Cet appareil a permis de mieux comprendre le fonctionnement de ce protocole et ainsi de déterminer que la norme USB n'est pas une norme très stricte ni standardisée. En effet, il s'est avéré que les échanges de trames pour permettre la reconnaissance d'un périphérique USB déjà existant par un ordinateur différaient de la procédure retrouvée dans la documentation de la norme USB et dans la documentation du ISP1583. De plus, cet échange différait aussi d'un système d'exploitation à l'autre. Finalement, au début du projet, le mode de communication isochrone n'était pas supporté par les contrôleurs USB de Microsoft Windows. Une mise à jour supportant ce mode a fait son apparition en cours du projet mais comme cela était trop récent, aucun support ni documentation autre que ce que l'on retrouve dans la norme n'était disponible. Il a donc uniquement été possible d'établir une communication bidirectionnelle avec un ordinateur dans un des modes de type asynchrone de la norme mais cela ne permettait plus de garantir un temps de latence inférieur au besoin du projet et donc de pouvoir fonctionner en temps réel. En effet, les modes asynchrones du USB partagent la bande passante restante entre tous les périphériques USB connectés à l'ordinateur et la latence est donc grandement dépendante de la configuration de l'ordinateur sur lequel on connecte la carte HR-DACADC.

Il a donc été choisi de trouver un autre lien de communication pour transmettre l'information entre la carte du projet et un ordinateur puisque la bande passante réellement disponible avec le USB est à la limite des besoins du projet, que le mode permettant un fonctionnement en temps réel n'est pas encore suffisamment établi sur les ordinateurs pour permettre d'écrire un

pilote permettant un tel lien de communication et parce que la non standardisation de ce protocole oblige à avoir un pilote et un programme dans le FPGA très complexe ou différent selon le système d'exploitation présent sur l'ordinateur. La recherche de solutions alternatives a été entreprise par deux étudiants dans le cadre de leur projet synthèse au baccalauréat. Jean-Christophe Guay et Marc-Alexandre Champagne ont donc fait une étude exhaustive des liens de communication sur le marché en priorisant leur simplicité d'utilisation et leur simple coût afin de rendre la solution accessible à la majorité des ordinateurs. Leur choix s'est finalement arrêté sur le lien Gigabit Ethernet avec l'utilisation d'une carte dédiée au transfert de données pour les caméras numériques. Cette carte, le iPort PT1000-ST de la compagnie Pleora Inc. (Pleora Technologies Inc, 2008a) utilise le protocole « GigE Vision » sur un lien Gigabit Ethernet standard afin d'obtenir une bande passante optimale. Ces deux étudiants ont donc réalisé une étude approfondie de ce système et développé un prototype permettant de transmettre des données à partir d'un FPGA vers le logiciel Labview dans un ordinateur.

## **5.2 Lien de communication Gigabit Ethernet avec protocole « GigE Vision »**

Après avoir déterminé que la solution USB 2.0 n'était pas concluante pour le projet, d'autres recherches ont été nécessaires afin de trouver une solution alternative pour parvenir à transmettre de l'information entre la carte HR-DACADC et un ordinateur. Le second choix s'est arrêté sur le protocole Ethernet gigabit. Plus particulièrement, il a été choisi d'utiliser en premier lieu la carte PT-1000 ST de la compagnie Pleora Inc. avec son protocole « GigE vision » (Pleora Technologies Inc, 2008a).

### **5.2.1 Justification du protocole « GigE Vision »**

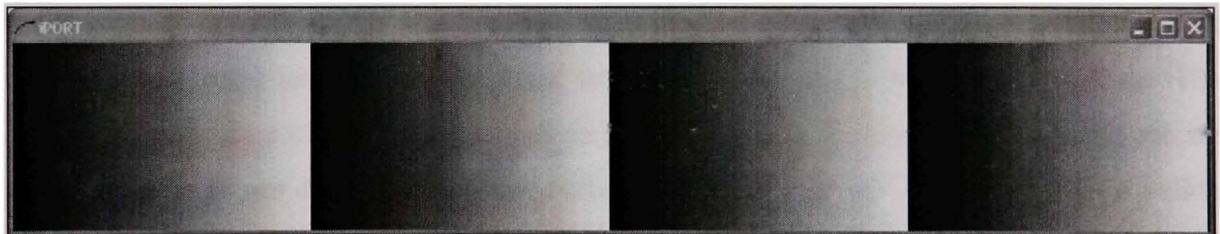
Plusieurs facteurs ont influencé ce choix. Premièrement, comme le protocole Ethernet est celui utilisé pour avoir accès à Internet, on retrouve un large éventail de produits de ce type sur le marché et il est donc possible d'équiper un ordinateur avec la technologie Ethernet Gigabit à faible coût. De plus, ce protocole est aussi gratuit d'utilisation et il existe donc plusieurs codes sources d'applications utilisant ce dernier disponible sur Internet.

L'implantation de cette technologie est donc facilitée par la grande quantité de documentation disponible. De plus, la bande passante théorique de ce protocole est de 1 Gbps, ce qui est plus du double du standard USB 2.0 et donc beaucoup plus que les besoins de ce projet. On peut donc s'attendre à avoir un débit suffisant pour notre application même si la bande passante réelle atteinte n'est qu'un faible pourcentage du débit théorique.

Finalement, le choix s'est arrêté sur la carte PT1000-ST de la compagnie Pleora Technologies. Ce produit gère complètement la mise en forme pour le protocole Ethernet et ne nécessite que de recevoir les données sur un bus de données de 16 ou 24 bits. Ceci vient donc diminuer la charge de traitement nécessaire par le FPGA pour communiquer avec un ordinateur. De plus, comme ce produit possède son propre circuit intégré, il n'est pas nécessaire de fabriquer une seconde version de la carte HR-DACADC pour remplacer la section USB par d'autres circuits intégrés. La carte HR-DACADC étant déjà dotée de connecteurs d'expansion pour ajouter des connexions sur les entrées et les sorties libres du FPGA, seul un câble permet de relier les deux cartes pour interconnecter les deux produits et avoir un système fonctionnel. De plus, la compagnie Pleora Technologies fournit les bibliothèques de fonctions et les codes source pour permettre de communiquer avec leurs pilotes et de bâtir ainsi une application dédiée au besoin du projet. Sa bibliothèque possède également les outils pour parvenir à transmettre les données directement dans Labview de National Instrument. Selon les résultats obtenus dans le cadre du cours ELE790 - Projet synthèse de Jean-Christophe Guay (Guay, 2007), cette configuration montre un taux de transfert de près de 800 Mbps entre un FPGA et Labview avec une charge de travail minimale autant pour le circuit intégré que pour l'ordinateur. Ces résultats étant plus de dix fois supérieurs aux besoins du projet, il était peu probable que cette technologie ne puisse les satisfaire, ce qui en faisait une bonne solution alternative au protocole USB 2.0. Toutefois, il est à noter que la configuration étudiée ne permet qu'un transfert unidirectionnel vers un ordinateur. Cette solution ne permet donc que de transmettre les données des ADC vers un ordinateur mais pas de transmettre les données de l'ordinateur vers les DAC. Cependant, comme le lien Gigabit Ethernet est bidirectionnel, il est fort possible que cette solution puisse être adaptée pour permettre un lien bidirectionnel.

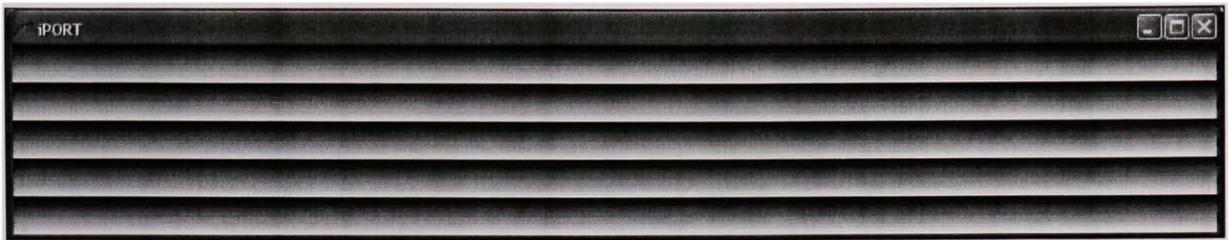
## 5.2.2 Implémentation du protocole « GigE Vision »

Comme la résolution maximale du HR-DACADC est de 24 bits, le branchement servant à interconnecter le PT1000-ST à la carte du projet exploite la pleine largeur du bus de données. Il a ensuite été nécessaire d'écrire le code VHDL pour le FPGA du projet afin de transmettre les données contenues dans les mémoires de ce dernier vers le PT1000-ST. Il a aussi été nécessaire de modifier la configuration du pilote sur l'ordinateur pour que celui-ci prenne en compte les 24 bits du port de données puisque les tests précédents n'avaient été faits que sur 8 et 16 bits. La validation a ensuite été faite pour s'assurer qu'aucune donnée ne soit perdue. Cette vérification consiste à transmettre des rampes plus ou moins longues comme données en analysant l'image résultante dans le logiciel de capture d'images fourni par le manufacturier. Voici deux figures montrant les résultats de capture lors de la transmission d'une rampe sur 14 bits transmise en trame de 160 lignes de 1024 pixels :



**Figure 5.1 Capture d'une rampe de 14 bits avec pixel gris de 8 bits.**

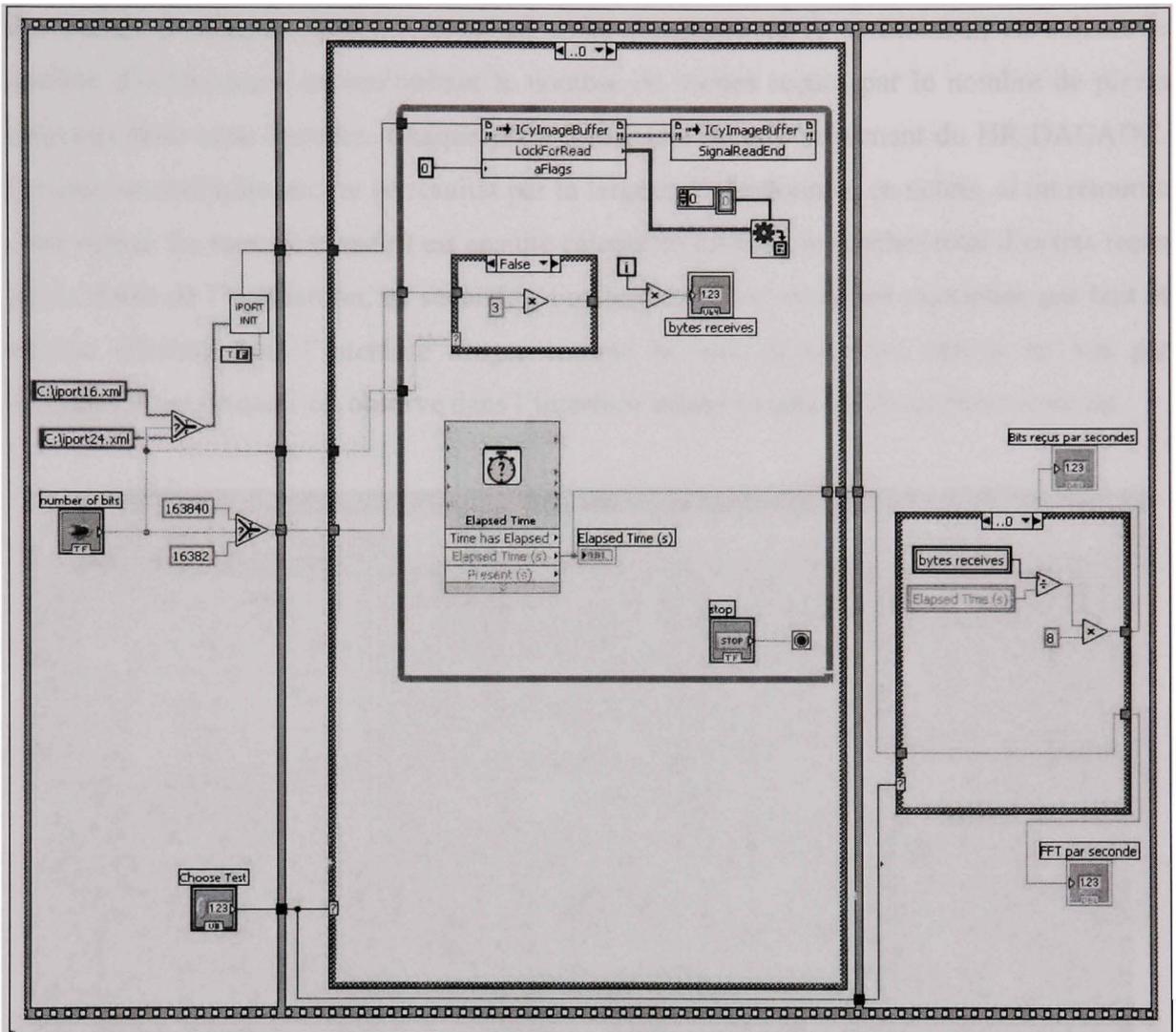
Pour la Figure 5.1, le logiciel de capture de Pleora est configuré pour traiter les données reçues comme des pixels de nuances de gris codés sur 8 bits. Dans cet état, seulement les 8 bits LSB sont considérés sur la rampe de 14 bits transmise. Cela explique qu'on obtienne quatre répétitions de toutes les 256 teintes de gris sur chaque ligne de 1 024 pixels. On remarque que les transitions du noir au blanc se retrouvent tous au même endroit sur toutes les lignes. Cela démontre bien qu'il n'y a pas de perte de pixels entre les lignes puisque, si tel était le cas, on observerait un décalage du point de transition d'une ligne à l'autre.



**Figure 5.2 Capture d'une rampe de 14 bits avec pixel gris de 14 bits.**

Dans la Figure 5.2, le logiciel de capture de Pleora est configuré pour traiter les données reçues comme des pixels de nuances de gris codés sur 14 bits. Dans cet état, seulement les 14 bits LSB sont considérés sur le port de 24 bits. Puisque cette configuration représente 16 384 nuances différentes, une rampe complète s'étend sur 16 lignes de 1 024 pixels. Puisque la longueur de l'image est un multiple de 16, on retrouve les mêmes dégradés de gris aux mêmes endroits d'une image à l'autre. Puisque l'image demeure stable, c'est-à-dire qu'elle commence toujours par une ligne noire et se termine par une ligne blanche sans avoir une impression de déroulement d'une trame à l'autre, on peut conclure qu'il n'y a aucune perte d'information entre les trames. Ces deux tests permettent donc de confirmer que le HR-DACADC parvient à transmettre une série de données vers le logiciel de Pleora sans avoir de pertes entre les lignes d'une même trame ou bien entre deux trames consécutives. Ceci valide donc le fonctionnement de cette configuration. Il est ensuite nécessaire de valider que celle-ci fonctionne aussi pour transmettre les données vers un autre logiciel, dans le cas présent Labview.

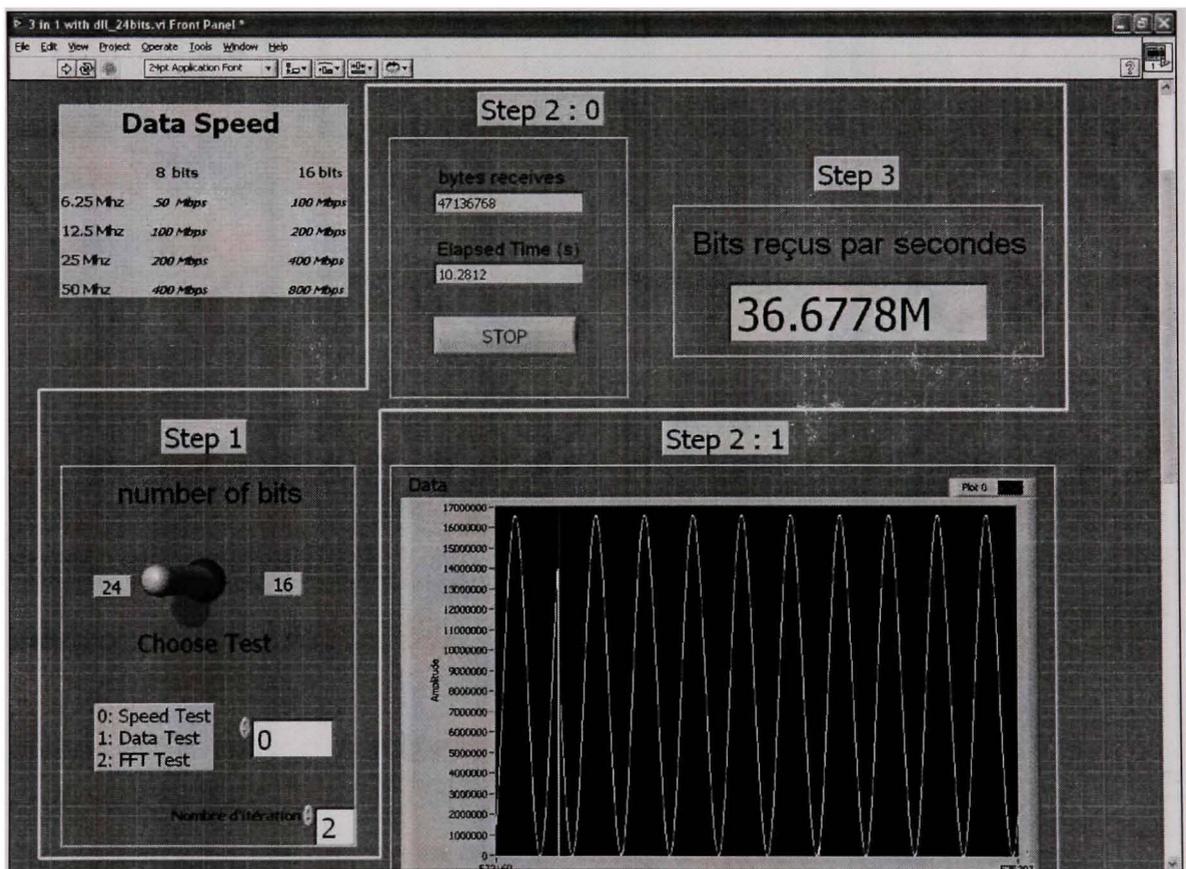
Ensuite, il a été nécessaire de modifier le programme Labview de M. Guay puisque ce dernier ne faisait que compter le nombre de données reçues sans leur faire de traitement ou les sauvegarder. Pour permettre différents tests, le programme final possède maintenant trois options. Le premier mode fait simplement le décompte des bits reçus du HR-DACADC. Le second fait la sauvegarde des données reçues dans un fichier texte en format ASCII afin de pouvoir lire ces données. Le dernier mode fait un traitement sur les données reçues et affiche le résultat à l'écran sans le sauvegarder. Dans le cas présent, le traitement consiste en une FFT du signal reçu. Voici donc l'arrière plan du programme résultant pour ces trois modes de fonctionnement :



**Figure 5.3** Diagramme de bloc du mode 0 du programme dans Labview.

Le premier mode du programme ne fait que compter le nombre de bits reçus et affiche le résultat lorsqu'on arrête l'acquisition. Ce test permet donc de connaître le débit maximal que permet cette configuration sans faire de traitement sur les données. Ainsi, il sera possible de comparer la perte de bande passante lorsque le logiciel doit aussi faire un traitement sur ces données. Tout d'abord, à gauche du diagramme, on remarque que le programme lit un interrupteur pour savoir si on fait une acquisition sur 16 bits ou sur 24 bits. Le fichier de configuration correspondant est alors sélectionné et transmis à la fonction d'initialisation du PT1000-ST. Une fois la communication établie avec la carte, une boucle lit continuellement

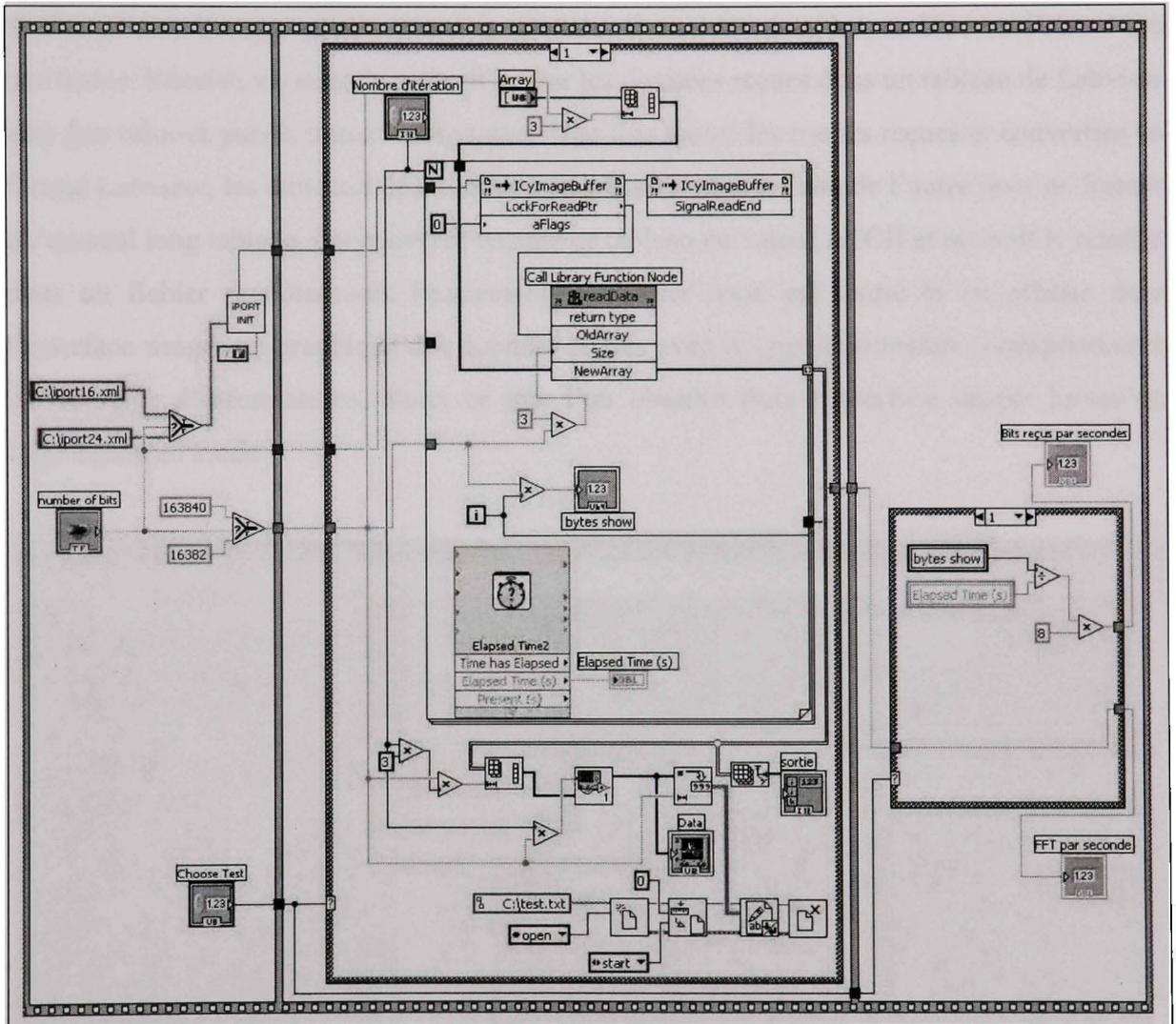
des trames de données jusqu'à ce qu'on arrête l'acquisition. À ce moment, on calcule le nombre d'octets reçus en multipliant le nombre de trames reçues par le nombre de pixels contenus dans cette dernière. Chaque pixel forme une donnée provenant du HR-DACADC. Ensuite, on multiplie encore ce résultat par la largeur d'une donnée, en octets, et on retourne cette valeur. Le taux de transfert est ensuite calculé en divisant le nombre total d'octets reçus par la durée de l'acquisition, en secondes. Finalement, cette valeur est multipliée par huit et ensuite affichée dans l'interface usager comme le taux de transfert obtenu en bits par seconde. Voici ce que l'on observe dans l'interface usager lorsqu'on sélectionne ce mode :



**Figure 5.4** Exemple de l'interface usager du programme Labview dans le mode 0.

Dans l'exemple de la Figure 5.4, on remarque que l'étape 1, la configuration, est ajustée pour le mode 0 avec une largeur de mots de 24 bits. À l'étape 2, la durée du test et le nombre d'octets reçus sont affichés et la valeur finale demeure lorsqu'on appuie sur la touche d'arrêt.

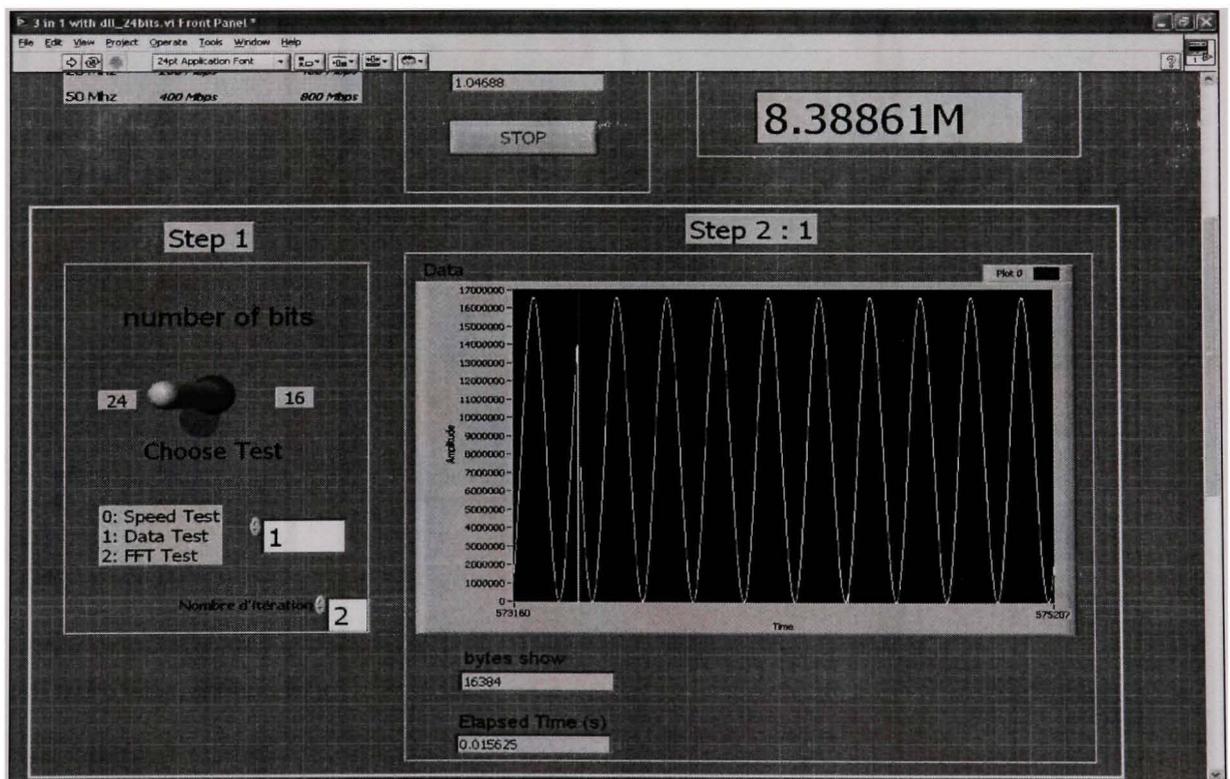
Finally, at step 3, we display the calculated transfer rate based on the information obtained at step 2. Here is now the block diagram of the second mode of operation of the program :



**Figure 5.5** Diagramme de bloc du mode 1 du programme dans Labview.

In this mode, we receive a number of frames determined by the user and we record the data in a text file in ASCII format to allow the data to be read in post-processing. This mode allows us to know the maximum capture speed that the system allows without processing. This mode is useful for studying a phenomenon in

partir de données réelles enregistrées puis utilisées comme source dans différents logiciels de calcul ou de simulation. Pour ce faire, on active d'abord la communication avec le PT1000-ST avec la configuration correspondante au mode de fonctionnement choisi par l'utilisateur (i.e. 16 bits ou 24 bits. La première boucle est répétée un nombre de fois équivalant à la quantité de trames dont l'utilisateur désire faire l'acquisition. Dans cette dernière, un bloc va d'abord lire une trame. Ensuite, un autre bloc vient copier les données reçues dans un tableau de Labview afin que celui-ci puisse traiter les données. Une fois toutes les trames reçues et converties en format Labview, les tableaux de données sont placés l'un à la suite de l'autre pour ne former qu'un seul long tableau. On convertit ensuite ce tableau en valeur ASCII et on écrit le résultat dans un fichier prédéterminé. Finalement, le fichier texte est fermé et on affiche dans l'interface usager un graphique des données reçues avec le taux de transfert correspondant à cet échange d'informations. Voici ce que l'on observe dans l'interface usager lorsqu'on sélectionne ce mode :



**Figure 5.6** Exemple de l'interface usager du programme Labview dans le mode 1.

Dans l'exemple de la Figure 5.6, l'étape 1 indique que le mode 1 est sélectionné avec une largeur de bus de 24 bits et un enregistrement de deux trames (i.e. deux transactions de données). À la deuxième étape, un graphe représente les données reçues qui forme bien le sinus transmis par le FPGA. Il est à noter que le saut de phase observé est simplement dû au fait que les données à gauche de ce saut proviennent de la capture précédente alors qu'à droite on observe la capture présente. Comme la section de droite contient deux trames de données reçu du FPGA et qu'aucun saut de phase n'est présent, ce test confirme bien que la réception de données dans le logiciel Labview fonctionne aussi sans perdre de données. Cependant, comme ce mode doit faire la conversion des données et les écrire en format ASCII dans un fichier, il est normal que le débit obtenu soit beaucoup plus faible que pour le premier test de taux de transfert. Voici maintenant le diagramme de bloc du troisième mode de fonctionnement du programme :

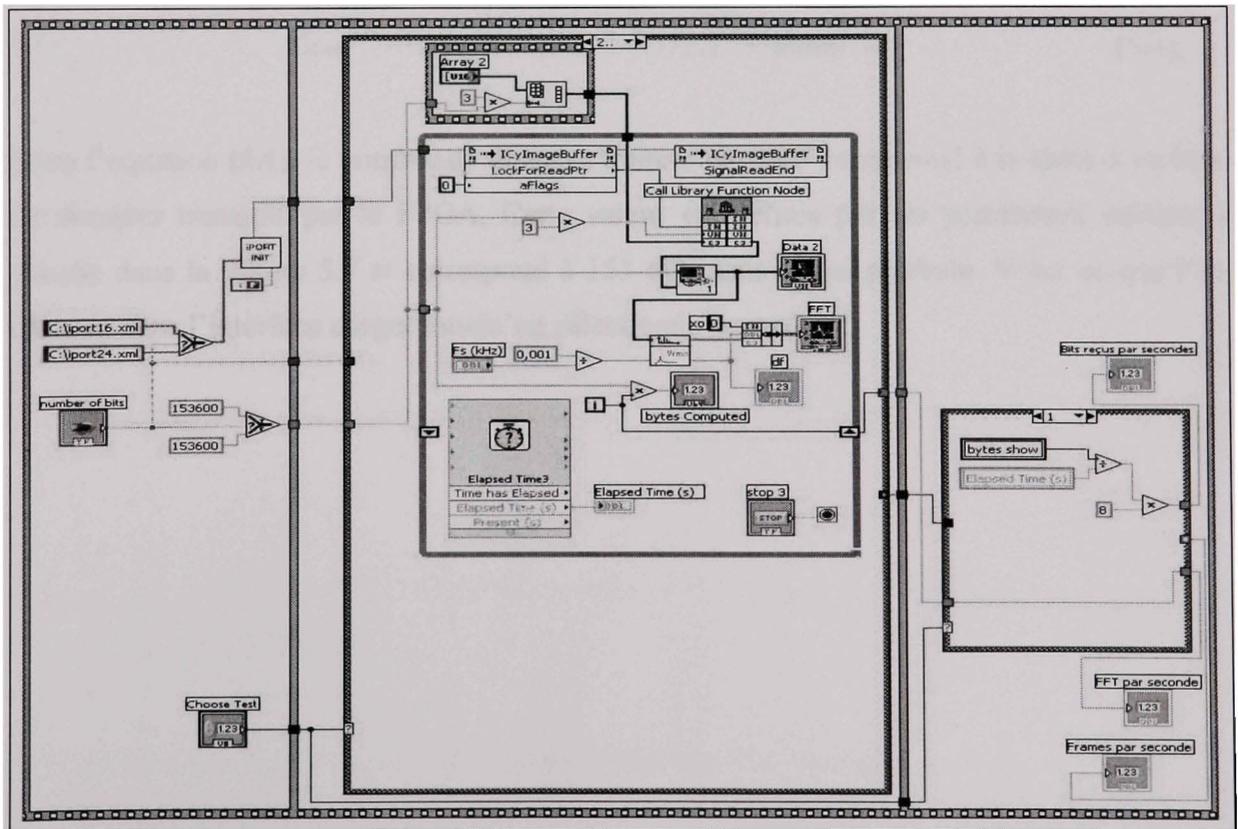


Figure 5.7 Diagramme de bloc du mode 2 du programme dans Labview.

Dans ce mode, on affiche la transformée de Fourier rapide de chaque trame reçue jusqu'à ce que l'utilisateur arrête le programme. Pour ce faire, on active d'abord la communication entre Labview et le PT1000-ST avec la configuration correspondante au mode de fonctionnement choisi par l'utilisateur. Dans la boucle, on reçoit d'abord une trame et on la convertit en tableau Labview. On affiche ensuite le signal sur un graphique, et on calcule la FFT de ce signal en considérant comme fréquence d'échantillonnage la valeur inscrite par l'utilisateur dans l'interface usager. Lorsque le bouton d'arrêt est appuyé, le nombre total de trames traitées est divisé par le temps d'exécution et on obtient ainsi le nombre de FFT par seconde en moyenne qui ont été réalisées. Le calcul de la FFT n'est qu'un exemple de traitement et la valeur moyenne de FFT par seconde permet de déterminer la vitesse maximale d'acquisition possible si la charge de calcul à traiter en temps réel est similaire à celle d'une FFT. Cette valeur se calcule comme suit :

$$F_{\max} = N_{\text{données traitées / s}} = N_{\text{FFT / s}} \cdot N_{\text{données / FFT}} \quad (5.1)$$

Dans l'équation (5.1), le nombre de données traitées par FFT correspond à la taille d'un bloc de données transmis par le FPGA. Cette valeur est définie par les paramètres initiaux à gauche dans la Figure 5.7 et correspond à 153 600 dans le cas présenté. Voici ce que l'on observe dans l'interface usager lorsqu'on sélectionne ce mode :

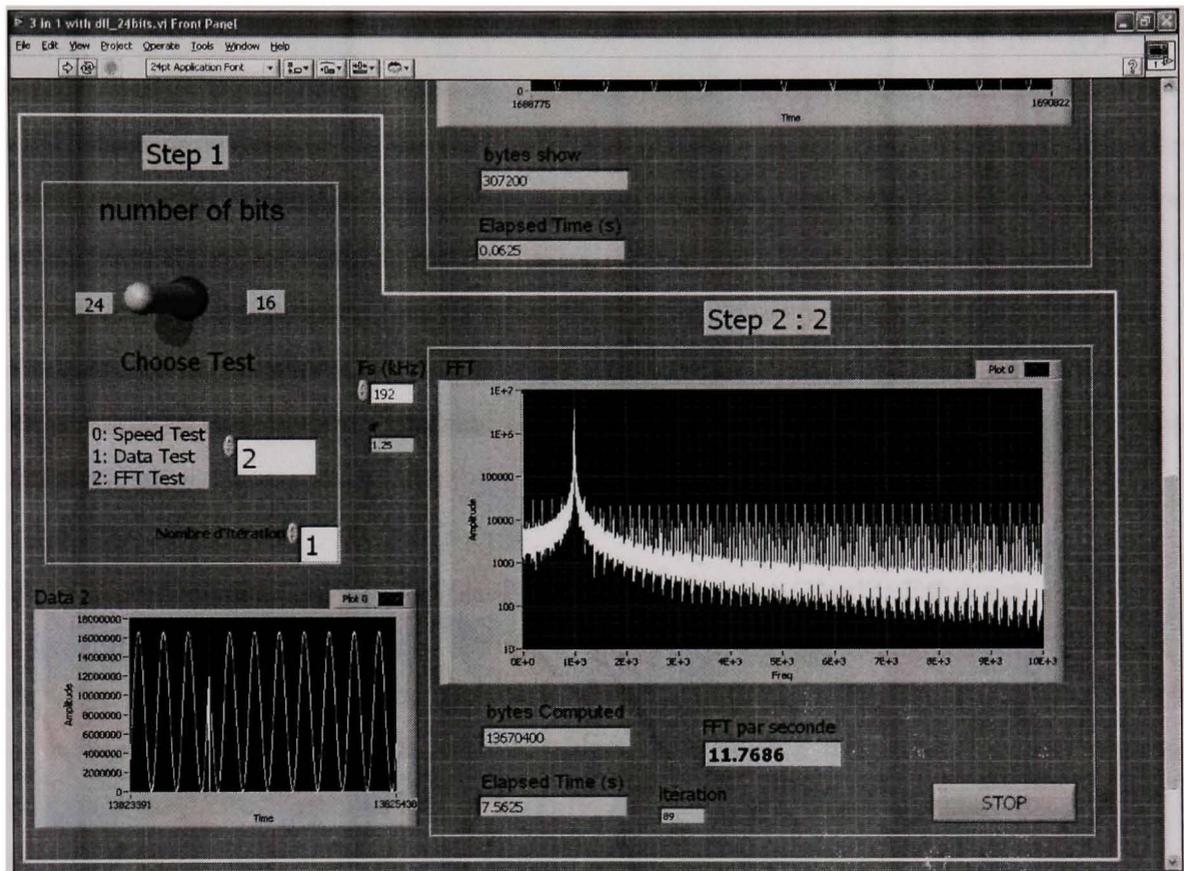


Figure 5.8 Exemple de l'interface usager du programme Labview dans le mode 1.

Selon l'exemple, dans la Figure 5.8, le nombre de FFT par seconde est de 11,7686. Comme on est dans un mode 24 bits, la configuration du PT1000-ST envoie des trames de 153 600 valeurs. Dans cette configuration, il est donc possible d'avoir une vitesse d'acquisition totale de :

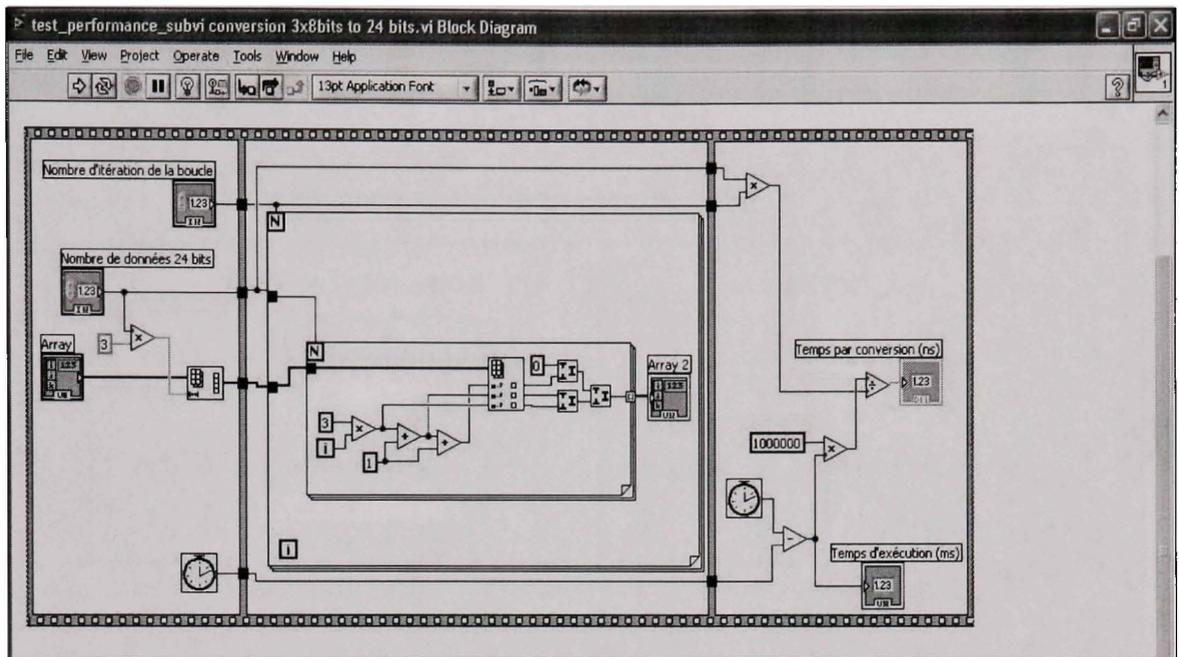
$$\begin{aligned}
 N_{\text{données traitées / s}} &= 11,7686 \text{ FFT / s} \cdot 153600 \text{ données / FFT} = 1\,807\,656,96 \text{ données/s} \\
 N_{\text{données traitées / s}} &= 1,808 \text{ Mbps}
 \end{aligned}
 \tag{5.2}$$

Ceci indique que si la charge de traitement à faire sur l'information reçue est comparable au calcul d'une FFT, il serait possible de traiter en temps réel un canal échantillonné à 1,808 MHz ou deux canaux à 904 kHz.

Pour valider le bon fonctionnement du système, il était nécessaire de valider qu'il n'y ait pas de perte d'information entre le HR-DACADC et Labview. Pour ce faire, on utilise le mode 1 décrit précédemment. Un signal sinusoïdal est transmis et on enregistre plusieurs trames consécutives dans un fichier. On valide ensuite la continuité de la transmission en s'assurant qu'il ne manque pas de valeur dans une trame et qu'il n'y a pas de saut de phase entre les trames. De cette façon, il a pu être validé qu'il était possible d'établir un lien de communication sans perte d'information entre la carte HR-DACADC et Labview puisqu'il a été possible d'enregistrer un sinus continu sans saut de phase sur plusieurs trames consécutives.

### **5.2.3 Résultats et performances de la communication Gigabit Ethernet**

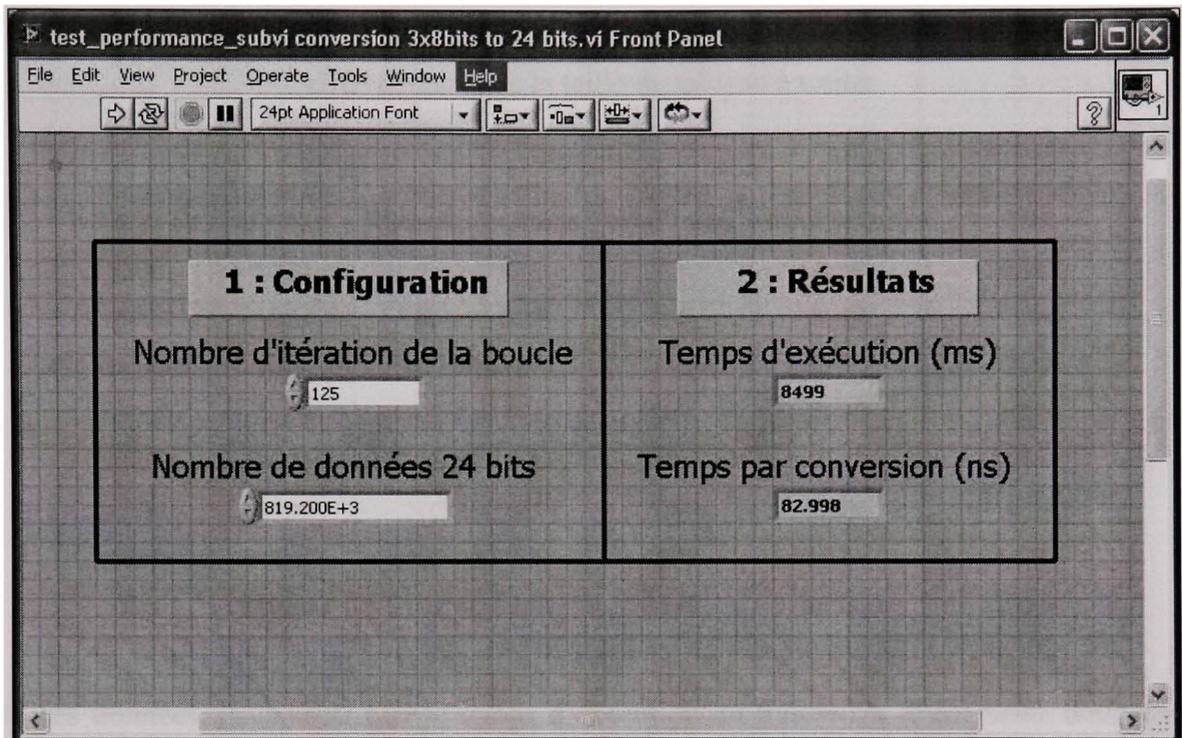
Lors des expérimentations dans Labview, il est apparu que la relation entre la vitesse d'exécution d'un traitement et la taille du tableau de données à traiter est critique. En effet, il est apparu que cette relation n'est pas linéaire. Au contraire, plus on augmente la quantité de données à traiter, plus le temps pour faire le traitement de chacune des données augmente et ce, peu importe le nombre d'itérations exécutées. Afin de valider ce point, un simple programme exécutant seulement le traitement de conversion des données séparées en octets vers un tableau de variables de quatre octets a été mis au point. Voici le schéma bloc de ce programme :



**Figure 5.9 Schéma bloc du programme pour comparaison du temps de traitement en fonction de la taille des tableaux traités.**

Dans la Figure 5.9, il apparaît que le programme est séparé en trois étapes. La première consiste en la saisie des paramètres de fonctionnement du programme. Cette étape correspond à la section configuration de l'interface usager de la Figure 5.10 où le nombre de répétitions du traitement et la taille du tableau à créer à chaque itération doivent être inscrits. Le tableau de données séparées en octets est créé à partir de ces paramètres et un temps, en millisecondes, est enregistré. La seconde étape consiste à faire la conversion en mots de 24 bits enregistrés dans un tableau d'entiers sur 32 bits et à répéter cette étape selon le nombre d'itérations sélectionnées. Finalement, dans la dernière étape, on mesure le temps final et on calcule le temps écoulé. De cette valeur, on trouve le temps d'exécution moyen pour une seule conversion et on affiche les résultats dans l'interface usager.

L'interface usager se présente donc en deux sections : la section configuration et la section résultats comme il est indiqué dans la Figure 5.10 :



**Figure 5.10** Interface usager du programme pour comparaison du temps de traitement en fonction de la taille des tableaux traités.

À l'aide de ce programme de test, plusieurs expérimentations sont faites afin de comparer le temps de traitement requis selon diverses tailles de tableau et le nombre d'itérations. Le **Tableau 5.1** présente les diverses expérimentations et les résultats obtenus.

Tableau 5.1 Résumé du temps de calcul de Labview en fonction du nombre d'itérations et de la taille du tableau à traiter

Nombre d'itération	Taille du tableau	Nombre de données traitées	Temps total (ms)	Temps par donnée (ns)	Augmentation (%)
1000	1024	1 024 000	70	68,36	0,00
10000	1024	10 240 000	715	69,82	2,14
100000	1024	102 400 000	7029	68,64	0,41
50000	2048	102 400 000	7041	68,76	0,59
25000	4096	102 400 000	7066	69,00	0,94
12500	8192	102 400 000	7094	69,28	1,34
1250	81920	102 400 000	7978	77,91	13,97
125	819200	102 400 000	8499	83,00	21,41

De ces données, il apparaît que le temps d'exécution du traitement d'une seule donnée est constant lorsque la taille du tableau demeure constante, malgré l'augmentation du nombre d'itérations. De plus, le temps d'exécution augmente de façon non linéaire lorsque la taille du tableau croît, même si le nombre d'itérations diminue de façon à traiter toujours le même nombre de données. Cela confirme donc que la taille du tableau à traiter est un élément critique dans le temps de traitement d'un programme dans Labview. Pour les applications qui doivent avoir une latence faible et déterministe, comme c'est le cas dans notre application, il est donc préférable de faire un traitement sur un petit tableau de données plus régulièrement que le contraire. Il est à noter que le temps moyen par donnée, obtenu lors de la meilleure configuration, correspond à un taux de transfert de 351 Mbps. Ceci est plus du triple des besoins déterminés dans la problématique du projet.

#### **5.2.4 Conclusion sur la communication Gigabit Ethernet avec protocole « GigE Vision »**

Pour conclure, il a été validé que bien que le mode de communication Ethernet Gigabit soit un protocole asynchrone donc non déterministe, en utilisant les pilotes de la compagnie Pleora, on obtient une bande passante suffisamment supérieure aux besoins du projet pour permettre une application en temps réel. En effet, le taux de transfert soutenu de 351 Mbps

entre la carte HR-DACADC et le logiciel Labview est exceptionnel puisqu'il est près de 55 fois supérieur au débit de la meilleure carte Ethernet du tableau 1.2. Ces performances, avec un lien de communication aussi courant que l'Ethernet, représentent donc une percée technologique. Il a aussi été démontré que cette configuration demande très peu de traitement de la part de l'ordinateur et de Labview. Ceci permet donc une charge de calcul sur 24 bits équivalente à une FFT en temps réel sur des données arrivant du HR-DACADC à une cadence de plus de 1,8 MHz répartie entre les différents canaux de la carte. Cependant, ces résultats sont largement inférieurs au taux de transfert obtenus dans le mode 0 du programme Labview. Les différents tests effectués ont démontré que cette limitation est causée par la conversion nécessaire pour permettre à Labview de traiter ces données et par la gestion de ce logiciel pour traiter un tableau de données. Il est aussi important de noter que le temps de traitement sur les données est aussi non négligeable et que ce dernier est imposé par les caractéristiques de l'ordinateur exécutant le programme et variera donc d'un système à l'autre.

De plus, il est à noter que puisque le protocole « GigE Vision » de Pleora est conçu pour transmettre les données d'une caméra numérique vers un ordinateur, ce protocole permet une large bande passante vers l'ordinateur uniquement. Cette solution est donc fonctionnelle uniquement pour la section conversion analogique à numérique du projet puisqu'elle ne permet pas de transmettre un signal à partir de Labview et de le régénérer en signal analogique à l'aide des DAC. Cependant, la compagnie a développé un nouveau pilote, le iPORT™ Hydra™ (Pleora Technologies Inc, 2008b), permettant un lien bidirectionnel déterministe à faible latence prévisible entre deux ordinateurs. À l'heure actuelle, il n'existe pas de carte équivalente au PT1000-ST supportant ce pilote et son lien bidirectionnel. Bien que la compagnie ne puisse donner une date à laquelle une telle carte sera disponible, cela n'est qu'une question de temps et il sera alors possible de faire fonctionner la totalité du projet avec cette technologie. Finalement, la preuve a été faite qu'il est possible d'atteindre des performances à l'aide du réseau Ethernet Gigabit et du protocole « GigE Vision » amplement suffisantes aux besoins du projet afin de permettre son utilisation en temps réel.

## CHAPITRE 6

### PROBLÈMES RENCONTRÉS AVEC LES CONVERTISSEURS ANALOGIQUES À NUMÉRIQUES

Le composant AD7760 d'Analog Devices peut être configuré de diverses manières permettant ainsi au même montage sur le PCB de répondre autant aux critères du mode audio que du mode ultrasonique. Il existe donc un seul ADC par canal sur la carte et sa configuration permet de choisir le mode de fonctionnement entre les performances audio et ultrasoniques. Dans le cadre de ce projet, plusieurs problèmes ont été rencontrés lors du déverminage de ce composant. Certains ont été résolus, mais il a malheureusement été impossible de le faire fonctionner correctement. Ce chapitre présentera donc les problèmes rencontrés et les solutions ou pistes de solution apportées pour les problèmes non résolus.

#### 6.1 Problème de synchronisation de la communication parallèle avec le AD7760

Afin de lui éviter tout dommage et de minimiser sa consommation de courant, l'AD7760 est automatiquement en mode de veille après une mise sous tension. Il est donc nécessaire de modifier ses registres internes afin d'activer les sections désirées et ainsi de mettre le composant en mode d'acquisition. Cependant, les registres de l'AD7760 ne sont pas accessibles directement sur des broches du boîtier. Une séquence d'écriture sur le bus parallèle servant aussi à lire les données est donc nécessaire pour changer l'état de chacun de ses registres. Cependant, un problème est survenu lors de la programmation du FPGA pour activer ce composant.

Comme la communication entre le FPGA et les ADC est de type parallèle, le FPGA doit gérer les signaux de verrouillage afin de contrôler la séquence de lecture ou d'écriture en cours. Cependant, toutes les spécifications de synchronisation entre les différents signaux du bus sont données en fonction d'un front de l'horloge du circuit intégré. Or, comme l'horloge du FPGA est indépendante de celle des ADC, le délai entre le changement d'état d'un signal de verrouillage et d'un signal d'horloge est indéterminé. Pour cette raison, la communication

entre les composants était instable et il était impossible d'activer les ADC au démarrage de la carte. Finalement, une modification au circuit imprimé du HR-DACADC a été nécessaire afin de permettre au FPGA de recevoir l'horloge de 12,288 MHz des AD7760 sur une broche disponible. Par la suite, il a été possible de synchroniser la machine à états servant à gérer la communication entre le FPGA et les ADC avec cette horloge et ainsi d'avoir un délai fixe entre les fronts des signaux et l'horloge. Après le déverminage de cette modification, il a été possible d'activer et de faire fonctionner l'acquisition des ADC. La validation du fonctionnement des ADC provient de l'apparition des impulsions sur la broche de données disponibles de chacun des composants. De plus, la fréquence de ces impulsions varie selon le nombre d'étages d'interpolation qui est activé. Cela confirme que le lien de communication permet bien d'aller écrire dans chacun des registres de configuration des ADC et de modifier le mode de fonctionnement selon les besoins actuels.

## **6.2 Saturation de l'étage d'entrée des AD7760**

Le lien de communication parallèle entre chacun des ADC et le FPGA sert autant à modifier l'état des registres de configuration qu'à lire la version numérique du signal analogique capturé. Une fois ce lien de communication fonctionnel permettant d'activer les convertisseurs, il a été possible de faire la lecture des résultats de conversion et de les accumuler dans le FPGA. Toutefois, l'analyse de ces données a démontré que celles-ci étaient essentiellement des zéros, peu importe le signal d'entrée appliqué aux bornes des AD7760.

Après déverminage, il est apparu que le montage de l'amplificateur interne des AD7760 était erroné et que le signal appliqué aux bornes du convertisseur était continuellement celui de l'alimentation analogique de ce composant. Après avoir réglé ce problème en modifiant le montage de l'amplificateur différentiel tel qu'indiqué à la section 4.1.2, le drapeau indiquant une saturation du signal d'entrée est demeuré activé. Cela explique pourquoi le signal de sortie était de zéro puisque le module de détection de la saturation transmettait continuellement des zéros tant et aussi longtemps qu'il détectait un signal d'entrée supérieur

à la limite de saturation. Or, par défaut, les registres de ce composant sont configurés pour que ce drapeau soit activé lorsque le signal d'entrée dépasse 80 % de la tension de référence du convertisseur. Dans le cas du HR-DACADC, la tension de référence est fournie par un régulateur de haute précision fournissant une tension de 4,096 V. Il a été validé que la tension appliquée sur la broche de référence des ADC avait bien la valeur souhaitée et qu'elle était stable. De plus, la lecture du registre contrôlant le niveau de déclenchement du mode de saturation a confirmé que ce dernier était configuré pour un déclenchement à 80 % et plus. Il a aussi été validé que lorsque les deux signaux différentiels du signal à l'entrée de l'amplificateur opérationnel de l'AD7760 sont mis à la terre, la tension appliquée aux entrées de l'étage du convertisseur est bien de 2,048 V, ce qui est conforme aux spécifications du composant. Toutefois, même dans cet état le drapeau de saturation demeure activé. Le niveau de saturation est une fraction de la tension de référence appliquée au composant et cette fraction est déterminée par une valeur inscrite dans un des registres du composant, tel qu'il est indiqué dans la section de la fiche technique de ce composant en Annexe II. Toujours selon les spécifications du fabricant, il est possible d'écrire dans ce registre afin de varier le niveau de détection de saturation. Cependant, il s'est avéré impossible de changer la valeur de ce registre et de lire la nouvelle valeur.

### **6.3 Conclusion sur les AD7760**

Au cours du déverminage des ADC de la carte HR-DACADC formée de deux composants AD7760 d'Analog Devices, différents problèmes ont fait surface. Le problème de synchronisation de la communication a été réglé et il a été possible d'écrire et de lire la nouvelle valeur inscrite dans les registres de contrôle de l'AD7760. Toutefois, malgré que le problème de branchement de l'amplificateur différentiel intégré à ce composant ait été résolu et qu'une tension conforme aux spécifications de l'AD7760 ait pu être appliquée à l'entrée du convertisseur, aucun des deux composants n'est sorti de l'état de saturation. Il a d'ailleurs été impossible d'écrire et de valider l'écriture dans le registre contrôlant le niveau de saturation du détecteur à l'entrée des ADC. Puisque le comportement des deux composants est identique et qu'il est peu probable que les deux composants aient été endommagés, il est

possible que les composants reçus présentaient un défaut de fabrication. D'ailleurs, au terme de ce projet, il existe une nouvelle version de ce composant, l'AD7760A, et il est impossible de se procurer des exemplaires de l'ancienne version. Il serait donc intéressant de changer les composants du HR-DACADC par ceux de la nouvelle génération et voir si cela règle le problème.

## CHAPITRE 7

### MESURE DES PERFORMANCES DES CONVERTISSEURS DE NUMÉRIQUE À ANALOGIQUE AUDIO

Ce chapitre traite de la mesure des performances des DAC audio afin de valider si ceux-ci répondent aux critères du cahier des charges. Comme le cahier des charges ne spécifie que la bande passante et le SNR comme contraintes, plusieurs autres tests ont aussi été réalisés afin d'avoir une meilleure vision d'ensemble des performances du système. Les caractéristiques mesurées sont donc le SNR, le SFDR, le THD, le THD+N et l'IMD. La procédure pour quantifier chacun de ces tests est décrite en détail en Annexe III. Ce chapitre présentera donc le banc de test utilisé pour faire ces mesures ainsi qu'un résumé des résultats obtenus.

#### 7.1 Élaboration du banc de tests pour les DAC audio

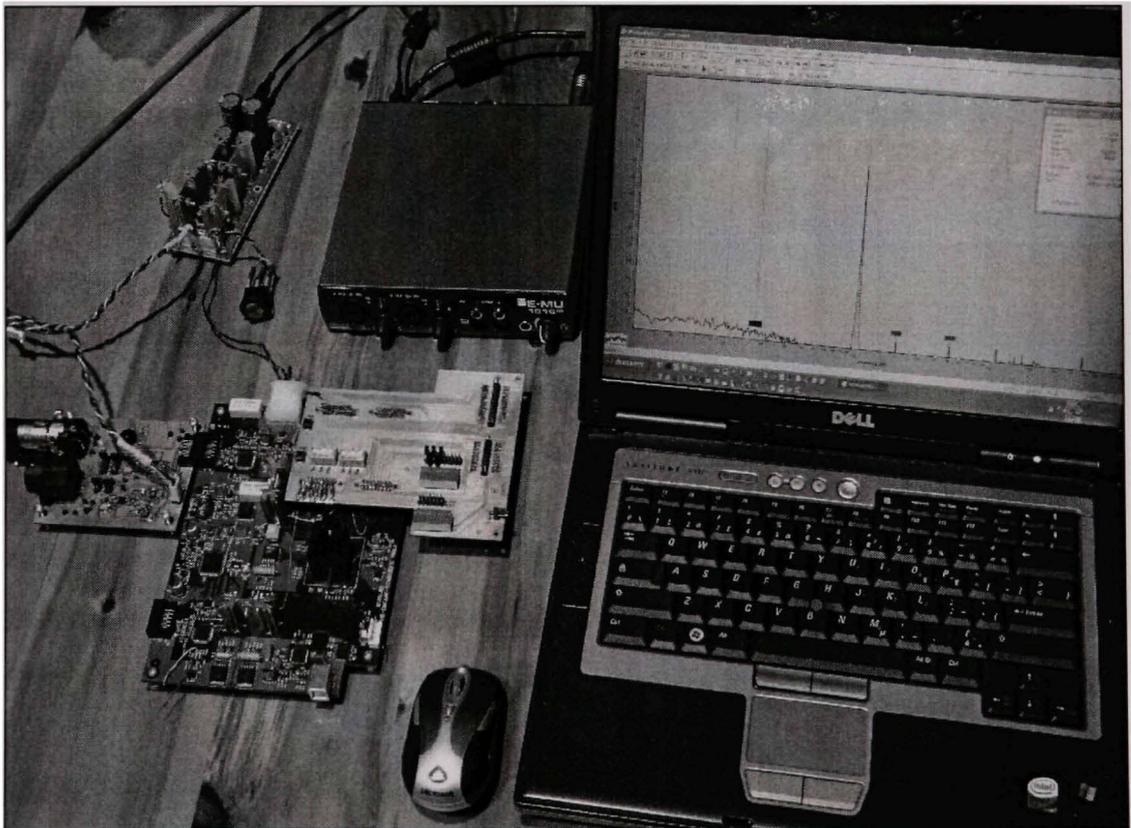
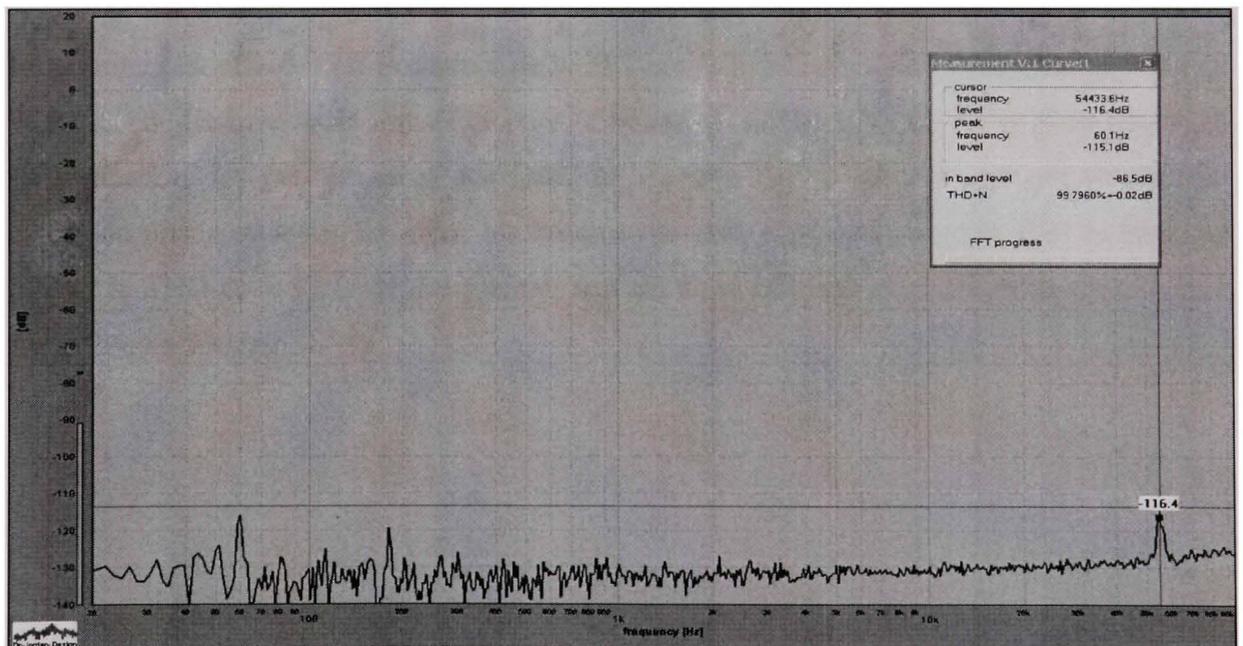


Figure 7.1 Banc de tests pour la quantification des DAC audio.

La Figure 7.1 présente le banc de test réalisé pour quantifier les performances des DAC audio qui est constitué de plusieurs éléments. La carte du HR-DACADC génère d'abord deux sources de courant en différentiel l'une de l'autre. Ce signal est ensuite converti en deux signaux de tension en différentiel par la carte de conversion courant à tension dont la conception a été analysée dans le Chapitre 4. Ce signal est ensuite transmis dans un câble différentiel avec blindage à 95 % et des connecteurs de type XLR vers la carte d'acquisition E-MU 1616M de la compagnie E-MU Systems (E-MU systems, 2008). Cette carte d'acquisition est reliée à un ordinateur portable qui fait le traitement du signal reçu à l'aide du logiciel WinAudioMLS et son module de traitement de FFT à 64 bits de la compagnie Dr-Jordan-Design (Jordan, 2007). Dans cette configuration, le plancher de bruit mesuré lorsque les deux signaux du convertisseur courant à tension sont reliés à la mise à la terre est le suivant :



**Figure 7.2 Plancher de bruit mesuré avec le banc d'essais de la section audio.**

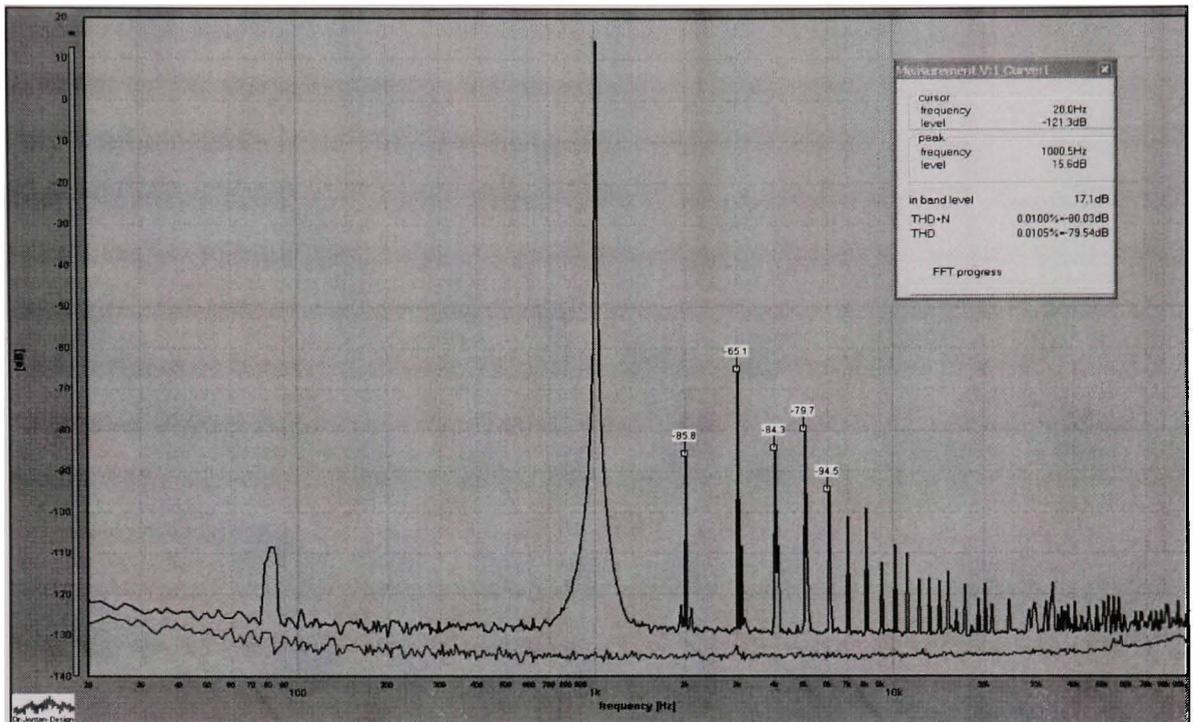
Le niveau moyen du bruit se situe donc légèrement au-dessus de -130 dB lorsque le système est calibré pour avoir sa référence de 0 dB à une tension de 0 dBu (i.e.  $0,775 V_{RMS}$ ) et la crête

la plus élevée est de -116,4 dB. Avec cette configuration et en générant différents signaux, il est possible de quantifier les performances du système. Tous ces critères sont aussi quantifiés pour différentes amplitudes du signal de test généré afin de déterminer si le système commence à saturer avant d'atteindre sa pleine échelle. Ceci s'exprimerait par une constante ou une diminution de ce critère lorsque le signal généré augmente. En effet, comme ces critères représentent différents ratios avec le signal généré, si ce dernier augmente et que le système ne sature pas, le plancher de bruit devrait demeurer identique et les harmoniques devraient suivre l'augmentation du signal fondamental, ce qui se résume en une amélioration du SNR et du THD+N et une conservation des valeurs du THD, du SFDR et de l'IMD.

## **7.2 Tests des performances des DAC audio**

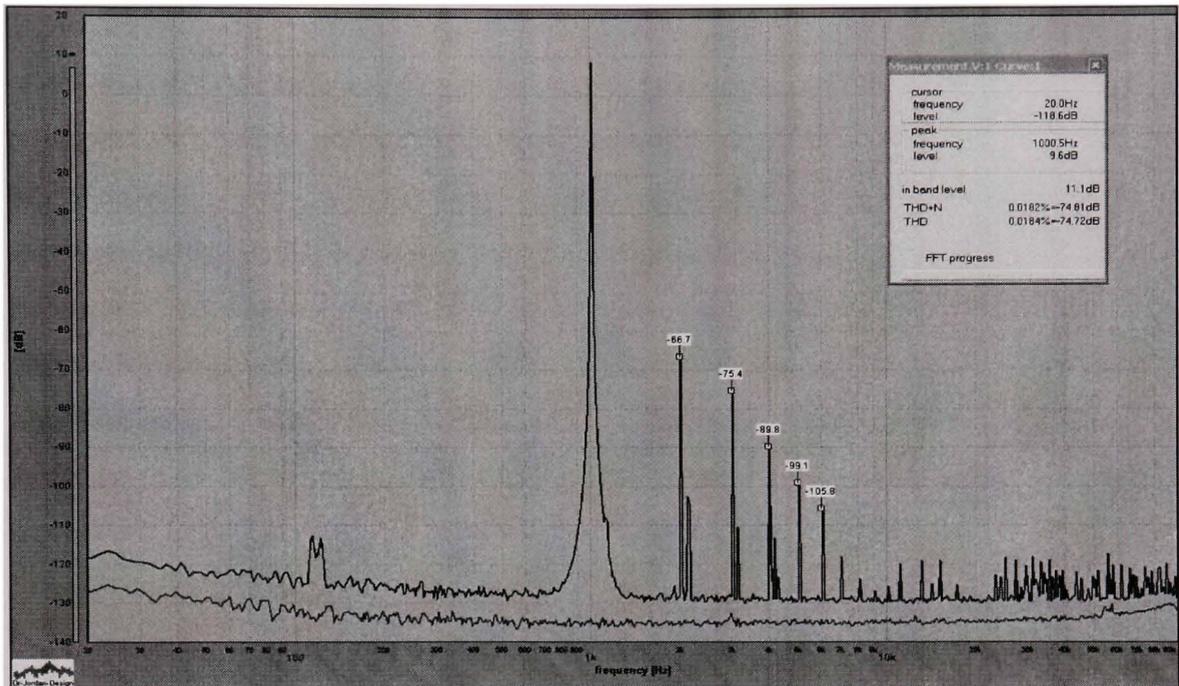
### **7.2.1 Test avec une sinusoïdale pure comme stimuli des DAC audio**

Le premier test effectué est la capture de la FFT sur la bande passante audio, soit de 20 Hz à 96 kHz, en générant une sinusoïde pure. Comme il est décrit dans la méthodologie de quantification des performances des DAC en Annexe III, ce stimulus permet de faire le calcul de plusieurs tests. En effet, les critères mesurés dans cette section sont le SNR, le SFDR, le THD et le THD+N. Le premier test est donc effectué en générant un sinus à une fréquence de 1 kHz :



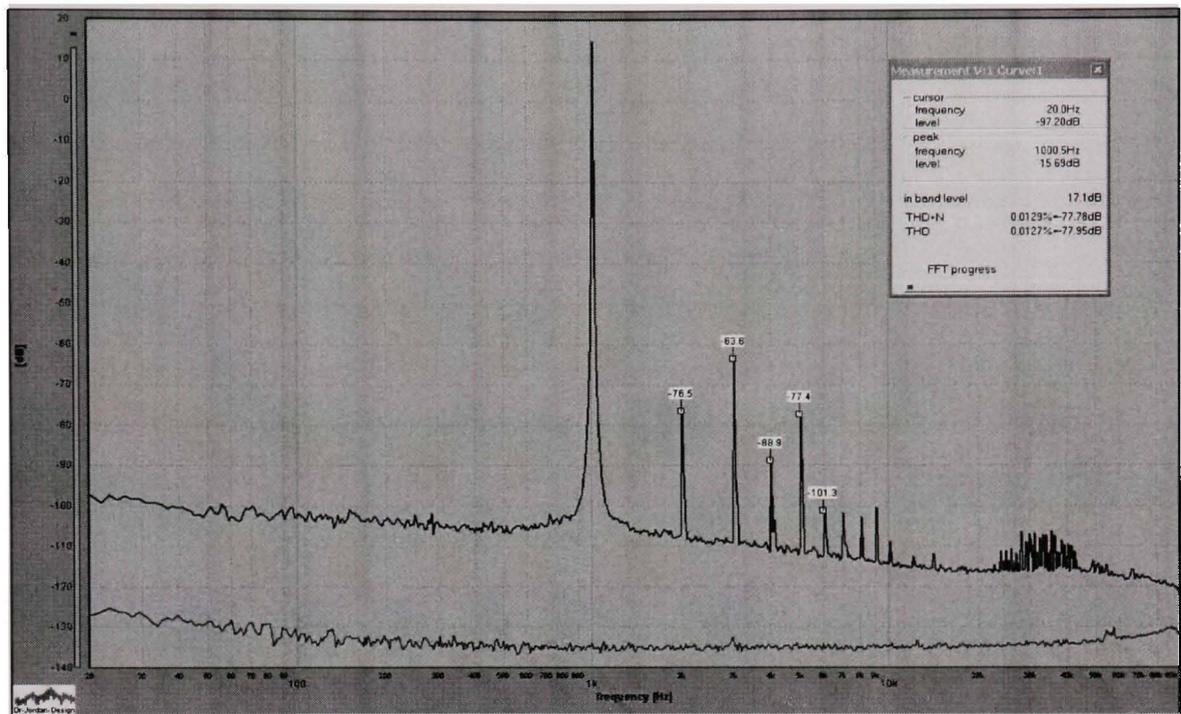
**Figure 7.3 Analyse avec WinAudioMLS d'un sinus de 1 kHz à +16 dBu sur le canal droit.**

Pour toutes les figures de cette section, la trace supérieure est la FFT du sinus généré et celle du bas est le plancher de bruit du système. La courbe inférieure est donc la même pour toutes les figures et elle permet de bien visualiser la variation du résultat entre chaque mesure. La raie principale au centre de la Figure 7.3 représente le signal généré désiré. Les raies à droite de la raie principale dont l'amplitude est indiquée représentent les cinq premières harmoniques de la fondamentale. La Figure 7.4 indique le résultat obtenu pour le même canal lorsque le signal généré est réduit de 6 dB pour avoir une amplitude de 10 dBu.



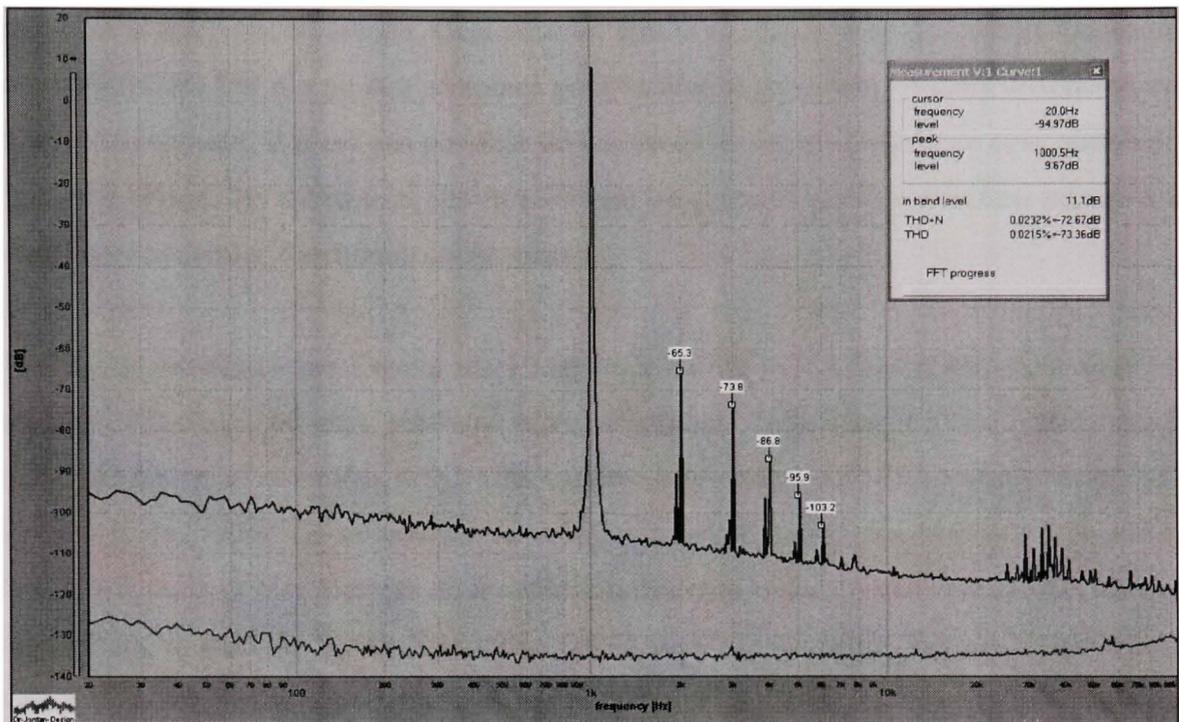
**Figure 7.4 Analyse avec WinAudioMLS d'un sinus de 1 kHz à +10 dBu sur le canal droit.**

À cette amplitude, on observe que le plancher de bruit est légèrement plus élevé en basse fréquence. Cependant, l'amplitude des harmoniques d'ordre élevé est inférieure à celle du test de la Figure 7.3. Cela indique clairement qu'il y a un début de distorsion lorsque le système est à pleine échelle. La prochaine étape est donc de comparer ces résultats avec ceux du canal gauche afin de voir s'ils sont similaires.



**Figure 7.5 Analyse avec WinAudioMLS d'un sinus de 1 kHz à +16 dBu sur le canal gauche.**

Dans la figure Figure 7.4, on note que le plancher de bruit est largement supérieur à celui du canal droit. En effet, celui-ci est beaucoup plus éloigné de la courbe de référence du banc de test sur toute la plage de fréquence, bien que l'écart diminue avec l'augmentation de la fréquence. Afin de déterminer si ce bruit provient de la saturation du convertisseur, il est nécessaire de refaire le test avec un signal plus faible.



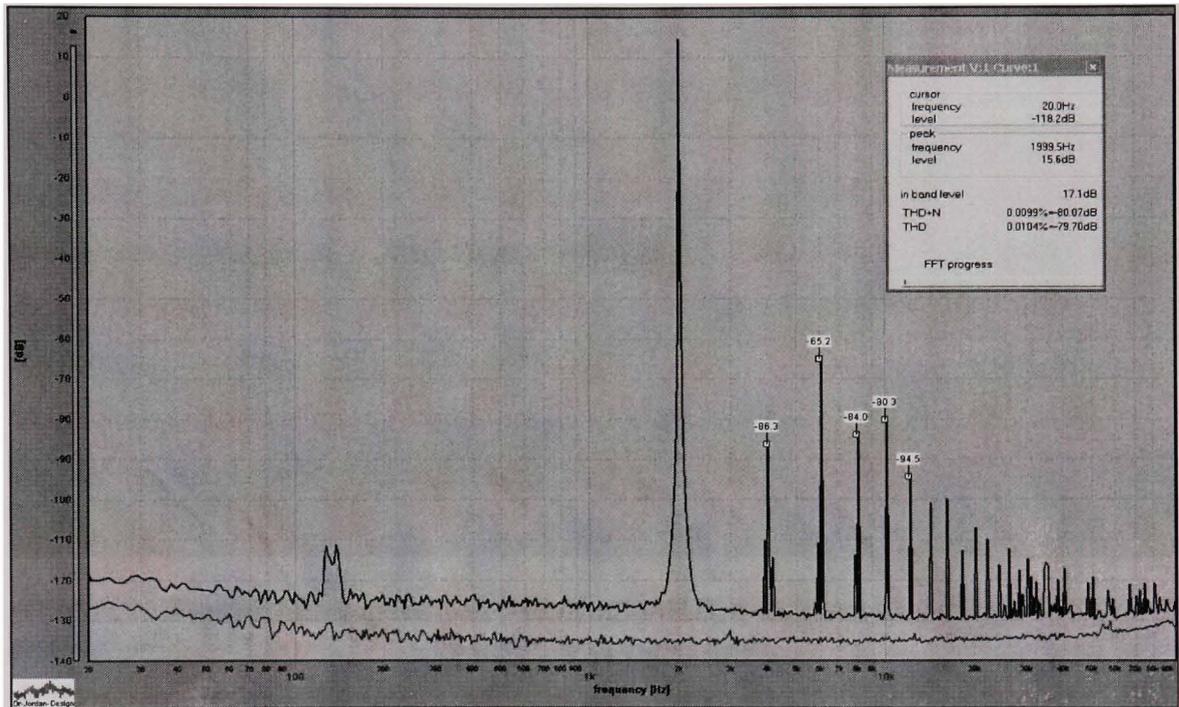
**Figure 7.6 Analyse avec WinAudioMLS d'un sinus de 1 kHz à +10 dBu sur le canal gauche.**

Encore une fois à la Figure 7.6, on observe que le bruit présent sur le signal est beaucoup plus important sur le canal gauche que sur celui du droit. Cette différence est d'environ 20 dB sur toute la plage. Comme la même carte de conversion courant à tension est utilisée pour les deux canaux, cette différence provient donc de la carte HR-DACADC elle-même. De plus, les deux canaux de DAC audio proviennent du même circuit intégré puisque le PCM1794A est un composant stéréo. L'alimentation des deux canaux provenant aussi du même régulateur, cette disparité ne peut s'expliquer que par une différence sur les traces du circuit imprimé ou bien par un dommage qui aurait été causé à un seul canal du PCM1794A présent sur le HR-DACADC. La topologie des deux canaux autour du circuit intégré étant symétrique, il est peu probable que cela explique la différence entre ces deux canaux. Toutefois, comme le circuit intégré est situé près du connecteur analogique du canal droit, les deux traces véhiculant le signal de sortie du canal gauche parcourent une plus grande distance sur le circuit imprimé et elles passent près des DAC ultrasoniques et de l'ADC gauche, contrairement au canal droit où le signal suit le bord du circuit imprimé sans

rencontrer d'autre circuit intégré. Cela pourrait être la raison de cette différence. Cependant, comme le PCM1794 n'a pu être remplacé pour valider la répétition de cette différence avec un autre composant, il n'est pas possible de confirmer la source précise de cette différence. Pour cette raison, les autres tests seront effectués uniquement sur le canal droit puisqu'il est certain que ce dernier fonctionne correctement.

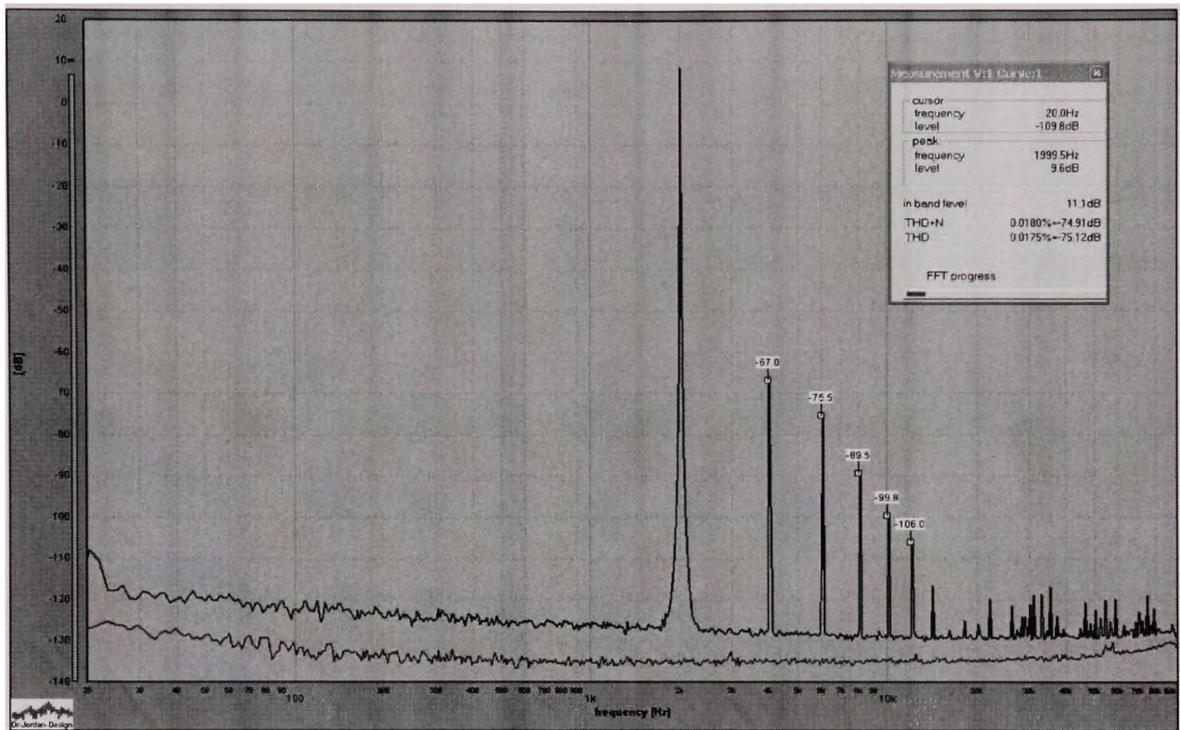
De plus, on remarque que l'erreur sur l'amplitude est de moins de 0,6 dBu pour toutes les amplitudes étudiées. De plus, pour une même amplitude, la différence entre le canal gauche et celui de droite est de moins de 0,1 dBu. Comme les mesures des deux canaux ont été faites avec la même carte de conversion courant à tension, cela confirme que l'erreur sur l'amplitude vient principalement de la précision des composants contrôlant le gain sur cette carte et non du gain des convertisseurs du HR-DACADC. De plus, lorsque l'amplitude est près de la pleine échelle, on remarque que ce sont les harmoniques d'ordre impair qui sont les plus importantes, alors que pour les autres amplitudes, les harmoniques sont de moins en moins importantes en augmentant l'ordre de celles-ci. Finalement, on remarque que le bruit sur le signal se comporte différemment en-dessous de la fréquence du signal qu'au-dessus de celui-ci. En basse fréquence, le bruit augmente légèrement au fur et à mesure que diminue l'amplitude du signal généré. Pour les hautes fréquences, le plancher du bruit semble demeurer constant peu importe l'amplitude du signal généré. On remarque aussi que les harmoniques d'ordre élevé diminuent rapidement lorsque le signal généré devient plus faible. Cela confirme donc qu'il est justifié de ne considérer que les cinq premières harmoniques pour les tests de distorsion.

Voici maintenant les résultats obtenus pour une fréquence de 2 kHz et différentes amplitudes :



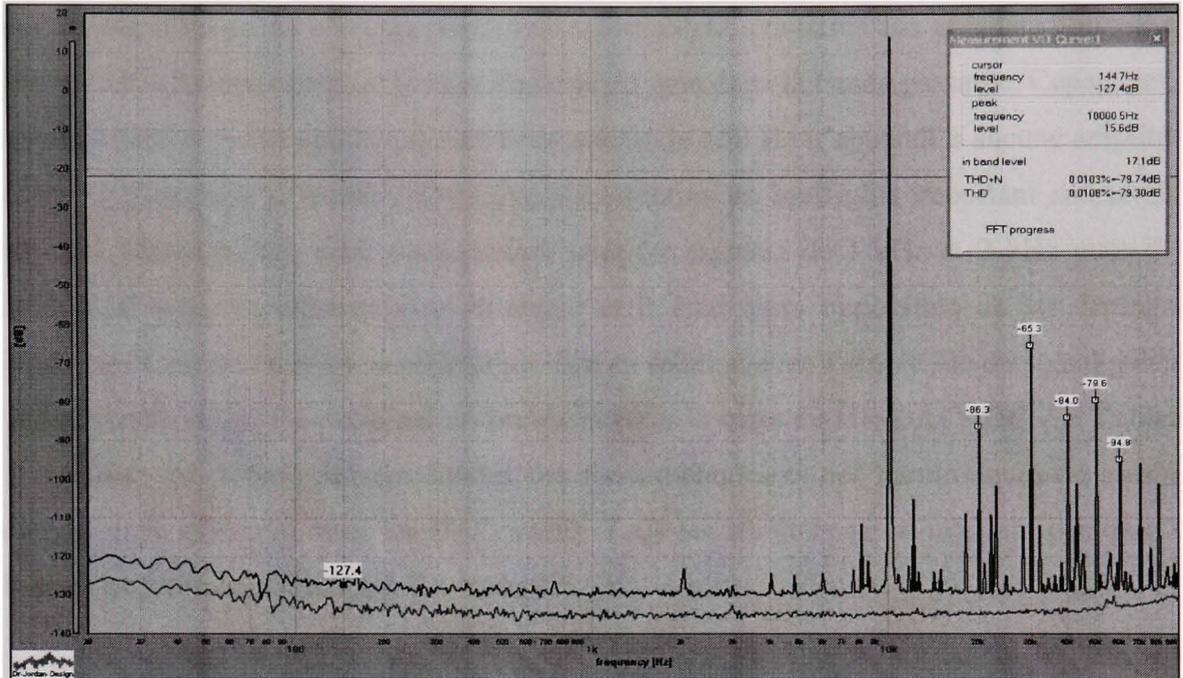
**Figure 7.7 Analyse avec WinAudioMLS d'un sinus de 2 kHz à +16 dBu sur le canal droit.**

À première vue, on note que les performances obtenues à 2 kHz demeurent constantes avec les résultats précédents. L'amplitude des harmoniques demeure constante et la répartition du niveau de bruit est sensiblement la même. On retrouve d'ailleurs la même crête qu'à la Figure 7.4 mais avec un léger décalage en fréquence. La Figure 7.8 montre les résultats obtenus avec une amplitude plus faible à 10 dBu.

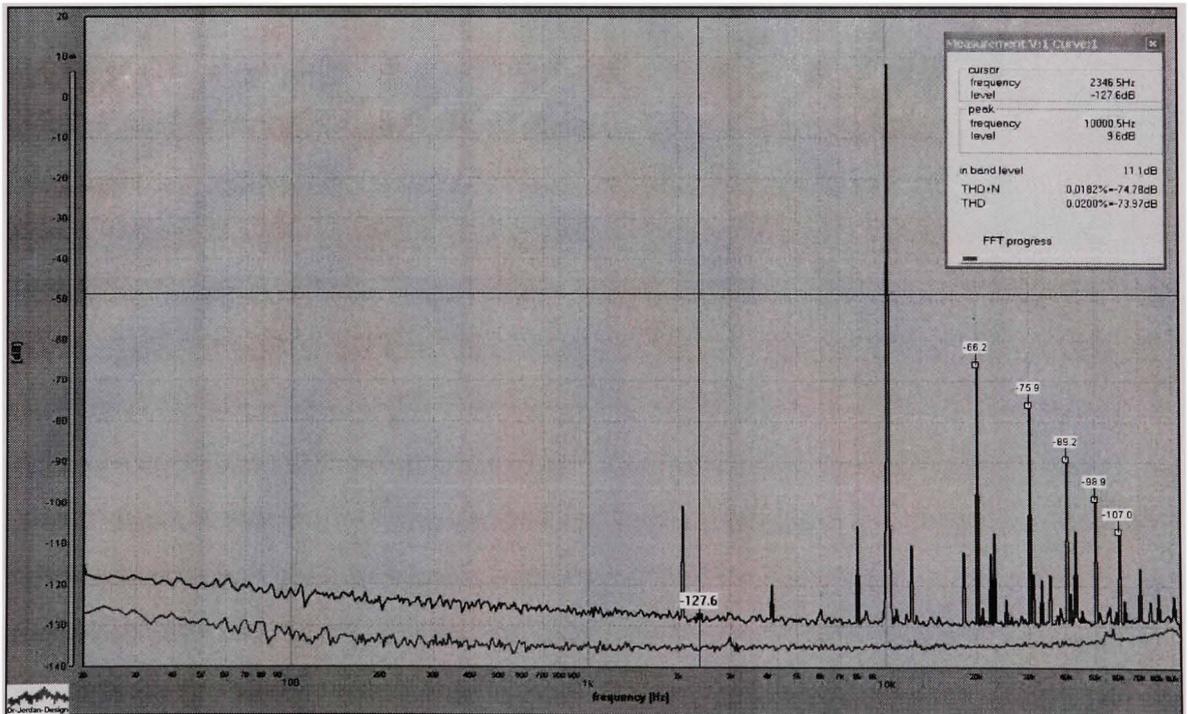


**Figure 7.8 Analyse avec WinAudioMLS d'un sinus de 2 kHz à +10 dBu sur le canal droit.**

Dans ce cas, on note la disparition de la crête autour de 100 Hz. Comme la fréquence de ces crêtes n'est pas constante lorsque la fréquence du signal généré varie et que les crêtes semblent être composées de deux fréquences rapprochées, ce bruit semble être causé par l'intermodulation entre un bruit provenant de la carte HR-DACADC et le signal généré par les DAC et leurs harmoniques. Comme l'intermodulation et la distorsion diminue rapidement avec la réduction de l'amplitude du signal généré, cela explique pourquoi cette crête de bruit est absente de l'analyse des signaux plus faibles. Les harmoniques, quant à elles, ont une amplitude inversement proportionnelle à leurs ordre, ce qui est conforme à un fonctionnement normal. Tout comme le cas du test à 1 kHz, l'amplitude plus importante pour la deuxième harmonique à pleine échelle montre bien un début de distorsion non linéaire qui disparaît lorsque le signal généré est atténué à +10 dBu comme on le voit sur la Figure 7.4, la Figure 7.6 et la Figure 7.8. La prochaine étape vise à valider si ce fonctionnement demeure similaire à une fréquence supérieure. Les prochaines mesures sont donc faites sur un signal généré de 10 kHz.



**Figure 7.9** Analyse avec WinAudioMLS d'un sinus de 10 kHz à +16 dBu sur le canal droit.



**Figure 7.10** Analyse avec WinAudioMLS d'un sinus de 10 kHz à +10 dBu sur le canal droit.

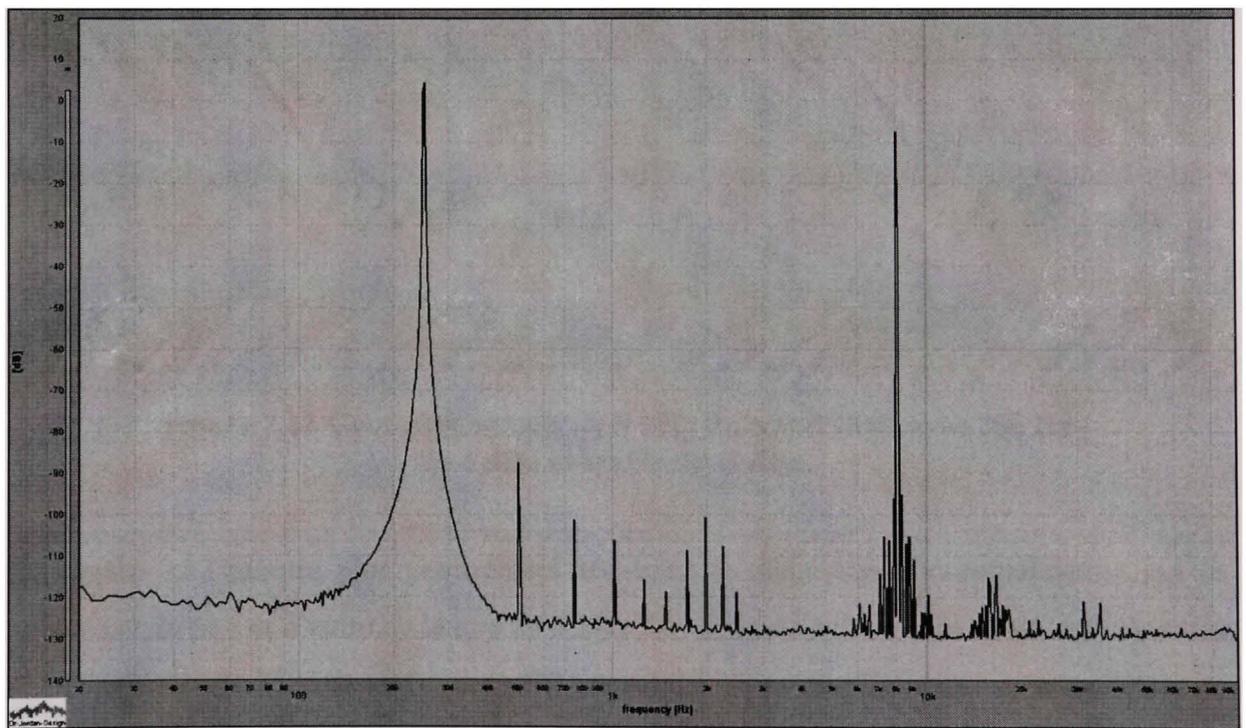
Pour la fréquence de 10 kHz, les performances semblent similaires aux résultats obtenus à 1 kHz et 2 kHz, ce qui confirme bien la linéarité du gain dans la bande passante. Cependant, il est intéressant de noter que la crête de bruit autour de 100 Hz n'apparaît à aucune amplitude du signal pour cette fréquence. On remarque toutefois un bruit plus important autour de 2 kHz et 4 kHz. Ce bruit était aussi présent pour les signaux de 1 kHz et 2 kHz mais il se superposait avec les harmoniques du signal et il était alors impossible de les distinguer clairement. Comme ce bruit ne semble pas être en relation avec l'amplitude du signal généré, il est probable qu'il soit causé par un bruit capté sur la carte du HR-DACADC. Le **Tableau 7.1** présente un résumé des amplitudes des fondamentales et des harmoniques de tous les tests de sinus effectués avec les DAC audio. Tous les résultats ne se trouvant pas dans ce chapitre peuvent être consulté à l'Annexe IV.

Tableau 7.1 Amplitudes de la fondamentale et des harmoniques  
des tests sur les DAC audio

Canal	Fréq. du sinus (kHz)	Amplitude désirée (dBu)	Amplitude mesurée (dBu)	1ère harm. (dBu)	2ème harm. (dBu)	3ème harm. (dBu)	4ème harm. (dBu)	5ème harm. (dBu)
Droit	1	16	15,6	-85,8	-65,1	-84,3	-79,7	-94,5
Droit	1	10	9,6	-66,7	-75,4	-89,8	-99,1	-105,8
Droit	1	4	3,6	-71,8	-86,1	-100,1	-112,7	-128
Droit	1	-8	-8,5	-88,5	-111,1	-112,4	-128,3	-108,8
Droit	1	-20	-19,1	-107,1	-113,6	-107,7	-128,7	-111,8
Droit	1	-44	-44,6	-106,5	-120,6	-127,3	-126,5	-128,3
Gauche	1	16	15,69	-76,5	-63,6	-88,9	-77,4	-101,3
Gauche	1	10	9,67	-65,3	-73,8	-86,8	-95,9	-103,2
Gauche	1	4	3,65	-70,1	-83,9	-97	-107,3	-111,1
Gauche	1	-8	-8,4	-86,3	-106	-111	-111,9	-108,1
Gauche	1	-20	-20,44	-105	-107,8	-105,5	-110	-108,7
Gauche	1	-44	-44,52	-106,5	-108,2	-108,8	-109	-109,7
Droit	2	16	15,6	-86,3	-65,2	-84	-80,3	-94,5
Droit	2	10	9,6	-67	-75,5	-89,5	-99,8	-106
Droit	2	4	3,6	-72,1	-86,2	-99,9	-114,5	-128,3
Droit	2	-8	-8,5	-88,9	-111,2	-111,6	-127,7	-109,4
Droit	2	-20	-20,5	-107,8	-113,2	-107	-127,9	-112,6
Droit	2	-44	-44,6	-117	-121	-128	-128,8	-126,3
Droit	10	16	15,6	-86,3	-65,3	-84	-79,6	-94,8
Droit	10	10	9,6	-66,2	-75,9	-89,2	-98,9	-107
Droit	10	4	3,6	-71,3	-86,7	-99,7	-112	-128,2
Droit	10	-8	-8,5	-88,4	-113,1	-113,4	-123,9	-112,6
Droit	10	-20	-20,8	-108,4	-114,9	-108,5	-126,3	-113,7
Droit	10	-44	-44,6	-114,4	-121,7	-127,3	-128	-129

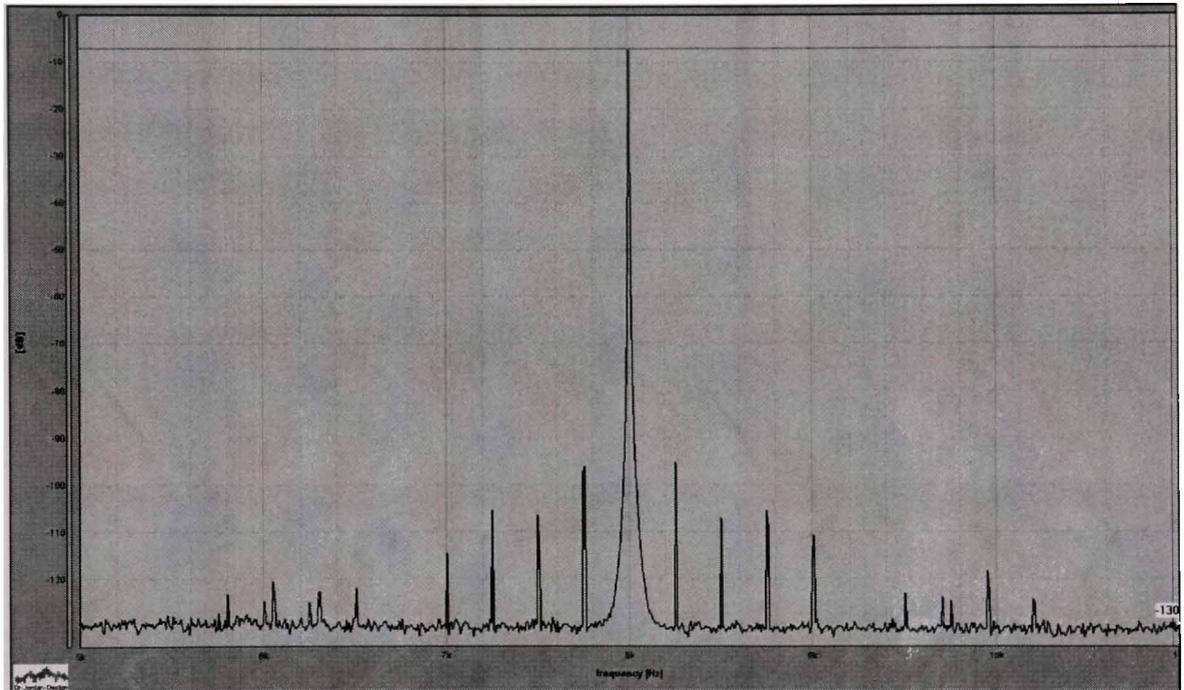
### 7.2.2 Test d'intermodulation pour les DAC audio

Comme spécifié à la section 2.6, l'IMD est très utile pour détecter des erreurs de non linéarité dans la fonction de transfert d'un convertisseur. De plus, comme le bruit d'intermodulation n'est pas uniforme sur toute la bande passante mais forme plutôt des crêtes importantes dans des bandes étroites, ce bruit est très nuisible pour les systèmes de communication où différents canaux sont divisés par plage de fréquences. Dans cette section, deux tests d'IMD seront effectués, les deux correspondant aux normes SMPTE/DIN et l'autre au CCIF « twin tone » respectivement. Voici maintenant les résultats obtenus pour le test d'intermodulation avec deux sinus éloignés en fréquence et d'amplitudes différentes :



**Figure 7.11** Capture avec WinAudioMLS du test d'IMD avec 250 Hz de 4 dBu et 8 kHz de -8 dBu.

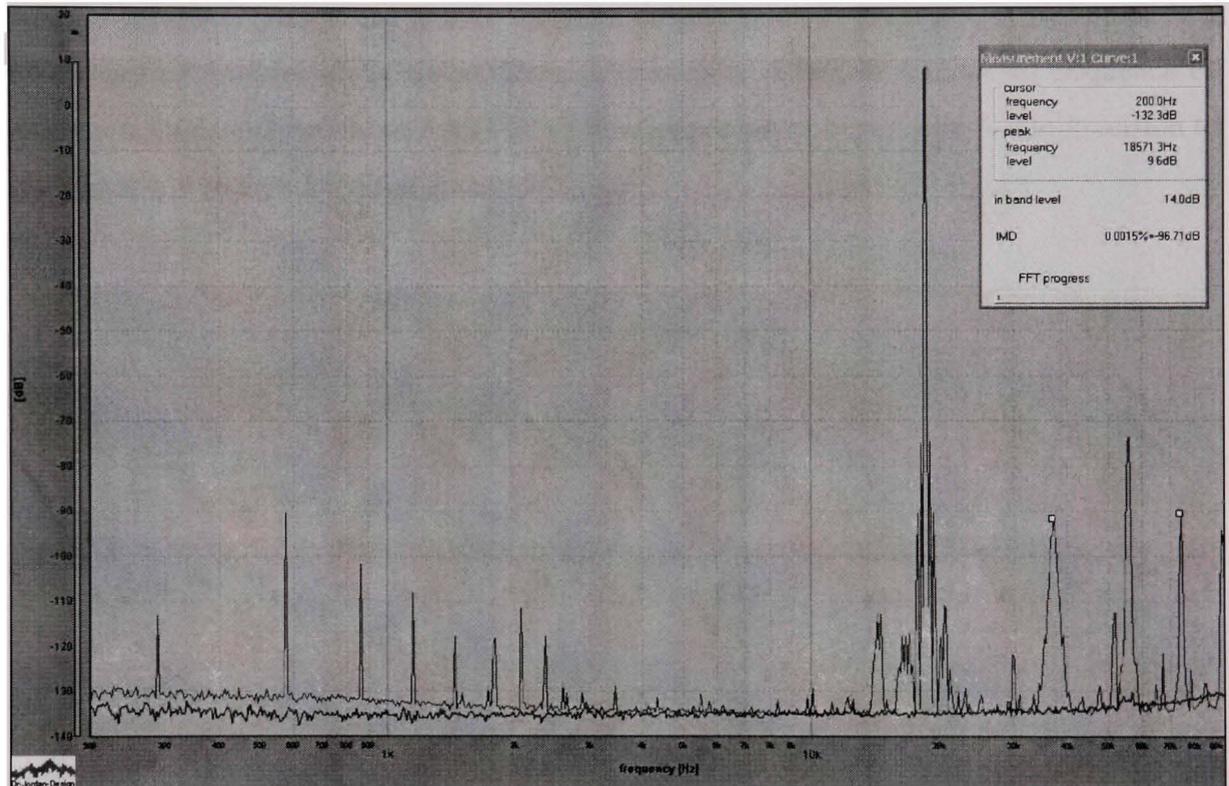
Pour ce test, on distingue bien les raies de distorsion d'intermodulation qui se retrouvent autour de la raie de fréquence élevée. Il est aussi intéressant de noter la présence des mêmes raies de distorsion mais de plus faible amplitude autour des harmoniques de la raie de fréquence supérieure.



**Figure 7.12 Gros plan autour de 8 kHz du test d'IMD avec 250 Hz de 4 dBu et 8 kHz de -8 dBu.**

La Figure 7.12 montre plus précisément les raies de distorsion d'intermodulation qui se retrouvent de part et d'autre de la raie de 8 kHz. On constate que ces raies sont bien réparties à des multiples de 250 Hz, ce qui est effectivement la fréquence de la raie à basse fréquence et confirme qu'il s'agit bien de distorsion d'intermodulation. On note que l'amplitude des raies diminue rapidement avec l'ordre, ce qui est conforme aux attentes et justifie que l'on considère uniquement les 5 premiers ordres d'IMD dans le calcul de ce critère. On retrouve en Annexe IV, un autre test à des fréquences différentes qui montre des résultats similaires, ce qui vient confirmer que ces résultats sont valides sur toute la plage de fréquence du convertisseur.

Il est maintenant intéressant de comparer ces résultats avec ceux obtenus selon le second standard. Ce test d'intermodulation est donc composé de deux sinus rapprochés en fréquence et de même amplitude :

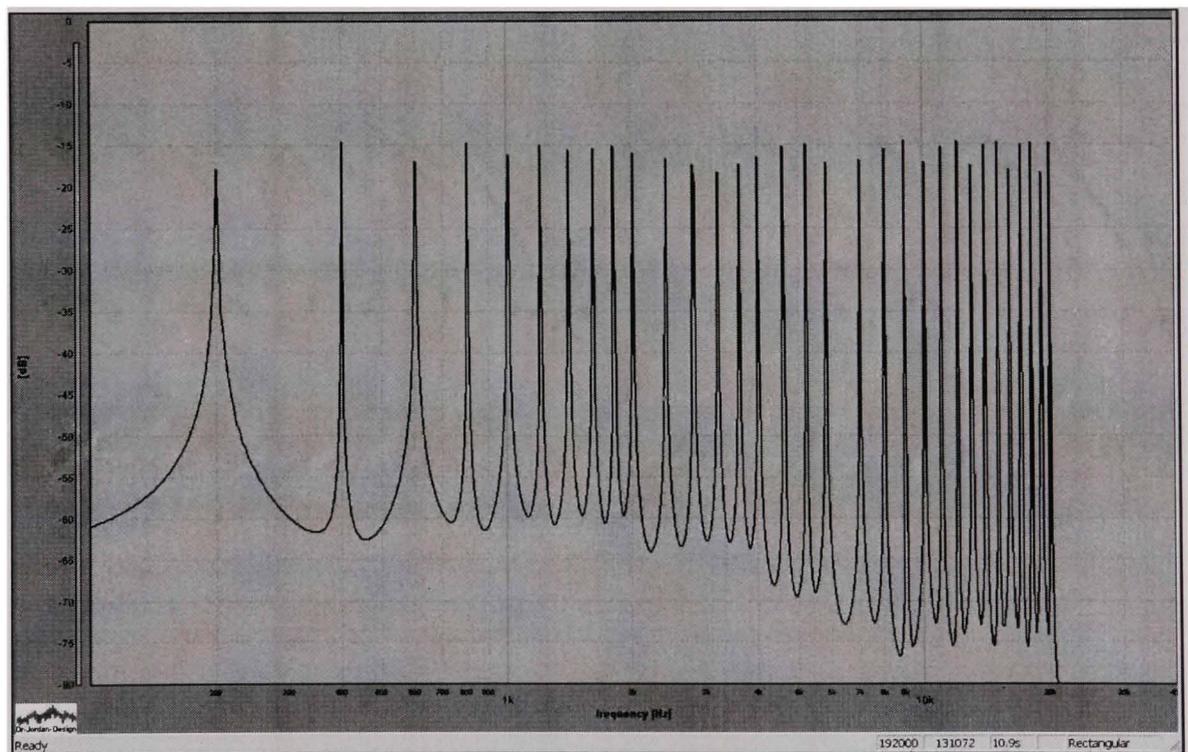


**Figure 7.13 Capture avec WinAudioMLS du test d'IMD 18,287 kHz et 18,571 kHz de même amplitude.**

Pour ce test, la distance entre les deux raies est de 284 Hz. Comme les raies à basse fréquence sont toutes situées à des multiples de 284 Hz, il s'agit bien de distorsion d'intermodulation. En fait, ces raies représentent les ordres pairs d'intermodulation. Les raies que l'on observe autour des deux raies principales, quant à elles, représentent les ordres impairs d'intermodulation. Tout comme le premier test d'IMD, il est intéressant de noter qu'on retrouve également de la distorsion autour des harmoniques des signaux générés.

### 7.2.3 Test de réponse en fréquence des DAC audio

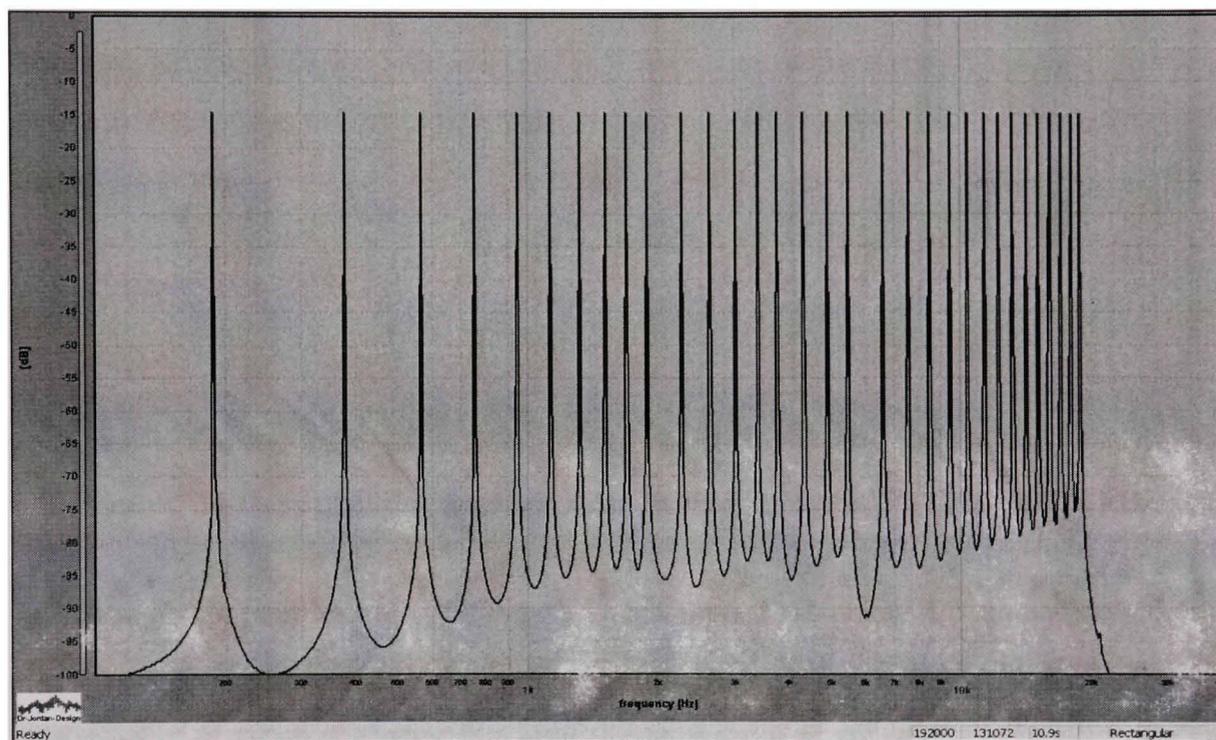
Le test de réponse en fréquence vise à mesurer la variation dans le gain du convertisseur sur toute la plage. Cette caractéristique est importante lorsqu'on traite des signaux au contenu spectral complexe puisqu'une grande variation de gain selon la fréquence se traduit en de la distorsion non linéaire sur le signal. Dans cette section, le test de réponse en fréquence est effectué à l'aide de la méthode FASTTEST développée par la compagnie Audio Precision tel que décrit à la section 2.9 de ce document.



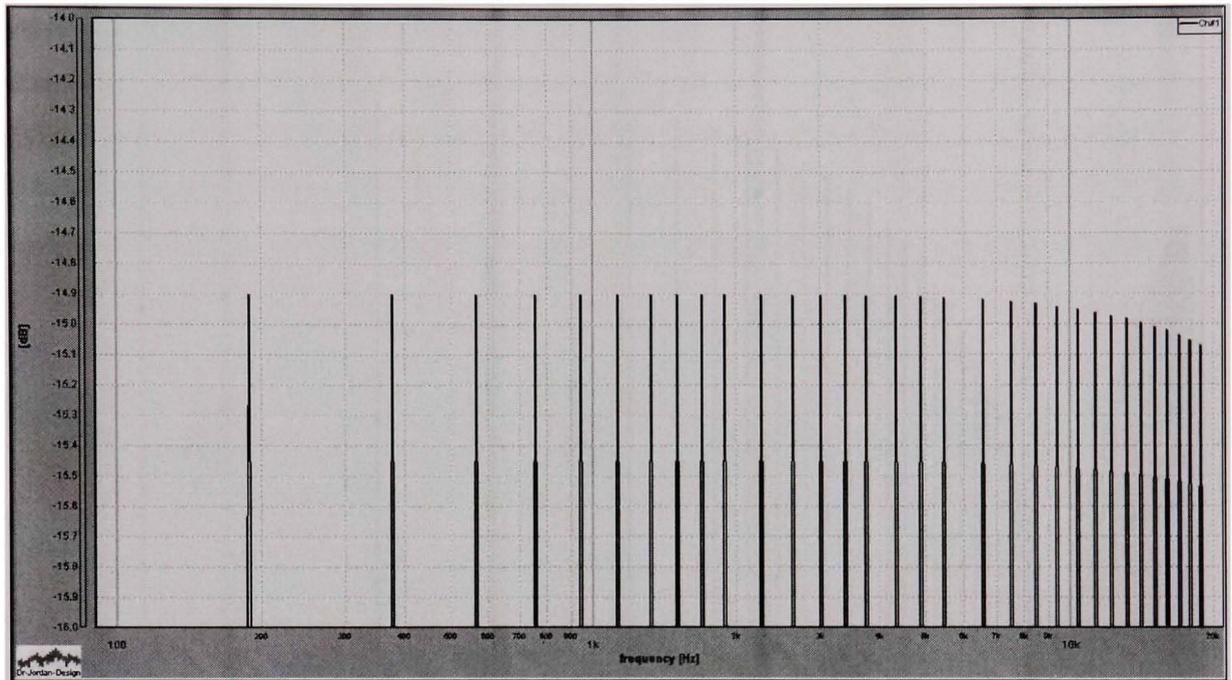
**Figure 7.14 Test de réponse en fréquence 200 Hz à 20 kHz avec 1920 points.**

Sur la Figure 7.14, on remarque que le bruit entre les raies spectrales émises est important et que l'amplitude des raies varie beaucoup entre elles. Cela s'explique par le fait que le signal généré est composé de 1920 points, alors que la FFT se calcule sur 131 072 points. Le tampon utilisé pour faire le calcul ne contient donc pas un nombre entier de périodes de chacune des fréquences présentes et cela cause une erreur sur la réponse obtenue. Comme cette mesure est effectuée sans fenêtrage sur le tampon, l'erreur est beaucoup plus importante et cela ne

permet donc pas de juger de la réponse en fréquence du système. Le prochain test est donc effectué en générant un signal de test contenant un nombre de points qui permettra de faire la capture d'un nombre entier de période pour chacune des fréquences présentes.

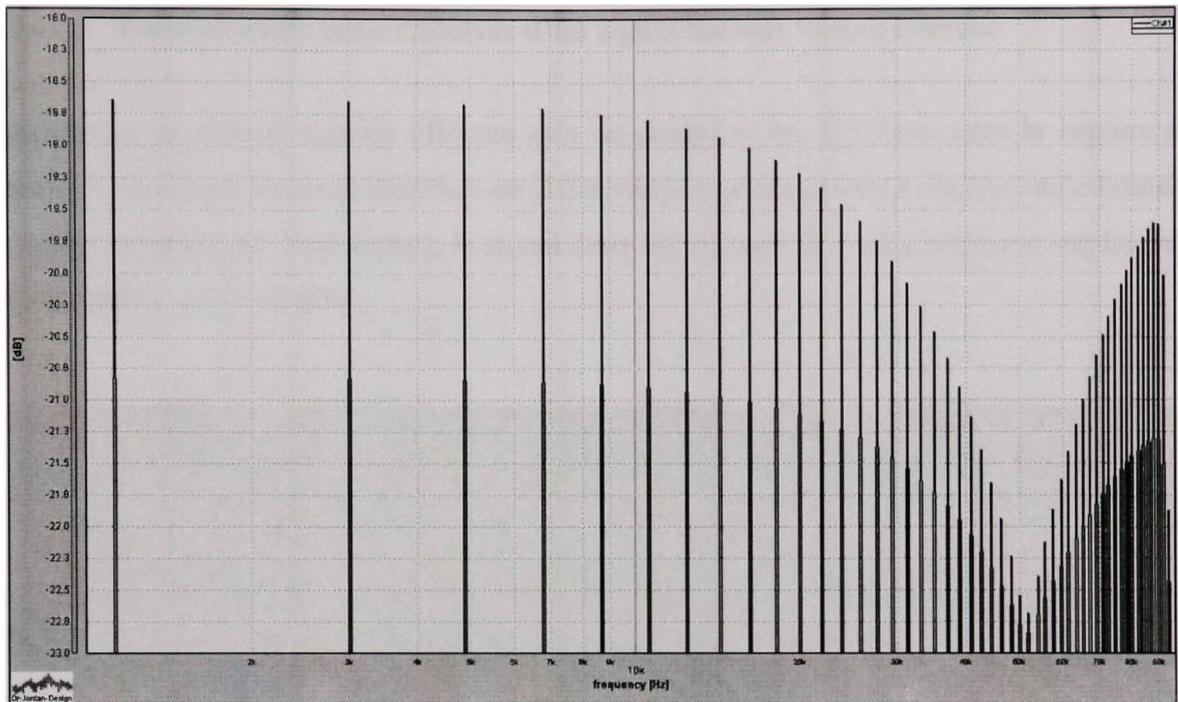


**Figure 7.15 Test de réponse en fréquence 187,5 Hz à 18,75 kHz avec 2048 points.**



**Figure 7.16 Gros plan du test de réponse en fréquence de 187,5 Hz à 18,75 kHz.**

Le signal généré pour le test de la Figure 7.15 compte 2048 points. Le tampon de 131 072 points compte donc exactement 64 répétitions du signal émis et donc un nombre entier de périodes pour chacune des fréquences présentes dans le signal. On constate donc que le bruit entre les raies spectrales est beaucoup plus faible et que le niveau de chacune des raies est sensiblement le même. En fait, on observe une variation de la réponse en fréquence de 0,17 dB dans la plage de 187,5 Hz à 18,75 kHz. Ce test valide donc que la méthode FASTTEST permet de déterminer la réponse en fréquence d'un système en une seule mesure et avec des outils accessibles. Le même test est donc fait de nouveau en changeant le signal généré pour quantifier la réponse en fréquence sur toute la bande passante des DAC audio.

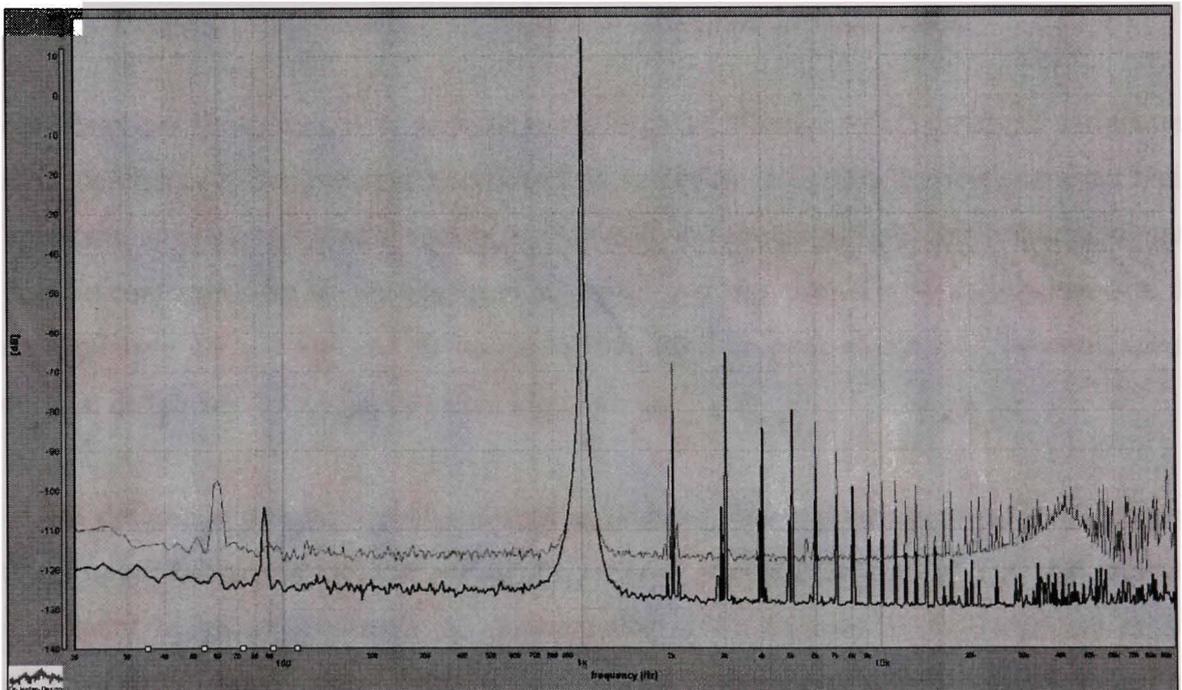


**Figure 7.17 Gros plan du test de réponse en fréquence de 1 kHz à 96 kHz.**

Sur la Figure 7.17, on mesure une variation du gain de 4 dB dans la plage de 1 kHz à 96 kHz. Comme aucun fenêtrage n'altère le signal réellement capturé avant le calcul de cette FFT, l'amplitude de ces raies est donc très précises et représentatives du signal réellement transmis. On constate donc une faiblesse autour de 50 kHz dans la réponse en fréquence des DAC audio. La forme de celle-ci laisse à croire qu'elle peut provenir de la réponse du filtre numérique d'interpolation présent dans le convertisseur. Cependant, comme il est impossible de désactiver l'interpolation de ce composant, cette théorie ne peut être validée et la réponse en fréquence totale sur toute la plage audio du système demeure donc de 4 dB. Ce test a permis de confirmer que la technique de FASTTEST développée par Audio Precision fonctionne de façon adéquate et permet rapidement de juger de la réponse en fréquence d'un système.

### 7.2.4 Comparaison entre l'analyse d'un signal balancé et non balancé

Finalement, un dernier test est effectué afin de comparer les résultats entre la capture du signal en exploitant les deux branches en différentiel et en travaillant avec une seule branche sans son complément. Pour ce test, le signal émis est le sinus de 1 kHz avec une amplitude à pleine échelle, soit +16 dBu :



**Figure 7.18 Comparaison de l'analyse d'un sinus de 1 kHz en mode balancé et non balancé.**

Pour ce test, on confirme que l'amplitude de la raie de 1 kHz en mode non balancé a une amplitude inférieure de 6 dB à celle en mode balancé. Cela est normal puisqu'on perd la moitié du signal en ne prenant pas compte de son complément. Cependant, on note toujours la présence des raies des harmoniques dans les deux cas. Ceci est normal puisque la distorsion harmonique est un phénomène qui se produit à l'intérieur du convertisseur et se retrouve donc avant la mise en forme différentielle et ne peut donc pas être éliminé par cette technique. Toutefois, on constate la disparition de la raie de 60 Hz qui provenait du secteur et était donc identique sur les deux branches du signal différentiel. On note aussi une large crête

de bruit entre 30 kHz et 60 kHz qui apparaît dans la capture non balancée. Encore une fois ce bruit n'étant pas généré par le convertisseur, il se retrouve non inversé sur la deuxième broche du signal différentiel et est complètement éliminé lors de la soustraction des deux signaux. Finalement, on observe un bruit moyen de 10 dB supérieur pour la capture non balancée comparativement à celle balancée, ce qui vient justifier l'utilisation d'un système en différentiel pour traiter des signaux avec une très grande résolution.

### 7.3 Problèmes rencontrés lors des divers tests avec les DAC audio

Lors des prises de mesure, il est apparu que le logiciel WinaudioMLS indiquait parfois une valeur de distorsion harmonique inférieure à la valeur de distorsion harmonique avec bruit. Cependant, ce cas est impossible selon la définition des termes puisque cela impliquerait que l'énergie contenue dans les harmoniques du signal soit négative. Il a donc été nécessaire de faire l'analyse de la technique de calcul utilisée dans ce programme afin de comprendre pourquoi de tels résultats apparaissaient régulièrement.

Il a été déterminé que cette aberration est causée par une différence entre les techniques utilisées pour calculer le THD et le THD+N. En effet, le calcul du THD se fait en comparant uniquement la valeur maximale de chacune des crêtes formant la fondamentale et ses harmoniques du signal capturé. De plus, le nombre d'harmoniques utilisées pour le calcul est défini à 20 ou bien le nombre présent dans la bande passante du système de mesure, selon ce qui est le plus restrictif. Or, il est à noter que la valeur de THD inscrite dans la plupart des fiches techniques de convertisseur est calculée en se limitant au cinq premières harmoniques uniquement. Les résultats obtenus à l'aide de ce logiciel seront donc toujours légèrement inférieurs aux spécifications du composant.

De son côté, le THD+N est calculé en utilisant tous les points de la courbe à l'exception de la constante continue. Ainsi, la valeur du signal est la somme de la valeur crête et des points autour de cette dernière et tous les autres points sont additionnés pour déterminer la valeur du bruit et la distorsion harmonique. Ainsi, si la crête du signal compte quelques points ayant

une amplitude élevée alors que les raies des harmoniques sont très minces, cela explique pourquoi la valeur de THD+N est parfois supérieure à la valeur de THD selon le logiciel WinAudioMLS, bien que cela soit impossible par définition.

Le SNR des tests effectués avec le logiciel WinAudioMLS est calculé à partir des valeurs de THD et THD+N conformément à l'équation (2.6) démontrée au CHAPITRE 2. Or, la réponse est indéterminée si le THD+N est plus grand que le THD, ce qui est conforme avec la définition de ces termes qui indique bien que cette situation est impossible. De plus, afin d'obtenir le SNR de -120 dB spécifié dans le cahier des charges, la différence entre le THD et le THD+N doit être de :

$$\begin{aligned}
 SNR &= 10 \cdot \log\left(10^{THD+N/10} - 10^{THD/10}\right) = -120 \\
 \Leftrightarrow 10^{-120/10} &= 10^{THD+N/10} - 10^{THD/10} \\
 10^{THD+N/10} &= 10^{-120/10} + 10^{THD/10} \\
 THD + N &= 10 \cdot \log\left(10^{-12} + 10^{THD/10}\right) \\
 \text{Si THD} &= -80 \text{ dB} \\
 \Rightarrow THD + N &= 10 \cdot \log\left(10^{-12} + 10^{-8}\right) = 10 \cdot \log(1,0001 \cdot 10^{-8}) \\
 &= -79,9995657 \\
 THD - THD + N &= -0,0004343 \text{ dB}
 \end{aligned} \tag{7.1}$$

Comme l'écart calculé de 0,0004343 dB est très faible, il est possible que l'utilisation de deux techniques de mesure différentes pour calculer le THD et le THD+N cause une erreur de précision suffisamment importante pour empêcher de déterminer le SNR. Cela arrive à chaque fois que le THD est supérieur au THD+N et que le calcul est impossible. Comme les deux techniques donnent des résultats similaires, l'erreur causée par l'utilisation de deux techniques devient donc non négligeable lorsque les deux résultats sont très près l'un de l'autre et que leur soustraction donne un résultat près de zéro. Cependant, comme l'indique l'équation **Tableau 7.1**, cette différence doit effectivement être très faible pour atteindre le SNR désiré. Les valeurs de SNR déterminées sont donc valides uniquement lorsque le SNR est faible et qu'il en résulte un grand écart entre le THD et le THD+N. Il est à noter qu'une

valeur de ND pour non déterminé a été insérée dans le **Tableau 7.2** qui résume les performances des DAC audio lorsque le calcul de cette caractéristique était impossible.

#### **7.4 Conclusion sur les performances des DAC audio**

Chacun des tests effectués dans ce chapitre ont permis de déterminer une caractéristique des performances du système. Il a d'ailleurs été démontré que les technologies et la puissance de calcul des ordinateurs d'aujourd'hui permettent de remplacer plusieurs tests qui étaient autrefois effectués à l'aide d'appareils analogique complexe et dispendieux par une analyse de la FFT du signal généré. Cette nouvelle approche diminue considérablement le nombre d'appareils requis et le temps de mesure afin d'avoir une liste exhaustive de toutes les caractéristiques d'un système.

Afin d'avoir une vue d'ensemble des performances des DAC audio, il est intéressant d'analyser tous les résultats obtenus et de les comparer avec les critères du cahier des charges. Voici donc les tableaux récapitulatifs de tous les tests effectués pour quantifier les performances des DAC audio du HR-DACADC.

Tableau 7.2 Résumé des mesures des critères de performances des DAC audio

Signal de test	SNR (dB)	SFDR (dB)	THD (dB)	THD+N (dB)	ENOB
Droit : entrée au GND	-86,5	---	---	---	---
Droit : sinus 1 kHz +16 dBu	ND	80,7	-79,5	-80,0	13,0
Droit : sinus 1 kHz +10 dBu	ND	76,3	-74,7	-74,8	12,2
Droit : sinus 1 kHz +4 dBu	114,9	74,6	-74,2	-74,2	12,0
Droit : sinus 1 kHz -8 dBu	81,4	80,0	-78,8	-74,0	12,0
Droit : sinus 1 kHz -20 dBu	65,0	86,6	-81,3	-63,8	10,3
Droit : sinus 1 kHz -44 dBu	40,4	61,9	-60,3	-39,6	6,3
Gauche : sinus 1 kHz +16 dBu	112,0	79,3	-78,0	-77,8	12,6
Gauche : sinus 1 kHz +10 dBu	95,0	75,0	-73,4	-72,7	11,8
Gauche : sinus 1 kHz +4 dBu	81,8	73,8	-72,6	-70,0	11,4
Gauche : sinus 1 kHz -8 dBu	64,3	77,9	-76,6	-62,5	10,1
Gauche : sinus 1 kHz -20 dBu	48,7	53,2	-76,3	-48,4	7,8
Gauche : sinus 1 kHz -44 dBu	24,9	44,5	-53,2	-24,6	3,8
Droit : sinus 2 kHz +16 dBu	ND	80,8	-79,7	-80,1	13,0
Droit : sinus 2 kHz +10 dBu	107,3	76,7	-75,1	-74,9	12,2
Droit : sinus 2 kHz +4 dBu	101,0	75,7	-74,6	-74,2	12,1
Droit : sinus 2 kHz -8 dBu	80,8	80,4	-79,3	-74,0	12,0
Droit : sinus 2 kHz -20 dBu	64,9	86,5	-81,4	-63,7	10,3
Droit : sinus 2 kHz -44 dBu	40,2	66,4	-67,1	-39,8	6,3
Droit : sinus 10 kHz +16 dBu	ND	80,9	-79,3	-79,7	13,0
Droit : sinus 10 kHz +10 dBu	ND	75,8	-74,0	-74,8	12,1
Droit : sinus 10 kHz +4 dBu	ND	74,9	-73,4	-74,1	12,0
Droit : sinus 10 kHz -8 dBu	82,4	79,9	-78,5	-74,2	12,1
Droit : sinus 10 kHz -20 dBu	64,7	87,6	-82,1	-63,6	10,3
Droit : sinus 10 kHz -44 dBu	40,0	61,4	-66,8	-39,6	6,3

Tableau 7.3 Résumé des performances d'IMD des DAC audio

Signal de test	Écart en fréquence (Hz)	IMD (dB)
Droit : IMD 18,285 kHz et 18,571 kHz	286	-96.7
Droit : IMD 250 Hz et 8 kHz	7750	-91.2
Droit : IMD 500 Hz et 16 kHz	15500	-88.7

Selon le cahier des charges, les DAC audio doivent avoir un SNR de 120 dB pour un signal de référence de 1 kHz à pleine échelle. En analysant le **Tableau 7.2**, on trouve une valeur de SNR indéterminé pour le cas conforme aux conditions du cahier des charges. Cela est dû au problème expliqué à la section 7.3 où l'analyse de WinAudioMLS donne un THD plus faible que le THD+N. On remarque cependant que le SFDR de 80 dB est limité par une harmonique du signal de stimulation et non pas le plancher de bruit. En fait, le niveau le plus haut mesuré qui n'est pas une harmonique est de -104,1 dB, ce qui donne un écart de 119,7 dB entre le signal et le bruit du système. Cette valeur est très près du SNR désiré, mais puisque le SNR réel comprend la somme de tous les points formant le plancher de bruit, il est donc peu probable que le SNR réel réponde au cahier des charges. Cependant, on peut affirmer que les performances obtenues en sont certainement très près. D'ailleurs, pour le canal gauche, on trouve un SNR de 112,0 dB, ce qui est distant de seulement 8 dB des contraintes du cahier des charges. Or, on remarque sur les figures précédentes que le plancher de bruit du canal gauche est significativement plus élevé que celui du canal droit. Il est donc impératif de déterminer ce qui cause une si grande différence entre les deux canaux afin de demeurer près des contraintes du cahier des charges pour cette section du projet.

De plus, on obtient un THD de près de -80 dB pour les deux canaux. Cette valeur est excellente et nous assure que cet équipement sera capable de générer une sinusoïde pure ne contenant que très peu d'énergie dans ses harmoniques. Ainsi, plus de 99,99 % de l'énergie transmise à un transducteur sera contenue dans la fondamentale du signal généré. Finalement, on note que les DAC audio sont plus performants face à la distorsion d'intermodulation lorsque les fréquences sont rapprochées l'une de l'autre avec un IMD

maximal de -96,7 dB pour un écart de 286 Hz et un résultat minimal de -88,7 dB pour un écart de 15,5 kHz. Dans tous les cas ces performances sont excellentes et pourraient permettre une séparation de la plage de fréquences en plusieurs canaux codés sous forme FDMA pour une application de communication sous-marine entre 0 Hz et 100 kHz.

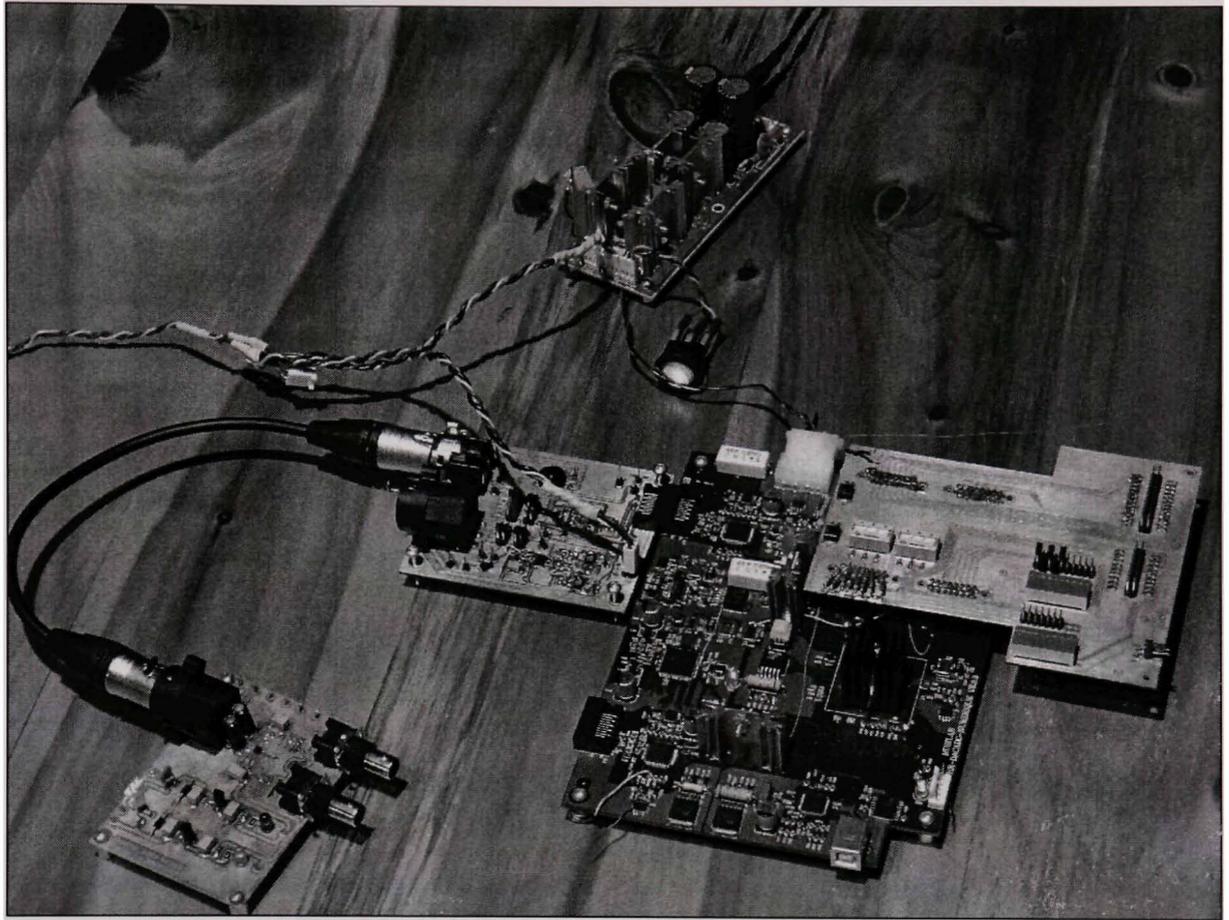
## CHAPITRE 8

### PERFORMANCES DES CONVERTISSEURS NUMÉRIQUES À ANALOGIQUES ULTRASONIQUES

Ce chapitre traite de la mesure des performances des DAC ultrasoniques afin de valider si ceux-ci répondent aux critères du cahier des charges. Comme le cahier des charges ne spécifie que la bande passante et le SNR comme contraintes, plusieurs autres tests ont aussi été réalisés afin d'avoir une meilleure vision d'ensemble des performances du système. Les caractéristiques mesurées sont donc le SNR, le SFDR, le THD, le THD+N et l'IMD. Ce chapitre présentera donc le banc de test utilisé pour faire ces mesures ainsi qu'un résumé des résultats obtenus.

#### 8.1 Élaboration des bancs de tests pour les DAC ultrasoniques

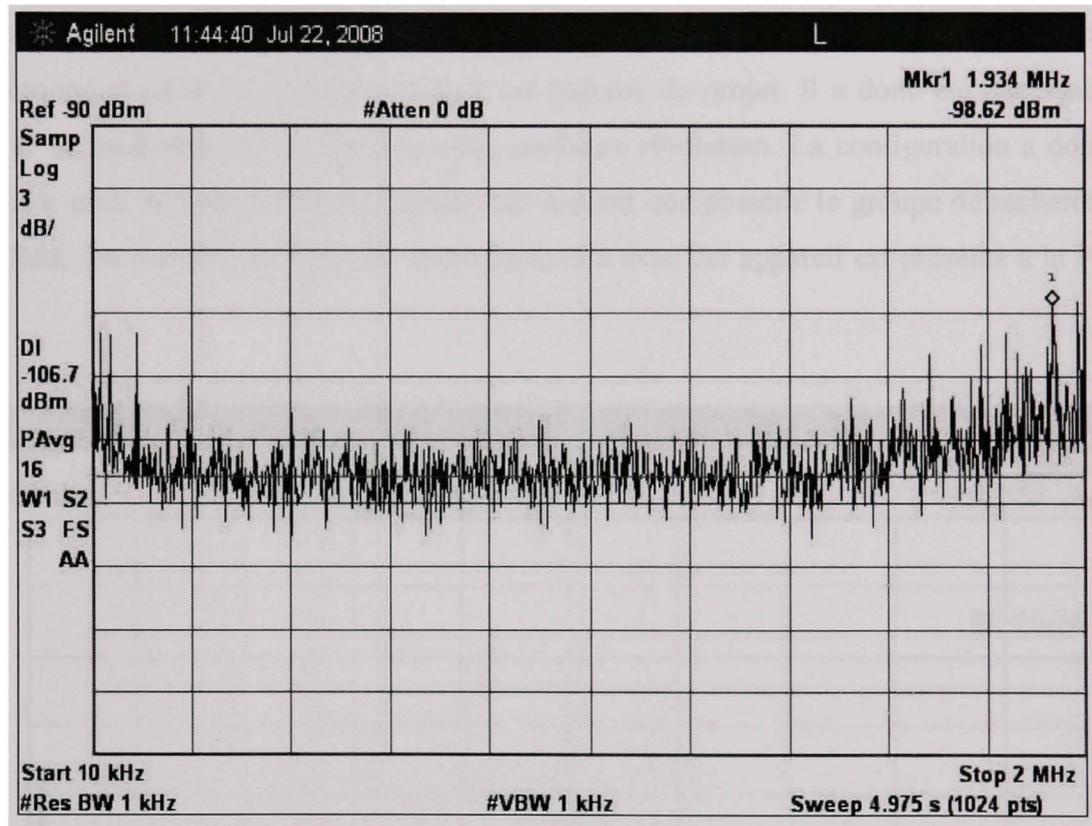
Pour cette section, deux bancs de tests ont été réalisés. La première utilise la même configuration que celle décrite pour les DAC audio dans le CHAPITRE 7. Cette configuration a donc l'avantage d'analyser le signal différentiel généré par la carte HR-DACADC. Malheureusement, comme la carte E-MU 1616M de la compagnie E-MU Systems a une fréquence d'échantillonnage limitée à 192 kHz, la bande passante d'analyse de cette configuration se limite à 96 kHz. Le plancher de bruit de cette configuration est celui présenté à la Figure 7.2.



**Figure 8.1 Banc de test des DAC ultrasoniques pour se connecter à l'analyseur de spectre Agilent E4440A.**

Cependant, comme la bande passante de cette configuration n'atteint pas les critères du cahier des charges, une autre configuration a donc été nécessaire afin de pouvoir faire l'analyse du système jusqu'à sa pleine bande passante, soit 500 kHz. Cette configuration était donc composée de la carte HR-DACADC qui génère les signaux de courant différentiels. Ces signaux sont ensuite transmis à la carte de conversion courant à tension puis à une carte réalisée par Musilab qui convertit le signal de tension balancé à un signal non balancé en ajustant le gain pour ne pas avoir la perte de 6 dB causée par l'élimination d'une des deux branches différentielles. Cette dernière connexion est faite à travers un câble différentiel XLR blindé à 95 %. La sortie non balancée de la carte de Musilab est ensuite reliée à un analyseur de spectre de la compagnie Agilent via un câble BNC et un adaptateur BNC à N. La Figure 8.1 montre le montage devant être connecté à l'analyseur de spectre via un câble BNC. Les

premiers tests ont été réalisés avec l'analyseur de spectre Agilent E4402B. Le plancher de bruit capté par cet appareil avec la configuration décrite est la suivante :

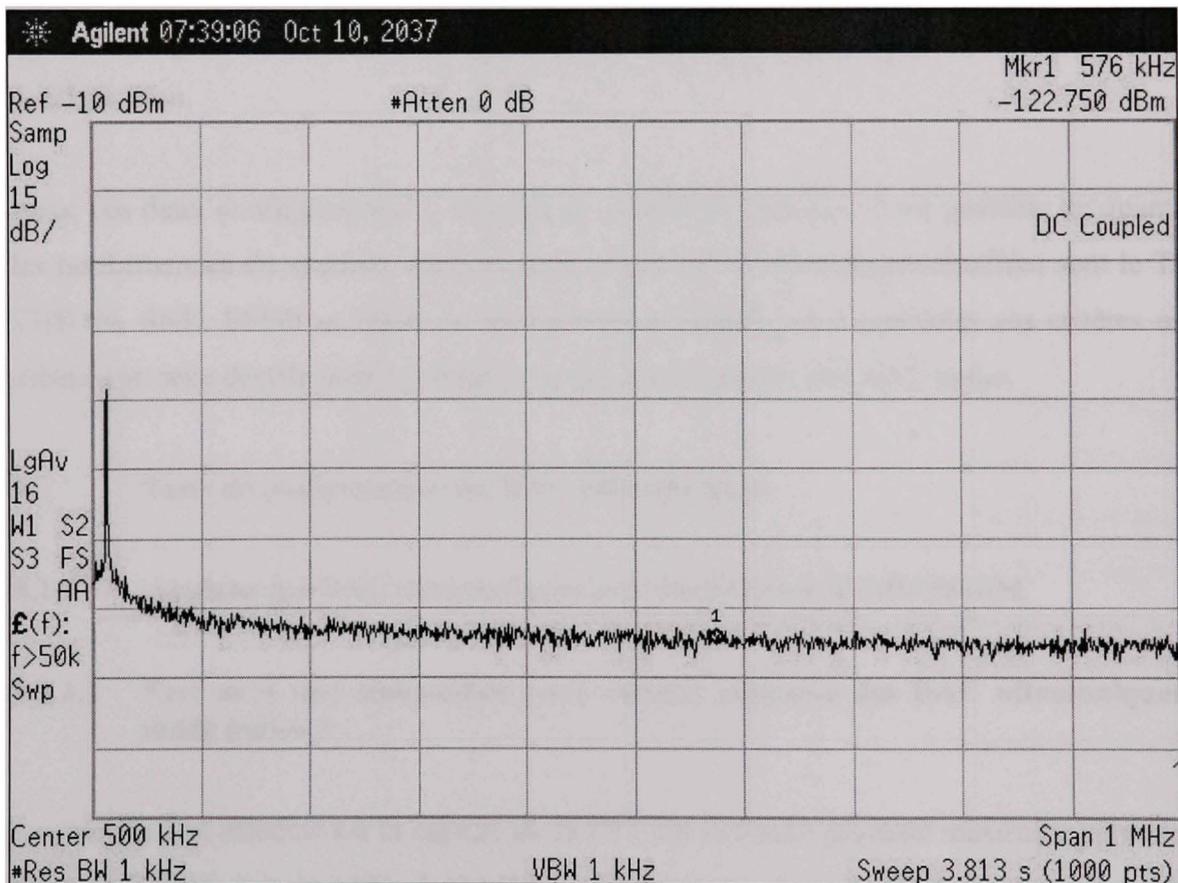


**Figure 8.2 Plancher de bruit de la configuration avec l'analyseur de spectre E4402B.**

Cependant, en considérant un plancher de bruit autour de -106 dBm et un signal crête de +10 dBm avec une analyse sur 1024 points, le meilleur rapport signal à bruit qu'il est possible de quantifier est de :

$$\begin{aligned}
 P_{\text{signal}} &= 10^{10/10} = 10 \text{ mW} \\
 P_{\text{bruit}} &= 10^{-106/10} * 1024 = 2,5722 \cdot 10^{-8} \text{ mW} \\
 SNR_{\text{max}} &= 10 \cdot \log_{10} \left( \frac{P_{\text{signal}}}{P_{\text{bruit}}} \right) = 10 \cdot \log_{10} \left( \frac{10 \text{ mW}}{2,5722 \cdot 10^{-8} \text{ mW}} \right) = 85,90 \text{ dB}
 \end{aligned} \tag{8.1}$$

Comme le cahier des charges requiert un SNR de 84 dB pour la section ultrasonique, cette configuration permet à peine de mesurer les performances requises. Par contre, il est possible que le plancher de bruit ne soit pas constant et ait une valeur inférieure au minimum requis sur une section de la bande passante. Cette configuration ne pourrait pas détecter un tel phénomène et est donc insuffisante pour les besoins du projet. Il a donc été nécessaire de trouver un analyseur de spectre avec une meilleure résolution. La configuration a donc été modifiée pour utiliser le modèle E4440A de Agilent que possède le groupe de recherche du LACIME. Le plancher de bruit de la configuration avec cet appareil est présenté à la Figure 8.3.



**Figure 8.3 Plancher de bruit de la configuration avec l'analyseur de spectre E4440A.**

Cette configuration présente donc un plancher de bruit autour de -120 dBm dans la plage d'intérêt, ce qui permet de déterminer un SNR maximal de :

$$\begin{aligned}
 P_{signal} &= 10^{10/10} = 10mW \\
 P_{bruit} &= 10^{-120/10} * 1024 = 1,024 \cdot 10^{-9} mW \\
 SNR_{max} &= 10 \cdot \log_{10} \left( \frac{P_{signal}}{P_{bruit}} \right) = 10 \cdot \log_{10} \left( \frac{10mW}{1,024 \cdot 10^{-9} mW} \right) = 99,90dB
 \end{aligned} \tag{8.2}$$

Cette valeur est supérieure au besoin du cahier des charges de plus de 15 dB. Cet appareil permet donc de détecter un bruit beaucoup plus faible que les besoins du projet. Il a donc été décidé de prendre les mesures dans la pleine bande passante avec cette nouvelle configuration.

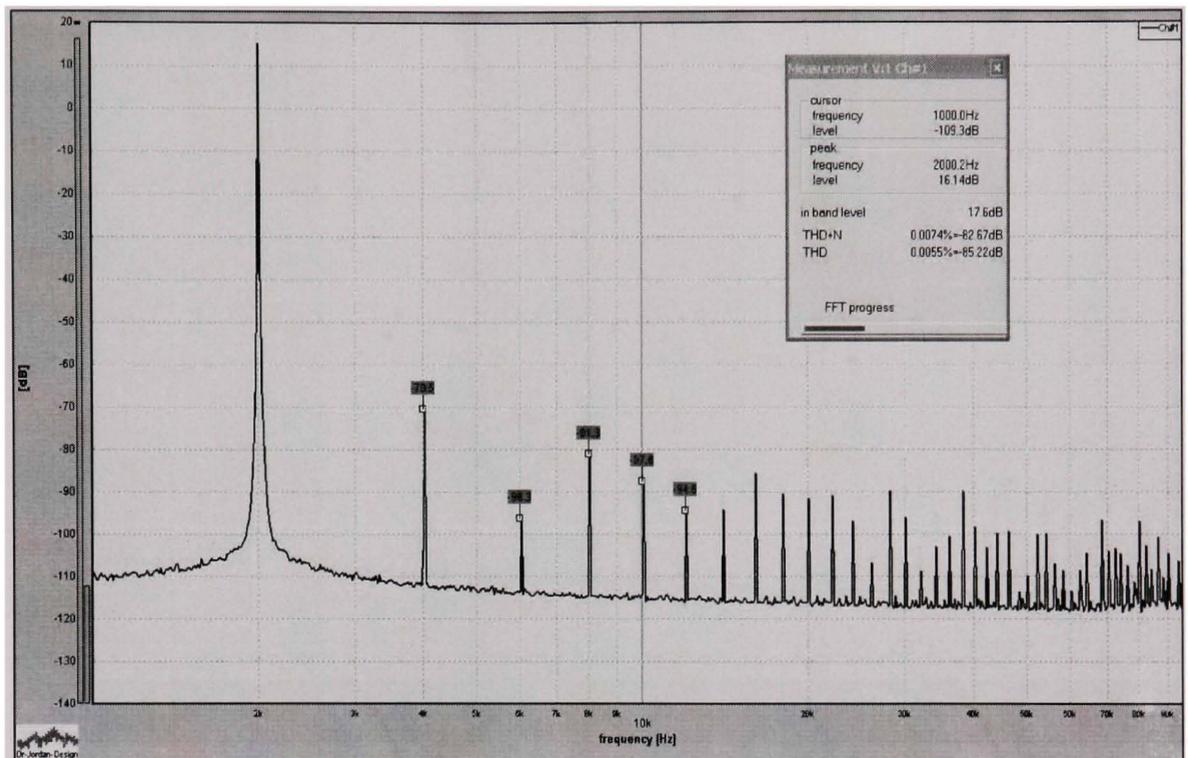
Avec ces deux configurations et en générant différents signaux, il est possible de quantifier les performances du système. Dans le cas présent, les caractéristiques étudiées sont le THD, THD+N, SNR, SFDR et IMD. La méthodologie utilisée pour quantifier ces critères est la même que celle décrite dans le chapitre sur les performances des DAC audio.

## 8.2 Tests de performance des DAC ultrasoniques

### 8.2.1 Analyse des DAC ultrasoniques avec banc de test E-MU 1616M

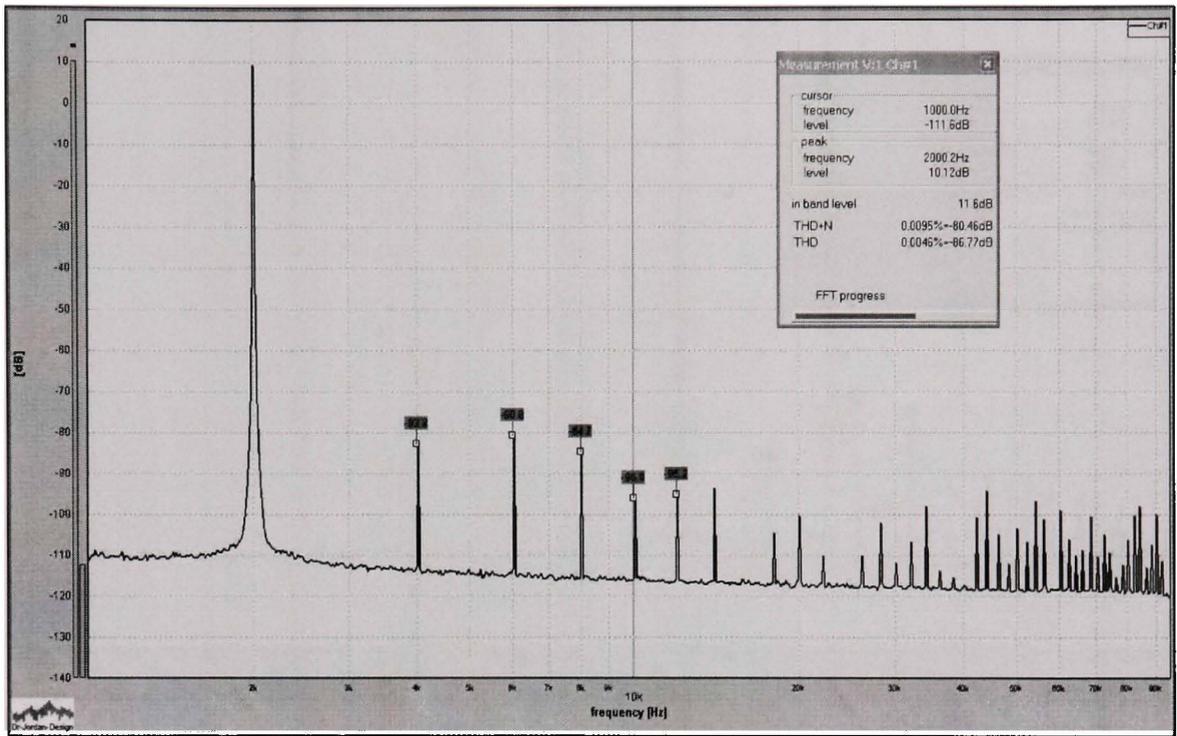
#### 8.2.1.1 Test avec une sinusoïdale pure comme stimulus des DAC ultrasoniques en mode balancé

Le premier test effectué est la capture de la FFT sur la bande passante maximale permise par l'E-MU 1616M, soit de 1 kHz à 96 kHz, en générant une sinusoïde pure. Comme il est décrit dans la méthodologie de quantification des performances des DAC en Annexe III, ce stimulus permet de faire le calcul de plusieurs tests. En effet, les critères mesurés dans cette section sont le SNR, le SFDR, le THD et le THD+N. Le premier test est donc effectué en générant un sinus à une fréquence de 2 kHz en activant l'interpolation de 8X.



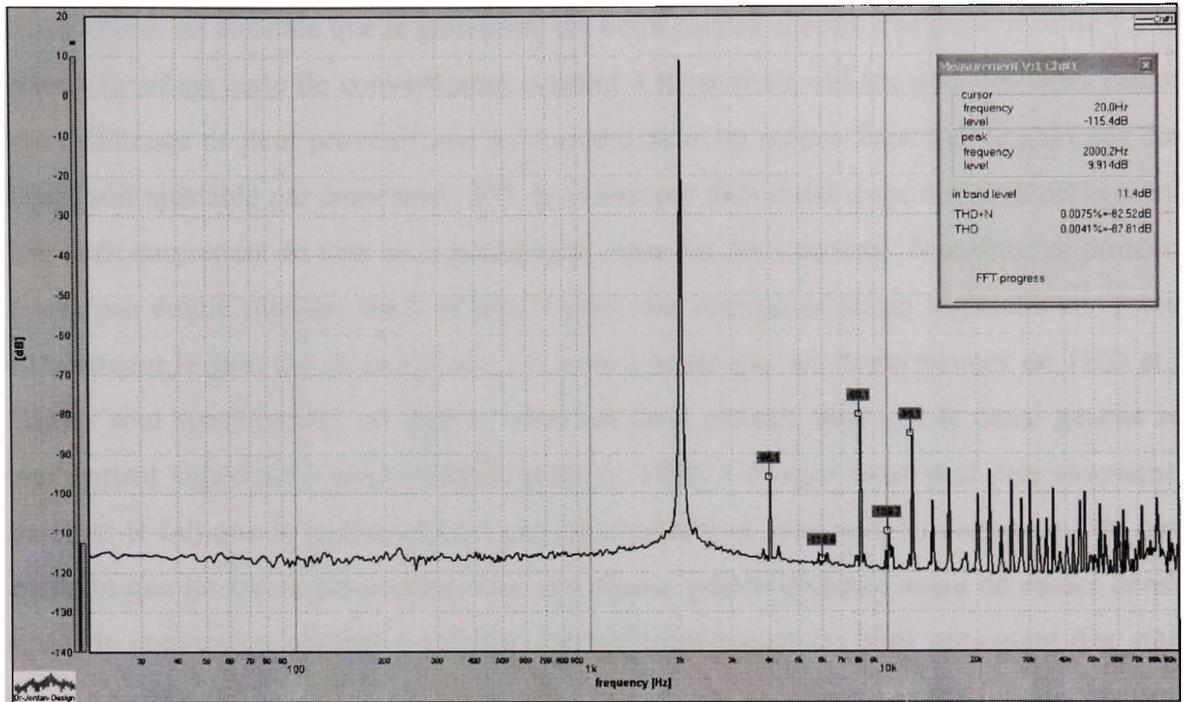
**Figure 8.4 Analyse avec WinAudioMLS d'un sinus de 2 kHz à +16 dBu sur le DAC ultra droit 8X.**

Sur la Figure 8.4, on note que le plancher de bruit est autour de -110 dBu. La raie principale à gauche est le signal généré par le DAC et les raies à droite ayant une étiquette indiquant leur valeur crête sont les cinq premières harmoniques de la fondamentale. Contrairement aux cas des DAC audio, la seconde harmonique n'est pas plus élevée que les autres. Au contraire, sur la Figure 8.4, celle-ci est même la plus faible des cinq indiquées. Cela indique donc que le système ne semble pas avoir de saturation à pleine échelle. Le prochain test se fera avec une amplitude du sinus atténuée à 10 dBu afin de voir la variation des harmoniques et du plancher de bruit.

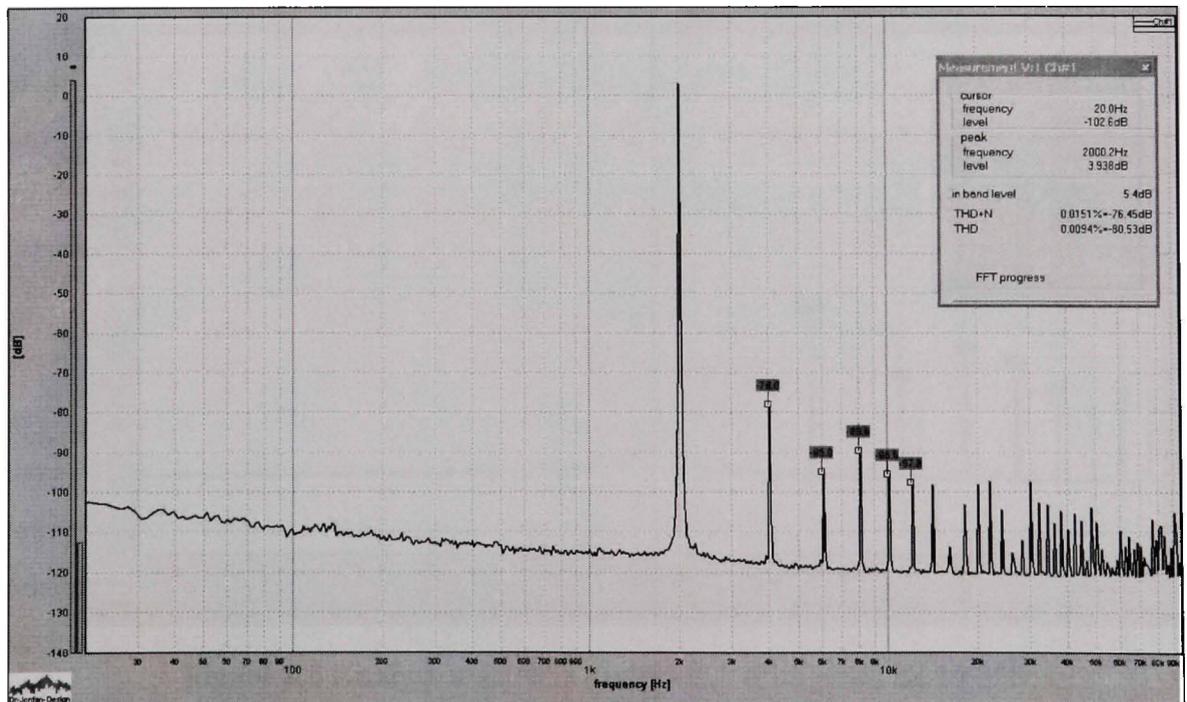


**Figure 8.5 Analyse avec WinAudioMLS d'un sinus de 2 kHz à +10 dBu sur le DAC ultra droit 8X.**

Sur la Figure 8.5, on note que la diminution de l'amplitude de la fondamentale n'a pas eu d'impact sur le plancher de bruit. Cependant, on note une forte atténuation de la première harmonique et une amplitude similaire pour la seconde harmonique. Encore une fois, cette configuration d'harmonique indique qu'il n'y a pas de saturation du convertisseur. Toutefois, il est intéressant de noter que bien que l'amplitude des premières harmoniques soit plus élevée que les autres, on n'observe pas de diminution constante avec l'ordre et les harmoniques d'ordre élevé ne sont donc pas négligeables pour le calcul du THD. Cet exemple est donc un cas typique où ce résultat pourrait être fortement influencé par le nombre d'harmoniques considérées dans le calcul. Dans le cas du WinAudioMLS, ce logiciel considère toujours les 20 premières harmoniques ou toutes celles comprises dans la bande passante du système. La majorité des raies présentes sont donc considérées dans le résultat affiché. Il est maintenant intéressant de refaire ces deux mesures pour le canal gauche afin de valider si ses performances diffèrent de ceux du canal droit.

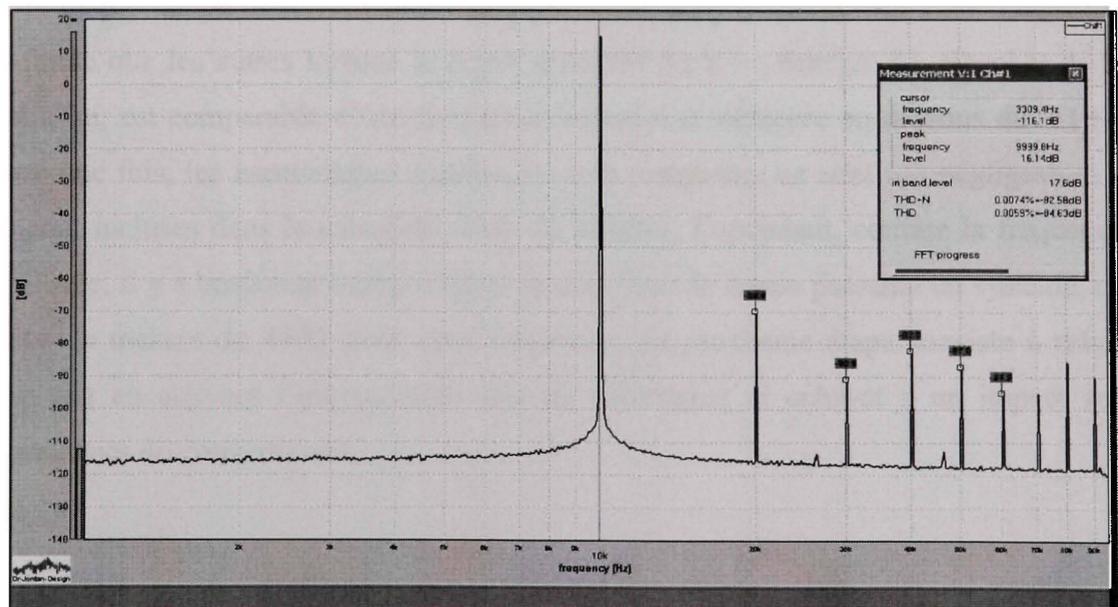


**Figure 8.6** Analyse avec WinAudioMLS d'un sinus de 2 kHz à +16 dBu sur le DAC ultra gauche 8X.

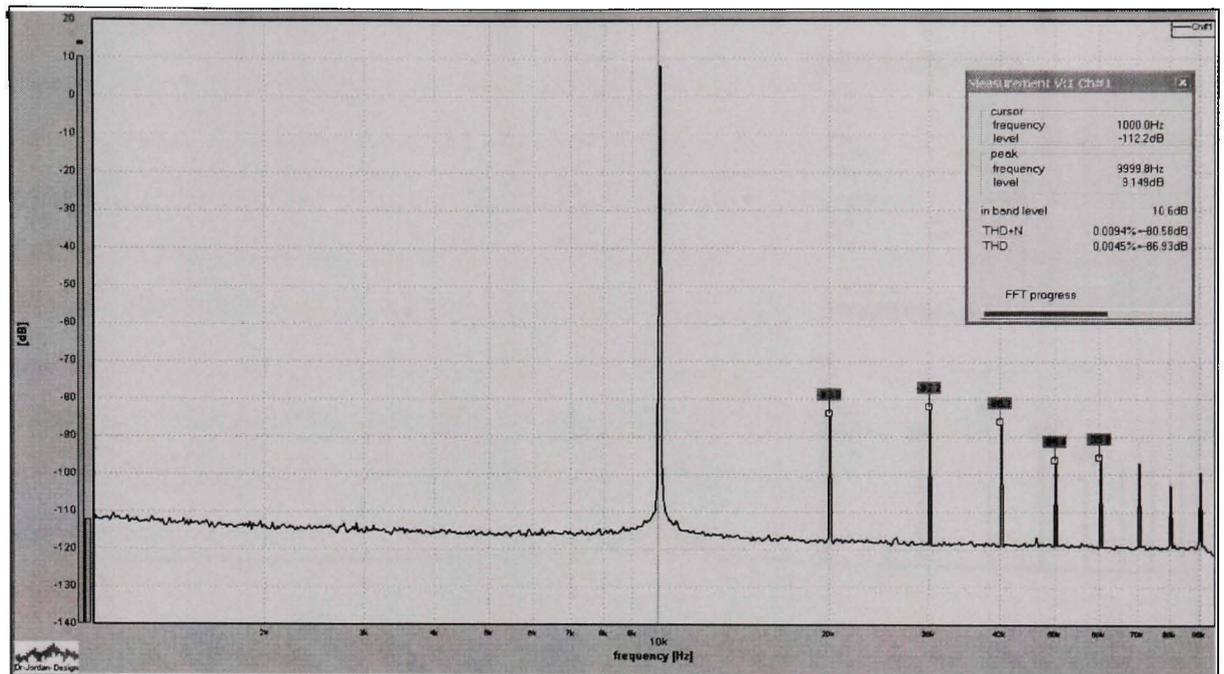


**Figure 8.7** Analyse avec WinAudioMLS d'un sinus de 2 kHz à +10 dBu sur le DAC ultra gauche 8X.

Tout d'abord, on constate que le gain entre les deux canaux montre une différence de 6,2 dB. Puisque la même carte de convertisseur courant à tension est utilisée pour les deux canaux, cette différence ne peut provenir que du convertisseur lui-même. Bien que le gain des deux canaux soit ajustable par commande SPI, la valeur par défaut des deux registres est la même. Il est donc surprenant de voir un si grand écart entre les deux canaux. Toutefois, ce problème ne sera pas étudié plus en détail puisqu'il peut être corrigé de façon logicielle en ajustant distinctement le gain des deux canaux. On note ensuite que les performances de THD et de THD+N sont sensiblement les mêmes entre les deux canaux, bien que le canal gauche soit sensiblement supérieur à pleine échelle pour le THD. Ce léger écart peut être simplement causé par le fait que le composant est physiquement situé plus près du connecteur du canal gauche et que les traces parcourent donc une moins grande distance avant de passer dans le circuit de conversion courant à tension, captant ainsi moins de bruit provenant des autres sections du HR-DACADC. Il est maintenant intéressant de refaire ces tests à une fréquence de 10 kHz afin de valider que ces performances demeurent constantes lorsqu'on change la fréquence de stimulus. Les premiers tests sont exécutés en désactivant l'interpolation.

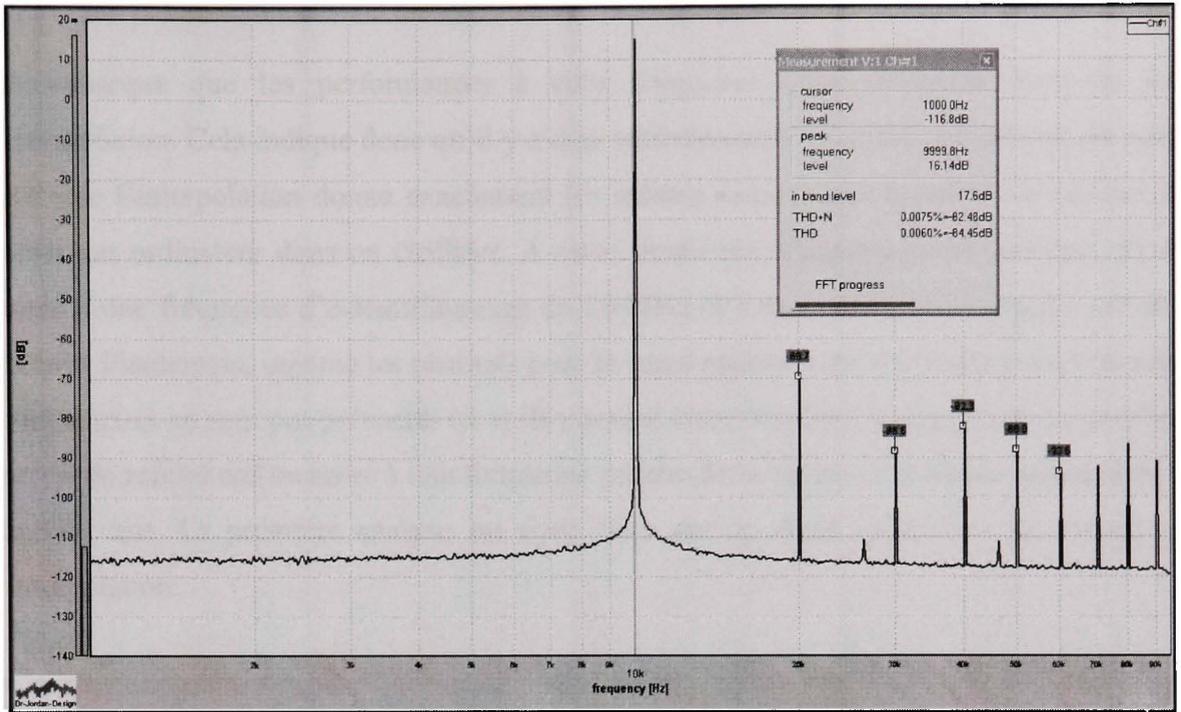


**Figure 8.8 Analyse avec WinAudioMLS d'un sinus de 10 kHz à +16 dBu sur le DAC ultra droit.**

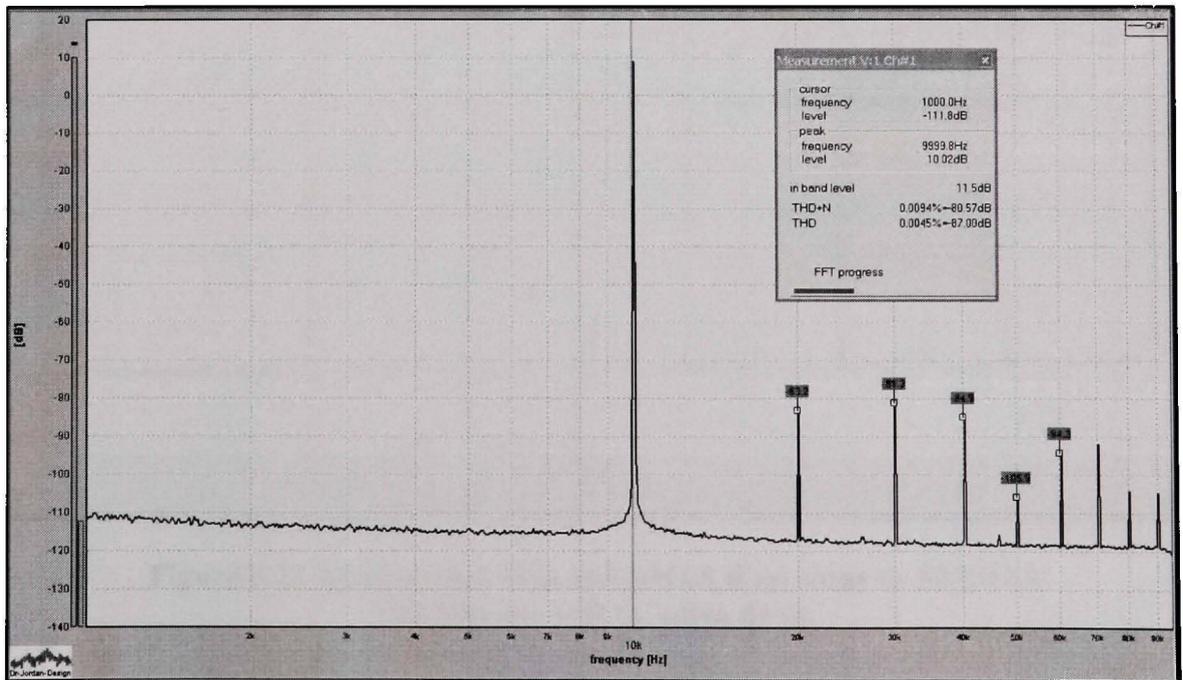


**Figure 8.9 Analyse avec WinAudioMLS d'un sinus de 10 kHz à +10 dBu sur le DAC ultra droit.**

À cette fréquence, on observe le même phénomène au sujet de la seconde harmonique qui est plus faible que les autres lorsque le signal émis est à pleine échelle. Le plancher de bruit, quant à lui, est comparable d'une fréquence à l'autre et demeure en dessous de -110 dBu. Encore une fois, les harmoniques supérieures à la cinquième ne sont pas négligeables mais elles sont incluses dans le calcul de THD du logiciel. Cependant, comme la fréquence est plus élevée, il y a beaucoup moins d'harmoniques dans la bande passante du système, ce qui favorise la mesure du THD pour cette fréquence. La prochaine étape consiste à refaire le même test en activant l'interpolation afin de déterminer si celui-ci a un impact sur les performances du convertisseur.

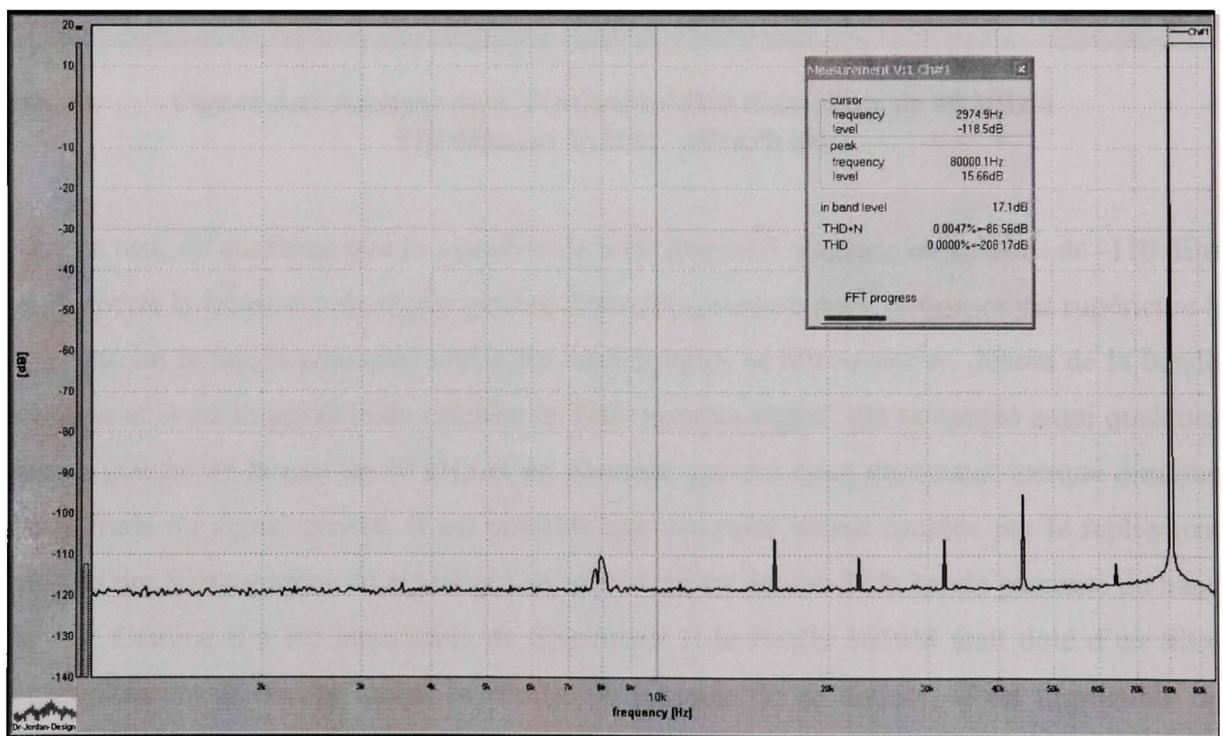


**Figure 8.10** Analyse avec WinAudioMLS d'un sinus de 10 kHz à +16 dBu sur le DAC ultra droit 8X.

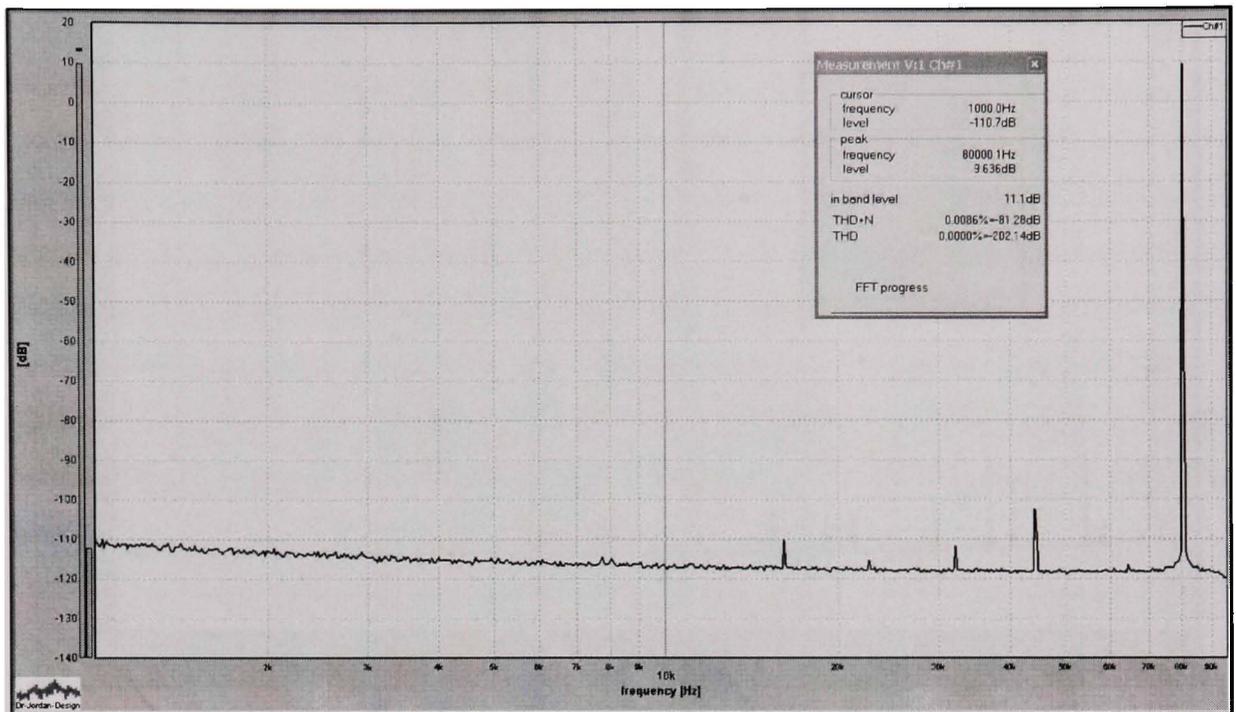


**Figure 8.11** Analyse avec WinAudioMLS d'un sinus de 10 kHz à +10 dBu sur le DAC ultra droit 8X.

On remarque que les performances à cette fréquence sont similaires avec ou sans l'interpolation. Cela indique donc qu'il y a déjà suffisamment de points par période du signal pour que l'interpolation donne exactement les mêmes valeurs que le calcul de chacun des points par ordinateur dans un chiffrier. À cette fréquence, chaque période contient 20 000 points à une fréquence d'échantillonnage de 20 MHz et l'écart entre chaque point est donc minime. Finalement, comme les résultats pour le canal gauche sont similaires à ceux du canal droit, ceux-ci ne sont pas présentés ici et ils peuvent être consultés en Annexe V. Le prochain test est de refaire ces mesures à une fréquence proche de la limite de la bande passante de ce banc de test. La première analyse est donc faite sur un sinus de 80 kHz en désactivant l'interpolation.

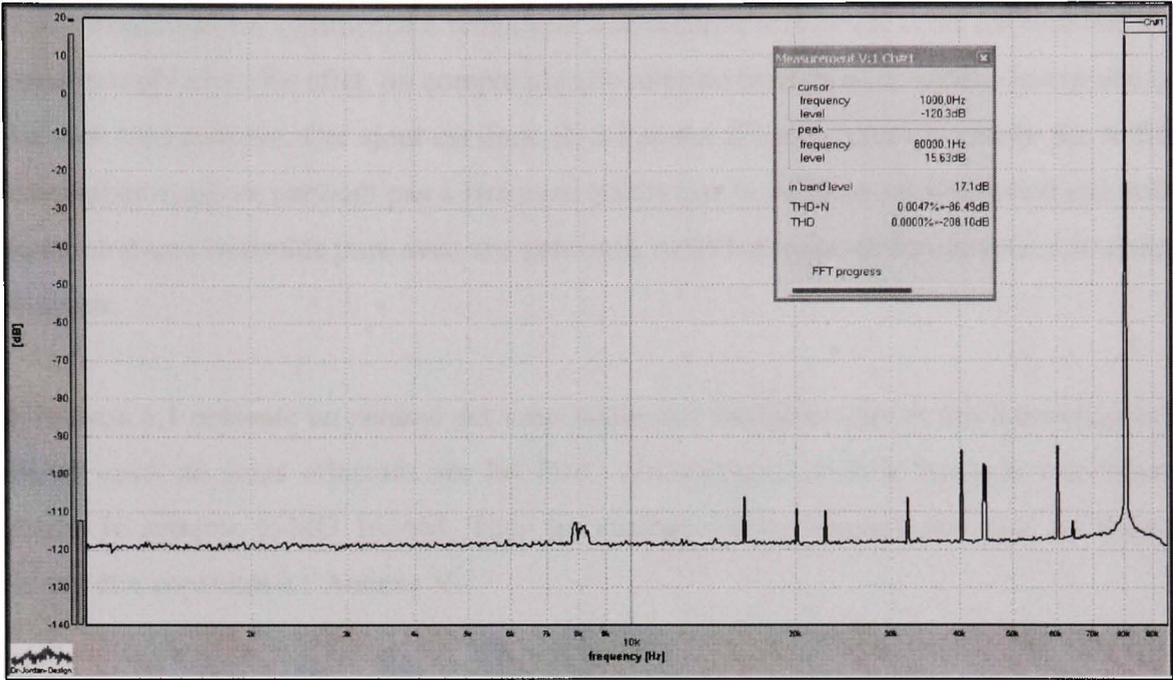


**Figure 8.12 Analyse avec WinAudioMLS d'un sinus de 80 kHz à +16 dBu sur le DAC ultra droit.**

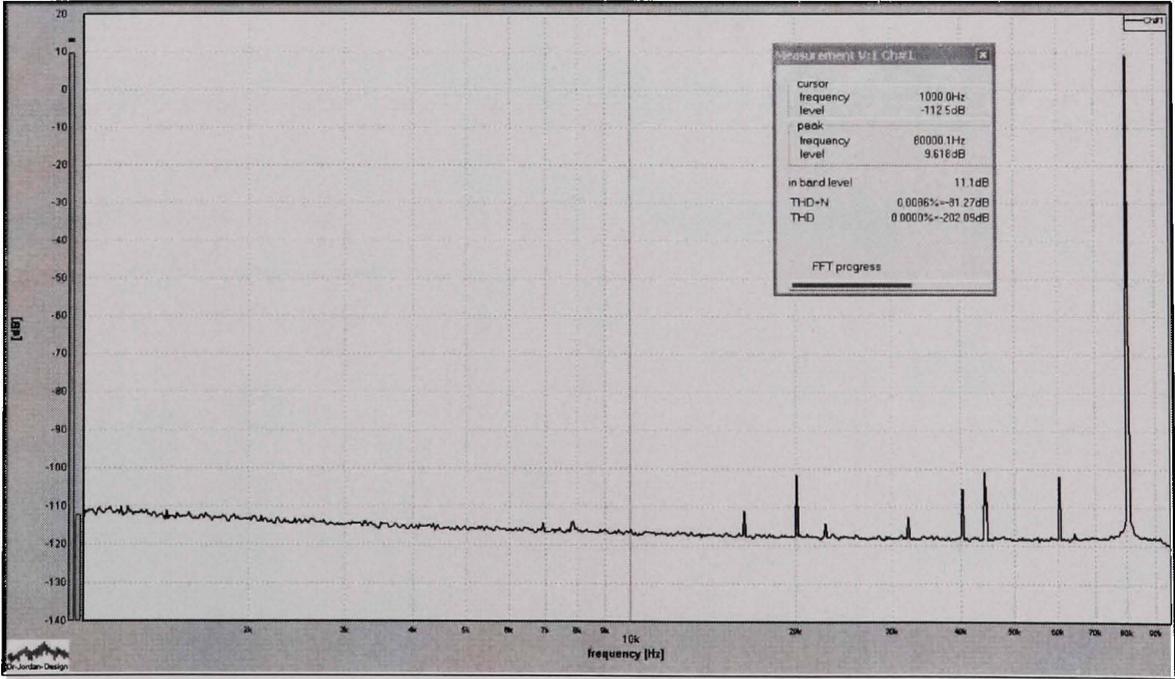


**Figure 8.13 Analyse avec WinAudioMLS d'un sinus de 80 kHz à +10 dBu sur le DAC ultra droit.**

Pour ce test, on confirme que le plancher de bruit demeure constant en dessous de -110 dBu peu importe la fréquence du signal généré. Toutefois, comme cette fréquence est supérieure à la moitié de la bande passante, toutes les harmoniques se retrouvent en dehors de la bande passante et il est impossible de calculer le THD pour ce signal. On remarque aussi quelques raies à gauche de la raie de 80 kHz et on constate que ces raies diminuent lorsque diminue l'amplitude du signal généré. Il est possible que ces raies soient causées par le repliement spectral des harmoniques du signal qui se retrouvent en dehors de la bande passante du banc de test. Comme il a été impossible de déterminer si le E-MU 1616M était doté d'un filtre anti-repliement et encore moins la courbe de réponse de ce dernier, il est impossible de déterminer si ces raies sont dues à un repliement spectral ou simplement un bruit présent sur le HR-DACADC. Analysons maintenant ce même test en activant l'interpolation de 8X du convertisseur.



**Figure 8.14** Analyse avec WinAudioMLS d'un sinus de 80 kHz à +16 dBu sur le DAC ultra droit 8X.



**Figure 8.15** Analyse avec WinAudioMLS d'un sinus de 80 kHz à +10 dBu sur le DAC ultra droit 8X.

À cette fréquence, on commence à remarquer une certaine différence entre les résultats avec et sans interpolation. En effet, on compte plus de raies de bruit dans la version interpolée que celle sans interpolation. Cet ajout est donc dû à l'erreur d'approximation causée par le filtre d'interpolation qui ne parvient pas à être aussi précis que le chiffrier sur ordinateur qui utilise l'équation d'une sinusoïde pure avec une précision de 64 bits pour définir la valeur de chacun des points.

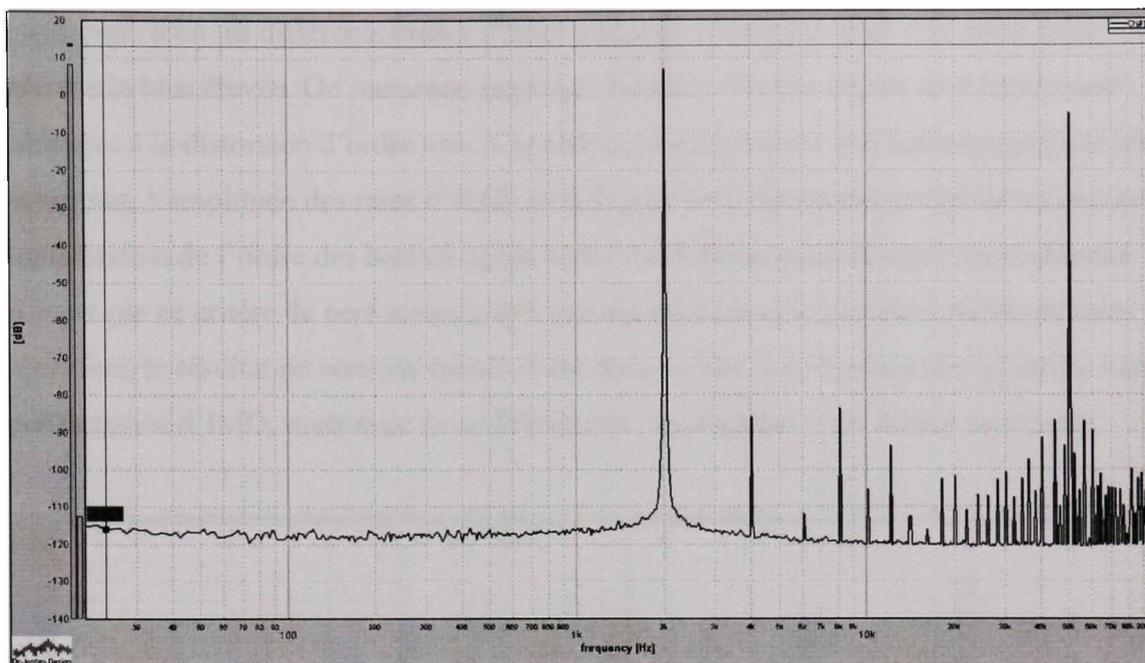
Le Tableau 8.1 présente un résumé des amplitudes des fondamentales et des harmoniques de tous les tests de sinus effectués sur les DAC ultrasoniques avec le banc de test balancé utilisant le système E-MU 1616M. Tous les résultats ne se trouvant pas dans ce chapitre peuvent être consultés à l'Annexe V.

Tableau 8.1 Amplitudes de la fondamentale et des harmoniques des tests sur les DAC ultrasoniques avec le système E-MU 1616M

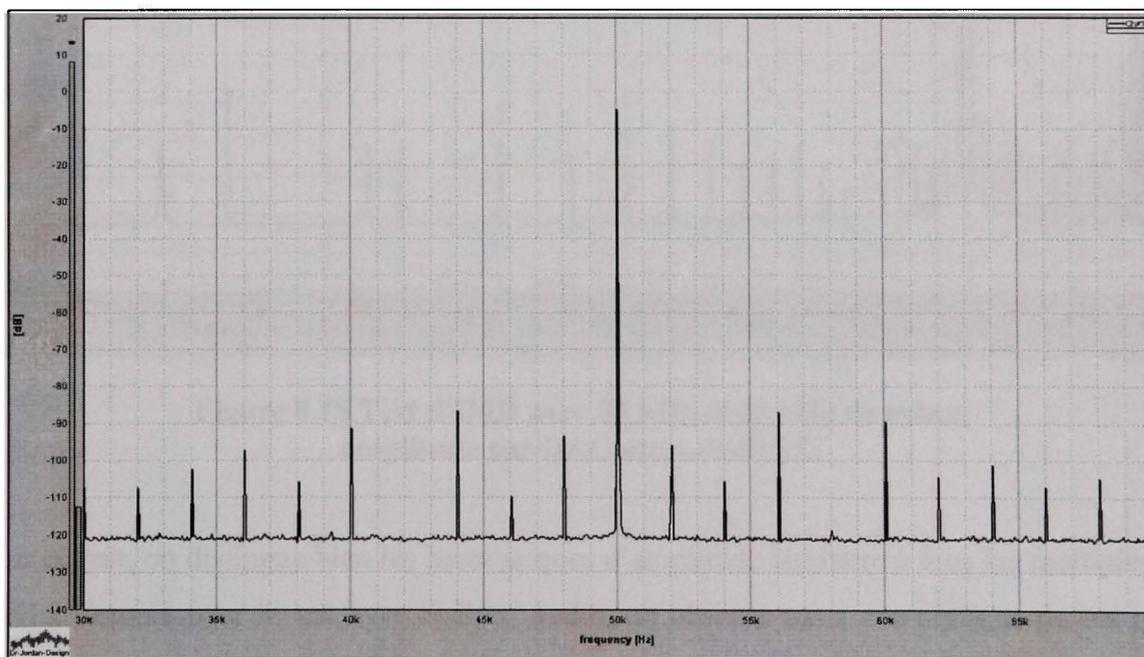
Canal	Fréq. du sinus (kHz)	Amp. signal (dBm)	1 <sup>ère</sup> harm. (dBm)	2 <sup>e</sup> harm. (dBm)	3 <sup>e</sup> harm. (dBm)	4 <sup>e</sup> harm. (dBm)	5 <sup>e</sup> harm. (dBm)
Droit 8X	2	16,1	-70,5	-96,3	-81,3	-87,6	-94,6
Droit 8X	2	10,1	-82,8	-80,8	-84,7	-96	-95,2
Gauche 8X	2	9,9	-96,1	-117	-80,1	-109,7	-85,1
Gauche 8X	2	3,9	-78	-95	-89,6	-95,6	-97,8
Droit	10	16,1	-69,9	-90,9	-82	-87	-94,9
Droit	10	9,1	-83,8	-82,2	-86,1	-94,6	-95,6
Droit 8X	10	16,1	-69,7	-88,6	-82,3	-88	-93,6
Droit 8X	10	10	-83,2	-81,3	-84,9	-105,9	-94,3
Gauche 8X	10	9,9	-99,4	-97,9	-80,5	-104,8	-85,3
Gauche 8X	10	3,9	-77,9	-95,6	-89,5	-93,3	-98,5
Droit	80	15,7	---	---	---	---	---
Droit	80	9,6	---	---	---	---	---
Droit 8X	80	15,6	---	---	---	---	---
Droit 8X	80	9,6	---	---	---	---	---
Gauche 8X	80	9,5	---	---	---	---	---
Gauche 8X	80	3,5	---	---	---	---	---

### 8.2.1.2 Test d'intermodulation pour les DAC ultrasoniques en mode balancé

Comme spécifié à la section 2.6, l'IMD est très utile pour détecter des erreurs de non linéarité dans la fonction de transfert d'un convertisseur. De plus, comme le bruit d'intermodulation n'est pas uniforme sur toute la bande passante mais forme plutôt des crêtes importantes dans des bandes étroites, ce bruit est très nuisible pour les systèmes de communication où différents canaux sont divisés par plage de fréquences. Comme la bande passante des convertisseurs ultrasoniques est supérieure à celle de la section audio, il est plus probable qu'un lien de communication sous-marin exploite cette section du HR-DACADC. Cette caractéristique est donc particulièrement intéressante pour cette section. Encore une fois, deux tests d'IMD seront effectués, ceux-ci correspondant aux normes SMPTE/DIN et l'autre au CCIF *Twin Tone* respectivement. Voici maintenant les résultats obtenus pour le test d'intermodulation avec deux sinus éloignés en fréquence et d'amplitudes différentes :

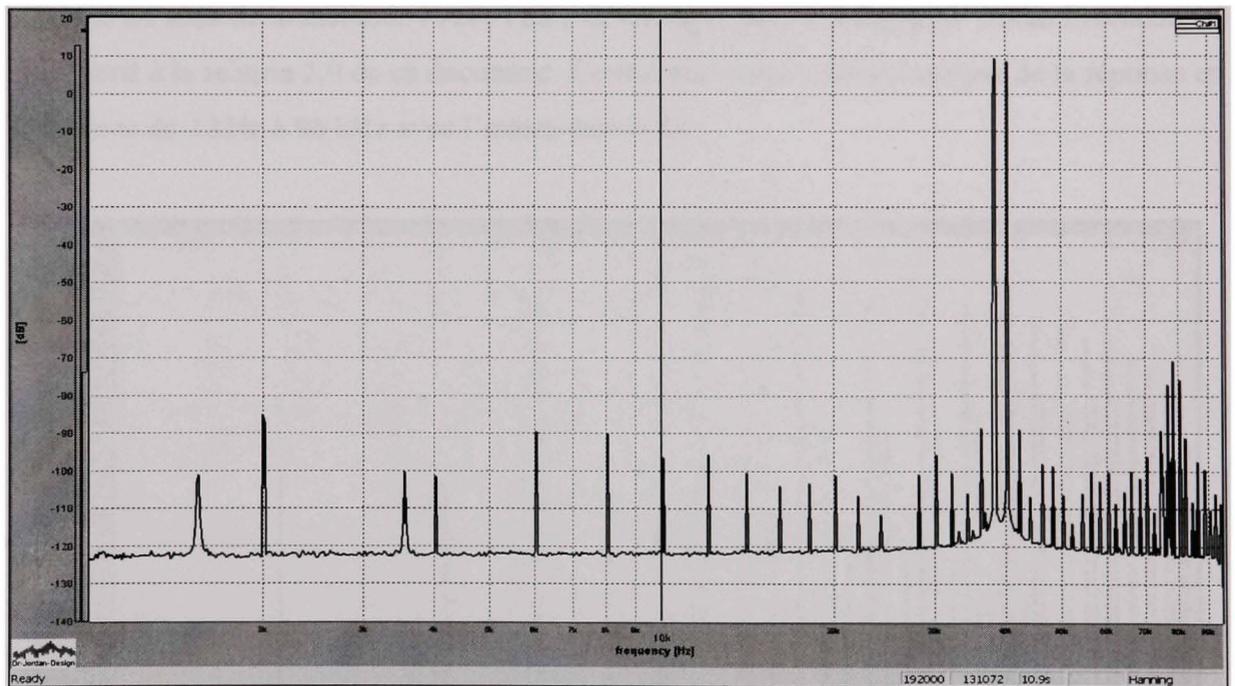


**Figure 8.16** Test d'IMD avec 2 kHz de 12 dBu et 50 kHz de 0 dBu sur DAC ultra droit 8X.



**Figure 8.17** Gros plan autour de 50 kHz du test d'IMD avec 2 kHz et 50 kHz sur DAC ultra droit 8X.

On remarque bien les différents ordres d'intermodulation situés de part et d'autre de la fréquence la plus élevée. On remarque aussi que les raies d'ordre impair sont légèrement supérieures à la distorsion d'ordre pair. Cependant, contrairement aux harmoniques des tests de sinus pur, l'amplitude des raies d'IMD de la Figure 8.16 diminuent progressivement avec l'augmentation de l'ordre des harmoniques. Cette diminution graduelle permet d'affirmer que, bien que ce critère de performance soit calculé avec les cinq premiers ordres de raies uniquement, le résultat ne sera pas faussé et est donc valide. Le prochain test quantifie aussi la performance d'IMD, mais avec deux fréquences rapprochées et de même amplitude.



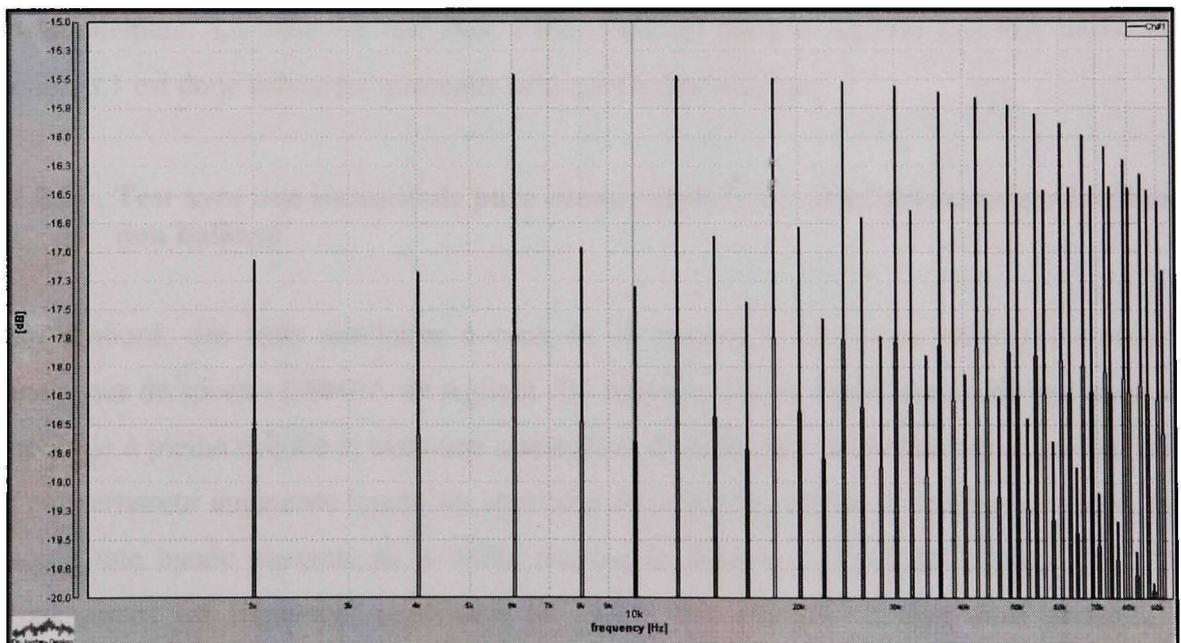
**Figure 8.18 Test d'IMD avec 38 kHz et 40 kHz de même amplitude sur DAC ultra droit 8X.**

Pour ce test, on distingue bien les harmoniques d'amplitude similaire à tous les multiples de 2 kHz. Comme pour le test avec le DAC audio, on observe aussi une réplique de ces raies autour des harmoniques de la fréquence de base du test d'intermodulation. Il est intéressant de noter que les raies légèrement à gauche des raies de 2 et 4 kHz ne sont pas des raies d'IMD et que leur amplitude est similaire à celle de l'IMD. Cela indique que les

performances d'IMD sont excellentes puisque les raies de distorsion non linéaires se confondent avec les raies de bruit du système.

### 8.2.1.3 Test de réponse en fréquence des DAC ultrasoniques en mode balancé

Le test de réponse en fréquence vise à mesurer la variation dans le gain du convertisseur sur toute la plage. Cette caractéristique est importante lorsqu'on traite des signaux au contenu spectral complexe puisqu'une grande variation de gain selon la fréquence se traduit en de la distorsion non linéaire sur le signal. Dans cette section, le test de réponse en fréquence est effectué à l'aide de la méthode FASTTEST développée par la compagnie Audio Precision tel que décrit à la section 2.9 de ce document. Ce test vise donc à faire l'analyse de la réponse en fréquence de 2 kHz à 96 kHz avec l'interpolation 8x :



**Figure 8.19 Gros plan de la réponse en fréquence de 2 kHz à 96 kHz du canal droit avec interpolation 8X.**

On remarque une grande variation entre l'amplitude des raies. De plus, comme cette variation a lieu entre deux raies successives, il est peu probable que cette différence provienne réellement du convertisseur. En fait, comme la fréquence d'échantillonnage du

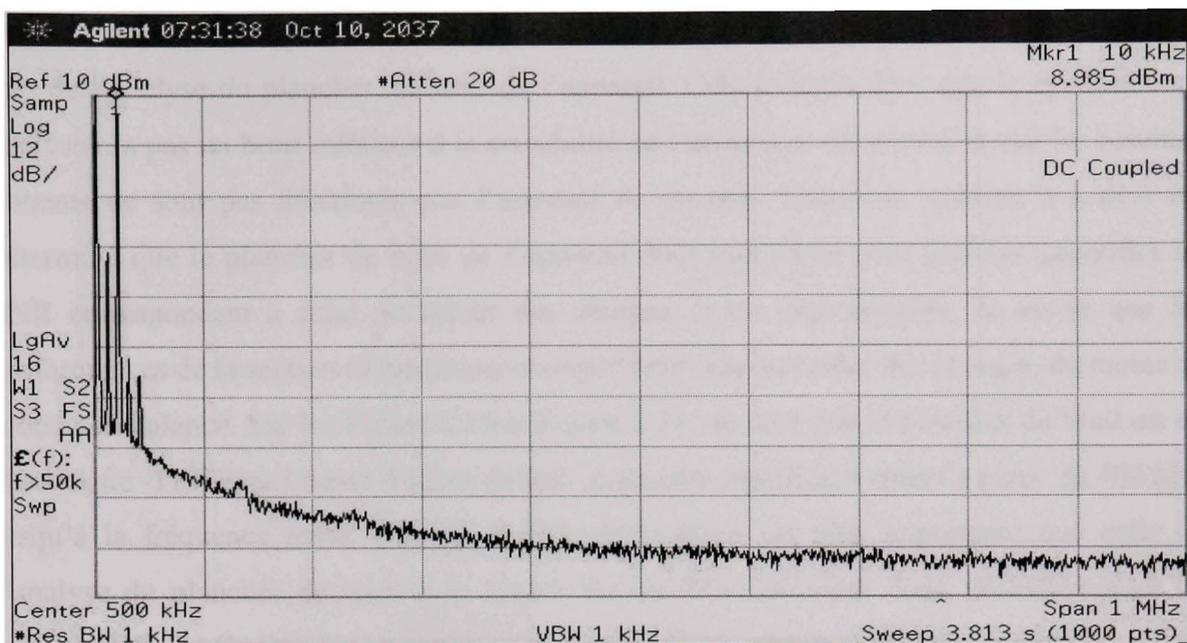
DAC ultrasonique avec interpolation est de 2,5 MHz et que celle du système E-MU 1616M est de 192 kHz, le bloc utilisé pour le calcul de la FFT ne contient pas exactement un nombre entier de période de chacune des fréquences contenues dans le signal de test. On ne respecte donc pas le principe de FASTTEST et l'amplitude des raies obtenues est faussée lors du calcul de la FFT. Il n'est donc pas possible de connaître la réponse en fréquence avec cette configuration puisqu'il est impossible d'avoir des fréquences d'échantillonnage des DAC et du banc de tests multiples l'une de l'autre.

## **8.2.2 Analyse des DAC ultrasoniques avec banc de test Agilent E4440A**

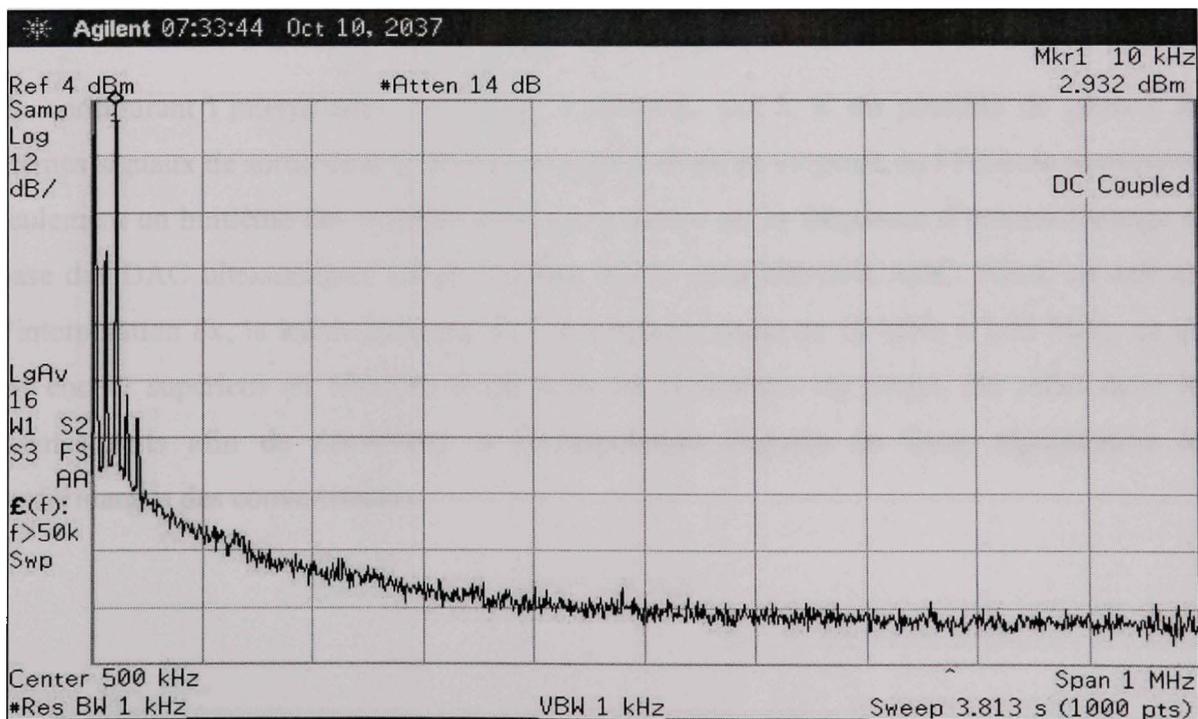
Comme la bande passante du banc de test avec l'E-MU 1616M et le logiciel WinAudioMLS ne couvrent pas tout le spectre des DAC ultrasoniques, il a été nécessaire de déterminer un autre banc de test permettant de quantifier les performances sur toute la plage de fonctionnement. Le banc de test avec l'analyseur de spectre Agilent E4440A décrit à la section 8.1 est donc utilisé pour remplir cette partie de l'analyse.

### **8.2.2.1 Test avec une sinusoïdale pure comme stimuli des DAC ultrasoniques en mode non balancé**

Tout d'abord, des tests similaires à ceux de la section 8.2.1.1 sont réalisés à l'aide de l'analyseur de spectre E4440A de Agilent. On capture chaque signal sinusoïde pur avec une amplitude à pleine échelle et avec une atténuation de 6 dB afin de déterminer si la distorsion du convertisseur augmente lorsqu'on approche de la pleine échelle. L'analyse est aussi faite jusqu'à une bande passante de 1 MHz puisque la fréquence d'échantillonnage des DAC ultrasoniques est largement supérieure au cahier des charges. Il sera ainsi possible de déterminer si le système pourrait être fonctionnel à des fréquences supérieures à celles initialement requises. La première analyse se fait donc avec un sinus de 10 kHz en désactivant l'interpolation de 8X.



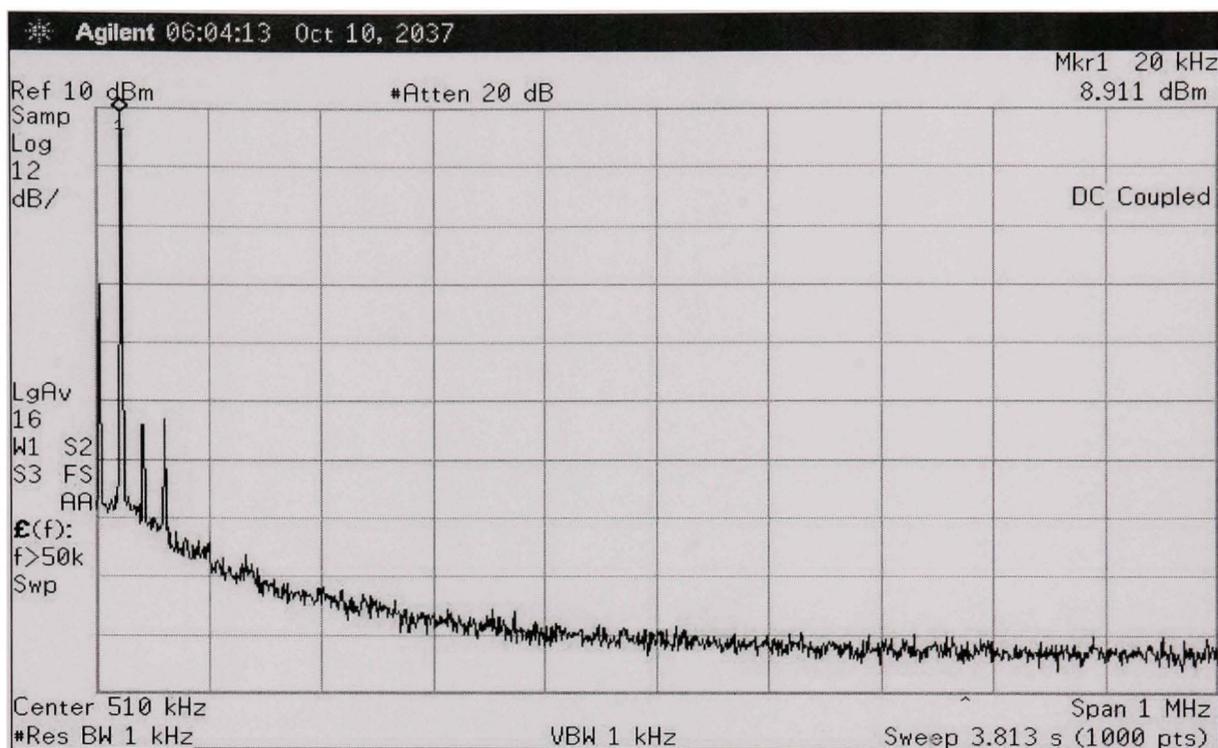
**Figure 8.20** Analyse avec E4440A d'un sinus de 10 kHz à +16 dBu sur le DAC ultra droit.



**Figure 8.21** Analyse avec E4440A d'un sinus de 10 kHz à +10 dBu sur le DAC ultra droit.

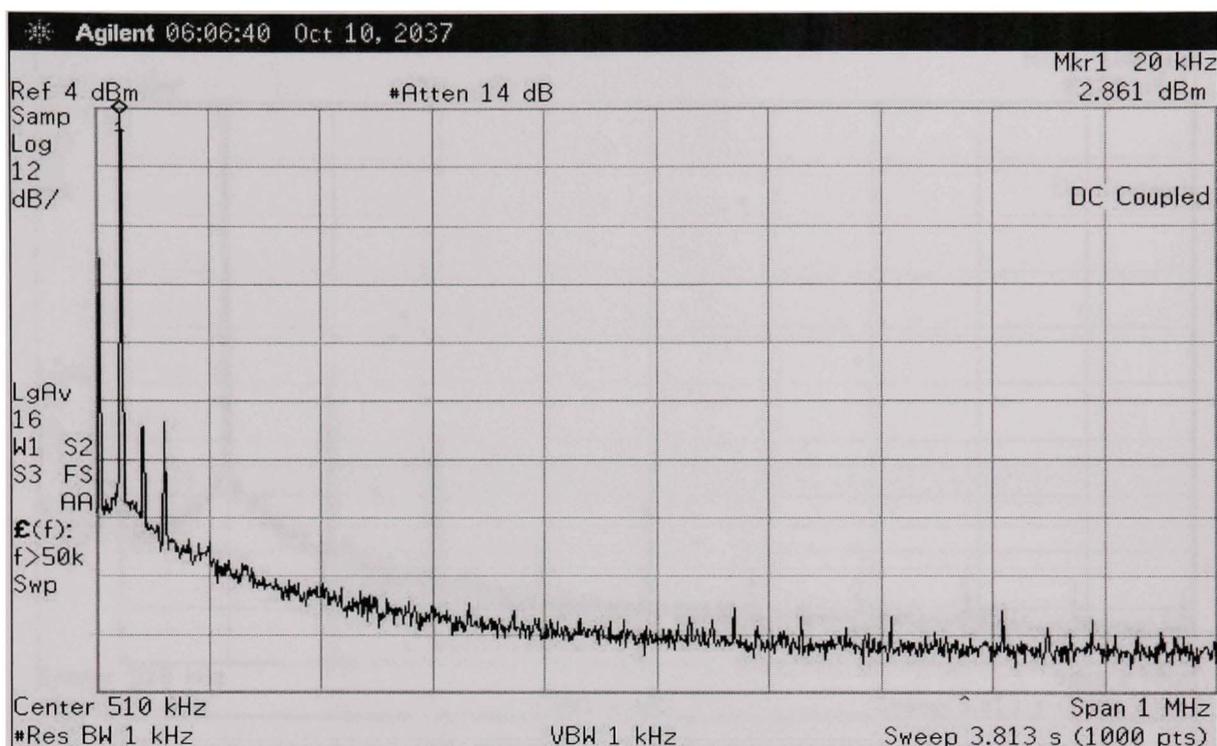
Pour ces tests, on constate tout d'abord que le niveau de bruit est supérieur à celui observé lors de l'analyse du plancher de bruit de l'appareil. Cela indique donc que le système sous analyse n'a pas un bruit inférieur à la sensibilité de l'analyseur de spectre et que les résultats obtenus ne sont pas détériorés par l'appareil de mesure. Toutefois, comme il a déjà été déterminé que le plancher de bruit de l'appareil était trop élevé pour pouvoir quantifier un SNR correspondant à celui du cahier des charges, il est déjà possible de savoir que les performances de la section ultrasonique ne répondront pas au cahier des charges, du moins en mode non balancé. Sur les Figure 8.20 et Figure 8.21, on note que le plancher de bruit est en dessous de -110 dBm à haute fréquence mais augmente significativement à partir de 400 kHz jusqu'à la fréquence nulle. Comme cette augmentation est plus importante que celle de l'analyse du plancher de bruit à la Figure 8.3, ce bruit provient donc nécessairement du système HR-DACADC. Le plancher de bruit des DAC ultrasoniques est donc meilleur en haute fréquence qu'en basse fréquence. De plus, on observe une rapide diminution de l'amplitude des harmoniques. Il est d'ailleurs impossible de distinguer les harmoniques supérieures à l'ordre 2 du plancher de bruit, peu importe l'amplitude du signal généré.

En configurant l'interpolation au facteur maximum, soit 8, il est possible de générer les mêmes signaux de sortie dans la bande passante d'étude en exigeant du FPGA de transmettre seulement un huitième des données. Cela est possible car la fréquence d'échantillonnage de base des DAC ultrasoniques est de 20 MHz sur la carte HR-DACADC. Ainsi, en activant l'interpolation 8x, la bande passante du convertisseur passe de 10 MHz à 1,25 MHz, ce qui est encore supérieur au 500 kHz exigé dans les contraintes du projet. On refait donc les mêmes tests afin de déterminer si l'interpolation dégrade de façon significative les performances des convertisseurs.



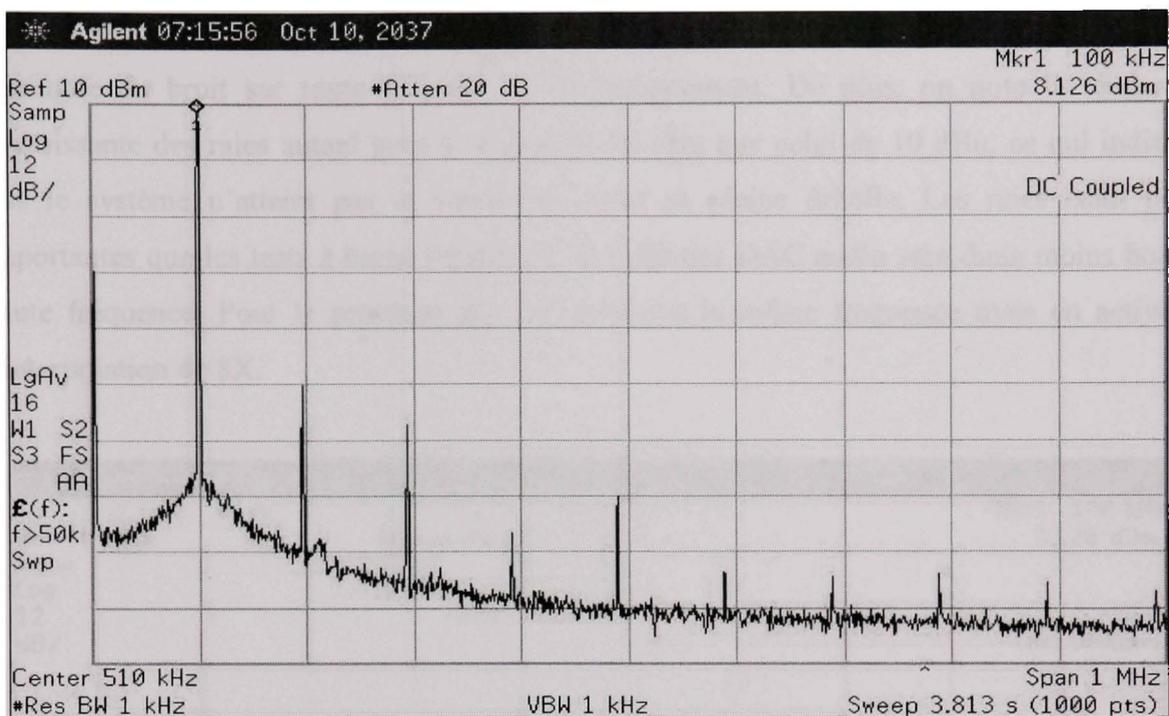
**Figure 8.22 Analyse avec E4440A d'un sinus de 20 kHz à +16 dBu sur le DAC ultra droit avec interpolation 8X.**

Sur la Figure 8.22, on note que le plancher de bruit demeure inchangé suite à l'activation de l'interpolation de 8X. On remarque cependant une augmentation de l'amplitude de la raie de la deuxième harmonique comparativement à la première. Les raies d'ordre supérieur se confondent toujours dans le plancher de bruit. L'analyse du même signal avec une atténuation de 6 dB permettra de déterminer si la variation des harmoniques provient d'une distorsion ou bien du module d'interpolation.

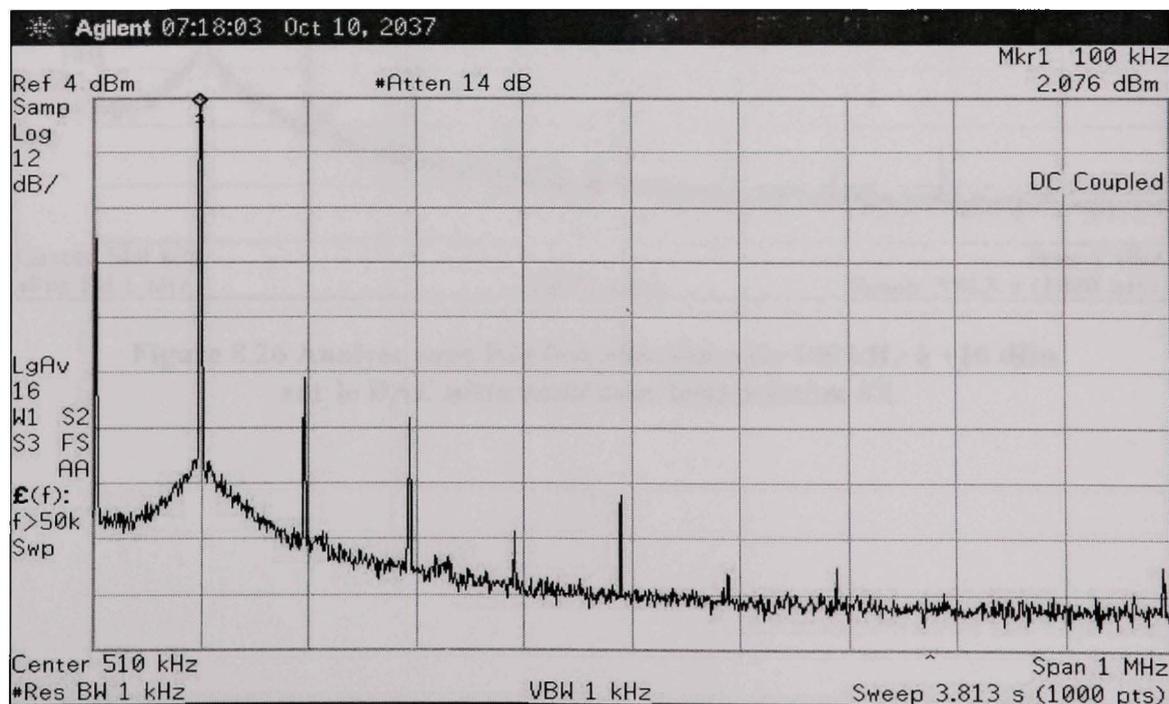


**Figure 8.23 Analyse avec E4440A d'un sinus de 20 kHz à +10 dBu sur le DAC ultra droit avec interpolation 8X.**

Sur la Figure 8.23, on constate que les deux raies d'harmonique demeurent inchangées. Cela confirme donc que la différence entre les tests avec et sans interpolation provient uniquement de l'interpolation et non de la saturation du système. Toutefois, cette différence demeure faible et l'utilisation de l'interpolation pour alléger la charge de travail du FPGA semble une bonne option. Le prochain test utilisera un sinus de 100 kHz afin de valider la stabilité du système sur toute sa plage de fonctionnement.

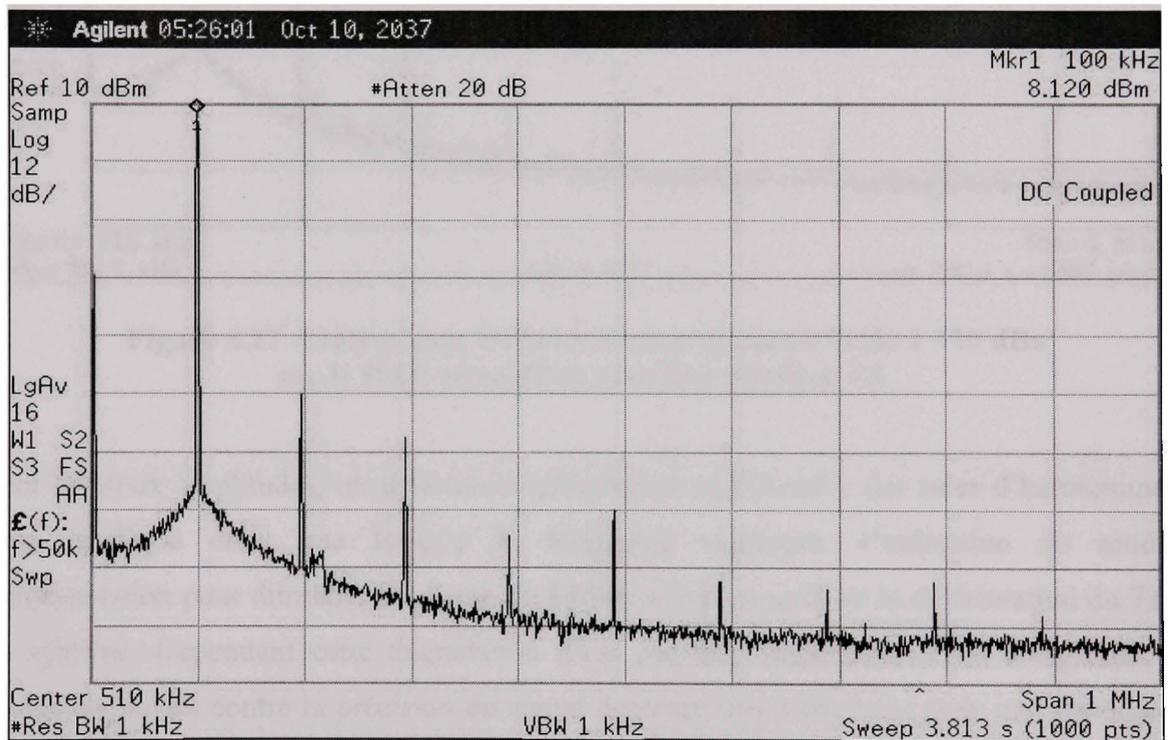


**Figure 8.24** Analyse avec E4440A d'un sinus de 100 kHz à +16 dBu sur le DAC ultra droit.

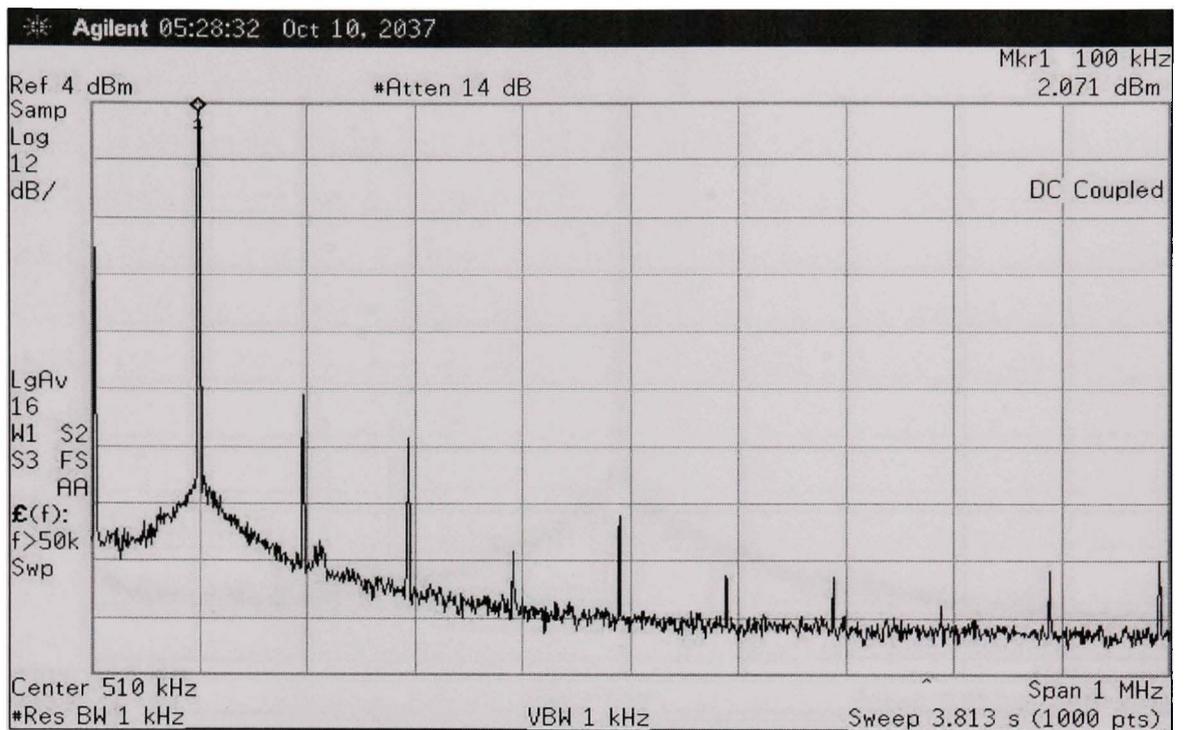


**Figure 8.25** Analyse avec E4440A d'un sinus de 100 kHz à +10 dBu sur le DAC ultra droit.

À cette fréquence, on remarque que les harmoniques sont beaucoup plus importantes et se distinguent du bruit sur toute la plage de fonctionnement. De plus, on note la tendance décroissante des raies autant pour le signal de 16 dBu que celui de 10 dBu, ce qui indique que le système n'atteint pas la saturation avant sa pleine échelle. Les raies étant plus importantes que les tests à basse fréquence, le THD des DAC audio sera donc moins bon à haute fréquence. Pour le prochain test, on conserve la même fréquence mais en activant l'interpolation de 8X.

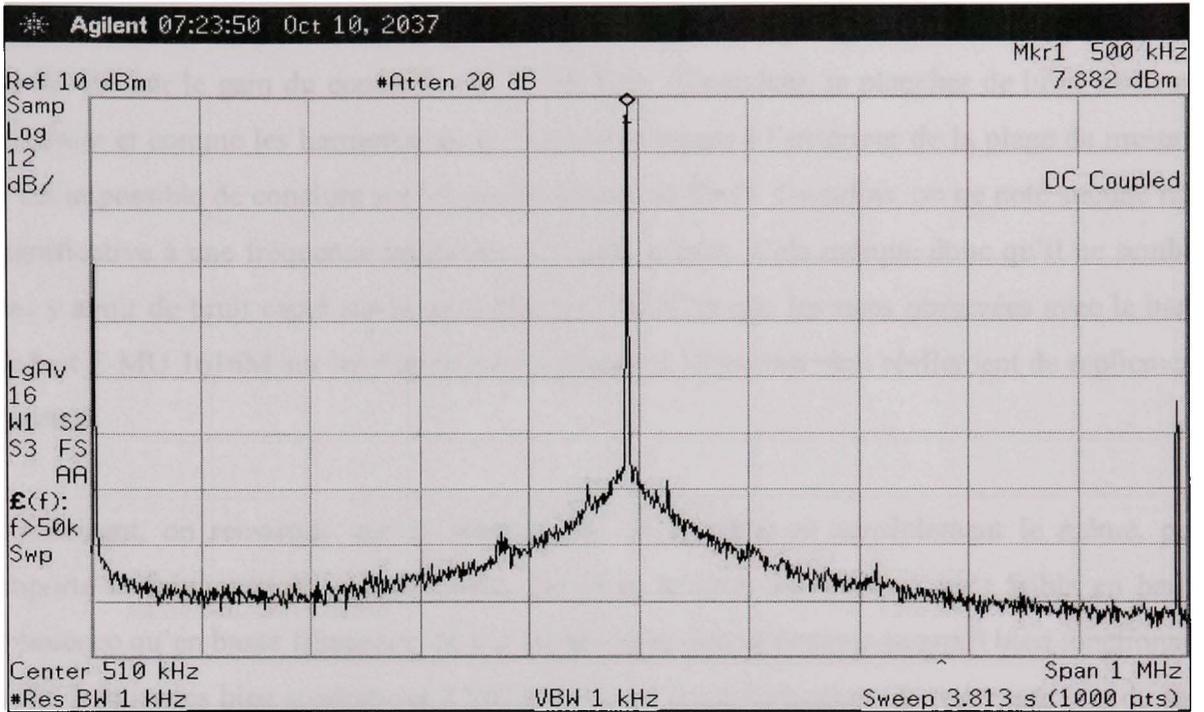


**Figure 8.26 Analyse avec E4440A d'un sinus de 100 kHz à +16 dBu sur le DAC ultra droit avec interpolation 8X.**

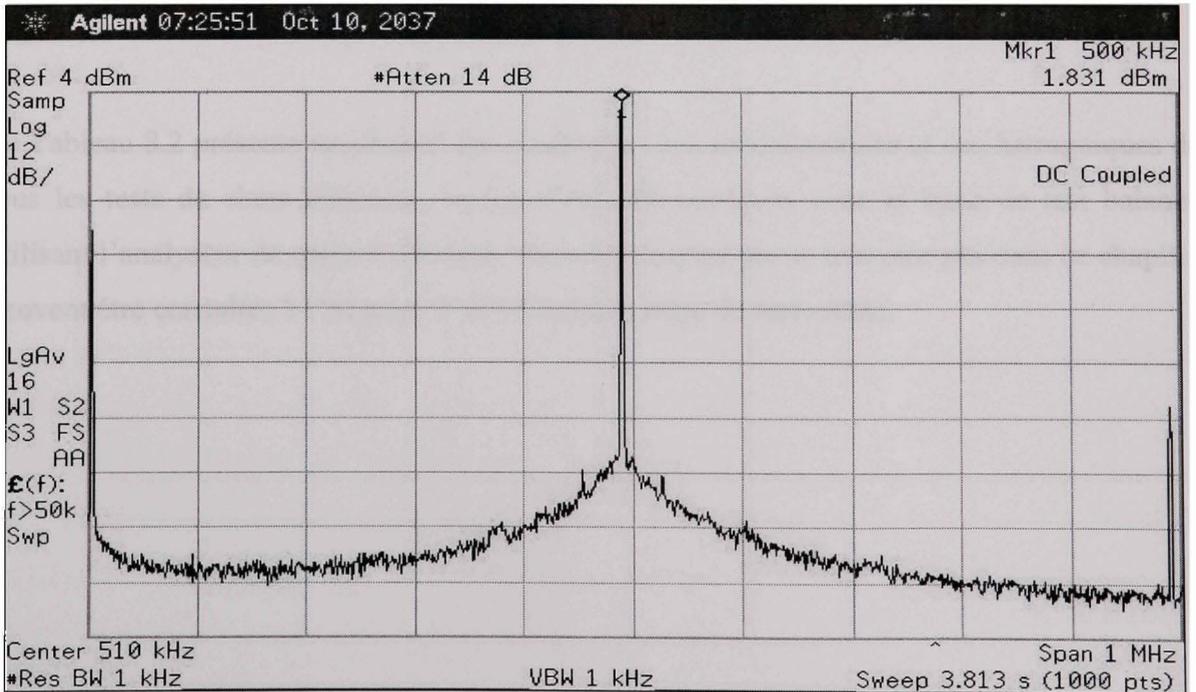


**Figure 8.27 Analyse avec E4440A d'un sinus de 100 kHz à +10 dBu sur le DAC ultra droit avec interpolation 8X.**

Pour les deux amplitudes, on note une augmentation significative des raies d'harmoniques. Cela implique donc que lorsque la fréquence augmente, l'utilisation du module d'interpolation pour diminuer la charge du FPGA se fait au coût de la détérioration du THD du système. Cependant cette dégradation n'est pas trop importante et ce compromis de charge de travail contre la précision du signal demeure très intéressant pour une application qui demanderait beaucoup de traitement numérique du signal. Le prochain test est fait à la limite de la bande passante prescrite dans le cahier des charges, soit 500 kHz.



**Figure 8.28** Analyse avec E4440A d'un sinus de 500 kHz à +16 dBu sur le DAC ultra droit.



**Figure 8.29** Analyse avec E4440A d'un sinus de 500 kHz à +10 dBu sur le DAC ultra droit.

En comparant les Figure 8.28 et Figure 8.29 aux Figure 8.26 et Figure 8.27, on note une perte de 0,3 dB sur le gain du convertisseur à 500 kHz. Cependant, le plancher de bruit demeure similaire et comme les harmoniques se retrouvent toutes à l'extérieur de la plage de mesure, il est impossible de conclure sur les performances de THD. Toutefois, on ne note aucune raie significative à une fréquence inférieure au signal généré. Cela indique donc qu'il ne semble pas y avoir de bruit capté sur la carte HR-DACADC et que les raies observées avec le banc de test E-MU 1616M sur les Figure 8.12 à Figure 8.15 proviennent réellement de repliement spectral.

Finalement, on remarque que le bruit autour de 1 MHz est sensiblement le même, peu importe la fréquence du signal généré. De plus, le bruit est toujours plus faible en haute fréquence qu'en basse fréquence, ce qui laisse croire que le système pourrait bien fonctionner à des fréquences bien supérieures à 500 kHz. Il est aussi intéressant de noter que lors du test avec le banc de test E-MU 1616M, les résultats en basse fréquence étaient parfaitement identiques. Il est donc probable que l'ajout de distorsion soit causé par le fait que le système n'est plus en différentiel et qu'il n'y a pas de soustraction entre la distorsion des deux branches.

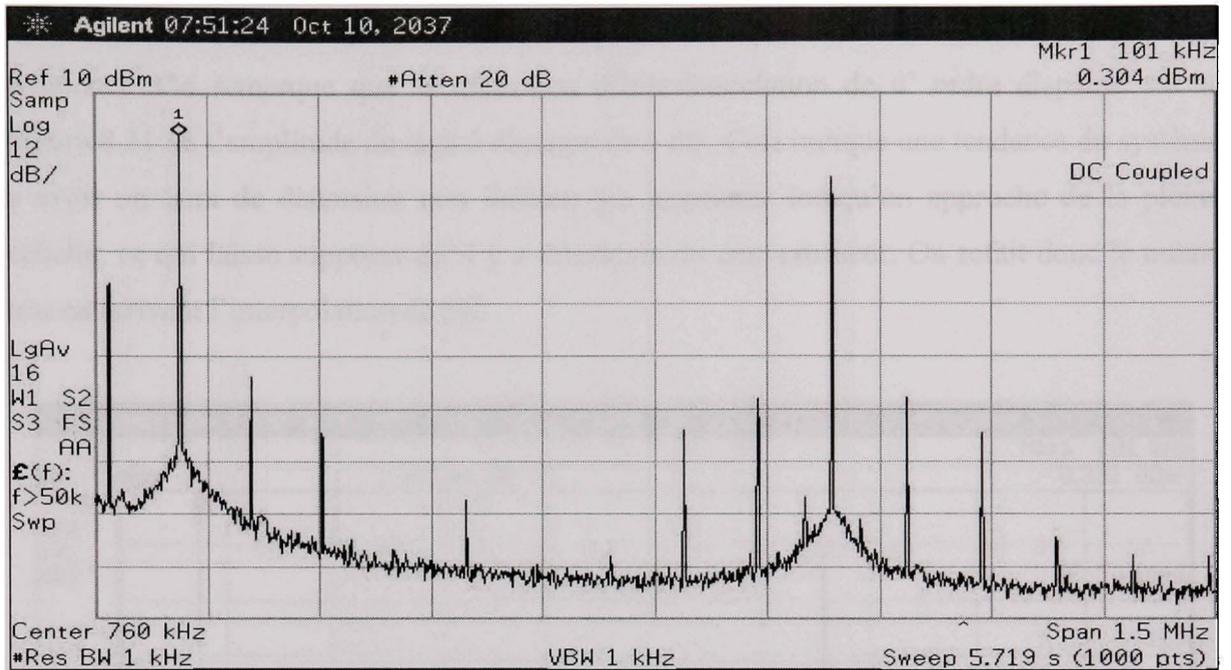
Le Tableau 8.2 présente un résumé des amplitudes des fondamentales et des harmoniques de tous les tests de sinus effectués sur les DAC ultrasoniques avec le banc de test balancé utilisant l'analyseur de spectre E4440A. Tous les résultats ne se trouvant pas dans ce chapitre peuvent être consultés à l'Annexe V et VI selon le banc de test utilisé.

Tableau 8.2 Amplitudes de la fondamentale et des harmoniques des tests sur les DAC ultrasoniques avec le système E4440A

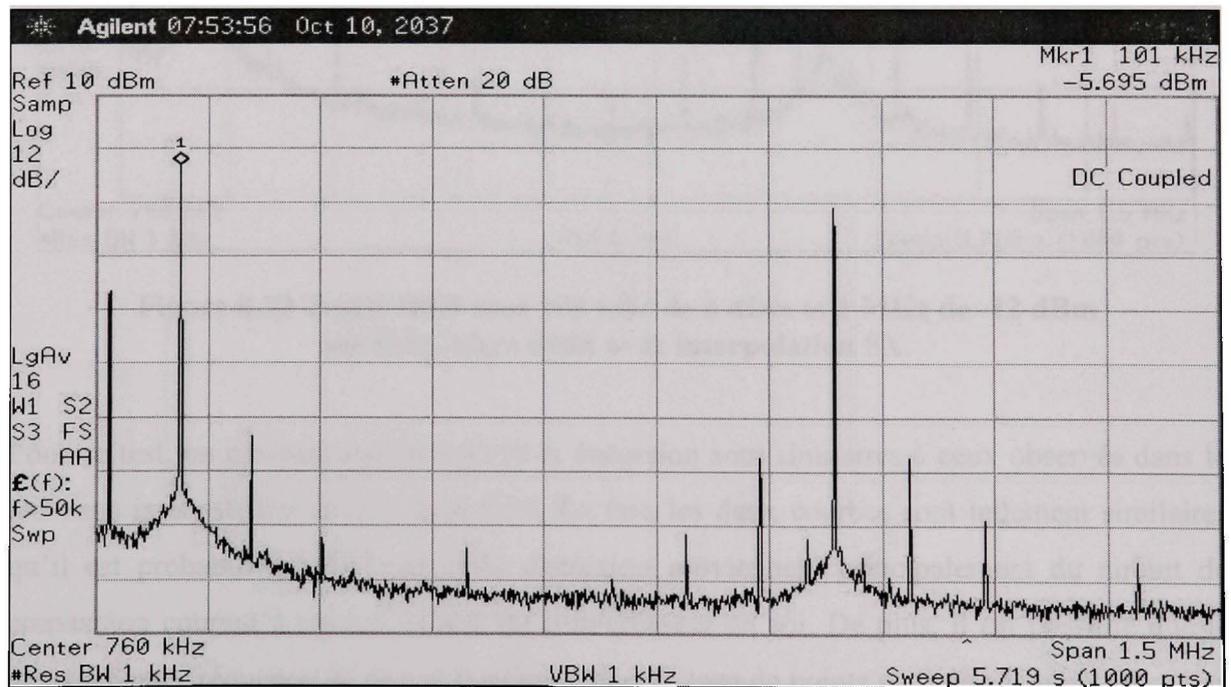
Canal	Fréq. du sinus (kHz)	Amp. signal (dBm)	1 <sup>ère</sup> harm. (dBm)	2 <sup>e</sup> harm. (dBm)	3 <sup>e</sup> harm. (dBm)	4 <sup>e</sup> harm. (dBm)	5 <sup>e</sup> harm. (dBm)
Droit	20	8,99	-52,6	-56,7	-75,1	-76,2	-78,9
Droit	20	2,93	-59	-63,9	-81,7	-82,1	-87,4
Droit	20	-3,2	-65	-70,2	-86,9	-88,4	-90,1
Droit 8X	20	2,6	-54,9	-53,5	-79,8	-84,6	-83,3
Droit 8X	20	-3,5	-61,4	-60,3	-87	-91,9	-90,4
Droit 8X	20	-9,6	-67,6	-66,7	-89,6	-95,6	-92,1
Droit 8X	80	9,66	-51,98	-54,1	-85	-74,5	-90,7
Droit 8X	80	3,6	-58,7	-61	-86,2	-83,5	-94,8
Droit 8X	80	-2,5	-65,6	-67	-93,8	-91,7	-100,4
Droit	100	8,13	-50,2	-58,7	-81,9	-74,1	-90,7
Droit	100	2,1	-57	-65,9	-90,2	-82,4	-99,7
Droit	100	-4,1	-63,9	-72,1	-107,1	-89,3	-101,2
Droit 8X	100	8,12	-50,1	-58,8	-79,3	-73,9	-88,7
Droit 8X	100	2,1	-57,1	-66,2	-90,1	-82,6	-95,2
Droit 8X	100	-4,1	-63,9	-72,5	-104	-90,6	-101,5
Droit	500	7,9	-55,1	---	---	---	---
Droit	500	1,8	-65,1	---	---	---	---
Droit	500	-4,3	-70,3	---	---	---	---
Droit 8X	500	7,9	-55	---	---	---	---
Droit 8X	500	1,8	-64,9	---	---	---	---
Droit 8X	500	-4,3	-69,8	---	---	---	---

### 8.2.2.2 Test d'intermodulation pour les DAC ultrasoniques en mode non balancé

Comme mentionné précédemment, le test d'intermodulation est très performant pour détecter la distorsion non linéaire d'un convertisseur et pour déterminer sa capacité à reproduire de façon fidèle un signal au contenu spectral complexe. Cette section présentera donc les résultats obtenus avec les tests d'IMD conformes aux deux standards décrits à la section 2.6 du CHAPITRE 2. On débute donc avec le test utilisant deux fréquences éloignées l'une de l'autre et ayant des amplitudes différentes.

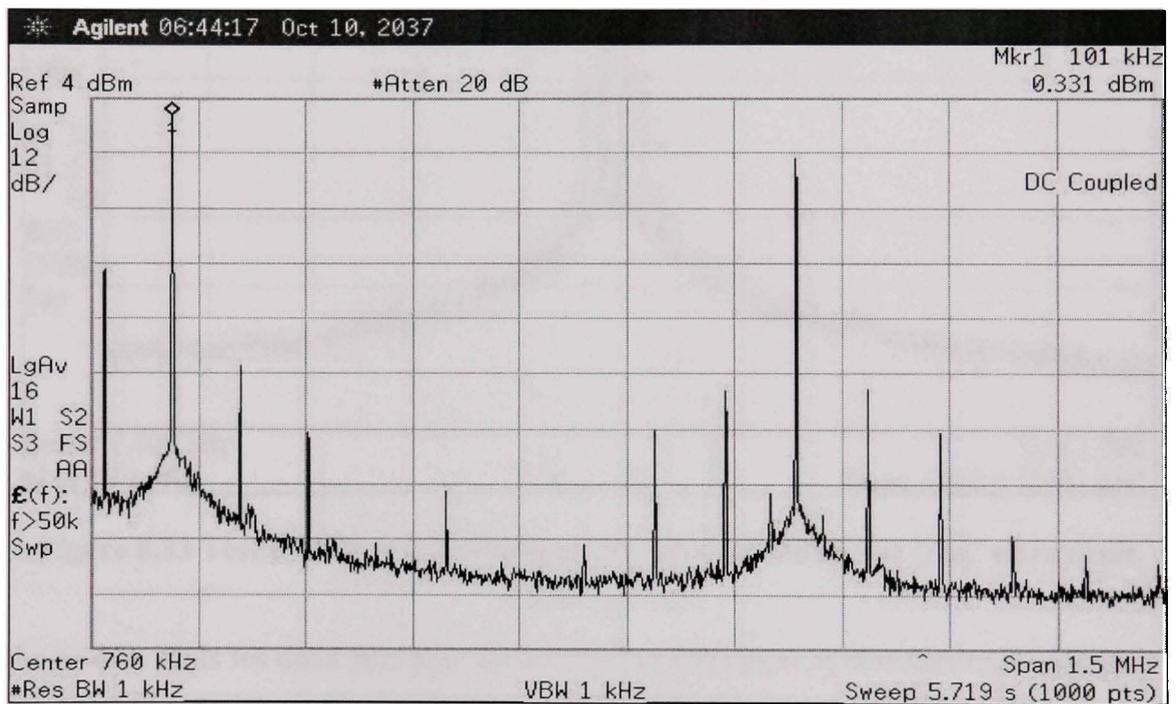


**Figure 8.30 Test d'IMD avec 100 kHz de 0 dBu et 1 MHz de -12 dBu sur DAC ultra droit.**



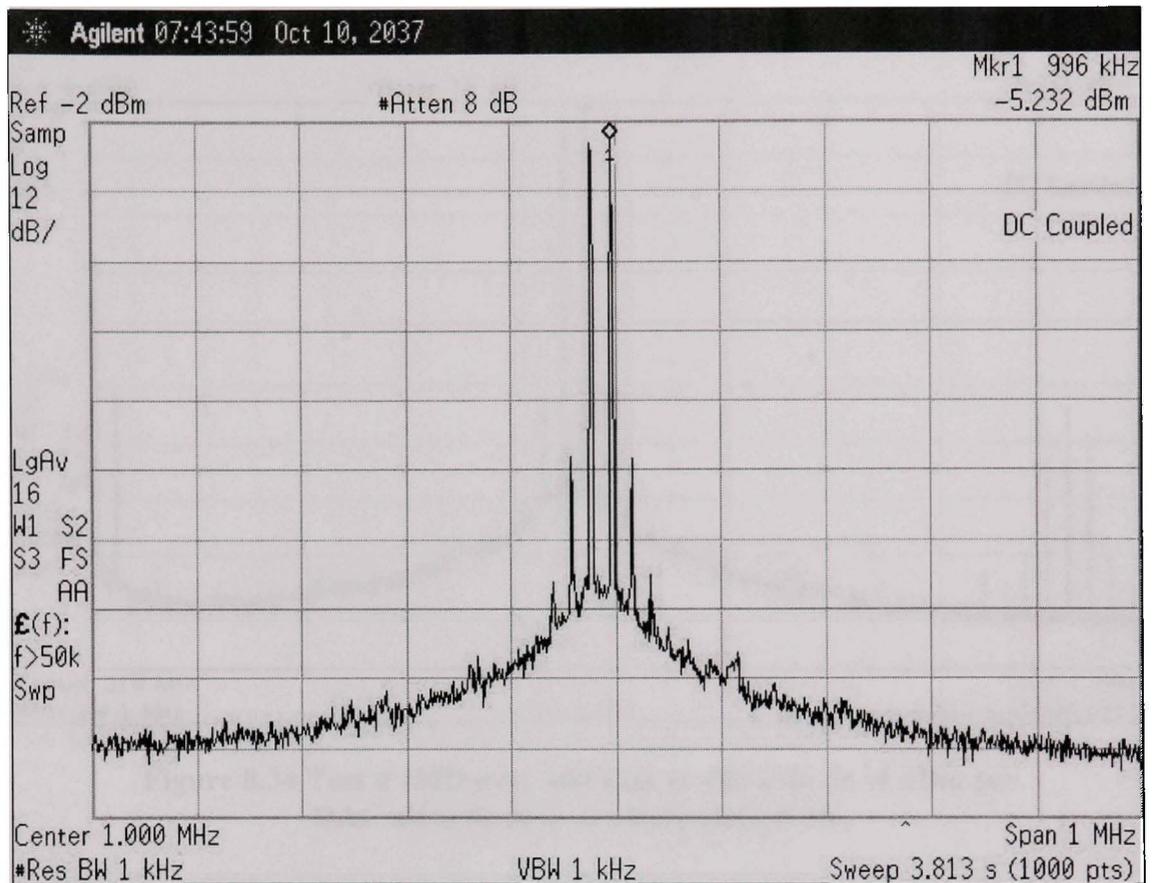
**Figure 8.31 Test d'IMD avec 100 kHz de -6 dBu et 1 MHz de -18 dBu sur DAC ultra droit.**

Pour ce test, on note toujours la tendance du bruit à diminuer avec l'augmentation de la fréquence. On remarque que la distorsion d'intermodulation de 4<sup>e</sup> ordre disparaît sur la Figure 8.31 où l'amplitude du signal diminue de 6 dB. Cela indique une tendance du système à avoir un taux de distorsion non linéaire qui augmente lorsqu'on approche de la pleine échelle, ce qui laisse supposer qu'il y a saturation du convertisseur. On refait donc le même test en activant l'interpolation de 8X.



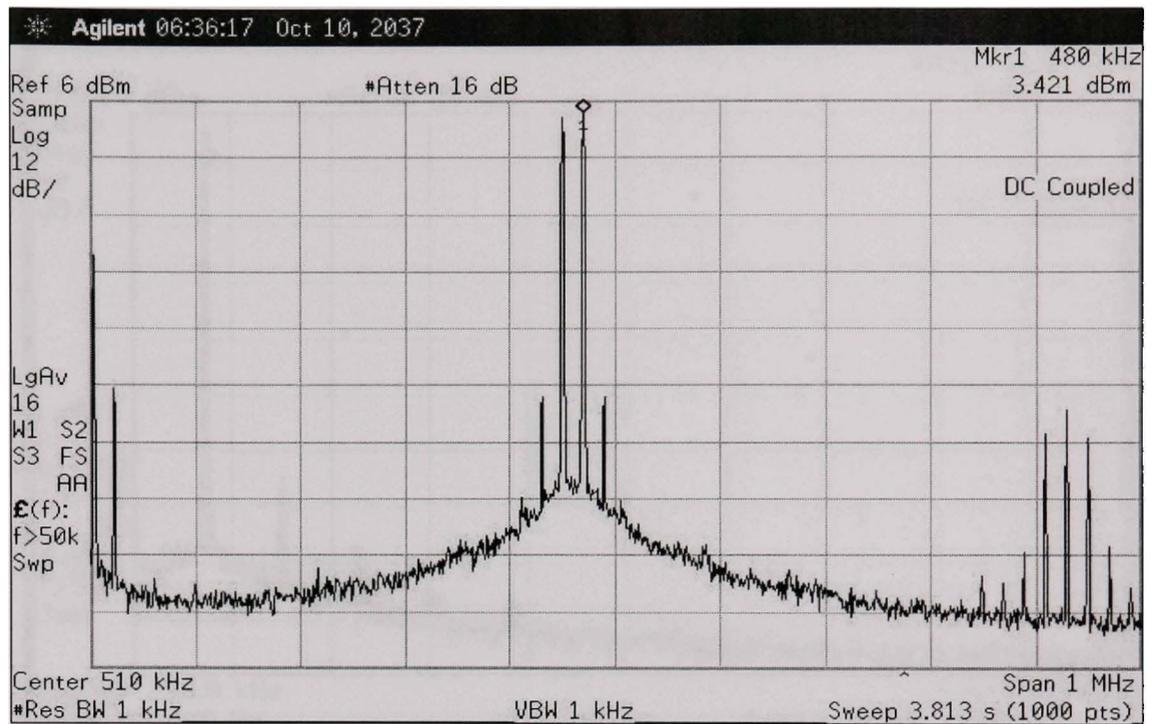
**Figure 8.32 Test d'IMD avec 100 kHz de 0 dBm et 1 MHz de -12 dBm sur DAC ultra droit avec interpolation 8X.**

Pour ce test, on constate que le bruit et la distorsion sont similaires à ceux observés dans le test sans interpolation de la Figure 8.30. En fait, les deux courbes sont tellement similaires qu'il est probable que le bruit et la distorsion proviennent principalement du circuit de conversion courant à tension et non du convertisseur en soi. De plus, il est possible que le sinus à basse fréquence de ce test contienne encore trop de points par période pour noter une différence entre la version interpolée et celle qui ne l'est pas. La prochaine étape est d'utiliser le second test d'IMD afin de voir si les résultats seront similaires. On commence d'abord en désactivant l'interpolation.



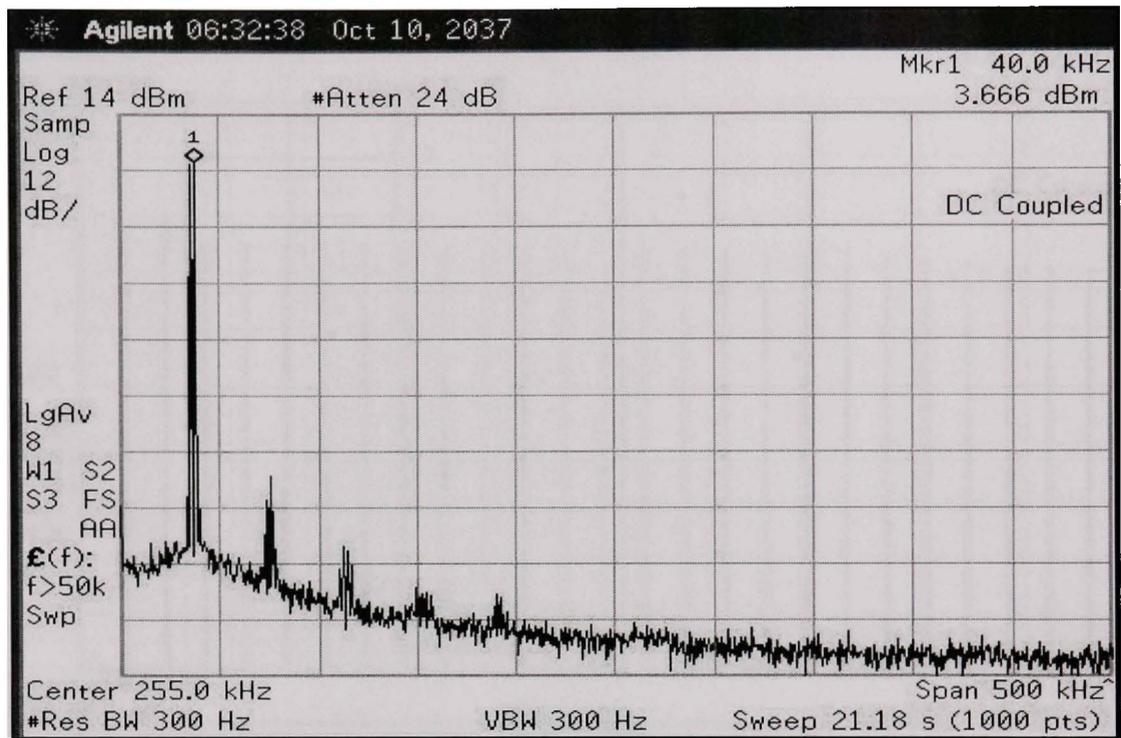
**Figure 8.33 Test d'IMD avec 976 kHz et 996 kHz de -6 dBu sur DAC ultra droit.**

Pour ce test, seuls les deux premiers ordres d'intermodulation se distinguent du plancher de bruit. De plus, la distorsion semble moins importante pour ce test que le précédent. Ce convertisseur serait donc performant lors de l'élaboration d'une communication numérique sous-marine dont la séparation de canal se ferait par division de bandes de fréquences très rapprochées. On active ensuite le module d'interpolation afin de déterminer si celui-ci a un impact sur la réponse à ce test.



**Figure 8.34 Test d'IMD avec 460 kHz et 480 kHz de -4 dBm sur DAC ultra droit avec interpolation 8X.**

Encore une fois, pour ces tests, le plancher de bruit et la distorsion sont très similaires à la version sans interpolation. On constate toutefois une diminution dans la distorsion d'intermodulation de 3<sup>e</sup> ordre entre le test de 460 kHz et 480 kHz par rapport au test de 976 kHz et 996 kHz. Cependant, comme les deux tests ne sont pas aux mêmes fréquences, il est impossible de déterminer précisément s'il y a ou non une différence entre les résultats obtenus avec et sans interpolation. Il est aussi intéressant de refaire ce test à plus basse fréquence afin de comparer ces résultats avec ceux obtenus avec l'autre banc de test utilisé pour ce convertisseur. On utilise donc un signal composé des sinus de 38 kHz et 40 kHz en conservant l'activation de l'interpolation.

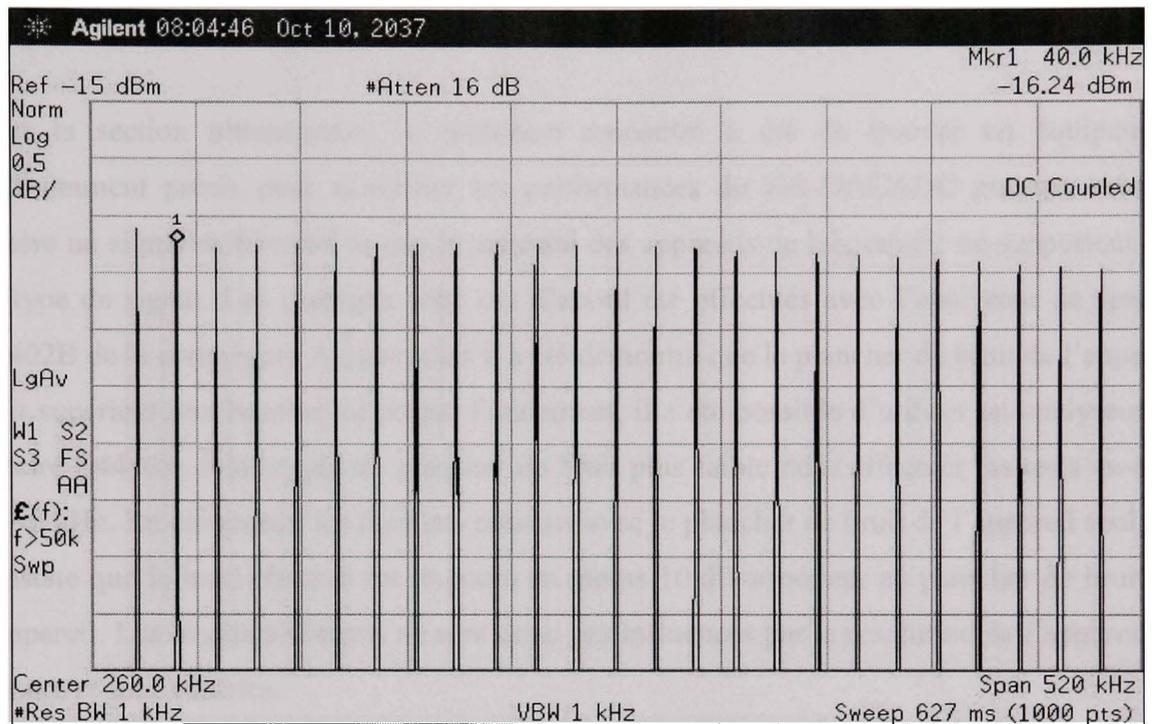


**Figure 8.35 Test d'IMD avec 38 kHz et 40 kHz de -4 dBu sur DAC ultra droit avec interpolation 8X.**

En comparant ce résultat à celui de la Figure 8.18, on constate que les raies en basse fréquence ne sont pas présentes sur la Figure 8.35 et qu'il s'agit donc certainement de repliement spectral de l'IMD d'ordre élevé. Encore une fois, l'amplitude des raies d'intermodulation diminuent rapidement ce qui confirme que les performances d'IMD de ce DAC sont excellentes.

### 8.2.2.3 Test de réponse en fréquence des DAC ultrasoniques en mode non balancé

Encore une fois, on utilise la méthode FASTTEST pour générer un signal composé de plusieurs sinus à diverses fréquences. Il sera ainsi possible de détecter les variations du gain des DAC ultrasoniques sur toute leur plage d'utilisation. Le signal généré contient donc des raies réparties également entre 20 kHz et 500 kHz.



**Figure 8.36 Test de réponse en fréquence de 20 kHz à 500 kHz avec amplitude de -16 dBm sur DAC ultra droit.**

Pour ce test, on remarque que la variation du gain varie de moins de 0,5 dB sur toute la bande passante du système. Le système montre donc une très bonne réponse en fréquence. De plus, il est à noter que bien que la fréquence d'échantillonnage du système soit inconnue, le signal de simulation généré à l'aide de la technique FASTTEST de la compagnie Audio Precision est tout de même valide puisque l'analyseur de spectre n'utilise pas de FFT pour donner le contenu spectral du signal reçu. En effet, cet appareil fait un balayage sur la bande passante sélectionnée et mesure la tension RMS ou la puissance présente à chaque fréquence selon la configuration de l'appareil. Ainsi, aucun filtre de fenêtrage n'est appliqué et la réponse en fréquence du système n'est pas altérée par un artifice de l'appareil servant à mesurer le signal généré. Toutefois, comme la technique de FASTTEST permet aussi de générer un signal contenant plusieurs fréquences de même amplitude, ce signal de simulation est utile pour avoir la réponse sur toute la bande passante en une seule mesure de l'appareil.

### 8.3 Problèmes rencontrés lors des tests de performance des DAC ultrasoniques

Pour la section ultrasonique, le problème rencontré a été de trouver un équipement suffisamment précis pour quantifier les performances du HR-DACADC puisque celui-ci génère un signal différentiel et que la majorité des appareils de laboratoire ne supportent pas ce type de signal. Les premiers tests ont d'abord été effectués avec l'analyseur de spectre E4402B de la compagnie Agilent mais il a été démontré que le plancher de bruit de l'appareil était supérieur aux besoins du projet. Finalement, il a été possible d'utiliser un analyseur de spectre E4440A démontrant un plancher de bruit plus faible pour effectuer les tests au-delà de 96 kHz. En comparant les résultats obtenus avec le plancher de bruit de l'appareil seul, on constate que le bruit observé est toujours au moins 10 dB supérieur au plancher de bruit de l'appareil. Les résultats obtenus ne sont donc pas influencés par la résolution de l'appareil de mesure et sont valables.

Un autre problème a toutefois été rencontré lors de l'analyse des résultats obtenus à l'aide de l'analyseur de spectre E4440A. En effet, bien que la fréquence indiquée par le curseur dans les saisies d'écran de l'appareil corresponde à la fréquence du signal généré, l'analyse des points du tableau sauvegardé est tout autre. En effet, on observe une différence de près de 10 kHz entre la fréquence affichée à l'écran et les données du tableau pour les basses fréquences. On peut d'ailleurs observer la raie de la composante continue qui se retrouve sur la ligne de 10 kHz dans la majorité des figures provenant de cet appareil. Toutefois, cette erreur n'est pas un simple décalage puisque cet écart diminue avec l'augmentation de la fréquence pour devenir nul autour de 400 kHz. De plus, il a été validé que cette erreur ne provient pas du HR-DACADC puisque l'analyse en basse fréquence à l'aide du système différentiel ne montrait pas cette déviation de fréquence. De plus, si on regarde la fréquence des crêtes formant la distorsion harmonique des sinus étudiés, on constate que les harmoniques élevées se retrouvant au-delà de 400 kHz sont vraiment à des multiples de la fondamentale générée. Cependant, plus l'ordre des harmoniques diminue, plus les fréquences trouvées dans les données de l'analyseur de spectre s'éloignent des valeurs théoriques pour

se retrouver à des multiples de la fondamentale décalée observée dans les résultats. Par exemple, pour le sinus de 80 kHz, on obtient l'écart suivant :

Tableau 8.3 Comparaison entre les fréquences théoriques et mesurées des harmoniques d'un sinus de 80 kHz

Raie spectrale	Fréquence théorique (kHz)	Fréquence mesurée (kHz)	Écart (Hz)
fondamentale	80	90.08	10080
2e harmonique	160	167.157	7157
3e harmonique	240	245.235	5235
4e harmonique	320	323.313	3313
5e harmonique	400	401.391	1391
6e harmonique	480	480.47	470
7e harmonique	560	559.549	-451
8e harmonique	640	638.628	-1372
9e harmonique	720	718.708	-1292
10e harmonique	800	798.788	-1212
11e harmonique	880	881.871	1871

Puisque la capture est faite sur 1 000 points avec une bande passante de 1 MHz, la résolution de la fréquence mesurée est d'environ 1 kHz. On constate que l'écart entre la fréquence théorique du sinus de 80 kHz et celle trouvée est décalée de 10 kHz. L'écart diminue rapidement avec les harmoniques pour se retrouver près de la résolution de l'appareil d'acquisition à partir de la 5<sup>e</sup> harmonique qui se trouve à 400 kHz. Comme il est impossible que la distorsion des convertisseurs ne soit pas précisément à des multiples de la fondamentale, cette erreur provient nécessairement de l'analyseur de spectre. Toutefois, comme ce problème a été découvert lors de l'analyse des résultats et non pendant la période de mesure, l'appareil n'était alors plus disponible pour faire plus de tests et déterminer la cause de ce problème. Il est à noter que les résultats indiqués dans les tableaux récapitulatifs prennent en compte cette déviation et les fréquences utilisées pour mesurer les harmoniques et la distorsion d'intermodulation considèrent les crêtes trouvées dans les données capturées et non les valeurs théoriques.

#### 8.4 Comparaison des résultats avec le cahier des charges

Les Tableaux 7.4 à 7.7 inclusivement font la récapitulation de tous les tests effectués pour quantifier les performances des convertisseurs numériques à analogiques ultrasoniques du HR-DACADC :

Tableau 8.4 Résumé des performances des DAC ultrasoniques avec banc de test E-MU 1616M

Signal de test	SNR (dB)		SFDR (dB)		THD (dB)		THD+N (dB)		ENOB	
	Sans inter.	Inter. 8x								
Droit : sinus 2k +16 dBm	---	86,3	---	86,6	---	-85,2	---	-82,7	---	13,5
Droit : sinus 2k +10 dBm	---	81,6	---	90,9	---	-86,8	---	-80,5	---	13,1
Gauche : sinus 2k +16 dBm	---	84,0	---	90,0	---	-87,8	---	-82,5	---	13,4
Gauche : sinus 2k +10 dBm	---	78,6	---	81,9	---	-80,5	---	-76,5	---	12,4
Droit : sinus 10k +16 dBm	86,9	86,8	86,0	85,8	-84,6	-84,5	-82,6	-82,5	13,4	13,4
Droit : sinus 10k +10 dBm	81,7	81,7	91,3	91,3	-86,9	-87,0	-80,6	-80,6	13,1	13,1
Gauche : sinus 10k +16 dBm	---	84,1	---	90,4	---	-88,1	---	-82,6	---	13,5
Gauche : sinus 10k +10 dBm	---	78,8	---	81,8	---	-80,3	---	-76,5	---	12,4
Droit : sinus 80k +16 dBm	---	---	110,7	108,6	---	---	-86,6	-86,5	---	14,1
Droit : sinus 80k +10 dBm	---	---	111,6	110,6	---	---	-81,3	-81,3	---	13,2
Gauche : sinus 80k +16 dBm	---	---	---	103,5	---	---	---	-83,7	---	13,6
Gauche : sinus 80k +10 dBm	---	---	---	103,5	---	---	---	-78,3	---	12,7

Tableau 8.5 Résumé des performances d'IMD des DAC ultrasoniques avec banc de test E-MU 1616M

Signal de test	IMD (dB)	
	Sans inter.	Inter. 8x
IMD 2k et 50 k +16 dBm	---	-87,3
IMD 38k et 40k +16 dBm	---	-81,4

Tableau 8.6 Résumé des performances des DAC ultrasoniques avec banc de test Agilent E4440A

Signal de test	SNR (dB)		SFDR (dB)		THD (dB)		THD+N (dB)		ENOB	
	Sans inter.	Inter. 8x								
Sinus 10k +16 dBm	65,3	60,5	61,6	62,4	60,1	53,7	59,0	52,8	9,5	8,5
Sinus 10k +10 dBm	65,9	60,9	62,0	63,2	60,7	54,3	59,5	53,5	9,6	8,6
Sinus 80k +16 dBm	---	59,3	---	61,7	---	59,5	---	56,4	---	9,1
Sinus 80k +10 dBm	---	59,9	---	62,3	---	60,3	---	57,1	---	9,2
Sinus 100k +16 dBm	62,8	58	58,3	58,2	57,7	57,6	56,5	54,8	9,1	8,8
Sinus 100k + 10 dBm	63,3	58,8	59,1	59,1	58,6	58,6	57,3	55,7	9,2	9,0
Sinus 500k + 16 dBm	69,1	69,1	63,0	62,8	63,0	62,8	62,0	61,9	10,0	10,0
Sinus 500k + 10 dBm	69,2	69,1	67,0	66,7	67,0	66,7	64,9	64,7	10,5	10,5

Tableau 8.7 Résumé des performances d'IMD des DAC ultrasoniques avec banc de test Agilent E4440A

Signal de test	IMD (dB)	
	Sans inter.	Inter. 8x
IMD 38k et 40k + 16 dBm	---	69,1
IMD 38k et 40k + 10 dBm	---	64,2
IMD 100k et 1M +16 dBm	56,5	56,6
IMD 100k et 1M +10 dBm	62,5	62,5
IMD 460k et 480k +16 dBm	---	62,1
IMD 460k et 480k +10 dBm	---	64,0
IMD 976k et 996k +16 dBm	54,3	---
IMD 976k et 996k +10 dBm	57,0	---

On constate premièrement que les performances quantifiées à l'aide du banc de test Agilent E4440A avec signal non balancé sont très inférieures à celles obtenues avec le premier banc de test. Cela vient confirmer qu'il est impératif d'exploiter l'immunité au bruit ambiant que procure un système balancé pour des systèmes avec une précision aussi élevée. De plus, il est à noter que l'impédance d'entrée de l'analyseur de spectre Agilent est de  $50 \Omega$ , alors que le cahier des charges prévoit une impédance de sortie de  $50 \Omega$  pour alimenter une charge de  $600 \Omega$ . La charge était donc plus importante que prévue et pouvait donc être une cause de distorsion supplémentaire du système. Cependant, le problème rencontré avec l'analyseur de spectre et le fait que les analyses utilisent la limite de la plage d'utilisation de cet appareil en font un appareil de mesure moins fiable que la première configuration. De plus, le bruit le plus important était retrouvé dans la même plage que celle étudiée par le premier banc de test alors que ce dernier montrait un bruit très faible même pour cette section. Cela confirme que la première configuration est optimale et que ses résultats prévalent sur ceux de la deuxième partie.

En analysant le **Tableau 8.4**, on trouve un SNR de 86,3 dB pour le sinus de 2 kHz. Cette valeur est supérieure de 2 dB aux contraintes du cahier des charges pour la section ultrasonique. De plus, l'analyse du bruit sur l'analyseur de spectre montre un bon fonctionnement bien au-delà de la bande passante requise de 500 kHz. Cette section semble donc dépasser les critères du cahier des charges en tout point, bien que les tests de

performances réalisés ne permettent pas de valider ces performances sur toute la plage d'intérêt à cause d'un manque d'équipement spécialisé pour ce genre de test.

## **8.5 Conclusion sur les performances des DAC ultrasoniques**

Premièrement, il est à noter que la génération simultanée de deux signaux ultrasonique à très haute cadence d'échantillonnage a été un succès. En effet, la fréquence d'échantillonnage des DAC ultrasonique de la carte HR-DACADC étant de 20MHz, les résultats obtenus dépassent de loin la problématique de ce projet qui était d'avoir deux canaux de sortie de 16 bits à une cadence d'au moins 1 MHz. De plus, les performances de 351 Mbps obtenues avec le lien Gigabit permettrait de recevoir sans interruption les données à convertir à partir d'un PC. De plus, grâce à l'utilisation de l'interpolation 8X disponible dans l'AD9779, le taux de transfert requis de 320 Mbps est diminué à seulement 40 Mbps, ce qui libère amplement de bande passante pour transmettre les données des ADC vers le PC en temps réel et ainsi atteindre complètement l'objectif initial du projet.

Enfin, en comparant ces résultats à ceux obtenus pour la section audio, le banc de test avec le système E-MU 1616M indique un meilleur THD et THD+N pour les convertisseurs ultrasoniques qu'audio. Comme les spécifications de l'AD9779 sont bien inférieures à celles du PCM1794A, il est fort probable que ces meilleures performances proviennent principalement du montage servant de convertisseur courant à tension. En effet, le choix de l'amplificateur opérationnel avec retour de courant AD812 est finalement bien trop rapide pour les besoins du projet et le choix d'un autre composant moins rapide mais avec un meilleur THD et un plancher de bruit plus faible serait certainement préférable. De plus, le choix du montage pour générer une tension de référence de -5V s'est avéré très instable et l'emploi d'un régulateur de tension -5V performant offrirait probablement une tension plus stable et moins bruyante. De plus, l'ajout de régulateur performant et dédié à chaque amplificateur opérationnel de la carte de conversion courant à tension permettrait certainement d'améliorer les performances du système en utilisation non balancée. En effet, si l'alimentation fournie à cette carte est bruyante, le bruit se retrouvera à peine atténué sur

les deux branches de sortie des signaux analogiques. Or, le banc de test E-MU 1616M soustrait ces deux signaux et ce type de bruit en mode commun se retrouve très fortement atténué alors qu'il ne l'est absolument pas lors de l'analyse d'une seule branche de signal tel que mesuré avec le banc de test utilisant l'analyseur de spectre d'Agilent.

## CONCLUSION

Il est important de rappeler que l'objectif de ce projet était de réaliser une carte d'acquisition capable de capter et de générer des signaux autant dans la plage audio avec des performances professionnelles et dans la plage ultrasonique avec une résolution de 16 bits. Pour l'ÉTS, le projet devait permettre le lancement d'un projet visant l'élaboration d'un système de communication sans fils sous l'eau. Pour Musilab, la carte HR-DACADC doit s'intégrer dans le banc de tests portatif de Musilab afin de permettre une plus grande versatilité d'expérimentations dans le domaine des ondes acoustiques audio ou ultrasoniques. Voici donc tout d'abord un tableau comparatif des performances mesurées entre le cahier des charges et la carte HR-DACADC :

Tableau 9.8 Comparaison entre les performances du cahier des charges et les résultats obtenus

Canal	Bande passante (kHz)	Résolution maximale	SNR requis (dBFS)	SNR obtenu (dBFS)
ADC gauche audio	96	24	103	non fonctionnel
ADC droit audio	96	24	103	non fonctionnel
ADC gauche ultrasonique	500	16	84	non fonctionnel
ADC droit ultrasonique	500	16	84	non fonctionnel
DAC gauche audio	96	24	103	>114,9
DAC droit audio	96	24	103	112,0
DAC gauche ultrasonique	500	16	84	>65,3 (84,0dB @ BW=96kHz)
DAC droit ultrasonique	500	16	84	>65,3 (86,3dB @ BW=96kHz)

Aux termes de ce mémoire, il a été démontré que la carte HR-DACADC permettait de générer des signaux analogiques dans les deux spectres de fréquences requises. Pour la plage ultrasonique, les performances en différentiel rencontrent les exigences du cahier des charges. De plus, les excellentes performances face à la distorsion d'intermodulation assurent une bonne séparation de canaux pour une application de communication par séparation de canaux par plage de fréquence. Quant au faible THD, cela assure que le signal qui serait envoyé à un transmetteur contiendrait toute son énergie à la fréquence désirée et non un fort

pourcentage à des harmoniques plus élevées. Il en résulte donc un meilleur rendement pour la section de puissance d'un système de communication sous-marin. Finalement, comme le cahier des charges spécifie un SNR de 103 dB pour la section audio contre 84 dB pour la section ultrasonique, les performances énumérées dans le **Tableau 9.8** ont donc été atteinte pour la section audio et sont légèrement inférieures aux besoins du projet pour la section ultrasonique. Malgré cela, les avantages d'un système différentiel ont pu être démontrés et ont confirmé qu'il est essentiel de fonctionner avec un signal balancé afin d'atteindre les performances désirées. En effet, les expérimentations ont montré que les bruits provenant des autres sections des circuits imprimés sont présents lorsqu'on analyse une seule branche du signal alors que la soustraction des deux signaux différentiels atténue fortement toute source de bruit non négligeable pour obtenir un plancher de bruit plus faible et uniforme. Plusieurs pistes sont analysées au chapitre des recommandations afin d'améliorer les performances des DAC audio.

Ensuite, il n'a pas été possible de faire fonctionner les ADC pour permettre l'analyse de signaux analogiques. Cependant, il a été démontré que le protocole Gigabit Ethernet était préférable au lien USB2.0 afin d'établir un lien de communication entre la carte HR-DACADC et un ordinateur. En effet, il a été possible de transmettre un signal du FPGA à Labview et de lui faire un traitement en temps réel sans perdre d'information. Ceci a été possible grâce à l'utilisation d'un pilote GigE de la compagnie Pleora qui permet une très large bande passante dans un lien Gigabit Ethernet tout en demandant une charge de travail minimale de la part du processeur. Ainsi, si le traitement requis sur le signal est simple, le taux de transfert possible est bien au-delà des besoins du projet. Cependant, aucune carte de la compagnie Pleora ne permet encore un lien bidirectionnel entre le HR-DACADC et un ordinateur. Toutefois, un pilote permettant un lien bidirectionnel déterministe à large bande existe déjà et cela n'est qu'une question de temps avant l'arrivée d'une version améliorée de l'iPort PT1000-ST pouvant utiliser ce pilote et ainsi fournir toutes les fonctionnalités nécessaires au HR-DACADC.

De plus, les différents tests de performances montrent que chaque test sert à mesurer une caractéristique bien précise d'un convertisseur et que plusieurs tests ou notations peuvent exister pour décrire un même critère. De plus, tous les tests étudiés ont été créés et sont utilisés afin de quantifier simplement, rapidement et précisément une caractéristique précise d'un convertisseur. Toutefois, comme ce domaine n'est pas très normalisé, chaque fabricant emploie des tests et des termes différents pour quantifier les performances de leur produit. De plus, pour un même fabricant, les spécifications peuvent varier selon l'application ciblée par chaque composant. Il est donc difficile de comparer les performances de deux composants provenant de différentes compagnies lorsque vient le temps de sélectionner un composant pour un nouveau projet et une étude approfondie est souvent requise.

Finalement, il est intéressant de noter que la carte HR-DACADC et les différents tests de performances réalisés ont permis de démontrer qu'il était possible de faire fonctionner plusieurs canaux de convertisseurs simultanément tout en communiquant ces données dans le logiciel Labview sur PC afin de faire un traitement en temps réel d'un ou plusieurs signaux. En effet, il a été démontré qu'il était possible de transmettre en temps réel des données entre la HR-DACADC et Labview à une cadence de 351 Mbps. Ceci est largement suffisant pour permettre le fonctionnement simultané de quatre canaux de 16 bits à une cadence de 1 MHz tel que décrit dans la problématique du projet au chapitre 1. De plus, la validation du fonctionnement simultané des deux canaux de conversion numérique à analogique à une cadence de 20 MHz avec une résolution de 16 bits permet de valider qu'il serait également possible de faire fonctionner 4 canaux simultanément à une cadence bien supérieure à 1 MHz. Ce projet a donc permis de démontrer qu'il est possible de faire fonctionner deux canaux d'entrée et deux autres de sortie simultanément avec une résolution de 16 bits et une cadence largement supérieure à 1 MHz. Cette découverte est donc innovante puisqu'elle surpasse toutes les cartes d'acquisition et de génération de signaux analogiques de ce type disponible jusqu'à ce jour.

## RECOMMANDATIONS

Suite à la conclusion de ce projet, plusieurs pistes se présentent pour améliorer ou pour compléter la carte HR-DACADC. Tout d'abord, il a été démontré que les performances et l'immunité au bruit ambiant sont nettement supérieures avec l'utilisation de deux signaux balancés plutôt que d'un seul signal. Il serait donc intéressant de quantifier les performances de la section ultrasonique avec des appareils de mesure ayant des entrées différentielles. En effet, la carte HR-DACADC et celle de conversion courant à tension sont toutes deux conçues pour avoir des sorties en différentiel. Cependant, les analyseurs de spectre disponible à l'ÉTS lors de la rédaction de ce mémoire n'acceptaient pas de tels signaux. Toutefois, la dernière version du logiciel WinAudioMLS du docteur Jordan (Jordan, 2007) permet l'analyse d'un signal entrant à une cadence d'échantillonnage maximale de 1 MHz, ce qui répond au besoin du projet. Il est donc nécessaire de trouver une carte d'acquisition ayant des entrées balancées et permettant une fréquence d'échantillonnage de 1 MHz tout en supportant un pilote permettant de communiquer avec le logiciel WinAudioMLS. Ce nouveau banc de tests serait alors apte à quantifier les performances de la section ultrasonique du HR-DACADC dans sa pleine plage de fonctionnement.

Ensuite, il serait intéressant de réaliser une nouvelle version de la carte de conversion courant à tension afin de valider si les performances obtenues sont limitées par le HR-DACADC ou la conversion des signaux de sortie. Plusieurs modifications possibles seraient à expérimenter. Tout d'abord, il serait nécessaire d'ajouter des régulateurs locaux sur la carte de conversion courant à tension afin d'avoir un meilleur découplage des alimentations. Ensuite, comme le circuit fournissant la tension de référence de -5 V pour la section audio oscille facilement, il serait intéressant de modifier cette configuration pour avoir une version plus robuste et contenant donc moins de bruit. Il serait aussi intéressant de changer les amplificateurs opérationnels et le montage de la section audio pour copier la section ultrasonique puisque celle-ci montre de meilleures performances. Finalement, une nouvelle version sans broche de test permettant le déverminage de la carte offrirait probablement un meilleur plan de mise à la terre qui offrirait un meilleur plancher de bruit.

Ensuite, il serait intéressant d'assembler une deuxième carte de conversion courant à tension afin de pouvoir quantifier la diaphonie entre le canal gauche et le canal droit du système. Bien que les connecteurs soient physiquement éloignés sur la carte HR-DACADC, les DAC ultrasoniques et audio sont tous les deux formés de circuits intégrés stéréo. Les traces des deux canaux sont donc très rapprochées sur une bonne partie du circuit imprimé et il serait intéressant de valider la performance d'un système différentiel face à ce genre de problème.

Il serait aussi intéressant de déterminer précisément la cause d'une grande différence de performance entre le canal gauche et le canal droit pour la section des DAC audio. Pour ce faire, il faudrait d'abord changer le composant pour valider que ce dernier n'a pas été endommagé. Si le problème persiste, il serait possible de dessouder les broches de sortie du boîtier pour inverser les deux canaux sur le PCB. Ainsi, si le canal gauche présente toujours des caractéristiques moindres, la preuve sera faite que le problème vient réellement des traces plus longues sur le circuit imprimé qui traverse la section des DAC ultra et de l'ADC gauche.

Comme les expérimentations avec le lien de communication Ethernet Gigabit montrent un taux de transfert utile beaucoup plus important que les besoins du projet, il serait intéressant de quantifier les performances des DAC ultrasoniques pour des fréquences d'échantillonnage plus élevées. En effet, l'AD9779 peut fonctionner à une cadence maximale de 1 G échantillons/s, ce qui est beaucoup plus rapide que les tests de 20 MHz et 2,5 MHz testés dans le cadre de ce projet. De plus, comme l'AD9779 est doté d'un PLL pour multiplier à l'interne l'horloge externe, il serait possible d'aller jusqu'à une cadence d'échantillonnage de 160 MHz en activant l'interpolation de 8x pour maintenir la cadence de sortie du FPGA vers le DAC de 20 MHz. Il serait ainsi possible d'atteindre une bande passante ultrasonique de 10 MHz mais avec plus de points par période, maintenant ainsi un bon rapport signal à bruit.

Un autre point à développer serait la réalisation d'un lien de communication bidirectionnel entre l'ordinateur et la carte HR-DACADC. En effet, il a été démontré que le USB2.0 montrait des performances inférieures aux attentes initiales mais que le lien Gigabit Ethernet était idéal pour ce genre de transfert. Bien que la carte iport PT1000-ST ne supporte qu'un

lien unidirectionnel vers le PC, la compagnie Pleora possède déjà un pilote bidirectionnel entre deux ordinateurs permettant une large bande et un temps d'attente déterministe permettant de l'utiliser dans une application temps réel. Il suffirait donc de réaliser une carte équivalente au PT1000 qui remplacerait un des deux ordinateurs et transmettrait les données au FPGA par un bus parallèle. Une fois ce système réalisé, il serait alors possible de générer des signaux analogiques audio ou ultrasoniques qui proviendraient du logiciel Labview. Les caractéristiques de temps réel du système comme la latence et le débit maximal pourraient alors être quantifiées.

Finalement, afin que la carte HR-DACADC possède toutes les fonctionnalités spécifiées dans son cahier des charges, il est nécessaire de faire fonctionner les ADC AD7760. Comme ce composant permet autant le fonctionnement dans la plage audio qu'ultrasonique, il serait alors possible de capter des signaux sur les deux plages de fréquences spécifiées. La première étape pour ce faire serait de remplacer les composants afin de voir si ceux présents sont endommagés. Il faudrait ensuite valider qu'il est possible d'écrire dans le registre pour changer le niveau de saturation de l'étage d'entrée analogique. Ensuite, en appliquant un signal très faible à l'entrée, l'ADC doit transmettre une valeur de sortie non nulle sans avoir à activer le drapeau de saturation. Si cela ne fonctionne pas, il serait possible de faire plus de tests en désactivant l'amplificateur opérationnel interne et en injectant directement un signal à l'étage d'entrée de l'ADC. Il serait alors possible de faire varier la tension en mode commun afin de voir si cela règle le problème.

## ANNEXE I

### TABLEAU D'INTERCONNEXION ENTRE LE FPGA ET L'IPORT PT10000-ST

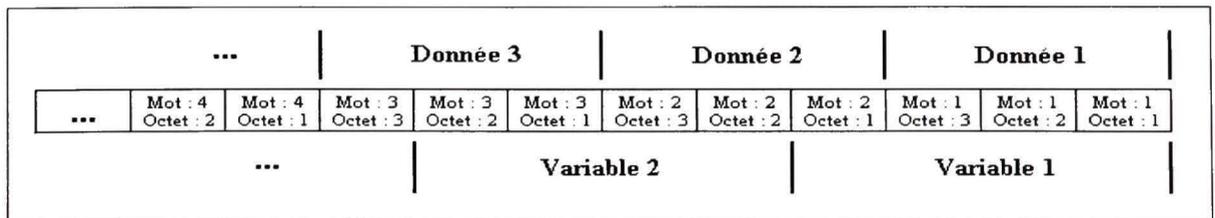
Tableau 1.1 Liste des correspondances des  
branchements entre le PT1000 et le FPGA

<b>Plan de branchement entre le iPORT PT1000 et la carte d'interconnexion fpga-<math>\mu</math>C</b>			
<b>signal</b>	<b>pin sur PT-1000</b>	<b>pin sur comm_uC</b>	<b>signal fpga</b>
clk	J22-29	P3-10	uC data 9
fval	J22-22	P3-22	uC data 21
lval	J22-24	P3-24	uC data 23
dval	J22-20	P3-20	uC data 19
data 0	J22-1	P3-1	uC data 0
data 1	J22-3	P3-3	uC data 2
data 2	J22-5	P3-5	uC data 4
data 3	J22-7	P3-7	uC data 6
data 4	J22-9	P3-9	uC data 8
data 5	J22-13	P3-13	uC data 12
data 6	J22-18	P3-18	uC data 17
data 7	J22-11	P3-11	uC data 10
data 8	J22-15	P3-15	uC data 14
data 9	J22-17	P3-17	uC data 16
data 10	J22-19	P3-19	uC data 18
data 11	J22-33	P3-14	uC data 13
data 12	J22-35	P3-16	uC data 15
data 13	J22-37	P3-23	uC data 22
data 14	J22-21	P3-21	uC data 20
data 15	J22-31	P3-12	uC data 11
data 16	J22-39	P2-7	uC ADC L full
data 17	J22-36	P2-5	uC cs aud L
data 18	J22-34	P2-4	uC cs DAC R
data 19	J22-32	P2-3	uC cs DAC L
data 20	J22-30	P2-2	uC cs ADC R
data 21	J22-28	P2-1	uC cs ADC L
data 22	J22-40	P2-8	uC ADC L vide
data 23	J22-38	P2-6	uC cs aud R
gnd	J22-4;6;8;10	P3-25;26	GND

## ANNEXE II

### PROBLÈME RENCONTRÉ AVEC LA COMMUNICATION GIGABIT ETHERNET ET LABVIEW

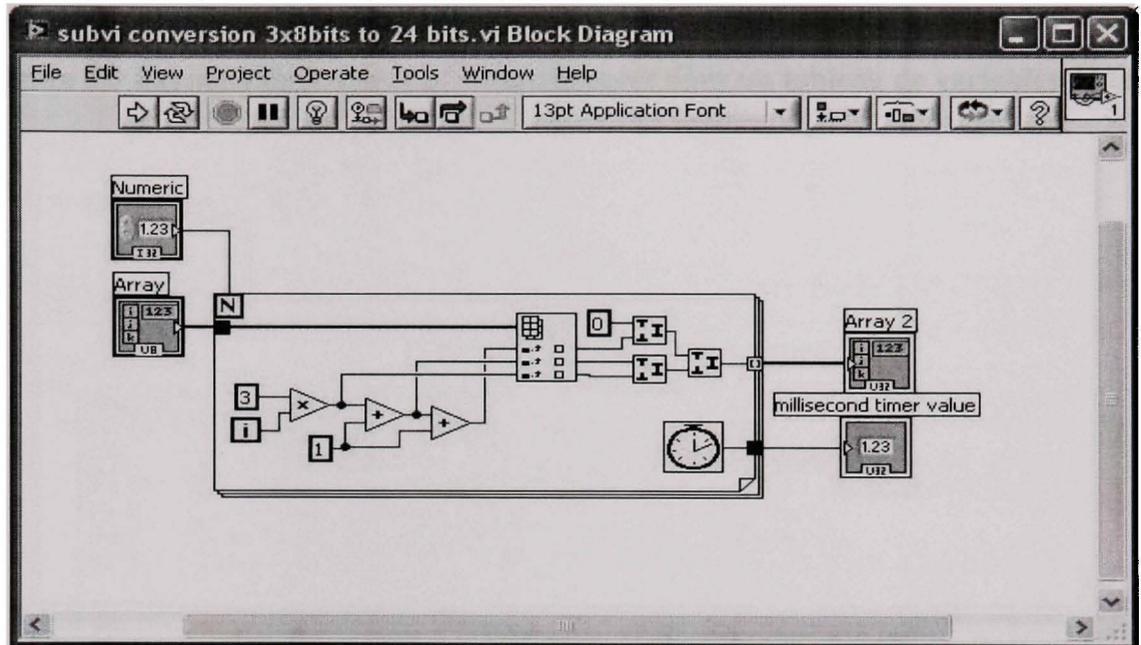
Le problème rencontré fut lors de la validation de l'intégrité et de la continuité des données reçues avec une résolution de 24 bits. En effet, comme les fonctions de Pleora sont conçues pour transmettre des images, la largeur maximale des mots transmis est de 24 bits pour représenter un pixel de couleur. Dans ce pixel, chaque octet représente l'intensité d'une des trois couleurs primaires. Toutefois, il est impossible de créer un tableau de valeur d'une largeur de trois octets sur un ordinateur. Les largeurs disponibles sont de un, deux ou quatre octets pour des valeurs entières. Il est donc nécessaire d'insérer les valeurs de 24 bits dans un tableau d'entiers de 32 bits de largeur. Cependant, lorsque le bloc de réception des données dans Labview était configuré pour écrire dans des variables de 32 bits, la fonction ne faisait pas le remplissage avec des zéros pour chaque variable mais les répartissait plutôt bout à bout en chevauchant les cellules du tableau de données de 32 bits comme suit :



**Figure 2.1 Arrangement des données reçues du PT1000-ST dans un tableau Labview.**

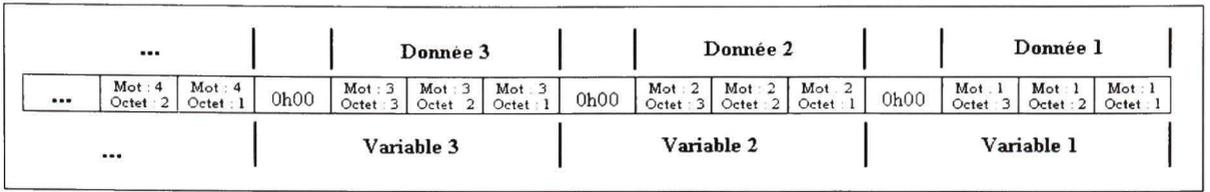
Comme cet arrangement des données est inintelligible, on fait plutôt la capture des données dans un tableau d'octets afin que chaque cellule du tableau ne contienne pas d'information provenant de deux données distinctes. Ensuite, on doit faire une manipulation de ce tableau pour regrouper les octets trois par trois et les enregistrer dans une cellule d'un tableau d'entiers de 32 bits. Après plusieurs approches, la technique la plus efficace pour faire cette manipulation est d'utiliser le bloc de jonction de deux variables d'une certaine dimension

pour en créer une seule de dimension deux fois plus grande. Voici la fonction Labview exécutant ce traitement :



**Figure 2.2 Fonction Labview pour conversion d'un tableau d'octets en tableau de valeurs 24 bits.**

Cette fonction reçoit comme paramètres d'entrées le tableau contenant les données reçues séparées en octets distincts et le nombre de données sur 24 bits contenues dans ce tableau. À chaque itération de la boucle, la fonction lit les trois prochains octets du tableau. Elle fait ensuite la jonction des deux octets les moins significatifs et joint l'octet le plus significatif avec un octet ne contenant que des zéros. On joint ensuite les deux valeurs de 16 bits obtenues pour retrouver une valeur du HR-DACADC sur 24 bits contenue dans un mot de 32 bits. Finalement, on accumule chaque résultat à la sortie de la boucle et quand les itérations sont terminées, la fonction retourne le tableau résultant de l'accumulation de toutes ces transformations. On obtient alors un tableau de valeur entière 32 bits contenant chacune une conversion de la carte sur 24 bits. Ce tableau peut alors être traité ou sauvegardé correctement selon l'application désirée. L'image suivante représente l'arrangement des données après ce traitement :



**Figure 2.3 Exemple de données 24 bits arrangées dans un tableau de variables 32 bits.**

## ANNEXE III

### REGISTRE INTERNE DE L'AD7760 CONTRÔLANT LE DÉTECTEUR DE SATURATION

<b>AD7760</b>															
<b>STATUS REGISTER (READ ONLY)</b>															
MSB											LSB				
PART 1	PART 0	DIE 2	DIE 1	DIE 0	DVALID	LPWR	OVR	DL_ OK	Filter OK	U Filter	BYP F3	BYP F1	DEC2	DEC1	DEC0
<b>Table 17.</b>															
Bit	Mnemonic	Comment													
15, 14	PART1:0	Part Number. These bits are constant for the AD7760.													
13 to 11	DIE2:0	Die Number. These bits reflect the current AD7760 die number for identification purposes within a system.													
10	DVALID	Data Valid. This bit corresponds to the DVALID bit in the status word output in the second 16-bit read operation.													
9	LPWR	Low Power. If the AD7760 is operating in low power mode, this bit is set to 1.													
8	OVR	If the current analog input exceeds the current overrange threshold, this bit is set.													
7	DL_OK	When downloading a user filter to the AD7760, a checksum is generated. This checksum is compared to the one downloaded following the coefficients. If these checksums agree, this bit is set.													
6	Filter OK	When a user-defined filter is in use, a checksum is generated when the filter coefficients pass through the filter. This generated checksum is compared to the one downloaded. If they match, this bit is set.													
5	U Filter	If a user-defined filter is in use, this bit is set.													
4	BYP F3	Bypass Filter 3. If Filter 3 is bypassed by setting the relevant bit in Control Register 1, this bit is also set.													
3	BYP F1	Bypass Filter 1. If Filter 1 is bypassed by setting the relevant bit in Control Register 1, this bit is also set.													
2-0	DEC2:0	Decimation Rate. These correspond to the bits set in Control Register 1.													
<p><b>OFFSET REGISTER—ADDRESS 0X0003</b>  <i>Non-bitmapped, Default Value 0x0000</i></p> <p>The offset register uses two's complement notation and is scaled such that 0x7FFF (maximum positive value) and 0x8000 (maximum negative value) correspond to an offset of +0.78125% and -0.78125%, respectively. Offset correction is applied after any gain correction. Using the default gain value of 1.25 and assuming a reference voltage of 4.096V, the offset correction range is approximately ±25 mV.</p> <p><b>GAIN REGISTER—ADDRESS 0X0004</b>  <i>Non-bitmapped, Default Value 0xA000</i></p> <p>The gain register is scaled such that 0x8000 corresponds to a gain of 1.0. The default value of this register is 1.25 (0xA000). This gives a full-scale digital output when the input is at 80% of <math>V_{REF}</math>. This ties in with the maximum analog input range of ±80% of <math>V_{REF}</math> p-p.</p> <p><b>OVERRANGE REGISTER—ADDRESS 0X0005</b>  <i>Non-bitmapped, Default Value 0xCCCC</i></p> <p>The overrange register value is compared with the output of the first decimation filter to obtain an overload indication with minimum propagation delay. This is prior to any gain scaling or offset adjustment. The default value is 0xCCCC which corresponds to 80% of <math>V_{REF}</math> (the maximum permitted analog input voltage). Assuming <math>V_{REF} = 4.096</math> V, the bit is then set when the input voltage exceeds approximately 6.55 V p-p differential. Note that the overrange bit is also set immediately if the analog input voltage exceeds 100% of <math>V_{REF}</math> for more than four consecutive samples at the modulator rate.</p>															

**Figure 3.1 Description des registres internes de l'AD7760.**  
Tiré d'(Analog Devices, 2005a)

## ANNEXE IV

### PROCÉDURE POUR MESURER LES CRITÈRES DE PERFORMANCE DES DAC

#### THD

Pour calculer le THD, on génère d'abord un signal sinusoïdal avec une amplitude de 0,1 dB inférieure à la pleine échelle, soit 15,9 dBu puisque la pleine échelle du cahier des charges est définie à 16 dBu. On conserve une marge de 0,1 dB afin d'éviter la saturation du convertisseur, ce qui pourrait diminuer ses performances. On mesure précisément la fréquence et l'amplitude crête du signal capté par le banc de test et on trouve l'amplitude crête des harmoniques de cette fondamentale. Le THD se calcule ensuite en divisant la puissance des crêtes des harmoniques par la puissance de la fondamentale. Ce résultat peut ensuite s'exprimer en pourcentage en multipliant le résultat par 100 ou en dB en multipliant par 10 fois le logarithme en base 10 de la fraction obtenue. Il est à noter que la plupart des fabricants ne conservent que les cinq premières harmoniques de la fondamentale pour quantifier ce critère alors que le logiciel WinAudioMLS conserve les 20 premières harmoniques ou celles présentes dans la bande passante du système, selon ce qui est le plus restrictif. De ce fait, les résultats obtenus seront donc nécessairement inférieurs à la spécification du fabricant.

#### THD+N

Pour calculer le THD+N, on utilise simplement la relation entre ce critère, le THD et le SNR. En effet, le THD+N est le rapport entre la puissance contenue dans le signal émis et la puissance de tout autre signal contenu dans la bande passante d'intérêt. Puisque le THD ne mesure que le rapport entre le signal et ses harmoniques et que le SNR ne mesure que le rapport entre le signal et le bruit, à l'exception des harmoniques, il est possible de calculer le THD+N à l'aide de l'équation (2.13) démontré au Chapitre 1.

## **SNR**

Pour calculer le SNR, on génère d'abord un signal sinusoïdal avec une amplitude de 0,1 dB inférieure à la pleine échelle pour éviter la saturation. À partir de la FFT du signal capté, on mesure précisément la fréquence et l'amplitude crête du signal capté. On calcule ensuite le ratio entre la puissance de ce signal et celle de tous les autres points de la FFT, à l'exception des harmoniques de la fondamentale générée et des points en dehors de la bande passante d'intérêt. On exprime ce critère de performance en dB en multipliant par 10 fois le logarithme en base 10 du ratio obtenu.

## **SFDR**

Pour déterminer le SFDR, on génère d'abord un signal sinusoïdal avec une amplitude de 0,1 dB inférieure à la pleine échelle pour éviter la saturation. À partir de la FFT du signal capté, on mesure précisément l'amplitude crête du signal capté et celle du prochain point ayant la plus grande valeur, peu importe qu'il s'agisse d'une harmonique de la fondamentale ou pas. Le SFDR est simplement la différence, exprimée en dB entre ces deux points.

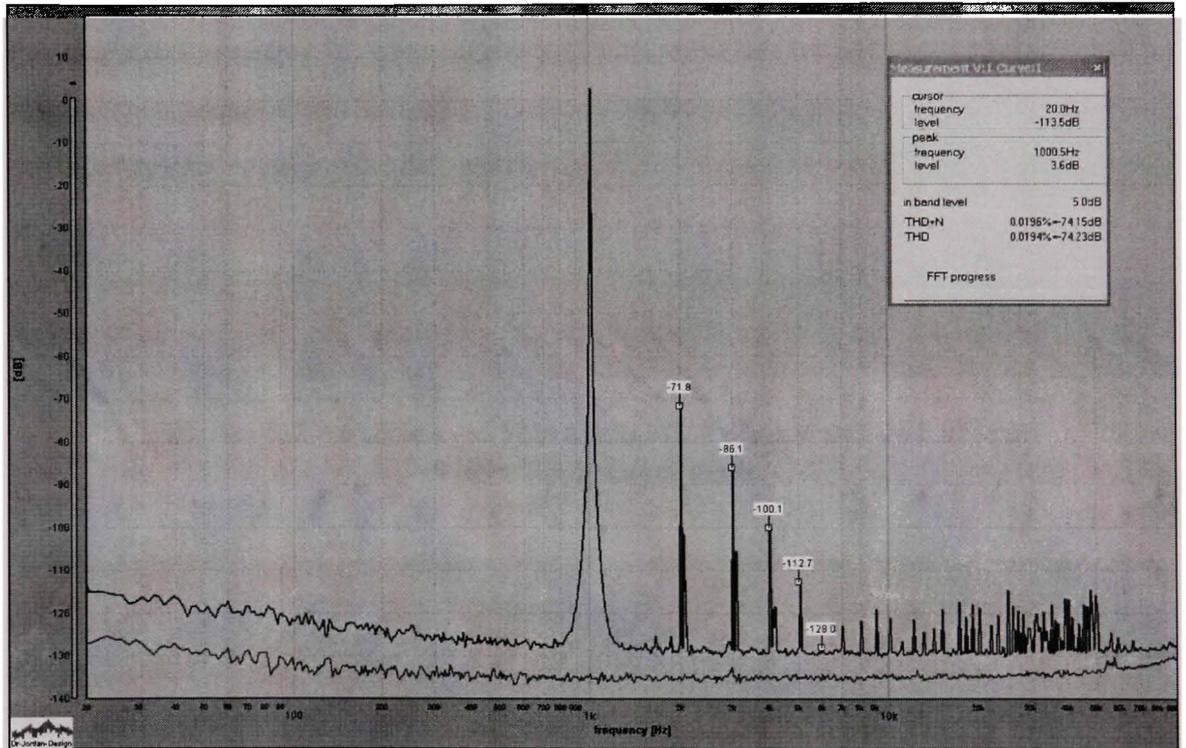
## **IMD**

Pour calculer l'IMD, deux différentes méthodes sont utilisées. La première, qu'on retrouve généralement dans les systèmes de communication, requiert un signal de référence composé de deux sinus de même amplitude et de fréquence proche l'une de l'autre. Cette méthode est conforme à la norme CCIF décrite par M. Metzler (Metzler, 1993b). La deuxième méthode, qu'on retrouve généralement dans le domaine de l'audio professionnel, requiert un signal de référence composé de deux sinus éloignés en fréquence. De plus, l'amplitude du signal à haute fréquence doit avoir une amplitude équivalente au quart de celle à basse fréquence. Cette méthode est conforme à la norme DIN 45403 décrite aussi dans le livre de M. Metzler (Metzler, 1993c). À partir de la FFT du signal capté, on mesure précisément l'amplitude crête des deux sinus captés et des fréquences correspondantes à l'intermodulation entre les deux fréquences du signal de référence tel que calculé dans le Chapitre 2. Il est à noter que, pour la première technique, les fréquences d'intermodulation d'ordre pair se retrouvent

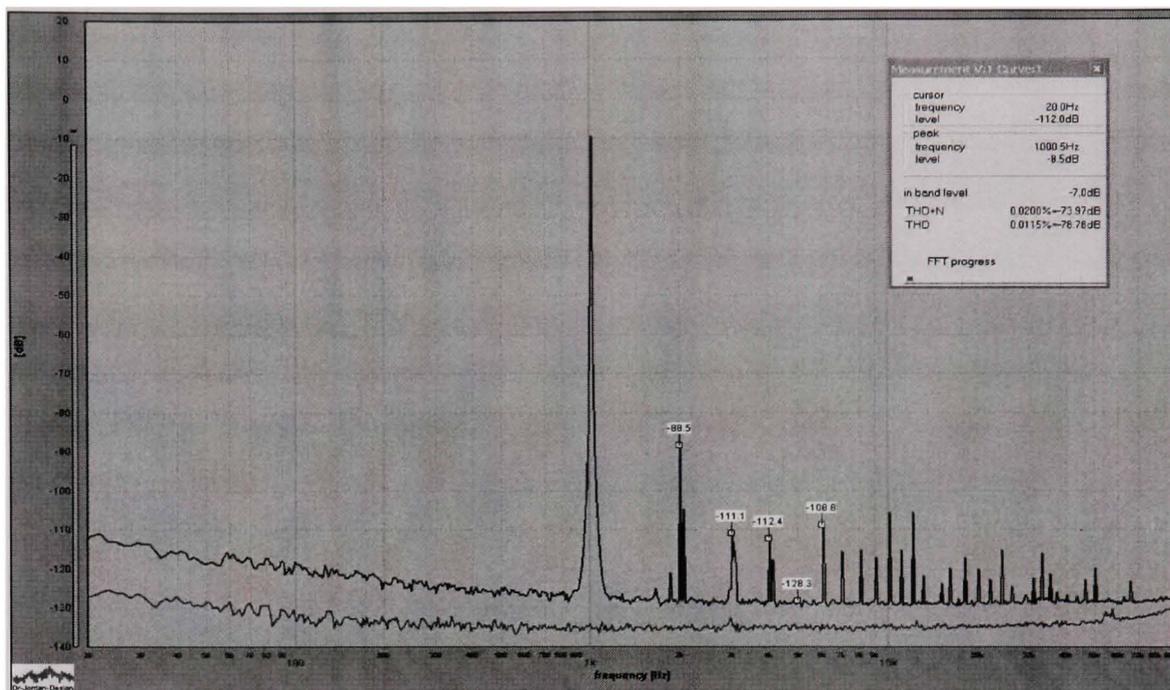
éloignées de part et d'autre du signal de référence et celles d'ordre impair se retrouvent autour du signal de référence. Pour cette raison, le signal de référence est normalement situé dans la limite supérieure de la bande passante du système et on considère uniquement les fréquences d'intermodulation qui se retrouvent dans la bande passante. Pour la deuxième technique, toutes les fréquences d'intermodulation se retrouvent de part et d'autre de la fréquence la plus élevée du signal de référence et elles s'éloignent de cette dernière au fur et à mesure que l'ordre d'intermodulation augmente. C'est pour cette raison que la fréquence élevée du signal de référence doit être suffisamment distante de la fréquence basse pour que toutes les fréquences d'intermodulation mesurées ne recourent pas la fréquence inférieure.

## ANNEXE V

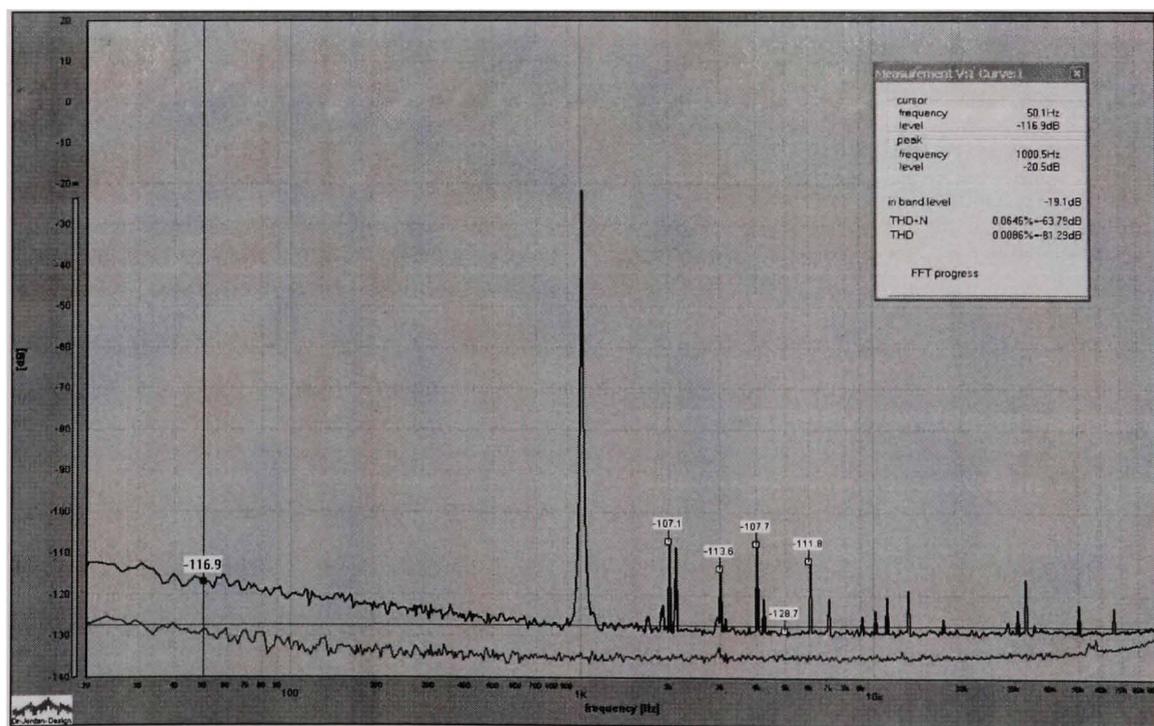
### CAPTURE D'ÉCRAN SUPPLÉMENTAIRES LORS DE LA QUANTIFICATION DES PERFORMANCES DES DAC AUDIO



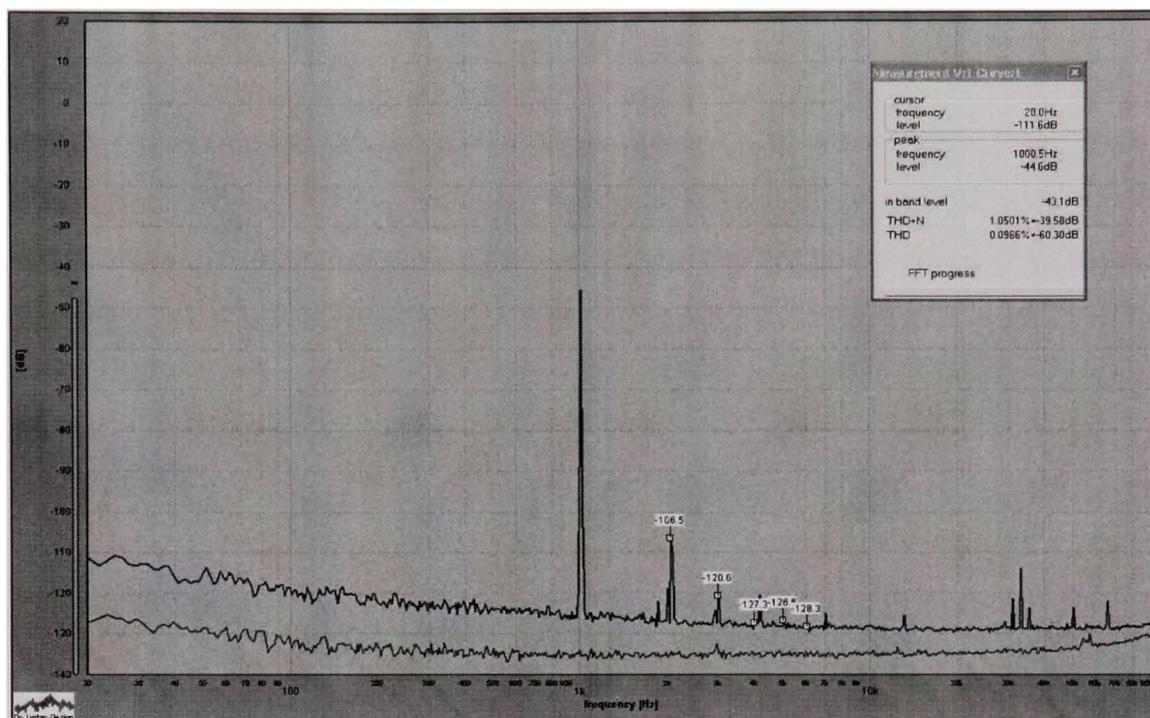
**Figure 5.1** Analyse avec WinAudioMLS d'un sinus de 1 kHz à +4 dBu sur le canal droit.



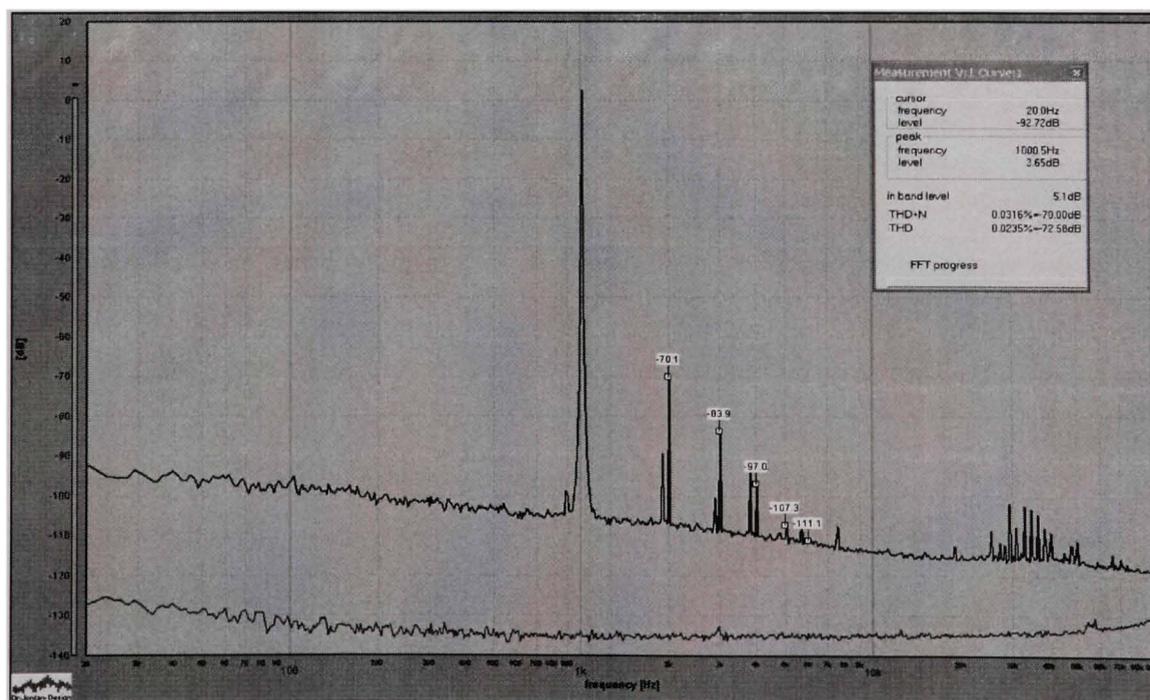
**Figure 5.2** Analyse avec WinAudioMLS d'un sinus de 1 kHz à -8 dBu sur le canal droit.



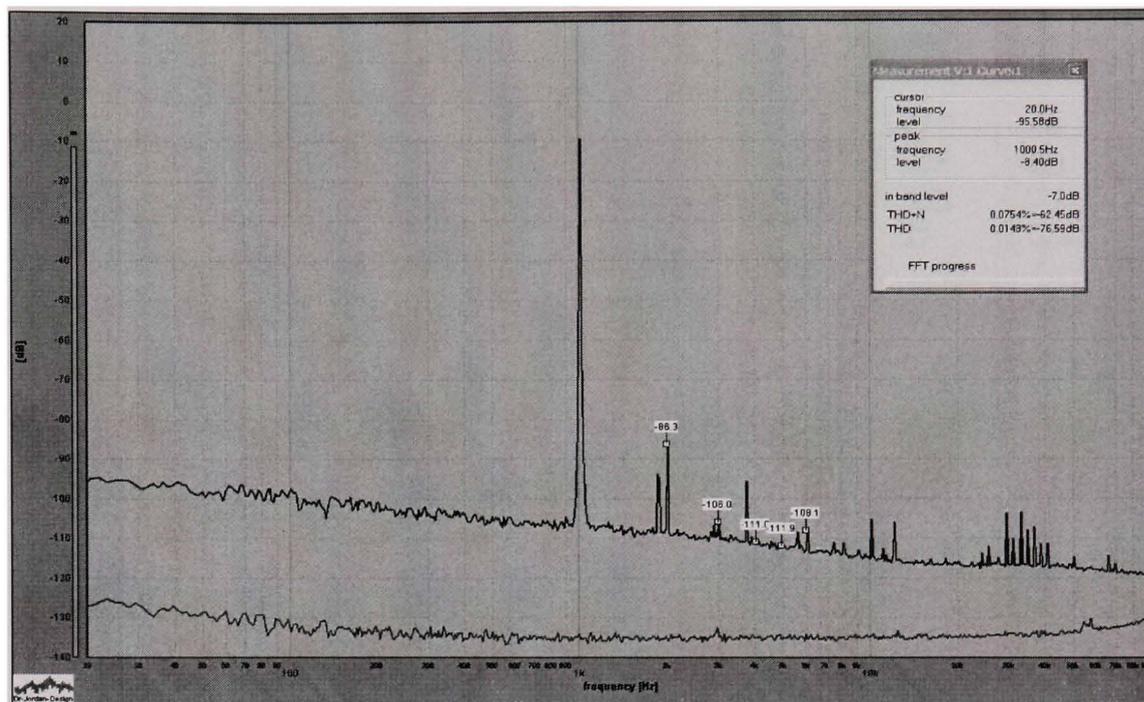
**Figure 5.3** Analyse avec WinAudioMLS d'un sinus de 1 kHz à -20 dBu sur le canal droit.



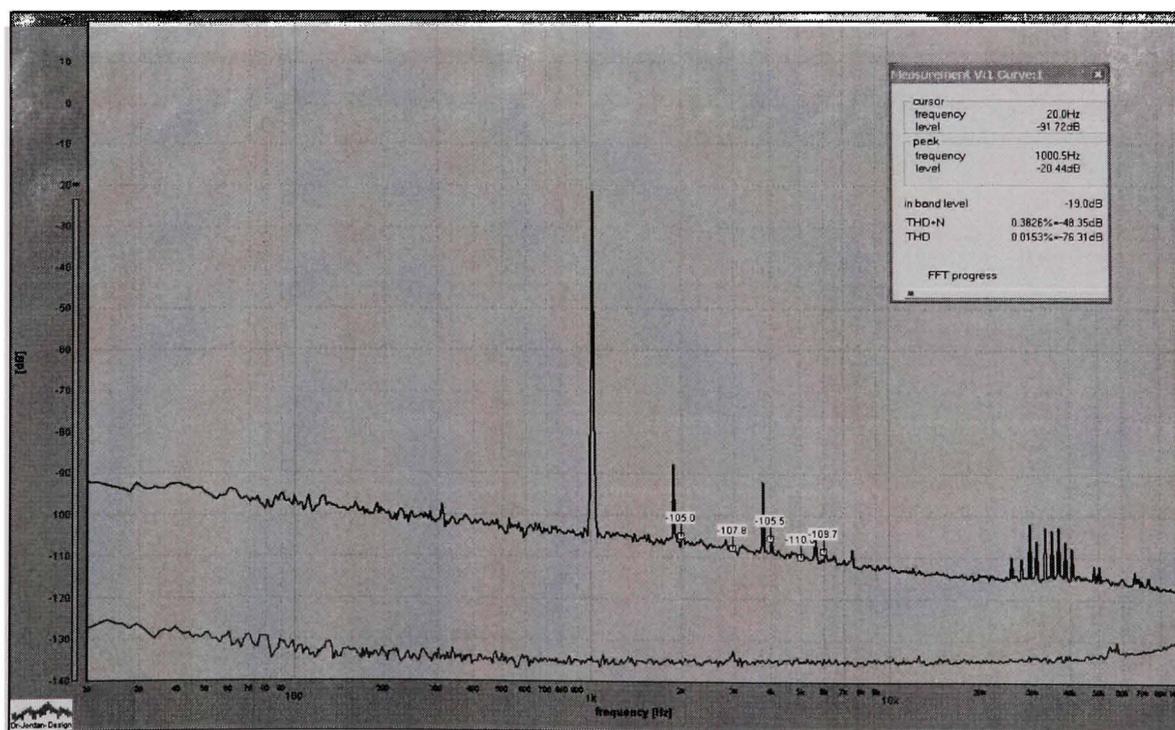
**Figure 5.4** Analyse avec WinAudioMLS d'un sinus de 1 kHz à -44 dBu sur le canal droit.



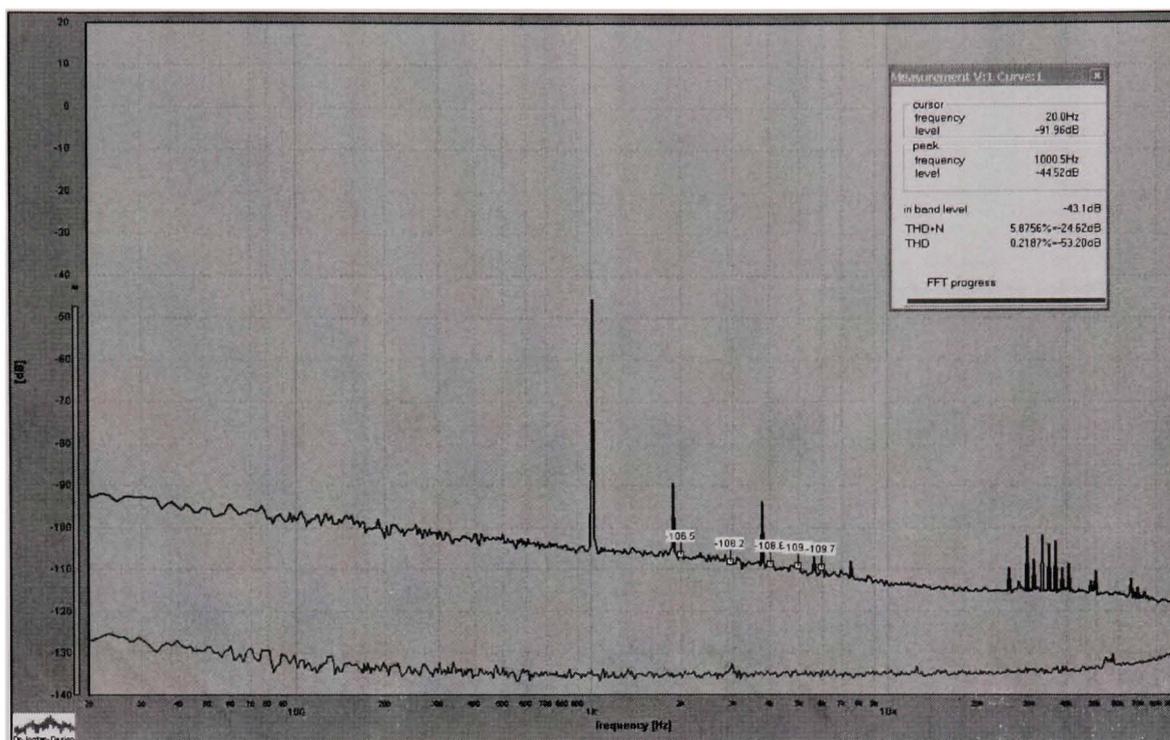
**Figure 5.5** Analyse avec WinAudioMLS d'un sinus de 1 kHz à +4 dBu sur le canal gauche.



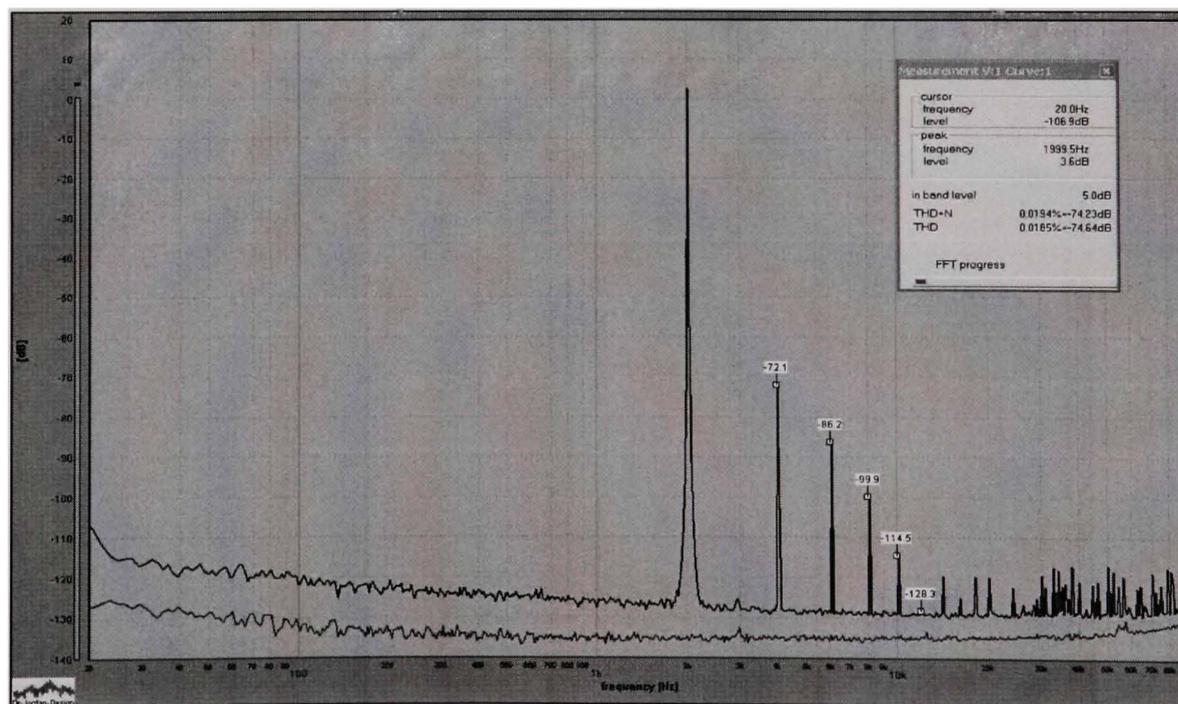
**Figure 5.6** Analyse avec WinAudioMLS d'un sinus de 1 kHz à -8 dBu sur le canal gauche.



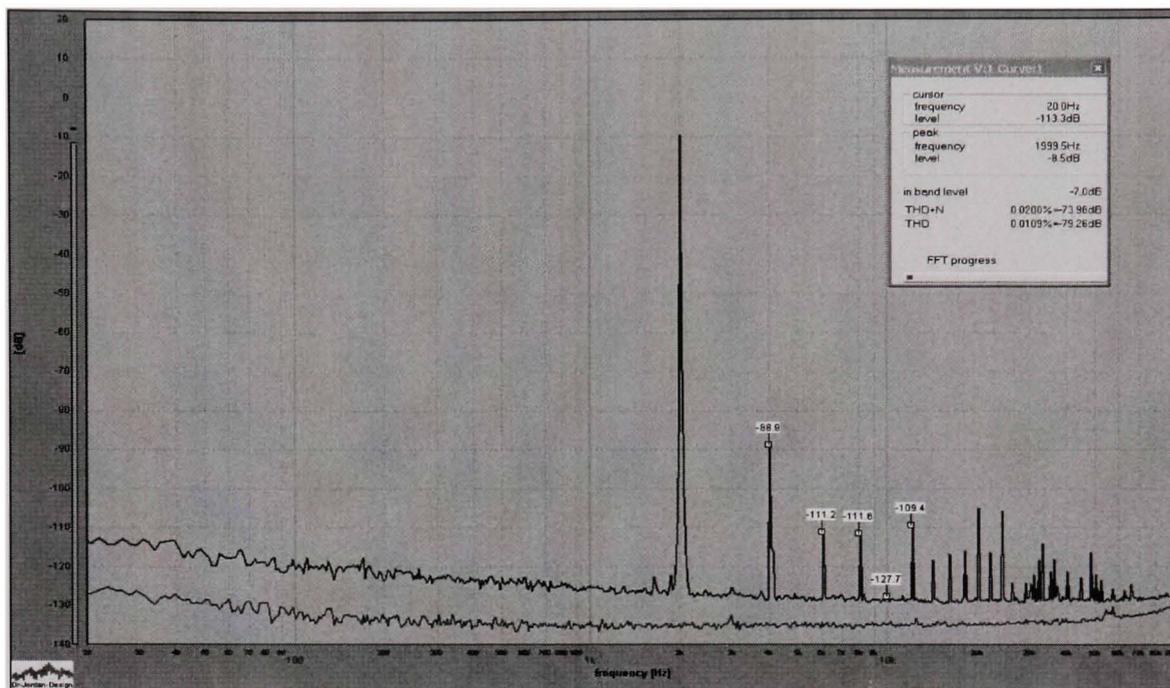
**Figure 5.7** Analyse avec WinAudioMLS d'un sinus de 1 kHz à -20 dBu sur le canal gauche.



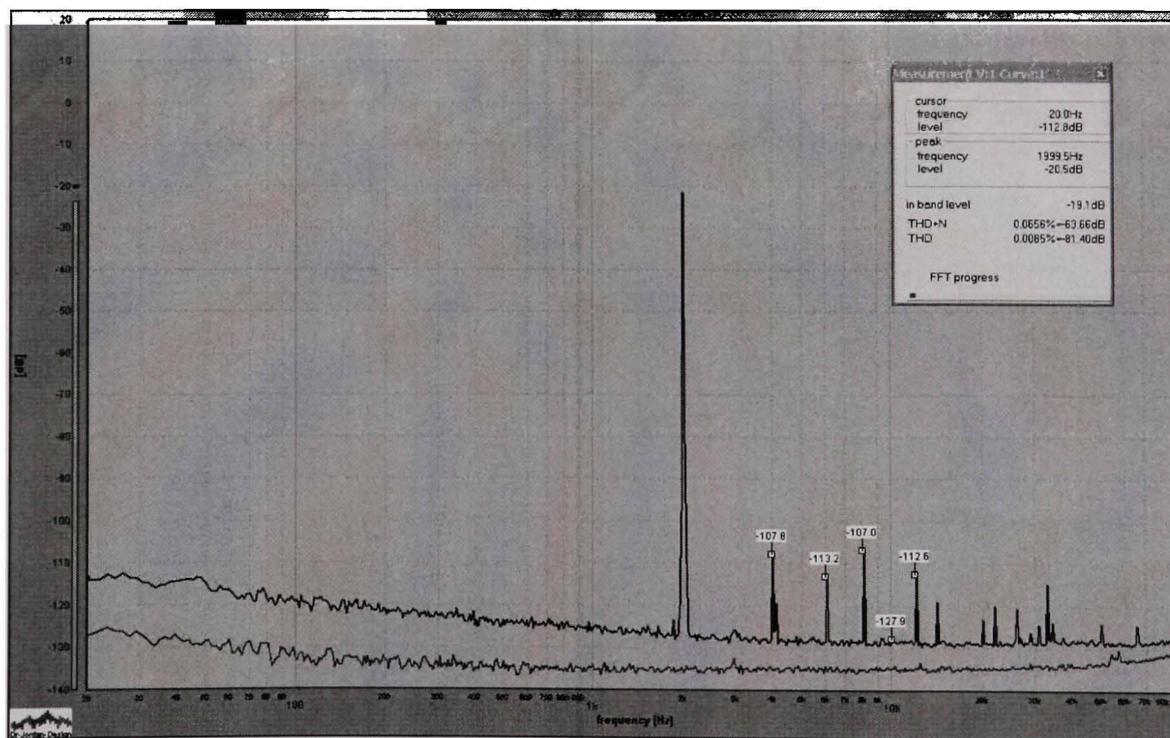
**Figure 5.8** Analyse avec WinAudioMLS d'un sinus de 1 kHz à -44 dBu sur le canal gauche.



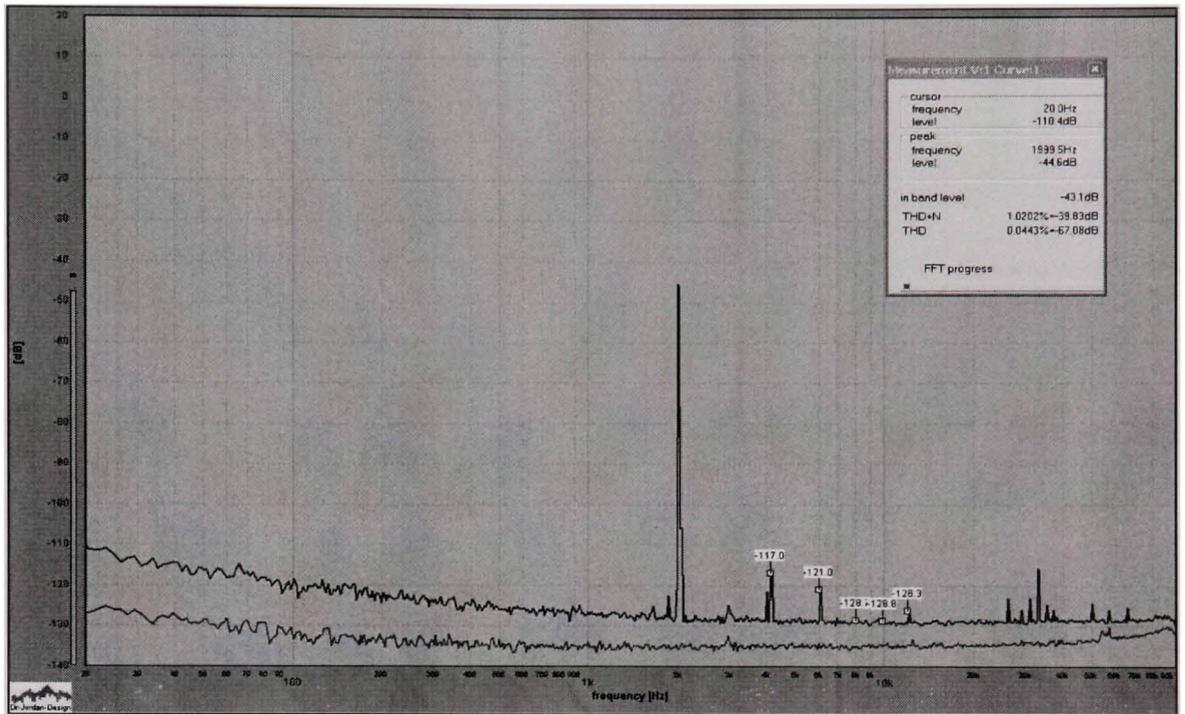
**Figure 5.9** Analyse avec WinAudioMLS d'un sinus de 2 kHz à +4 dBu sur le canal droit.



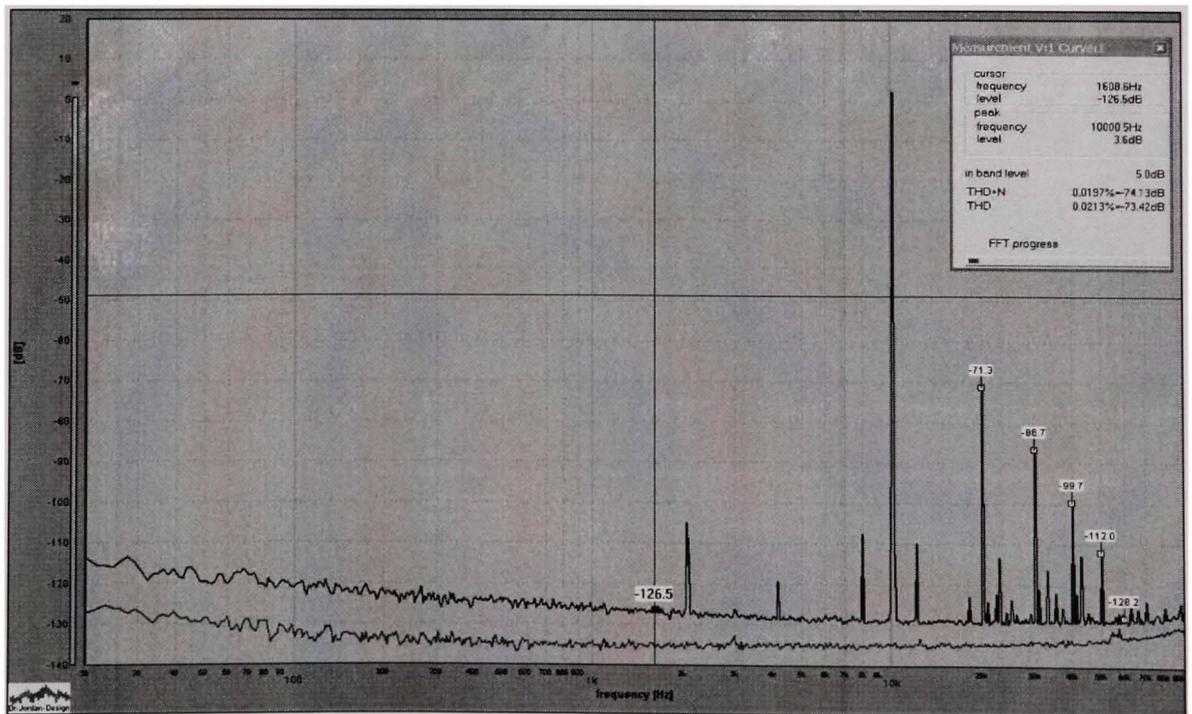
**Figure 5.10** Analyse avec WinAudioMLS d'un sinus de 2 kHz à -8 dBu sur le canal droit.



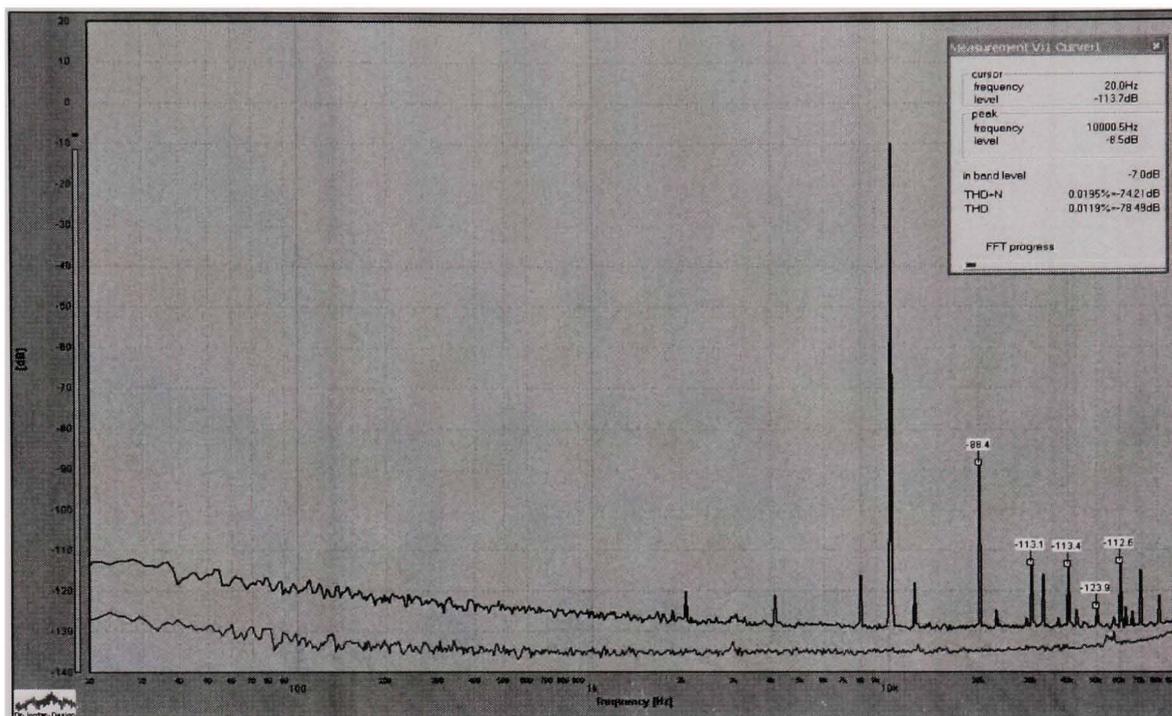
**Figure 5.11** Analyse avec WinAudioMLS d'un sinus de 2 kHz à -20 dBu sur le canal droit.



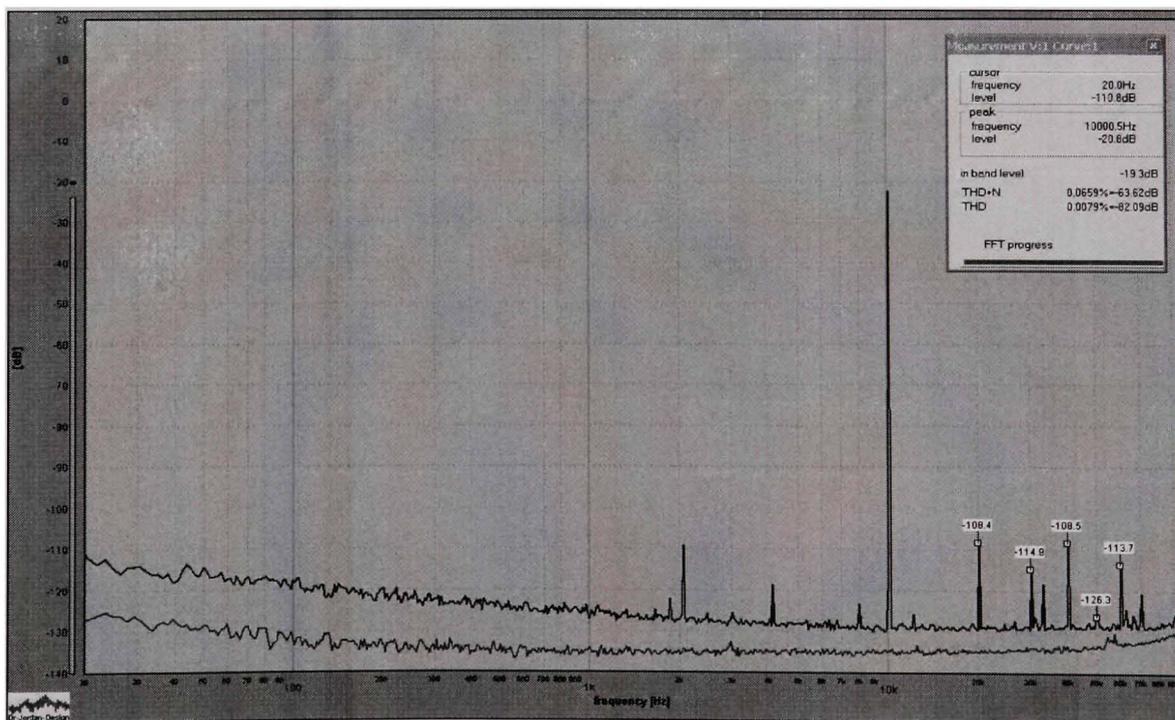
**Figure 5.12** Analyse avec WinAudioMLS d'un sinus de 2 kHz à -44 dBu sur le canal droit.



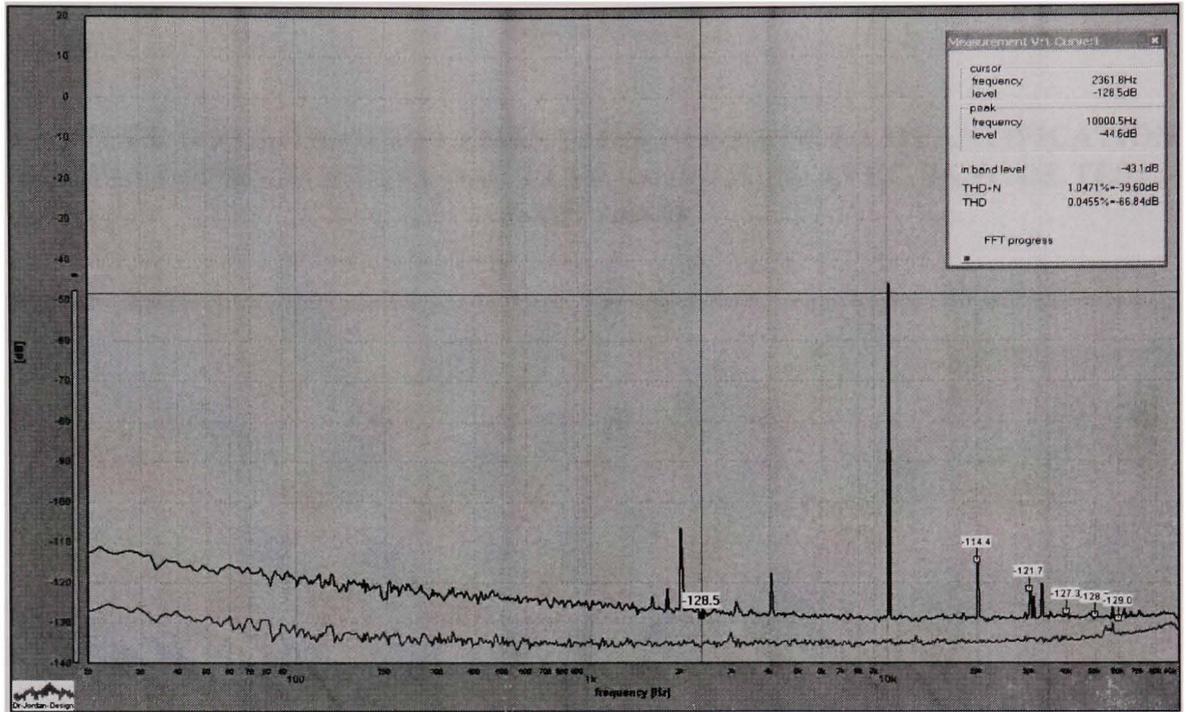
**Figure 5.13** Analyse avec WinAudioMLS d'un sinus de 10 kHz à +4 dBu sur le canal droit.



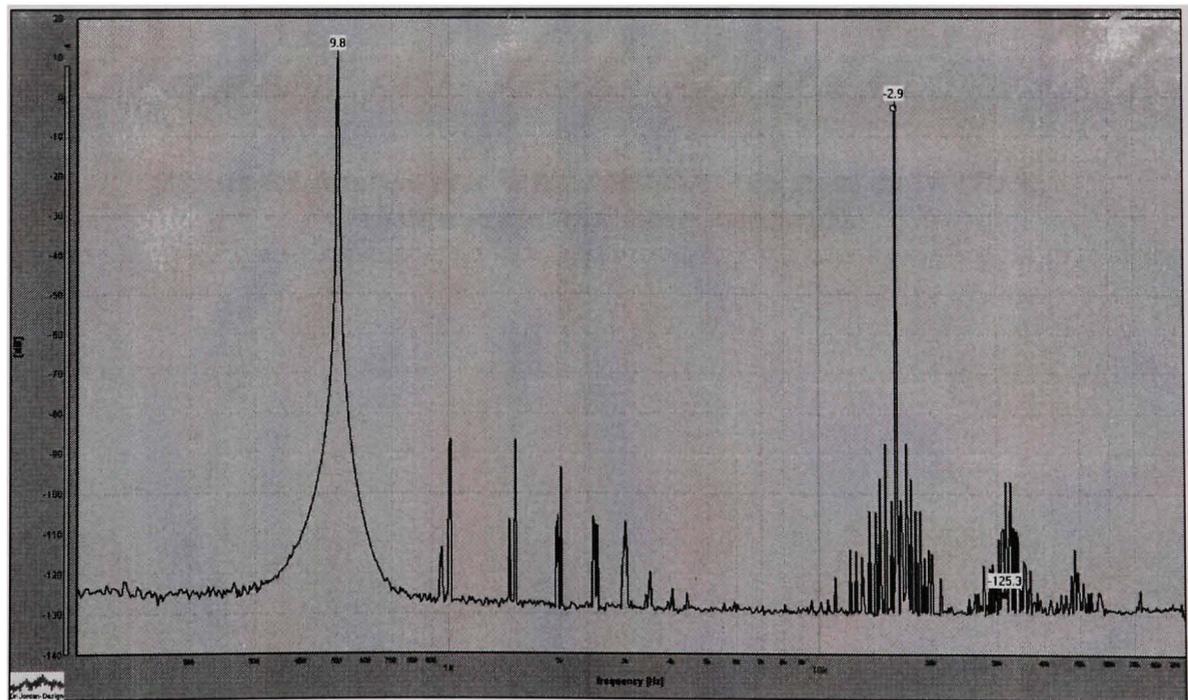
**Figure 5.14** Analyse avec WinAudioMLS d'un sinus de 10 kHz à -8 dBu sur le canal droit.



**Figure 5.15** Analyse avec WinAudioMLS d'un sinus de 10 kHz à -20 dBu sur le canal droit.



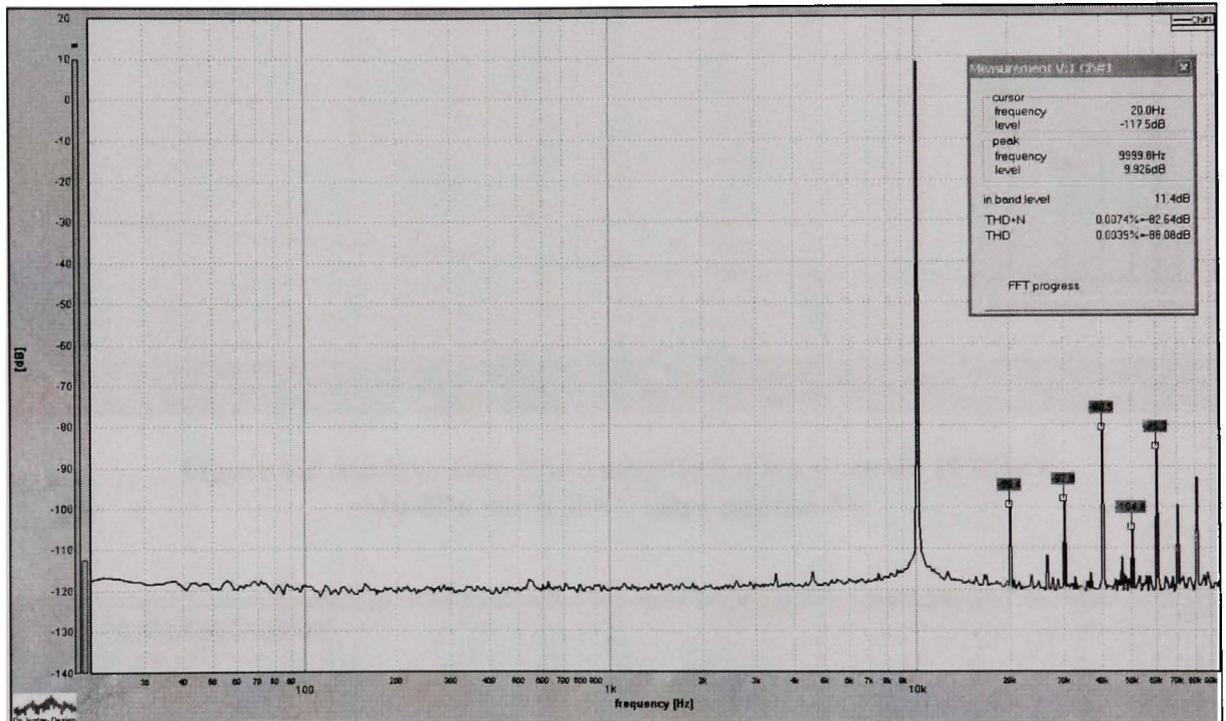
**Figure 5.16** Analyse avec WinAudioMLS d'un sinus de 10 kHz à -44 dBu sur le canal droit.



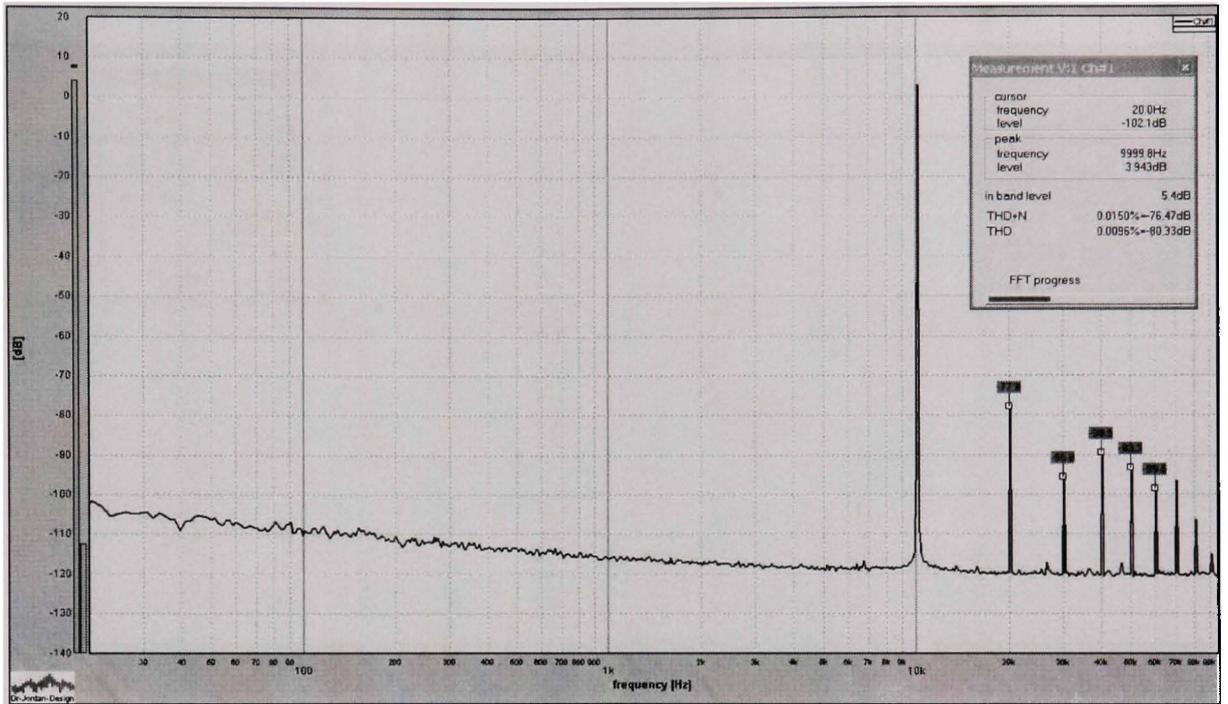
**Figure 5.17** Capture avec WinaudioMLS du test d'IMD avec 500 Hz de 10 dBu et 16 kHz de -2 dBu.

## ANNEXE VI

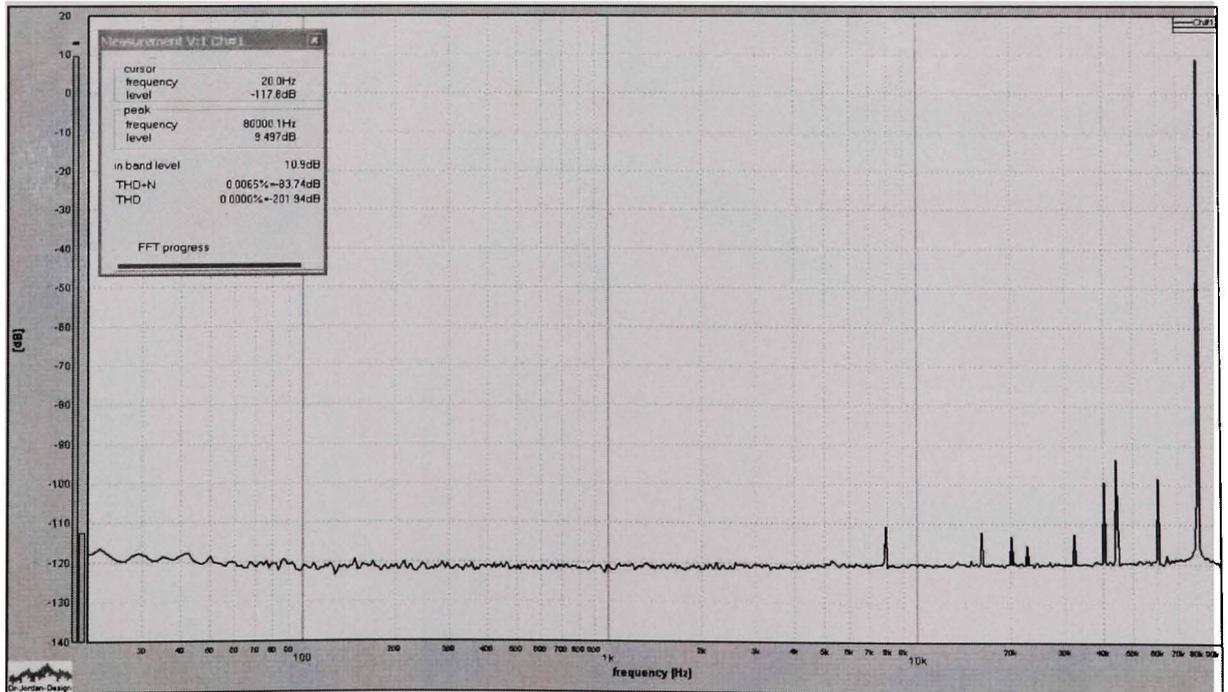
### CAPTURE D'ÉCRANS SUPPLÉMENTAIRES LORS DE LA QUANTIFICATION DES PERFORMANCES DES DAC ULTRASONIQUES AVEC BANC DE TESTS E-MU 1616M



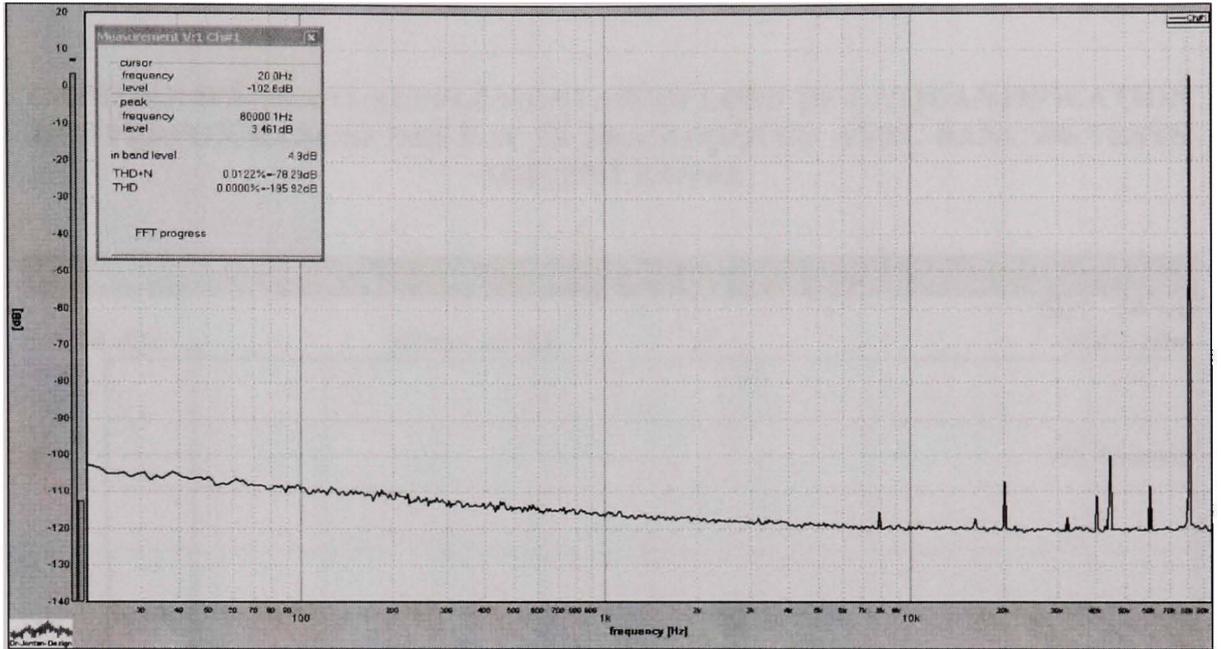
**Figure 6.1** Analyse avec WinAudioMLS d'un sinus de 10 kHz à +16 dBu sur le DAC ultra gauche 8X.



**Figure 6.2** Analyse avec WinAudioMLS d'un sinus de 10 kHz à +10 dBu sur le DAC ultra gauche 8X.



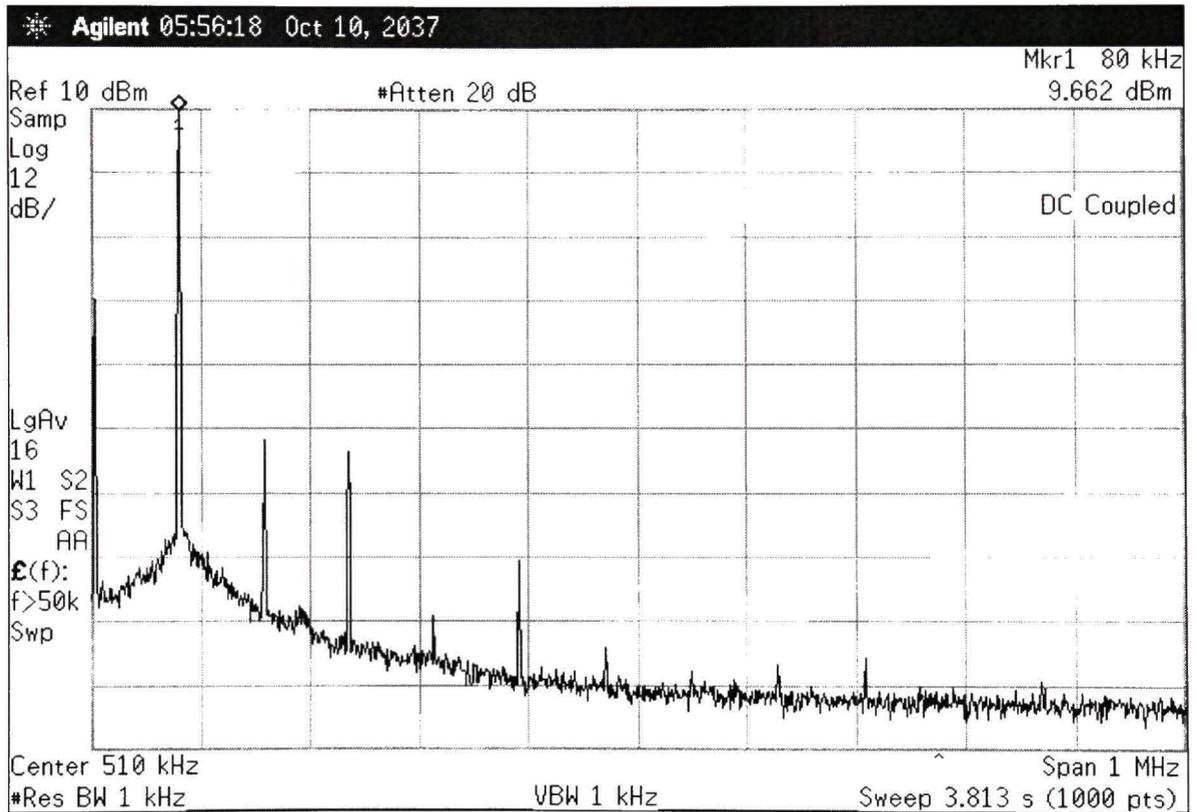
**Figure 6.3** Analyse avec WinAudioMLS d'un sinus de 80 kHz à +16 dBu sur le DAC ultra gauche 8X.



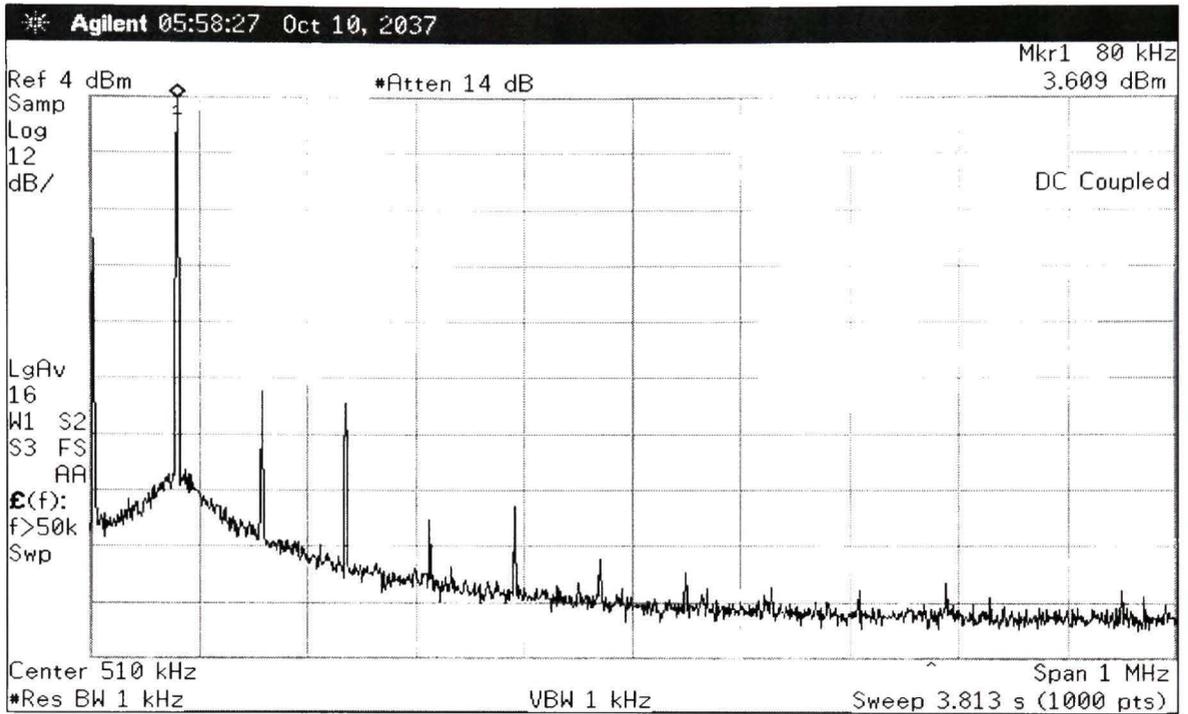
**Figure 6.4 Analyse avec WinAudioMLS d'un sinus de 80 kHz à +10 dBu sur le DAC ultra gauche 8X.**

## ANNEXE VII

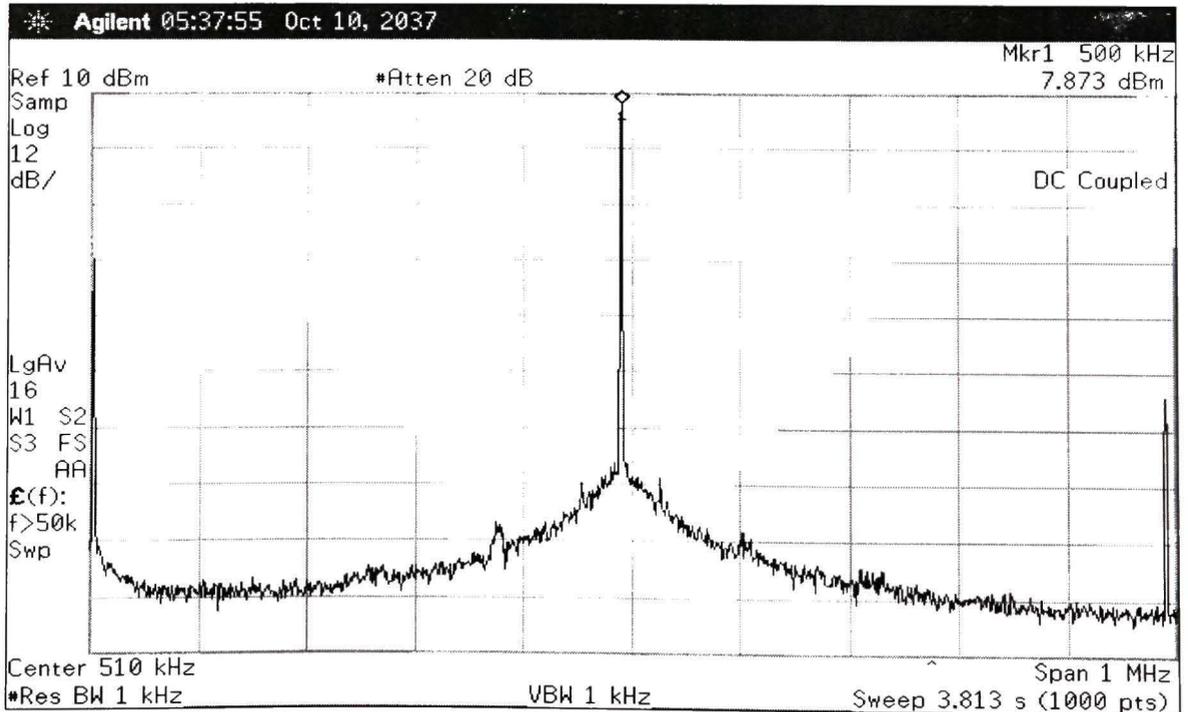
### CAPTURE D'ÉCRANS SUPPLÉMENTAIRES LORS DE LA QUANTIFICATION DES PERFORMANCES DES DAC ULTRASONIQUES AVEC BANC DE TESTS AGILENT E4440A



**Figure 7.1 Analyse avec E4440A d'un sinus de 80 kHz à +16 dBu sur le DAC ultra droit avec interpolation 8X.**



**Figure 7.2** Analyse avec E4440A d'un sinus de 80 kHz à +10 dBu sur le DAC ultra droit avec interpolation 8X.



**Figure 7.3** Analyse avec E4440A d'un sinus de 500 kHz à +16 dBu sur le DAC ultra droit avec interpolation 8X.

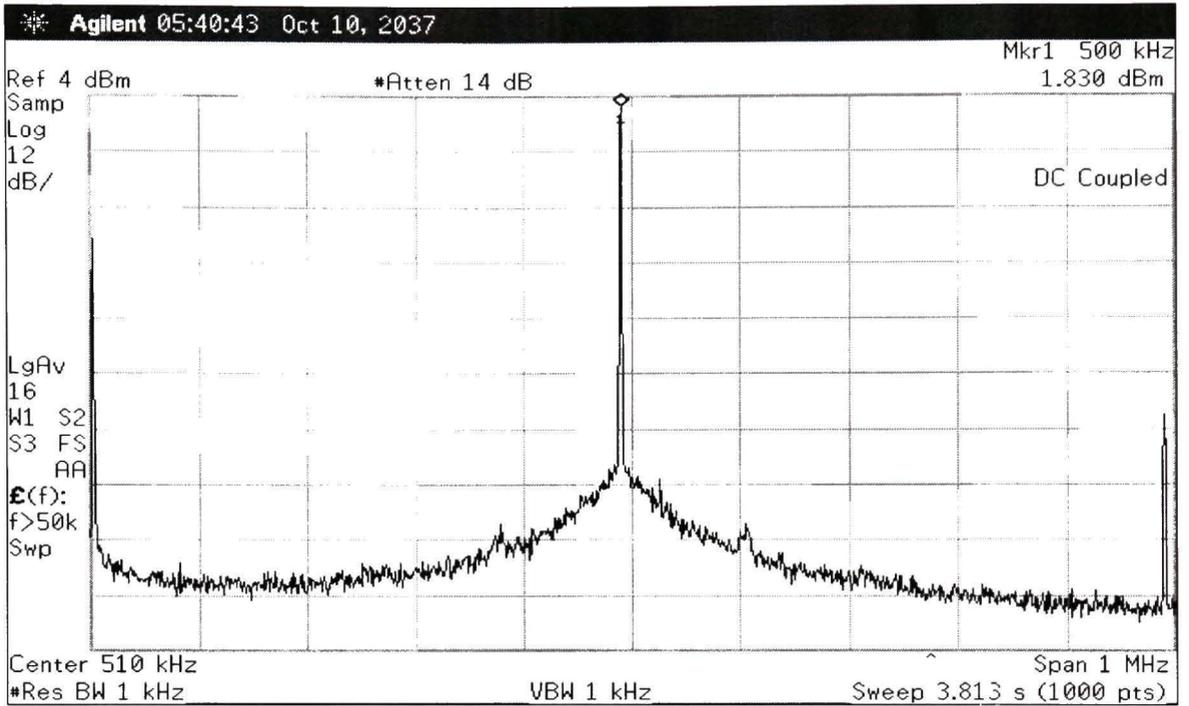


Figure 7.4 Analyse avec E4440A d'un sinus de 500 kHz à +10 dBu sur le DAC ultra droit avec interpolation 8X.

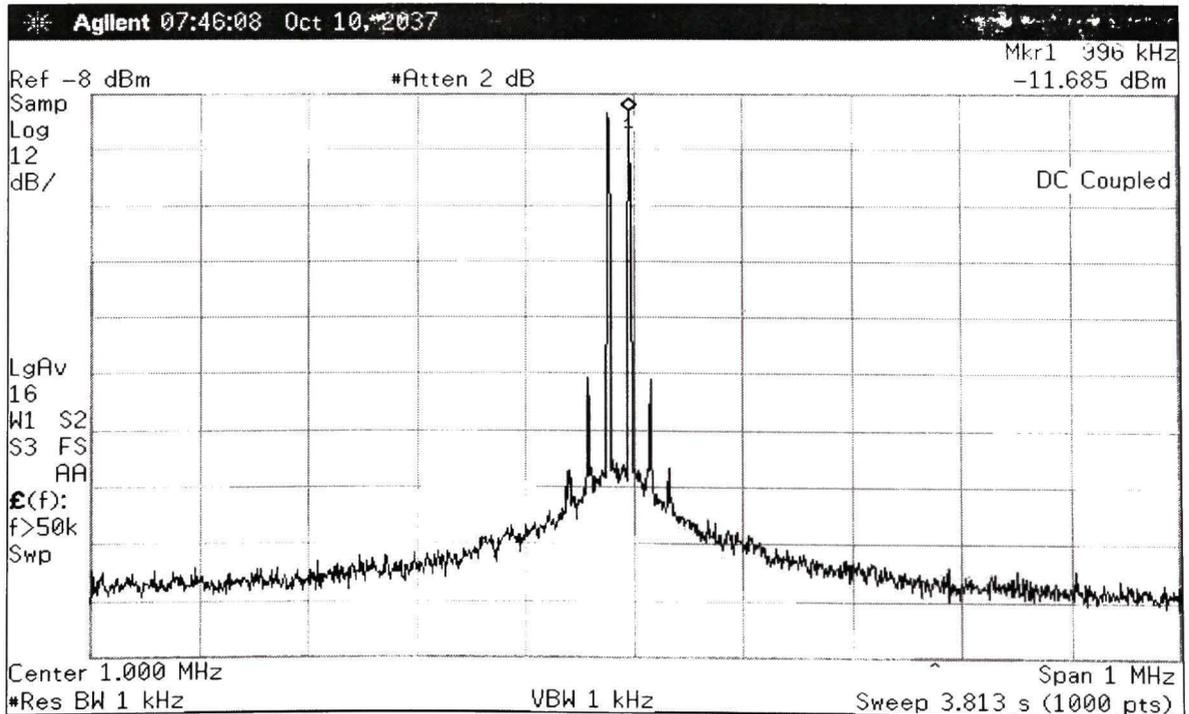
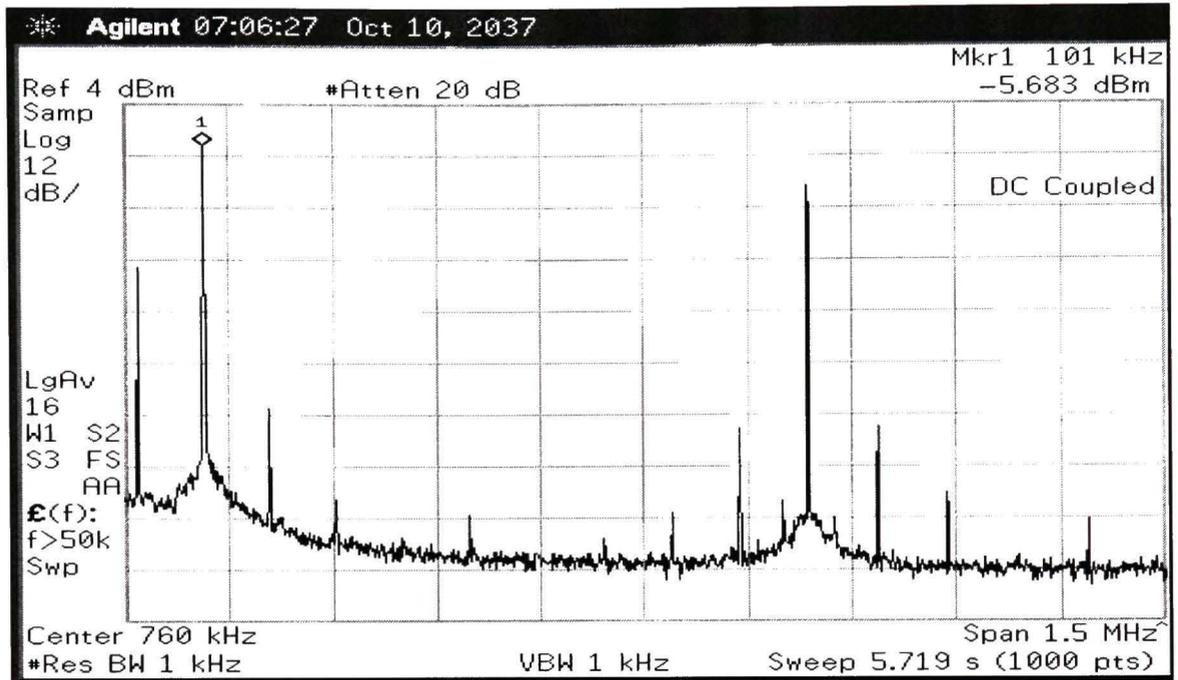
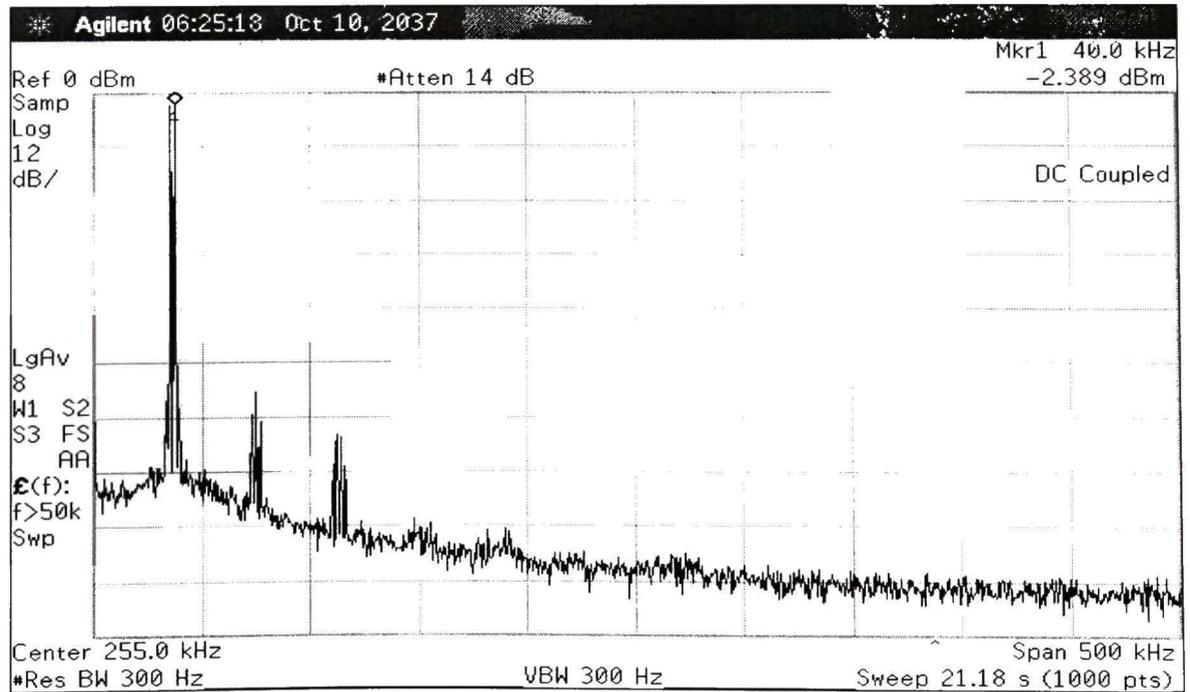


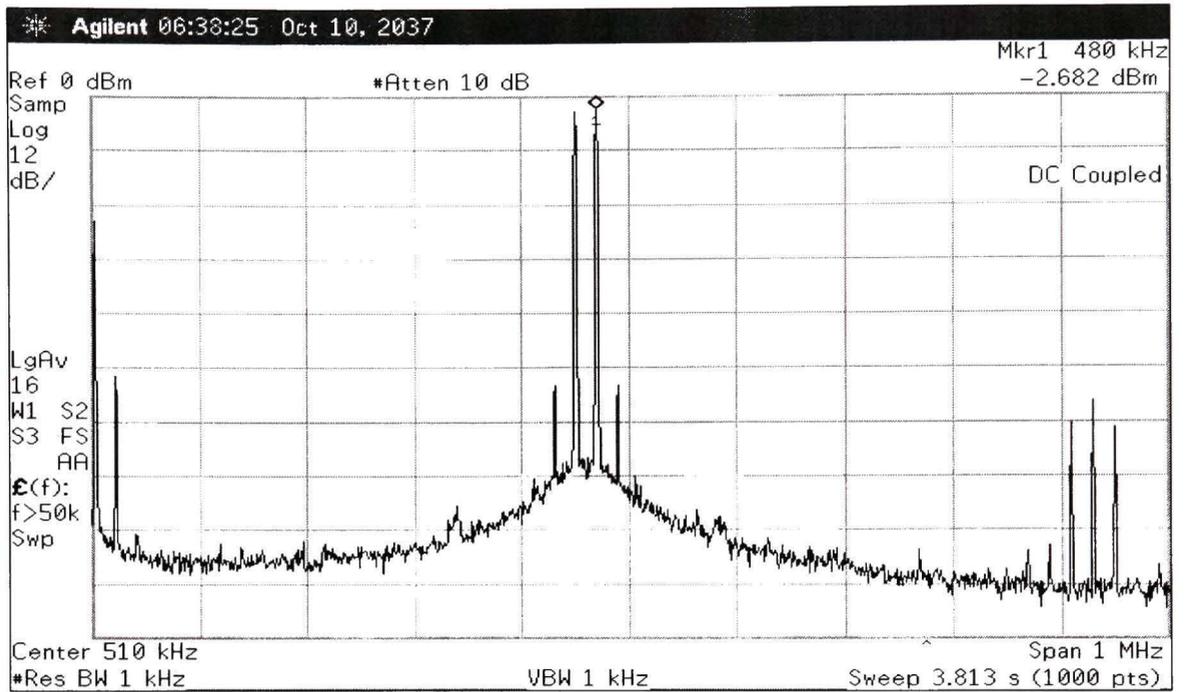
Figure 7.5 Test d'IMD avec 976 kHz et 996 kHz de -12 dBu sur DAC ultra droit.



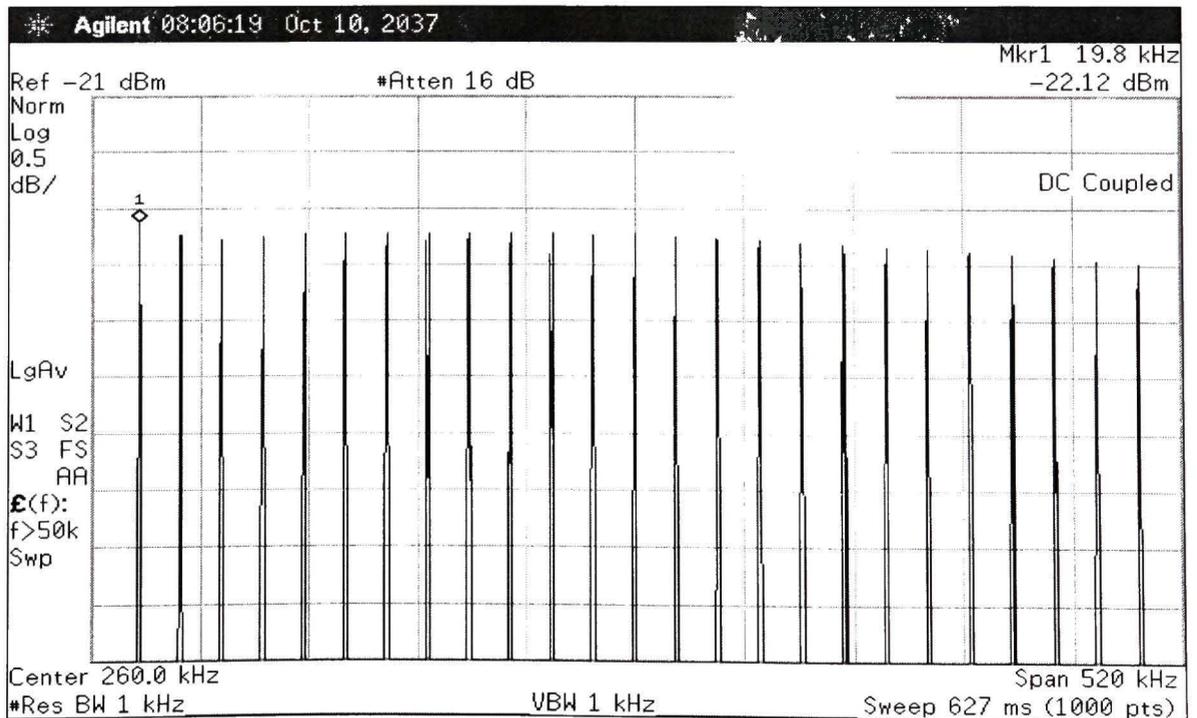
**Figure 7.6 Test d'IMD avec 100 kHz de -6 dBm et 1 MHz de -18 dBm sur DAC ultra droit avec interpolation 8X.**



**Figure 7.7 Test d'IMD avec 38 kHz et 40 kHz de -2 dBu sur DAC ultra droit avec interpolation 8X.**



**Figure 7.8 Test d'IMD avec 460 kHz et 480 kHz de -2 dBm sur DAC ultra droit avec interpolation 8X.**



**Figure 7.9 Test de réponse en fréquence de 20 kHz à 500 kHz avec amplitude de -22 dBm sur DAC ultra droit.**

## ANNEXE VIII

### DESCRIPTION DU COURANT DE SORTIE POUR LES DAC ULTRASONIQUES

<b>AD9776/AD9778/AD9779</b>										
<b>SPECIFICATIONS</b>										
$T_{MIN}$ to $T_{MAX}$ , AVDD33 = 3.3 V, DVDD33 = 3.3 V, DVDD18 = 1.8 V, CVDD18 = 1.8 V, $I_{OUT18}$ = 20 mA, maximum sample rate, unless otherwise noted.										
<b>Table 1. AD9776, AD9778, and AD9779 DC Specifications</b>										
Parameter	AD9776			AD9778			AD9779			Unit
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION	12			14			16			Bits
ACCURACY										
Differential Nonlinearity (DNL)	$\pm 0.1$			$\pm 0.65$			$\pm 2.1$			LSB
Integral Nonlinearity (INL)	$\pm 0.6$			$\pm 1$			$\pm 3.7$			LSB
MAIN DAC OUTPUTS										
Offset Error	-0.001	0	+0.001	-0.001	0	+0.001	-0.001	0	+0.001	% FSR
Gain Error (with Internal Reference)	$\pm 2$			$\pm 2$			$\pm 2$			% FSR
Full-Scale Output Current <sup>1</sup>	8.66	20.2	31.66	8.66	20.2	31.66	8.66	20.2	31.66	mA
Output Compliance Range	-1.0		+1.0	-1.0		+1.0	-1.0		+1.0	V
Output Resistance	10			10			10			M $\Omega$
Gain DAC Monotonicity Guaranteed										

**Figure 8.1 Spécifications de la sortie de courant des DAC du AD9779.**

Tiré d'(Analog Devices, 2005b)

## BIBLIOGRAPHIE

- Analog Devices. 2005a. « AD7760 : 2.5 MSPS, 24-Bit, 100 dB sigma delta ADC With On-Chip Buffer ». En ligne. <<http://www.analog.com/en/analog-to-digital-converters/ad-converters/ad7760/products/product.html>>. Consulté le 5 novembre 2008.
- Analog Devices. 2005b. « AD9776/AD9778/AD9779 : Dual, 12-/14-/16-Bit, 1.0 GSPS D/A Converter ». En ligne. <<http://www.analog.com/en/digital-to-analog-converters/dac-converters/ad9779/products/product.html>>. Consulté le 5 novembre 2008.
- Audio precision. 2008. « AP : Home ». In *Audio precision : THE RECOGNIZED STANDARD IN AUDIO TEST*. En ligne. <<http://ap.com/>>. Consulté le 28 octobre 2008.
- C. Cabot, Richard. 1999. *Fundamentals of Modern Audio Measurement*. Beaverton, États-Unis: Audio Precision, 24 p.
- Caron, Jean. 2005. *Rapport de recherche concernant le projet de communication aquatique par ultrasons*. Rapport de projet synthèse du baccalauréat en génie électrique. Montréal (Qc): École de technologie supérieure, 46 p.
- Caron, Jean. 2006. *Rapport de recherche sur le projet de carte d'acquisition HR-DACADC*. Rapport de projet spécial du baccalauréat en génie électrique. Montréal (Qc): École de technologie supérieure, 39 p.
- E-MU systems. 2008. « Products : E-MU 1616M PCI ». In *E-MU systems*. En ligne. <<http://www.emu.com/products/product.asp?category=505&subcategory=491&product=15189&nav=features>>. Consulté le 16 octobre 2008
- École de technologie supérieure. 2008. « LACIME ». In. En ligne. <<http://www.lacime.etsmtl.ca/>>. Consulté le 10 novembre 2008.
- Guay, Jean-Christophe. 2007. *Transfert de données via le protocole Gigabits Ethernet*. Rapport de projet synthèse du baccalauréat en génie électrique. Montréal (Qc): École de technologie supérieure, 106 p.
- Jordan, Frank. 2007. « WinAudioMLS ». In *Dr-Jordan-Design*. En ligne. <<http://www.dr-jordan-design.de/Winaudiomls.htm>>. Consulté le 16 octobre 2008
- Jungo Ltd. 2008. « USB Analyzers : USB Explorer 200 ». In. En ligne. <[http://www.jungo.com/st/usb\\_explorer.html](http://www.jungo.com/st/usb_explorer.html)>. Consulté le 10 novembre 2008.
- Kester, Walt. 2004. *Analog-Digital Conversion*, 1<sup>ère</sup> éd. Norwood, États-Unis: Analog Devices, 1132 p.

- Maxim Integrated Products. 2000. « APPLICATION NOTE 641: ADC and DAC Glossary ». En ligne. <[http://www.maxim-ic.com/appnotes.cfm/an\\_pk/641](http://www.maxim-ic.com/appnotes.cfm/an_pk/641)>. Consulté le 23 avril 2008.
- Metzler, Bob. 1993a. *The Audio Measurement Handbook*, 1<sup>ère</sup> éd. Beaverton, États-Unis: Audio Precision Inc., 178 p.
- Metzler, Bob. 1993b. « Intermodulation Distortion (IMD) : CCIF, Twin Tone, Difference Tone IMD ». In *The Audio Measurement Handbook* sous la dir. de Metzler, Bob. p. 40-41. Beaverton, États-Unis: Audio Precision.
- Metzler, Bob. 1993c. « Intermodulation Distortion (IMD) : SMPTE/DIN IMD ». In *The Audio Measurement Handbook* sous la dir. de Metzler, Bob. p. 37-38. Beaverton, États-Unis: Audio Precision
- Musilab Inc. 2006. *Cahier des charges du projet HR-DACADC*. Coll. « Rapport technique de Musilab ». Drummondville (Qc): Musilab Inc., 7 p.
- Musilab Inc. 2008. « MUSILAB ». In *Technologies du son*. En ligne. <<http://www.musilab.com>>. Consulté le 11 novembre 2008.
- Pleora Technologies Inc. 2008a. « ABOUT GIGE VISION ». In *Le site de Pleora technologies : High-performance imaging data and video over Ethernet*. En ligne. <<http://www.pleora.com/gige/index.php>>. Consulté le 21 octobre 2008
- Pleora Technologies Inc. 2008b. « Products : iPORT™ Hydra™ PC Communications Software ». In *Pleora Technologies : High-performance imaging data and video over Ethernet*. En ligne. <[http://www.pleora.com/products/iport\\_hydra.php?type=custom](http://www.pleora.com/products/iport_hydra.php?type=custom)>. Consulté le 2 septembre 2008
- Texas Instrument. 2001. « TLE208x, TLE208xA, TLE208xY : EXCALIBUR HIGH-SPEED JFET-INPUT OPERATIONAL AMPLIFIERS ». En ligne. <<http://focus.ti.com/lit/ds/symlink/tle2082.pdf>>. Consulté le 5 novembre 2008.
- Texas Instrument. 2006. « PCM1794A : 24-BIT, 192-kHz SAMPLING, ADVANCED SEGMENT, AUDIO STEREO DIGITAL-TO-ANALOG CONVERTER ». En ligne. <<http://focus.ti.com/docs/prod/folders/print/pcm1794a.html>>. Consulté le 5 novembre 2008.
- USB Implementers Forum Inc. 2008. « Document : USB 2.0 Specification ». En ligne. <<http://www.usb.org/developers/docs/>>. Consulté le 9 octobre 2008