

Amplificateur et détecteur d'enveloppe large-bande pour la
polarisation dynamique des amplificateurs RF CMOS en
rétroaction positive d'enveloppe

par

Philippe BOURGAULT

MÉMOIRE PRÉSENTÉ À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
COMME EXIGENCE PARTIELLE À L'OBTENTION DE LA MAÎTRISE
AVEC MÉMOIRE
M. Sc. A.

MONTRÉAL, LE 7 JUIN 2023

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC



Philippe Bourgault, 2023



Cette licence Creative Commons signifie qu'il est permis de diffuser, d'imprimer ou de sauvegarder sur un autre support une partie ou la totalité de cette oeuvre à condition de mentionner l'auteur, que ces utilisations soient faites à des fins non commerciales et que le contenu de l'oeuvre n'ait pas été modifié.

PRÉSENTATION DU JURY

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE:

M. Nicolas Constantin, Directeur de mémoire
Département de génie électrique à l'École de Technologie Supérieure

M. Ambrish Chandra, Président du jury
Département de génie électrique à l'École de Technologie Supérieure

M. Richard Al Hadi, Membre du jury
Département de génie électrique à l'École de Technologie Supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 1ER JUIN 2023

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

Avant tout, ce projet a été rendu possible grâce à des partenaires importants et des ressources techniques interne et externe à l'École de technologie supérieure. Notamment, CMC Microsystems est un organisme canadien qui permet de fournir aux universités et aux chercheurs des logiciels, des équipements, de la formation et de l'assistance technique. Chacun de ces aspects a été utile lors de la réalisation de mon projet de recherche au cours des deux dernières années. Pour le domaine de la microélectronique au Canada, CMC s'occupe de faire le lien entre les universités et les compagnies de fabrication, ce qui ne serait pas envisageable sans eux dû au prix important de développement des technologies CMOS avancées et des réglementations sur la propriété intellectuelle qui les encadre. Dans le cas de ce projet, CMC m'a permis d'accéder aux logiciels de conception et de simulation ainsi que la technologie CMOS 180 nm de TSMC.

Ce projet a aussi été rendu possible grâce aux ressources financières qui m'ont été attribuées durant ces deux dernières années. Notamment, la bourse du CRSNG que j'ai obtenue en 2021 ainsi que la bourse d'excellence de l'ÉTS que j'ai obtenue durant mes deux années à la maîtrise.

Beaucoup de soutien est venu de la part du personnel de l'ÉTS tout au long du projet. Notamment les membres de l'équipe du LACIME dont Normand Gravel et Mathieu Gratuze dont je tiens à remercier puisqu'ils m'ont fourni un support continu, ils m'ont partagé leurs savoirs techniques et ils m'ont offert des formations pratiques pertinentes qui seront utiles pour mon travail dans l'industrie. De plus, j'aimerais remercier André Zalzal pour son aide à différentes étapes dans la fabrication et la réalisation de ce projet de recherche.

Un remerciement particulier à mon directeur de recherche, M. Nicolas Constantin, professeur au département de génie électrique à l'École de technologie supérieure, qui m'a incité à persévérer dans le domaine de la microélectronique analogique et surtout, il m'a partagé ses connaissances qui me seront d'une grande valeur tout au long de ma carrière professionnelle. Son aide et son expertise dans le domaine m'ont apporté énormément et il m'a toujours incité à aller au fond des choses pour mieux comprendre les compromis de conception.

Bien évidemment, je garde le mot de la fin pour remercier les membres de ma famille, Martine, Alain et Simon, pour leur soutien tout au long de mes études jusqu'à l'accomplissement de ce mémoire.

Amplificateur et détecteur d'enveloppe large-bande pour la polarisation dynamique des amplificateurs RF CMOS en rétroaction positive d'enveloppe

Philippe BOURGAULT

RÉSUMÉ

La technologie de 5e génération (5G) pour les communications mobiles vise une augmentation considérable du nombre d'appareils sur le réseau en plus d'augmenter la bande passante pour offrir plus de débits aux usagers. Bien que ces changements soient bénéfiques pour les applications mobiles, les appareils IoT, les voitures autonomes, etc., ceux-ci ajoutent une pression sur le système matériel en place, notamment au niveau des performances, incluant la consommation énergétique. L'amplificateur de puissance radiofréquence est souvent l'élément le plus énergivore dans les systèmes mobiles et sa présence est primordiale pour les systèmes sans-fil.

Plusieurs techniques développées dans la littérature ont démontré une amélioration de l'efficacité. Notamment, les approches EER et ET améliorent le compromis d'efficacité et de linéarité. Des approches numériques de prédistorsions permettent aussi l'amélioration de ce compromis. Bien qu'elles offrent d'excellentes performances, ces approches sont complexes, demandent une surface sur puce non négligeable et il pourrait être difficile d'intégrer certaines configurations en technologie CMOS sur une puce unique. Basée sur une technologie développée à l'ÉTS et brevetée par Skyworks Solutions Inc. en 2019, la technique PEF (Positive Envelope Feedback) a déjà démontré un potentiel intéressant comme solution pour l'intégration sur puce unique, pour l'amélioration du compromis d'efficacité et de linéarité des amplificateurs de puissance radiofréquence. La technique utilise la rétroaction positive d'enveloppe (PEF) afin d'ajuster dynamiquement la polarisation de grille de l'amplificateur de puissance. Aussi, cette approche bénéficie d'une large bande passante qui s'avère intéressante pour les systèmes de communication moderne tout en ayant une faible empreinte sur puce.

Un nouveau type de détecteur d'enveloppe radiofréquence a été développé avec la technologie CMOS 180 nm pour une fréquence de 5.4 GHz afin de répondre aux critères spécifiques de la technique PEF. Une caractérisation de la puce en simulation a démontré une bande passante d'enveloppe de 842 MHz avec une consommation statique de 7.5 mW avec une tension d'alimentation de 1.8 V. La faible empreinte sur puce, la simplicité et la bonne réjection de la porteuse rendent cette structure intéressante et compétitive par rapport à d'autres topologies présentes dans la littérature.

Un amplificateur radiofréquence différentiel avec une structure « stacked-FET » sur deux étages fonctionnant à 5 GHz a été conçu avec la technologie CMOS 180 nm. Les résultats expérimentaux ont démontré un gain de 12.6 dB avec un point de compression de 10.37 dBm. La bande passante à 3 dB a été mesurée à 480 MHz.

Finalement, deux détecteurs d'enveloppe développés dans ce travail ont été ajoutés à la sortie de l'amplificateur dans le but de valider les performances large bande de la technique PEF. Aussi, la grande simplicité d'intégration en comparaison avec les autres techniques d'amélioration

VIII

du compromis d'efficacité et de linéarité retrouvée dans la littérature, a été démontrée. Dans cette configuration, le nouveau détecteur d'enveloppe développé utilise moins de 3.5% de la surface sur puce et une consommation en puissance de moins de 5% par rapport à celle de l'amplificateur radiofréquence.

Mots-clés: détecteur d'enveloppe, amplificateur RF, 5G, polarisation dynamique, rétroaction positive, PEF, linéarisation, CMOS 180 nm

Amplifier and broadband envelope detector for dynamic biasing of CMOS RF amplifiers in positive envelope feedback

Philippe BOURGAULT

ABSTRACT

5th generation (5G) technology for mobile communications aims to dramatically increase the number of devices on the network in addition to increasing bandwidth to offer more speeds to users. Although these changes are beneficial for mobile applications, IoT devices, autonomous cars, etc., they add pressure on the hardware system in place, particularly in terms of performance including energy consumption. The radiofrequency power amplifier is often the most energy-intensive element in mobile systems, and its presence is essential for wireless systems.

Several techniques developed in the literature have demonstrated improved efficacy. In particular, the EER and ET approaches improve the trade-off of efficiency and linearity. Numerical approaches of predistortions also allow the improvement of this trade-off. Although they offer excellent performance, these approaches are complex, require a significant on-chip surface, and it could be difficult to integrate certain configurations in CMOS technology on a single chip. Based on a technology developed at ETS and patented by Skyworks Solutions Inc. in 2019, the PEF (Positive Envelope Feedback) technique has already demonstrated interesting potential as a solution for single-chip integration, for improving the efficiency and linearity trade-off of RF power amplifiers. The technique uses positive envelope feedback to dynamically adjust the gate bias of the power amplifier. Also, this approach benefits from a large bandwidth which proves attractive for modern communication systems while having a small on-chip footprint.

A new type of radio frequency envelope detector has been developed with 180 nm CMOS technology for a frequency of 5.4 GHz in order to meet the specific criteria of the PEF technique. Characterization of the chip in simulation demonstrated an envelope bandwidth of 842 MHz with a static power consumption of 7.5 mW with a supply voltage of 1.8 V. The small on-chip footprint, simplicity, and good carrier rejection make this structure interesting and competitive compared to other topologies in the literature.

A differential radiofrequency amplifier with two stages « stacked-FET » structure operating at 5 GHz has been designed with 180 nm CMOS technology. Experimental results demonstrated a gain of 12.6 dB with a compression point of 10.37 dBm. The 3 dB bandwidth was measured at 480 MHz.

Finally, two envelope detectors developed in this work were added to the output of the amplifier in order to validate the broadband performance of the PEF technique. Also, the great simplicity of integration in comparison with other techniques for improving the efficiency and linearity trade-off found in the literature has been demonstrated. In this configuration, the newly developed envelope detector uses less than 3.5% of the on-chip area and a power consumption of less than 5% compared to that of the radio frequency amplifier.

Keywords: envelope detector, RF amplifier, 5G, dynamic biasing, positive feedback, linearization, CMOS 180 nm

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
0.1 Motivation de recherche	4
0.2 Objectifs de recherche	6
0.3 Plan du mémoire	7
CHAPITRE 1 REVUE DE LITTÉRATURE	9
1.1 Détecteur d'enveloppe	9
1.1.1 Fonctionnement des détecteurs d'enveloppe radiofréquences	12
1.1.1.1 Détecteur à redressement	14
1.1.1.2 Détecteur « square-law »	18
1.1.2 Caractéristiques typiques des détecteurs d'enveloppe	23
1.1.3 Travaux précédents	28
1.1.3.1 Détection dans la région de faible inversion du canal	29
1.1.3.2 Détection dans la région de saturation	30
1.1.3.3 Résumé	31
1.2 Amplificateurs de puissance	31
1.2.1 Technologies de semi-conducteur	32
1.2.2 Classes d'amplification	35
1.2.3 Différentes topologies de montage à transistor	39
1.2.3.1 Source commune / Émetteur commun	40
1.2.3.2 Stacked-FET	41
1.2.4 Critères de performance	43
1.2.4.1 Régime petit-signal	43
1.2.4.2 Régime grand-signal à une tonalité (1-Tone)	45
1.2.4.3 Régime grand-signal à deux tonalités (2-Tone)	48
1.3 Techniques d'amélioration du compromis de performance des amplificateurs de puissances	49
1.3.1 Modulation de l'alimentation	50
1.3.1.1 Elimination et Restauration de l'Enveloppe (EER)	50
1.3.1.2 Suivi de l'Enveloppe (ET)	52
1.3.2 La technique PEF	53
CHAPITRE 2 DÉTECTEUR D'ENVELOPPE	57
2.1 Spécifications	57
2.2 Topologie utilisée	58
2.2.1 Valeur des composants	60
2.2.2 Section 1 : Le détecteur	62
2.2.2.1 Principe de fonctionnement	64
2.2.2.2 Analyse Monte-Carlo	66
2.2.3 Section 2 : Le miroir de courant	67

2.2.4	Section 3 : Le buffer	69
2.3	Critères de performance	70
2.3.1	Réjection de la fréquence fondamentale	70
2.3.2	Réjection des non-linéarités	70
2.3.3	Amplitude de sortie en fonction de la puissance d'entrée	71
2.3.4	Puissance consommée	72
2.3.5	Bande passante	72
2.4	Échéancier de la fabrication du projet	73
2.5	Résultat de simulation	74
2.5.1	Conclusion partielle	77
2.6	Résultats expérimentaux	77
2.6.1	Conversion d'impédance	79
2.6.2	Consommation statique	80
2.6.3	Réponse temporelle	81
2.6.4	Plage dynamique	82
2.6.5	Réjection de la fréquence fondamentale	83
2.6.6	Conclusion partielle	85
2.7	Conclusion	85
CHAPITRE 3 AMPLIFICATEUR RADIOFRÉQUENCE INTÉGRÉ SUR PUCE		87
3.1	Spécifications	87
3.2	Amplificateur différentiel	88
3.2.1	Topologie utilisée	88
3.2.2	Valeur des composants	90
3.2.3	Les plots et les fils d'or	93
3.2.3.1	Enjeux de conception	93
3.2.3.2	Choix de conception	96
3.2.4	Autres éléments de conception	98
3.2.4.1	Diode de protection électrostatique	98
3.2.4.2	Remplissage de métal	98
3.2.4.3	Structure à puits profond de type N	99
3.2.5	Réseau d'adaptation d'impédance	100
3.2.6	Inductance sur puce	102
3.2.7	Évaluation de la stabilité d'un amplificateur multi-étage	103
3.3	Conception d'un circuit imprimé comme support de mesure pour puce RF	104
3.3.1	Trappe RF avec un réseau LC	107
3.4	Résultats de simulation	109
3.4.1	Conclusion partielle	111
3.5	Résultats expérimentaux	112
3.5.1	Performance en courant continu	114
3.5.2	Amplificateur sans détecteur à la sortie (ICFTSPB2)	114
3.5.2.1	Composants utilisés	114
3.5.2.2	Régime petit signal	115

3.5.2.3	Régime grand signal	117
3.5.3	Amplificateur avec les détecteurs reliés à la sortie (ICFTSPB1)	118
3.5.3.1	Composants utilisés	118
3.5.3.2	Régime petit signal	119
3.5.3.3	Régime grand signal	120
3.5.4	Conclusion partielle	122
3.6	Conclusion	123
CHAPITRE 4 AMÉLIORATION DU COMPROMIS DE PERFORMANCE DES AMPLIFICATEURS RADIOFRÉQUENCES		125
4.1	Technique PEF, volet théorique	125
4.1.1	Assurer la stabilité	126
4.1.2	Intégration du PEF à l'amplificateur	129
4.1.3	Autres aspects de conception	132
4.2	Résultats de simulation	132
4.2.1	Conclusion partielle	134
4.3	Résultats expérimentaux	134
4.3.1	Performance des détecteurs d'enveloppe reliés à la sortie de l'amplificateur	135
4.3.2	Caractérisation de l'amplificateur à polarisation statique variable	135
4.3.3	Caractérisation de l'amplificateur à polarisation dynamique en configuration PEF	138
4.4	Conclusion	139
CONCLUSION ET RECOMMANDATIONS		141
5.1	Recommandations	142
ANNEXE I SCHÉMA DE LA PLAQUETTE DE CIRCUIT IMPRIMÉ		145
BIBLIOGRAPHIE		150

LISTE DES TABLEAUX

	Page
Tableau 1.1	Résumé des détecteurs d'enveloppe les plus pertinents dans la littérature 32
Tableau 1.2	Résumé des classes d'amplification 39
Tableau 2.1	Taille des transistors du schéma de la figure 2.1 61
Tableau 3.1	Taille des transistors du schéma de la figure 3.1 91
Tableau 3.2	Taille des composants passifs du schéma de la figure 3.1 91
Tableau 3.3	Capacité estimée par plot de $100\ \mu m$ par $100\ \mu m$ avec l'outil PEX de Calibre dans Cadence 95
Tableau 3.4	Liste des équipements de laboratoire utilisés 113
Tableau 3.5	Valeurs des composants utilisés sur le circuit imprimé pour la version ICFTSPB2 en référence au schéma de la figure 3.1 115
Tableau 3.6	Valeurs des composants utilisés sur le circuit imprimé pour la version ICFTSPB1 en référence au schéma de la figure 3.1 119

LISTE DES FIGURES

	Page
Figure 0.1	Comparaison de la puissance consommée par les modules d'un téléphone intelligent 3
Figure 1.1	Signal radiofréquence modulé en amplitude avec la définition de l'enveloppe sur les pointes du signal 9
Figure 1.2	Schéma du détecteur d'enveloppe composé d'une diode et d'un filtre RC 14
Figure 1.3	Schéma du détecteur d'enveloppe à onde complète composé de diodes et d'un filtre RC 15
Figure 1.4	Réponse fréquentielle du détecteur d'enveloppe de la figure 1.2 15
Figure 1.5	Représentation fréquentielle du développement mathématique présenté à l'équation 1.6 21
Figure 1.6	Représentation fréquentielle du développement mathématique présenté à l'équation 1.8 22
Figure 1.7	Caractéristiques d'une fonction de transfert des détecteurs d'enveloppe 25
Figure 1.8	Caractéristique de la fréquence d'opération idéale 27
Figure 1.9	Caractéristique de la bande passante 28
Figure 1.10	Architecture simplifiée d'un transmetteur radiofréquence tirée de Keysight (2022) 32
Figure 1.11	Schéma simplifié d'une topologie en source commune 41
Figure 1.12	Structure « stacked-FET » avec trois transistors en série pour présenter le fonctionnement 42
Figure 1.13	Relation typique entre la puissance de sortie en fonction de la puissance d'entrée (gauche). Relation typique entre le gain de l'amplificateur en fonction de la puissance de sortie (droite) 46
Figure 1.14	Réponse typique de l'efficacité d'ajout de puissance en fonction de la puissance de sortie 47

Figure 1.15	Spectre fréquentiel d'un signal à deux tonalités à la sortie de l'amplificateur dans la région de compression	49
Figure 1.16	Diagramme d'une architecture EER basé sur Cripps (2006)	51
Figure 1.17	Diagramme d'une architecture ET basé sur Cripps (2006)	52
Figure 1.18	Diagramme d'une architecture PEF basé sur Sharma (2020)	54
Figure 1.19	Graphique du gain en fonction de la puissance de sortie avec une excitation à deux tonalités à 5.4 GHz tirée de Sharma, Constantin & Soliman (2017)	55
Figure 1.20	Graphique de la linéarité (IMD3) en fonction de la puissance de sortie avec une excitation à deux tonalités à 5.4 GHz tirée de Sharma <i>et al.</i> (2017)	55
Figure 2.1	Schéma simplifié du détecteur d'enveloppe	59
Figure 2.2	Schéma bloc du détecteur d'enveloppe	60
Figure 2.3	Schéma simplifié de la section 1 du détecteur d'enveloppe utilisé pour expliquer le concept de détection d'enveloppe	63
Figure 2.4	Distribution de 1000 échantillons sur la réjection du signal d'entrée à une variation de correspondance	66
Figure 2.5	Comparaison de la bande passante avec et sans résistance de grille	68
Figure 2.6	Définition de la réjection du signal d'entrée	71
Figure 2.7	Définition de la réjection des non-linéarités	71
Figure 2.8	Tension en courant continu et amplitude crête de l'enveloppe en fonction de la puissance d'entrée du détecteur	75
Figure 2.9	Amplitude de l'enveloppe simulée en fonction du temps	75
Figure 2.10	Puissance de sortie en bande de base simulée en fonction de la puissance d'entrée	76
Figure 2.11	Caractéristique simulée de réjection de la porteuse et des non-linéarités en fonction de la puissance d'entrée	76
Figure 2.12	Photographie de la puce ICFTSPB3	78

Figure 2.13	Détecteur d'enveloppe (ICFTSPB3) connecté au circuit imprimé avec des fils d'or	79
Figure 2.14	Courant consommé par le détecteur en fonction de la puissance d'entrée	80
Figure 2.15	Capture temporelle d'un signal à deux tonalités avec un espacement de 1 MHz à l'entrée du détecteur (noir) et de l'enveloppe à la sortie du détecteur (bleu)	81
Figure 2.16	Capture temporelle d'un signal à deux tonalités avec un espacement de 80 MHz à l'entrée du détecteur (noir) et de l'enveloppe à la sortie du détecteur (bleu)	82
Figure 2.17	Amplitude des composantes en bande de base à la sortie du détecteur pour une bande passante de 100 kHz	83
Figure 2.18	Amplitude des composantes en bande de base à la sortie du détecteur pour une bande passante de 12 MHz	84
Figure 2.19	Montage en laboratoire utilisé pour caractériser le détecteur d'enveloppe	84
Figure 2.20	Amplitude des composantes à la sortie du détecteur autour de la fréquence porteuse d'entrée	85
Figure 3.1	Schéma de l'amplificateur radiofréquence conçu sur puce	89
Figure 3.2	Disposition des plots de l'amplificateur radiofréquence sur puce	92
Figure 3.3	Photographie de la puce ICFTSPB1	93
Figure 3.4	Photographie de la puce ICFTSPB2 montée sur le PCB avec les fils d'or	94
Figure 3.5	Étapes du placement des fils d'or avec la technique BSOB	97
Figure 3.6	Structure utilisée comme protection ESD avec deux diodes en série	99
Figure 3.7	Vue de coupe d'une structure à puits profond de type N	100
Figure 3.8	Performances de l'inductance spirale simulée avec EMX	102
Figure 3.9	Vue de dessus du circuit imprimé avec les couches de conception	105

Figure 3.10	Vue de coupe de la plaquette de circuit imprimé à 4 couches fabriquée chez JLCPCB	106
Figure 3.11	Dimensions des traces et du placement de la puce pour placer les fils d'or	107
Figure 3.12	Schéma d'un des réseaux LC utilisé pour la réjection du signal radiofréquence sur les alimentations	109
Figure 3.13	Simulation de l'amplificateur ICFTSPB1 en régime petit signal	110
Figure 3.14	Simulation de l'amplificateur ICFTSPB1 en régime grand signal à une excitation à une tonalité de 5.25 GHz	110
Figure 3.15	Simulation de l'amplificateur ICFTSPB1 en régime grand signal à une excitation à deux tonalités à 5.25 GHz avec un espacement de 1 MHz	111
Figure 3.16	Réponse mesurée en régime petit signal de l'amplificateur à une polarisation de 800 mV	116
Figure 3.17	Évaluation de la stabilité aux ports d'entrée et de sortie avec le paramètre μ	116
Figure 3.18	Performance mesurée grand signal de l'amplificateur ICFTSPB2 à une excitation à une tonalité de 5 GHz	117
Figure 3.19	Performance mesurée grand signal de l'amplificateur ICFTSPB2 à une excitation à deux tonalités à une fréquence centrale de 5 GHz avec une bande passante de 760 kHz	118
Figure 3.20	Réponse mesurée en régime petit signal de l'amplificateur à une polarisation de 800 mV	120
Figure 3.21	Évaluation de la stabilité aux ports d'entrée et de sortie avec le paramètre μ	120
Figure 3.22	Performance mesurée grand signal de l'amplificateur ICFTSPB1 à une excitation à une tonalité de 5 GHz	121
Figure 3.23	Performance mesurée grand signal de l'amplificateur ICFTSPB1 à une excitation à deux tonalités à une fréquence centrale de 5 GHz avec une bande passante de 760 kHz	121
Figure 4.1	Schéma bloc simplifié d'un système générique de rétroaction positive	126

Figure 4.2	Schéma bloc de l'amplificateur avec le détecteur d'enveloppe dans une configuration PEF	128
Figure 4.3	Schéma bloc de l'amplificateur avec les détecteurs d'enveloppe dans une configuration PEF pour les deux branches différentielles	129
Figure 4.4	Photographie de la puce ICFTSPB1 avec des fils d'or qui relie la sortie des détecteurs d'enveloppe à la grille des transistors de l'amplificateur en configuration PEF	130
Figure 4.5	Réseau de résistance à la sortie du détecteur d'enveloppe pour ajuster la tension DC du signal d'enveloppe	131
Figure 4.6	Tension en courant continu et amplitude crête de l'enveloppe en fonction de la puissance de sortie de l'amplificateur	133
Figure 4.7	Réjection de la porteuse simulée à la sortie des deux détecteurs d'enveloppe intégrés avec l'amplificateur radiofréquence	133
Figure 4.8	Schéma bloc de la topologie utilisée pour la caractérisation en boucle ouverte	136
Figure 4.9	Caractérisation de l'amplificateur avec un ajustement manuel de la polarisation de grille	137
Figure 4.10	Courant total consommé par les deux étages de l'amplificateur radiofréquence sous différentes conditions de polarisation	138
Figure 4.11	Jaune : espace utilisée par les détecteurs d'enveloppe. Bleu : espace utilisée par l'amplificateur radiofréquence à deux étages	139

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

3GPP	3rd Generation Partnership Project
5G	5e Génération du réseau de télécommunication mobile
AC	Alternating Current
ACPR	Adjacent Channel Power Ratio
AM	Amplitude Modulation
BIST	Built-in Self-Test
BJT	Bipolar Junction Transistor
CDMA	Code Division Multiple Access
CMOS	Complementary Metal Oxide Semiconductor
DC	Direct Current
DSP	Digital Signal Processing
EER	Envelope Elimination and Restauration
ESD	Electrostatic Discharge
ET	Envelope Tracking
ETS	École de Technologie Supérieure
EVM	Error Vector Magnitude
FET	Field Effect Transistor
FM	Frequency Modulation
GaAs	Gallium Arsenide
GaN	Gallium Nitride
IMD3	Third Order Intermodulation
LACIME	Laboratoire de Communications et d'Intégration de la Microélectronique
MIM	Metal Insulator Metal

MPW	Multi-Project Wafer
NMOS	N-Channel Metal Oxide Semiconductor
OFDM	Orthogonal Frequency Division Multiplexing
PA	Power Amplifier
PAE	Power Added Efficiency
PAPR	Peak-to-Average Power Ratio
PCB	Printed Circuit Board
PEF	Positive Envelope Feedback
PM	Phase Modulation
PMOS	P-Channel Metal Oxide Semiconductor
QAM	Quadrature Amplitude Modulation
QPSK	Quadrature Phase Shift Keying
RAI	Réseau d'Adaptation d'Impédance
RF	Radio Frequency
RFIC	Radio Frequency Integrated Circuit
RMS	Root Mean Square
SOI	Silicon On Insulator
THD	Total Harmonic Distortion
TSMC	Taiwan Semiconductor Manufacturing Company
VLSI	Very Large Scale Integration
VNA	Vector Network Analyzer
VSA	Vector Signal Analyzer
VSG	Vector Signal Generator
VSWR	Voltage Standing Wave Ratio

LISTE DES SYMBOLES ET UNITÉS DE MESURE

nH	nanoHenry
uF	microfarad
nF	nanofarad
pF	picofarad
fF	femtofarad
kΩ	kiloohm
Ω	ohm
THz	téraHertz
MHz	mégaHertz
kHz	kiloHertz
Hz	hertz
V	volt
mV	millivolt
μV	microvolt
mA	milliampere
μA	microampere
W	watt
mW	milliwatt
μW	microwatt
nW	nanowatt
mm	millimètre
μm	micromètre
mm ²	millimètre carré

μm^2	micromètre carré
dB	Décibel
dBc	Décibel référencé à la porteuse
dBm	Décibel référencé à 1 milliwatt
C_{ox}	Capacité d'oxide par unité de surface
μ	Mobilité des charges majoritaires
W	Largeur du canal d'un transistor à effet de champs
L	Longueur du canal d'un transistor à effet de champs
V_{GS}	Tension Grille-Source des transistors FET
V_{TH}	Tension de seuil des transistors FET
V_t	Tension thermique équivalente à 25.85 mV à 27°C

INTRODUCTION

Dans un monde de plus en plus technologique avec de multiples objets connectés qui font partie de nos vies, il n'est pas surprenant d'apprendre qu'en 2018, il était estimé que plus de 18.4 milliards d'appareils mobiles étaient connectés à un réseau sans-fil et il est prédit que ces estimés dépasseront les 29 milliards en 2023 (Hill, 2020). Sachant que la population mondiale était d'environ 7.6 milliards en 2018 (Roser, Ritchie & Ortiz-Ospina, 2013), on dénombre plus de deux appareils connectés par être humain sur la Terre à ce jour.

Que ce soit un téléphone intelligent qui utilise la technologie 5G pour jouer à des jeux en ligne, un ordinateur portable qui effectue des téléchargements avec le Wi-Fi 6, une automobile connectée qui enregistrent les données de navigation sur un serveur, des capteurs Internet-of-Things (IoT) qui permettent de suivre l'évolution en temps réel des semences dans les champs d'agriculture (Xu, Gu & Tian, 2022) ou des périphériques médicaux connectés pour suivre l'état d'un patient à distance (Hasan, Shahjalal, Chowdhury & Jang, 2019), tous ces appareils du 21e siècle partagent une technologie commune : le sans-fil. Dans ces objets connectés, on retrouve une architecture de transmission et de réception radiofréquence, et ce, peu importe la technologie utilisée pour transmettre l'information.

Principalement dans les pays industrialisés, mais aussi en forte croissance depuis une décennie dans les pays en développement, tous ces exemples démontrent que les technologies sans-fils deviennent une partie intégrante de notre environnement, peu importe l'âge, le statut social ou la région géographique. C'est pour dire que le marché des télécommunications est omniprésent dans la société du 21e siècle et maintenant que plusieurs services et commerces en dépendent, il n'est pas envisageable de limiter son utilisation. En plus, ces nouvelles technologies amènent plusieurs avantages sociaux. Par exemple, la connexion à un réseau sans-fil à toute une population offre un accès aux mêmes ressources virtuelles. Cela permet une forme d'équité sociale en

termes d'éducation en ligne, un accès à des sources de divertissements et d'actualité et une ouverture sur les autres cultures.

Comme le réseau se densifie, il faut transmettre à des fréquences plus élevées pour accommoder les nouveaux appareils et comme la demande pour du contenu instantané de meilleure qualité est toujours grandissante, il faut augmenter le débit de l'information ainsi que la bande passante. Ces aspects en particulier accentuent la pression donnée aux concepteurs de ces architectures radiofréquences et ils affectent directement le choix de topologie des transmetteurs et des récepteurs pour ces systèmes. Dans ces structures, on retrouve notamment des filtres sélectifs, des mélangeurs, des antennes et aussi des amplificateurs radiofréquences. Par exemple, pour une structure superhétérodyne, on retrouve au minimum quatre amplificateurs radiofréquences dans une seule architecture émetteur-récepteur. Que ce soit des amplificateurs à faible bruit, des amplificateurs à gain variable ou des amplificateurs de puissance, ceux-ci sont complexes à concevoir. Une part de leur complexité est le grand nombre de métriques de performance et de compromis inhérent à leur conception. Entre autres, l'efficacité énergétique est l'un de ces aspects qui sont particulièrement difficiles à obtenir pour les amplificateurs de puissance, car son optimisation peut détériorer la linéarité et/ou la puissance de sortie. Pourtant l'efficacité est aussi une grande priorité, car ces sous-modules sont connus pour être très énergivores. Par exemple, une étude a démontré que pour un téléphone intelligent standard, les technologies sans-fils 3G et Wi-Fi utilisent ensemble environ 45% de l'énergie de la batterie lorsque ces périphériques sont utilisés (Tawalbeh, Eardley & Tawalbeh, 2016).

En plus, la majorité des appareils que nous utilisons sur une base quotidienne utilisent une source d'énergie limitée : les batteries. Tous les fabricants de ces appareils connectés tentent année après année de diminuer le bilan énergétique de leurs appareils afin d'améliorer leur durée de vie sur une charge sans pour autant augmenter la taille de la batterie. Bien que cet enjeu d'efficacité énergétique devient plus important lorsqu'il s'agit d'objets connectés avec

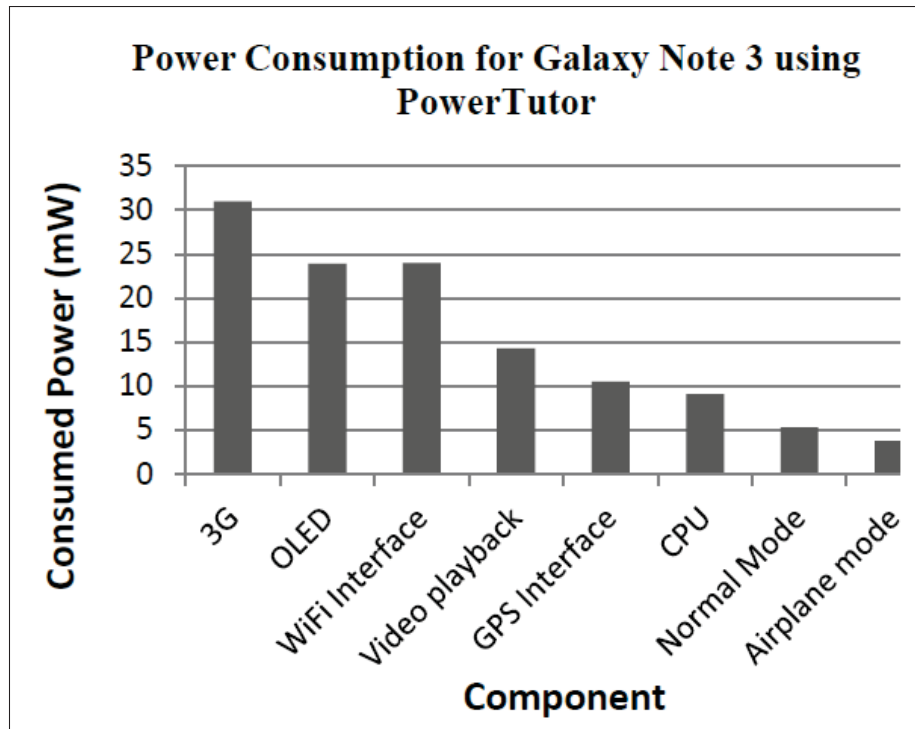


FIGURE 0.1 Comparaison de la puissance consommée par les différents modules d'un téléphone intelligent standard
Tirée de Tawalbeh *et al.* (2016)

une capacité d'énergie limitée comme les téléphones intelligents ou les satellites, l'empreinte énergétique est tout aussi importante pour les systèmes alimentés par le secteur. Notamment, les stations de télécommunication de base consomment à eux seules plusieurs dizaines de kilowatts par jour (Lorincz, Garma & Petrovic, 2012). Mondialement, il est estimé qu'en 2030 plus de 1700 TWh d'énergie sera consommé exclusivement par l'industrie de l'information et des télécommunications (Humar *et al.*, 2011). Un objectif d'amélioration de l'efficacité et de durabilité à long terme pour l'environnement est nécessaire, surtout sachant que 63.3% de l'énergie électrique mondiale en 2019 était produite avec des énergies non renouvelables (Ritchie, Roser & Rosado, 2020).

Les amplificateurs de puissance radiofréquence représentent le dernier bloc avant l'antenne dans la longue chaîne de composants qui permettant l'échange de données à un réseau sans-fil.

D'un autre côté, les techniques utilisées pour moduler les signaux d'information sont de plus en plus complexes afin d'offrir des vitesses de communications plus rapides et pour pouvoir transmettre un plus grand débit de données. Cependant, il y a des répercussions sur les spécifications des composants radiofréquence qui en découlent. Une des modulations les plus utilisées récemment est la modulation OFDM (Orthogonal Frequency Domain Modulation). Cette modulation multicanal est utilisée notamment dans les protocoles de communication bien connus comme le Wi-Fi et le réseau 5G. Bien qu'elle offre une meilleure efficacité spectrale, une immunité aux interférences intersymbole comparativement à d'autres modulations, elle génère un niveau élevé de puissance instantanée par rapport à la puissance moyenne (PAPR) ce qui réduit davantage l'efficacité des amplificateurs pour une même linéarité.

0.1 Motivation de recherche

L'équipe du LACIME (Laboratoire de communications et d'intégration de la microélectronique) au département de génie électrique à l'École de technologie supérieure est très active dans le développement de la microélectronique analogique, principalement dans le domaine des radiofréquences. Plus récemment, Smarjeet Sharma, un étudiant au doctorat (diplômé) au LACIME a développé une nouvelle technique novatrice pour améliorer le compromis d'efficacité et de linéarité des amplificateurs de puissances radiofréquences. Cette technique, appelée PEF (« Positive Envelope Feedback »), consiste à faire de la polarisation dynamique avec la rétroaction positive à partir de la sortie de l'amplificateur. Cette technologie a été brevetée par M. Smarjeet Sharma et M. Nicolas Constantin en 2018 au nom de Skyworks Solutions Inc. (SHARMA & CONSTANTIN, 2018) et (SHARMA & CONSTANTIN, 2019). La technique a démontré un potentiel intéressant pour l'intégration sur puce unique dans les dispositifs de communication mobiles large bande, comme c'est le cas pour les nouvelles technologies de communication, spécifiquement celles dans la bande millimétrique. Dans un effort pour démontrer que la technique peut être utilisée avec les systèmes de communication moderne qui

utilisent des modulations numériques complexes ainsi qu'une large bande passante, la motivation de recherche a été conduite par les limitations observées dans le précédent travail de recherche. Notamment le développement d'un nouveau détecteur d'enveloppe qui répond aux critères spécifiques de la technique PEF optimiserait les performances afin de valider son fonctionnement pour les technologies large bande. Dans un deuxième temps, le détecteur d'enveloppe est intégré sur la même puce qu'un amplificateur de puissance radiofréquence afin de démontrer sa simplicité d'intégration, sa basse consommation et sa faible empreinte sur puce.

Dans ce projet de recherche, l'effort est mis à continuer l'amélioration et le développement de la technique PEF. Cette technique offre plusieurs avantages par rapport à d'autres techniques présentées dans la littérature. Entre autres, elle occupe très peu d'espace sur la puce puisqu'elle est intégrée dans la même puce que l'amplificateur de puissance. Aussi, la rétroaction est une structure très rapide, ce qui la rend particulièrement intéressante pour les systèmes de télécommunication moderne large bande comme la 5G. Le détecteur d'enveloppe pour la configuration PEF nécessite lui aussi des critères particuliers. La plage dynamique n'a pas besoin d'être très large contrairement aux détecteurs d'enveloppe conventionnels. Cet allègement permet de faire un compromis sur la bande passante qui est plus importante pour une application comme celle-ci. Aussi, l'amplitude de la tension de sortie ne nécessite que de quelques dizaines de millivolts. La structure développée présente une entrée différentielle pour une sortie en mode commun. Bien entendu, ce détecteur fonctionne avec les amplificateurs différentiels qui d'ailleurs sont davantage utilisés pour les communications radiofréquences dans la bande millimétrique. La sortie du détecteur offre un signal en mode commun qui représente l'enveloppe du signal modulé. Ainsi, cette enveloppe peut être superposée à la tension de polarisation statique de l'amplificateur pour augmenter le point de polarisation lorsque le signal est de forte amplitude et réduire la polarisation pour les signaux de plus faible amplitude. Ce changement dynamique permet d'avoir la meilleure efficacité possible selon le niveau de puissance à transmettre.

0.2 Objectifs de recherche

Le principal objectif de ce projet de recherche est l'amélioration du compromis d'efficacité et de linéarité dans les amplificateurs de puissance radiofréquence afin de réduire l'empreinte énergétique globale. Une partie de ce gain des performances énergétiques vient du fait que l'amplificateur est contrôlé dynamiquement selon le niveau de puissance à transmettre. Ainsi, contrairement à d'autres architectures où l'amplificateur consomme une puissance statique non négligeable même lorsqu'aucun signal n'est transmis, cette approche dynamique permet de consommer beaucoup moins d'énergie lorsqu'il n'est pas en utilisation et de fournir plus d'énergie au besoin. L'amélioration de l'efficacité est sans doute un mal nécessaire puisqu'elle ne permet pas un gain direct des performances pour l'utilisateur comme la rapidité ou le débit des données, mais elle permet certainement d'étendre la durée de vie des appareils mobiles.

Pour arriver à terme de ce projet de recherche, la conception d'un amplificateur de puissance radiofréquence intégré sur puce a été réalisée afin d'y ajouter une boucle de rétroaction positive composée d'un détecteur d'enveloppe. Une partie de la recherche est consacrée au développement d'un détecteur d'enveloppe radiofréquence spécifiquement conçue pour cette application. En comparaison avec les autres détecteurs d'enveloppe, celui-ci vise une bande passante supérieure à 1 GHz afin d'être compatible avec les nouvelles technologies.

Les résultats de cette présente recherche s'insèrent entre autres dans une perspective environnementale puisqu'ils visent à la diminution de la consommation des amplificateurs de puissance en améliorant l'efficacité des systèmes déjà existants surtout pour des applications mobiles. La technique PEF permet l'amélioration du compromis d'efficacité et de linéarité tout en minimisant la surface et la puissance supplémentaire nécessaire au fonctionnement du système global.

0.3 Plan du mémoire

Le présent mémoire est divisé en quatre chapitres en commençant par une revue de littérature dans le CHAPITRE 1 composée d'éléments en lien avec les détecteurs d'enveloppe radiofréquences, les amplificateurs de puissance radiofréquences et la technique PEF. Dans le CHAPITRE 2, il sera question de la conception du détecteur d'enveloppe pour signaux modulés en amplitude développé dans le cadre de ce projet de recherche. Le CHAPITRE 3 porte sur l'amplificateur radiofréquence conçue avec la technologie CMOS 180 nm de TSMC pour ce projet afin de valider les performances de la technique PEF. Le CHAPITRE 4 présente les résultats de la technique PEF avec le nouveau détecteur d'enveloppe ainsi que l'amplificateur radiofréquence développé dans ce mémoire. Finalement, la conclusion ainsi que les recommandations futures sont présentées.

CHAPITRE 1

REVUE DE LITTÉRATURE

Pour bien comprendre comment ce projet de recherche s'insère dans la recherche actuelle et comment il contribue à l'amélioration des performances des amplificateurs de puissance radiofréquence, il est pertinent de faire une revue de la littérature dans ce domaine. Ce chapitre présente l'état de l'art des détecteurs d'enveloppe, des amplificateurs de puissance radiofréquence et des techniques d'amélioration de l'efficacité spécifiquement destinées aux amplificateurs de puissances radiofréquence. Les travaux de recherche présentés dans les prochains chapitres seront comparés à l'état de l'art.

1.1 Détecteur d'enveloppe

Tout d'abord, on désigne l'enveloppe d'un signal analogique radiofréquence par une ligne imaginaire produite par les crêtes du signal modulé dans le domaine du temps tel qu'il est présenté par la ligne pointillée à la figure 1.1. L'idée du détecteur est de générer cette ligne pointillée (bleu) en temps réel à partir du signal radiofréquence (noir) puisqu'il contient l'information en amplitude du signal modulé.

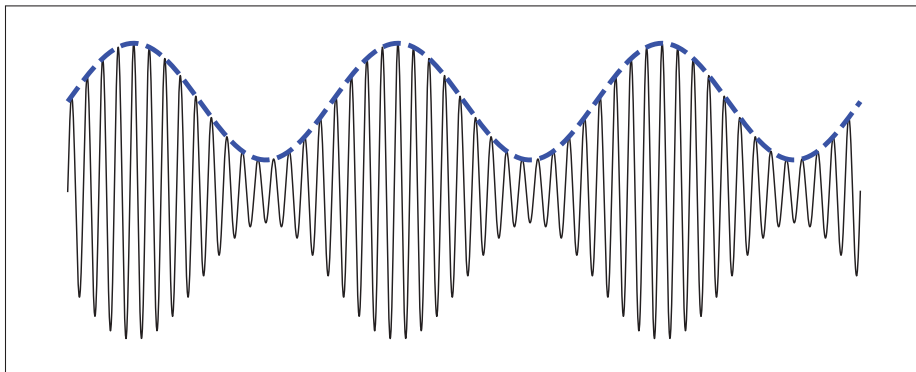


FIGURE 1.1 Signal radiofréquence modulé en amplitude avec la définition de l'enveloppe sur les pointes du signal

Cette enveloppe a déjà été utilisée dans diverses applications par le passé. Par exemple, les détecteurs d'enveloppe peuvent être utilisés dans des circuits de protection où la crête de l'enveloppe peut être comparée à un niveau de seuil afin de protéger les circuits électroniques sur la puce. Il est possible de retrouver des montages utilisant les détecteurs d'enveloppe pour protéger les transistors dans les amplificateurs de puissances. Avci & Ozev (2020) expliquent qu'une mauvaise adaptation de la charge cause une large variation de tension qui peut endommager les transistors si elle dépasse la tension de claquage. Ainsi, les détecteurs d'enveloppe peuvent servir à mesurer l'amplitude de sortie des amplificateurs afin de protéger les transistors contre les surcharges. À titre d'exemple, Carrara, Presti, Scuderi, Santagati & Palmisano (2008) ont fait la démonstration d'un tel système pour protéger un amplificateur de puissance CMOS à une mauvaise adaptation de charge avec un VSWR de 20 :1. Finalement, dans de nombreuses architectures radiofréquence, le détecteur d'enveloppe est utilisé en boucle de contrôle avec un amplificateur pour un ajustement automatique du gain. Dans une telle situation, le détecteur d'enveloppe peut permettre l'ajustement de gain des amplificateurs de la chaîne radiofréquence afin de conserver un niveau d'amplitude constant dans une architecture de réception.

Les détecteurs d'enveloppe sont aussi utilisés dans des applications de caractérisation intégrées sur puce, aussi appelées BIST (« Built-In Self-Test ») et BISC (« Built-In Self-Calibration »). Dans ces applications, le détecteur d'enveloppe permet de quantifier les performances des circuits radiofréquences sans avoir besoin d'utiliser des équipements de laboratoire dispendieux. En plus, l'intégration du détecteur dans ces applications permet des mesures plus précises puisque le signal est traité près de la source. Aussi, les composants radiofréquence sur puce sont sujets à des variations PVT (« Process, Voltage, Temperature ») au moment de leur fabrication ou durant leur vie utile, ce qui affecte le rendement d'une puce à l'autre. Ainsi, la faible empreinte sur puce du détecteur rend son intégration facile et intéressante pour pouvoir faire la calibration ou la prise de mesure en continu afin d'ajuster le désbalancement de gain ou les coefficients de réflexion (Avci & Ozev, 2020) pour maximiser les performances en tenant compte des variations PVT. Par exemple, pour pallier aux variations de procédés puce à puce, il serait possible d'ajuster la polarisation des transistors post-fabrication pour compenser cette variation.

Wang & Soma (2006) ont démontré une structure simple qui peut être intégrée sur puce pour la mesure des performances grand-signal d'un amplificateur. Comme ils l'expliquent dans leur article, les systèmes radiofréquences fonctionnent avec des fréquences d'opération de plus en plus élevées, et la caractérisation de ces systèmes devient un aspect long et coûteux. Aussi, Nassery, Byregowda, Ozev, Verhelst & Slamani (2015) ont développé un système BIST avec un détecteur d'enveloppe pour caractériser le débalancement des signaux IQ dans le contexte d'une compensation numérique. Tel qu'ils l'expliquent dans leur article, en utilisant un détecteur d'enveloppe, les informations contenues en haute fréquence peuvent être décalées en basse fréquence afin de simplifier les mesures avec des convertisseurs ADC. Malgré cette conversion, les caractéristiques hautes fréquences comme les débalancements d'amplitude et de phase ainsi que les distorsions sont conservés et peuvent être mesurés plus facilement.

Aussi, avec la grande quantité d'appareils sans-fil connectés de type IoT qui visent aussi la réduction de la consommation d'énergie, on retrouve les détecteurs dans des applications de réveil des systèmes de réception WuRx (« Wake-Up Receiver »). Dans cette application spécifique, le détecteur doit respecter des critères de standardisation, notamment une puissance de moins de 1 mW et une compatibilité avec les systèmes IEEE 802.11 (Wilhelmsson, 2017). Par exemple, Chen, Yang & Cheng (2015) ont développé un détecteur avec une consommation de seulement $4.5 \mu W$ pour les applications dans la bande ISM de 2.4 GHz. Wang *et al.* (2017) et Roberts & Wentzloff (2012) présentent des détecteurs pour des applications WuRx qui consomment seulement $4.5 nW$ et $98 nW$ respectivement. Évidemment, dans ces applications, les détecteurs ont une grande sensibilité et les tensions de détection sont de l'ordre du millivolt. De plus, ces détecteurs servent uniquement à réveiller le système et ils ne sont pas conçus pour faire de la démodulation.

Aussi, il est possible de retrouver le détecteur d'enveloppe dans des applications plus sophistiquées comme les systèmes d'amélioration de performances en utilisant des techniques de linéarisation et de prédistorsion. Parmi celles-ci, on retrouve les techniques ET (« Envelope Tracking ») et EER (« Envelope Elimination and Restoration ») qui seront discutés davantage dans ce chapitre à la section 1.3.1.

De façon générale, le détecteur d'enveloppe peut être utilisé pour des systèmes dont l'information est encodée en amplitude, comme c'est le cas d'une simple radio AM dont l'enveloppe du signal contient l'information utile. Dans cet exemple, l'enveloppe du signal qui se trouve en bande de base (*baseband*) correspond à la musique de la station AM. Aussi, pour tout type de modulation, on peut utiliser l'enveloppe d'un signal pour mesurer le niveau de puissance afin d'ajuster le gain des étages d'amplificateurs subséquents pour maximiser la plage dynamique. Lv *et al.* (2013) et Guo, Li, Miao, Wang & Li (2021) présentent des amplificateurs à gain variable dont l'ajustement est fait avec un détecteur d'enveloppe en boucle de rétroaction pour offrir des plages dynamiques de contrôle linéaire de 35 dB et 60 dB respectivement.

1.1.1 Fonctionnement des détecteurs d'enveloppe radiofréquences

La plupart des techniques utilisées pour extraire l'enveloppe d'un signal modulé en amplitude utilisent un élément non linéaire suivi d'un filtre passe-bas. En général, un compromis doit être fait entre la coupure du filtre passe-bas qui détermine la vitesse de détection et la qualité du spectre fréquentiel du signal détecté (Ying, Gao, Min, Milosevic & Baltus, 2018). L'un peut choisir une meilleure réjection de la fréquence principale et des harmoniques au détriment d'une faible bande passante. L'autre peut choisir une large bande passante, mais celle-ci inclut une partie considérable de bruit provenant de la fréquence porteuse et de ses harmoniques.

Il existe différents types de détecteur radiofréquence pour différents objectifs et applications. On retrouve notamment les détecteurs de puissance, les détecteurs RMS et les détecteurs d'enveloppe. Les détecteurs de puissance utilisent différentes technologies et matériaux pour mesurer la puissance moyenne dans un circuit radiofréquence. Parmi les plus populaires, on retrouve les détecteurs à thermocouple et ceux à diode. Dans le cas des détecteurs à diode, la puissance moyenne de sortie est proportionnelle à la tension moyenne mesurée.

$$P_{moy.} = \frac{1}{T} \int_t^{t+T} \frac{V_{RMS}(t)^2}{R} dt \quad (1.1)$$

Le détecteur RMS est semblable au détecteur de puissance, mais celui-ci fournit une tension moyenne équivalente au niveau d'entrée (la racine carrée de la moyenne des carrées). Habituellement, ces deux types de détecteurs offrent un niveau constant de puissance ou de tension en fonction d'un signal radiofréquence. Ceux-ci ne donnent aucune information sur la puissance ou la tension instantanée ou sur le spectre fréquentiel du signal détecté. Ainsi, la mesure d'un signal sinusoïdal pur ou d'un signal modulé CDMA sera la même si la puissance délivrée par les deux signaux est la même. Pour cette raison, ils ne seront pas étudiés davantage dans ce mémoire.

Le détecteur d'enveloppe est aussi appelé détecteur de crêtes ou « peak detector » dans la littérature anglophone. Celui-ci offre la mesure instantanée de la tension d'enveloppe d'un signal quelconque modulé en amplitude tel que présenté à la figure 1.1. Les efforts de recherche dans ce projet sont orientés sur ce dernier type de détecteur. Contrairement aux détecteurs de puissance et aux détecteurs RMS, celui-ci permet d'avoir l'information sur le contenu fréquentiel du signal. Ainsi, il peut être utilisé pour démoduler la composante AM d'un signal radiofréquence. Il faut noter que la phase du signal radiofréquence n'est pas extraite avec cette topologie. À partir de ce concept, différentes topologies ont été développées ayant chacune leurs avantages et inconvénients selon l'application visée et les spécifications désirées.

Notamment, il est possible d'utiliser les non-linéarités des composants actifs dans leur régime grand signal ou dans leur régime petit signal. Dans le premier cas, on catégorise ces détecteurs avec le terme redresseur alors que dans le deuxième cas, on les catégorise avec le terme « square-law ». Il est possible d'utiliser autant des transistors FET, BJT ou des diodes pour accomplir chacun de ces types de détecteurs puisque ces composants actifs sont tous non-linéaires. Le type de détecteur à privilégier dépend du contexte et de l'application. En fait, les détecteurs de type « square-law » sont généralement prépolarisés, ce qui leur permet d'être plus sensibles et de mesurer des niveaux de tension plus faible (Hewlett Packard, 1982). Dans le cas des redresseurs, il n'est pas nécessaire de prépolariser le composant non linéaire puisque les niveaux de tension ou de puissance en jeu sont souvent plus élevés. Ainsi, on peut utiliser des redresseurs dans des applications de haute tension. Un survol des redresseurs est fait en premier, suivi des détecteurs « square-law ».

1.1.1.1 Détecteur à redressement

Le détecteur à redressement le plus simple à réaliser est probablement la topologie diode suivie d'un filtre passe-bas composé d'une résistance et d'un condensateur tel que présenté à la figure 1.2. Il est possible d'améliorer la topologie pour avoir un pont redresseur à onde complète tel que l'on retrouve dans les convertisseurs linéaires AC-DC en électronique de puissance. On retrouve un exemple de montage à quatre diodes à la figure 1.3. En configuration redresseur, la diode n'est pas prépolarisée et elle exploite les non-linéarités dures du régime grand signal de la diode.

Qualitativement, la diode en série permet de conserver uniquement la portion positive du signal et le filtre RC permet de fournir une constante de temps suffisante pour lisser le signal au sommet des pointes de l'enveloppe. Ce montage est reconnu pour sa grande simplicité et il nécessite peu de composants. La figure 1.4 présente le spectre fréquentiel d'entrée et de sortie du montage de la figure 1.2. La fréquence d'entrée ω_c reste présente à la sortie puisque la période du signal de sortie reste la même malgré que l'onde négative a été coupée. Cependant, dans un montage redresseur à onde complète tel que celui présenté à la figure 1.3, la fréquence de sortie correspond à $2\omega_c$ puisque la partie négative temporelle est repliée dans le plan positif.

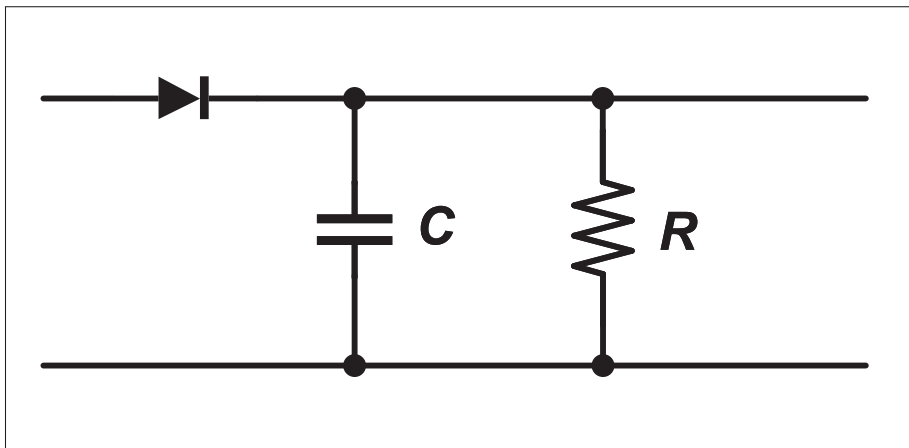


FIGURE 1.2 Schéma du détecteur d'enveloppe composé d'une diode et d'un filtre RC

La topologie présentée à la figure 1.2 n'offre pas une bonne efficacité pour les systèmes haute

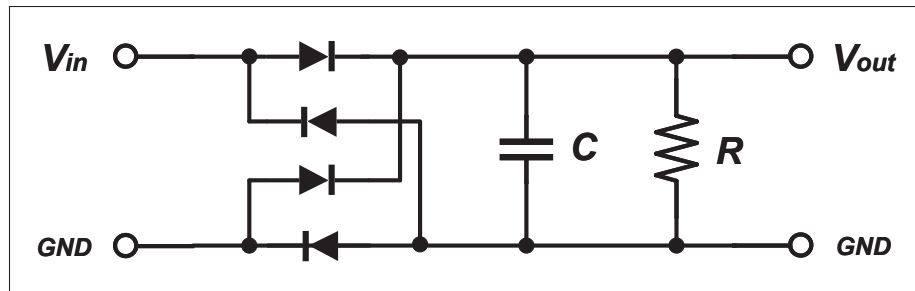


FIGURE 1.3 Schéma du détecteur d'enveloppe à onde complète composé de diodes et d'un filtre RC

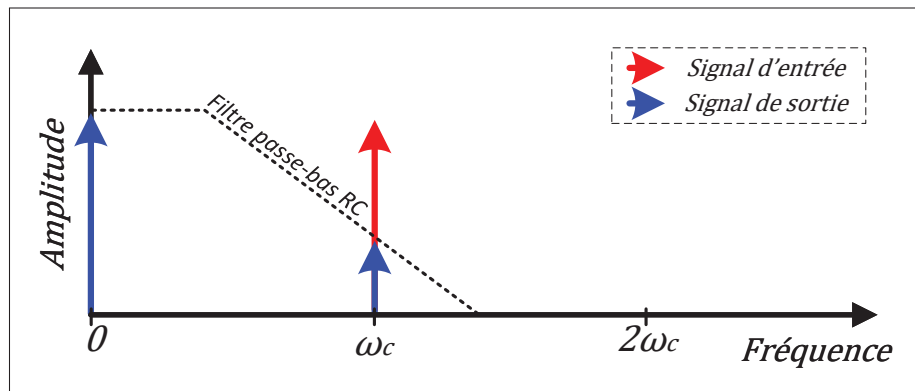


FIGURE 1.4 Réponse fréquentielle du détecteur d'enveloppe de la figure 1.2

vitesse et la combinaison du filtre RC à la sortie limite la bande passante, ce qui affecte le temps de réponse (Alegre, Celma, Aldea & Calvo, 2006).

Aussi, ce montage ne présente pas une grande sensibilité et cette caractéristique dépend de la technologie utilisée pour la diode. Par exemple, les diodes de silicium ont une tension directe minimale d'environ 0.6 à 0.7 volt et celles au germanium ont plutôt une tension de 0.2 à 0.3 volt. Ainsi, il en est difficile de détecter de faibles amplitudes de l'ordre d'une dizaine de millivolts avec des diodes qui ne sont pas prépolarisées.

Cependant, dans des applications à très haute fréquence comme la bande des Térakhertz (THz = 10^{12} Hz), les montages à diode sont souvent utilisés pour leur simplicité et leur grande

rapidité. Dans la plupart des cas, une diode Schottky est utilisée pour offrir de meilleures performances. Les diodes Schottky sont reconnues pour être plus rapides que les diodes à jonction PN puisqu'elles sont composées d'une barrière métallique et d'un seul semi-conducteur (Carusone, Johns, Martin & Johns, 2012). Ainsi, la zone de déplétion se retrouve uniquement dans le semi-conducteur, ce qui réduit la tension d'activation en comparaison avec la jonction PN. Aussi, la capacité de diffusion n'est pas présente, ce qui augmente considérablement la rapidité de la diode Schottky. Pour les applications en haute fréquence, le concept reste le même, mais une section d'adaptation d'impédance est ajoutée avant la diode pour assurer un transfert maximal en puissance. Dans ces applications, les diodes ne sont pas prépolarisées. Dans la littérature anglophone, le terme « zero-biased Schottky diode » est utilisé pour caractériser cette configuration et le principe est le même que celui d'un redresseur à demi onde présenté plus haut. Un autre avantage du détecteur à diode est qu'il peut fonctionner à des températures cryogéniques (Hesler, Hui & Crowe, 2012).

Pour accomplir le fonctionnement de redresseur dans les circuits intégrés sur puce, il est possible d'exploiter les non-linéarités dures des transistors FET ou BJT en régime grand signal afin d'obtenir l'enveloppe par redressement. Notamment avec le grand niveau d'intégration des transistors, la littérature est submergée de diverses topologies pour des détecteurs d'enveloppe en technologie CMOS. Dans les circuits intégrés sur puce, il est possible de réaliser des architectures plus sophistiquées composées de plusieurs transistors pour avoir plus de degrés de liberté quant à l'ajustement des performances du détecteur. Notamment, Serhan, Lauga-Larroze & Fournier (2015) utilisent un transistor BJT dans une configuration base commune et le redressement se fait avec la transition entre les régions d'opération grand signal. D'autres approches, comme celle de Berthiaume, Sharma & Constantin (2016), permettent un ajustement externe du seuil et de la puissance de détection en ajustant la polarisation de certains étages du détecteur.

Un détecteur bien connu dans la littérature est celui de Valdes-Garcia, Venkatasubramanian, Srinivasan, Silva-Martinez & Sanchez-Sinencio (2005) ainsi que leur version améliorée Valdes-Garcia, Venkatasubramanian, Silva-Martinez & Sanchez-Sinencio (2008). L'architecture utilisée est un redresseur en quatre étages : convertisseur tension-courant, redresseur, convertisseur

courant-tension et un filtre passe-bas. Les deux détecteurs ont été conçus avec la technologie CMOS 0.35 μm . La topologie proposée en 2005 est un détecteur RMS avec une bande passante dans les 10 MHz pour fréquence de fonctionnement de 2.4 GHz. Ce détecteur a une surface sur puce de 13500 μm^2 , une consommation de 10 mW pour une tension d'alimentation de 3.3 V. Dans la topologie de 2008, la fréquence d'opération est de 900 MHz à 2.4 GHz, pour une surface sur puce de 31000 μm^2 et une consommation de 8.6 mW sous 3.3 V. D'autres structures incluant celle de Zhou, Huang, Nam & Kim (2008) et son équipe qui ont développé un détecteur à redressement avec la technologie CMOS 180 nm de TSMC. La bande passante documentée est de 5 kHz et il peut fonctionner sur une plage de 100 Hz à 1.6 GHz. Le détecteur complet a une consommation de 6.3 mW sous 1.8 V avec une surface sur puce de 422500 μm^2 . Cha *et al.* (2009) utilise une approche similaire, mais ils ont réussi à démontrer une bande passante de 5 MHz pour une fréquence de fonctionnement de 1 GHz à 2.4 GHz avec la même technologie. De plus, leur détecteur consomme seulement 1.8 mW sous 1.8 V et occupe une surface sur puce de 14400 μm^2 . Xia & Boumaiza (2015) proposent un détecteur avec une architecture différente qui permet de mesurer des signaux avec une bande passante de 190 MHz pour une fréquence d'opération de 200 MHz à 4.2 GHz. Le détecteur a été fabriqué avec la technologie CMOS 130 nm et l'ensemble du détecteur a une consommation de 25 mW. Finalement, Serhan *et al.* (2015) ont démontré la possibilité d'obtenir une bande passante de 700 MHz avec la technologie BiCMOS 55 nm. Avec une configuration base commune du transistor d'entrée, celui-ci permet de conduire pour les alternances négatives et de bloquer le signal dans les alternances positives. La surface sur puce est de seulement 6400 μm^2 avec une puissance de 80 μW . Leur détecteur a été conçu pour fonctionner à une fréquence d'opération de 50 à 66 GHz. Chacun de ces travaux de recherche vise une fréquence de fonctionnement et une bande passante élevées pour satisfaire les plus récents systèmes de télécommunication. La complexité, la consommation, la surface sur puce et la plage dynamique sont d'autres aspects qui peuvent être échangés pour offrir le meilleur compromis selon l'application visée.

Dans la technologie BJT, la polarisation de la tension V_{BE} est comparable à celle de la diode présentée plus tôt et dans les technologies CMOS, c'est plutôt la tension de seuil V_{TH} qui doit

être fourni au minimum, ce qui réduit sa sensibilité du détecteur. Certaines topologies comme celle de Cha *et al.* (2009) utilise deux redresseurs demi-onde branchés en parallèle pour obtenir un redresseur complet. Il utilise des transistors en montage de diode connecté pour bénéficier de la caractéristique ON et OFF de ceux-ci.

En résumé, les détecteurs d'enveloppe à redressement exploitent les non-linéarités du régime grand signal des composants actifs pour extraire l'enveloppe d'un signal modulé. Leur grande simplicité leur permet de consommer très peu de courant, de fonctionner à des fréquences très élevées en utilisant des procédés plus exotiques et de fonctionner sur une grande plage de température. Finalement, ces détecteurs peuvent fonctionner à de hauts niveaux de puissances ou de tensions, ce qui les rend très utiles pour plusieurs applications dans différents domaines du génie électrique.

1.1.1.2 Détecteur « square-law »

Il est aussi possible d'extraire l'enveloppe d'un signal analogique radiofréquence en exploitant les fonctions non linéaires en régime petit-signal des composants actifs. En d'autres termes, le composant actif est prépolarisé et les équations non linéaires de courant qui sont exploitées sont celles d'une approximation linéaire autour du point de polarisation. Pour que ces équations soient valides, il faut que le signal d'entrée soit de faible amplitude, généralement quelques millivolts seulement, autour du point de polarisation. Encore une fois, il est possible de retrouver des détecteurs à base de diode, de transistor BJT ou FET dans la littérature. L'approximation en régime petit signal du transistor BJT est la même que celle de la diode. Ainsi, les deux exploitent la relation de courant d'Ebers-Moll présentée à l'équation 1.2 en négligeant l'effet Early.

$$I = I_s \left[\exp\left(\frac{V_{BE}}{V_t}\right) - 1 \right] \quad (1.2)$$

où I_s est le courant de saturation, V_{BE} est la tension base-émetteur du BJT et V_t est la tension thermique équivalente à $V_t = \frac{kT}{q}$ qui représente environ 26 mV à température ambiante.

La série de Taylor est utilisée pour développer la relation exponentielle en une série de polynômes décrite à l'équation 1.3.

$$I = I_s \left[\frac{V_{BE}}{V_t} + \frac{1}{2} \left(\frac{V_{BE}}{V_t} \right)^2 + \frac{1}{6} \left(\frac{V_{BE}}{V_t} \right)^3 + \frac{1}{24} \left(\frac{V_{BE}}{V_t} \right)^4 + \dots \right] \quad (1.3)$$

Pour de faibles variations en tensions aux bornes de la diode (ou de la base et l'émetteur) inférieures à V_t , les deux premiers termes de la série de Taylor dominent. La première composante $\left[\frac{V_{BE}}{V_t} \right]$ a une valeur moyenne nulle, alors elle n'influence pas le signal en bande de base détecté à la sortie. La composante quadratique $\left[\frac{1}{2} \left(\frac{V_{BE}}{V_t} \right)^2 \right]$ est celle qui sera utilisée pour extraire l'enveloppe du signal modulée. Avec la détection de type « square-law », la sortie du détecteur est proportionnelle à la puissance instantanée de l'enveloppe. Contrairement au premier terme, celle-ci contribuera au signal détecté en bande de base, proportionnel à $\frac{A^2}{2}$. Étant donné que la tension d'entrée doit être très faible, les détecteurs de type « square-law » sont généralement utilisés dans des applications nécessitant une grande sensibilité et une bonne linéarité. Lorsque la tension d'entrée est supérieure à V_t , davantage de termes de la série de Taylor deviennent non négligeables et davantage de distorsion est introduite.

Pour les transistors FET, une approche similaire est utilisée, mais avec des équations en régime petit signal qui sont différentes. Dans le cas du transistor FET, il est possible d'utiliser directement la fonction polynomiale du second degré qui régit le courant de drain dans le transistor pour le fonctionnement dans la région de saturation présentée à l'équation 1.4. L'équation présentée est celle des transistors à canal long avec l'effet de modulation de longueur de canal. Par les plus récentes technologies CMOS, cette équation s'avère de moins en moins réaliste puisqu'elle ne tient pas compte des effets de canal court comme l'abaissement de la barrière de charge induite par la tension de drain (DIBL : « Drain Induced Barrier Lowering ») ou la vitesse de saturation. Néanmoins, elle est une approximation suffisamment bonne pour la technologie CMOS 180 nm qui permet d'expliquer le principe utilisé dans ce projet de recherche.

$$I = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (1.4)$$

où $\frac{1}{2}\mu C_{ox}$ correspond aux paramètres du procédé de fabrication, V_{th} est la tension de seuil et λ est le coefficient de modulation de longueur de canal. Certains détecteurs d'enveloppe dans la littérature utilisent aussi les transistors FET dans leur région de faible inversion pour exploiter la relation exponentielle du courant de drain présenté par l'équation 1.5 tirée de Gray, Hurst, Paul J., Lewis, Stephen H. & Meyer, Robert G. (2001). Cette approche est similaire à celle de la diode et du BJT, puisque l'équation exponentielle doit être développée avec la série de Taylor pour faire ressortir la dépendance quadratique importante pour la détection de l'enveloppe.

$$I = \frac{W}{L} I_t \left[\exp\left(\frac{V_{GS} - V_{th}}{nV_t}\right) \left[1 - \exp\left(\frac{-V_{DS}}{V_t}\right) \right] \right] \quad (1.5)$$

Que ce soit la diode, le transistor BJT ou le transistor FET, l'élément quadratique est ce qui importe le plus dans les détecteurs « square-law », d'où l'origine du nom dans la littérature anglophone. Cet intérêt vient du fait que d'un point de vue mathématique, l'identité trigonométrique $\cos^2(\omega t) = \frac{1}{2}(1 + \cos(2\omega t))$ permet de retrouver l'enveloppe d'un signal à partir du signal modulé à la fréquence ω .

Pour un signal sinusoïdal simple à la fréquence ω_c qui est multiplié par lui-même, il est possible, en négligeant les effets de mémoire, d'utiliser les identités trigonométriques pour remarquer que le signal se transpose en deux parties. Selon ce modèle statique, l'une est la composante en courant continu autour de 0 Hz ($\frac{A^2}{2}$) et l'autre composante se retrouve à la fréquence $2\omega_c$ qui est deux fois plus élevée que la fréquence d'entrée. De plus, ce résultat démontre la caractéristique intéressante que la fréquence initiale de ω_c n'est plus présente à la sortie. La figure 1.5 expose la représentation dans le domaine fréquentiel équivalent au développement mathématique de l'équation 1.6.

$$(A \cos(\omega_c t))^2 = \frac{A^2}{2} + \frac{A^2 \cos(2\omega_c t)}{2} \quad (1.6)$$

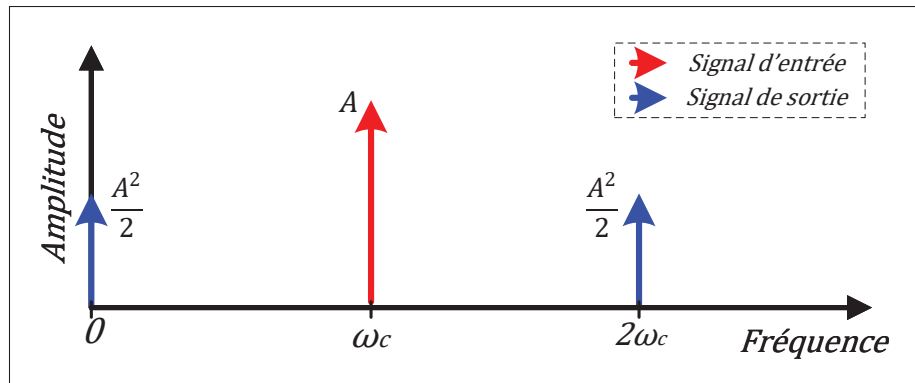


FIGURE 1.5 Représentation fréquentielle du développement mathématique présenté à l'équation 1.6

Il est possible d'éliminer la composante $\frac{A^2 \cos(2\omega_c t)}{2}$ avec un filtre passe-bas, ce qui laisse uniquement une relation proportionnelle entre le carré de l'amplitude du signal RF d'entrée et l'amplitude en courant continu à la sortie.

Toujours en faisant l'approximation du comportement statique, la représentation dans le domaine fréquentiel permet de valider le fonctionnement des signaux plus complexes comme les signaux modulés en amplitude sans l'intervention mathématique qui peut s'avérer lourd. Par exemple, un signal modulé de type DSB-SC (« Dual Sideband Suppressed Carrier ») peut être modélisé avec deux raies spectrales centrées à ω_c avec un espacement de $2\omega_m$.

$$f(t) = A_1 \cos((\omega_c - \omega_m)t) + A_2 \cos((\omega_c + \omega_m)t) \quad (1.7)$$

Le développement mathématique résultant de la mise au carré du signal modulé de type DSB-SC est donné par l'équation 1.8. Ce dernier démontre que la composante fréquentielle à ω_c est éliminée et transposée en deux parties, soit autour de 0 Hz et de $2\omega_c$ tel qu'il est représenté à la figure 1.6. Sur cette même figure, les deux raies spectrales en bande de base, soit celle à 0 Hz et celle à $2\omega_m$, correspondent au signal détecté quand la modulante est une seule sinusoïdale pure comme il est représenté dans le domaine temporel à la figure 1.1.

$$f^2(t) = \frac{A_1^2}{2} + \frac{A_2^2}{2} + A_1A_2\cos(2\omega_m t) + A_1A_2\cos(2\omega_c t) + \frac{A_1^2\cos((2\omega_c - 2\omega_m)t)}{2} + \frac{A_2^2\cos((2\omega_c + 2\omega_m)t)}{2} \quad (1.8)$$

Dans le cas typique de modulation considéré dans ce mémoire, $A_1 = A_2$ puisque les deux raies spectrales autour de ω_c sont associés à la même information modulante. Pour un signal DSB-SC, ces raies spectrales sont associés aux termes LSB et USB (« Lower Sideband » et « Upper Sideband »). Encore une fois, un filtre passe-bas peut être utilisé pour éliminer les trois derniers termes de l'équation 1.8.

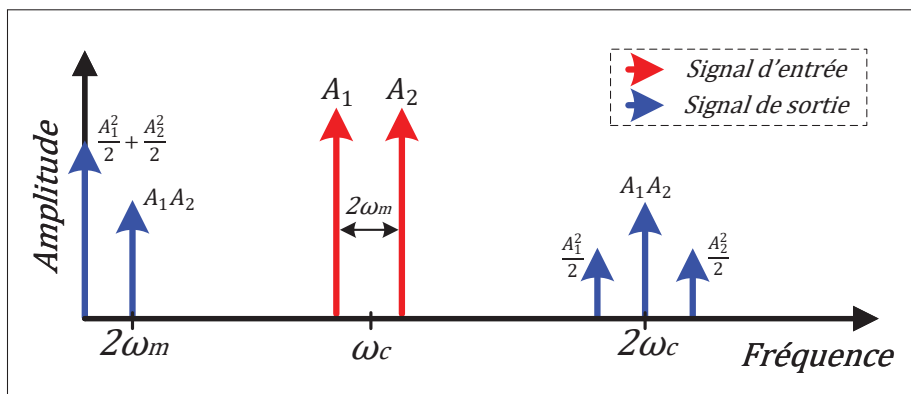


FIGURE 1.6 Représentation fréquentielle du développement mathématique présenté à l'équation 1.8

Il est possible de poursuivre un développement similaire basé sur un modèle statique (en négligeant les effets de mémoire) avec plus de tonalités et le résultat spectral sera similaire.

Pour un signal informatif arbitraire modulé en haute fréquence autour de ω_c représenté dans le domaine fréquentiel, il est possible d'appliquer les mêmes identités trigonométriques utilisées avec la même approximation du modèle statique de la même façon que les deux cas précédents. Cette approximation du modèle statique permet une détection proportionnelle à la valeur instantanée de l'amplitude de l'enveloppe au carré (A^2). Cette conversion est suffisante pour le fonctionnement de la technique PEF et une étude complète a déjà été traité par Sharma (2020).

Comme il est possible de remarquer sur les figures 1.5 et 1.6, le signal radiofréquence d'entrée est rejeté.

Les détecteurs de types « square-law » peuvent être très sensibles puisqu'ils opèrent dans le régime petit signal. De plus, étant donné que les composants non linéaires sont prépolarisés près de leur point de fonctionnement, les charges mobiles dans la jonction (diode et BJT) et dans le canal (FET) sont déjà actives, ce qui rend le transistor plus rapide. En contrepartie, la prépolarisation consomme un courant statique non nul plus élevé que les détecteurs à redressement qui peut être un enjeu dans certaines applications de très faible puissance.

En résumé, autant les diodes que les transistors FET ou BJT peuvent être utilisés pour faire des détecteurs d'enveloppe basée sur l'exploitation des effets non linéaires de ces composants. Si le composant n'est pas polarisé, la détection de l'enveloppe se fait par redressement et le signal d'entrée change la zone de fonctionnement du composant. Ces détecteurs utilisent les non-linéarités en régime grand signal. Si le composant est polarisé dans la zone active, la tension d'entrée doit rester suffisamment faible pour exploiter uniquement la relation quadratique du composant. Dans ce mode, le transistor opère dans le régime petit-signal et bénéficie d'une plus grande sensibilité ainsi que la réjection du signal d'entrée. Dans ce présent mémoire, les transistors FET seront utilisés dans la topologie « square-law » pour la conception du détecteur d'enveloppe sur puce avec la technologie CMOS.

1.1.2 Caractéristiques typiques des détecteurs d'enveloppe

Dans la littérature, l'ensemble des détecteurs d'enveloppe partagent des caractéristiques similaires qui permettent de quantifier leurs performances. Cependant, chaque détecteur vise une application spécifique et le compromis de performance peut différer. Les critères de performances permettent d'offrir une ligne directrice et un aspect de comparaison compatible avec l'ensemble des détecteurs d'enveloppe, peu importe le type (redresseur ou « square-law ») ou la technologie (diode, BJT ou FET).

- *Sensibilité*

La sensibilité fait référence à la plus faible puissance ou niveau de tension qu'il est possible de mesurer à l'entrée du détecteur. Les détecteurs avec une grande sensibilité peuvent mesurer des signaux très faibles, souvent ceux que l'on retrouve dans une architecture de réception radiofréquence. Les applications de plus grandes sensibilités sont souvent celles utilisées pour les systèmes de réveil dans les architectures de réception. Par exemple, Zhou & Rabaey (2013) ont démontré le fonctionnement d'un détecteur de réveil avec une sensibilité allant jusqu'à -95 dBm. En contraste, les détecteurs utilisés dans des applications comme les techniques d'amélioration de l'efficacité ne nécessitent pas une grande sensibilité puisque les puissances d'entrée du détecteur sont souvent plus grandes que quelques dBm. Les unités de la sensibilité sont absolues.

- *Plage dynamique d'entrée*

La plage dynamique correspond à la limite minimale et maximale de la tension d'entrée qui permet au détecteur d'opérer dans sa région de fonctionnement normal. Au-delà de ces limites, le détecteur devient non linéaire et la sortie n'est plus une fonction uniquement directement proportionnelle à l'entrée. Une grande plage dynamique d'entrée permet de mesurer de faibles amplitudes autant que de larges amplitudes. Avec la sensibilité, la plage complète de détection peut être établie du niveau le plus faible au niveau le plus élevé.

$$\text{Valeur d'entrée maximale} = \text{Sensibilité} + \text{Plage dynamique d'entrée}$$

En général, les détecteurs ont une grande plage dynamique d'entrée pour pouvoir mesurer de très faibles signaux autant que des signaux de plus grandes amplitudes. À titre d'exemple, certains travaux ont démontré le fonctionnement d'un détecteur ayant une plage dynamique de plus de 55 dB (Ivanov, Lavrov & Matveev, 2015). Leur détecteur est de type « square-law » et peut mesurer des puissances d'environ -55 dBm jusqu'à 0 dBm avant que le détecteur quitte la zone linéaire. Les unités de la plage dynamique d'entrée sont relatives.

- *Plage dynamique de sortie*

La plage dynamique de sortie est la limite minimale et maximale de fonctionnement du détecteur en sortie. En d'autres termes, elle correspond à la région d'opération normale du détecteur. En dehors de cette plage, la sortie présente des non-linéarités qui sont introduites

dans l'enveloppe de sortie du détecteur. La plage dynamique de sortie est liée à la plage dynamique d'entrée avec le gain de conversion du détecteur. Tout comme la plage dynamique d'entrée, les unités sont relatives.

- *Fonction de transfert*

La fonction de transfert permet de représenter la région linéaire d'opération du détecteur d'enveloppe en plus de voir les plages dynamiques d'entrée et de sortie, la sensibilité ainsi que le gain de conversion du détecteur. Le plus fréquemment, on retrouve un graphique de la tension d'entrée en fonction de la tension de sortie pour un détecteur de tension et un graphique de la puissance d'entrée en fonction de la puissance de sortie pour un détecteur de puissance. Le graphique de la figure 1.7 est un exemple typique des fonctions de transfert qu'il est possible de retrouver dans la littérature.

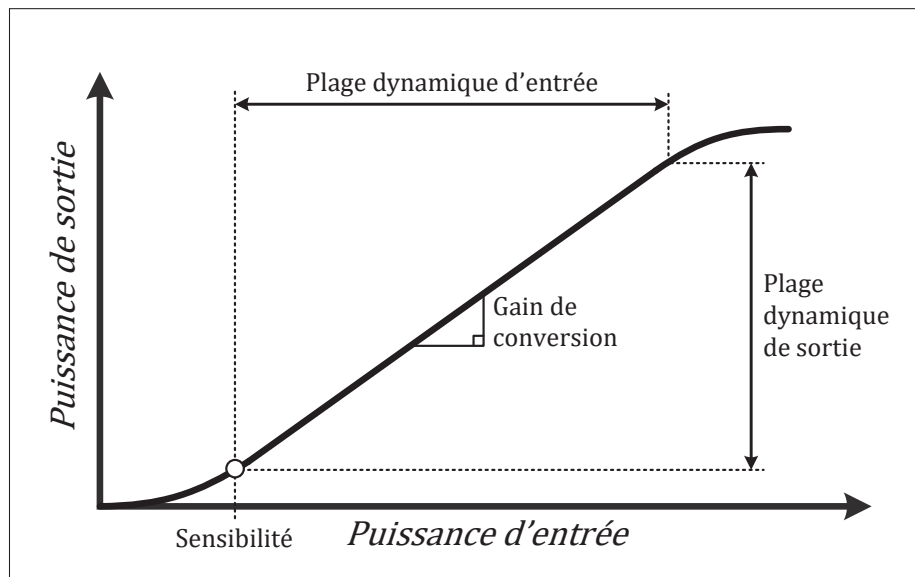


FIGURE 1.7 Caractéristiques d'une fonction de transfert des détecteurs d'enveloppe

- *Consommation*

La consommation énergétique des détecteurs dépend de plusieurs facteurs, dont la technologie, la topologie, le nombre d'étages, le gain, la tension d'opération, la plage dynamique de sortie, l'impédance d'entrée et de sortie. La consommation énergétique correspond à la puissance moyenne consommée ($P = VI$), soit la multiplication de la tension et du courant consommé,

pour l'ensemble du circuit de détection. Évidemment, celle-ci doit être la plus faible possible, car le détecteur est un élément de mesure parallèle au circuit principal. Dans la littérature, on retrouve des détecteurs qui consomment seulement quelques nanowatts (Wang *et al.*, 2017) alors que d'autres détecteurs peuvent consommer des dizaines de milliwatts (Xiong, Zhao & Kang, 2016). Cette grande variation de puissance est due aux facteurs énumérés plus haut, à l'application cible du détecteur et au type de détecteur (pré-polariser ou non). Dans la plupart des cas, la consommation de courant n'est pas un critère pertinent à lui seul s'il n'est pas comparé avec le circuit dans lequel il est intégré. Lorsque ce dernier est connecté avec un amplificateur de puissance, l'amplificateur devrait consommer beaucoup plus de puissance que le détecteur pour que la puissance du détecteur soit infime en comparaison. D'un autre côté, si le détecteur est utilisé dans une application de faible puissance comme les récepteurs radiofréquences, l'optimisation de la consommation énergétique est cruciale.

- *Fréquence d'opération*

La bande de fréquences d'opérations des détecteurs est la plage de fréquence sur laquelle le détecteur offre un gain de conversion de l'entrée vers la sortie le plus uniforme possible, bornée par une variation de 3 dB par rapport à la valeur nominale. Il existe des détecteurs pour toutes les bandes de fréquences allant de quelques centaines de MHz (Wang *et al.*, 2017) à plusieurs centaines de GHz (Hesler *et al.*, 2012). Souvent large bande, la fréquence d'opération peut être optimisée pour une application spécifique.

- *Rapidité*

La rapidité de détection fait référence à la bande passante de l'enveloppe dans la bande de base mesurée à la sortie du détecteur. Une représentation de cette caractéristique est présentée à la figure 1.9. Ce critère de performance est l'un des plus convoités, surtout pour les applications de démodulation, puisqu'il limite les applications à modulation large bande. Tel qu'il est énoncé par la loi d'Edholm (Cherry, 2004), la rapidité des systèmes de communication double tous les 18 mois. Ainsi, les détecteurs d'enveloppe doivent aussi suivre cette tendance pour être capables de mesurer les signaux des plus récentes technologies. En général, la bande passante du détecteur est mesurée à la sortie du détecteur en bande de base avec une bande passante variable du signal d'entrée. Le gain de conversion entre la sortie par rapport

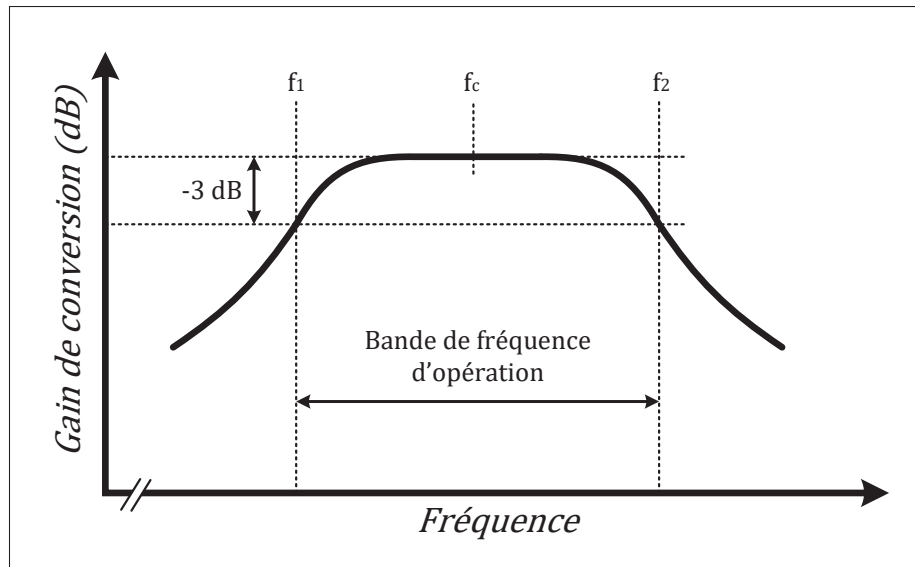


FIGURE 1.8 Caractéristique de la fréquence d'opération idéale

à l'entrée en fonction de la fréquence permet de déterminer la bande passante. Celle-ci est délimitée par une chute du gain de conversion de 3 dB par rapport à la valeur nominale. Afin de comparer la bande passante des détecteurs de façon équivalente, il est plus pertinent de calculer la bande passante fractionnelle (BPF) définie par l'équation 1.9. Celle-ci compare la bande passante en bande de base par rapport à la fréquence centrale du signal d'entrée.

$$BPF(\%) = \frac{f_b}{f_c} \cdot 100\% \quad (1.9)$$

- *Technologie*

Bien que les topologies de circuits puissent être adaptées dans différentes technologies de circuits intégrés CMOS, le choix de technologie affecte principalement la fréquence d'opération, la tension d'opération et la plage dynamique. En règle générale, pour un système intégré sur puce, le détecteur d'enveloppe sera conçu dans la même technologie que les autres circuits environnants. Par exemple, dans ce projet de recherche, le détecteur est conçu sur la même puce que l'amplificateur de puissance soit dans la technologie CMOS 180 nm. Bien que les technologies avancées permettent une plus petite surface et une plus grande

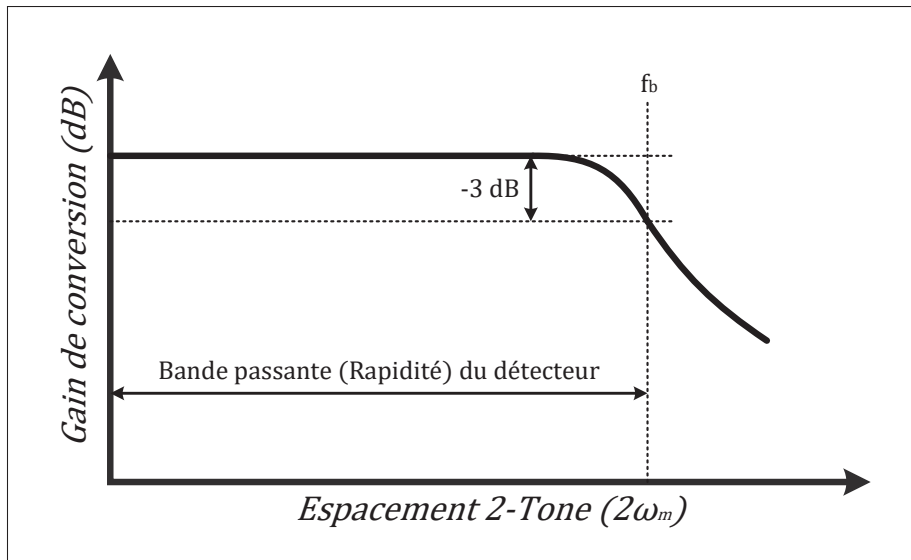


FIGURE 1.9 Caractéristique de la bande passante

fréquence d'opération, la plage dynamique est souvent limitée par la tension d'alimentation plus faible.

- *Impédance d'entrée*

L'impédance d'entrée permet de relier le détecteur d'enveloppe au circuit à mesurer dans une architecture radiofréquence sans trop la surcharger. Généralement, les impédances d'entrée sont suffisamment élevées, de l'ordre de plusieurs kilos ohms ($k\Omega$) pour minimiser l'impact sur les autres circuits. Dans ces applications, le détecteur d'enveloppe idéal agit comme un voltmètre qui s'insère en parallèle dans un circuit en présentant une haute impédance.

1.1.3 Travaux précédents

La structure utilisée dans ce projet de recherche a déjà été retrouvée dans des formats similaires à travers la littérature destinés à différentes applications. Cependant, la même topologie peut être utilisée avec des conditions de polarisation différentes pour exploiter les non-linéarités différemment selon la région d'opération. Comme discuté à la section 1.1.1, l'enveloppe d'un signal modulé peut être retrouvée avec les non-linéarités des transistors FET dans la région de faible inversion ou dans la région de saturation. Dans le premier cas, la fonction quadratique

est approximée par les deux premiers termes de la série de Taylor de la fonction exponentielle qui modélise le transistor dans cette région. Un filtre passe-bas est nécessaire pour éliminer les termes supplémentaires de la série. Dans le deuxième cas, la fonction quadratique est extraite de la relation du courant des transistors à canal long dans la région de saturation. Un accent est mis sur la technologie CMOS puisque la puce développée dans ce projet utilise cette technologie et l'intégration avec un amplificateur CMOS est pertinente pour des applications d'amélioration de la linéarité telles que présentées au chapitre 4.

Dans un premier temps, des travaux de recherche sur les détecteurs d'enveloppe en utilisant la première approche sont présentés pour mieux comprendre les enjeux et limitations de cette technique. Ensuite, d'autres travaux sont présentés, mais cette fois avec les transistors dans leur région de saturation, afin de mieux comparer le détecteur développé dans ce présent travail avec la littérature.

1.1.3.1 Détection dans la région de faible inversion du canal

Un détecteur d'enveloppe destiné à une application BIST a été développé dans la technologie CMOS 180 nm par Huang, Hsieh & Lu (2008). Leur système de test BIST au complet a une surface de 0.042 mm^2 , une alimentation de 1.8 V, une puissance statique de 7.2 mW et il fonctionne sur une plage de 1 à 10 GHz. La cellule comprenant le détecteur uniquement a une bande passante de 10 MHz et fonctionne dans la région de faible inversion. Cette région utilise la relation exponentielle telle que présentée dans la section 1.1.1.2.

La topologie présentée par Sleiman & Ismail (2010) est semblable à celle utilisée par Cheang, Un, Mak & Martins (2016) et dans ce projet. Cependant, les transistors dans l'étage de détection sont polarisés dans la région d'inversion faible et les auteurs ont ajouté une polarisation en 4 modes afin de couvrir une plus grande plage de tension d'entrée tout en conservant un grand gain de conversion pour une grande précision de mesure lors d'une lecture avec un convertisseur ADC. Leur détecteur a été conçu avec la technologie CMOS 180 nm de TSMC. Avec une

consommation totale de 0.8 mW sous une alimentation de 1.8 V, le détecteur a un gain de conversion de -10 V/V sur une bande de fréquence de 500 MHz à 9 GHz.

Le travail présenté par van Liempd *et al.* (2012) propose une architecture complètement différentielle avec une topologie de transistor en grille commune. Basée sur la littérature, la topologie propose une réjection du mode commun de 46.3 dB qui n'était pas présent dans d'autres structures. Le détecteur consomme uniquement 3 μ W sur 1.2V et il a été conçu avec la technologie CMOS 90 nm.

1.1.3.2 Détection dans la région de saturation

Les travaux de Zhang, Gharpurey & Abraham (2008) présentent un détecteur d'enveloppe pour une application BIST destinée à la mesure du gain de conversion et du niveau d'intermodulation d'un récepteur radio fonctionnant à 940 MHz. La structure a été conçue avec la technologie CMOS 180 nm avec une consommation de seulement 0.6 mW et une taille sur puce de 4320 μ m². La topologie utilisée est celle d'une paire pseudodifférentielle similaire à celle utilisée dans ce projet de recherche. L'impédance d'entrée est estimée à 7.6 k Ω , ce qui ne crée pas d'effet de charge sur la plupart des systèmes où le détecteur sera connecté. Finalement, la plage dynamique d'entrée linéaire est d'environ 500 mV pour une plage dynamique de sortie d'environ 350 mV.

Un *et al.* (2015) présentent une architecture similaire composée d'un premier étage à base de transistor NMOS pour faire l'extraction de l'enveloppe suivie d'un étage de type source commune pour amplifier le signal de l'enveloppe. Bien que cette topologie soit semblable à celle réalisée dans ce travail, la bande passante est limitée à 1 MHz et il est destiné à la compensation du débalancement des signaux I/Q et du LOFT (« Local Oscillator Feedthrough »). Leur détecteur a été fabriqué dans la technologie CMOS 65 nm et il peut fournir un gain de 11.8 dB.

Un des travaux le plus près de l'approche utilisée pour détecter l'enveloppe d'un signal modulé est celui de Su, Xia, Geng & Liu (2019). Les transistors de détection sont polarisés en saturation pour exploiter la relation quadratique des FET, comme présenté à la section 1.1.1.2. Dans

ce travail, l'équipe a réussi à atteindre une bande passante de 120 MHz avec une fréquence d'opération de 3 GHz avec la technologie CMOS 180 nm. Ainsi, basée sur l'équation 1.9, la bande passante fractionnelle est de 4%. Leur détecteur fonctionne à 1.8 V et consomme une puissance statique de 18 mW. L'entrée est en mode commun, mais elle est convertie en mode différentielle à l'aide d'un préamplificateur pour attaquer l'entrée du détecteur.

1.1.3.3 Résumé

En général, les détecteurs d'enveloppe retrouvés dans la littérature sont limités en bande passante. Bien que les travaux de Serhan *et al.* (2015) ont démontré une bande passante allant jusqu'à 700 MHz, celle-ci est utilisée pour une plage de fréquence de 50 à 66 GHz. Ainsi, la bande passante fractionnelle est d'environ 1%. Les travaux de Su *et al.* (2019) ont démontré une bande passante de 120 MHz avec une topologie similaire à celle utilisée dans ce projet et avec les transistors en opération dans la zone de saturation. La bande passante fractionnelle est de 4%, mais la puissance consommée est de 18 mW sous 1.8 V.

Le tableau 1.1 présente un résumé des caractéristiques techniques des détecteurs d'enveloppe les plus pertinents pour ce travail de recherche. Celui-ci comprend les détecteurs de type « square-law » dans la région de faible inversion et dans la région de saturation des transistors FET.

1.2 Amplificateurs de puissance

Les amplificateurs de puissance radiofréquence sont des composants essentiels dans toute architecture de télécommunication. Ils permettent d'amplifier les signaux d'information modulés pour les transmettre à un autre appareil connecté à distance. Un exemple d'architecture de transmission radiofréquence est présenté à la figure 1.10. Ces amplificateurs peuvent être conçus avec différentes technologies tout dépendants des performances et de l'application visée. Bien que les amplificateurs de puissance dans les stations de télécommunication de base soient habituellement conçus avec des éléments discrets pour pouvoir fournir de grandes quantités de

TABLEAU 1.1 Résumé des détecteurs d'enveloppe les plus pertinents dans la littérature

Travaux de recherche	Fréquence d'opération	Bande passante	Surface	Puissance consommée
Zhang et al. (2008)	940 MHz	-	4320 μm^2	0.6 mW
Huang, Hsieh & Lu (2008) ^{1,2}	1 à 10 GHz	10 MHz	42000 μm^2	7.2 mW
Sleiman (2010) ¹	0.5 à 9 GHz	-	-	0.8 mW
Un et al. (2015)	-	1 MHz	-	-
Su et al. (2019)	3 GHz	120 MHz	-	18 mW

¹ La structure utilise les transistors dans leur région de faible inversion

² Les performances affichées incluent tout le système BIST

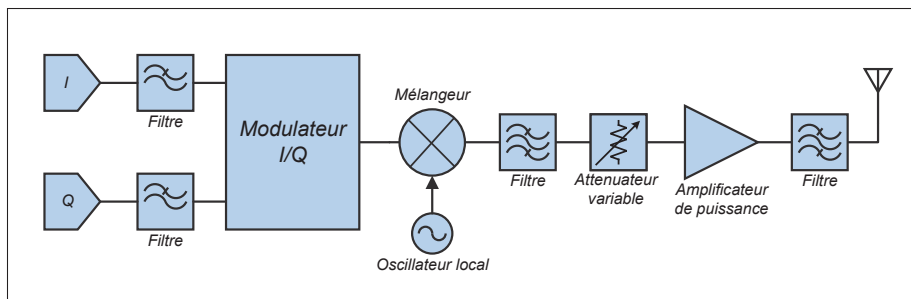


FIGURE 1.10 Architecture simplifiée d'un transmetteur radiofréquence tirée de Keysight (2022)

puissance, ce présent projet de recherche vise plutôt les applications mobiles et IoT de faible puissance destinées aux communications 5G, Wi-Fi et autre. Dans cette perspective, le domaine spécifique de conception d'amplificateurs de puissance radiofréquence intégrés sur puce (RFIC PA) est exploré et les critères de performances sont présentés.

1.2.1 Technologies de semi-conducteur

Le monde des semi-conducteurs ne cesse d'évoluer et de nouvelles technologies sont disponibles année après année. La technologie la plus répandue est le CMOS à base de silicium dû

principalement aux systèmes VLSI (« Very Large-Scale Integration ») numériques. Par exemple, les plus récents et les plus performants systèmes sur puce contiennent jusqu'à 114 milliards de transistors (Apple, 2022). Les transistors CMOS sur silicium est une technologie qui a vu un connu un grand essor dû à sa grande capacité d'intégration, et sa faible consommation en puissance. En fait, la technologie BJT, qui a été initialement développée avant le CMOS, comprend certains avantages en comparaison, comme un gain intrinsèque plus grand pour une intensité de courant donnée ainsi qu'une fréquence de fonctionnement beaucoup plus élevée. Cependant, la technologie CMOS s'est distinguée davantage sur la faible consommation puisque avec une grande intégration de transistor comme c'est le cas aujourd'hui avec les plus récents systèmes sur puce, la consommation de puissance devient un enjeu considérable. Bien que le silicium présente de nombreux avantages pour les systèmes numériques et certains circuits analogiques, celui-ci n'est pas le meilleur choix pour les performances des amplificateurs de puissance radiofréquence où les tensions et courants en jeu sont plus élevés. Cependant, plusieurs recherches ont orienté leurs efforts à pousser les performances de la technologie CMOS afin d'améliorer le compromis de performance. L'idée est d'intégrer tous les composants d'une architecture radiofréquence dans une seule puce CMOS pour réduire les coûts et la taille (Aoki, Kee, Rutledge & Hajimiri, 2002).

Entre autres, les plus récentes technologies CMOS avec une longueur de grille de quelques nanomètres forcent les circuits à utiliser des tensions d'alimentation de plus en plus faible, ce qui limite la puissance de sortie pour les amplificateurs. Aussi, un des principaux désavantages de la technologie CMOS sur silicium est les pertes du substrat, ce qui réduit le gain par étage. Il faut donc utiliser plusieurs étages en cascade pour un même gain, ce qui augmente la complexité lors de la conception. Aussi, la fréquence d'opération est limitée par la mobilité des charges dans le semi-conducteur qui est plus faible que dans d'autres procédés de fabrication.

D'autres technologies de semi-conducteurs offrent des performances bien meilleures que le silicium, notamment pour les amplificateurs de puissance. Les semi-conducteurs composés des colonnes III et V du tableau périodique peuvent fournir des puissances beaucoup plus élevées, résister à des tensions plus élevées à la sortie et opérer à des fréquences plus élevées. Parmi les

plus utilisés dans la conception d'amplificateurs de puissance, on retrouve l'arséniure de gallium (GaAs), le nitrure de gallium (GaN) et le carbure de silicium (SiC). Ces composés peuvent être utilisés dans différentes configurations (HBT, MESFET, HEMT, etc.) pour offrir de meilleures performances.

Cependant, Franco (2009) explique que l'approche de conception est différente pour les technologies CMOS de celles des catégories III-V. Dû à la faible tension d'opération des transistors sur silicium, ceux-ci sont souvent placés en série, pour fournir une plus grande puissance, avec une longueur de grille minimale pour opérer à des fréquences plus élevées. Pour les catégories III-V, ceux-ci sont le plus souvent connectés en parallèle puisqu'ils peuvent supporter de plus grand niveau de courant. Une des principales raisons pour laquelle le silicium est encore utilisé pour les architectures radiofréquences malgré ses désavantages est son faible coût et son grand volume de production. Surtout pour l'industrie mobile, pour laquelle le coût est un enjeu important. Dans d'autres applications comme les stations de télécommunication de base, la technologie CMOS n'offre pas les performances nécessaires pour répondre aux spécifications et les demandes en puissance sont de l'ordre de plusieurs watts.

Malgré ses désavantages, le silicium demeure le choix le plus intéressant pour l'intégration d'une architecture radiofréquence mobile puisque l'infrastructure de production à grand volume est déjà en place, il est produit à faible coût et dans la même technologie que les systèmes numériques sur la même puce. Une variante intéressante de la technologie CMOS sur silicium standard est le silicium sur isolant (SOI : « Silicon On-Insulator »). Celui-ci permet de créer une barrière entre le canal de conduction des transistors et le substrat, limitant les pertes de substrat souvent associées à la technologie CMOS sur silicium conventionnel. Par exemple, Fang, Sugiura & Yoshimasu (2020) ont démontré le fonctionnement d'un amplificateur de puissance fonctionnant à 28 GHz avec une technologie CMOS-SOI pour une puissance de sortie de saturation de 21.5 dBm.

L'intégration des technologies plus performantes à l'architecture CMOS en silicium est aussi explorée afin de bénéficier du meilleur compromis de chaque technologie. Wang, Chiu & Chiu

(2019) présentent la fabrication de puce de silicium (Si) avec une couche de nitrure de gallium (GaN). Ainsi, il est possible de bénéficier du CMOS standard pour les circuits analogiques et la couche de nitrure de gallium pour les composants radiofréquences haute puissance.

Finalement, bien que des technologies basées sur une composition mixte de semi-conducteurs permettent d'obtenir de meilleures performances pour l'amplificateur de puissance, la technologie CMOS offre encore de nombreux avantages pour les applications mobiles. Dans le cadre de ce projet de recherche, la technologie CMOS 180 nm est utilisée pour la conception du détecteur d'enveloppe ainsi que l'amplificateur radiofréquence. Ce choix est dicté essentiellement par la robustesse de ce procédé en termes de tension de claquage, ce qui facilite les investigations expérimentales.

1.2.2 Classes d'amplification

Les classes d'amplification permettent de faire un choix sur la polarisation de l'amplificateur afin d'obtenir le compromis de performance souhaité. En réalité, les classes d'amplification représentent plutôt un spectre défini par l'angle de conduction sur une période. Les classes identifient une condition particulière où l'angle de conduction est représenté par une valeur fixe, mais dans les faits, il y a une infinité de possibilités quant au choix de polarisation de l'amplificateur. Le choix de la classe d'amplification est fait généralement en fonction d'un compromis entre la linéarité et l'efficacité.

L'idée générale des classes d'amplification est de faire un choix sur l'angle de conduction du transistor qui a un impact sur la linéarité et l'efficacité. La classe la plus linéaire est aussi la moins efficace alors que la classe la plus efficace est aussi la classe la moins linéaire. Ce choix de compromis est généralement fait à partir de spécifications de puissance pour l'efficacité et de type de modulation pour la linéarité. Par exemple, une modulation uniquement en phase comme le QPSK n'aura pas les mêmes requis de linéarité qu'une modulation en amplitude et en phase comme le QAM64. Aussi, la linéarité joue un rôle sur le niveau de distorsion acceptable pour respecter des normes de communication établies. La puissance moyenne dissipée par un

transistor est définie comme étant la puissance consommée sur une période de temps T :

$$P_{moy.} = \frac{1}{T} \int_0^T p(t) dt \quad (1.10)$$

Les classes les plus efficaces minimisent le temps où la tension et le courant se retrouvent au même moment dans le transistor. Ainsi, la puissance dissipée est minimale et l'efficacité est améliorée. Cependant, l'inconvénient de cette technique est la détérioration de la linéarité.

Afin de comparer les classes d'amplificateurs, il est pertinent d'introduire l'efficacité du drain présenté à l'équation 1.11 qui compare la quantité d'énergie utile à la quantité d'énergie utilisée. En d'autres termes, c'est le ratio de puissance radiofréquence transmise sur la puissance dissipée ou consommée par l'amplificateur.

$$\eta = \frac{P_{RFsortie}}{P_{DC}} \quad (1.11)$$

Une des relations utilisées pour quantifier la linéarité est le taux de distorsion harmonique (THD dans la littérature anglophone) qui fait le rapport entre la somme des harmoniques et le signal fondamental. Ainsi, un THD de 0% indique une linéarité parfaite :

$$THD(\%) = 100 \cdot \frac{\sum v_{harm}^2}{v_{fund}^2} \quad (1.12)$$

Les classes d'amplification A, AB, B et C sont les classes de bases. Il existe dans la littérature de nombreuses autres classes d'amplification avec chacune d'entre-elle des avantages et inconvénients quant aux performances radiofréquences. Ces trois classes de base sont survolées pour donner un aperçu du compromis efficacité-linéarité et une brève présentation des classes D, E et F est faite pour comparer les performances et l'architecture de ces topologies plus récente.

- Classe A

La catégorie de polarisation la plus linéaire et la plus simple est surnommée la classe A. Cette configuration polarise le transistor avec un angle de conduction de 360°. En d'autres termes, le transistor conduit sur toute la période du signal. Ainsi, en respectant la plage dynamique

d'entrée et de sortie du montage, celui-ci n'offre techniquement aucune distorsion ajoutée, soit un THD de 0%. Ainsi, cette classe d'amplificateur peut être choisie pour amplifier des signaux avec une grande fidélité. Le point de polarisation est choisi comme étant le point médian sur la courbe de charge afin de maximiser la plage dynamique d'entrée et de sortie en restant dans la zone active du transistor. Dans cette configuration, l'efficacité du drain (η) ne peut pas dépasser les 50% puisqu'une tension et un courant statique au point milieu de la droite de charge sont nécessaires pour maintenir le transistor dans la classe A. Ainsi, la puissance en courant continu (DC) pour maintenir le transistor en classe A consomme à elle seule la moitié de la puissance radiofréquence qu'il est possible d'amplifier. La classe A est reconnue pour consommer une grande quantité de puissance statique qui se traduit en chaleur.

- Classe B

La classe B correspond à un angle de conduction du transistor de 180° , ce qui équivaut à une demi-période du signal. Ainsi, le transistor consomme de la puissance uniquement sur une demi-période, ce qui améliore l'efficacité. Cependant, le compromis est fait sur la linéarité puisque l'arrêt de conduction pendant une demi-période crée une saturation du signal du fait que le transistor change de région d'opération et cela a pour effet d'introduire de la distorsion dans le signal. Durant l'autre moitié de la période, le courant statique est presque nul, ce qui ne génère pas de puissance dissipée par le transistor, même si la tension à ces bornes est non-nulle de par l'équation $P = VI$. L'efficacité maximale théorique de l'amplificateur de classe B est de $\frac{\pi}{4} \approx 78.5\%$ (Cripps, 2006).

- Classe AB

Comme son nom l'indique, la classe AB n'est pas associée à un angle de conduction précis, mais représente plutôt toute la plage des angles de conduction entre 360° et 180° , soit entre la classe A et la classe B. Ainsi, il est possible de choisir le meilleur compromis entre efficacité et linéarité pour une application donnée. La classe AB offre un compromis entre efficacité et linéarité.

- Classe C

La classe C correspond à un angle de conduction inférieur à 180° . Dans cette situation, le

transistor conduit sur moins que la moitié de la période du signal. Ainsi, l'efficacité est améliorée, mais la linéarité est dégradée. Théoriquement, il serait possible de polariser le transistor avec un angle de 0° , ce qui offrirait une efficacité de 100%, mais cette approche n'est pas réellement utilisée due à la forte puissance d'entrée qui doit être fournie pour un niveau acceptable de puissance en sortie. Aussi, les grandes amplitudes de crêtes négatives à l'entrée concordent avec les grandes amplitudes de crête positives à la sortie, ce qui présente une large tension drain-grille qui peut endommager le transistor (Cripps, 2006).

D'autres classes d'amplifications qui utilisent des approches différentes pour améliorer le compromis d'efficacité et de linéarité existent dans la littérature. Notamment, les classes D et E utilisent les transistors en commutation pour minimiser le temps où la tension et le courant se retrouvent au même moment aux bornes du transistor. Ces classes d'amplification visent des efficacités supérieures à celles des classes A, B et C aux dépens de la linéarité. On peut aussi retrouver la classe F dans la littérature. Celle-ci utilise des filtres à la sortie de l'étage des transistors pour annuler les fréquences d'ordre impaires ($3f_0, 5f_0, 7f_0\dots$) afin de conserver uniquement le signal d'intérêt et améliorer la linéarité et l'efficacité. Idéalement, un nombre infini de filtres coupe-bande permet de retrouver le signal fondamental à la sortie. En contrepartie, ces architectures sont plus complexes à concevoir que les classes A, AB ou B puisqu'ils demandent un nombre élevé de filtres coupe-bande pour la réjection des harmoniques qui sont difficiles à bien ajuster en pratique.

En résumé, les classes d'amplificateur permettent au concepteur de faire un choix de l'angle de conduction et de la topologie à adopter pour obtenir le compromis de performance désiré. Tel que présenté, le compromis entre efficacité, linéarité et puissance requise à l'entrée permet de sélectionner une topologie par rapport à une autre selon l'application et les spécifications données. Bien entendu, le type de modulation aura un impact sur le choix de la classe puisque les modulations à grandes variations d'amplitude devront être opérées plusieurs décibels sous le point de compression, ce qui détériore l'efficacité de l'amplificateur. D'un autre côté, les modulations en phase qui ont une amplitude constante peuvent être opérées dans la région de compression non linéaire pour bénéficier d'une meilleure efficacité. Le tableau 1.2 présente un

résumé des caractéristiques des classes d'amplificateur discuté dans cette section. La conception d'amplificateur radiofréquence ne s'arrête pas aux classes définies ci-bas, mais elles servent plutôt à orienter le choix sur le meilleur compromis entre efficacité et linéarité. Aussi, malgré les performances radiofréquences théoriques qu'il est possible d'obtenir pour chacune des classes présentées, l'implémentation est aussi un enjeu de conception important qui doit être tenu en compte lors de la conception.

TABLEAU 1.2 Résumé des classes d'amplification

Classe	Type	Angle de conduction	Linéarité	Efficacité	Implémentation
A	Linéaire	360°	Élevée	Faible	Simple
AB	Linéaire	180° à 360°	Moyenne	Moyenne	Simple
B	Linéaire	180°	Moyenne	Moyenne	Simple
C	Linéaire	0° à 180°	Faible	Élevée	Simple
D/E	Commutation	-	Élevée	Élevée	Complexe
F	Accord harmonique	-	Élevée	Élevée	Complexe

1.2.3 Différentes topologies de montage à transistor

Bien que les différentes classes d'amplificateur offrent différents compromis sur l'efficacité et la linéarité, il est aussi possible de changer la topologie utilisée pour bénéficier d'autres avantages qui peuvent être pertinents pour l'application visée. Certaines topologies vont permettre d'augmenter la puissance de sortie alors que d'autres bénéficieront d'une plus grande bande passante. Les topologies présentées dans les prochaines sous-sections proposent l'utilisation de transistor FET par simplicité, mais ils pourraient aussi être remplacés par leur équivalent en bipolaire.

Pour augmenter le gain total de l'amplificateur, il est toujours possible d'ajouter plusieurs étages en cascade. Cependant, la complexité d'adaptation entre les étages et l'augmentation de la surface sur puce sont des inconvénients à cette approche. De façon similaire, il est possible

d'augmenter la puissance de sortie en augmentant la taille des transistors utilisée. Cependant, cette technique a une limite due à la technologie CMOS utilisée et la capacité totale de grille limitera la performance pour une fréquence d'opération donnée. Une discussion plus approfondie de ces aspects de conception est présentée dans la section 3.2.1 du chapitre 3.

Pour toutes les topologies présentées, il faut faire une adaptation d'impédance à l'entrée et à la sortie de chaque étage afin de présenter une impédance complexe et conjuguée afin d'avoir un transfert maximal en puissance. Il est important de noter qu'il y a deux types d'adaptation d'impédance : une adaptation en gain et une adaptation en puissance. Pour les amplificateurs à faible bruit, la première approche est utilisée alors que pour les amplificateurs de puissance, la deuxième est préférable. La principale différence est que la première optimise l'adaptation d'impédance en fonction des performances petit signal (paramètres S) alors que la dernière optimise l'adaptation d'impédance en fonction des performances grand signal comme le point de compression.

1.2.3.1 Source commune / Émetteur commun

La configuration la plus simple est celle de l'émetteur commun pour les transistors BJT ou source commune pour l'équivalent avec des FET. La figure 1.11 présente la structure pour les transistors FET. Cette topologie nécessite peu de composants et le gain du montage est en proportion directe avec la transconductance de la matrice de transistor. La puissance maximale de sortie est limitée par la tension de claquage des transistors et le courant que peut fournir la matrice de transistor. Il est possible d'ajouter davantage de matrices en parallèle, mais cette technique arrive à une limite due à l'augmentation de la tension de seuil pour les transistors FET, les pertes dans le substrat et la capacité de grille qui limite la fréquence d'opération.

Avec les nouvelles technologies CMOS, il devient de moins en moins intéressant d'utiliser cette topologie puisque la tension d'alimentation ne cesse de diminuer, ce qui limite la puissance de sortie. Cependant, d'autres technologies comme le GaN ou le GaAs tirent avantage de la simplicité de cette structure, car celles-ci ne sont pas contraintes à des tensions plus faibles.

Même qu'elles peuvent utiliser plusieurs transistors en parallèle pour augmenter le courant et ainsi offrir une puissance de sortie plus élevée (Franco, 2009).

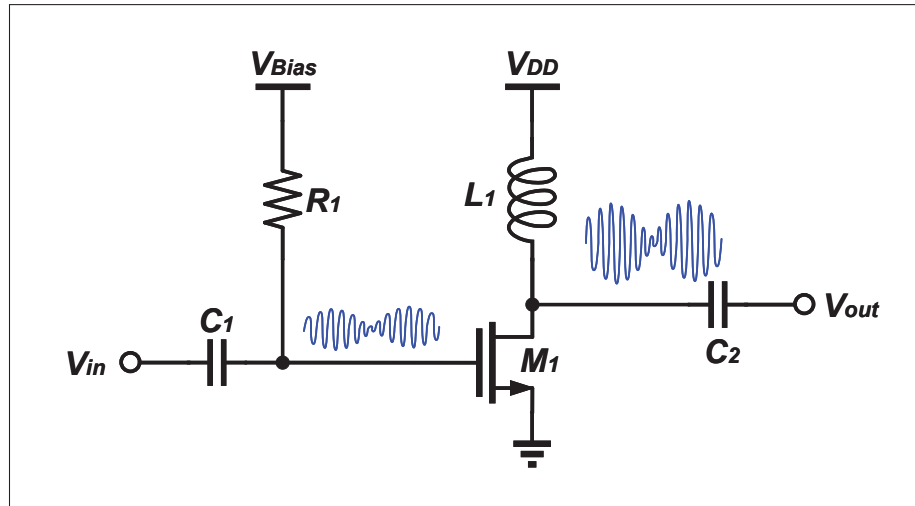


FIGURE 1.11 Schéma simplifié d'une topologie en source commune

1.2.3.2 Stacked-FET

La configuration « stacked-FET », comme son nom l'indique, utilise deux ou plusieurs transistors en série semblable à une configuration cascode. La différence avec le cascode est l'ajout de la capacité à la grille des transistors en configuration grille commune (transistor du haut). Ce condensateur permet d'ajuster l'impédance vue à la source des transistors en configuration grille commune pour ajuster l'amplitude des signaux V_{DS} aux bornes de chacun des transistors afin qu'ils soient le plus possible de la même amplitude pour qu'ils s'additionnent en amplitude et en phase.

La structure « stacked-FET » a déjà été utilisée dans différentes applications dans la littérature. Notamment, Kim & Kwon (2015) discutent de l'utilisation de la structure pour les amplificateurs de puissance dans la bande millimétrique. Ils présentent une analyse théorique ainsi que des résultats expérimentaux pour démontrer l'amélioration de la puissance de sortie pour une structure « stacked-FET » avec un nombre variable de transistors en série. Cette topologie

permet de fournir plus de puissance que les configurations à un seul transistor en configuration source commune puisque pour le même courant de drain, il est possible d'augmenter la tension d'alimentation tout en respectant les tensions de claquage des transistors. En effet, la variation de tension au drain est répartie également aux bornes des transistors M1, M2 et M3 sur la figure 1.12. Par exemple, pour des transistors CMOS de 1.8 V, il est possible de doubler la tension

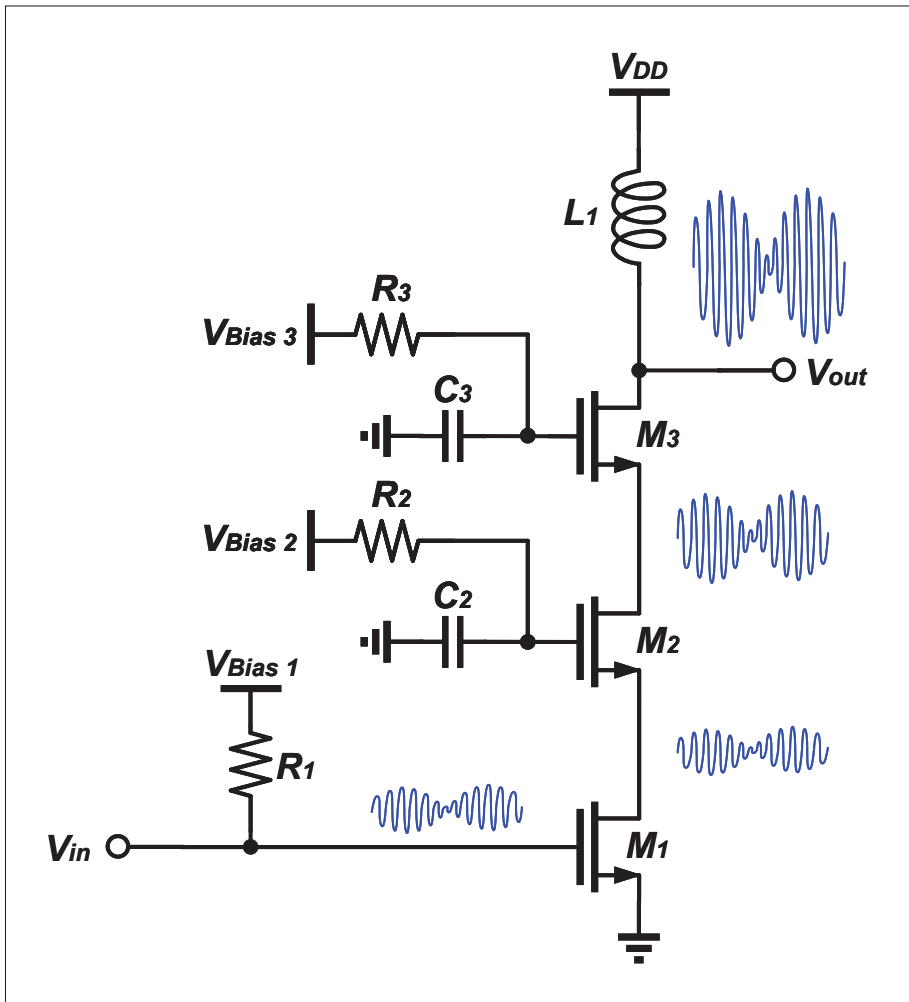


FIGURE 1.12 Structure « stacked-FET » avec trois transistors en série pour présenter le fonctionnement

d'alimentation à 3.6 V en conservant le même courant de drain puisque chaque transistor aura 1.8 V au maximum à ses bornes. Ainsi, en augmentant la tension d'alimentation, la puissance de

sortie est aussi augmentée. Il est possible d'ajouter plusieurs transistors en série, d'augmenter la tension d'alimentation, et ainsi d'augmenter la puissance de sortie de la même façon.

La structure « stacked-FET » devient particulièrement intéressante pour les plus récentes technologies qui utilisent des tensions nominales très faibles. Ainsi, il est possible d'utiliser ces procédés, mais avec des tensions d'alimentation plus élevées en plaçant plusieurs transistors en série. Jayamon *et al.* (2013) ont utilisé une structure « stacked-FET » avec la technologie RF-SOI 45 nm et une alimentation de 4.2V avec trois transistors en série. Leur recherche a démontré une puissance de sortie P1dB de 11.5 dBm à 90 GHz.

1.2.4 Critères de performance

Les amplificateurs de puissance RF sont des composants complexes non seulement par leur conception, mais aussi par le grand nombre de critères de performance qui les caractérisent.

1.2.4.1 Régime petit-signal

- *Paramètres S*

Les paramètres S sont très répandus pour mesurer les coefficients de réflexion et transmission pour des composants passifs ou actifs en radiofréquence. Les paramètres S offrent une matrice de N^2 éléments avec N étant le nombre de ports du système. Ces matrices peuvent être converties en paramètre d'impédance ou d'admittance au besoin. Pour les amplificateurs radiofréquence, la mesure des matrices de paramètres S est utilisée pour caractériser l'amplificateur dans sa région linéaire, soit pour de faibles puissances d'entrée. Les paramètres S_{11} et S_{22} représentent les coefficients de réflexions d'entrée et de sortie respectivement. Leurs magnitudes peuvent être converties en dB pour mieux indiquer le niveau d'adaptation aux ports par rapport à une source et une charge de 50 Ω . Le paramètre S_{21} représente le coefficient de transmission, en d'autres termes, cela correspond au gain de l'amplificateur.

- *Stabilité*

La stabilité est très importante dans la conception d'un amplificateur RF puisque la moindre instabilité peut créer une oscillation et perturber la chaîne d'amplification. Les sources

d'instabilité peuvent être variées et elles peuvent provenir d'une boucle de rétroaction quelque part dans le circuit qui ne respecte pas la condition de Barkhausen. Par exemple, il se peut que l'instabilité soit causée par un signal de forte amplitude de la sortie de l'amplificateur qui se propage vers l'entrée de celui-ci et forme une boucle de rétroaction. Aussi, l'inductance à la source des montages d'amplificateur RF doit être minimisée puisque l'inductance permet de développer une tension à la source comme dans le montage de source dégénérative, ce qui crée une boucle de rétroaction négative avec l'entrée à la grille du transistor. D'autres sources d'instabilités incluent l'impédance négative qui amplifie de faibles variations pour entraîner un effet oscillatoire. Il y a plusieurs façons de valider la stabilité inconditionnelle d'un amplificateur. La technique bien connue développée en 1966 (Ku, 1966) utilise les cercles de stabilité composés de rayons et de distance par rapport au centre de l'abaque de Smith. En fonction des différentes conditions et paramètres (Δ et K), on peut évaluer la stabilité inconditionnelle sur la plage de fréquence désirée. Edwards & Sinsky (1992) ont présenté une nouvelle approche pour évaluer la stabilité à l'aide d'un seul paramètre : μ .

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{21} \cdot S_{12}|} \quad (1.13)$$

$$\mu' = \frac{1 - |S_{22}|^2}{|S_{11} - S_{22}^* \Delta| + |S_{21} \cdot S_{12}|} \quad (1.14)$$

avec $\Delta = S_{11}S_{22} - S_{12}S_{21}$. Pour assurer la stabilité inconditionnelle aux ports, μ doit être supérieur à 1. Cette condition unique et suffisante doit être validée sur toute la plage de fréquence de l'amplificateur. Le non-respect de cette condition sur une petite ou une large bande de fréquence indique qu'il y a un potentiel d'instabilité à ces fréquences. Pour une conception stable et robuste, il est préférable de respecter la condition sur toute la plage de fréquence. Ainsi, ce nouveau paramètre est la seule et unique condition pour valider la stabilité aux ports. Par contre, il faut faire attention puisque le paramètre μ indique la stabilité uniquement aux ports et pour un amplificateur radiofréquence multiétage, cela ne garantit pas la stabilité globale de l'amplificateur puisque qu'il peut y avoir des instabilités entre les étages qui n'apparaissent pas aux ports d'entrée et de sortie. Pour ces applications, il

faut assurer aussi la stabilité interétage en utilisant des sondes bidirectionnelles sans effet de charge pour le circuit afin de vérifier que les coefficients de réflexion à tous les points dans le circuit indiquent une stabilité inconditionnelle. Comme dernière étape d'évaluation de la stabilité lors de la conception, il est possible de stimuler l'amplificateur avec une entrée en échelon dans le domaine temporel.

- *Consommation*

La consommation de courant statique est fortement liée au point de polarisation de l'amplificateur. Ce critère indique le courant et ainsi, la puissance consommée lorsqu'aucun signal n'est présenté à l'entrée de l'amplificateur. Celle-ci est aussi liée au choix de classe d'amplification présenté à la section 1.2.2.

1.2.4.2 Régime grand-signal à une tonalité (1-Tone)

Les amplificateurs de puissance opèrent souvent dans la région non linéaire, aussi appelée la région grand-signal. Le signal à une seule tonalité désigne un signal avec une seule composante fréquentielle qui dans le spectre temporel peut être définie selon la façon suivante $f(t) = A \cos(\omega t)$. Avec un signal sinusoïdal d'amplitude constante, il est possible de caractériser un amplificateur avec plusieurs critères de performances.

- *Point de compression P_{1dB}*

Le point de compression est un paramètre utilisé pour caractériser le niveau de puissance d'entrée ou de sortie qui distingue la région dite linéaire de la région de forte compression de l'amplificateur. Il est important de connaître cette caractéristique puisque l'information transmise au-delà de la région linéaire pourrait être déformée due aux non-linéarités, ce qui ne permettrait pas de retrouver l'information au niveau du récepteur. Tel que son nom l'indique, le point de compression représente le point de croisement entre la puissance d'entrée et de sortie lorsque le gain petit signal a diminué de 1 dB. Habituellement, on retrouve deux courbes associées à ce paramètre et tous deux sont présentés à la figure 1.13. La première étant un graphique de la puissance d'entrée en fonction de la puissance de sortie. Pour un amplificateur idéal, la puissance de sortie devrait être linéaire et suivre la

puissance d'entrée avec un décalage « G » qui correspond au gain de l'amplificateur. La deuxième est un graphe du gain en fonction de la puissance de sortie. Cette perspective est particulièrement intéressante puisqu'elle permet de voir l'effet du gain selon la puissance de sortie. On remarque que le gain diminue considérablement au-delà du point de compression P1dB. Aussi, la région dite linéaire est caractérisée par le plateau de gain constant pour les faibles puissances de sortie. Pour la caractérisation des amplificateurs de puissance RF, ce dernier est davantage utilisé dans la littérature et c'est ce dernier qui sera utilisé dans ce présent mémoire.

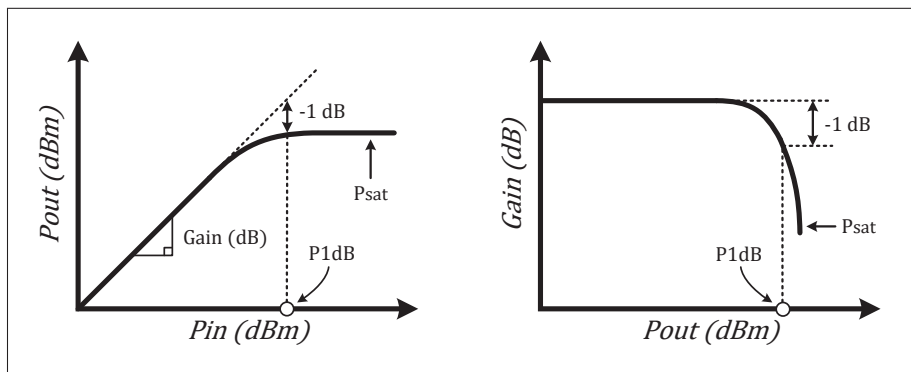


FIGURE 1.13 Relation typique entre la puissance de sortie en fonction de la puissance de sortie (gauche). Relation typique entre le gain de l'amplificateur en fonction de la puissance de sortie (droite)

- *Efficacité*

L'efficacité est très importante pour un amplificateur puisque bien souvent, de grandes quantités de courant sont consommées par celui-ci. Ainsi, l'efficacité permet de quantifier combien de puissance radiofréquence est transmise par rapport à la quantité de puissance dissipée. Idéalement, aucune puissance en courant continu ne devrait être fournie pour générer une efficacité de 100%, ce qui signifierait aussi que le transistor ne dissipe aucune énergie. La caractéristique première d'efficacité est appelée efficacité du drain et la définition a été présentée à l'équation 1.11. Ce critère est souvent utilisé dans les structures d'amplificateur simple à un étage et dans les montages où la puissance d'entrée est faible. Par contre, pour les amplificateurs plus complexes avec plusieurs étages et avec des puissances plus élevées à

l'entrée, l'efficacité du drain n'est plus valide puisqu'une partie de la puissance de sortie est composée de la puissance d'entrée. Pour cette raison, l'efficacité d'ajout de puissance est davantage utilisée.

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (1.15)$$

Cette dernière calcule l'efficacité en fonction du gain entre la sortie et l'entrée de l'amplificateur. Une courbe typique de l'efficacité en fonction de la puissance de sortie est présentée à la figure 1.14. Pour de faibles puissances de sortie, l'efficacité est généralement faible (< 1%) puisque l'amplificateur consomme une grande quantité d'énergie pour maintenir les transistors dans leur région d'amplification. L'efficacité est maximisée dans la région de compression de l'amplificateur puisque l'amplitude des tensions et courants est à leur maximum. Au-delà d'une certaine puissance de sortie, l'amplificateur entre en forte saturation et le gain diminue considérablement. Cet effet est marqué par une baisse de l'efficacité pour de grandes puissances de sortie telles que présentées à la figure 1.14.

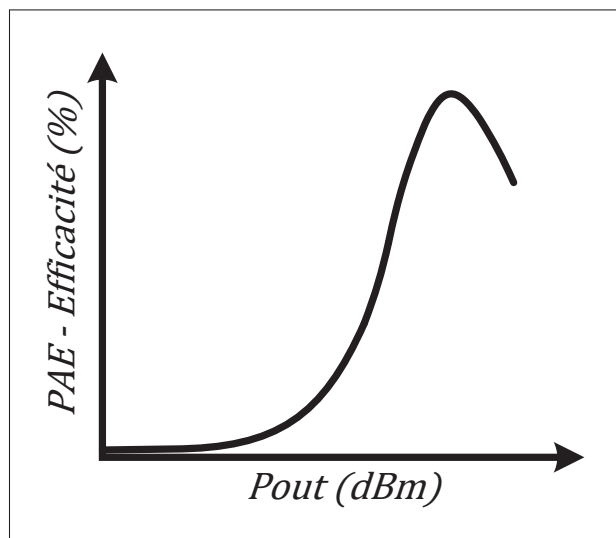


FIGURE 1.14 Réponse typique de l'efficacité d'ajout de puissance en fonction de la puissance de sortie

1.2.4.3 Régime grand-signal à deux tonalités (2-Tone)

Le test à deux tonalités est semblable au test à une seule tonalité présenté précédemment, cependant, il est composé de deux tonalités dans le spectre fréquentiel, ce qui permet de caractériser l'amplificateur avec un nouveau lot de critères de performance. La principale différence est que la composition d'un signal avec deux tonalités cause une modulation en amplitude. Ainsi, il est possible de caractériser les performances de l'amplificateur avec une variation de l'enveloppe dans le domaine temporel.

- *Linéarité*

Le niveau d'intermodulation (pour un test à deux tonalités) ou le niveau de distorsion ACPR (« Adjacent Channel Power Ratio »), l'équivalent pour un signal modulé, indique le niveau de distorsion introduit dans les bandes adjacentes. Bien évidemment, pour des communications dont le spectre fréquentiel est très dense, il n'est pas désirable d'introduire de l'information d'un canal dans la bande d'un autre canal de transmission. Cela cause de l'interférence intercanaux, ce qui ajoute de la distorsion et l'information peut être difficile, voire impossible à interpréter au niveau du récepteur. Le paramètre IMD3 indique le niveau de puissance contenu dans les produits d'intermodulation de 3e ordre à la sortie de l'amplificateur. Il existe aussi des produits d'intermodulation pour les ordres impairs succédant (IMD5, IMD7, etc.), mais ceux-ci sont souvent suffisamment faibles. Ainsi, on distingue la distorsion d'un amplificateur majoritairement par le paramètre IMD3. Ces produits d'intermodulation sont très faibles, voir négligeable à basse puissance, mais près du point de compression (P1dB) de l'amplificateur, ces intermodulations deviennent importantes dû à la compression de l'amplificateur et des non-linéarités fortes introduites. La figure 1.15 présente le spectre fréquentiel à la sortie de l'amplificateur dans la région de compression de l'amplificateur où il est possible d'identifier les produits d'intermodulation de 3e ordre et de 5e ordre.

- *Bande passante*

La bande passante peut être évaluée avec deux tonalités séparées par un espacement variable. Lorsque le gain en sortie est mesuré en fonction de cet espacement, on obtient un graphique du gain en fonction de la bande passante autour de la fréquence d'opération. Il est possible

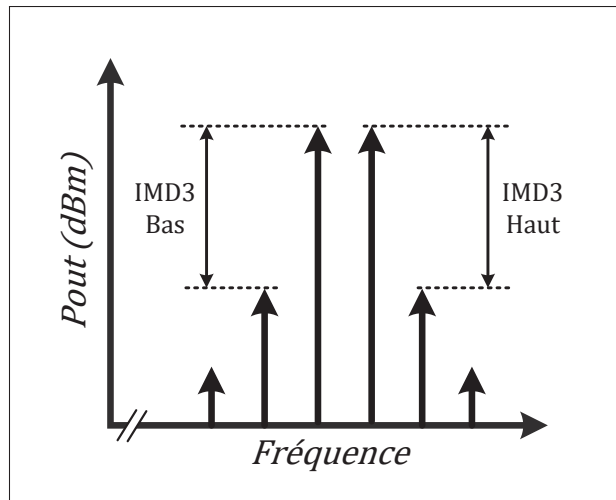


FIGURE 1.15 Spectre fréquentiel d'un signal à deux tonalités à la sortie de l'amplificateur dans la région de compression

de déterminer la bande passante de 3 dB à partir de ce graphique. Bien entendu, la bande passante de l'amplificateur doit être plus large que celle du signal modulé pour pouvoir transmettre un signal large bande avec un gain constant.

1.3 Techniques d'amélioration du compromis de performance des amplificateurs de puissances

Bien que les classes d'amplification vues dans les précédentes sections permettent de faire un choix entre la linéarité et l'efficacité, il existe aussi des approches plus architecturales qui permettent d'améliorer ce compromis. En fait, Cripps (2006) a démontré que l'efficacité des classes est maximale pour une puissance spécifique où l'excursion en tension à la charge est maximisée. Cependant, pour des niveaux de puissance plus faible, l'efficacité se détériore rapidement. Ainsi, les techniques d'amélioration jumellent les classes d'amplifications avec des approches sophistiquées pour rendre le système global plus efficace pour une plus grande plage de puissance.

Plusieurs techniques d'amélioration de l'efficacité sont retrouvées dans la littérature et plusieurs d'entre elles ont réellement été utilisées dans des applications commerciales (Kanu Chadha, 2014). Les techniques présentées dans les prochaines sous-sections ne sont qu'une partie de ce qui existe dans la littérature. La complexité d'implémentation et la surface supplémentaire utilisée pour de telles architectures par rapport à l'amélioration du compromis d'efficacité et linéarité doivent être considérées afin de comparer chacune d'entre elles sur la même base.

1.3.1 Modulation de l'alimentation

D'autres approches modulent l'alimentation de l'amplificateur de puissance en ajustant la tension de drain dynamiquement selon le niveau de puissance à fournir. Il est intéressant de remarquer que ces approches utilisent un détecteur d'enveloppe pour mesurer l'amplitude du signal radiofréquence d'entrée. Les spécifications d'un tel détecteur sont différentes de celles pour la technique PEF et seront discutées davantage dans le chapitre 2. Les techniques ET (« Envelope Tracking ») et EER (« Envelope Elimination and Restoration ») ont démontré un potentiel intéressant qui peut être applicable aux communications modernes large bande dans une configuration en boucle ouverte.

1.3.1.1 Elimination et Restauration de l'Enveloppe (EER)

La technique EER (« Envelope Elimination and Restoration ») a initialement été développée pour les modulations de type SSB (« Single-Side Band ») par Kahn (1952). Cette technique améliore le compromis d'efficacité et de linéarité des amplificateurs de puissance pour des signaux modulés en phase et amplitude. Comme présenté à la figure 1.16, l'architecture divise le signal d'entrée en deux parties, soit l'amplitude et la phase. L'amplitude est capturée à l'aide d'un détecteur d'enveloppe et la phase, sans l'amplitude, est extraite avec un limiteur. Ainsi, il est possible d'amplifier la phase du signal informatif avec un amplificateur dans sa région de saturation où il est le plus efficace. Étant donné que le signal informatif modulé en phase a une amplitude constante, l'amplification de celui-ci dans la région de saturation n'ajoutera théoriquement pas de distorsion comparativement à un signal modulé en amplitude. Ensuite,

l'enveloppe du signal extraite est amplifiée et elle sert à moduler l'amplitude de la tension de drain pour retrouver le signal modulé en amplitude et en phase à la sortie de l'amplificateur. Ainsi, l'amplificateur peut opérer dans sa zone la plus efficace sans détériorer la linéarité. En résumé, l'enveloppe du signal d'entrée est éliminée, le signal est amplifié, puis l'enveloppe est restaurée.

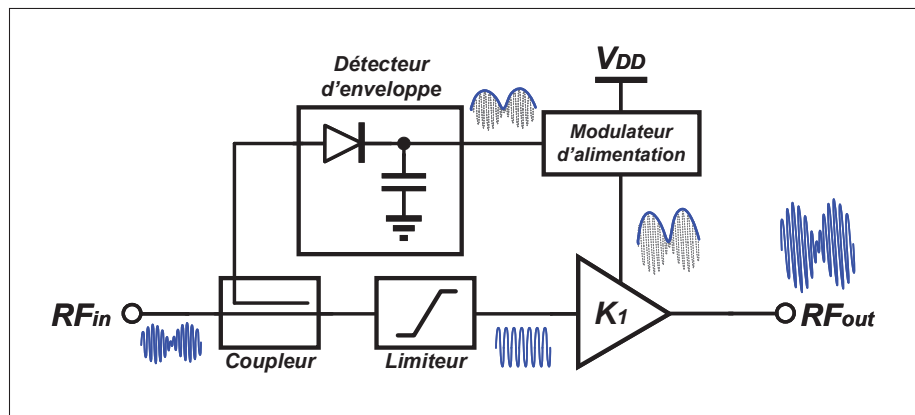


FIGURE 1.16 Diagramme d'une architecture EER basée sur Cripps (2006)

Cette structure utilise une topologie à commande prédictive en boucle ouverte dite « Feedforward » dans la littérature anglophone. Dans les architectures de télécommunication modernes, la séparation des deux composantes, amplitude et phase, peut être faite avec une plateforme numérique de type DSP (« Digital Signal Processing »). De plus, les deux composantes peuvent être ajustées au besoin avec des algorithmes pour tenir compte des variations entre les puces une fois en production.

À titre d'exemple, Su & McFarland (1998) ont démontré qu'une implémentation de la technique EER était possible avec un gain d'efficacité de 13% tout en améliorant la puissance linéaire de sortie de 3 dB.

1.3.1.2 Suivi de l'Enveloppe (ET)

La technique ET (« Envelope Tracking ») est similaire à la technique EER. Le diagramme de la figure 1.17 présente son architecture basée sur Cripps (2006). Il est à noter que l'amplificateur utilisé dans la technique ET amplifie un signal modulé en amplitude et en phase contrairement à la technique EER qui amplifie uniquement la phase du signal informatif. Aussi, la modulation de l'alimentation permet d'améliorer l'efficacité alors que dans le cas du EER, c'était plutôt pour retrouver la modulation d'amplitude dans le signal de sortie (Ruan, Wang & Jin, 2017).

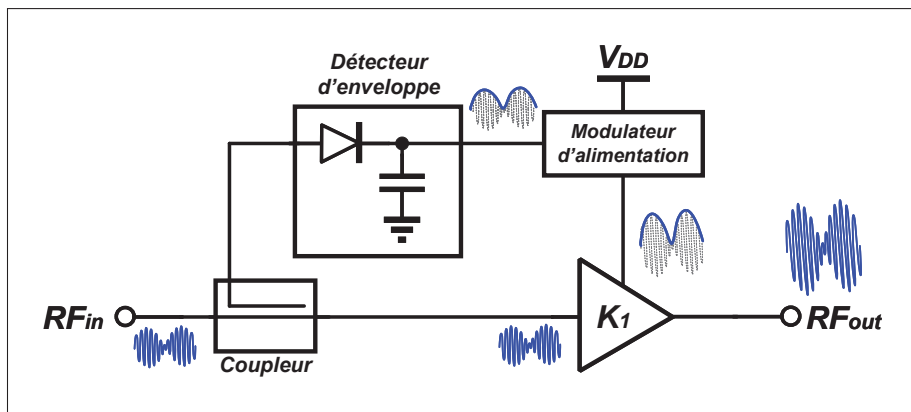


FIGURE 1.17 Diagramme d'une architecture ET basé sur Cripps (2006)

Ainsi, la tension d'alimentation au drain est ajustée en temps réel avec les crêtes du signal modulé. L'efficacité est améliorée, surtout pour les signaux de faible puissance puisque la tension d'alimentation s'ajuste automatiquement au niveau de puissance à transmettre. Une tension d'alimentation fixe, comme c'est le cas des classes d'amplification vu dans les précédentes sections, offrira une efficacité maximale lorsque l'amplitude du signal atteindra l'amplitude de la tension d'alimentation. Cependant, pour des puissances plus faibles, une modulation de la tension d'alimentation permet de conserver la meilleure efficacité possible pour une classe d'amplificateur donnée.

Cette technique a été utilisée dans plusieurs produits commerciaux, dont les appareils mobiles des dernières années (Kanu Chadha, 2014). Dans la littérature, plusieurs implémentations de la

technique ET ont démontré une amélioration significative du compromis d'efficacité, linéarité et puissance de sortie. Notamment, Xiong *et al.* (2016) ont démontré une efficacité moyenne de 75% avec un amplificateur en classe AB dans la technologie CMOS 180 nm. Les résultats de leurs travaux de recherche ont aussi été validés avec un signal modulé WCDMA de 3.84 MHz.

1.3.2 La technique PEF

Telle que présentée dans l'introduction de ce mémoire, la technique PEF (« Positive Envelope Feedback ») a été développée par un étudiant au doctorat, M. Smarjeet Sharma (diplômé) à l'École de technologie supérieure et brevetée par un partenaire industriel (SHARMA & CONSTANTIN, 2018) et (SHARMA & CONSTANTIN, 2019). La technique PEF est similaire à la technique EER et ET puisqu'elle s'insère dans la catégorie des techniques de modulation dynamique. Cependant, elle propose une approche différente qui n'avait pas été explorée jusqu'à maintenant dans la littérature. Deux aspects différencient cette technique des autres approches présentées plutôt. Premièrement, dans la technique PEF, c'est plutôt la polarisation de grille qui est modulée contrairement à la tension de drain dans les techniques EER et ET. Deuxièmement, comme son nom l'indique, c'est une rétroaction positive, contrairement aux techniques précédentes qui fonctionnent en boucle ouverte dans une structure à commande prédictive (« Feedforward »). Un schéma bloc de la technique PEF est présentée à la figure 1.18. Étant donné que cette approche utilise la rétroaction positive, Sharma (2020) a démontré qu'une augmentation de seulement 60 à 100 mV autour du point de compression était suffisante pour améliorer la linéarité. En effet, il a démontré une amélioration de la linéarité de 3.44 dB pour un amplificateur de puissance en technologie CMOS SOI fonctionnant à 5.4 GHz et une bande passante de 100 kHz (Sharma *et al.*, 2017). De plus, la technique PEF est intéressante pour sa faible empreinte et sa simplicité par rapport aux autres techniques présentées dans les précédentes sections. Dans son travail, l'espace sur puce du détecteur comptait pour uniquement 5% et une augmentation du courant de polarisation de seulement 1.2% a été observée. Bien entendu, pour des puissances de sortie plus élevées, ce dernier ratio est amélioré.

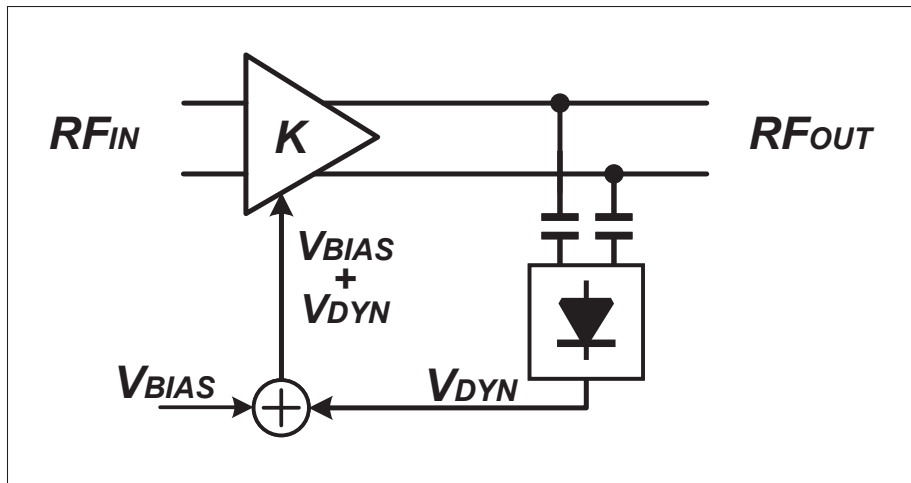


FIGURE 1.18 Diagramme d'une architecture PEF basé sur Sharma (2020)

Le principe est le suivant. Pour de faibles puissances d'entrée, l'amplificateur est polarisé à une valeur statique appelée V_{BIAS} sur le schéma de la figure 1.18. La tension V_{DYN} est essentiellement nulle dû aux faibles puissances de sortie de l'amplificateur. Pour de fortes puissances crêtes à la sortie de l'amplificateur, le détecteur d'enveloppe converti le signal radiofréquence en bande de base pour extraire l'enveloppe (V_{DYN}) qui est superposée à la tension V_{BIAS} . Ainsi, l'enveloppe (V_{DYN}) réplique l'amplitude crête du signal radiofréquence. En augmentant la tension de grille de V_{BIAS} à $V_{BIAS} + V_{DYN}$, la transconductance de l'amplificateur est légèrement augmentée, ce qui a pour effet d'augmenter le gain de l'amplificateur dans la région de compression. En augmentant le gain, le point de compression est poussé plus haut en puissance et ainsi la linéarité est améliorée.

La figure 1.19 présente un graphique du gain de l'amplificateur en fonction de la puissance de sortie pour une excitation de deux tonalités à 5.4 GHz. La courbe en pointillé présente les performances de l'amplificateur pour une polarisation constante. Les deux autres lignes présentent l'augmentation du gain et du point de compression P1dB avec une polarisation dynamique pour deux conditions différentes d'ajustement de la tension de sortie du détecteur. Les résultats présentés sont ceux d'une excitation à deux tonalités avec un espacement de 100 kHz. L'amélioration du gain et du point de compression présenté à la figure 1.19 se traduit par

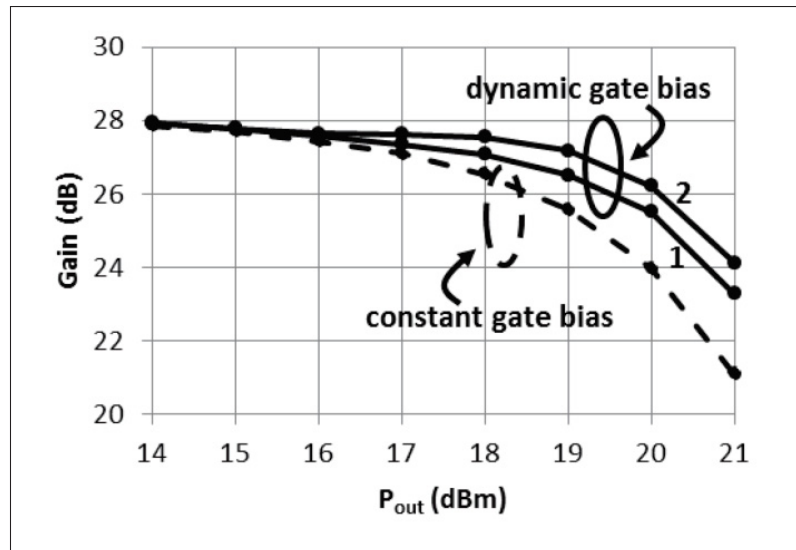


FIGURE 1.19 Graphique du gain en fonction de la puissance de sortie avec une excitation à deux tonalités à 5.4 GHz tirée de Sharma *et al.* (2017)

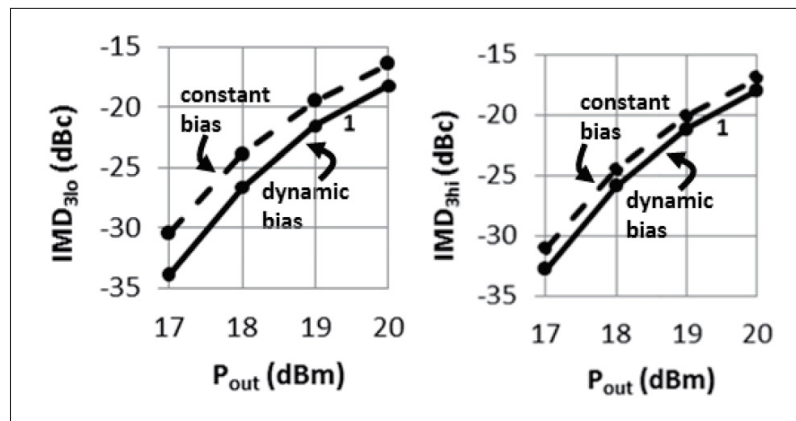


FIGURE 1.20 Graphique de la linéarité (IMD3) en fonction de la puissance de sortie avec une excitation à deux tonalités à 5.4 GHz tirée de Sharma *et al.* (2017)

une amélioration de la linéarité qui est représentée à la figure 1.20. Sharma *et al.* (2017) discute d'une amélioration d'une augmentation du point de compression de 1.7 dB qui se traduit par une amélioration de la linéarité de 3.44 dB sans affecter l'efficacité. Finalement, Sharma *et al.* (2017) note dans son article qu'une limitation de la conception ne permettait pas de valider

le fonctionnement avec un espacement des deux tonalités de plus de 100 kHz, mais suite à des modifications, une simulation a permis de démontrer un fonctionnement avec des résultats similaires pour un espacement de 10 MHz.

CHAPITRE 2

DÉTECTEUR D'ENVELOPPE

Le détecteur d'enveloppe développé dans ce projet de recherche a pour objectif d'être intégré avec un amplificateur de puissance radiofréquence dans une configuration de rétroaction positive d'enveloppe surnommée PEF. Les résultats obtenus de cette configuration sont présentés au chapitre 4. Contrairement aux détecteurs d'enveloppe conventionnels qui sont caractérisés par une large plage dynamique et une grande sensibilité, ce détecteur nécessite des spécifications bien différentes. Par ailleurs, il est souhaité de maximiser la bande passante le plus possible pour pouvoir utiliser la technique PEF avec des systèmes de télécommunication moderne large bande.

2.1 Spécifications

Tout dépendant de l'application, il est possible d'optimiser les performances du détecteur d'enveloppe selon les spécifications désirées. Les critères de performance présentés dans la revue de littérature à la section 1.1.3 du chapitre 1 représentent le portrait global des détecteurs d'enveloppe radiofréquence qui ont été développés précédemment. Bien que ces performances soient intéressantes pour de nombreuses applications, le détecteur d'enveloppe développé dans ce projet de mémoire vise l'application spécifique du PEF. Dans le cas de cette technique, la tension de polarisation dynamique à la grille des transistors de l'amplificateur doit être dans une plage d'au plus 60 à 100 mV (Sharma, 2020). Il a été démontré qu'une aussi faible variation peut avoir un impact positif sur les performances tout en assurant la stabilité de la boucle de rétroaction positive. Aussi, l'impédance de sortie du détecteur doit être suffisamment faible en comparaison à l'impédance de la grille des transistors pour assurer que l'amplitude de l'enveloppe respecte les 60 à 100 mV de variation près du point de compression P1dB de l'amplificateur. De plus, la plage dynamique du détecteur n'a pas besoin d'être très large puisque celui-ci vise l'amélioration des performances grand signal dans la région de compression. Selon Sharma (2020), la technique PEF opère uniquement dans la région de compression, soit quelques dB avant le point de compression (P1dB) et quelques décibels après. Ainsi, une plage dynamique

d'entrée d'environ 10 dB est largement suffisante pour cette application spécifique. Seulement les pointes de l'enveloppe près du point de compression P1dB sont utilisées pour pousser la polarisation dynamique en boucle fermée. De la même façon, la sensibilité n'est pas un critère aussi pertinent que d'autres applications de détection. Étant donné que le détecteur est lié à la sortie de l'amplificateur de puissance où les niveaux de tension sont considérables, celui-ci n'est pas contraint à mesurer de très faibles niveaux de tension. Ainsi, les performances de bruit du détecteur ne sont pas aussi critiques puisque le ratio signal sur bruit (SNR) à la sortie de l'amplificateur est généralement suffisamment élevé pour ne pas en tenir compte. En contrepartie, un des objectifs clés de cette recherche est de maximiser la bande passante (aussi appelé la rapidité) du détecteur. En effet, dû à l'allègement des autres critères de performances, il est souhaité d'optimiser et d'obtenir une bande passante supérieure à 1 GHz. Cette démonstration permettrait de valider la technique PEF pour des systèmes de communication large bande, éventuellement pour les bandes de fréquences millimétriques (mmWaves) qui visent des bandes passantes de plusieurs canaux cumulés totalisant jusqu'à 400 MHz (3GPP, 2022). Au niveau de la puissance consommée et la taille sur puce, il est souhaité de minimiser leur impact. Ces critères peuvent être comparés à ceux de l'amplificateur de puissance et les optimiser pour qu'ils ne dépassent pas une limite de 5%.

2.2 Topologie utilisée

La topologie utilisée pour ce détecteur d'enveloppe est de type « square-law » et le schéma simplifié est présenté à la figure 2.1. Cette topologie n'a jamais été proposée dans la littérature pour le contexte de détection d'enveloppe des amplificateurs de puissance intégré sur puce. Il est important de mentionner que cette topologie offre le potentiel de réjection du signal d'entrée, ce qui est intéressant pour l'élargissement de la bande passante. Le schéma du détecteur peut être divisé en trois sections (2.2). La première étant le détecteur avec la fonction quadratique, la deuxième étant le miroir de courant amélioré et la troisième est un convertisseur courant-tension. Au besoin, une capacité parallèle peut être ajoutée à la sortie pour créer un filtre passe-bas de

premier ordre avec la résistance de charge afin de filtrer davantage le signal d'enveloppe de sortie.

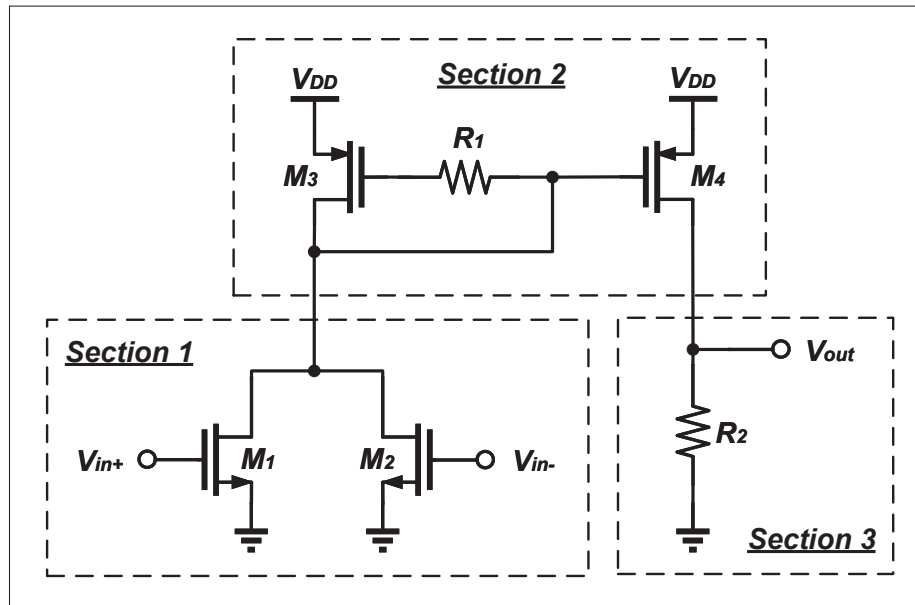


FIGURE 2.1 Schéma simplifié du détecteur d'enveloppe

À l'entrée du détecteur, des capacités de couplage agissent comme filtre passe-haut pour éliminer le courant continu, mais aussi pour atténuer l'amplitude du signal à la sortie de l'amplificateur, lorsque connecté en configuration PEF. Étant donné que le détecteur est utilisé à la sortie de l'amplificateur, il n'y a pas de contraintes particulières sur la sensibilité des puissances à détecter. Aussi, cela allège les performances de bruit du détecteur puisque le signal lu par le détecteur est suffisamment large par rapport au bruit. Contrairement à une structure à commande prédictive (« Feedforward ») où l'enveloppe est détectée à l'entrée de l'amplificateur où le signal est faible, celui-ci est détecté à la sortie de l'amplificateur. Les capacités de couplage présentent une grande impédance, ce qui introduit un faible effet de charge sur l'amplificateur. En plus, il est possible d'ajuster la taille de ces capacités de couplage pour fixer le bon niveau de couplage entre la sortie de l'amplificateur et l'entrée du détecteur d'enveloppe.

Durant la conception du détecteur, il a été important de minimiser le nombre d'étages du détecteur pour avoir le plus faible délai de groupe possible. Ceci est une contrainte de la

technique PEF puisque dans un système de rétroaction, il est désiré d'avoir une réponse la plus rapide possible. Cela bien entendu en plus d'avoir le minimum de variation de délai de groupe afin de minimiser la distorsion de phase. Aussi, il est important de minimiser le nombre de transistors pour réduire l'ajout de composantes spectrales indésirables qui pourraient être introduites dû aux non-linéarités de ceux-ci. Dans le cas du détecteur, la technologie CMOS 180 nm de TSMC a été utilisée puisque cette même technologie a été utilisée pour concevoir l'amplificateur qui est présenté aux chapitres 3 et 4. Une technologie plus avancée pourrait être utilisée, mais des considérations supplémentaires comme les effets de canal court et les variations PVT pourraient avoir un impact sur les performances du détecteur, surtout sachant que celui-ci dépend de la relation quadratique du courant de drain.

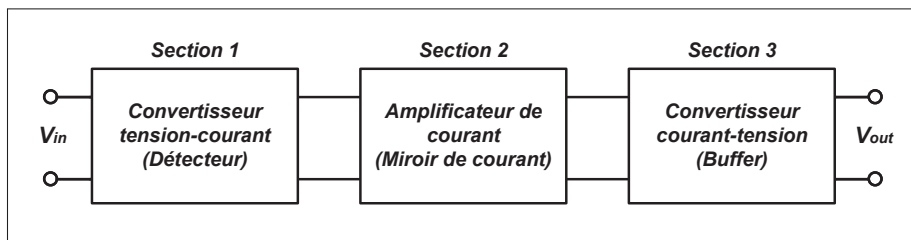


FIGURE 2.2 Schéma bloc du détecteur d'enveloppe

2.2.1 Valeur des composants

Pour les transistors M1 et M2, la longueur du canal a été optimisée pour minimiser les non-linéarités introduites par l'effet d'un petit canal, la bande passante du détecteur et le gain de la première section. Aussi, le fait d'avoir une longueur légèrement supérieure à la valeur minimale permet une meilleure correspondance et moins de variation entre les deux transistors lors de la fabrication sur puce. Selon la documentation de TSMC, la variation des paramètres des transistors sur un grand lot de puces est proportionnelle à l'inverse de la surface de la grille (TSMC, 2016). Ainsi, pour un ratio W/L fixe, les transistors avec des canaux de 180 nm auront une variation de correspondance plus grande que ceux à 500 nm. Finalement, un canal plus long permet aussi d'avoir une impédance vue au drain r_o plus élevée due à l'effet de la modulation de longueur du canal qui est moins présent, et un gain intrinsèque plus élevé. Les modèles de

transistors utilisés lors des simulations sont les modèles BSIM4 V4.5 fournis dans le kit de conception par TSMC pour la technologie CMOS 180 nm. Aussi, la technologie permet les structures à puits profond de type N (« Deep-N-Well ») ce qui ajoute une isolation supplémentaire pour les transistors radiofréquences. Dans le cas du détecteur d'enveloppe, une telle structure a été utilisée pour isoler les transistors M1 et M2. Davantage de détails sur la structure à puits profond utilisée dans ce projet de recherche sont présentés dans la section 3.2.4.3 du chapitre 3. Le tableau 2.1 présente les dimensions des transistors utilisés pour le détecteur d'enveloppe de ce projet de recherche associé au schéma de la figure 2.1.

TABLEAU 2.1 Taille des transistors du schéma de la figure 2.1

Identifiant	Type	Largeur	Longueur	Nombre de doigts	Transistor en parallèle
M1	NMOS	$2 \mu m$	$500 nm$	2	1
M2	NMOS	$2 \mu m$	$500 nm$	2	1
M3	PMOS	$2 \mu m$	$180 nm$	4	1
M4	PMOS	$2 \mu m$	$180 nm$	4	7

À des fins de mesures expérimentales, des capacités de couplage de 900 fF ont été placées en série avec chacune des entrées du détecteur afin d'atténuer le niveau de puissance du signal requis pour obtenir la bonne plage dynamique de sortie. Aussi, les capacités agissent comme filtres passe-haut pour éliminer la composante en courant continu qui pourrait être introduite par les équipements de laboratoire. Ces capacités ont été ajoutées uniquement sur la version ICFTSPB3 pour une caractérisation sous pointe. Des capacités de couplages de plus faibles valeurs ont été choisies pour relier à la sortie de l'amplificateur à l'entrée du détecteur d'enveloppe dans la version ICFTSPB1. Les condensateurs de larges valeurs sont faits dans une structure verticale métal-isolateur-métal (MIM) disponible dans la technologie utilisée. Tout comme les transistors, les condensateurs de type MIM ont une meilleure tolérance lorsque ceux-ci ont une grande surface (TSMC, 2016). En choisissant des condensateurs MIM du plus grand format disponible offert par le modèle de simulation, la variation entre les deux branches d'entrée du détecteur est minimisée. En plus, pour minimiser davantage la tolérance, deux capacités de 900 fF ont été

placées en série avec deux capacités de 900 fF en parallèle pour une capacité totale équivalente de 900 fF.

2.2.2 Section 1 : Le détecteur

La topologie utilisée est simplement deux transistors NMOS symétriques placés dans une configuration pseudodifférentielle pour annuler le courant radiofréquence commun qui circule entre le drain et la source des transistors tel que présenté à la figure 2.3. Il est à noter que les transistors M1 et M2 sont polarisés dans leur région de saturation. Ainsi, cette structure prend avantage de la relation polynomiale du courant de saturation des transistors NMOS présenté à l'équation 2.1. Sachant que l'équation de courant de drain présenté en 2.1 ne s'applique plus pour les technologies plus avancées, il faut s'assurer que les transistors M1 et M2 aient une longueur de canal suffisante pour maintenir la relation polynomiale de second degré.

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \quad (2.1)$$

Dans la littérature anglophone, cette technique est référée au terme automélangeur (« self-mixing »). En d'autres termes, il est possible de prendre un mélangeur radiofréquence, de relier les deux entrées ensemble et d'injecter le signal informatif modulé sur ses deux entrées simultanément. D'un point de vue qualitatif, le résultat serait le même que celui développé dans ce projet. Cependant, les performances d'un tel montage ne conviendraient pas aux spécifications recherchées pour la technique PEF.

Avec la structure différentielle, le courant peut se balancer entre chacun des transistors selon la phase du signal d'entrée. Par exemple, au repos (pour un signal différentiel de 0), le courant statique est divisé de façon symétrique dans les deux transistors comme c'est le cas dans une paire différentielle. Pour un signal sinusoïdal, l'un des transistors va conduire davantage que l'autre. Cependant, on remarque que pour une onde sinusoïdale de période T seconde, le courant au drain varie deux fois plus rapidement, soit à $T/2$ seconde. La raison est simplement que chacun

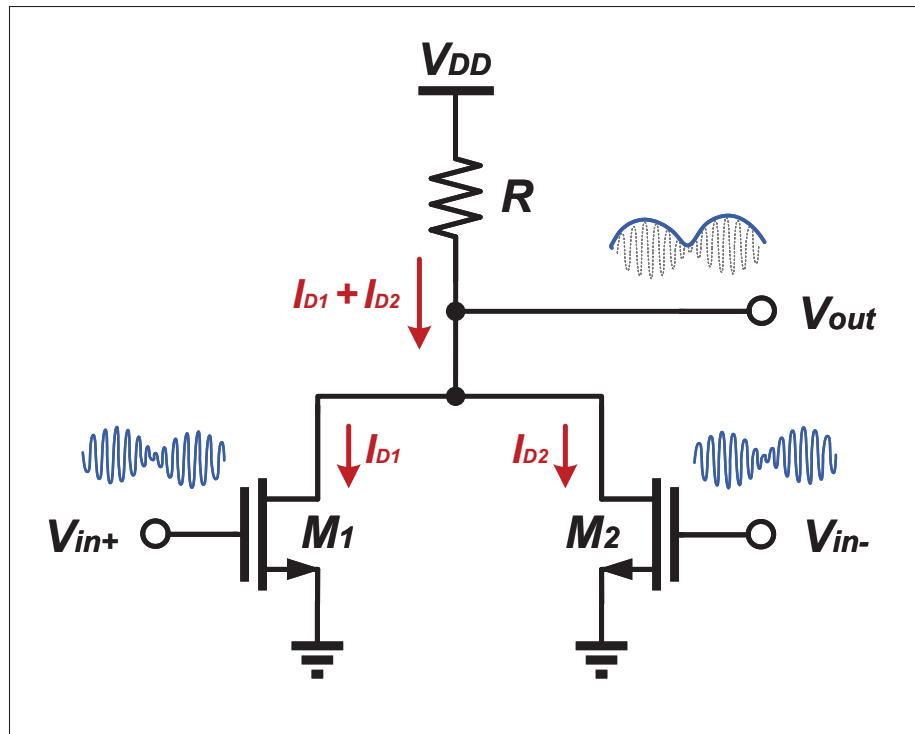


FIGURE 2.3 Schéma simplifié de la section 1 du détecteur d'enveloppe utilisé pour expliquer le concept de détection d'enveloppe

des transistors fonctionne pendant le cycle complet et en ayant un signal d'entrée différentiel, on retrouve un courant redressé à onde complète au drain des transistors.

Dans cette configuration, les transistors sont toujours en saturation et cette topologie bénéficie de cet aspect pour être plus rapide. Contrairement à d'autres détecteurs d'enveloppe comme ceux à redressement dont le transistor change de région d'opération, ces derniers deviennent plus lents. Le temps d'activation et de récupération des charges dans le semi-conducteur sous le canal du transistor est très lent par rapport à un transistor en région de saturation où les charges sont déjà actives dans le canal. En comparaison, le transistor déjà dans la région de saturation permet de laisser passer le courant à la vitesse du temps de transit (τ) qui correspond à la longueur du canal L divisé par la vitesse des charges $\mu_n E$.

Cette première approche présente la condition de fonctionnement idéal du détecteur. Cependant, des effets indésirables seront présents dans un détecteur d'enveloppe qui est fabriqué sur puce. Notamment, le débalancement dans la symétrie de la structure va avoir un effet sur la réjection de la fréquence d'entrée ω_c . Aussi, la structure différentielle suppose que les niveaux de puissance d'entrée sont faibles, mais pour des signaux de plus grandes amplitudes, les pointes de l'enveloppe peuvent changer la région d'opération du transistor. Dans une telle situation, l'analyse en régime petit signal n'est plus valide et il n'est plus possible d'assumer la linéarité. Par exemple, pendant qu'un transistor est en saturation, l'autre peut être en faible inversion du canal, ce qui crée un débalancement en amplitude des signaux puisque la transconductance n'est pas la même pour chaque branche du détecteur. Aussi, si l'alimentation positive ou la masse contiennent du bruit, ce bruit sera injecté dans le spectre fréquentiel à la sortie du détecteur puisque le détecteur n'est pas protégé des variations externes en mode commun. D'autres aspects qui affectent le débalancement des deux branches comme les variations de procédé auront un impact sur les performances, ce qui rend le modèle théorique moins exact.

Aussi, cette structure a l'avantage de présenter une haute impédance puisque les signaux différentiels sont connectés directement aux grilles des transistors FET qui eux ont intrinsèquement une impédance élevée due à la nature même du FET. Finalement, cette section peut être aussi vue comme un convertisseur tension-courant.

2.2.2.1 Principe de fonctionnement

Présenté dans la revue de littérature à la section 1.1.1.2 avec un modèle statique, le détecteur d'enveloppe de type « square-law » utilise l'identité trigonométrique : $\cos^2(\omega t) = \frac{1}{2}(1 + \cos(2\omega t))$. Lorsqu'une onde sinusoïdale de fréquence ω_c est mise au carré, la fréquence principale (ω_c) est annulée et l'énergie est transposée en deux parties, soit à 0 Hz et à $2\omega_c$. Cette relation simple est très utilisée dans les démodulateurs radiofréquences. Ce premier développement démontre qu'il est possible d'extraire l'amplitude en courant continu d'un signal à une fréquence fixe.

Si on introduit une deuxième composante autour de ω_c avec un espacement de ω_m par rapport à l'autre composante fréquentielle, on remarque un résultat similaire. L'information contenue autour de la fréquence ω_c est reportée en partie autour de 0 Hz, aussi appelé la bande de base, et en une seconde partie autour de $2\omega_c$. Il est intéressant de remarquer qu'en plus de la composante en courant continu, une deuxième composante située à $2\omega_m$ est présente dans la bande de base. Celle-ci correspond à l'amplitude de l'enveloppe du signal modulé par les deux composantes fréquentielles situées à ω_c . Bien entendu, si le signal autour de ω_c est un signal numérique complexe modulé en amplitude, il sera possible d'en extraire l'enveloppe de la même façon.

Afin de simplifier le développement mathématique, l'effet de modulation de longueur de canal λV_{DS} n'est pas pris en compte dans le développement suivant. En posant $V_+ = A \cos(\omega_c t)$ et $V_- = -A \cos(\omega_c t)$:

$$I_{dM1} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_+ - V_{th})^2 \quad (2.2)$$

$$I_{dM2} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_- - V_{th})^2 \quad (2.3)$$

Et en additionnant les deux courants I_{dM1} et I_{dM2} , on obtient le courant total qui circule dans le drain du transistor M3 :

$$I_{dM3} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (A^2 + 2V_{th}^2 + A^2 \cos(2\omega t)) \quad (2.4)$$

Ce résultat reflète le développement présenté dans la revue de littérature à la section 1.1.1.2 et tel qu'énoncé plus tôt, ce principe de détection suit la valeur instantanée du signal radiofréquence et l'enveloppe à la sortie est proportionnelle au carré de l'amplitude de ce signal RF. Cette approche est suffisante pour l'application de la technique PEF. Appliqué à l'équation quadratique, on remarque que l'amplitude de sortie est dépendante de différents facteurs dont μ_n , C_{ox} , $\frac{W}{L}$ et V_{th} . Les trois premiers sont des paramètres qui dépendent du procédé de fabrication. Lors du tracé sur puce les transistors M1 et M2 sont placés le plus près possible pour minimiser les effets de fausse correspondance. Aussi, en utilisant des dimensions de transistor légèrement plus grandes que les valeurs nominales, cela permet d'avoir de meilleurs résultats en termes d'adaptation et

de correspondance telle que présentée à la section 2.2.1. V_{th} a une dépendance en température, ce qui affecte le point de polarisation et indirectement la plage dynamique d'entrée.

2.2.2.2 Analyse Monte-Carlo

L'analyse Monte-Carlo permet de donner une distribution statistique aléatoire des performances en fonction des paramètres et des variations de procédé. L'outil Monte-Carlo de Cadence offre deux types d'analyse : procédé et correspondance (« mismatch »). La variation de procédé considère les mesures expérimentales basées sur la même technologie, les différences de puce à puce, de gaufre à gaufre et d'un lot à un autre. Le principal paramètre qui varie dans cette analyse est l'épaisseur d'oxyde de silicium sous la grille des transistors. Cette variation a pour effet de varier la tension de seuil V_{th} et la capacité de grille C_{ox} .

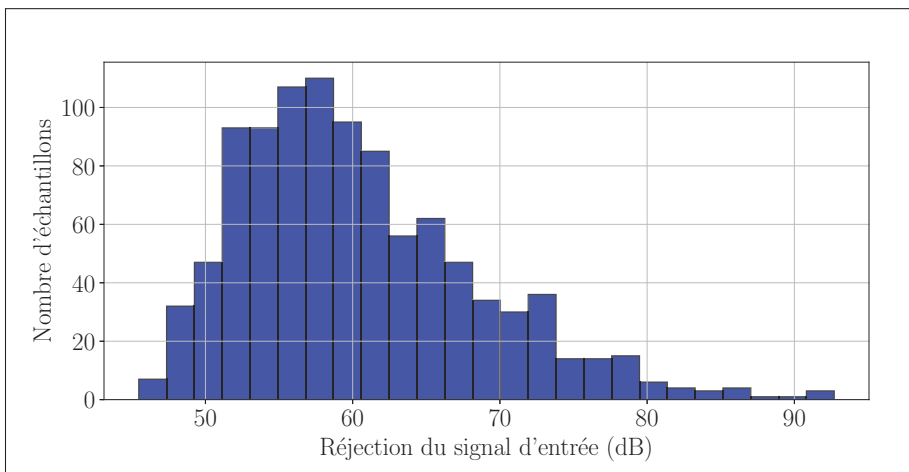


FIGURE 2.4 Distribution de 1000 échantillons sur la réjection du signal d'entrée à une variation de correspondance

Les résultats de la figure 2.4 présentent la distribution de 1000 échantillons effectuée par une analyse Monte-Carlo sur la variation de correspondance du détecteur. La réjection moyenne est d'environ 60 dB avec écart type d'environ 7 dB. Dans une analyse de correspondance, les composants ont une tolérance basée sur des mesures expérimentales qui est ajoutée à la valeur nominale utilisée lors de la conception. Ainsi, l'analyse Monte-Carlo permet de mesurer les performances d'un circuit en tenant compte de ces variations du procédé de fabrication. Aussi,

elle considère la taille des transistors et la correspondance entre les transistors adjacents sur une puce. Des techniques de conception de traçage sur puce comme une topologie interdigitale ou en centre commun permettent de minimiser la variation due à la correspondance des éléments sur une puce. Tout comme la variation de procédé, la variation de correspondance est dépendante de la technologie. En d'autres termes, la résolution de fabrication aura un plus gros impact sur les transistors de petite taille que ceux de grande taille. L'analyse intègre aussi les modèles de résistances et condensateurs qui suivent une tendance similaire. Une technique supplémentaire souvent utilisée pour améliorer la correspondance des composants est d'ajouter des composants factices autour du vrai composant. Ainsi, le procédé de fabrication est plus uniforme et la tolérance entre deux composants est réduite.

En résumé, la variation de correspondance est calculée sur un plan X-Y (horizontal) alors que la variation de procédé est plutôt dépendante des effets dans un plan X-Z ou Y-Z (vertical).

Dans le cas du détecteur d'enveloppe pour la première section, la variation de procédé n'affecte pas les performances puisque les deux transistors sont tellement près l'un de l'autre que si la variation d'oxyde change, la tension V_{th} affectera les deux transistors également. Il y aura certainement une variation de puce à puce, gaufre à gaufre et lot à lot de la tension de seuil, mais celle-ci n'affecte pas la symétrie de la structure, et donc, n'affecte pas la réjection de la fréquence d'opération. Par contre, la variation de la tension de seuil aura un impact sur la tension de polarisation à fournir pour optimiser le point de fonctionnement maximal avant de quitter la zone linéaire du transistor. La variation de correspondance a un impact sur les performances du détecteur puisque les variations de dimensions W et L des transistors créent une différence de transconductance entre les deux branches, ce qui déséquilibre la symétrie du montage et ainsi affecte la réjection de la fréquence d'opération.

2.2.3 Section 2 : Le miroir de courant

La seconde section est un miroir de courant qui permet deux fonctions. La première est d'amplifier le courant de sortie du détecteur et la seconde est d'améliorer la bande passante. Dans le premier

cas, le choix de la taille des transistors a permis d'amplifier le courant selon le ratio de la taille du transistor M3 par rapport au transistor M4 sur la figure 2.1. Aussi, les paramètres de ces transistors ont un impact sur les performances radiofréquence du détecteur. Notamment, l'introduction de composantes non linéaires en bande de base et la consommation de courant. Bien qu'il soit souhaité d'amplifier le courant pour avoir la variation de tension de sortie désirée, il est aussi souhaité de minimiser la consommation de courant, donc la puissance consommée par le détecteur. L'ajout d'une résistance en série avec la grille du transistor M3 permet d'augmenter la bande passante. Une démonstration de cette technique a déjà été présentée dans la littérature par Voo & Toumazou (1995). L'idée d'ajouter la résistance R1 permet de découpler la capacité C_{gs} du transistor M1 de la capacité C_{gs} du transistor M2. Pour le détecteur, la valeur de la résistance a été optimisée pour maximiser la bande passante en bande de base. De plus, l'ajout de la résistance a augmenté la bande passante globale du détecteur de 498 MHz à 842 MHz en simulation, soit une augmentation d'environ 70%.

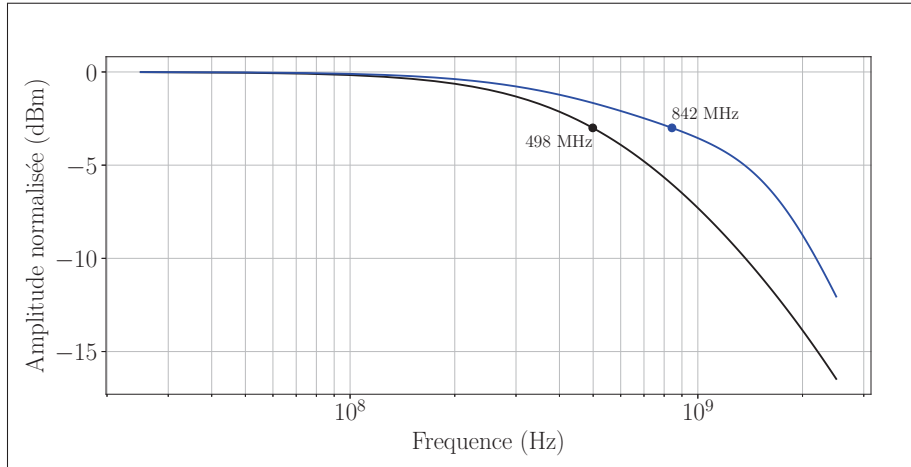


FIGURE 2.5 Comparaison de la bande passante avec et sans résistance de grille

La deuxième et la troisième section sont liées puisque le courant fourni par le miroir de courant sera introduit dans la résistance de charge pour offrir l'excursion en tension nécessaire à la sortie.

2.2.4 Section 3 : Le buffer

Cette dernière section permet de présenter l'impédance de sortie désirée selon l'application. Dans ce cas, il était souhaité d'avoir une faible impédance de sortie pour avoir un transfert maximal en tension à la charge, soit la grille du transistor de l'amplificateur de puissance dans une configuration PEF. Aussi, pour les tests expérimentaux dans un système de mesure à 50Ω , une faible impédance près de celle de référence permet une meilleure validité des résultats puisque la charge surchargera moins le détecteur comparativement à un système haute impédance. Pour ce détecteur d'enveloppe, le meilleur compromis a été choisi avec une résistance de charge de 150Ω . Dans cette configuration, la variation de tension de sortie maximale peut aller jusqu'à environ 70 mV avant d'introduire trop de distorsion. Aussi, le choix de cette résistance a été fait pour maximiser la bande passante en augmentant la fréquence du pôle de sortie. Bien évidemment, il est possible de pousser davantage la tension de sortie au détriment de l'ajout des non-linéarités.

Cette section dicte la variation de tension de sortie. Un compromis entre l'amplitude de tension de sortie, la bande passante et la consommation de courant a été fait. Afin d'atteindre une variation de tension de sortie d'environ 70 à 100 mV , pour une faible consommation de courant, la résistance de charge doit être élevée. Cependant, une large impédance n'est pas souhaitée, car l'équivalent Thévenin avec la charge réduira l'amplitude de tension de sortie. Aussi, une large impédance diminue le pôle de sortie, ce qui a pour effet de réduire la bande passante. Si l'impédance de sortie du détecteur est élevée, lorsqu'il sera connecté sur la grille de l'amplificateur en configuration PEF, ce dernier va surcharger le détecteur. De l'autre côté, pour maintenir une amplitude d'environ 100 mV en réduisant l'impédance de sortie, le courant augmente considérablement. Ce compromis est lié à la simple relation de la loi d'ohm : $V = RI$. La résistance de 150Ω offre un bon compromis. Dans le cas des mesures expérimentales dans une charge de 50Ω , l'équivalent de Thévenin correspond à $(150 \Omega \parallel 50 \Omega) = 37.5 \Omega$. Ainsi, l'amplitude en tension des mesures prises avec les équipements de laboratoire est 4 fois plus petite que dans le cas du détecteur mesuré en système à haute impédance. Cet aspect est discuté davantage dans la section 2.6.1 sur les résultats expérimentaux.

2.3 Critères de performance

Afin de caractériser le détecteur d'enveloppe et de comparer chaque itération durant la phase de développement, des critères de performances ont été établis. Ces critères sont basés sur les paramètres d'intérêt pour la présente application.

2.3.1 Réjection de la fréquence fondamentale

Afin d'avoir la plus large bande passante possible, le détecteur d'enveloppe fonctionne sur le principe de réjection intrinsèque de la fréquence fondamentale. Cela a pour effet d'agrandir l'espace entre l'information utile et le prochain contenu spectral parasite sur le spectre fréquentiel. Ainsi, il est possible de filtrer la composante fréquentielle autour de $2\omega_c$ beaucoup plus facilement sans trop affecter la bande passante. Bien entendu, la réjection complète de la fréquence porteuse est seulement théorique et les différentes asymétries dues à la fabrication auront pour effet de laisser une partie du signal d'entrée dans le spectre fréquentiel en sortie. Le critère de performance établi correspond simplement à la réjection en amplitude du signal à la fréquence porteuse de l'entrée par rapport à la sortie. Les résultats présentés par l'analyse Monte-Carlo de la figure 2.4 correspondent à ce critère de performance. En termes mathématiques, ce critère peut être écrit sous la forme de l'équation 2.5 et visualisé graphiquement par la figure 2.6.

$$Rejection (dB) = |P_{entree@f_c}(dBm) - P_{sortie@f_c}(dBm)| \quad (2.5)$$

2.3.2 Réjection des non-linéarités

La caractérisation de la distorsion est importante puisque si l'on veut caractériser la distorsion d'un amplificateur radiofréquence avec précision, il est nécessaire que le détecteur n'introduise pas de distorsion supplémentaire. Le critère de mesure pour la distorsion est la différence entre le niveau d'amplitude de l'enveloppe en sortie $2\omega_m$ et la composante fréquentielle équivalente à $4\omega_m$. La figure 2.7 présente graphiquement le critère de performance. La composante à $4\omega_m$ apparaît dans le spectre fréquentiel pour deux raisons. Elle peut provenir des non-linéarités de

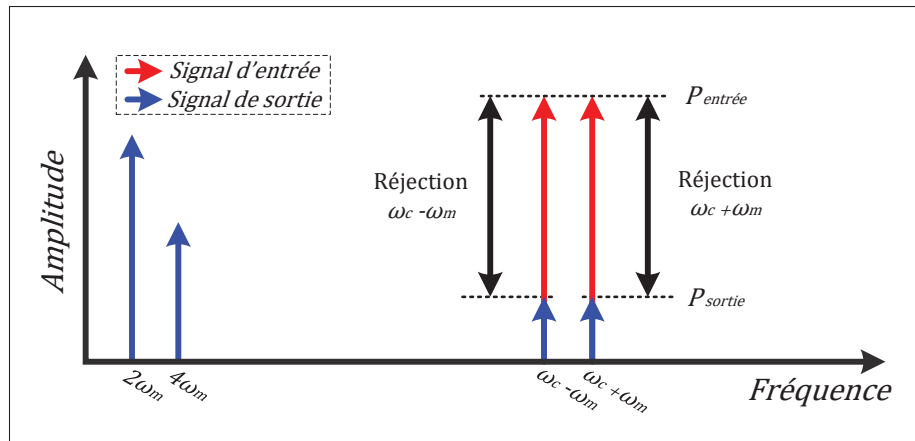


FIGURE 2.6 Définition de la réjection du signal d'entrée

l'amplificateur radiofréquence qui se transposent dans le spectre en bande de base. Aussi, il peut provenir des non-linéarités du détecteur lui-même. Ce dernier aspect a été étudié durant la conception pour minimiser son effet le plus possible.

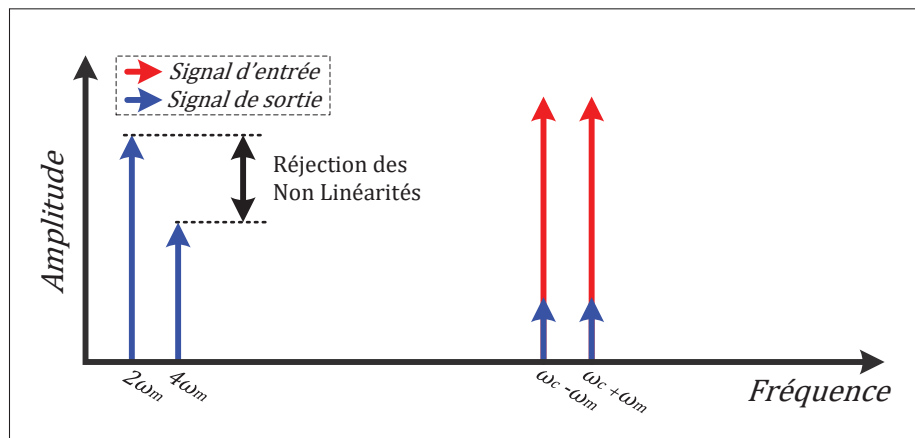


FIGURE 2.7 Définition de la réjection des non-linéarités

2.3.3 Amplitude de sortie en fonction de la puissance d'entrée

Lors de la conception, la structure du détecteur peut être ajustée pour accommoder le niveau de puissance de l'amplificateur auquel il est connecté. Par exemple, pour la configuration PEF qui sera discutée davantage dans ce mémoire, l'entrée du détecteur doit être ajustée pour mesurer des puissances équivalentes à celles retrouvées dans la région de compression de l'amplificateur.

Intrinsèquement, le détecteur a un gain de conversion, mais il est possible d'ajouter des capacités de couplage à l'entrée du détecteur pour réduire le gain total du montage en plus d'adapter la sortie de l'amplificateur à l'entrée du détecteur.

2.3.4 Puissance consommée

La consommation énergétique est un critère important, surtout pour les systèmes fonctionnant avec des piles. Il y a deux sous-critères à étudier pour avoir le vrai portrait de la puissance consommée par le détecteur : la puissance statique et la puissance maximale.

- Puissance statique

La puissance statique fait référence à la consommation du détecteur lors de son fonctionnement au repos. En d'autres termes, la relation $P = VI$ est utilisée pour mesurer la puissance consommée lorsqu'aucun signal d'enveloppe n'est présenté à l'entrée.

- Puissance maximale

La puissance maximale correspond à la consommation du détecteur lorsque celui-ci est à la limite supérieure de sa région linéaire. Ce paramètre est tout aussi important que la puissance statique puisque lorsqu'il y aura de grandes amplitudes de tension à détecter, celui-ci consommera davantage de courant que sa valeur nominale.

2.3.5 Bande passante

La bande passante est l'un des critères qu'il est souhaité d'optimiser dans ce projet afin de faire la démonstration du fonctionnement pour des systèmes de communication large bande. La bande passante est évaluée en espaçant un signal à deux tonalités et en mesurant l'amplitude de l'enveloppe de sortie. Le résultat est présenté dans un graphique de l'amplitude en fonction de l'espacement des deux tonalités sur une échelle logarithmique tel que présenté à la figure 1.9. Une diminution de l'amplitude d'environ 3 dB correspond à la largeur de la bande passante du détecteur.

2.4 Échéancier de la fabrication du projet

Avec l'aide de CMC Microsystems, il a été possible d'avoir accès aux outils de développement comme Cadence, ADS, HFSS, EMX, Altium et plusieurs autres. Aussi, CMC offre des services de fabrication de circuit intégré de type MPW (« Multi-Project Wafer ») qui permettent de rassembler tous les projets de recherche des universités participantes au Canada afin de les combiner sur la même gaufre (« wafer ») pour une technologie donnée. Cette approche est très intéressante pour faire le développement de prototypes qui ne requière pas une grande quantité d'échantillons. Il y a un échéancier associé aux dates cibles de fabrication pour chaque technologie produite. Pour ce projet de recherche avec la technologie CMOS 180 nm de TSMC, la soumission des fichiers de conception a été faite le 20 avril 2022 et la réception des puces a été fait le 28 août 2022.

Pour ce projet de recherche, trois conceptions différentes ont été fabriquées. Pour chacune d'entre elles, CMC Microsystems a expédié environ 30 puces. Un détail de ces trois puces est présenté ci-dessous :

- Circuit intégré 1 (ICFTSPB1) : Cette version comprend l'amplificateur RF avec deux détecteurs d'enveloppe connectés à la sortie qui serviront à valider les performances de la technique PEF.
- Circuit intégré 2 (ICFTSPB2) : Cette version comprend l'amplificateur RF avec les détecteurs d'enveloppe sur la puce, mais ceux-ci sont déconnectés de la sortie. Ils ont volontairement été laissés sur la puce pour s'assurer que les effets parasites entre l'amplificateur et le détecteur sont maintenus pour offrir des résultats qui se rapprochent le plus possible à la version ICFTSPB1.
- Circuit intégré 3 (ICFTSPB3) : Cette version comprend uniquement le détecteur d'enveloppe pour caractériser ses performances. Cette version est testée et caractérisée dans ce chapitre.

Les circuits intégrés 1 et 2 concernent davantage l'amplificateur et l'amélioration du compromis de linéarité par la technique PEF qui sera discutée dans les chapitres 3 et 4.

2.5 Résultat de simulation

Les résultats de simulation présentés dans cette section sont basés sur le circuit décrit dans les sections précédentes avec l'extraction post-layout de la puce complète avec l'outil Calibre de Siemens offert dans Cadence.

Dans un premier temps, la figure 2.8 présente la tension en courant continu (DC) à la sortie du détecteur d'enveloppe (courbe noire) en fonction de la puissance d'entrée. Sur la même figure, la courbe bleue représente l'amplitude crête de l'enveloppe à la sortie du détecteur. Il est possible de faire deux constats à partir de ce graphique. Le premier étant la puissance d'entrée nécessaire pour avoir une amplitude crête à crête de 100 mV à la sortie du détecteur. Cela correspondrait à environ -5 dBm pour une amplitude crête de 50 mV, soit une tension crête à crête de 100 mV. Cette information est importante puisqu'elle permettra d'ajuster la capacité de couplage à la sortie de l'amplificateur dans la configuration PEF pour correspondre à une puissance de P1dB. Dans un deuxième temps, on peut remarquer que la tension de sortie en courant continu augmente aussi à un rythme exponentiel. Cet aspect est aussi désiré puisque comme on peut le remarquer sur la figure 2.9, il est souhaitable d'avoir une tension statique constante pour de faible amplitude et augmenter la tension de grille dans une configuration PEF uniquement pour les pointes du signal radiofréquence. Notez que les résultats des graphiques présentés ci-dessous ont été faits avec une fréquence de la porteuse de 5 GHz avec un espacement à deux tonalités de 2 MHz. La figure 2.9 présente la réponse temporelle simulée pour différent niveau de puissance d'entrée. La courbe en bleue correspond à une amplitude d'enveloppe d'environ 100 mV crête à crête, soit l'amplitude désirée pour la technique PEF. La figure 2.10 présente la puissance de sortie mesurée aux fréquences de 0.5, 1.0 et 1.5 GHz en fonction de la puissance d'entrée. Étant donné que l'espacement entre les deux tonalités d'entrée est de 500 MHz, la courbe noire sur le graphique correspond à l'enveloppe du signal radiofréquence. La courbe bleue et la courbe rouge correspondent plutôt aux non-linéarités introduites par le détecteur. On remarque avec la courbe noire que la puissance de sortie est linéaire avec la puissance d'entrée entre -35 dBm et -3 dBm. Cette caractéristique est typique d'un détecteur de type « square-law » puisque la tension de sortie au carré est proportionnelle à la puissance d'entrée. En d'autres termes, la puissance

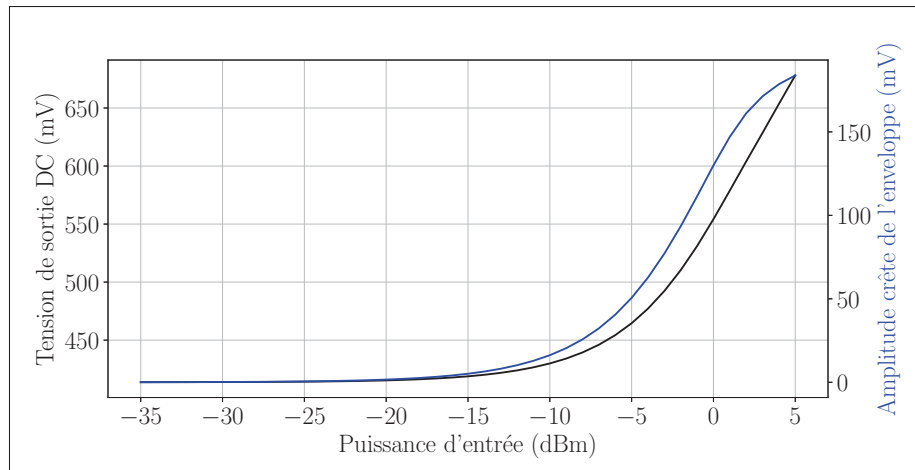


FIGURE 2.8 Tension en courant continu et amplitude crête de l'enveloppe en fonction de la puissance d'entrée du détecteur

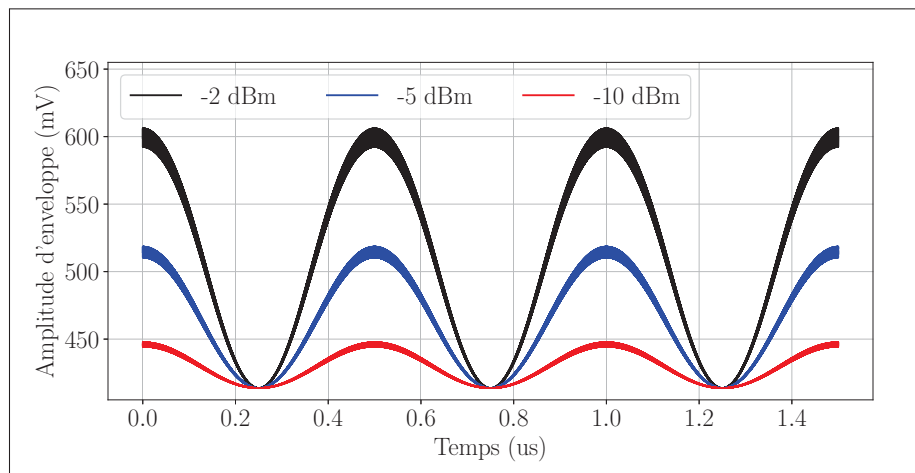


FIGURE 2.9 Amplitude de l'enveloppe simulée en fonction du temps

de sortie est une fonction linéaire de la puissance d'entrée. Au-delà d'une puissance d'entrée de -3 dBm, les non-linéarités introduites sont significatives et il n'est plus possible d'affirmer que la tension de sortie est uniquement une fonction au carré de la tension d'entrée. La figure 2.11 présente la caractéristique de la réjection de la fréquence porteuse (courbe noire) et la réjection des non-linéarités (courbe bleue) en fonction de la puissance d'entrée. Ces caractéristiques, présentés plus tôt aux sections 2.3.1 et 2.3.2 sont présentés avec une puissance d'entrée variable

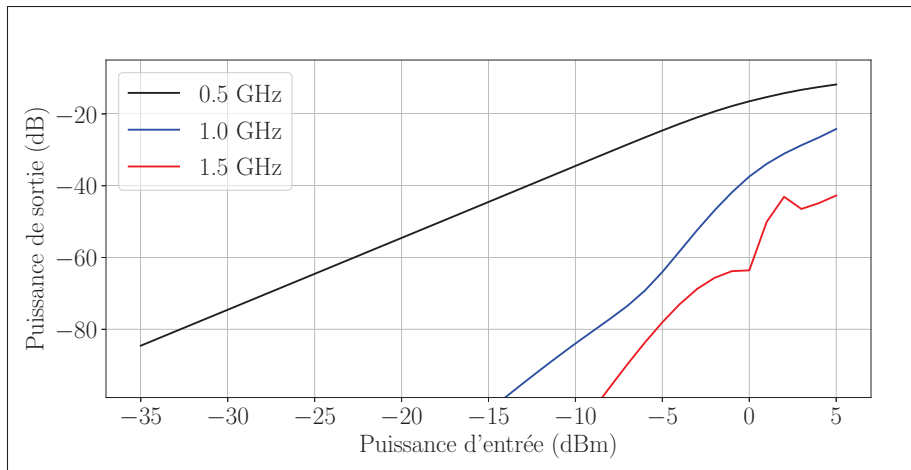


FIGURE 2.10 Puissance de sortie en bande de base simulée en fonction de la puissance d'entrée

de -35 dBm à 5 dBm. Il est possible de noter que la réjection de la porteuse est supérieure à 48 dBc sur toute la plage de la puissance d'entrée et la réjection des non-linéarités est supérieure à 40 dBc pour des puissances d'entrée de -5 dBm ou plus faible. Ainsi, dans une configuration PEF avec un ajustement de la puissance de sortie de l'amplificateur dans sa région de compression à la puissance d'entrée du détecteur d'environ -5 dBm, il serait possible de mesurer les non-linéarités (IMD3) de l'amplificateur.

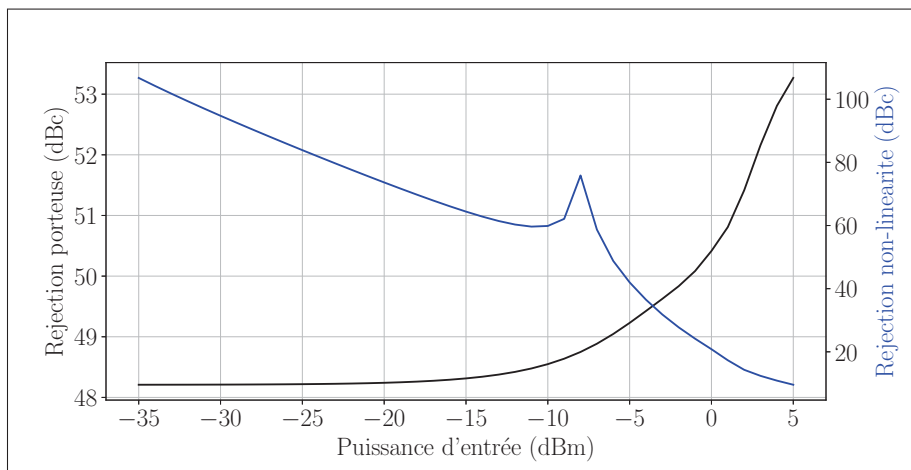


FIGURE 2.11 Caractéristique simulée de réjection de la porteuse et des non-linéarités en fonction de la puissance d'entrée

2.5.1 Conclusion partielle

Les résultats de simulation présentés dans cette section démontrent le fonctionnement attendu du détecteur avec une amplitude de tension de sortie allant jusqu'à 100 mV sans introduire plus de 40 dBc de non-linéarités et avec une réjection de la fréquence porteuse d'environ 49 dBc. En plus, d'après la figure 2.5, la bande passante est estimée à 842 MHz, ce qui est très intéressant pour la technique PEF, puisqu'elle permettrait l'amélioration du compromis d'efficacité et de linéarité sur une large bande (> 100 MHz), ce qui n'a pas encore été démontré pour la technique PEF.

2.6 Résultats expérimentaux

Cette puce est utilisée uniquement pour la caractérisation du détecteur indépendamment de l'amplificateur conçu dans le chapitre 3. Ce même détecteur a aussi été implémenté dans la puce ICFTSPB1 afin d'appliquer la technique PEF qui sera discutée dans le chapitre 5. Initialement, cette puce a été conçue pour être caractérisée sous pointe avec des sondes GSG. Un circuit imprimé a été conçu pour fournir un support à la puce et fournir les alimentations ainsi qu'un plan de masse. La puce a une taille finale de 1 mm par 1 mm, mais la surface utilisée pour le détecteur sans les plots est d'environ $1500 \mu m^2$. Cette puce a été collée sur le même circuit imprimé que celui développé pour l'amplificateur qui sera présenté dans le détail à la section 3.3 du chapitre 3. Un balun a aussi été ajouté sur le circuit imprimé afin de pouvoir générer un signal différentiel à partir d'un signal en mode commun. Cette deuxième approche a été sélectionnée comme alternative à la mesure sous-pointe différentielle offerte par le PNAX pour sa simplicité de réalisation en laboratoire. Le schéma de la figure 2.19 a été utilisé pour obtenir les résultats des mesures présentés dans cette section.

La figure 2.12 présente une photographie de la puce ICFTSPB3 à la réception avec des identifiants pour indiquer l'utilité de chacun des plots.

La figure 2.13 présente la puce ICFTSPB3 avec les fils d'or connectés au circuit imprimé utilisant la même technique que celle présentée à la section 3.2.3 du chapitre 3. Les plots pour

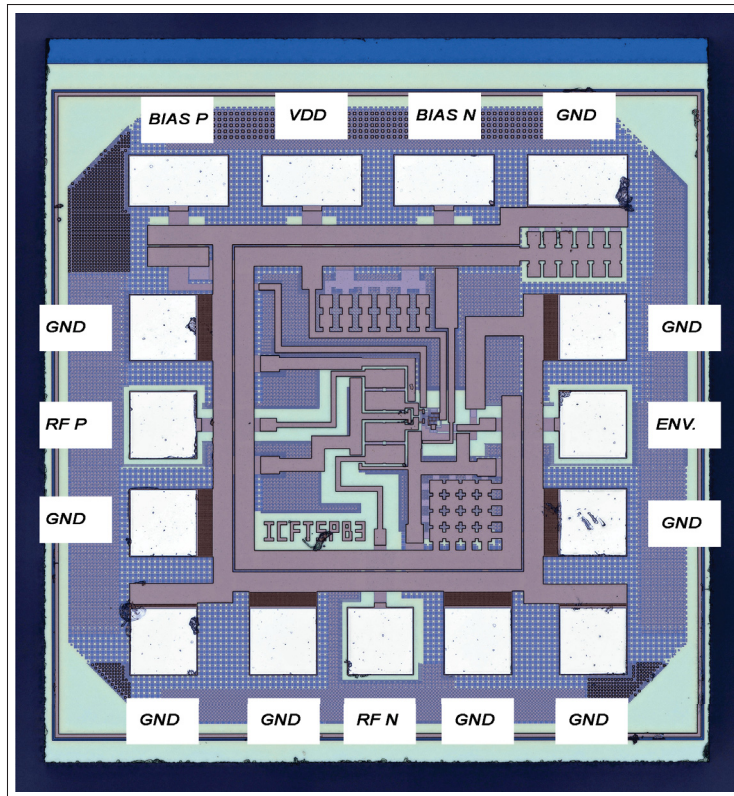


FIGURE 2.12 Photographie de la puce ICFTSPB3

la polarisation, l'alimentation et la masse ont une taille de $75 \mu\text{m}$ par $150 \mu\text{m}$ pour pouvoir accommoder deux fils d'or par plot. Cela permet de réduire l'inductance parasite ajoutée par les fils d'or. Les plots utilisés pour les sondes GSG ont plutôt une taille de $100 \mu\text{m}$ par $100 \mu\text{m}$ pour offrir la tolérance nécessaire au placement des sondes pour la caractérisation en laboratoire. Les sondes utilisées requièrent un espacement de $150 \mu\text{m}$ entre le centre de deux plots juxtaposés. La capacité de ces plots et leur structure est discutée davantage dans la section 3.2.3 du chapitre 3.

Aussi, des diodes de protection électrostatique ont été placées sur chacun des plots de la puce avec la même approche que celle discutée à la section 3.2.4.1 du chapitre 3.

La puce intègre des capacités de couplage de 900 fF pour chacune des branches d'entrées pour faire un filtre passe-haut afin d'annuler la composante en courant continu des équipements de

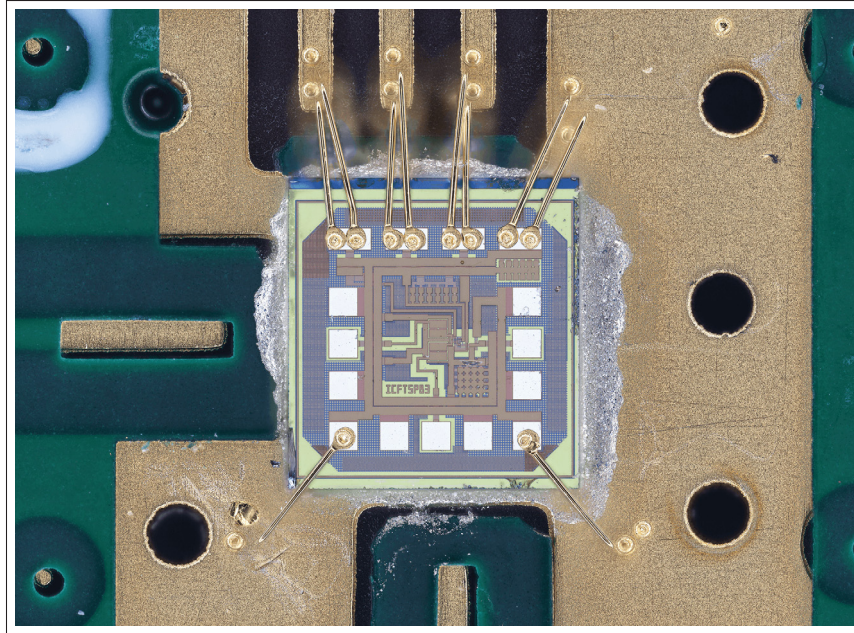


FIGURE 2.13 Détecteur d'enveloppe (ICFTSPB3) connecté au circuit imprimé avec des fils d'or

laboratoire en plus d'assurer un niveau de puissance d'entrée plus faible pour éviter d'introduire les non-linéarités des équipements de mesure en saturation.

2.6.1 Conversion d'impédance

La sortie du détecteur a une impédance d'environ 150Ω et l'impédance d'entrée des équipements de laboratoire est généralement une impédance de 50Ω . Ainsi, l'impédance équivalente correspond à $(150 \Omega \parallel 50 \Omega) = 37.5 \Omega$, soit un facteur 4 fois plus faible que l'impédance nominale de sortie du détecteur.

Ainsi, l'amplitude en tension à la sortie du détecteur mesuré avec les équipements doit être multipliée par un facteur 4 pour avoir les niveaux d'amplitude en tension équivalents à ceux du détecteur sans charge externe. Cette conversion peut être effectuée en tenant compte que la sortie du détecteur sera utilisée pour contrôler la grille des transistors de l'amplificateur dans une configuration PEF où l'impédance est généralement plus élevée que 150Ω à basse fréquence.

2.6.2 Consommation statique

La consommation de puissance statique du détecteur a été mesurée lorsque les entrées sont maintenues en circuit ouvert. La tension d'alimentation du détecteur est de 1.8 V et le courant mesuré est de 4.16 mA. Ainsi, on peut déduire une puissance de 7.49 mW avec la relation $P = VI$.

Lors de la prise de mesure en laboratoire, le détecteur a été alimenté avec une source d'alimentation de 1.8V et une tension de polarisation de 920 mV à la grille des transistors d'entrée. Le courant nominal mesuré avec les instruments de mesure à 50Ω est de 4.26 mA, ce qui correspond au courant mesuré en simulation. Cependant, le courant consommé du détecteur dépend du niveau de puissance RF et cette relation peut être vue sur la figure 2.14. Une forte augmentation du courant dans la région non linéaire du détecteur provient d'une puissance d'entrée élevée qui déséquilibre la structure d'entrée pour tirer tout le courant dans une branche ou dans l'autre. Finalement, le bilan en puissance du détecteur est de 7.49 mW en moyenne dans la région linéaire d'opération du détecteur.

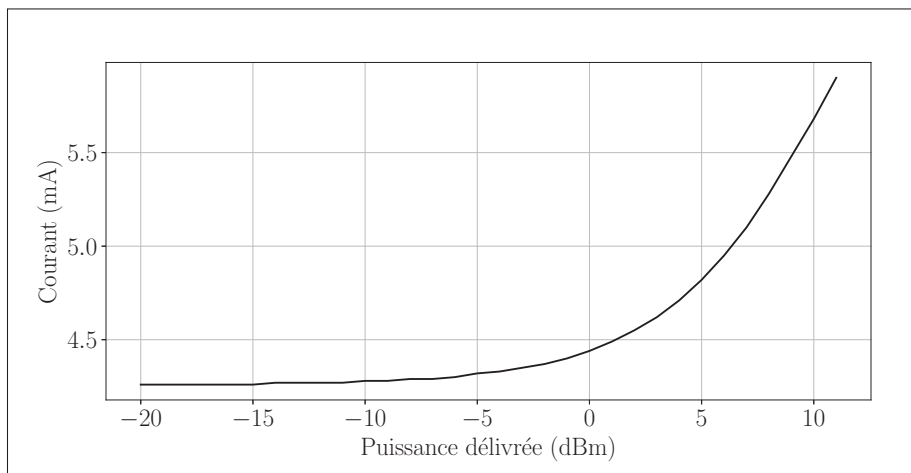


FIGURE 2.14 Courant consommé par le détecteur en fonction de la puissance d'entrée

2.6.3 Réponse temporelle

Un signal à deux tonalités a été généré avec le générateur de signaux E4438C de Agilent et la réponse temporelle a été mesurée avec l'oscilloscope TDS6124C de Tektronix. Pour une puissance constante, une fréquence centrale de 5 GHz, et une bande passante de 1 MHz, il a été possible de mesurer l'enveloppe à la sortie du détecteur (bleu) tel qu'il est présenté à la figure 2.15 en comparaison avec le signal d'entrée à deux tonalités (noir).

La figure 2.19 présente le schéma de montage utilisé pour mesurer les réponses temporelles retrouvées dans cette section.

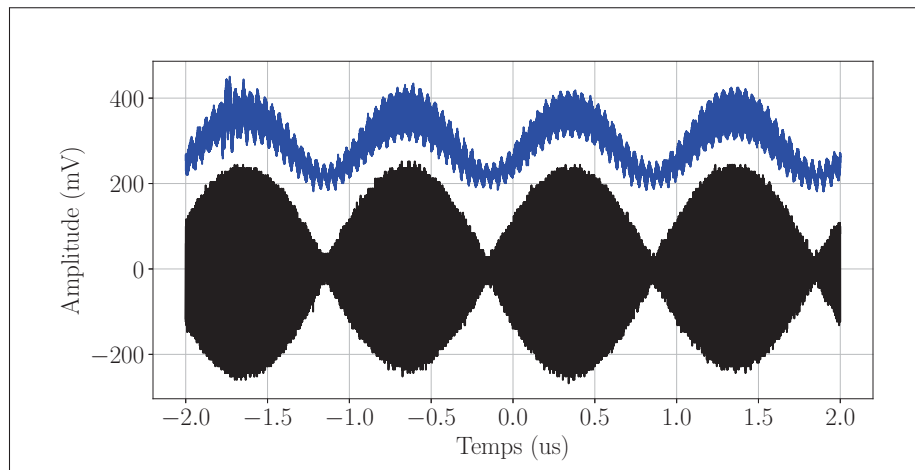


FIGURE 2.15 Capture temporelle d'un signal à deux tonalités avec un espacement de 1 MHz à l'entrée du détecteur (noir) et de l'enveloppe à la sortie du détecteur (bleu)

Dans la même configuration que la figure 2.15, la figure 2.16 présente le signal temporel de l'enveloppe (bleu) à une excitation d'entrée à deux tonalités avec un espacement de 80 MHz. Notez que la différence de phase entre les deux signaux de la figure 2.16 peut être causée par la prise de mesure, mais aussi par le délai du détecteur.

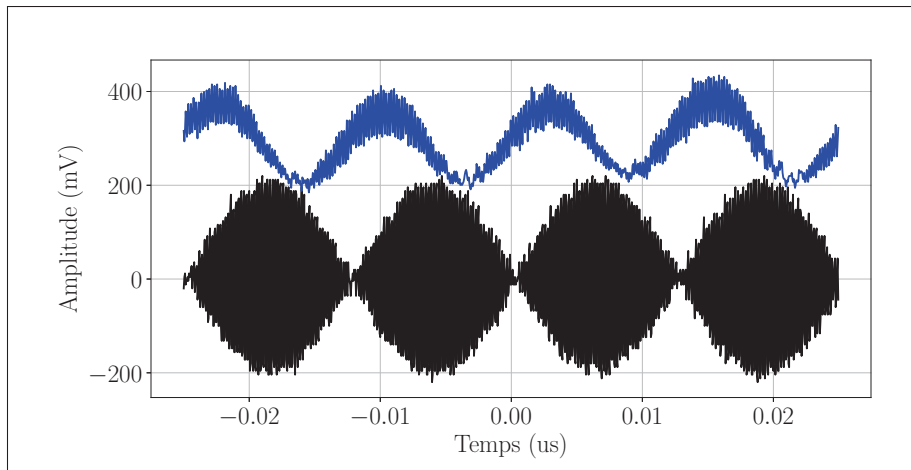


FIGURE 2.16 Capture temporelle d'un signal à deux tonalités avec un espacement de 80 MHz à l'entrée du détecteur (noir) et de l'enveloppe à la sortie du détecteur (bleu)

2.6.4 Plage dynamique

La plage dynamique a été mesurée avec le générateur de signaux E4438C et l'analyseur de spectre HP 8593E. Un balayage de la puissance d'entrée a permis de mesurer l'amplitude des composantes spectrales en sortie et de générer les graphiques des figures 2.17, 2.18 et 2.20. Le schéma de montage utilisé pour mesurer les réponses en puissance du détecteur retrouvées dans les prochaines sous-sections est présenté à la figure 2.19.

La figure 2.17 présente l'amplitude de l'enveloppe à la sortie du détecteur (courbe noire) en fonction de la puissance d'entrée. Comme le détecteur offre une relation linéaire en puissance (ou quadratique en tension), on remarque que la plage de fonctionnement linéaire en sortie du détecteur est d'environ -20 dBm à 0 dBm. Les courbes bleues et rouges représentent les non-linéarités introduites dans le spectre à la sortie pour des fréquences qui sont respectivement deux et trois fois plus grandes que la bande passante du signal modulé. Ces non-linéarités sont créées par les transistors qui composent le détecteur, principalement les transistors M1/M2 de la figure 2.1 qui sortent du régime petit signal et qui change de région d'opération. Cela déséquilibre la sommation des courants dans l'entrée différentielle. Le niveau d'intermodulation fourni par le générateur E4438C est plus faible que 60 dBc sur toute la plage de puissance

d'entrée fournie au détecteur, ce qui valide que les non-linéarités observées sur la figure 2.17 sont bien celles du détecteur.

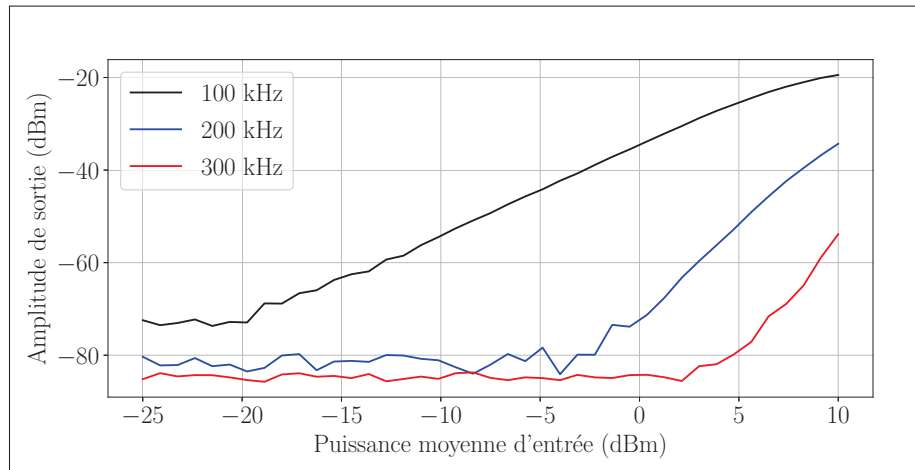


FIGURE 2.17 Amplitude des composantes en bande de base à la sortie du détecteur pour une bande passante de 100 kHz

Notez que les valeurs sous les -80 dBc des courbes bleues et rouges du graphique de la figure 2.17 correspondent au plancher de bruit de l'analyseur de spectre.

La figure 2.18 présente la plage dynamique du détecteur d'enveloppe pour une bande passante de 12 MHz au lieu de 100 kHz tel que présenté à la figure 2.17. Il est à noter que les valeurs sous les 3 dBm de la courbe bleue et celles sous les 8 dBm de la courbe rouge représentent le plancher de bruit des appareils de mesure dans les conditions de mesure expérimentale. Tout comme la figure 2.17, les courbes bleues et rouges de la figure 2.18 représentent les non-linéarités aux multiples de deux et trois fois le signal modulé, soit 24 et 36 MHz respectivement.

2.6.5 Réjection de la fréquence fondamentale

Pour mesurer la réjection de la fréquence fondamentale, il est possible d'utiliser le générateur de signal pour fournir un signal à deux tonalités et mesurer le spectre fréquentiel en sortie autour de la fréquence d'opération. La réjection est calculée avec l'amplitude de sortie et celle d'entrée selon l'équation 2.5.

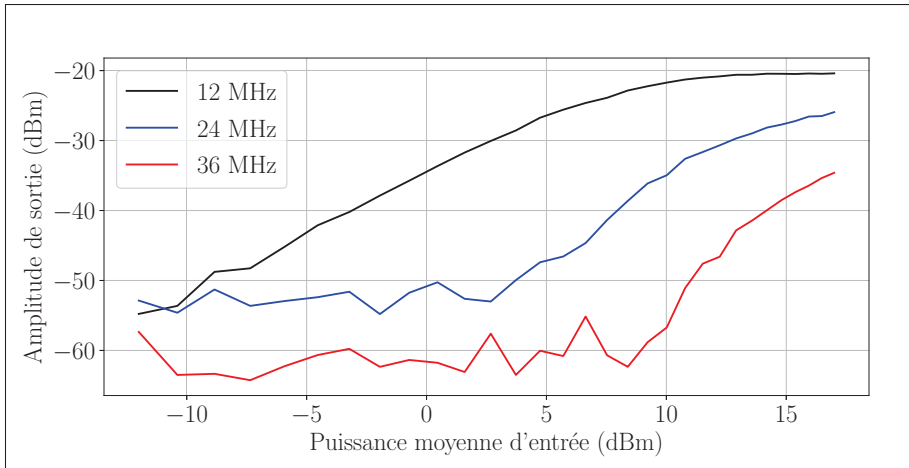


FIGURE 2.18 Amplitude des composantes en bande de base à la sortie du détecteur pour une bande passante de 12 MHz

Pour mesurer la réjection de la composante fondamentale d'entrée, le montage de la figure 2.19 a été utilisé.

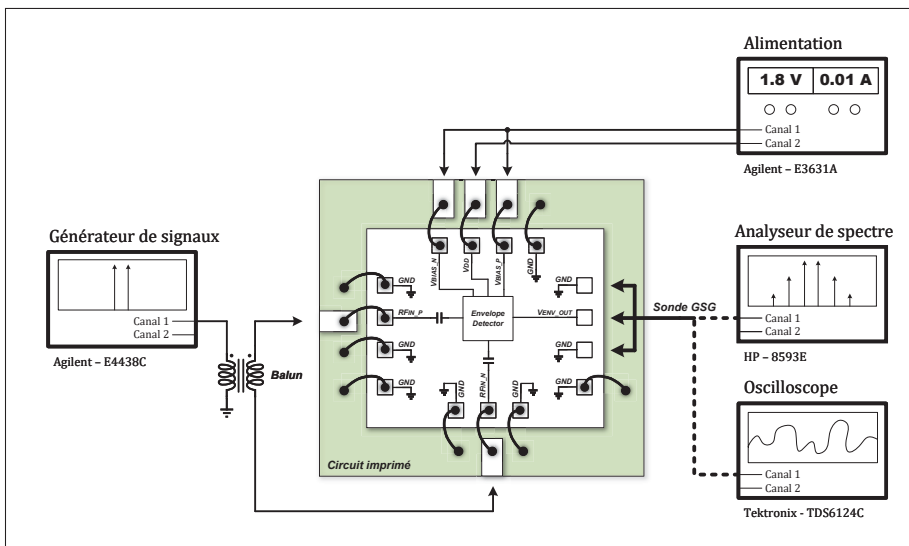


FIGURE 2.19 Montage en laboratoire utilisé pour caractériser le détecteur d'enveloppe

Le graphique de la figure 2.20 présente la réjection de la composante fondamentale (noir) et des intermodulations (bleu) à la sortie du détecteur. Comme évalué lors de la conception par les analyses de sensibilités de la section 2.2.2.2, la réjection pratique du détecteur n'est pas celle

d'une analyse purement mathématique. Dans les faits, les mesures obtenues correspondent à celles anticipées par l'analyse Monte-Carlo. Ainsi, pour une bande passante de 100 kHz et une fréquence centrale de 5 GHz, la réjection de la fréquence centrale est d'environ 54 dB.

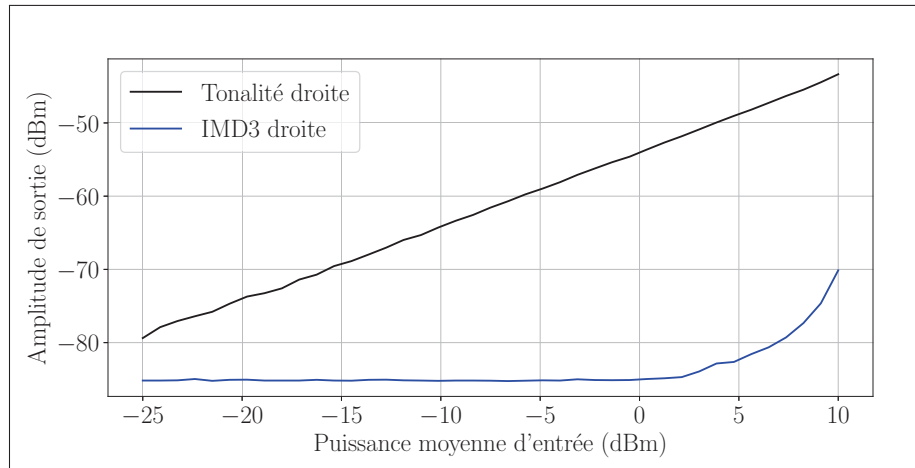


FIGURE 2.20 Amplitude des composantes à la sortie du détecteur autour de la fréquence porteuse d'entrée

2.6.6 Conclusion partielle

Les résultats expérimentaux démontrent un fonctionnement du détecteur d'enveloppe pour une fréquence centrale de 5 GHz. Bien qu'il n'ait pas été possible de mesurer la bande passante réelle du détecteur en laboratoire dû à des contraintes pratiques, la figure 2.15 et 2.16 présente le fonctionnement avec une bande passante de 1 et 80 MHz respectivement. Aussi, la figure 2.17 démontre une réjection des non-linéarités équivalente à celle obtenue en simulation. Finalement, une caractéristique importante est la réjection de la fréquence porteuse qui a pu être mesurée à environ 54 dB en laboratoire.

2.7 Conclusion

Le détecteur d'enveloppe développé dans ce projet de recherche a vérifié qu'il est possible de faire la détection d'une enveloppe de signal modulé large bande en respectant les spécifications de la technique PEF autant avec les résultats de simulation que les résultats expérimentaux. La

réjection de la fréquence porteuse a été mesurée à plus de 50 dB, un aspect important pour la configuration PEF. Finalement, la structure de détection d'enveloppe novatrice développée occupe une faible surface sur puce, soit environ $1500 \mu m^2$ et une faible puissance statique. La structure à trois sections introduit peu de non-linéarités et offre une bande passante simulée de 842 MHz.

CHAPITRE 3

AMPLIFICATEUR RADIOFRÉQUENCE INTÉGRÉ SUR PUCE

Dans le but de valider la technique PEF en boucle fermée sur la même puce que le détecteur, il est pertinent de concevoir un amplificateur radiofréquence avec le même procédé et la même technologie que le détecteur, soit le CMOS 180 nm de TSMC. Aussi, étant donné que les résultats de cette recherche visent l'amélioration des technologies de communication large bande actuelle, il est pertinent de concevoir un amplificateur qui répond aux spécifications de la technologie 5G.

3.1 Spécifications

De ce fait, une fréquence de 5.4 GHz a été sélectionnée, basée sur les bandes disponibles dans la documentation officielle fournie par l'organisation 3GPP (2022) en juin 2022. La bande sélectionnée est celle destinée aux applications de la 5G dénotée par l'identifiant « n46 » et qui utilise la bande de fréquence allant de 5.15 GHz à 5.925 GHz autant pour la transmission que la réception (3GPP, 2022). Ainsi, cette plage de fréquence offre une bande passante de 775 MHz, ce qui représente une des bandes les plus larges pour les bandes de fréquences allouées dans la plage sous les 7 GHz du réseau 5G. De plus, cette bande de fréquence permet des largeurs de canal au maximum de 80 MHz. Ainsi, pour la classe n46E, il est possible de faire l'agrégation de quatre canaux de 80 MHz continus pour totaliser une bande passante maximale de 320 MHz. La bande n46 est réservée pour les applications de classe 5 qui permettent une puissance de sortie de 20 dBm avec une tolérance de +2/-3. La classe 5 est conçue pour les appareils fixes à accès sans-fil (« Fixed Wireless Access (FWA) Unit Element (UE) »).

Finalement, la bande de fréquence visée de 5.4 GHz est particulièrement intéressante aussi pour d'autres applications comme le Wi-Fi qui fonctionnent aussi dans cette plage de fréquence.

Comme discuté dans le chapitre 2, le détecteur d'enveloppe développé dans ce projet nécessite une entrée différentielle pour une sortie en mode commun. Ainsi, l'amplificateur doit avoir une sortie différentielle pour pouvoir connecter un détecteur à sa sortie. Davantage d'explication sur

la méthode utilisée pour relier le détecteur à l'amplificateur sera discutée dans le chapitre 4. Ainsi, une topologie entièrement différentielle est à privilégier lors de la conception de l'amplificateur.

3.2 Amplificateur différentiel

Étant donné que le détecteur d'enveloppe fonctionne avec une entrée différentielle, il était nécessaire de concevoir un amplificateur avec une sortie différentielle. En plus, comme le détecteur d'enveloppe est destiné à des applications large bande, il est pertinent de démontrer qu'il est possible de l'intégrer avec des amplificateurs différentiels comme ils sont utilisés en haute fréquence, notamment dans la bande de fréquence millimétrique. La structure différentielle apporte de nombreux avantages, notamment une immunité au bruit, une augmentation du gain, et la puissance de sortie. Cependant, pour faciliter les mesures expérimentales, l'amplificateur utilise des baluns afin de convertir l'entrée et la sortie différentielle de l'amplificateur en mode commun. Cela permet de simplifier les mesures expérimentales.

3.2.1 Topologie utilisée

Tel que présenté à la section 1.2.3.2 du chapitre 1, la structure utilisée pour bâtir d'amplificateur radiofréquence est une topologie appelée « stacked-FET » dans la littérature anglophone. Tel que son nom l'indique, la topologie utilise des transistors superposés comme dans une configuration cascode afin d'améliorer les performances en puissance. Celle-ci permet d'augmenter la tension d'alimentation nominale de 1.8 V à 3.3 V pour la technologie CMOS 180nm, pour pouvoir délivrer un plus haut niveau de puissance tout en respectant la tension de claquage des transistors. Dans ce projet, l'amplificateur complet est composé de deux étages en cascade, soit un étage de préamplification (DR : « Driver ») et un étage de puissance (PS : « Power Stage »). La technologie CMOS est reconnue pour fournir un gain limité, surtout en haute fréquence due aux éléments parasites qui ajoutent beaucoup de perte. Notamment, la conductance du substrat et la résistance non nulle des traces de métal accentuent ces pertes. Ainsi, en utilisant deux étages, on s'assure d'offrir un gain raisonnable qui rencontre les spécifications. De plus, l'amplificateur doit avoir une structure différentielle pour satisfaire les spécifications du détecteur d'enveloppe, mais

aussi pour fournir plus de puissance. Dans une structure différentielle, l'excursion de la tension de sortie est deux fois plus grande qu'une topologie en mode commun. Ainsi, l'amplificateur nécessite de faire deux branches symétriques avec deux étages en mode « stacked-FET ».

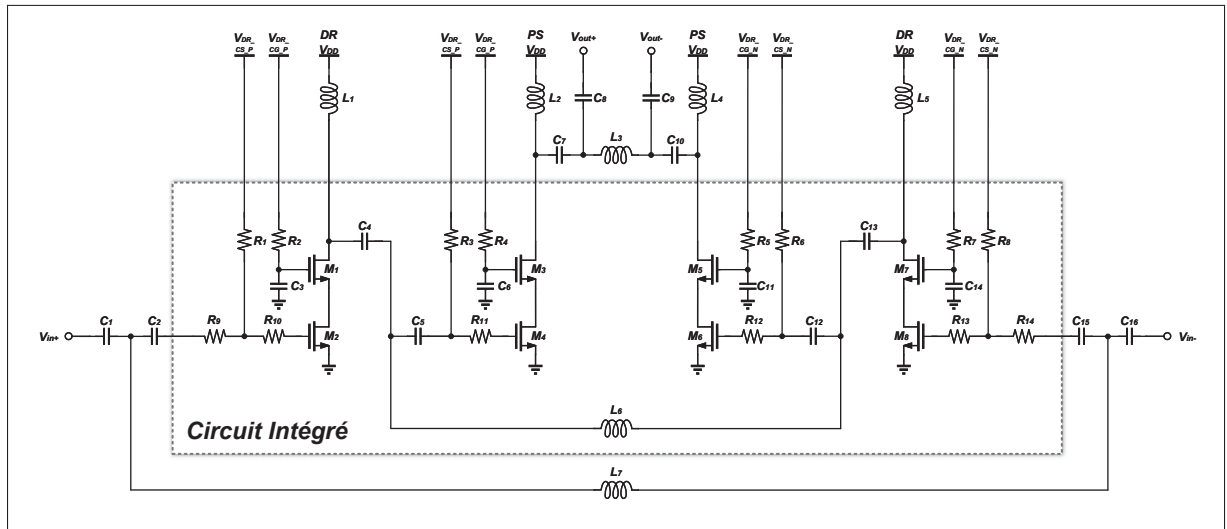


FIGURE 3.1 Schéma de l'amplificateur radiofréquence conçu sur puce

Le schéma de la figure 3.1 présente le schéma simplifié de l'amplificateur conçu sur puce. Les plots ne sont pas représentés afin de simplifier le diagramme. Les éléments parasites comme les plots, les fils d'or, le remplissage des couches de métal et les traces sur le circuit imprimé doivent être tenus en compte lors de la conception. Ces éléments de faibles valeurs combinés ont un grand impact sur les performances et à haute fréquence puisqu'ils ajoutent une réactance inductive et/ou capacitive. Ces aspects sont discutés davantage dans les prochaines sections.

Les transistors utilisés sont ceux fournis par la librairie de TSMC. Avec la technologie CMOS 180nm, la librairie comprend les différents types de transistors suivant :

- NMOS/PMOS 1.8 V à couche d'oxyde mince
- NMOS/PMOS 1.8 V à couche d'oxyde mince dans un puits profond de type N
- NMOS/PMOS 3.6 V à couche d'oxyde épaisse
- NMOS/PMOS 3.6 V à couche d'oxyde épaisse dans un puits profond de type N

Il est à noter que la technologie utilisée dans ce projet est destinée à des applications générales de basse fréquence et aux systèmes analogiques ou à signaux mixtes. Bien que d'autres technologies sont spécifiquement conçues pour les applications radiofréquences, au moment de la conception, celles-ci n'étaient pas offertes par CMC Microsystems.

Pour l'étage de puissance, des transistors à couche d'oxyde épaisse ont été sélectionnés afin de pouvoir supporter les grandes excursions de tensions produites. Ainsi, ces transistors ont une longueur de canal minimal plus grande que ceux à couche d'oxyde mince et leur tension de claquage est plus élevée. Afin de compenser pour la longueur du canal plus grande, le nombre de doigts pour cette matrice de transistor a été doublé.

3.2.2 Valeur des composants

Le choix de la taille des matrices de transistor est un processus complexe qui compte d'une part sur les simulations et les modèles, mais aussi sur les résultats expérimentaux de recherches précédentes utilisant des technologies similaires. La complexité vient du fait que le choix de la taille d'une matrice incorpore des compromis de performances qui peuvent être difficiles à caractériser en début de conception. Notamment, pour pouvoir fournir une grande puissance à la sortie de l'amplificateur, il faut pouvoir supporter un grand courant, alors une grande matrice de transistor est à privilégier. Cependant, une grande matrice implique que les capacités de grille, de drain et les autres capacités parasites sont plus grandes, ce qui limite le gain en haute fréquence. Aussi, l'impédance de sortie, souvent de quelques ohms seulement, doit être choisie afin qu'il soit possible de faire une conversion d'impédance vers 50Ω . Un autre élément à tenir en compte est la capacité des traces de métal à supporter le courant près des transistors. Bien que la matrice de transistors puisse supporter un haut courant, les traces de métal pour faire les interconnexions ont une spécification de courant à respecter qui peut être un enjeu à l'échelle des transistors étant donné l'espace restreint. Afin de trouver un bon compromis, il est possible de faire des simulations en variant la charge (« load-pull ») afin de trouver la meilleure impédance de charge pour maximiser la puissance de sortie, la linéarité ou l'efficacité. Lors du choix de la taille de la matrice, il est important de valider la stabilité.

TABLEAU 3.1 Taille des transistors du schéma de la figure 3.1

Identifiant	Type	Largeur	Longueur	Nbr. de doigts	Transistor en parallèle
M1/M7	Oxyde mince	$2 \mu m$	$180 nm$	20	4
M2/M8	Oxyde mince	$2 \mu m$	$180 nm$	20	4
M3/M5	Oxyde épais	$2 \mu m$	$350 nm$	40	8
M4/M6	Oxyde mince	$2 \mu m$	$180 nm$	20	8

La densité de courant est un aspect important, surtout pour un amplificateur où les courants peuvent être de plusieurs dizaines de milliampères. Selon la documentation de TSMC, les couches de métal 1 à 5 peuvent supporter un courant de $1 mA/\mu m$ et la couche de métal 6 peut supporter $1.6 mA/\mu m$. Chacune des matrices de transistor a été conçue avec cette contrainte afin de pouvoir supporter environ le double du courant statique nominale. Les parties les plus critiques sont celles près des transistors puisque l'espace disponible est limité. Par exemple, pour la matrice de transistor M1/M7, les 20 doigts des transistors permettent une trace de métal sur la couche 1 de seulement $0.4 \mu m$ entre chacun d'entre eux dû aux espacements et aux contraintes de fabrication.

TABLEAU 3.2 Taille des composants passifs du schéma de la figure 3.1

Identifiant	Type	Valeur	Largeur	Longueur	Éléments parallèles	Éléments séries
C3/C14	MIM	400 fF	$- \mu m$	$- \mu m$	2	2
C4/C13	MIM	950 fF	$- \mu m$	$- \mu m$	2	2
C5/C12	MIM	950 fF	$- \mu m$	$- \mu m$	2	2
C6/C11	MIM	900 fF	$- \mu m$	$- \mu m$	2	2
R1/R8	RPPLUS	15Ω	$2.5 \mu m$	$2.3 \mu m$	10	1
R2/R7	RNHPOLY	437Ω	$3 \mu m$	$5.5 \mu m$	4	3
R4/R5	RNHPOLY	437Ω	$3 \mu m$	$5.5 \mu m$	4	3

Néanmoins, la matrice des transistors M1/M7 et M2/M8 peut supporter un courant théorique d'environ 32 mA, la matrice M3/M5 peut supporter 128 mA et la matrice M4/M6 peut supporter 64 mA. Sachant que le courant nominal lors des simulations pour l'étage de préamplification est d'environ 22 mA et que celui de l'étage de puissance est d'environ 44 mA, il y a un facteur de sécurité qui permet de pousser l'amplificateur avec une puissance d'entrée plus élevée sans risquer de dépasser la limite de courant que les traces de métal peuvent supporter.

Le tableau 3.2 présente la taille et les valeurs des composants passifs utilisés pour l'amplificateur radiofréquence présenté à la figure 3.1. Parmi les types de résistances et de condensateurs disponibles dans la bibliothèque de conception, ceux de la liste ci-dessous ont été utilisés :

- MIM : Capacité Métal-Isolant-Métal
- RPPLUS : Résistance P+ de type diffusion sans siliciure
- RNHPOLY : Résistance N+ de type polysilicium sans siliciure
- RNLPOLY : Résistance N+ de type polysilicium avec siliciure

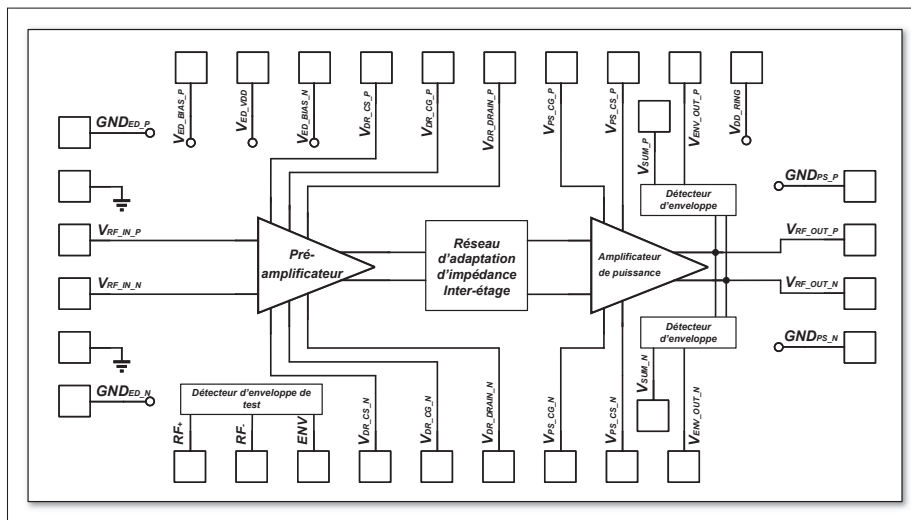


FIGURE 3.2 Disposition des plots de l'amplificateur radiofréquence sur puce

La figure 3.2 présente la disposition simplifiée des différents éléments qui compose la puce ICFTSPB1. Notez que toutes les alimentations et les tensions de polarisation sont doublées pour

pouvoir satisfaire chacune des branches différentielles des deux étages d'amplification. Les plots et leur positionnement correspondent à ceux de la figure 3.3.

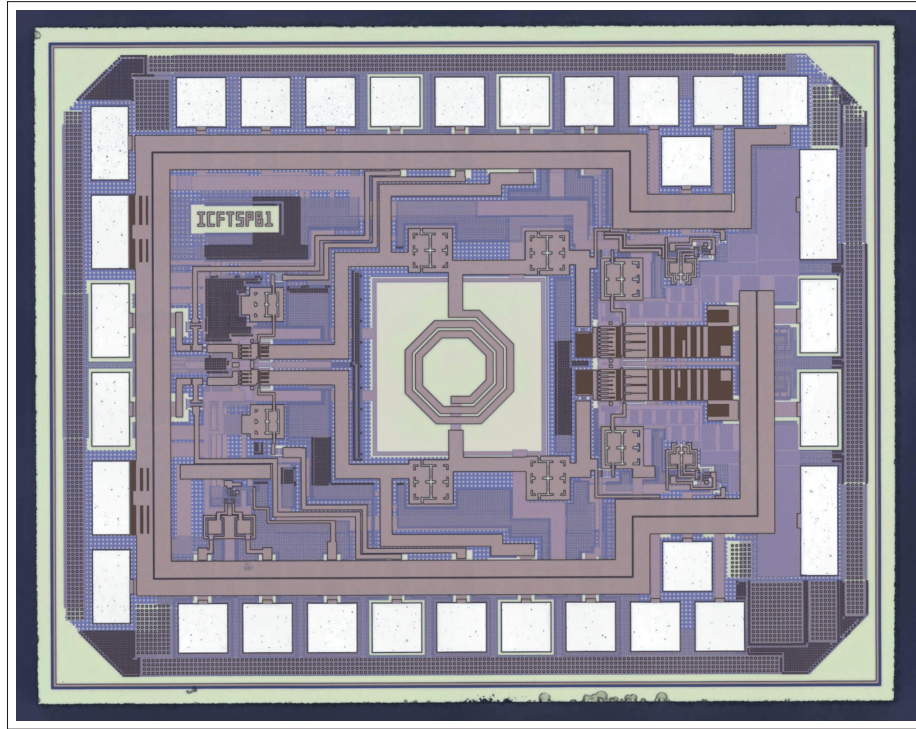


FIGURE 3.3 Photographie de la puce ICFTSPB1

3.2.3 Les plots et les fils d'or

Bien que les plots sur la puce et les fils d'or servent à relier la puce au circuit imprimé, ceux-ci ont un impact sur les performances, surtout pour des fréquences de fonctionnement élevées comme c'est le cas dans ce projet. Les sous-sections suivantes présentent les enjeux de conception, les choix et la méthodologie choisie pour optimiser les performances de l'amplificateur.

3.2.3.1 Enjeux de conception

La taille des plots sur la puce est définie par le type de fil utilisé pour le relier au système extérieur. Dans le cas de ce projet, le fil disponible est un fil d'or circulaire de $25 \mu\text{m}$ de diamètre.

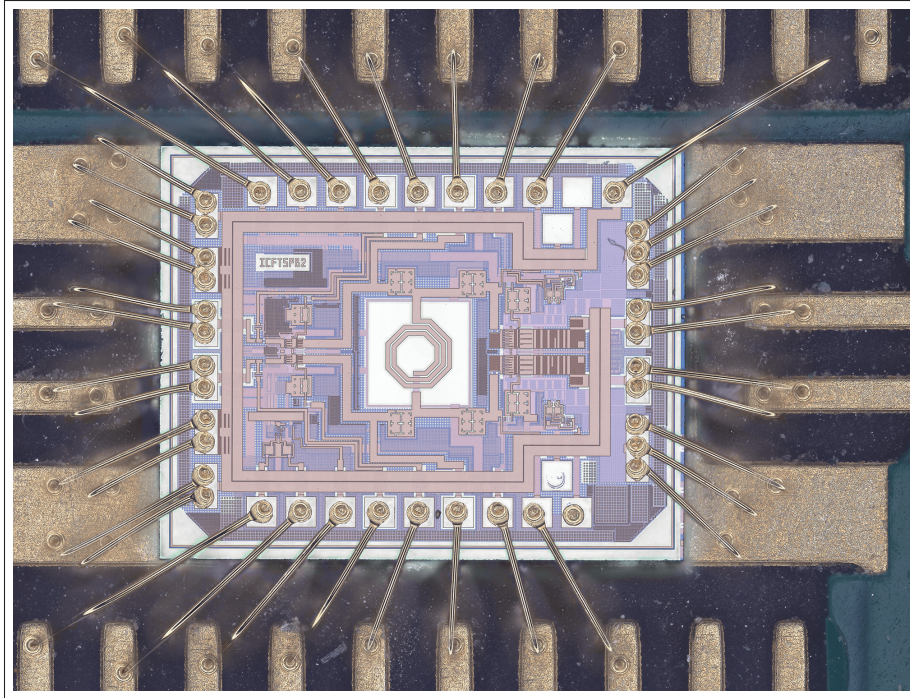


FIGURE 3.4 Photographie de la puce ICFTSPB2 montée sur le PCB avec les fils d'or

La taille estimée de la boule faite sur le plot par le fil d'or est d'environ 3 à 4 fois la taille du diamètre du fil, soit $75 \mu\text{m}$ à $100 \mu\text{m}$.

D'un point de vue mécanique, une marge de sécurité doit être ajoutée pour prévenir les erreurs de positionnement dû à la tolérance de la machine lors du placement des fils d'or. Aussi, le nombre de couches de métal utilisées dans la structure d'un plot est fonction de la solidité du plot à résister à la pose du fil d'or. Finalement, certaines règles de conceptions exigées par le fabricant de la puce dictent l'espacement entre chaque plot, et ainsi le nombre de plots qu'il est possible de mettre sur la puce pour une surface donnée.

D'un point de vue électrique, les performances radiofréquences dictent aussi la taille des plots. En effet, les plots sont des grandes surfaces de métal en parallèle avec le substrat. La capacité formée dépend de la surface et de la distance entre les couches de métal et le substrat. À titre

indicatif, le tableau 3.3 présente les valeurs de capacité parasite simulées pour des plots de $100\ \mu\text{m}$ par $100\ \mu\text{m}$ dans le cadre de ce projet.

TABLEAU 3.3 Capacité estimée par plot de $100\ \mu\text{m}$ par $100\ \mu\text{m}$ avec l'outil PEX de Calibre dans Cadence

Couches de métal utilisées	Capacité
Métal 1,2,3,4,5,6	486 fF
Métal 3,4,5,6	225 fF
Métal 4,5,6	173 fF

Bien que pour les signaux radiofréquences la capacité parasite doit être minimisée, cette même capacité peut être utilisée comme capacité de découplage pour les alimentations en courant continu.

De chaque côté de la puce, les plots d'entrée et de sortie ont une largeur de $75\ \mu\text{m}$, mais une longueur permettant d'y placer de 2 à 3 fils d'or par plot. Cela permet de réduire davantage l'inductance parasite. Cependant, la capacité parasite du plot est plus grande. Pour cette raison, les plots qui permettent le transport de signaux radiofréquence d'entrée et de sortie n'utilisent pas les 6 couches de métal superposées. Ils utilisent plutôt les couches de métal 4 à 6 seulement pour réduire la capacité tout en conservant une bonne solidité. Une conception judicieuse des plots en prenant en considération les aspects de conception est importante pour maximiser les performances radiofréquences. Entre autres, les plots sont de grandes surfaces de métal qui peuvent créer beaucoup de capacité parasite. Cela peut être bénéfique pour les signaux d'alimentation DC puisqu'ils fournissent des capacités intrinsèques très faibles, mais de très bonnes qualités pour filtrer le bruit à haute fréquence. Par contre, à la fréquence de fonctionnement, ces capacités parasites peuvent facilement déséquilibrer les réseaux d'adaptation d'impédance. Aussi, la capacité de jonction des diodes ESD est à prendre en compte lors de la conception de la puce.

Enfin, le fil d'or introduit une inductance série parasite qui est estimée environ à 1.0 nH/mm pour un fil d'or de $25 \text{ }\mu\text{m}$ de diamètre comme celui utilisé. Il est possible de placer plusieurs fils d'or en parallèle et de longueur minimale sur le même plot pour réduire l'inductance totale équivalente. Cependant, cette technique a une limitation puisque une inductance mutuelle se développe entre les fils d'or et l'effet d'ajouter un fil d'or supplémentaire n'a plus d'impact significatif sur la réduction de l'inductance totale équivalente.

Pour les fils d'or reliant la masse de la puce à celle du circuit imprimé, il est important de réduire l'inductance le plus possible puisque celle-ci ajoutée en série à la source des transistors a un effet de rétroaction dégénératif et peut diminuer le gain total de l'amplificateur, ainsi que placer l'amplificateur dans une région d'instabilité (stabilité conditionnelle).

3.2.3.2 Choix de conception

Dû au fait que l'amplificateur est différentiel et que toutes les alimentations sont fournies à l'externe de la puce, les plots ont été disposés symétriquement de part et d'autre de la puce. Il y a trois dimensions de plots différents utilisés dans ce projet (référence à la figure 3.3) : les plots d'alimentation et de polarisation (haut et bas de la puce), les plots des signaux RF et de masse (gauche et droite de la puce) et les plots de masse de l'étage de puissance (droite de la puce). Les fils d'or ont été faits dans les laboratoires de l'ÉTS avec la machine spécialisée F&K M17S de la compagnie FK Delvotec.

Les plots d'alimentation et de polarisation ont une taille de $100 \text{ }\mu\text{m}$ par $100 \text{ }\mu\text{m}$ et ils sont faits pour pouvoir accueillir un seul fil d'or par plot. Les plots des signaux RF et de masse ont une taille de $75 \text{ }\mu\text{m}$ par $150 \text{ }\mu\text{m}$ et ils sont faits pour pouvoir accueillir deux fils d'or par plot. Les plots de masse de l'étage de puissance ont une taille de $75 \text{ }\mu\text{m}$ par $300 \text{ }\mu\text{m}$ et ils sont faits pour pouvoir accueillir trois fils d'or par plot.

Parmi les trois différentes dimensions de plots présentés, ceux-ci n'ont pas toute la même structure pour balancer les enjeux de conception présentés plus tôt. Par exemple, les plots des signaux RF utilisent moins de couches de métal pour diminuer la capacité parasite. De l'autre

côté, les plots de masse n'ont pas cette contrainte, alors les six couches de métal sont utilisées pour favoriser la solidité mécanique.

La configuration des fils d'or utilisée est une configuration BSOB (« Bond Stitch On Ball ») (Wei & Hua, 2012). Cette approche est présentée à la figure 3.5 avec les quatre principales étapes pour réaliser cette technique. Une première boule est créée sur les plots de la puce (étape 1). Cela permet d'avoir un meilleur contact lors de la soudure du fil à l'étape 4 et d'appliquer moins de force avec la tête de la machine sur les plots de la puce au risque d'endommager celle-ci. Ensuite, un fil d'or est fait à partir d'une boule sur le circuit imprimé (étape 2-3) jusqu'à la boule sur la puce faite au préalable sur la puce (étape 4). Afin de garantir les meilleures performances possible, le profil des fils d'or est le même de part et d'autre de la puce pour assurer la symétrie et le balancement entre les deux branches différentielles (figure 3.4). Aussi, une hauteur minimale du profil du fil d'or est utilisée afin de minimiser la longueur et réduire l'inductance parasite, surtout pour les signaux radiofréquences et les fils reliés à la masse.

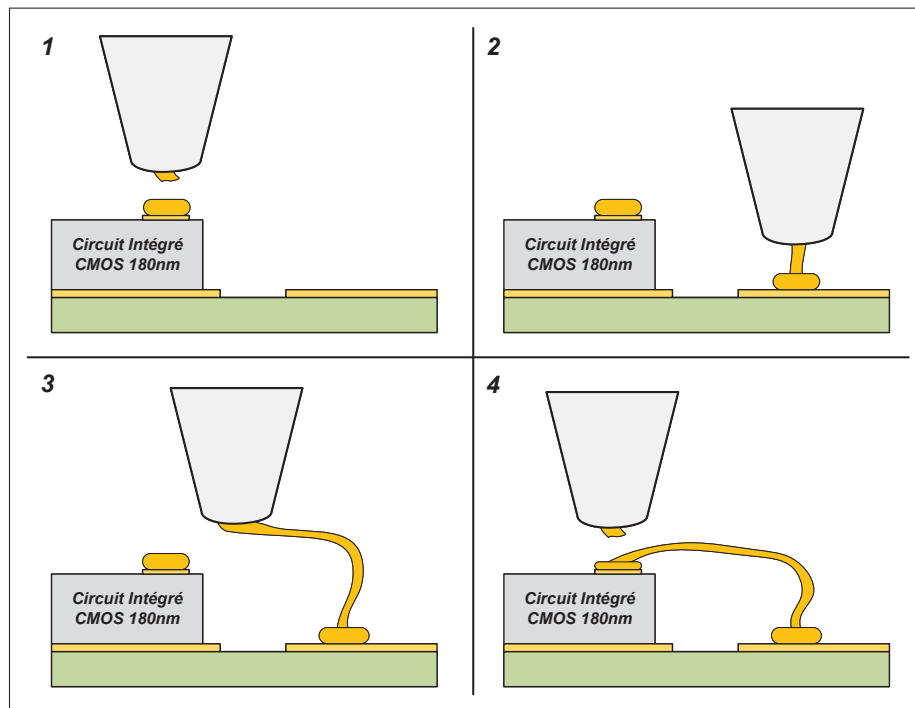


FIGURE 3.5 Étapes du placement des fils d'or avec la technique BSOB

3.2.4 Autres éléments de conception

3.2.4.1 Diode de protection électrostatique

Un anneau pour les alimentations des diodes ESD (« Electrostatic Discharge ») est placé dans le pourtour interne de la puce près des plots. Cela permet de protéger les circuits sur la puce d'une décharge électrostatique, mais aussi de fournir une alimentation en courant continu propre aux circuits internes.

Il faut noter qu'aucune librairie standard fournie par TSMC ne contenait des diodes de type ESD. Ainsi, les diodes ESD conçues dans ce projet sont basées sur la documentation de TSMC suivant les recommandations de traçages sur puce, mais aucune simulation n'a pu être effectuée pour valider leur fonctionnement. La conception de celles-ci a plutôt été faite pour un aspect fonctionnel avant tout. Il est difficile de savoir à quel niveau de tension et de courant les diodes conçues peuvent supporter. Pour la plupart des plots, seulement deux diodes servent à protéger contre les décharges électrostatiques puisque l'excursion en tension de ces signaux est faible. En effet, tel que présenté à la figure 3.6, les signaux peuvent avoir une excursion en tension d'environ -0.7 V à 4 V au maximum avant que les diodes conduisent et pincent l'amplitude. Alors que pour les plots de signaux radiofréquence de sortie où l'excursion en tension est élevée, six diodes ont été placées en série en direction de l'alimentation positive et deux diodes en série en direction de la masse. Ainsi, l'excursion en tension à la sortie de l'amplificateur est bornée par les diodes entre -1.4 V et 7.5 V. Avec la tension nominale de 3.3 V, l'amplitude peut atteindre environ 4.2 V avant qu'elle soit pincée.

Notez qu'aucun circuit de protection n'a été utilisé pour protéger les alimentations contre les décharges électrostatiques.

3.2.4.2 Remplissage de métal

Le remplissage de métal ajoute aussi son lot de capacités parasites. Une attention particulière a été portée à la disposition des éléments de remplissage pour minimiser les effets capacitifs parasites

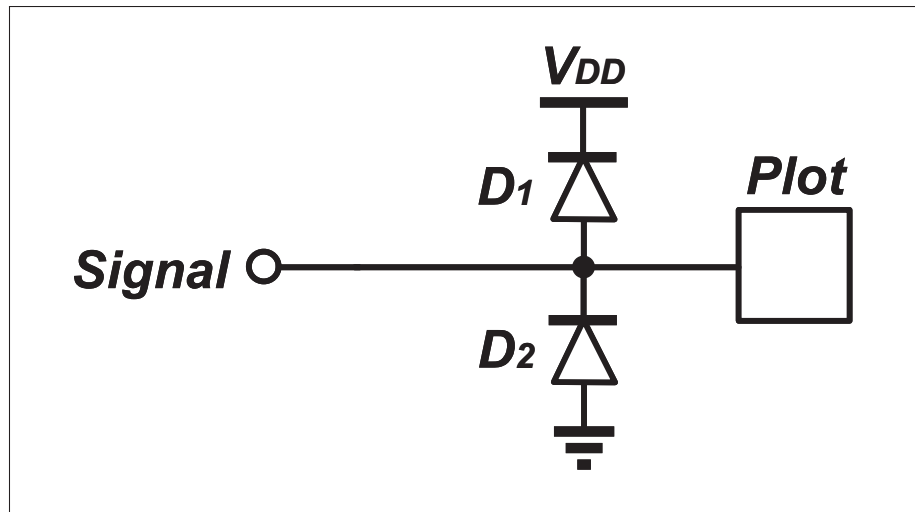


FIGURE 3.6 Structure utilisée comme protection ESD avec deux diodes en série

sur les signaux principaux tout en s'assurant d'atteindre les spécifications de remplissage. Bien entendu, ces éléments affectent les performances autour de la fréquence de fonctionnement.

3.2.4.3 Structure à puits profond de type N

Une structure à puits profond de type N (« Deep-N-Well ») est disponible avec le procédé CMOS 180 nm de TSMC. La structure à puits profond est reconnue pour offrir de nombreux avantages. Notamment, l'isolation du substrat réduit le bruit induit par le substrat, et permet aussi d'appliquer une tension similaire à celle de la source pour minimiser les effets du substrat. La structure à puits profond peut aussi être utilisée pour d'autres composants passifs comme les résistances de diffusion et offrir une isolation supplémentaire au bruit provenant du substrat. Ces aspects deviennent particulièrement intéressants pour les circuits radiofréquences comme l'amplificateur conçu dans ce projet puisque les matrices de transistors ont pu être isolées du reste du circuit et ainsi minimiser le couplage avec les autres éléments sur la puce. Cet aspect est aussi bénéfique d'un point de vue de la stabilité globale puisque l'isolation supplémentaire prévient qu'un signal se propage de la sortie vers l'entrée à travers le substrat. En fait, le puits

profond de type N offre des avantages similaires à ceux d'un PMOS dans un puits de type N d'un procédé standard CMOS.

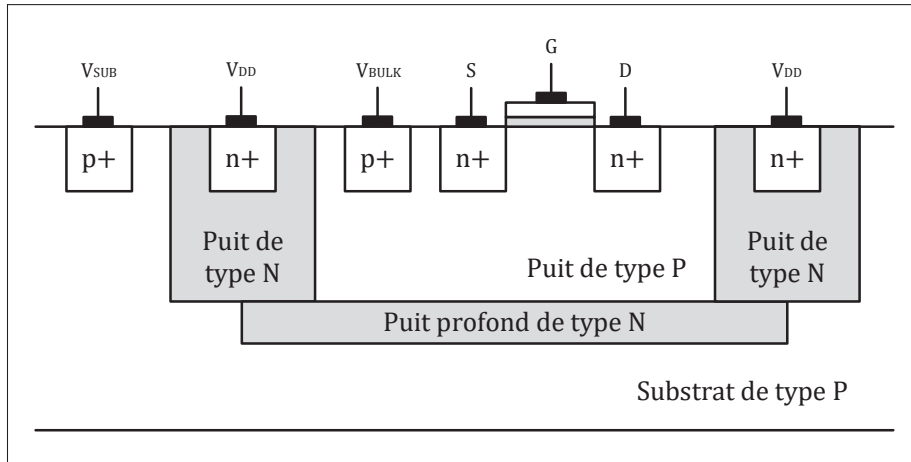


FIGURE 3.7 Vue de coupe d'une structure à puits profond de type N

En contrepartie, l'ajout d'une structure à puits profond de type N occupe un plus grand espace sur la puce, ce qui peut être un enjeu pour les conceptions à forte densité. Les couches supplémentaires à ajouter ainsi que l'anneau de garde.

Dans le cas du détecteur d'enveloppe développé au chapitre 2, une structure à puits profond a été utilisée pour isoler les transistors du substrat en deux parties, soit les transistors en configuration différentielle d'entrée et les transistors d'amplificateur de courant en configuration miroir de courant.

3.2.5 Réseau d'adaptation d'impédance

Les réseaux d'adaptation d'impédance pour cette conception utilisent une topologie en T : condensateur série, inductance parallèle et condensateur série. Cette topologie peut être convertie pour les amplificateurs différentiels par le principe de symétrie avec une masse virtuelle au point milieu de l'inductance.

Les réseaux d'adaptation d'impédance d'entrée et de sortie ont été placés à l'extérieur de la puce pour des fins de débogage et d'ajustement en laboratoire. Bien qu'il soit avantageux de pouvoir ajuster manuellement les valeurs des éléments du réseau d'adaptation d'impédance, un des désavantages de cette approche est que ceux-ci performant moins bien. À la fréquence d'opération de 5.4 GHz, le fait de placer les réseaux d'adaptation d'impédance sur le circuit imprimé fait que la tolérance pour une asymétrie entre les deux branches est plus grande. Entre autres par les traces et les plots du circuit imprimé, mais aussi par la longueur des fils d'or qui n'est pas exactement la même. Bien que cet effet ait plus d'impact à la sortie puisqu'il y a un plus grand courant qui circule, l'entrée est aussi sensible pour obtenir une bonne adaptation d'impédance d'entrée. Une variation de quelques dizaines de femtofarads (10^{-15}) est suffisante pour créer un débalancement de quelques millivolts à l'entrée.

Pour cet amplificateur, il y a trois réseaux d'adaptation d'impédance, soit un à l'entrée, un entre les deux étages d'amplification et un à la sortie. Chacun de ces réseaux permet de transformer l'impédance pour qu'il s'adapte le mieux entre chacun des étages. Par exemple, le réseau d'adaptation d'impédance d'entrée transforme l'impédance du balun de $100\ \Omega$ vers l'impédance d'entrée du préamplificateur, soit les grilles des transistors M2/M8. Ensuite, le réseau d'adaptation d'interétage permet de transformer la faible impédance de sortie au drain des transistors M1/M7 du « driver » vers une haute impédance à la grille des transistors M4/M6 de l'étage de puissance. Finalement, le réseau d'adaptation d'impédance de sortie permet de transformer la faible impédance au drain des transistors M3/M5 de l'étage de puissance vers l'impédance de $100\ \Omega$ du balun de sortie. Bien qu'il existe différentes techniques pour faire les transformations d'impédance, le choix a été arrêté sur les composants LC, soit condensateurs et inductances. Pour le réseau d'entrée et celui de sortie, des composants discrets au format 0402 avec un facteur de qualité élevé permettent un ajustement en laboratoire. Surtout à la fréquence de fonctionnement de 5.4 GHz, la conception est très sensible aux éléments parasites de l'ordre de 100 fF provenant du circuit imprimé ou des tolérances des composants. Les composants LC permettent de faire des transformations d'impédance simplement avec un minimum de deux

composants. Cependant, cette solution est reconnue pour être bande étroite en comparaison aux réseaux d'impédance à ligne de transmission.

3.2.6 Inductance sur puce

Le réseau d'adaptation d'impédance de l'interétage est un réseau LC (inductance-condensateur) utilisant la topologie en T sous format différentiel. Les condensateurs ont été implémentés avec des capacités MIM disponibles dans la technologie CMOS 180 nm. Pour l'inductance, il est possible de faire une inductance spirale sur les couches de métal les plus élevées. Les inductances spirales sont des structures très volumineuses qui, contrairement aux autres éléments passifs et actifs, elles n'ont pas une bonne densité d'intégration. Aussi, il faut noter que lors de l'extraction du tracé de la puce, le circuit équivalent contient uniquement les effets parasites résistifs et capacitifs. Les effets inductifs des traces et l'inductance mutuelle entre deux traces ne sont pas extraits.

Il a été possible de quantifier les performances de l'inductance spirale avec EMX, un outil de simulation intégré dans Cadence.

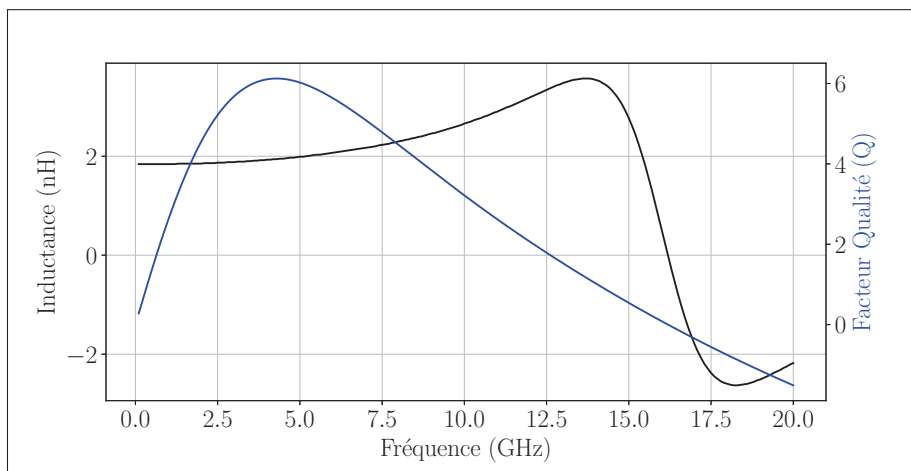


FIGURE 3.8 Performances de l'inductance spirale simulée avec EMX

L'inductance est conçue sur la couche de métal 6 avec une largeur de trace de $15 \mu m$ comme il est recommandé par TSMC. Elle fait 2.5 tours avec un diamètre central de $120 \mu m$ et un diamètre extérieur de $235 \mu m$. À 5.4 GHz, l'inductance est d'environ 2.02 nH avec un écart-type de ± 0.1 nH sur une bande passante de 2 GHz. Le facteur qualité est d'environ 5.9 à la fréquence centrale avec une variance de ± 0.5 sur une bande passante de 2 GHz.

3.2.7 Évaluation de la stabilité d'un amplificateur multi-étage

Pour un amplificateur simple avec un seul étage, il est possible d'évaluer la stabilité de celui-ci avec les critères de stabilité bien connus pour évaluer la stabilité inconditionnelle comme le facteur μ ou les paramètres Δ et K .

Cependant, pour un amplificateur avec plusieurs étages comme c'est le cas dans ce projet de recherche, il n'est pas recommandé de se fier uniquement à la stabilité aux ports pour assurer une stabilité inconditionnelle de l'ensemble de l'amplificateur. En d'autres termes, l'évaluation de la stabilité aux ports d'entrée et de sortie uniquement ne garantit pas la stabilité inconditionnelle de l'ensemble de l'amplificateur. Différents facteurs peuvent être la cause de l'instabilité, notamment un couplage entre la sortie vers l'entrée à travers les alimentations ou la composante bilatérale des transistors. Pour pallier à ce défi, il est possible d'utiliser des sondes placées entre les deux étages durant la phase de conception et de simulation. Ces sondes, développées initialement par Keysight (Greg Miller, 2008) et maintenant disponible dans Cadence Virtuoso, permettent de mesurer le coefficient de réflexion de part et d'autre de la sonde sans introduire aucun effet de charge, afin de valider la stabilité à un point précis dans le circuit. Ainsi, la stabilité de l'amplificateur peut être validée pour différents points du circuit.

Pour la stabilité inconditionnelle aux ports, le paramètre μ a été utilisé. Avec les mesures en laboratoire, le paramètre μ a été calculé basé sur les résultats expérimentaux. Comme on peut le voir sur la figure 3.17, sur toute la plage de fréquence, l'amplificateur est inconditionnellement stable.

3.3 Conception d'un circuit imprimé comme support de mesure pour puce RF

Pour différentes raisons, la puce CMOS développée ne pouvait pas être mise dans un boîtier standard. Entre autres pour offrir de meilleures performances avec des fils d'or les plus courts possible, mais aussi pour pouvoir faire du débogage et prendre des mesures directement sur les puces au besoin. Ce choix a aussi été fait en vue de la caractérisation de la technique PEF. Avoir accès aux plots de la puce permet de repositionner les fils d'or pour reconfigurer l'amplificateur et le caractériser dans les différentes configurations. Cet aspect sera discuté davantage dans le chapitre 4. Aussi, un objectif de ce projet de recherche est de caractériser le détecteur d'enveloppe dans une configuration en boucle ouverte et en boucle fermée. Ainsi, il est possible d'ajouter des fils d'or d'un plot à un autre pour changer les conditions de polarisation au besoin.

Un circuit imprimé (PCB : « Printed Circuit Board ») a été conçu sur mesure pour monter l'amplificateur radiofréquence ainsi que le détecteur d'enveloppe et pouvoir faire les fils d'or directement sur le circuit imprimé afin de relier les puces aux équipements de mesure du laboratoire. Tout au long de la conception de la puce avec Cadence, la conception du circuit imprimé a été faite en parallèle pour pouvoir simuler l'effet des lignes de transmission du circuit imprimé et les incorporer dans Cadence sous forme de matrices de paramètres S. Pour un amplificateur à 5.4 GHz comme celui-ci, toutes les variations de longueurs de lignes et le couplage entre elles ont un impact sur les performances finales, que ce soit le déséquilibre des adaptations d'impédance d'entrée ou de sortie, de la stabilité globale de l'amplificateur, d'une réduction de la puissance de sortie ou d'une réduction du gain total. Le circuit imprimé a été conçu avec la technologie standard FR-4 qui est généralement utilisée pour des applications basses fréquences allant jusqu'à quelques gigahertz au maximum dû aux pertes introduites. Par contre, le circuit a été fabriqué avec précaution pour tous les signaux radiofréquences afin de minimiser ces pertes. Les circuits imprimés ont été fabriqués chez JLCPCB avec l'option d'impédance contrôlée. Le substrat utilisé pour ce projet est le JLC3313, un matériel de constant diélectrique de 4.05 pour le prepreg. Ainsi, le calculateur en ligne a permis d'avoir des traces de 50Ω basées sur des données expérimentales du fabricant en tenant compte de l'épaisseur et la constante du diélectrique, de l'épaisseur de la couche de métal, et même du masque de soudure.

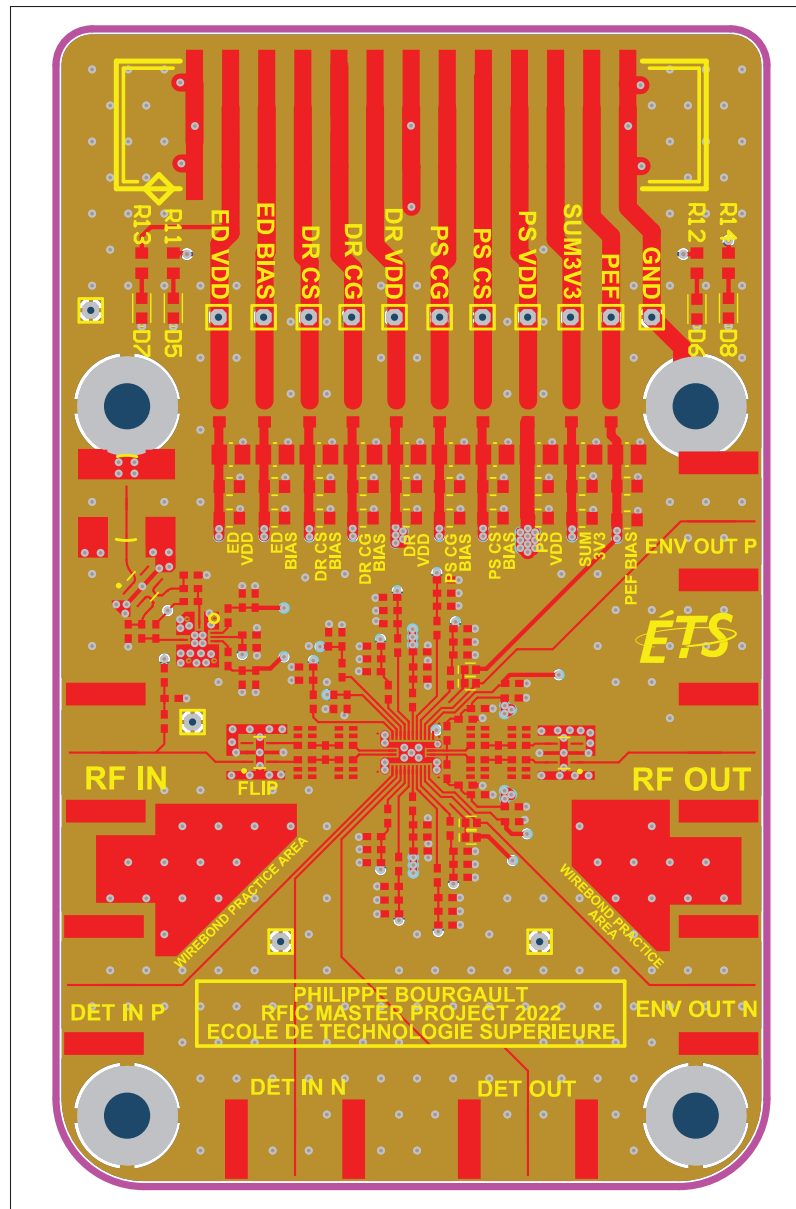


FIGURE 3.9 Vue de dessus du circuit imprimé avec les couches de conception

Par contre, il faut noter que l'impédance de 50Ω est mesurée dans les conditions d'une trace micro-ruban pour une trace seule avec une marge raisonnable avec les traces environnantes pour minimiser le couplage et affecter la valeur d'impédance. Cependant, dans le circuit fabriqué, cette contrainte ne peut pas être respectée dû à la densité des traces près de la puce. Pour ce

travail, un empilage de 4 couches a été choisi pour avoir des traces d'impédance de 50Ω . La vue de coupe de l'empilage utilisée peut être retrouvée à la figure 3.10.

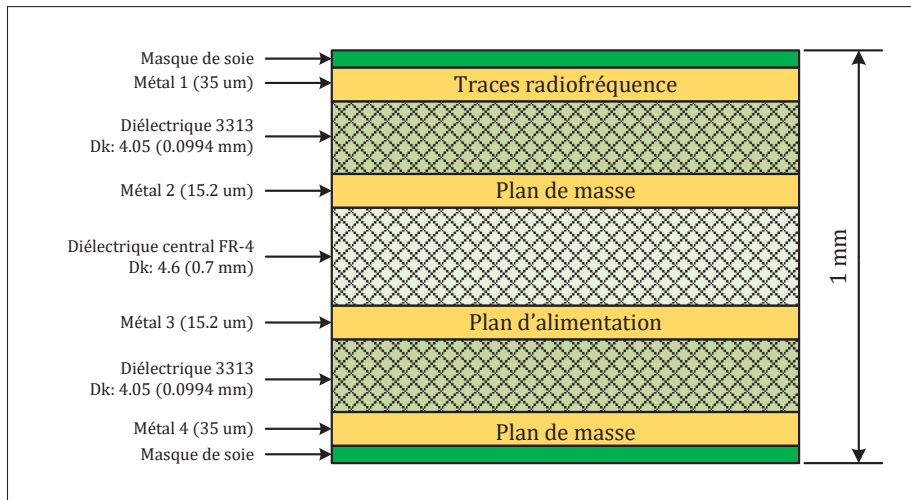


FIGURE 3.10 Vue de coupe de la plaquette de circuit imprimé à 4 couches fabriquée chez JLCPCB

Toutes les traces radiofréquences ont été placées sur le dessus (couche de métal 1) tandis que les alimentations sont sur la couche interne de métal 3. Ainsi, la couche interne de métal 2 et la couche du dessous (couche de métal 4) sont entièrement destinées au plan de masse. Ces dernières fournissent un chemin de retour du courant qui n'est pas coupé pour les traces de la couche de métal 1. Ceci étant dit, pour avoir une impédance caractéristique de 50Ω pour des lignes micro-ruban avec l'empilage utilisé, la largeur des traces sur la couche du dessus doit être d'environ $147 \mu m$.

Sachant que les fils d'or sont reliés directement à la surface du circuit imprimé, un fini de surface de type ENIG-RoHS (« Electroless Nickel Immersion Gold ») est nécessaire pour une bonne adhésion. Le fini de surface standard (HASL) n'offre pas une bonne adhérence des fils d'or. La technologie ENIG choisie offre un plaquage de nickel et d'or de $0.5 \mu m$ (2 micropouces) qui permet un meilleur contact des fils d'or.

Un plan de masse avec des vias permet de coller les puces au circuit imprimé. Elles ont été collées avec la colle époxy d'argent à deux composants EPO-TEK® H20E. Cette colle permet

de maintenir la puce en place, mais aussi fournit un excellent contact électrique et thermique entre la puce et le circuit. Une vue de coupe de cette configuration est présentée à la figure 3.11. Les dimensions ont été minimisées afin de réduire la longueur des fils d'or tout en respectant les capacités de fabrication pour le circuit imprimé imposé par le fabricant.

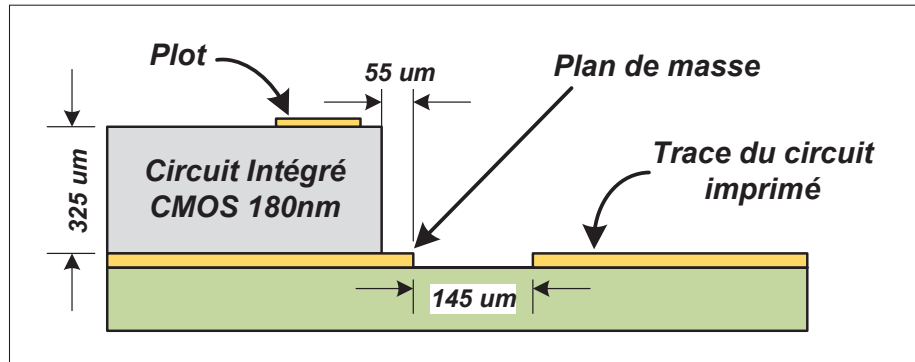


FIGURE 3.11 Dimensions des traces et du placement de la puce pour placer les fils d'or

Le même circuit imprimé a aussi été conçu pour pouvoir faire les mesures avec des sondes GSG (« Ground-Signal-Ground ») du détecteur d'enveloppe tel que présenté au chapitre 2.

3.3.1 Trappe RF avec un réseau LC

Les signaux radiofréquences peuvent se propager dans l'alimentation et causer de l'instabilité s'il n'y a pas de système de découplage des signaux radiofréquences et des signaux en courant continu. Dans plusieurs conceptions d'amplificateur radiofréquence avec des composants discrets, on retrouve des lignes de quart de longueur d'onde ($\frac{\lambda}{4}$) pour l'alimentation et la polarisation des transistors. Ces lignes permettent de présenter un court-circuit en courant continu (DC) et un circuit ouvert à la fréquence d'opération. Elles ont l'avantage d'être large bande, en comparaison aux composants LC, malgré leur dépendance sur la longueur électrique (λ). Cependant, elles peuvent prendre beaucoup d'espace sur le PCB et si plusieurs d'entre elles sont utilisées avec une puce intégrée comme c'est le cas dans ce projet, il risque d'y avoir un couplage électromagnétique entre elles. À titre d'exemple, pour la fréquence d'opération de 5.4 GHz

et un substrat de constante diélectrique de 4.05, la constante diélectrique effective peut être approximée à 3.03 et une ligne de quart de longueur d'onde est d'environ :

$$\frac{\lambda}{4} = \frac{c}{4f\sqrt{\epsilon_{eff}}} \approx 8 \text{ mm} \quad (3.1)$$

Pour ce projet, une seconde approche a été utilisée. Les condensateurs réels sont intrinsèquement composés d'une résistance et d'une inductance en série. La résistance contribue aux pertes ou à l'atténuation du signal, mais la réponse en fréquence est uniforme. Cependant, il est possible de bénéficier de l'inductance série pour avoir un filtre résonant (LC) de type coupe-bande avec le condensateur et l'inductance parasite. De plus, dans une configuration standard sur le circuit imprimé, le condensateur placé en parallèle avec la trace doit avoir un via relié à la masse le plus court possible pour limiter l'ajout d'inductance série. Ce via a aussi une inductance intrinsèque qui affecte la fréquence de résonance du filtre LC. Ainsi, la fréquence de résonance peut être estimée avec l'équation suivante :

$$f_{resonance} (Hz) = \frac{1}{2\pi\sqrt{(L_s + L_{via}) \cdot C}} \quad (3.2)$$

L_s représente l'inductance série intrinsèque au condensateur réel, C est la valeur nominale du condensateur et L_{via} est l'inductance série de la trace et du via sur le circuit imprimé. L'inductance du via est estimée à moins de 0.1 nH entre la couche 1 et 2 du circuit imprimé. Cette estimation a été validée par des calculateurs et une simulation électromagnétique avec HFSS.

En sélectionnant le bon condensateur, il est possible de bénéficier de ce filtre LC pour couper la fréquence d'opération de 5.4 GHz puisque la combinaison du condensateur et de l'inductance présentent une faible impédance à cette fréquence. Ce principe est représenté par le condensateur C1 ainsi que les deux inductances séries L_s et L_{via} de la figure 3.12. Par la suite, il suffit de placer d'autres condensateurs (C2 et C3) en parallèle en direction de l'alimentation qui agit plutôt comme filtres passe-bas pour couper les hautes fréquences jusqu'à avoir un signal en courant

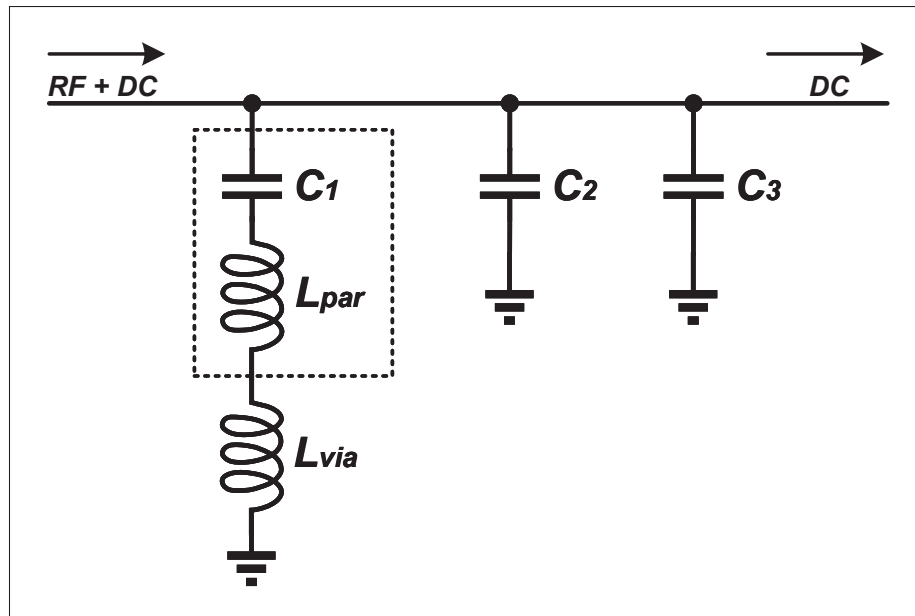


FIGURE 3.12 Schéma d'un des réseaux LC utilisé pour la réjection du signal radiofréquence sur les alimentations

continu qui contient le moins de composantes fréquentielles possible près des alimentations. Ainsi, ce réseau permet aussi d'assurer que les signaux radiofréquences ne se propagent pas de la sortie vers l'entrée à travers l'alimentation pour créer des boucles de rétroaction qui peuvent causer de l'instabilité. Contrairement à la ligne de quart de longueur d'onde, cette topologie est moins large bande, mais elle permet un ajustement post-fabrication, ce que la ligne ne permet pas.

3.4 Résultats de simulation

Les résultats de simulation présentés dans cette section ont été faits à partir d'une extraction du tracé de la puce ICFTSPB1. Les valeurs des composants utilisés lors de la simulation sont celles présentées dans la section 3.5.3.1.

Dans un premier temps, la caractérisation en régime petit signal présenté à la figure 3.13 démontre un fonctionnement pour la bande de fréquence de 5 GHz. Le gain maximal de 25.1 dB

est atteint à une fréquence de 5.25 GHz. À cette même fréquence, une adaptation d'entrée de -16.3 dB et une adaptation de sortie de -5.4 dB sont mesurées.

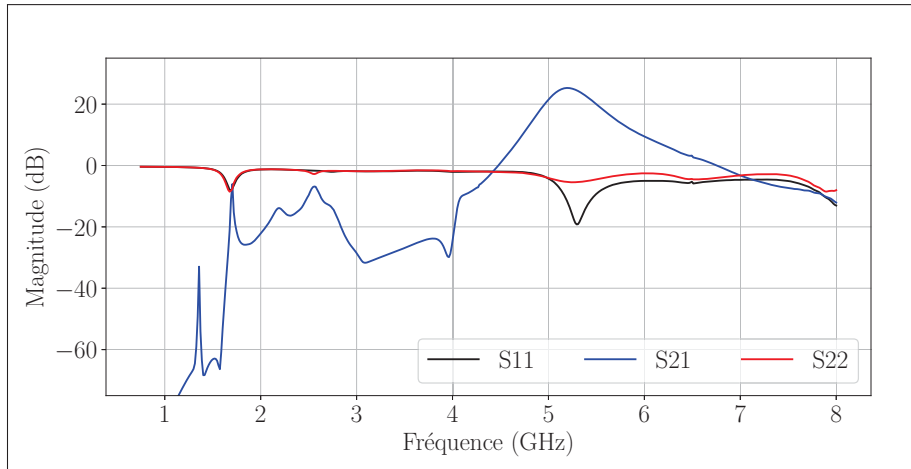


FIGURE 3.13 Simulation de l'amplificateur ICFTSPB1 en régime petit signal

La figure 3.14 présente la caractérisation de l'amplificateur à une excitation grand signal à une seule tonalité de 5.25 GHz. La courbe de gain en fonction de la puissance de sortie permet d'obtenir la puissance à laquelle le gain baisse de 1 dB. Cette caractéristique appelée P1dB est évaluée à 13.37 dBm.

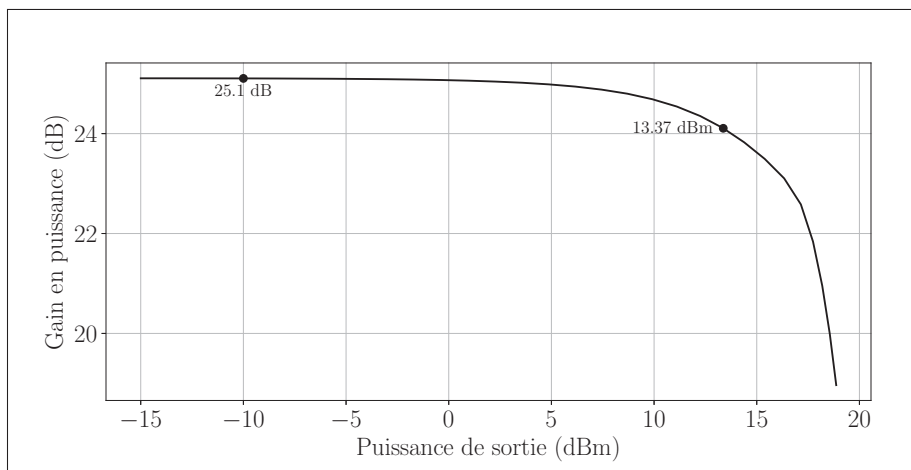


FIGURE 3.14 Simulation de l'amplificateur ICFTSPB1 en régime grand signal à une excitation à une tonalité de 5.25 GHz

En utilisant le même montage de simulation, une seconde tonalité a été ajoutée au signal d'entrée pour obtenir les résultats de la figure 3.15. La fréquence centrale du signal d'entrée est de 5.25 GHz et l'espacement entre les deux tonalités est de 1 MHz. Avec ce signal d'entrée modulé en amplitude, la caractéristique P1dB est mesurée à 11.79 dBm et la linéarité est mesurée à 28.7 dBc au point P1dB.

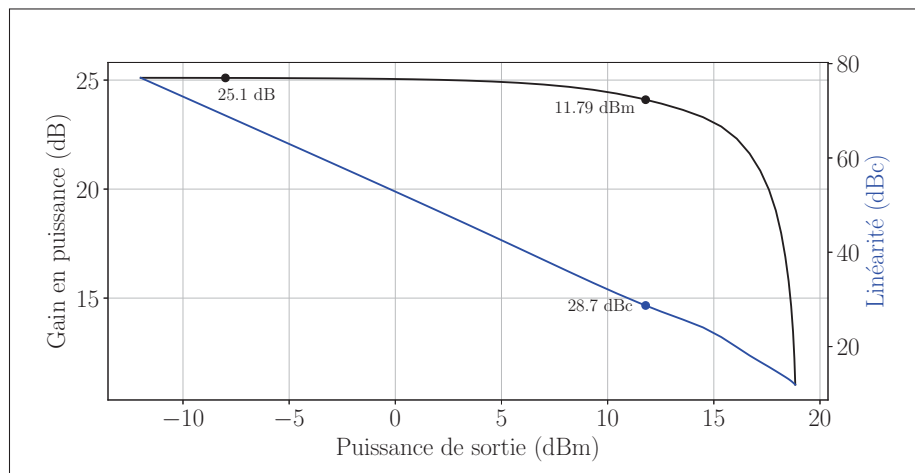


FIGURE 3.15 Simulation de l'amplificateur ICFTSPB1 en régime grand signal à une excitation à deux tonalités à 5.25 GHz avec un espacement de 1 MHz

3.4.1 Conclusion partielle

En somme, les résultats présentés démontrent un amplificateur fonctionnel pour une fréquence d'entrée de 5.25 GHz. La stabilité globale de l'amplificateur a été validée aux ports d'entrée et de sortie ainsi qu'aux étages intermédiaires pour tout le spectre fréquentiel. Bien que la puissance de sortie de 13.37 dBm soit inférieure à celle exigée par les spécifications du réseau 5G qui est de 20 dBm, l'amplificateur développé démontre une bande passante de plus de 480 MHz. Ceci est largement suffisant pour démontrer le fonctionnement de la technique PEF puisque la bande passante maximale allouée aux signaux du réseau 5G est limitée à 320 MHz. En plus, l'amplificateur a été conçu avec la technologie CMOS 180 nm, la même technologie que celle du détecteur d'enveloppe afin de faciliter son intégration. Finalement, les performances grand

signal à une et deux tonalités ont démontré des résultats raisonnables qui pourront être utilisés avec la technique PEF afin de valider son fonctionnement avec la nouvelle structure du détecteur d'enveloppe développée au chapitre 2.

3.5 Résultats expérimentaux

La caractérisation en laboratoire de l'amplificateur a été faite avec un banc de test personnalisé en deux étapes. Dans un premier temps, les mesures en régime petit signal ont été faites avec un analyseur de réseau (VNA) pour s'assurer que les critères de performance comme le gain (S_{21}), l'adaptation d'impédance (S_{11} et S_{22}) ainsi que la stabilité de l'amplificateur sont assurées. Ensuite, pour les caractéristiques en régime grand signal, différents équipements ont été combinés pour faire une caractérisation précise et répétable de l'amplificateur dans sa région de compression. Tous les équipements de mesure sont reliés avec un port GPIB (« General Purpose Interface Bus »), suivant le standard IEEE-488, à un ordinateur central qui permet d'envoyer et recevoir des requêtes. Ainsi, une librairie Python basée sur PyVISA a été écrite spécialement pour ce projet et elle a permis d'améliorer la répétabilité, la précision et de réduire le temps de la prise de mesure pour la caractérisation. Chacun de ces équipements a été programmé pour pouvoir effectuer une initialisation de base afin de toujours démarrer le banc de test dans le même état, peu importe l'utilisation antérieure afin de garantir que l'environnement de test est répétable d'une fois à l'autre.

Afin de bien caractériser l'impact de charge des détecteurs d'enveloppe sur les performances de l'amplificateur, deux versions ont été fabriquées : ICFTSPB1 et ICFTSPB2.

- **ICFTSPB1** : Amplificateur AVEC les détecteurs à la sortie
- **ICFTSPB2** : Amplificateur SANS les détecteurs à la sortie

Le banc de caractérisation utilisé pour les mesures grand signal est composé d'un NanoBEE de la compagnie BEECUBE, appartenant maintenant à National Instruments. Le NanoBEE est une radio logicielle basée sur un FPGA reconfigurable pour transmettre et recevoir des signaux radiofréquences. Celui-ci est utilisé dans ce projet pour générer un signal à une ou deux

tonalités autour de 5 GHz pour la caractérisation grand signal. Le NanoBEE communique avec l'ordinateur central via une connexion Ethernet et un port SSH.

Une calibration rigoureuse du banc de caractérisation est nécessaire pour prendre en compte les pertes des éléments passifs comme les coupleurs, les câbles et les jonctions SMA. Ainsi, la puissance mesurée avec le puissance-mètre est celle aux plans de référence d'entrée et de sortie de l'amplificateur.

Le numéro de modèle des équipements de mesure utilisés dans ce projet de recherche est présenté au tableau 3.4. La liste inclut les équipements aussi utilisés pour la caractérisation du détecteur d'enveloppe présenté au chapitre 2.

TABLEAU 3.4 Liste des équipements de laboratoire utilisés

Modèle	Fabricant	Description
SMU200A	Rohde & Schwarz	VSG - Générateur de signaux vectoriels
E4438C	Agilent	VSG - Générateur de signaux vectoriels
TDS6124C	Tektronix	Oscilloscope numérique
FSQ40	Rohde & Schwarz	VSA - Analyseur de signaux vectoriels
HP8593E	Hewlett-Packard	Analyseur de spectre
E3632A	Agilent	Bloc d'alimentation à 3 sorties
NanoBEE	BEECube (NI)	Radio logicielle
E4417A	Keysight	Puissance mètre
8481A	Hewlett-Packard	Sonde de puissance à thermocouple
E9327A	Keysight	Sonde de puissance à diode
8722ES	Agilent	VNA - Analyseur de réseau à 2 ports
F&K M17S	FK Delvotec	Machine pour la soudure des fils d'or

3.5.1 Performance en courant continu

Peu importe la version, avec ou sans détecteur, les caractéristiques en courant continu sont les mêmes. La tension d'alimentation des deux étages est de 3.3 V, la tension de polarisation à la grille des transistors en cascode est de 2.65 V et la tension nominale de polarisation à la grille des transistors en configuration source-commune est de 800 mV. Les courants de polarisation de grille sont négligeables, alors que les courants de drain sont mesurés expérimentalement à 27 mA pour l'étage de pré-amplification et 45 mA pour l'étage de puissance. Les niveaux de tension et courant mesurés sont identiques à ceux obtenus en simulation.

3.5.2 Amplificateur sans détecteur à la sortie (ICFTSPB2)

L'analyse des performances de l'amplificateur sans les détecteurs d'enveloppe relié à la sortie permet d'avoir un système de référence. Celui-ci a été bâti avec la variante ICFTSPB2 qui comprend les détecteurs sur la puce, mais ceux-ci ne sont pas reliés à la sortie de l'amplificateur. Les capacités de couplage du détecteur impactent l'impédance de sortie ainsi que les valeurs des composants du réseau d'adaptation d'impédance de sortie. Un circuit imprimé a été assemblé et ajusté avec cette première variante.

3.5.2.1 Composants utilisés

Bien que la valeur nominale des composants discrets ait été sélectionnée à partir des résultats de la simulation avec Cadence, ceux-ci ont nécessité un ajustement afin d'optimiser les performances générales de l'amplificateur. Dû aux effets parasites des composants réels, des effets qui ne sont pas capturés par la simulation, des tolérances des composants et de leur positionnement, un ajustement fin des valeurs a été nécessaire pour se rapprocher des résultats de simulation. Le tableau 3.5 présente les valeurs des composants discrets utilisés lors des mesures expérimentales présentés dans les prochaines sections.

Le tableau 3.5 présente la liste des composants qui a été utilisée pour obtenir les performances présentées dans les prochaines sections. L'acronyme RAI signifie Réseau d'Adaptation d'Impé-

TABLEAU 3.5 Valeurs des composants utilisés sur le circuit imprimé pour la version ICFTSPB2 en référence au schéma de la figure 3.1

Utilisation	Identifiant	Valeur
RAI entrée	C1/C16	1.0 pF
	L7	0.6 nH
	C2/C15	0.9 pF
RAI sortie	C7/C10	0.9 pF
	L3	0.6 nH
	C8/C9	1.0 pF
DR VDD	L1/L5	0.8 nH
PS VDD	L2/L4	2.4 nH

dance et il correspond au réseau de composant LC discret qui se trouve à l'entrée et à la sortie de l'amplificateur. Les identifiants des composants font référence au schéma de la figure 3.1.

3.5.2.2 Régime petit signal

La caractérisation en régime petit signal a été faite avec l'analyseur de réseau (VNA : « Vector Network Analyzer ») à deux ports d'Agilent 8722ES et les blocs d'alimentation de Agilent E3632A. De nombreuses itérations ont été nécessaires pour bien ajuster les composants autour de l'amplificateur afin d'obtenir de bonnes performances. La figure 3.16 présente les résultats obtenus à l'aide du VNA sous forme de paramètres S. À partir de ces résultats, il est possible de vérifier que l'amplificateur est bien adapté à l'entrée (S11) et à la sortie (S22) à une impédance de 50Ω à la fréquence de 5 GHz. En d'autres termes, les circuits d'adaptation d'impédance d'entrée et de sortie sont bien ajustés pour convertir l'impédance complexe des matrices de transistors à l'impédance du balun à la fréquence de fonctionnement. De plus, le paramètre S21 indique un gain d'environ 12.1 dB à 5 GHz. La bande passante à 3 dB peut être évaluée à partir du paramètre S21 et celle-ci correspond de 4.73 GHz à 5.21 GHz, soit une largeur de bande de 480 MHz. Finalement, avec les paramètres S, il est possible d'évaluer la stabilité aux

ports avec le facteur μ . La figure 3.17 présente le facteur μ à l'entrée et à la sortie et ayant les courbes supérieures à 1 sur toute la plage de fréquence indique une stabilité de l'amplificateur. Cependant, comme présenté à la section 1.2.4 du chapitre 1, la stabilité aux ports ne garantit en rien la stabilité globale de l'amplificateur.

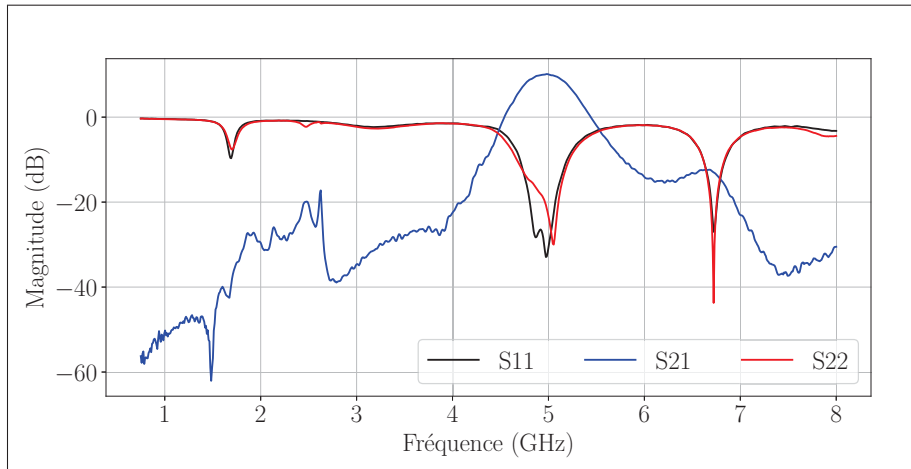


FIGURE 3.16 Réponse mesurée en régime petit signal de l'amplificateur à une polarisation de 800 mV

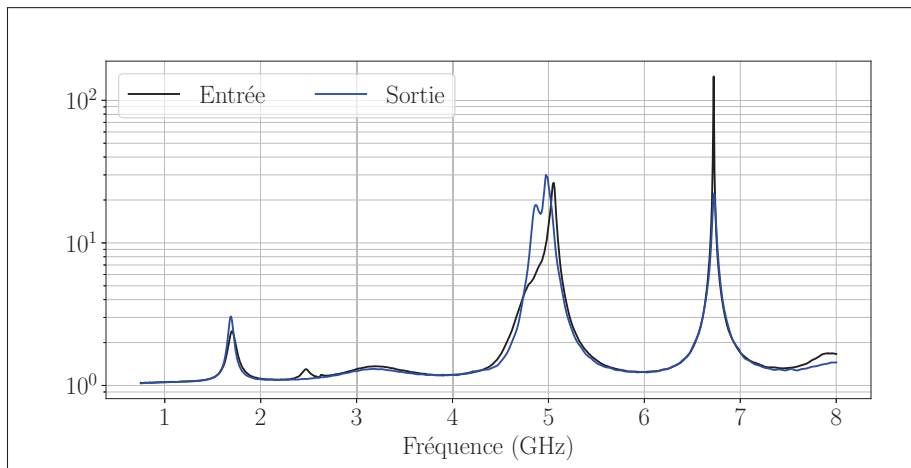


FIGURE 3.17 Évaluation de la stabilité aux ports d'entrée et de sortie avec le paramètre μ

Deux remarques peuvent être faites à partir de ces résultats. Le gain (S21) est plus faible que celui obtenu en simulation et la fréquence centrale est légèrement plus faible que celle initialement prévue. Dans le premier cas, la diminution du gain peut être due à une mauvaise adaptation, des

perdes plus élevées que ceux simulés. En simulation, la fréquence centrale était de 5.4 GHz alors que la fréquence obtenue en laboratoire était plutôt de 5 GHz.

3.5.2.3 Régime grand signal

Les performances petit signal offrent une bonne première. Bien que les performances petit signal soient importantes, les performances grand signal offrent une meilleure idée des performances de l'amplificateur en situation réelle de fonctionnement. En faisant varier la puissance d'entrée d'un signal sinusoïdal d'amplitude constante (test à une tonalité), il est possible de déterminer le point de compression P1dB ainsi que l'efficacité. La figure 3.18 présente les résultats d'une excitation à une tonalité de l'amplificateur ICFTSPB2. La fréquence d'entrée a été choisie à 5 GHz suite aux résultats obtenus par l'analyse petit signal de la figure 3.16. Dans ces conditions, l'amplificateur offre un gain en puissance de 12.6 dB, un point de compression P1dB de 10.37 dBm et une efficacité de 2.62%. À partir des résultats expérimentaux, il a été extrapolé le gain en puissance pour trouver une puissance de saturation P_{sat} d'environ 14.2 dBm.

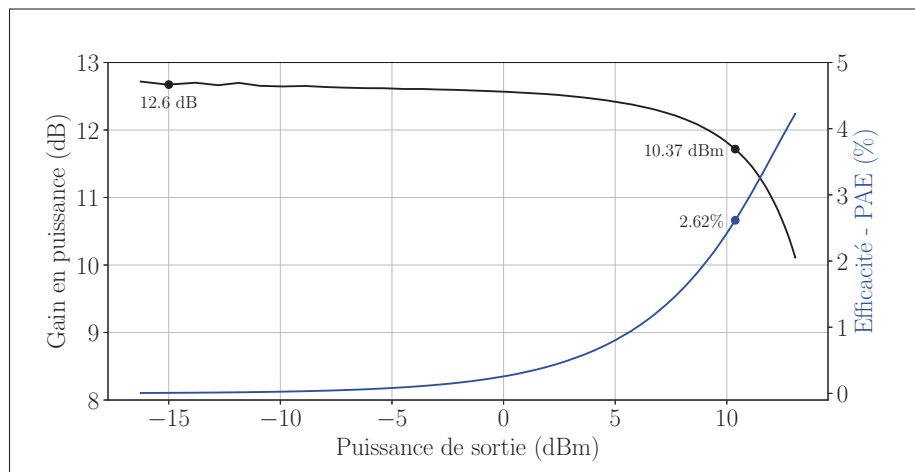


FIGURE 3.18 Performance mesurée grand signal de l'amplificateur ICFTSPB2 à une excitation à une tonalité de 5 GHz

Dans un deuxième temps, l'amplificateur a été caractérisé avec un signal à deux tonalités. Ce test offre davantage d'information sur les performances de l'amplificateur comme la linéarité.

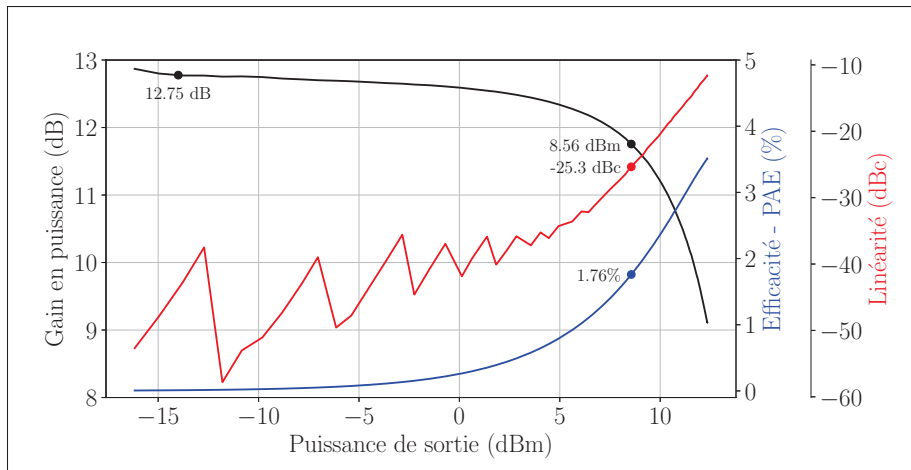


FIGURE 3.19 Performance mesurée grand signal de l'amplificateur ICFTSPB2 à une excitation à deux tonalités à une fréquence centrale de 5 GHz avec une bande passante de 760 kHz

Avec une fréquence centrale de 5 GHz, une bande passante de 760 kHz a été choisie comme espacement entre les deux raies spectrales. La figure 3.19 présente les résultats obtenus du test à deux tonalités de l'amplificateur ICFTSPB2. Dans ces conditions, le gain en puissance est de 12.75 dB, le point de compression P1dB de 8.56 dBm, l'efficacité de 1.76% et la linéarité de -25.3 dBc.

3.5.3 Amplificateur avec les détecteurs reliés à la sortie (ICFTSPB1)

Un second circuit imprimé a été assemblé, mais cette fois, avec la variante ICFTSPB1 qui comprend les détecteurs d'enveloppe connectés à la sortie de l'amplificateur avec des capacités de couplage.

3.5.3.1 Composants utilisés

Encore une fois, les valeurs des composants sur le circuit imprimé ont été ajustées manuellement en laboratoire pour optimiser les performances de l'amplificateur. Aussi, les capacités de couplage des détecteurs d'enveloppe affectent l'impédance de sortie de l'amplificateur et le réseau d'adaptation d'impédance doit compenser pour cette différence. Les valeurs présentées

au tableau 3.6 représentent les valeurs des composants discrets utilisés lors des mesures expérimentales présentés dans les prochaines sections. Il est à noter que ceux-ci diffèrent légèrement de ceux présentés au tableau 3.5 pour la variante ICFTSPB2.

TABLEAU 3.6 Valeurs des composants utilisés sur le circuit imprimé pour la version ICFTSPB1 en référence au schéma de la figure 3.1

Utilisation	Identifiant	Valeur
RAI entrée	C1/C16	2.7 pF
	L7	0.8 nH
	C2/C15	0.7 pF
RAI sortie	C7/C10	0.7 pF
	L3	0.8 nH
	C8/C9	1.0 pF
DR VDD	L1/L5	0.8 nH
PS VDD	L2/L4	2.4 nH

3.5.3.2 Régime petit signal

Tout comme l'amplificateur ICFTSPB2 de la section 3.5.2, celui-ci a été mesuré avec un analyseur de réseau à deux ports pour évaluer l'adaptation d'impédance d'entrée/sortie, le gain, la fréquence centrale, la bande passante ainsi que la stabilité à différents niveaux de tension de polarisation. Les figures 3.20 et 3.21 présentent les résultats expérimentaux obtenus en régime petit signal avec une polarisation de grille de 800 mV pour les deux étages. Ainsi, le gain en petit signal est évalué à 11.3 dB à 5 GHz et les paramètres S11 et S22 ont des valeurs de -22.1 dB et -21.6 dB respectivement. La figure 3.21 démontre que la stabilité aux ports d'entrée et de sortie est validée avec le paramètre μ qui est plus grand que 1 sur toute la plage de fréquence.

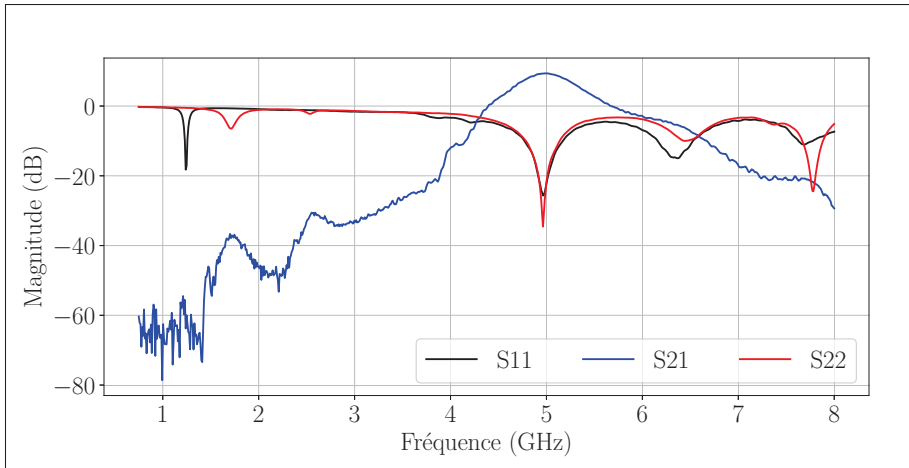


FIGURE 3.20 Réponse en régime petit signal de l'amplificateur à une polarisation de 800 mV

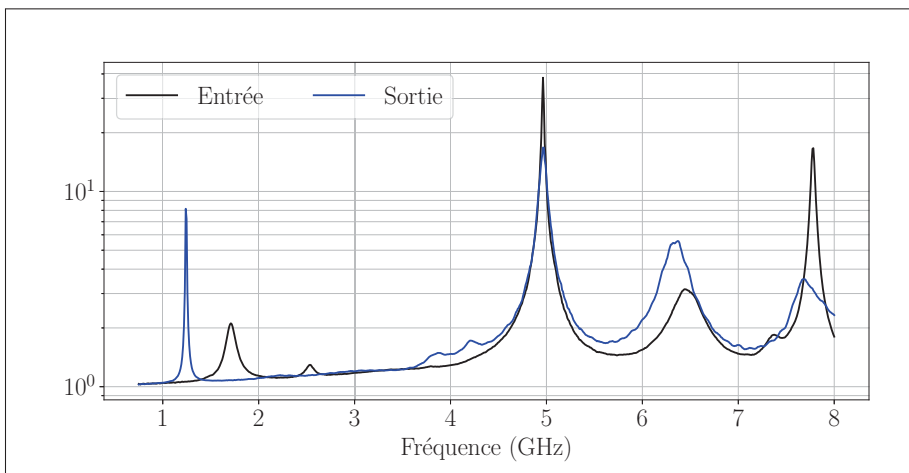


FIGURE 3.21 Évaluation de la stabilité aux ports d'entrée et de sortie avec le paramètre μ

3.5.3.3 Régime grand signal

En utilisant le même banc de caractérisation que la variante ICFTSPB2, l'amplificateur ICFTSPB1 a été caractérisé en régime grand signal. La figure 3.22 présente les résultats d'une excitation à une tonalité centrée à 5 GHz avec une polarisation des deux étages à 800 mV. Le gain en puissance est de 11.35 dB, le point de compression P1dB de 9.35 dBm et une efficacité de

2.12%. La puissance de saturation (P_{sat}) a été estimée à 14.8 dBm par extrapolation des données expérimentales. La figure 3.23 présente les résultats d'une excitation à deux tonalités centrées à

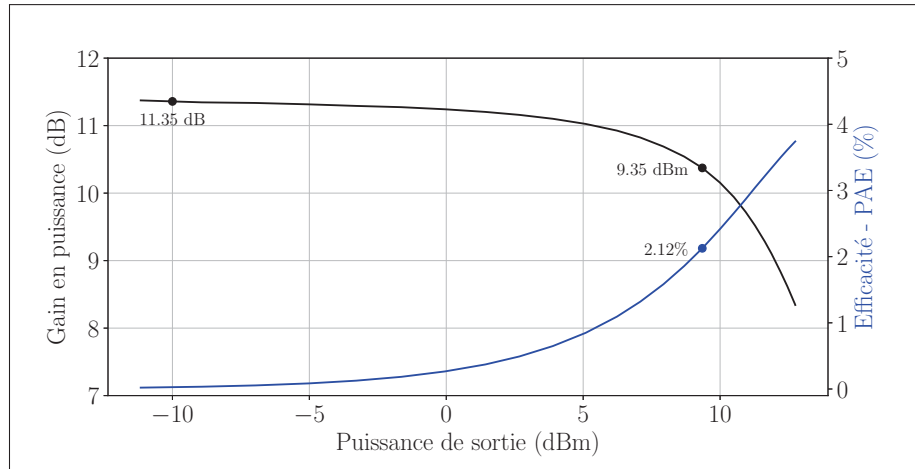


FIGURE 3.22 Performance mesurée grand signal de l'amplificateur ICFTSPB1 à une excitation à une tonalité de 5 GHz

5 GHz avec une bande passante de 760 kHz. Le gain en puissance obtenue est de 11.47 dB, le point de compression P1dB de 7.68 dBm, une efficacité de 1.48% et une linéarité de -27.9 dBc.

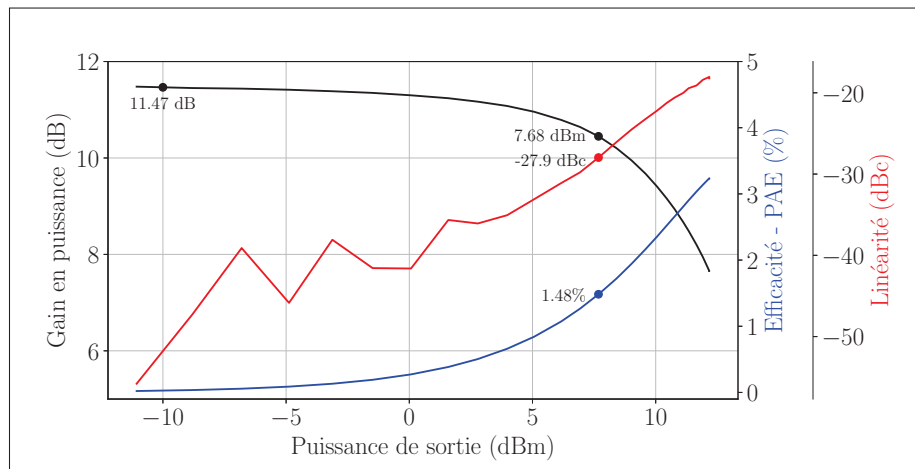


FIGURE 3.23 Performance mesurée grand signal de l'amplificateur ICFTSPB1 à une excitation à deux tonalités à une fréquence centrale de 5 GHz avec une bande passante de 760 kHz

3.5.4 Conclusion partielle

Les résultats obtenus en laboratoire, autant pour la puce ICFTSPB1 que ICFTSPB2, ont démontrés un amplificateur radiofréquence fonctionnel exempt d'instabilité. De plus, les performances sont similaires à celles obtenues en simulation en termes de caractéristique P1dB et de linéarité. Bien entendu, le gain d'environ 11 dB est plus faible que celui obtenu en simulation. Cette baisse peut être due aux pertes des lignes sur le circuit imprimé, de l'inductance parasite des fils d'or, des pertes du substrat de la puce CMOS ou d'une mauvaise adaptation d'impédance.

Pour un amplificateur multiétage comme celui-ci, le réseau d'adaptation d'impédance inter-étage joue un rôle clé puisqu'il permet de lier l'impédance de sortie du premier étage à l'impédance d'entrée du second. Dans cette conception, celui-ci a été implémenté sur la puce, ce qui ne permet pas d'ajustement post-fabrication. Il est possible qu'une variation des valeurs nominales des condensateurs et de l'inductance sur puce lors de la fabrication cause une transformation d'impédance différente de celle simulée. Aussi, étant donné que l'inductance conçue dans ce projet ne provient pas d'une librairie standard, il est possible que l'inductance fabriquée n'ait pas les mêmes caractéristiques que celle simulée. Généralement, les modèles d'inductances fournis dans les bibliothèques standard sont basés sur un lot de mesures expérimentales.

Finalement, un des défis de la mesure en laboratoire est la grande sensibilité de la conception aux faibles valeurs des composants dû à la fréquence d'opération. En d'autres termes, pour une fréquence de 5 GHz, les composants discrets comme les capacités utilisés pour le circuit d'adaptation d'impédance de sortie ont des valeurs de l'ordre de 700 fF. Étant donné que les plus faibles valeurs disponibles dans le format 0402 sont de 100 fF avec une tolérance de 50 fF, l'ajustement d'impédance est très sensible aux variations de composants, de la soudure et aux traces sur le circuit imprimé.

3.6 Conclusion

En conclusion, un amplificateur à deux étages utilisant la configuration « stacked-FET » a été conçu sur puce avec la technologie CMOS 180 nm de TSMC. Celui-ci a été fabriqué en deux variantes, soit avec et sans les détecteurs d'enveloppe connectés à la sortie de l'amplificateur.

La fréquence centrale mesurée en laboratoire de 5 GHz est légèrement inférieure à la fréquence de 5.4 GHz initialement visée. Aussi, le gain et la puissance de sortie P1dB sont aussi légèrement inférieurs aux performances obtenues en simulation. Ces variations par rapport au modèle simulé peut être dues à la sensibilité des réseaux d'adaptation d'impédance et de pertes qui n'ont pas été pris en compte lors de la simulation. Les fils d'or ont aussi été approximés lors de la simulation et aucun couplage n'a été tenu en compte alors que sur la plaquette en laboratoire, ces effets sont présents.

Cependant, la conception de l'amplificateur a permis l'intégration du détecteur d'enveloppe conçu dans la même technologie pour un objectif d'amélioration du compromis de linéarité et d'efficacité avec la technique PEF. Malgré que les performances sont légèrement inférieures à celles attendues, celles-ci sont suffisamment bonnes pour démontrer le fonctionnement de la technique PEF. Basé sur les résultats petits signaux, l'amplificateur est fonctionnel, stable sur toute la plage de fréquence et il fonctionne à une fréquence de 5 GHz avec une bande passante de 480 MHz.

CHAPITRE 4

AMÉLIORATION DU COMPROMIS DE PERFORMANCE DES AMPLIFICATEURS RADIOFRÉQUENCES

Les techniques d'amélioration du compromis d'efficacité et de linéarité sont devenues partie intégrante lors de la conception d'une chaîne d'amplification radiofréquence. Bien que plusieurs approches existent, certaines sont plus avantageuses que d'autres, tout dépendants des performances et de l'application visée. Étant donné que ces techniques visent l'amélioration des amplificateurs, leurs bénéfices doivent être suffisamment élevés pour qu'il soit intéressant d'en faire l'intégration. L'amélioration des performances est un critère à observer et comparer, mais il faut aussi tenir compte de la complexité du système, la consommation supplémentaire et la surface additionnelle sur puce. Il est vrai que les architectures Doherty ou CHEIX offrent des améliorations considérables des performances, mais elles sont complexes à implémenter et peuvent occuper une espace significative sur la puce. Par exemple, la structure Doherty doit avoir deux amplificateurs en parallèle polarisés dans des classes d'opération différentes en plus d'avoir des lignes de transmission de quart de longueur d'onde. Les techniques présentées dans la revue de littérature, ET et EER, utilisent une approche différente en modulant l'alimentation de l'amplificateur selon le niveau de puissance du signal à transmettre. Ces approches offrent des améliorations plus faibles que la structure Doherty, par exemple, mais elles utilisent une espace sur puce beaucoup plus faible. Finalement, l'approche visée dans ce projet de recherche est la technique PEF qui permet d'offrir une amélioration des performances intéressantes pour sa faible empreinte sur puce. Les développements de cette dernière approche ont été effectués et sont présentés dans ce chapitre.

4.1 Technique PEF, volet théorique

La technique PEF (« Positive Envelope Feedback ») est une approche de linéarisation dynamique destinée aux amplificateurs de puissance radiofréquence. La sortie de l'amplificateur est mesurée par un détecteur d'enveloppe analogique large bande afin d'ajuster dynamiquement la tension de polarisation à la grille de l'amplificateur. La tension de polarisation est superposée à la tension

de polarisation statique pour les pointes de l'enveloppe du signal modulé. En d'autres termes, lorsque les pointes de l'enveloppe du signal modulé se retrouvent dans la zone de compression de l'amplificateur, la tension de polarisation à la grille de la matrice de transistor peut augmenter d'environ 60 à 100 mV (Sharma, 2020) pour pousser le point de compression plus haut en puissance et ainsi, linéariser dynamiquement le signal transmis. L'ajout de la technique PEF nécessite peu d'effort d'intégration comparativement à d'autres techniques de linéarisation étudiées dans la section 1.3 du chapitre 1.

4.1.1 Assurer la stabilité

Telle que son nom l'indique, la technique PEF est une approche de linéarisation par boucle de rétroaction positive. Pour un tel système, on peut établir la fonction de transfert $H(s)$ présenté par l'équation 4.1 en supposant que le système de rétroaction ne comporte pas de variation fréquentielle et où s représente la variable de Laplace.

$$H(s) = \frac{RF_{out}}{RF_{in}} = \frac{A(s)}{1 - A(s)B} \quad (4.1)$$

La figure 4.1 est une représentation graphique de la rétroaction positive définie par l'équation 4.1. Dans ce système simplifié, le gain en boucle ouverte est défini par $A(s)$ et le gain de boucle

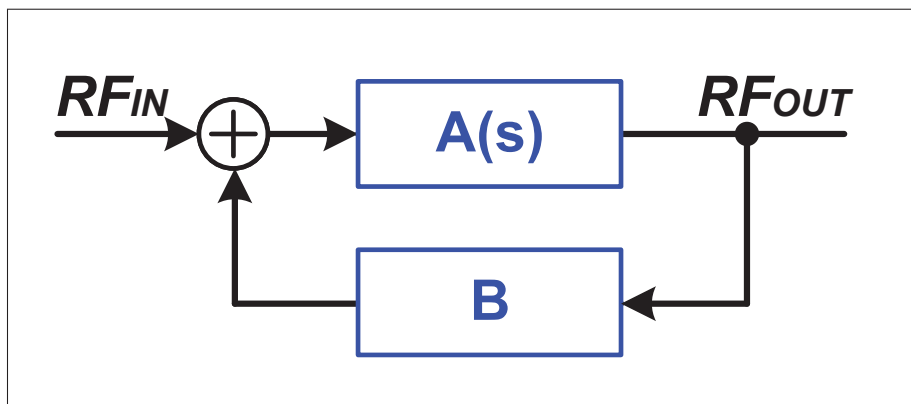


FIGURE 4.1 Schéma bloc simplifié d'un système générique de rétroaction positive

est définie par $A(s)B$. Pour un gain de boucle faible ($A(s)B \ll 1$), la fonction de transfert s'approche du gain en boucle ouverte ($H(s) \approx A(s)$). Donc, pour de faibles amplitudes du signal radiofréquence, la sortie du détecteur est très faible et sa contribution est pratiquement nulle par rapport à la polarisation statique. Alors que si le gain de boucle tend vers 1 ($A(s)B \rightarrow 1$), alors le gain total du système tend vers l'infini ($H(s) \rightarrow \infty$). Ainsi, il est possible d'augmenter le gain de l'amplificateur en ajoutant une boucle de rétroaction positive tout en conservant $A(s)B < 1$. Par exemple, si $A(s) = 10$ et $B = 0.01$, alors $A(s)B = 0.1$ et le gain en boucle fermée est de 11.11. Si B augmente de 0.01 à 0.02, le gain en boucle fermée passe de 11.11 à 12.5, soit une augmentation de 12.5%.

Bien que cette augmentation du gain soit intéressante, il est important de maintenir un gain de boucle inférieur à 1 (0 dB) pour maintenir la stabilité du système. Cette condition de stabilité peut être déterminée par l'équation 4.1 où le dénominateur peut être égal à 0 si le terme $A(s)B$ est égal à 1. Dans cette condition, le gain en boucle fermée serait ∞ , ce qui représente une condition oscillatoire instable et fortement indésirable pour un amplificateur radiofréquence.

Afin d'assurer la stabilité, un bilan des éléments de la boucle de rétroaction doit être fait pour que la somme du gain de tous les éléments du système soit inférieure à 1 (0 dB).

- Amplificateur (Bloc $A(s)$ de la figure 4.2)

L'amplificateur est généralement le bloc qui fournit le gain dans le système de rétroaction positive. Si un amplificateur offre un large gain, celui-ci devra être compensé par d'autres éléments d'atténuation comme les capacités de couplage ou le gain de conversion du détecteur d'enveloppe. Dans le cas de ce projet de recherche, les résultats expérimentaux présentés dans le chapitre 3 indiquent un gain d'environ 10.8 dB à la fréquence d'opération de 5 GHz pour la puce ICFTSPB1.

- Capacités de couplage (Bloc B de la figure 4.2)

Les capacités de couplage permettent d'offrir une haute impédance à l'entrée du détecteur d'enveloppe pour éviter de surcharger la sortie de l'amplificateur. Aussi, elles permettent d'atténuer le signal de forte amplitude de l'amplificateur pour l'adapter à la plage de fonctionnement linéaire de l'entrée du détecteur.

- Détecteur d'enveloppe (Bloc *B* de la figure 4.2)
Le détecteur d'enveloppe offre un gain de conversion de l'entrée à la sortie.
- Module de polarisation (Sommateur de la figure 4.2)

La figure 4.2 présente un schéma bloc de l'amplificateur différentiel avec le détecteur d'enveloppe, les capacités de couplage et le module de polarisation dans une configuration PEF. Notez qu'une seule branche de la configuration PEF est présentée par simplicité. En réalité, la puce ICFTSPB1 intègre un détecteur d'enveloppe en rétroaction positive pour chacune des branches de l'amplificateur différentiel. Un schéma bloc plus complet de l'intégration sur la puce ICFTSPB1 est présenté à la figure 4.3.

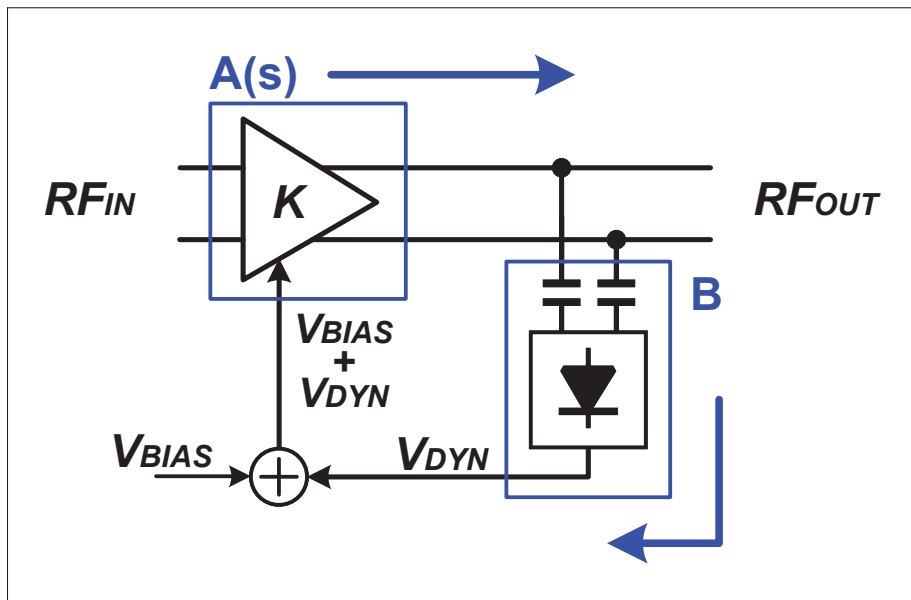


FIGURE 4.2 Schéma bloc de l'amplificateur avec le détecteur d'enveloppe dans une configuration PEF

En additionnant tous les gains et atténuations en décibel des blocs qui composent le système de la figure 4.2, le gain total est d'environ -X dB, ce qui respecte la condition de stabilité. Ainsi, on remarque qu'une marge d'environ x dB a été conservée par rapport à la zone de compression

P1dB de l'amplificateur, une marge suffisante pour assurer la stabilité en boucle fermée tout en offrant une amélioration des performances.

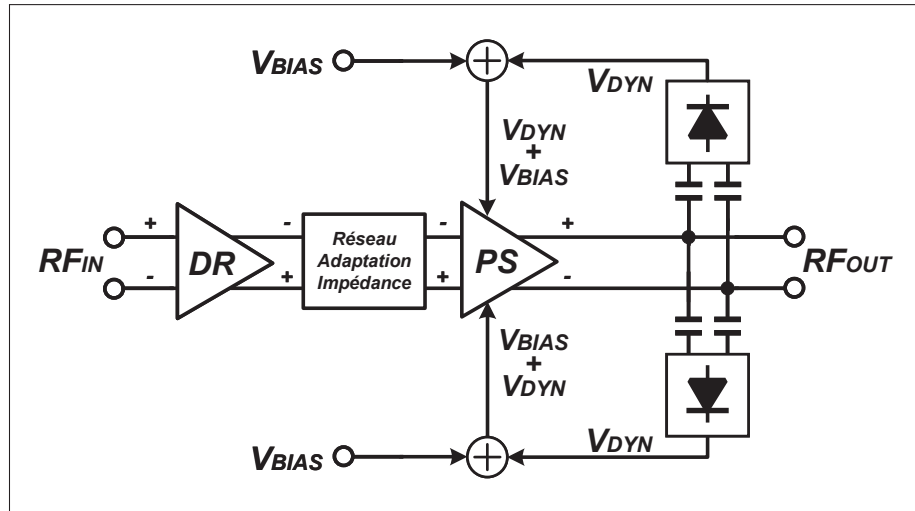


FIGURE 4.3 Schéma bloc de l'amplificateur avec les détecteurs d'enveloppe dans une configuration PEF pour les deux branches différentielles

4.1.2 Intégration du PEF à l'amplificateur

L'entrée du détecteur est une entrée différentielle qui se connecte à la sortie de l'amplificateur à travers des capacités de couplage. Le choix des valeurs des capacités de couplage permet d'ajuster le niveau de puissance de sortie de l'amplificateur à celui d'entrée du détecteur. Idéalement, pour la technique PEF, la puissance de sortie de l'amplificateur au point de compression devrait correspondre à la zone linéaire de fonctionnement du détecteur où la sortie est d'environ 60 à 100 mV.

Afin d'isoler les deux branches de l'amplificateur, un détecteur a été placé sur chacune des branches pour faire la polarisation par rétroaction de façon symétrique.

Afin de caractériser l'amplificateur avec et sans la technique PEF, la sortie des détecteurs a été dirigée vers des plots. Ainsi, il est possible de faire la caractérisation de l'amplificateur avec

une polarisation externe fixe et dans un deuxième temps, de fermer la boucle entre la sortie des détecteurs et la grille des transistors avec un fil d'or pour la configuration PEF. La figure 4.4 présente une photographie de la puce avec les fils d'or (encerclés en jaune) qui permettent de relier la sortie des détecteurs aux grilles des transistors.

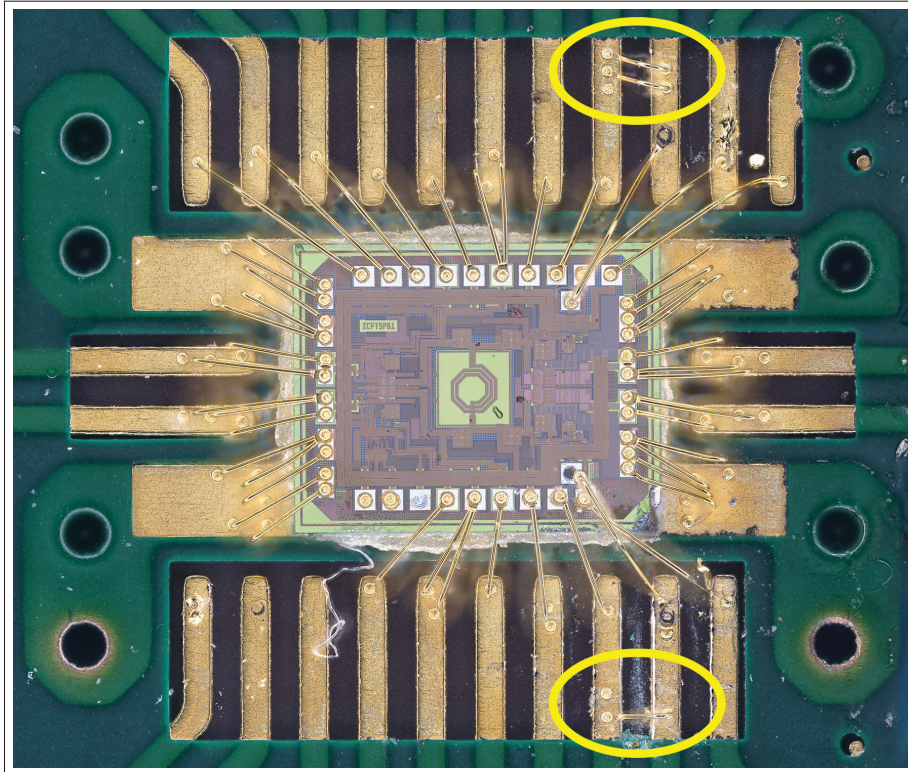


FIGURE 4.4 Photographie de la puce ICFTSPB1 avec des fils d'or qui relient la sortie des détecteurs d'enveloppe à la grille des transistors de l'amplificateur en configuration PEF

Afin d'ajuster le niveau de tension de polarisation statique fournie à la grille des transistors, un réseau de résistance intégré sur puce permet d'additionner une alimentation externe fixe à la tension dynamique fournie par le détecteur. Le schéma de la figure 4.5 présente la structure utilisée pour effectuer cette transformation. Il est important que le réseau de résistances présente une faible impédance à la sortie puisqu'une fois connecté en rétroaction sur la grille des transistors, ceux-ci ne doivent pas charger la sortie du détecteur. Un tel impact aurait pour effet de réduire la tension dynamique de sortie et ainsi réduire l'effet de la technique PEF sur l'amplificateur. Pour la puce ICFTSPB1, la résistance R3 a une valeur de 88Ω et la résistance R4

a une valeur de 1.45 k Ω . Il est possible de calculer l'impédance vue au point Z2 pour s'assurer qu'elle est similaire à celle vue par Z1 afin de fournir une tension d'enveloppe comparable. Aussi, le niveau de tension théorique vue à la sortie peut être modélisé par l'équation 4.2.

$$V_{enveloppe} = V_{out} \frac{R_4}{R_3 + R_4} + V_{ext} \frac{R_3}{R_3 + R_4} \approx 0.943V_{out} + 0.057V_{ext} \quad (4.2)$$

Ainsi, non seulement la tension en courant continu est ajustée, mais aussi l'enveloppe, soit la partie en courant alternatif du signal. Une série de mesures en laboratoire a permis de corréler la tension en courant continu à la sortie des détecteurs en boucle ouverte avec la tension appliquée à l'externe. Ainsi, pour une tension de polarisation externe de 2.9 V, la tension en courant continu de sortie est d'environ 770 mV.

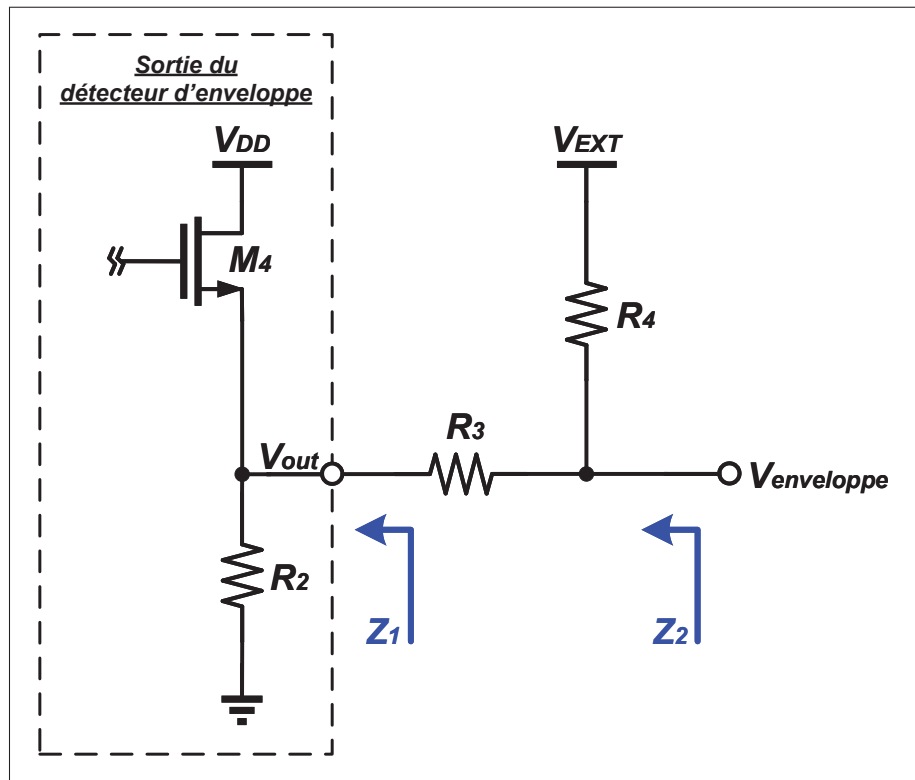


FIGURE 4.5 Réseau de résistance à la sortie du détecteur d'enveloppe pour ajuster la tension DC du signal d'enveloppe

4.1.3 Autres aspects de conception

Les simulations ont démontré que la masse de l'amplificateur contenait beaucoup de bruit à différentes fréquences sur le spectre, mais particulièrement à la fréquence d'opération. Cet effet est dû notamment aux grandes amplitudes de tension et courant en jeu dans l'amplificateur et à l'inductance parasite des fils d'or qui se trouve en série entre la source des transistors et le plan de masse sur le circuit imprimé. Dans un premier temps, les grandes amplitudes de tension sur les signaux radiofréquences peuvent être couplées à la masse à travers des capacités parasites sur la puce. Dans un deuxième temps, la variation des grands courants de l'amplificateur à travers l'inductance parasite des fils d'or développe une tension non nulle sur la masse de la puce. Ainsi, la masse des détecteurs d'enveloppe sur la puce a été dissociée de la masse de l'amplificateur pour réduire le bruit injecté dans le détecteur.

4.2 Résultats de simulation

Une caractérisation des détecteurs d'enveloppe intégrés à l'amplificateur radiofréquence développée au chapitre 3 est présentée dans cette section. De la même façon que les résultats ont été obtenus dans les précédents chapitres, les résultats de simulation présentés dans cette section proviennent d'une simulation basée sur l'extraction du tracé de la puce avec l'outil Calibre de Siemens.

La figure 4.6 présente le niveau de tension de sortie en courant continu (courbe noire) et l'amplitude crête de l'enveloppe (courbe bleue) en fonction de la puissance de sortie de l'amplificateur pour une excitation d'entrée à deux tonalités. Le détecteur d'enveloppe est mesuré en boucle ouverte sans impédance de charge telle que présentée à la figure 4.8. Le point marqué à 7.89 mV correspond au P1dB de l'amplificateur obtenu à la section 3.4.

Un aspect intéressant de l'intégration de deux détecteurs afin de contrôler chacune des branches différentielles de l'amplificateur dans une configuration PEF est de comparer leurs performances afin de conclure sur la symétrie. La figure 4.7 présente la réjection de la porteuse à la sortie de chacun des détecteurs d'enveloppe en fonction de la puissance de sortie de l'amplificateur.

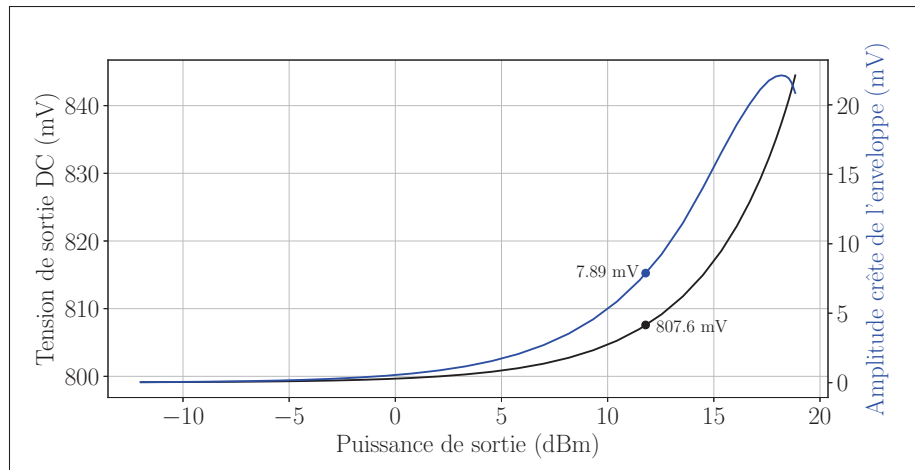


FIGURE 4.6 Tension en courant continu et amplitude crête de l'enveloppe en fonction de la puissance de sortie de l'amplificateur

Dans les deux cas, la réjection de la porteuse est supérieure à 40 dBc, un niveau inférieur à celui estimé de 50 dBc pour le détecteur seul. Aussi, une différence d'environ 7 dB entre les deux branches. La branche négative de l'amplificateur se rapproche davantage des résultats de simulation du détecteur seul. Cet aspect peut être dû à l'asymétrie du traçage sur puce, plus spécifiquement au plan de masse isolé de chacun des détecteurs.

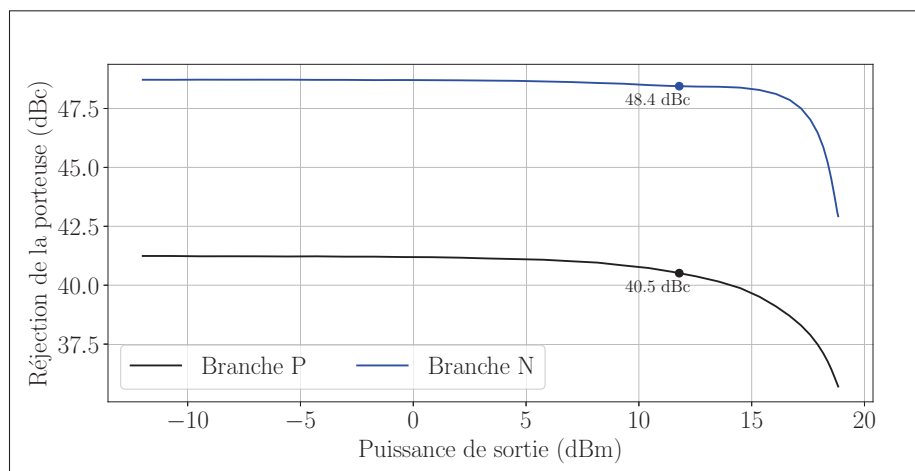


FIGURE 4.7 Réjection de la porteuse simulée à la sortie des deux détecteurs d'enveloppe intégrés avec l'amplificateur radiofréquence

4.2.1 Conclusion partielle

En somme, le détecteur d'enveloppe démontre un fonctionnement lorsque celui-ci est relié à la sortie de l'amplificateur radiofréquence.

Cependant, la capacité de couplage utilisée entre la sortie de l'amplificateur et l'entrée du détecteur ne semble pas appropriée pour le niveau de puissance plus faible que celui initialement prévu. En d'autres termes, la plage de fonctionnement du détecteur pour offrir 100 mV d'amplitude d'enveloppe n'est pas optimisée avec la plage de sortie de l'amplificateur. Deux approches pourraient être utilisées pour résoudre ce problème. La première étant de réajuster la capacité de couplage afin de réduire l'atténuation causée par ce couplage, et ainsi fournir une puissance d'entrée au détecteur plus élevée pour la même puissance de sortie de l'amplificateur. La deuxième approche serait de revoir la conception de l'amplificateur pour offrir une puissance de sortie plus élevée afin d'opérer le détecteur dans la plage souhaitée avec les mêmes capacités de couplage initialement prévu. Il faut noter que la première approche a le désavantage de réduire l'impédance d'entrée vue au détecteur et ainsi avoir un plus gros impact de charge vue par la sortie de l'amplificateur. En plus, avec deux détecteurs d'enveloppe à la sortie, la réduction du couplage aurait un effet deux fois plus important sur la charge de l'amplificateur.

La simplicité de la structure de détection d'enveloppe développée au chapitre 2 a certainement plusieurs avantages dont une large bande passante, une bonne réjection de la fréquence porteuse, une faible empreinte sur puce et une faible consommation. Néanmoins, il n'y a pas de possibilité d'ajustement de la tension de détection, ce qui ne permet pas de faire un ajustement optimal post-fabrication.

4.3 Résultats expérimentaux

La puce ICFTSPB1 intègre un amplificateur, mais aussi deux détecteurs d'enveloppe reliés à la sortie de l'amplificateur pour permettre une configuration PEF. Cette configuration est présentée à la figure 4.3. Les résultats d'une caractérisation en boucle ouverte et en boucle fermée sont

présentés dans cette section afin de caractériser l'effet de la boucle de rétroaction positive sur l'amélioration des performances radiofréquences.

4.3.1 Performance des détecteurs d'enveloppe reliés à la sortie de l'amplificateur

La caractérisation du détecteur dans le chapitre 2 a permis de quantifier les performances de ce dernier sous-pointe sans interférence externe. La puce ICFTSPB3 utilisée pour ces mesures contenait uniquement le détecteur d'enveloppe avec des capacités de couplage à l'entrée et plusieurs fils d'or reliant la masse ont été placés pour minimiser le bruit sur la puce.

Dans le cas des détecteurs d'enveloppe intégrés sur la même puce que l'amplificateur, ceux-ci sont sujets à plusieurs facteurs qui peuvent affecter leur fonctionnement par rapport aux résultats de référence présentés au chapitre 2. Par exemple, une différence d'amplitude ou de phase entre les deux branches de l'amplificateur aura un impact sur la réjection du signal fondamental. Une variation de correspondance entre les capacités de couplage d'entrée des détecteurs peut causer un effet similaire. Aussi, les grands niveaux de tension et courant en jeu dans un amplificateur peuvent introduire des interférences dans les détecteurs à travers les capacités et les inductances parasites.

4.3.2 Caractérisation de l'amplificateur à polarisation statique variable

Dans un premier temps, l'amplificateur ICFTSPB1 a été caractérisé avec une polarisation constante telle que présentée à la section 3.5 du chapitre 3. Les résultats sont présentés à la figure 4.9 par la courbe noire et la courbe bleue pour des polarisations constantes de 770 mV et 860 mV respectivement. Ensuite, un programme conçu sur mesure a permis de varier l'amplitude de la polarisation statique en boucle ouverte en fonction de la puissance d'entrée pour obtenir la courbe rouge en pointillé sur la figure. Les résultats présentés sont ceux d'une caractérisation en boucle ouverte. Ainsi, la courbe rouge réplique l'effet souhaité de la technique PEF en ayant une polarisation statique de 770 mV pour de faibles puissances et en augmentant la polarisation dynamiquement selon la puissance d'entrée. Au point de compression, une

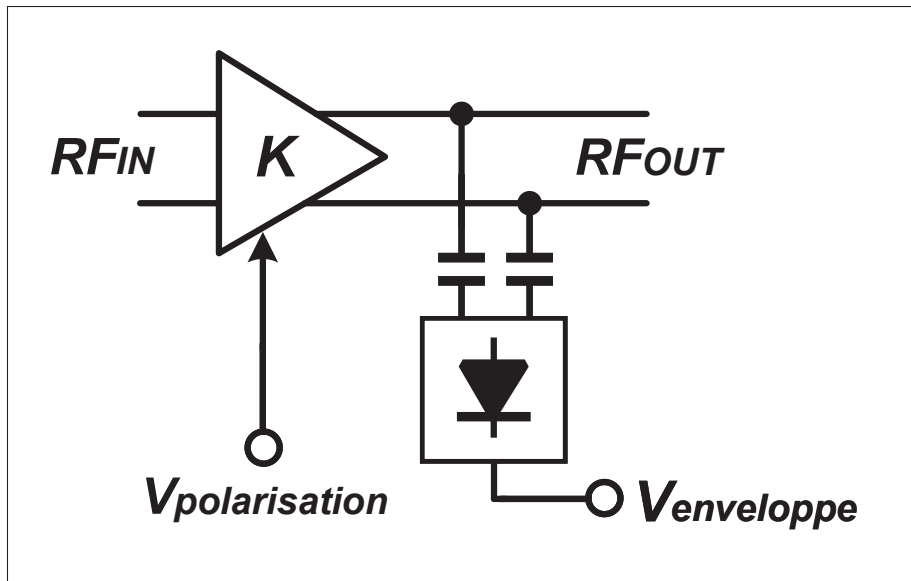


FIGURE 4.8 Schéma bloc de la topologie utilisée pour la caractérisation en boucle ouverte

augmentation d'environ 90 à 100 mV a été nécessaire pour obtenir les résultats de la courbe rouge. L'idée de la technique PEF est bien présentée sur ce graphique puisque l'amplificateur est polarisé à une valeur statique de 770 mV et pour de plus grandes puissances de sortie, la polarisation augmente jusqu'à atteindre environ 860 mV au point de compression. Le gain est maintenu à celui de la courbe noire, mais le point de compression ainsi que la linéarité sont améliorés pour de fortes puissances de sortie. Concrètement, les résultats d'une polarisation dynamique présentée à la figure 4.9 démontrent une amélioration du point de compression de 2.93 dB, et une amélioration de la linéarité de 2.65 dB.

Bien que la courbe bleue offre de bien meilleures performances en termes de gain, de puissance de sortie et de linéarité que la courbe noire, une faible tension de polarisation a l'avantage sur l'efficacité. En effet, la figure 4.10 présente la consommation totale en courant de l'amplificateur pour les mêmes conditions que celles présentées à la figure 4.9. En résumé, le courant total est plus faible pour une polarisation plus faible. Dans ce cas-ci, le courant est environ 18% plus faible avec une polarisation de 770 mV que pour une polarisation de grille à 860 mV. Ainsi, il est préférable d'utiliser une polarisation plus faible lorsque de faibles puissances sont transmises

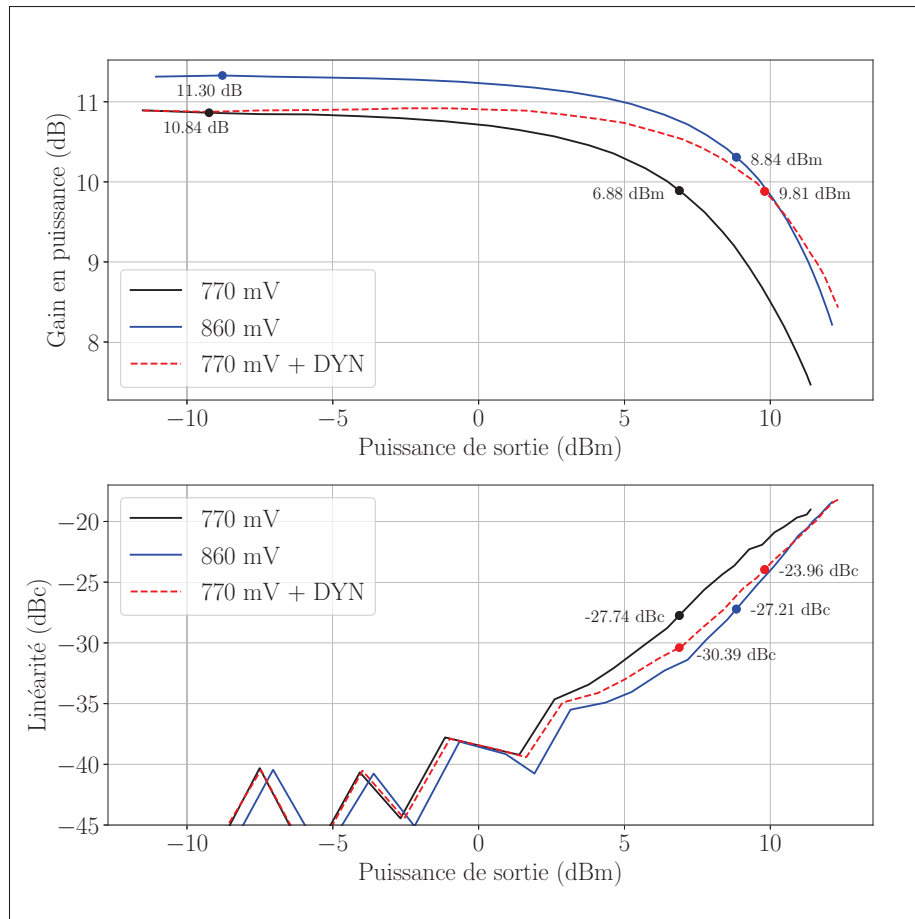


FIGURE 4.9 Caractérisation de l'amplificateur avec un ajustement manuel de la polarisation de grille

pour offrir une économie d'énergie. Cet enjeu est davantage important pour les appareils à batteries comme les téléphones mobiles puisqu'une réduction aussi importante du courant que 18% peut avoir un impact significatif sur la durée de vie de la batterie de l'appareil. Encore une fois, la courbe rouge présente sur la figure 4.10 montre une faible consommation de courant pour de faibles puissances et une augmentation constante dépendant de la puissance à transmettre.

La figure 4.11 présente l'espace utilisé par les détecteurs d'enveloppe sur la puce ICFTSPB1 qui comprend l'amplificateur différentiel à deux étages. La superficie utilisée des deux détecteurs est estimée à 0.02 mm^2 et la superficie de l'amplificateur, sans les plots, est estimée à 0.6 mm^2 . Ainsi, l'intégration de la technique PEF requiert moins de 3.5% de l'espace sur puce.

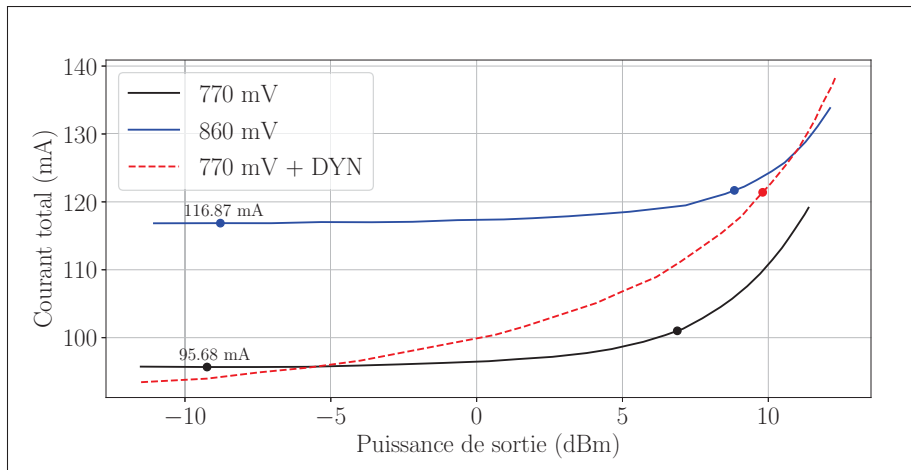


FIGURE 4.10 Courant total consommé par les deux étages de l'amplificateur radiofréquence sous différentes conditions de polarisation

La consommation d'un détecteur d'enveloppe est d'environ 7.49 mW, soit 14.98 mW pour les deux détecteurs sur la puce. Sachant que la consommation statique de l'amplificateur est d'environ 317 mW pour une polarisation statique de 770 mV, la consommation énergétique des détecteurs compte pour moins de 5% de celle de l'amplificateur.

4.3.3 Caractérisation de l'amplificateur à polarisation dynamique en configuration PEF

La puce développée dans ce projet de recherche a été faite pour pouvoir quantifier les effets de charge des détecteurs à la sortie de l'amplificateur, quantifier les performances des détecteurs sur la même puce que l'amplificateur et de caractériser les performances de l'amplificateur seul ou en configuration de polarisation dynamique. La dernière étape a été de relier la sortie des détecteurs avec la grille des transistors de l'étage de puissance de l'amplificateur pour quantifier l'amélioration des performances d'une configuration PEF. À cette étape, des fils d'or ont été placés sur le circuit imprimé tel que présenté à la figure 4.4.

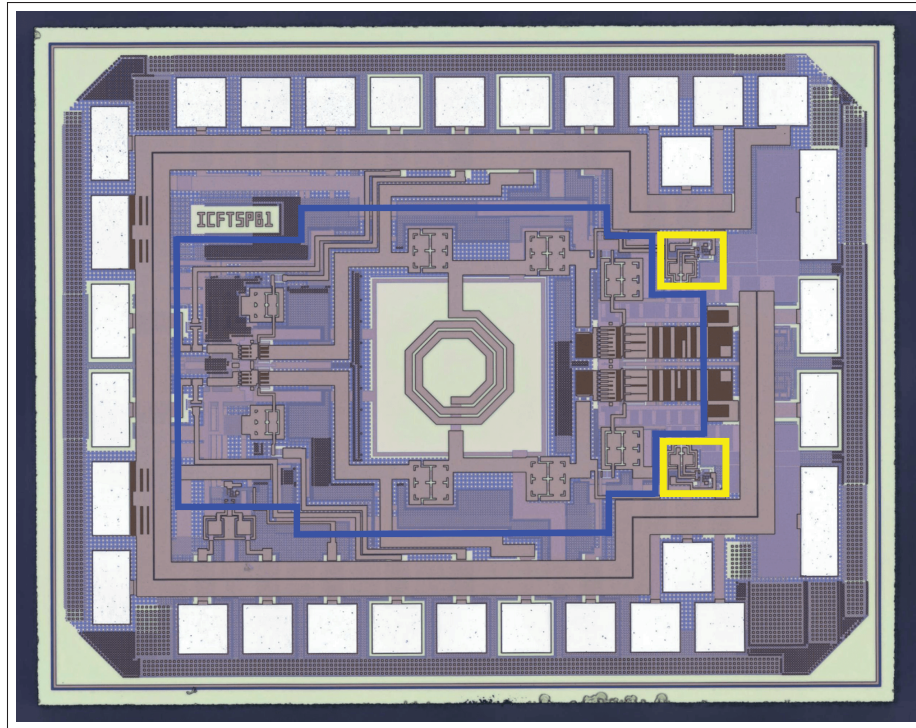


FIGURE 4.11 Jaune : espace utilisée par les détecteurs d'enveloppe. Bleu : espace utilisée par l'amplificateur radiofréquence à deux étages

4.4 Conclusion

La technique PEF est une approche d'amélioration dynamique des performances radiofréquences destinée aux amplificateurs de puissance pour des applications mobiles. Cette technique innovatrice a démontré une possibilité d'améliorer la linéarité de 2.65 dB dans la région de compression en utilisant moins de 3.5% de l'espace sur puce et moins de 5% du courant total de l'amplificateur pour une polarisation statique. Il est à noter que ces résultats pourraient être encore plus faibles pour un amplificateur CMOS avec un gain et une puissance de sortie plus élevée puisque la structure du détecteur est indépendante de la puissance de l'amplificateur. Ainsi, pour un amplificateur de puissance CMOS à trois étages avec une puissance de sortie dans les 20 dBm, la technique PEF pourrait être davantage bénéfique autant pour le ratio de l'espace utilisé sur puce que pour sa faible empreinte énergétique.

CONCLUSION ET RECOMMANDATIONS

Les travaux de recherche présentés dans ce présent mémoire visent trois objectifs : la conception d'un nouveau type de détecteur d'enveloppe spécialement conçu pour répondre aux spécifications de la technique PEF, d'un amplificateur radiofréquence différentiel et la validation de l'intégration du nouveau détecteur avec l'amplificateur pour démontrer son fonctionnement pour des signaux large bande. Combinés, ces objectifs visent l'amélioration du compromis d'efficacité et de linéarité des amplificateurs radiofréquences pour les applications mobiles. Bien que la littérature présente un grand nombre de détecteurs d'enveloppe, ceux-ci ne sont pas adaptés aux spécifications de la technique PEF. La revue de littérature présentée au chapitre 1 a permis de situer la présente recherche dans la littérature en explorant les détecteurs d'enveloppe et les amplificateurs de puissance conçus dans la technologie CMOS destinés aux applications mobiles.

Un nouveau détecteur d'enveloppe a été développé et conçu avec la technologie CMOS 180 nm de TSMC. Il permet de mesurer des signaux modulés en amplitude avec une bande passante simulée allant jusqu'à 842 MHz avec une alimentation de 1.8 V et une consommation en puissance statique de 7.5 mW. La structure simple bénéficie de la relation quadratique des transistors FET en région de saturation pour faire la détection sur un seul étage tout en conservant une bonne linéarité. La bande passante du détecteur a été optimisée pour fonctionner avec les nouveaux systèmes de communication modernes comme le réseau 5G ou la technologie Wi-Fi 6 qui demandent des bandes passantes allant jusqu'à 320 MHz dans la bande allouée sous les 6 GHz. De plus, les systèmes de communication modernes visent des fréquences bien plus élevées que les précédentes technologies, ce qui nécessitait un détecteur d'enveloppe qui puisse convenir à ces applications. La structure simple développée utilise une taille minimale sur puce, estimée à environ $1500 \mu m^2$, et elle est spécifiquement destinée à la technique PEF. La simulation a démontré des résultats intéressants qui ont pu être validés expérimentalement en laboratoire.

Afin de valider les performances du détecteur dans un environnement de test réaliste, un amplificateur radiofréquence différentiel à deux étages utilisant une structure « stacked-FET » a été conçu avec la technologie CMOS 180 nm. Deux variantes ont été fabriquées, l'une avec les détecteurs d'enveloppe connectés à la sortie et l'autre sans cette connexion. La variante avec les détecteurs d'enveloppe présente des caractéristiques typiques, soit un gain en régime petit signal de 11.47 dB, une puissance de sortie de 7.68 dBm, une efficacité d'environ 1.48% et une linéarité d'environ 27.9 dBc au point de compression P1dB. La stabilité inconditionnelle de l'amplificateur a été validée sur toute la plage de fréquence et une bande passante de 480 MHz a été mesurée en laboratoire. Malgré que les performances mesurées sont légèrement inférieures à celles obtenues en simulation, celles-ci sont suffisamment bonnes pour démontrer le fonctionnement de l'intégration du détecteur d'enveloppe couplé sa sortie.

Avec le détecteur d'enveloppe développé dans ce travail (Chapitre 2), il a été possible de faire son intégration avec l'amplificateur radiofréquence (Chapitre 3) afin de démontrer et de caractériser le fonctionnement de la technique PEF en boucle ouverte. L'un des objectifs de ces travaux de recherche était de démontrer que la technique PEF pouvait fonctionner avec des modulations large-bande, tout en améliorant le compromis de performance de la linéarité et de l'efficacité, en minimisant la taille sur puce et la consommation de puissance. L'intégration des détecteurs a démontré une utilisation de la surface sur puce de seulement 3.5% et une consommation statique de moins de 5% de la consommation totale de l'amplificateur.

En ce sens, une partie des objectifs ont été atteints et une liste de recommandation pour améliorer le présent travail est proposée dans la prochaine section.

5.1 Recommandations

Un des aspects clés de la structure du détecteur d'enveloppe développé est sa grande simplicité. Par contre, cet aspect a aussi des limitations. Premièrement, elle ne permet aucun ajustement

suite à sa fabrication. En d'autres termes, la plage dynamique d'entrée et le gain de conversion sont fixes et ne peuvent pas être modifiés en laboratoire. Il serait pertinent d'explorer la possibilité d'offrir un ajustement en laboratoire pour pouvoir bien ajuster la plage dynamique de sortie de l'amplificateur à celle d'entrée du détecteur dans une configuration PEF. C'est cette principale limitation qui n'a pas permis de valider la technique PEF avec le détecteur développé dans ce présent travail. Bien entendu, cet ajustement ne devrait pas impacter les éléments clés de cette conception, notamment la faible empreinte sur puce, la faible consommation et une faible introduction d'effets non linéaire. De plus, il serait pertinent d'ajouter un système de réjection du mode commun. Suite aux résultats obtenus en laboratoire, une grande quantité de signaux autour de la fréquence d'opération étaient présents à la sortie du détecteur d'enveloppe intégré à l'amplificateur. Bien que la structure offre une réjection intrinsèque avec le premier étage à transistor, les résultats expérimentaux indiquent que le signal à la fréquence d'opération peut être injecté dans le détecteur par les alimentations ou la masse. Ainsi, dans une configuration PEF, les alimentations du détecteur peuvent être couplées à l'amplificateur radiofréquence et détériorer la réjection de la composante fondamentale. Une bonne isolation du circuit de détection sur la puce avec l'amplificateur est aussi nécessaire. Les grandes amplitudes de tension à la sortie de l'amplificateur peuvent être facilement couplées au circuit de détection qui a une sensibilité de l'ordre du millivolt si celui-ci n'est pas isolé correctement. Finalement, il serait intéressant d'explorer les capacités de la structure développée dans ce présent travail pour une fréquence d'opération plus élevée, pour la bande millimétrique par exemple. Le succès de son fonctionnement pour une bande de fréquence supérieure permettrait l'intégration et la validation de la technique PEF à des systèmes beaucoup plus rapides.

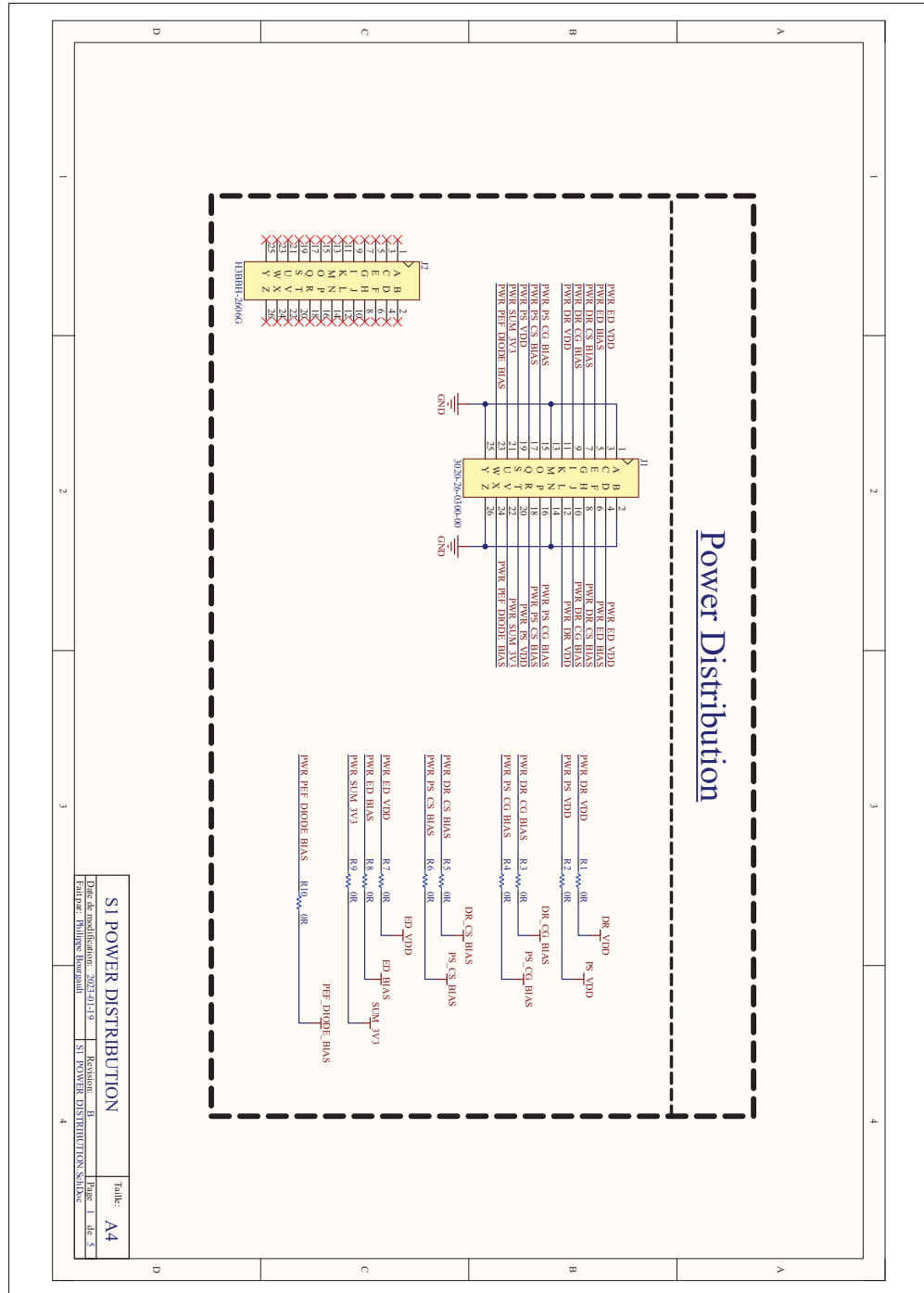
Bien que les performances de l'amplificateur radiofréquence développé dans ce projet soient raisonnables, celles-ci pourraient être améliorées pour mieux refléter les spécifications et les standards de l'industrie. Différents aspects qui pourraient améliorer la présente recherche sont présentés. Premièrement, d'un point de vue technologique, un procédé de fabrication plus récent

offrant une isolation du substrat (Silicium sur isolant) serait avantageux pour maintenir un niveau de puissance de sortie élevé et réduire les pertes. Deuxièmement, l'utilisation de transformateurs intégrée sur puce permettrait de faire une meilleure transformation d'impédance que l'inductance seule utilisée dans ce projet. Aussi, les transformateurs peuvent être symétriques avec un point commun pour permettre de fournir l'alimentation en courant continu. Troisièmement, il serait possible d'ajouter un troisième étage en cascade pour augmenter le gain total aux dépens de la complexité qui serait ajoutée. Un étage supplémentaire représente un enjeu de conception pour la stabilité globale de l'amplificateur et une complexité supplémentaire pour l'adaptation interétage qui est dépendant des étages précédents et suivants. Finalement, un système de polarisation des tensions de grille et de drain pourrait être intégré sur la puce pour éviter d'utiliser des fils d'or, des traces sur le circuit imprimé et des composants discrets qui affectent les impédances à différents niveaux de l'amplificateur. Étant donné qu'un tel système n'a pas été intégré dans la présente version du projet de recherche, une parfaite symétrie doit être maintenue à l'extérieur de la puce, ce qui n'est pas le cas en pratique. Les composants discrets utilisés ont une tolérance non nulle qui affecte l'impédance vue par le réseau d'alimentation.

Avec les recommandations présentées ci-dessus pour le détecteur et l'amplificateur radio-fréquence, il serait possible de terminer et valider le travail présenté dans ce projet pour la configuration PEF. La plus grande limitation en laboratoire pour valider la configuration PEF avec la puce ICFTSPB1 a été le manque d'ajustement de la plage dynamique d'entrée du détecteur par rapport à la région de compression de l'amplificateur. Avec un système d'ajustement de la plage dynamique du détecteur ou un système d'ajustement du couplage entre la sortie de l'amplificateur et l'entrée du détecteur, il serait possible de mieux quantifier le bénéfice d'amélioration des performances de la technique PEF. Bien entendu, si l'amplificateur contient un étage supplémentaire pour offrir un gain supérieur, le ratio de la surface sur puce du détecteur par rapport à l'amplificateur serait davantage minimisé et il en serait de même pour la consommation puissance.

ANNEXE I

SCHÉMA DE LA PLAQUETTE DE CIRCUIT IMPRIMÉ



SI POWER DISTRIBUTION		Table
Part no. modification	3032A119	R
Part no.	DS1030	SI POWER DISTRIBUTION.SCH
		Page 1 de 3
		A4

FIGURE-A I-1 Distribution des alimentations (Page 1)

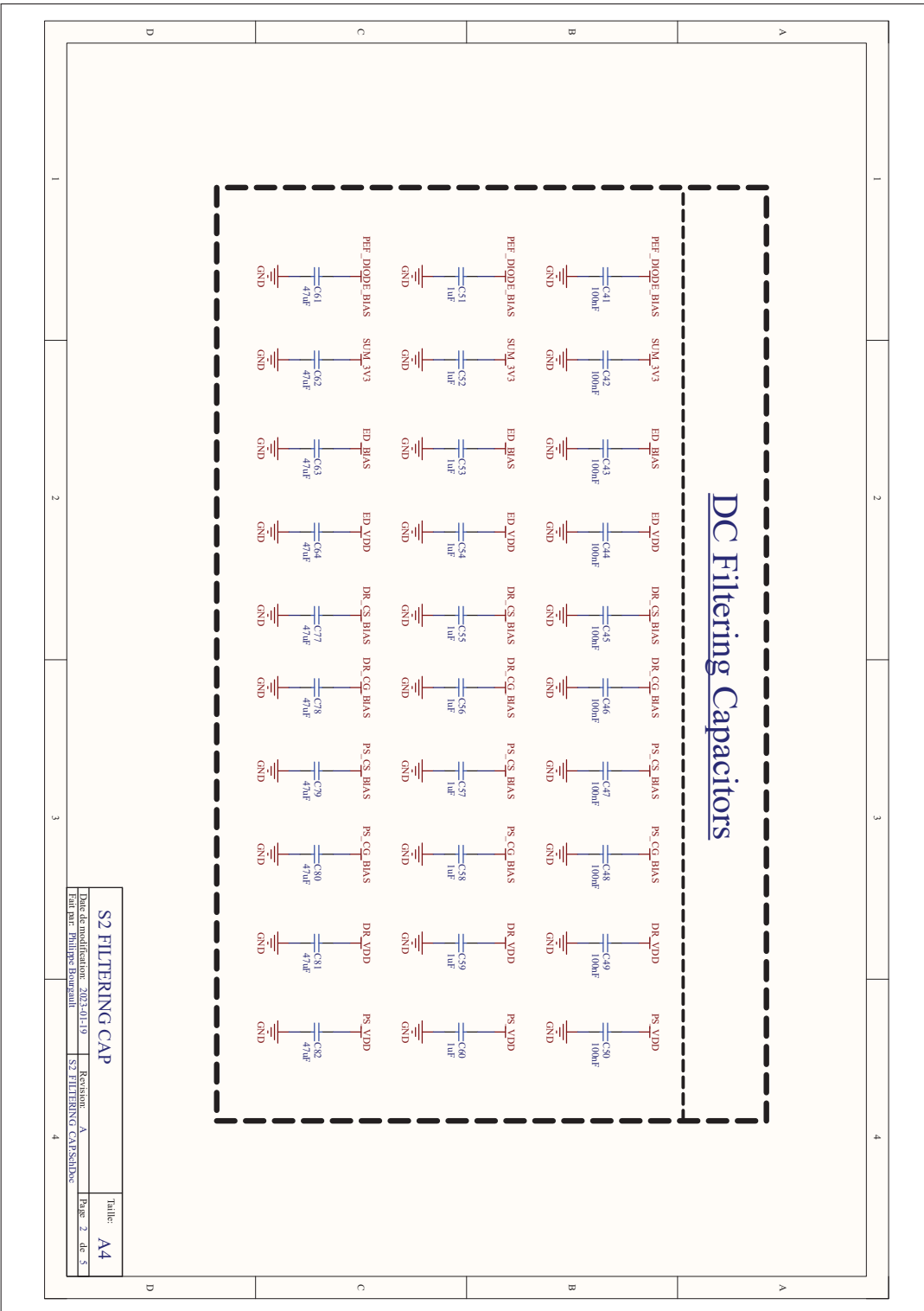


FIGURE-A I-2 Filtration des alimentations (Page 2)

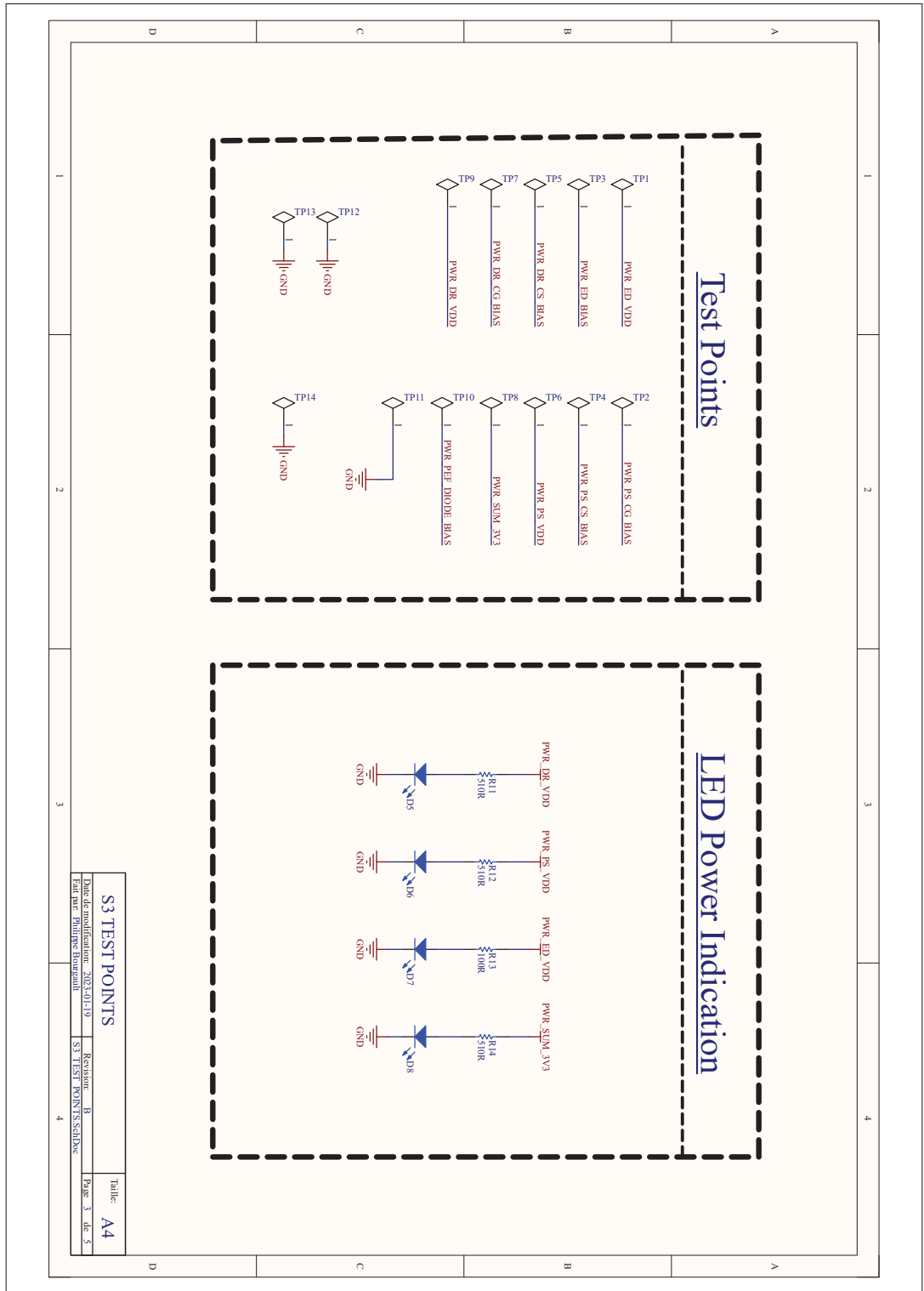


FIGURE-A I-3 Débogage (Page 3)

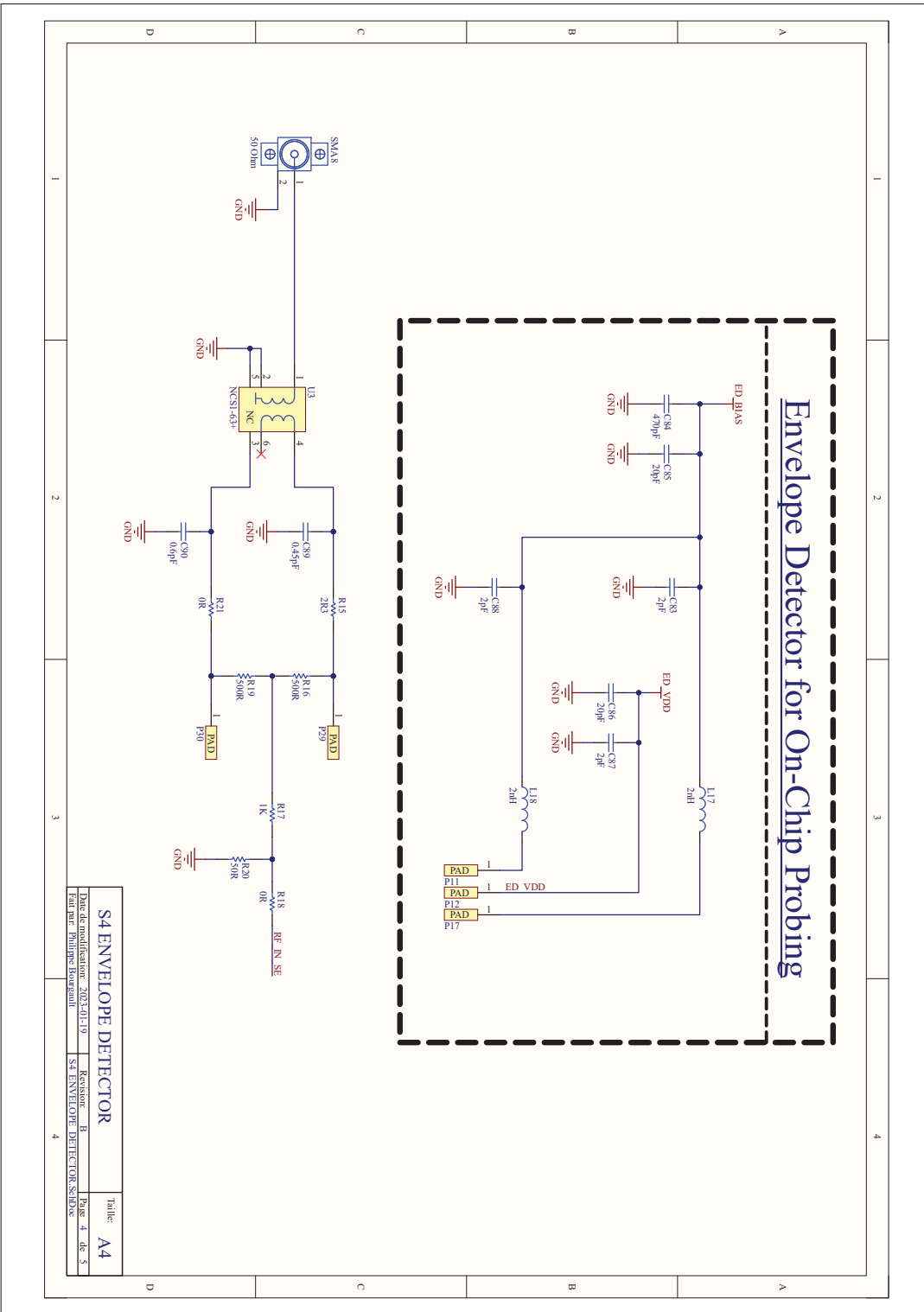


FIGURE-A I-4 Détecteur d'enveloppe (Page 4)

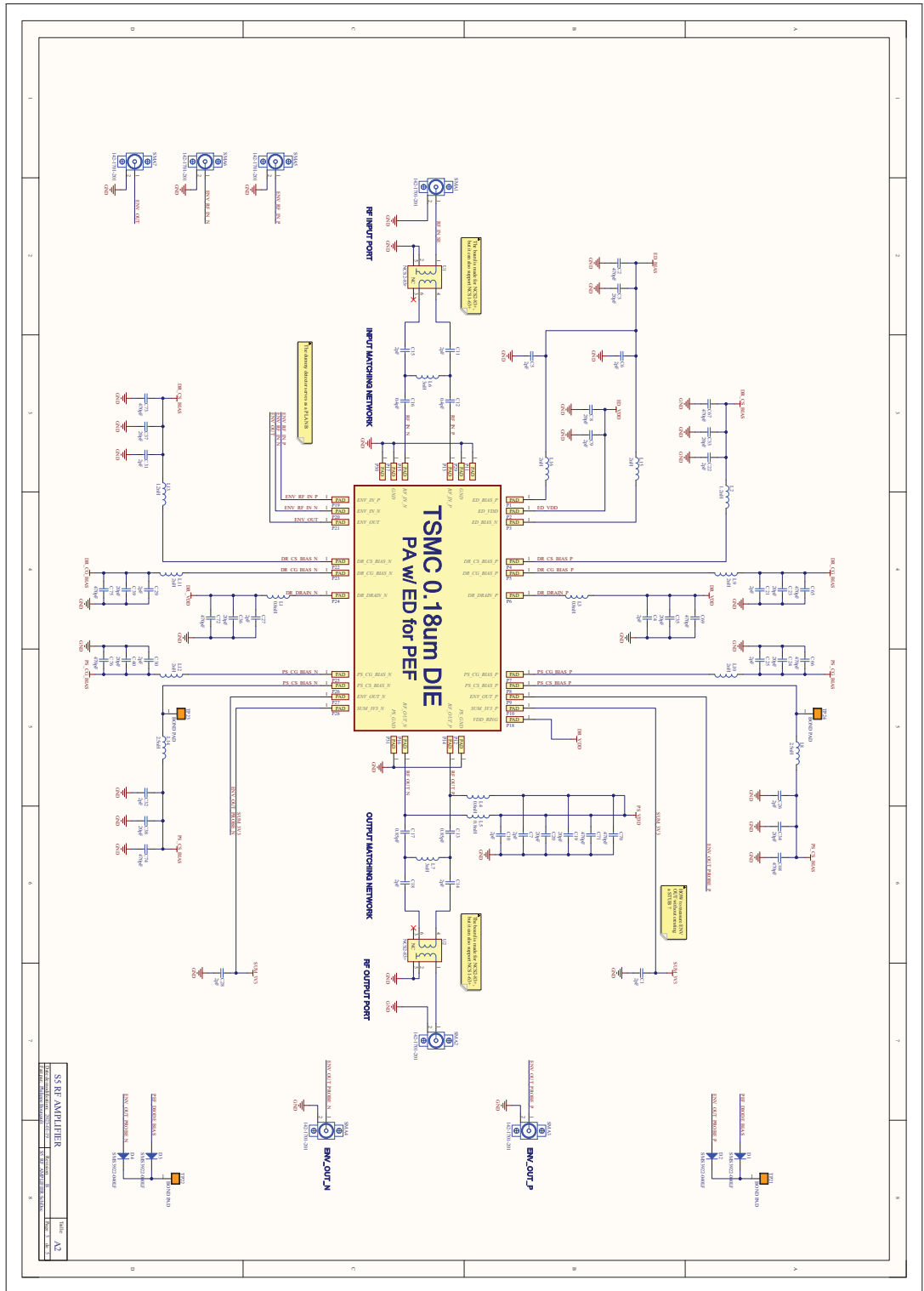


FIGURE-A I-5 Amplificateur radiofréquence (Page 5)

BIBLIOGRAPHIE

- 3GPP. (2022). TS 38.101-2 V17.6.0 User Equipment (UE) radio transmission and reception ; Part 2 : Range 2 Standalone (Release 17). Repéré le 2022-07-29 à <https://portal.3gpp.org/desktopmodules/Specifications/SpecificationDetails.aspx?specificationId=3284>.
- Alegre, J., Celma, S., Aldea, C. & Calvo, B. (2006). Fast-Settling Envelope Detectors. *2006 IEEE Instrumentation and Measurement Technology Conference Proceedings*, pp. 926–929. doi : 10.1109/IMTC.2006.328258.
- Aoki, I., Kee, S., Rutledge, D. & Hajimiri, A. (2002). Fully integrated CMOS power amplifier design using the distributed active-transformer architecture. *IEEE Journal of Solid-State Circuits*, 37(3), 371–383. doi : 10.1109/4.987090. Conference Name : IEEE Journal of Solid-State Circuits.
- Apple. (2022). Apple unveils M1 Ultra, the world's most powerful chip for a personal computer. Repéré le 2022-12-20 à <https://www.apple.com/newsroom/2022/03/apple-unveils-m1-ultra-the-worlds-most-powerful-chip-for-a-personal-computer/>.
- Avci, M. E. & Ozev, S. (2020). Design Optimization for N-port RF Network Reflectometers under Noise and Gain Imperfections. *2020 IEEE International Test Conference (ITC)*, pp. 1–10. doi : 10.1109/ITC44778.2020.9325256.
- Berthiaume, D., Sharma, S. & Constantin, N. (2016). Low current, 100MHz bandwidth envelope detector for CMOS RFIC PAs. *2016 IEEE Canadian Conference on Electrical and Computer Engineering (CCECE)*, pp. 1–4. doi : 10.1109/CCECE.2016.7726694.
- Carrara, F., Presti, C. D., Scuderi, A., Santagati, C. & Palmisano, G. (2008). A Methodology for Fast VSWR Protection Implemented in a Monolithic 3-W 55% PAE RF CMOS Power Amplifier. *IEEE Journal of Solid-State Circuits*, 43(9), 2057–2066. doi : 10.1109/JSSC.2008.2001894. Conference Name : IEEE Journal of Solid-State Circuits.
- Carusone, T. C., Johns, D., Martin, K. W. & Johns, D. (2012). *Analog integrated circuit design* (éd. 2nd ed). Hoboken, NJ : John Wiley & Sons.
- Cha, J., Woo, W., Cho, C., Park, Y., Lee, C.-H., Kim, H. & Laskar, J. (2009). A highly-linear radio-frequency envelope detector for multi-standard operation. *2009 IEEE Radio Frequency Integrated Circuits Symposium*, pp. 149–152. doi : 10.1109/RFIC.2009.5135510.
- Cheang, C.-F., Un, K.-F., Mak, P.-I. & Martins, R. P. (2016). Time-domain I/Q-LOFT compensator using a simple envelope detector for a sub-GHz IEEE 802.11af WLAN transmitter. *2016 21st Asia and South Pacific Design Automation Conference (ASP-DAC)*, pp. 3–4. doi : 10.1109/ASPDAC.2016.7427973.

- Chen, S.-E., Yang, C.-L. & Cheng, K.-W. (2015). A 4.5 W 2.4 GHz wake-up receiver based on complementary current-reuse RF detector. *2015 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1214–1217. doi : 10.1109/ISCAS.2015.7168858.
- Cherry, S. (2004). Edholm's law of bandwidth. *IEEE Spectrum*, 41(7), 58–60. doi : 10.1109/M-SPEC.2004.1309810. Conference Name : IEEE Spectrum.
- Cripps, S. C. (2006). *RF power amplifiers for wireless communications* (éd. 2nd ed). Boston : Artech House.
- Edwards, M. & Sinsky, J. (1992). A new criterion for linear 2-port stability using a single geometrically derived parameter. *IEEE Transactions on Microwave Theory and Techniques*, 40(12), 2303–2311. doi : 10.1109/22.179894. Conference Name : IEEE Transactions on Microwave Theory and Techniques.
- Fang, M., Sugiura, T. & Yoshimasu, T. (2020). A 28-GHz-Band Efficient Linear Power Amplifier with Novel Adaptive Bias Circuit for 5G Mobile Communications in 56-nm CMOS SOI. *2020 IEEE MTT-S International Wireless Symposium (IWS)*, pp. 1–3. doi : 10.1109/IWS49314.2020.9360109.
- Franco, M. J. (2009). Mobile handset power amplifiers. *IEEE Microwave Magazine*, 10(7), 16–19. doi : 10.1109/MMM.2009.934687. Conference Name : IEEE Microwave Magazine.
- Gray, P. R., Hurst, Paul J., Lewis, Stephen H. & Meyer, Robert G. (Éds.). (2001). *Analysis and design of analog integrated circuits* (éd. 4th ed). New York : Wiley.
- Greg Miller. (2008). SProbe2 (SProbe2 Component) - ADS 2009 - Keysight Knowledge Center. Repéré le 2022-12-20 à <https://edadocs.software.keysight.com/pages/viewpage.action?pageId=5919075>.
- Guo, H., Li, Z., Miao, A., Wang, X. & Li, Z. (2021). An Automatic Gain Control Amplifier with Linear-in-dB Gain in 22nm CMOS. *2021 6th International Conference on Integrated Circuits and Microsystems (ICICM)*, pp. 272–275. doi : 10.1109/ICICM54364.2021.9660341.
- Hasan, M. K., Shahjalal, M., Chowdhury, M. Z. & Jang, Y. M. (2019). Real-Time Healthcare Data Transmission for Remote Patient Monitoring in Patch-Based Hybrid OCC/BLE Networks. *Sensors (Basel, Switzerland)*, 19(5), 1208. doi : 10.3390/s19051208.
- Hesler, J., Hui, K. & Crowe, T. (2012). Ultrafast millimeter-wave and THz envelope detectors for wireless communications. *2012 IEEE International Topical Meeting on Microwave Photonics*, pp. 93–94. doi : 10.1109/MWP.2012.6474063.

- Hewlett Packard. (1982). Is Bias Current Necessary ? Application Note 987. Repéré le 2022-08-31 à http://www.hp.woodshot.com/hprfhelp/4_downld/lit/diodelit/an987.pdf.
- Hill, K. (2020). Connected devices will be 3x the global population by 2023, Cisco says. Repéré le 2022-05-17 à <https://www.rcrwireless.com/20200218/internet-of-things/connected-devices-will-be-3x-the-global-population-by-2023-cisco-says>.
- Huang, Y.-C., Hsieh, H.-H. & Lu, L.-H. (2008). A Build-in Self-Test Technique for RF Low-Noise Amplifiers. *IEEE Transactions on Microwave Theory and Techniques*, 56(5), 1035–1042. doi : 10.1109/TMTT.2008.921293. Conference Name : IEEE Transactions on Microwave Theory and Techniques.
- Humar, I., Ge, X., Xiang, L., Jo, M., Chen, M. & Zhang, J. (2011). Rethinking energy efficiency models of cellular networks with embodied energy. *IEEE Network*, 25(2), 40–49. doi : 10.1109/MNET.2011.5730527. Conference Name : IEEE Network.
- Ivanov, S. I., Lavrov, A. P. & Matveev, Y. A. (2015). A square-law microwave transistor detector for wideband radiometers. *2015 International Siberian Conference on Control and Communications (SIBCON)*, pp. 1–4. doi : 10.1109/SIBCON.2015.7147076.
- Jayamon, J., Agah, A., Hanafi, B., Dabag, H., Buckwalter, J. & Asbeck, P. (2013). A W-band stacked FET power amplifier with 17 dBm Psat in 45-nm SOI CMOS. *2013 IEEE Topical Conference on Biomedical Wireless Technologies, Networks, and Sensing Systems*, pp. 79–81. doi : 10.1109/BioWireleSS.2013.6613681.
- Kahn, L. R. (1952). Single-Sideband Transmission by Envelope Elimination and Restoration. *Proceedings of the IRE*, 40(7), 803–806. doi : 10.1109/JRPROC.1952.273844. Conference Name : Proceedings of the IRE.
- Kanu Chadha. (2014). Qualcomm RF360 front end solution comes of age | Qualcomm. Repéré le 2022-12-06 à <https://www.qualcomm.com/news/onq/2014/12/qualcomm-rf360-front-end-solution-comes-age>.
- Keysight. [Section : Article Section]. (2022). High Accuracy EVM Measurements for a Power Amplifier Using the PNA-X Series Network Analyzer. Repéré le 2023-01-13 à <https://www.keysight.com/ca/en/assets/3120-1022/application-notes/Create-Accurate-EVM-Measurements-with-the-PNA-X-Series-Network-Analyzer.pdf>.
- Kim, Y. & Kwon, Y. (2015). Analysis and Design of Millimeter-Wave Power Amplifier Using Stacked-FET Structure. *IEEE Transactions on Microwave Theory and Techniques*, 63(2), 691–702. doi : 10.1109/TMTT.2014.2387846. Conference Name : IEEE Transactions on Microwave Theory and Techniques.

- Ku, W. (1966). Unilateral gain and stability criterion of active two-ports in terms of scattering parameters. *Proceedings of the IEEE*, 54(11), 1617–1618. doi : 10.1109/PROC.1966.5229. Conference Name : Proceedings of the IEEE.
- Lorincz, J., Garma, T. & Petrovic, G. (2012). Measurements and Modelling of Base Station Power Consumption under Real Traffic Loads. *Sensors (Basel, Switzerland)*, 12(4), 4181–4310. doi : 10.3390/s120404281.
- Lv, X., Shi, J., Zou, J., Zhu, S.-H., Ge, Y.-F., Liu, Y. & Si, L.-M. (2013). A low-power decibel-linear CMOS Automatic Gain Control. *2013 IEEE INTERNATIONAL CONFERENCE ON MICROWAVE TECHNOLOGY & COMPUTATIONAL ELECTROMAGNETICS*, pp. 270–273. doi : 10.1109/ICMTCE.2013.6812432.
- Nassery, A., Byregowda, S., Ozev, S., Verhelst, M. & Slamani, M. (2015). Built-In Self-Test of Transmitter I/Q Mismatch and Nonlinearity Using Self-Mixing Envelope Detector. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 23(2), 331–341. doi : 10.1109/TVLSI.2014.2308317. Conference Name : IEEE Transactions on Very Large Scale Integration (VLSI) Systems.
- Ritchie, H., Roser, M. & Rosado, P. (2020). Energy. *Our World in Data*. Repéré à <https://ourworldindata.org/electricity-mix>.
- Roberts, N. E. & Wentzloff, D. D. (2012). A 98nW wake-up radio for wireless body area networks. *2012 IEEE Radio Frequency Integrated Circuits Symposium*, pp. 373–376. doi : 10.1109/RFIC.2012.6242302.
- Roser, M., Ritchie, H. & Ortiz-Ospina, E. (2013). World Population Growth. *Our World in Data*. Repéré à <https://ourworldindata.org/world-population-growth>.
- Ruan, X., Wang, Y. & Jin, Q. (2017). A review of envelope tracking power supply for mobile communication systems. *CPSS Transactions on Power Electronics and Applications*, 2(4), 277–291. doi : 10.24295/CPSSSTPEA.2017.00026. Conference Name : CPSS Transactions on Power Electronics and Applications.
- Serhan, A., Lauga-Larroze, E. & Fournier, J.-M. (2015). A 700MHz output bandwidth, 30dB dynamic range, common-base mm-wave power detector. *2015 IEEE MTT-S International Microwave Symposium*, pp. 1–3. doi : 10.1109/MWSYM.2015.7166764.
- Sharma, S. (2020). *Introducing positive envelope feedback – a new method for linearity improvement in radio frequency integrated circuit power amplifiers*. (phd, École de technologie supérieure). Repéré à <https://espace.etsmtl.ca/id/eprint/2554/>.

- SHARMA, S. & CONSTANTIN, N. G. (2018). *Brevet n°US20180316312A1*. United States : Skyworks Solutions Inc.
- SHARMA, S. & CONSTANTIN, N. G. (2019). *Brevet n°US10320345B2*. United States : Skyworks Solutions Inc.
- Sharma, S., Constantin, N. G. & Soliman, Y. (2017). Positive envelope feedback for linearity improvement in RFIC PAs. *2017 27th International Conference Radioelektronika (RADIOELEKTRONIKA)*, pp. 1–5. doi : 10.1109/RADIOELEK.2017.7936642.
- Sleiman, S. B. & Ismail, M. (2010). Transceiver parameter detection using a high conversion gain RF amplitude detector. *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*, pp. 2059–2062. doi : 10.1109/ISCAS.2010.5537235.
- Su, D. & McFarland, W. (1998). An IC for linearizing RF power amplifiers using envelope elimination and restoration. *IEEE Journal of Solid-State Circuits*, 33(12), 2252–2258. doi : 10.1109/4.735710. Conference Name : IEEE Journal of Solid-State Circuits.
- Su, Y.-b., Xia, Q., Geng, L. & Liu, X.-K. (2019). A Highly Linear Low Power Envelope Detector. *2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, pp. 1–2. doi : 10.1109/EDSSC.2019.8754090.
- Tawalbeh, M., Eardley, A. & Tawalbeh, L. (2016). Studying the Energy Consumption in Mobile Devices. *Procedia Computer Science*, 94, 183–189. doi : 10.1016/j.procs.2016.08.028.
- TSMC. (2016). T-018-CM-SP-007 TSMC 0.18 UM MIXED SIGNAL GENERAL PURPOSE II 1P6M SALICIDE 1.8V/3.3V SPICE MODEL.
- Un, K.-F., Yu, W.-H., Cheang, C.-F., Qi, G., Mak, P.-I. & Martins, R. P. (2015). A Sub-GHz Wireless Transmitter Utilizing a Multi-Class-Linearized PA and Time-Domain Wideband-Auto I/Q-LOFT Calibration for IEEE 802.11af WLAN. *IEEE Transactions on Microwave Theory and Techniques*, 63(10), 3228–3241. doi : 10.1109/TMTT.2015.2462815. Conference Name : IEEE Transactions on Microwave Theory and Techniques.
- Valdes-Garcia, A., Venkatasubramanian, R., Srinivasan, R., Silva-Martinez, J. & Sanchez-Sinencio, E. (2005). A CMOS RF RMS detector for built-in testing of wireless transceivers. *23rd IEEE VLSI Test Symposium (VTS'05)*, pp. 249–254. doi : 10.1109/VTS.2005.8.
- Valdes-Garcia, A., Venkatasubramanian, R., Silva-Martinez, J. & Sanchez-Sinencio, E. (2008). A Broadband CMOS Amplitude Detector for On-Chip RF Measurements. *IEEE Transactions on Instrumentation and Measurement*, 57(7), 1470–1477. doi : 10.1109/TIM.2008.917196. Conference Name : IEEE Transactions on Instrumentation and Measurement.

- van Liempd, B., Vidojkovic, M., Lont, M., Zhou, C., Harpe, P., Milosevic, D. & Dolmans, G. (2012). A 3 μ W fully-differential RF envelope detector for ultra-low power receivers. *2012 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1496–1499. doi : 10.1109/ISCAS.2012.6271532.
- Voo, T. & Toumazou, C. (1995). A novel high speed current mirror compensation technique and application. *1995 IEEE International Symposium on Circuits and Systems (ISCAS)*, 3, 2108–2111 vol.3. doi : 10.1109/ISCAS.1995.523841.
- Wang, H.-C., Chiu, C.-W. & Chiu, H.-C. (2019). GaN on Si RF Devices and MMICs-Pivotal Driving Force of 5G Communication Micro/Macro Cells. *2019 IEEE MTT-S International Wireless Symposium (IWS)*, pp. 1–2. doi : 10.1109/IEEE-IWS.2019.8804091.
- Wang, P.-H. P., Jiang, H., Gao, L., Sen, P., Kim, Y.-H., Rebeiz, G. M., Mercier, P. P. & Hall, D. A. (2017). A 400 MHz 4.5 nW 63.8 dBm sensitivity wake-up receiver employing an active pseudo-balun envelope detector. *ESSCIRC 2017 - 43rd IEEE European Solid State Circuits Conference*, pp. 35–38. doi : 10.1109/ESSCIRC.2017.8094519.
- Wang, Q. & Soma, M. (2006). RF front-end system gain and linearity built-in test. *24th IEEE VLSI Test Symposium*, pp. 6 pp.–233. doi : 10.1109/VTS.2006.59.
- Wei, T. B. & Hua, N. Y. (2012). Copper wire bond on MCM device (bond stitch on bump ball). *2012 35th IEEE/CPMT International Electronics Manufacturing Technology Conference (IEMT)*, pp. A–1–A–3. doi : 10.1109/IEMT.2012.6521750.
- Wilhelmsson, L. [Last Modified : 2020-04-23T05 :51 :01+00 :00]. (2017). Wake-Up Radio – A key component of IoT? Repéré le 2022-08-31 à <https://www.ericsson.com/en/blog/2017/12/wake-up-radio--a-key-component-of-iot>.
- Xia, J. & Boumaiza, S. (2015). A Novel Broadband Linear-in-Magnitude RF Envelope Detector With Enhanced Detection Speed and Accuracy. *IEEE Microwave and Wireless Components Letters*, 25(5), 325–327. doi : 10.1109/LMWC.2015.2409796. Conference Name : IEEE Microwave and Wireless Components Letters.
- Xiong, Y., Zhao, C. & Kang, K. (2016). A highly-applicable supply modulator with a highly-linear envelope detector for WCDMA envelope-tracking applications. *2016 IEEE MTT-S International Microwave Workshop Series on Advanced Materials and Processes for RF and THz Applications (IMWS-AMP)*, pp. 1–4. doi : 10.1109/IMWS-AMP.2016.7588463.
- Xu, J., Gu, B. & Tian, G. (2022). Review of agricultural IoT technology. *Artificial Intelligence in Agriculture*, 6, 10–22. doi : 10.1016/j.aiia.2022.01.001.

- Ying, K., Gao, H., Min, X., Milosevic, D. & Baltus, P. (2018). A Wideband Envelope Detector with Low Ripple and High Detection Speed. *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1–5. doi : 10.1109/ISCAS.2018.8351246.
- Zhang, C., Gharpurey, R. & Abraham, J. A. (2008). Low Cost RF Receiver Parameter Measurement with On-Chip Amplitude Detectors. *26th IEEE VLSI Test Symposium (vts 2008)*, pp. 203–208. doi : 10.1109/VTS.2008.56.
- Zhou, W. & Rabaey, J. (2013). Energy detection technique for ultra-low power high sensitivity wake-up receiver. *2013 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 1857–1860. doi : 10.1109/ISCAS.2013.6572227.
- Zhou, Y., Huang, G., Nam, S. & Kim, B.-S. (2008). A novel wide-band envelope detector. *2008 IEEE Radio Frequency Integrated Circuits Symposium*, pp. 219–222. doi : 10.1109/R-FIC.2008.4561422.