

Étude de l'effet du conditionnement de l'horloge sur les modes test et mission dans les circuits FPGA

par

Sara DABBEBI

MÉMOIRE PRÉSENTÉ À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
COMME EXIGENCE PARTIELLE À L'OBTENTION DE LA MAÎTRISE
AVEC MÉMOIRE EN GÉNIE ÉLECTRIQUE
M. Sc. A.

MONTRÉAL, LE 22 MAI 2025

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC



Sara Dabbebi, 2025



Cette licence Creative Commons signifie qu'il est permis de diffuser, d'imprimer ou de sauvegarder sur un autre support une partie ou la totalité de cette oeuvre à condition de mentionner l'auteur, que ces utilisations soient faites à des fins non commerciales et que le contenu de l'oeuvre n'ait pas été modifié.

PRÉSENTATION DU JURY

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE:

M. Claude Thibeault, directeur de mémoire
Département de génie électrique à l'École de technologie supérieure

M. Bora Ung, président du jury
Département de génie électrique à l'École de technologie supérieure

M. René Jr Landry, membre du jury
Département de génie électrique à l'École de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE 7 MAI 2025

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

En témoignage de ma reconnaissance, je tiens à exprimer ma gratitude envers toutes les personnes qui ont contribué à la réalisation de ce mémoire.

Je remercie sincèrement mon directeur de mémoire, le professeur Claude Thibeault, pour son aide, ses conseils et la confiance qu'il m'a accordée tout au long de ce travail. Son expertise et son soutien ont été déterminants dans la réussite de ce mémoire.

Je tiens à remercier les membres du jury pour leur présence et leur précieuse contribution à la soutenance.

Je tiens également à exprimer ma reconnaissance au laboratoire LACIME et à l'organisme Mitacs pour leur soutien et leur appui indispensable.

Finalement, j'adresse ma plus profonde gratitude à ma famille et à mes amis qui ont toujours cru en moi et m'ont soutenu tout au long de mes études ; mon époux Hani, mon père Tarek, ma mère Nadia, mes grands-parents Zid et Saida, et mon frère Zied.

Étude de l'effet du conditionnement de l'horloge sur les modes test et mission dans les circuits FPGA

Sara DABBEBI

RÉSUMÉ

Ce projet de maîtrise porte sur l'évaluation de la représentativité du mode test par rapport au mode mission en présence du conditionnement d'horloge, une technique largement utilisée pour réduire la consommation d'énergie dans les circuits électroniques. Cependant, cette technique génère du bruit d'alimentation (*Power Supply Noise*, PSN), provoquant des fluctuations transitoires de tension dans le réseau de distribution d'alimentation (*Power Delivery Network*, PDN), ce qui perturbe les délais de propagation.

Une architecture de ligne de délai optimisée a été développée afin d'évaluer les variations de délai sur une large plage de fréquences. La technique de test de panne de type délai, *Launch on Capture* (LC), a été appliquée en mode test. Un paramètre Pause a également été introduit afin d'ajuster précisément le moment d'application du LC. Par ailleurs, différents ratios d'activité de commutation des bascules ont été testés afin d'évaluer leur impact sur les délais. Deux plateformes FPGA, ZC702 et ZEDBOARD, ont été utilisées afin d'analyser leur comportement transitoire face aux variations d'impédance du réseau de distribution d'alimentation en termes de délais. Un algorithme a été adapté pour explorer différentes combinaisons des paramètres LC et Pause, permettant de trouver la meilleure représentativité possible.

Les expérimentations en mode mission ont confirmé l'apparition de deux phases transitoires : la première débute à l'injection du bruit, tandis que la deuxième commence lorsque le bruit est arrêté. En revanche, en mode test, le bruit reste activé durant ces deux phases transitoires. Les résultats révèlent que la carte ZEDBOARD présente une meilleure représentativité lorsqu'il s'agit de configurer une seule transition *Launch* suivie d'une transition *Capture*. De même, le nombre de bascules dans un bloc générateur de bruit est directement proportionnel aux valeurs des délais. Enfin, pour les deux modèles de cartes, le mode test sous-estime systématiquement les délais, mettant en évidence l'influence des variations d'impédance du PDN sur la précision des mesures.

Mots-clés: FPGA, délai, mode mission, mode test, réseau de distribution d'alimentation

Study of the effect of clock conditioning on test and mission modes in FPGA circuits

Sara DABBEBI

ABSTRACT

This master's project focuses on evaluating the representativity of the test mode compared to the mission mode in the presence of Clock Gating, a clock conditioning technique widely used to reduce power consumption in electronic circuits. However, this technique generates Power Supply Noise (PSN), causing transient voltage fluctuations in the Power Delivery Network (PDN), which disrupts signal propagation delays.

An optimized delay line architecture was developed to assess delay variations over a wide frequency range. The Launch on Capture (LC) delay fault testing technique was applied in test mode. A Pause parameter was also introduced to precisely control the timing of LC application. Additionally, different flip-flop switching activity ratios were tested to evaluate their impact on delays. Two FPGA platforms, ZC702 and ZEDBOARD, were used on to analyze their transient behavior in response to PDN impedance variations in terms of delays. An optimization algorithm was adapted to explore different combinations of LC and Pause parameters, enabling the identification of the most representative configuration.

Experiments in mission mode confirmed the presence of two transient phases : the first occurs at the injection of noise, while the second begins when the noise is stopped. However, in test mode, the noise remains active during both transient phases. The results reveal that ZEDBOARD exhibits better representativity when configuring a single Launch transition followed by a Capture transition. Likewise, the number of flip-flops in a noise generator block is directly proportional to delay values. Finally, for both FPGA models, the test mode systematically underestimates delays, highlighting the impact of PDN impedance variations on measurement accuracy.

Keywords: FPGA, delay, mission mode, test mode, power delivery network

TABLE DES MATIÈRES

| | Page |
|--|------|
| INTRODUCTION | 1 |
| CHAPITRE 1 NOTIONS DE BASE ET REVUE DE LITTÉRATURE | 5 |
| 1.1 Introduction | 5 |
| 1.2 Circuit logique programmable FPGA | 5 |
| 1.2.1 Bloc de logique configurable (CLB) | 5 |
| 1.2.2 Bloc d'entrées/sorties (IOB) | 6 |
| 1.2.3 Module de contrôle des horloges (CMT) | 7 |
| 1.2.4 Mémoire BRAM | 8 |
| 1.2.5 Les interconnexions programmables | 9 |
| 1.2.6 Distribution d'horloge | 9 |
| 1.3 Clock Gating | 11 |
| 1.4 Circuit de mesure de délais | 11 |
| 1.5 Test des circuits intégrés | 15 |
| 1.5.1 Test fonctionnel | 15 |
| 1.5.2 Test structurel | 15 |
| 1.5.2.1 Modèles de pannes | 15 |
| 1.5.2.2 Tests de retard | 16 |
| 1.5.2.3 Launch On Shift | 17 |
| 1.5.2.4 Launch On Capture | 17 |
| 1.6 Revue de littérature | 18 |
| 1.7 Conclusion | 23 |
| CHAPITRE 2 CONCEPTION ET MÉTHODOLOGIE | 25 |
| 2.1 Introduction | 25 |
| 2.2 Environnement de développement | 25 |
| 2.3 Plaquettes de développement | 26 |
| 2.3.1 Carte ZC702 | 26 |
| 2.3.2 Carte ZEDBOARD | 28 |
| 2.4 Circuit de mesure | 33 |
| 2.4.1 Mode mission | 33 |
| 2.4.1.1 Bloc de machine à états finis FSM | 33 |
| 2.4.1.2 Bloc de délai | 35 |
| 2.4.1.3 Bloc générateur de bruit | 40 |
| 2.4.1.4 Bloc générateur d'horloges | 42 |
| 2.4.1.5 Bloc debounce reset | 43 |
| 2.4.1.6 Bloc debounce | 44 |
| 2.4.1.7 Bloc compteur | 44 |
| 2.4.1.8 ILA (Integrated Logic Analyzer) | 45 |
| 2.4.1.9 VIO (Virtual Input/Output) | 46 |

| | | |
|---------------------------------------|--|-----|
| 2.4.2 | Mode test | 47 |
| 2.4.2.1 | Blocs générateurs de bruit | 48 |
| 2.4.2.2 | Bloc générateur d'horloges | 51 |
| 2.4.2.3 | Bloc de machine à états finis FSM | 52 |
| 2.5 | Gestion de mémoire BRAM | 52 |
| 2.6 | Conclusion | 53 |
| CHAPITRE 3 RÉSULTATS ET ANALYSE | | 55 |
| 3.1 | Introduction | 55 |
| 3.2 | Collection et traitement des données | 55 |
| 3.3 | Mode mission | 58 |
| 3.3.1 | Nombre d'échantillons et début de la deuxième phase à chaque fréquence | 58 |
| 3.3.2 | Carte ZC702 | 59 |
| 3.3.2.1 | Nombre d'éléments de retard de chaque fréquence | 59 |
| 3.3.2.2 | Résultats de mesure en mode mission | 61 |
| 3.3.3 | Carte ZEDBOARD | 63 |
| 3.3.3.1 | Nombre d'éléments de retard de chaque fréquence | 64 |
| 3.3.3.2 | Résultats de mesure en mode mission | 64 |
| 3.3.4 | Analyse comparative des deux cartes | 66 |
| 3.4 | Mode test | 67 |
| 3.4.1 | Résultats et étude de représentativité sur la Carte ZC702 | 71 |
| 3.4.2 | Résultats et étude de représentativité sur la carte ZEDBOARD | 74 |
| 3.4.3 | Analyses comparatives des deux cartes | 76 |
| 3.5 | Conclusion | 80 |
| CONCLUSION ET RECOMMANDATIONS | | 81 |
| ANNEXE I | RÉSULTATS DE MESURE POUR LES RATIOS 1 :1 ET 2 :1 SUR LA CARTE ZC702 | 85 |
| ANNEXE II | ALGORITHME DE RECHERCHE DE MEILLEURE PIC DE LA DEUXIÈME PHASE | 89 |
| BIBLIOGRAPHIE | | 101 |

LISTE DES TABLEAUX

| | Page |
|-------------|--|
| Tableau 1.1 | Comparaison des différentes études sur le délai induit par le bruit sur l'alimentation 23 |
| Tableau 2.1 | Caractéristiques de la carte ZC702 27 |
| Tableau 2.2 | Caractéristiques principales de la carte ZEDBOARD 30 |
| Tableau 2.3 | Signaux du bloc ILA 45 |
| Tableau 2.4 | Signaux de contrôle utilisateur du bloc VIO 47 |
| Tableau 3.1 | Nombre d'échantillons et début de la deuxième phase à chaque fréquence 59 |
| Tableau 3.2 | Le numéro optimal et le nombre correspondant de chaînes de Carry4 à choisir pour chaque fréquence pour ZC702 pour un bloc de bruit contenant 35 000 bascules 60 |
| Tableau 3.3 | Résultats en mode mission pour blocs de bruit contenant 35 000 bascules ; les pics et creux sont exprimés en nombre de blocs carry4 ... 62 |
| Tableau 3.4 | Résultats en mode mission pour blocs de bruit contenant 28 000 bascules ; les pics et creux sont exprimés en nombre de blocs carry4 ... 62 |
| Tableau 3.5 | Résultats en mode mission pour blocs de bruit contenant 14 000 bascules ; les pics et creux sont exprimés en nombre de blocs carry4 ... 63 |
| Tableau 3.6 | Numéro de la chaîne et nombre de blocs Carry4 à choisir pour chaque fréquence pour la carte ZEDBOARD avec un bloc de bruit contenant 14 000 64 |
| Tableau 3.7 | Résultats en mode mission pour bloc de bruit contenant 14 000 bascules pour la carte ZEDBOARD ; les pics et creux sont exprimés en nombre de blocs carry4 65 |
| Tableau 3.8 | Résultats de mesure et représentativité du mode test par rapport au mode mission pour la carte ZC702 ; la valeur des pics est exprimée en nombre de blocs carry4 72 |
| Tableau 3.9 | Résultats de mesure et représentativité du mode test par rapport au mode mission pour la carte ZC702 pour LC à 2T ; la valeur des pics est exprimée en nombre de blocs carry4 74 |

| | |
|--------------|--|
| Tableau 3.10 | Résultats de mesure et représentativité du mode test par rapport au mode mission pour la carte ZEDBOARD ; la valeur des pics est exprimée en nombre de blocs carry4 75 |
| Tableau 3.11 | Résultats de mesure et représentativité du mode test par rapport au mode mission pour la carte ZEDBOARD pour LC à 2T ; la valeur des pics est exprimée en nombre de blocs carry4 76 |
| Tableau 3.12 | Résultats en mode test pour ZC702 en appliquant les cas de configuration les plus représentatifs de ZEDBOARD ; la valeur des pics et de la différence est exprimée en nombre de blocs carry4 78 |
| Tableau 3.13 | Résultats en mode test pour ZEDBOARD en appliquant les cas de configuration les plus représentatifs de ZC702 ; la valeur des pics est exprimée en nombre de blocs carry4 79 |

LISTE DES FIGURES

| | | Page |
|-------------|--|------|
| Figure 1.1 | Arrangement des tranches SLICEM et SLICEL dans un CLB de Zynq 7000 | 6 |
| Figure 1.2 | Schéma bloc du CMT de 7 series FPGA | 7 |
| Figure 1.3 | Les primitives PLL et MMCM | 8 |
| Figure 1.4 | Bloc mémoire RAM | 9 |
| Figure 1.5 | La relation entre la primitive BUFGCTRL et BUFG | 10 |
| Figure 1.6 | La primitive BUFGCE | 10 |
| Figure 1.7 | Principe de chaine de délai basé sur TDC pour mesurer la propagation du signal d'horloge | 12 |
| Figure 1.8 | Ligne de délai TDL | 13 |
| Figure 1.9 | Diagramme temporel de la ligne de délai TDL | 13 |
| Figure 1.10 | Architecture interne d'un bloc de Carry4 | 14 |
| Figure 1.11 | Chronogramme des techniques LS et LC | 17 |
| Figure 1.12 | Bloc de générateur de bruit | 19 |
| Figure 1.13 | Blocs de bruit Noise_1 et Noise_1 | 20 |
| Figure 1.14 | Ligne de délai basé sur des buffers proposé | 21 |
| Figure 1.15 | Ligne de délai basé sur des Carry4 | 21 |
| Figure 2.1 | Allure physique de ZC702 | 26 |
| Figure 2.2 | Diagramme bloc de la carte ZC702 | 28 |
| Figure 2.3 | Allure physique de ZEDBOARD | 29 |
| Figure 2.4 | Diagramme bloc de ZEDBOARD | 31 |
| Figure 2.5 | L'horloge d'entrée dans le design du circuit de mesure pour la carte ZC702 | 32 |

| | | |
|-------------|---|----|
| Figure 2.6 | L'horloge d'entrée dans le design du circuit de mesure pour la carte ZEDBOARD | 32 |
| Figure 2.7 | Circuit de mesure pour le mode mission pour la carte ZC702 | 33 |
| Figure 2.8 | Bloc FSM en mode mission | 34 |
| Figure 2.9 | Diagramme temporel du bloc FSM en mode mission | 34 |
| Figure 2.10 | Diagramme éclaté du bloc de délai | 35 |
| Figure 2.11 | Bloc de la ligne de délai | 37 |
| Figure 2.12 | Registre dans le bloc de la ligne de délai | 37 |
| Figure 2.13 | Multiplexeur 16 :1 dans la ligne de délai | 38 |
| Figure 2.14 | Diagramme temporel d'une sous chaîne de Carry4 de la ligne de délai .. | 38 |
| Figure 2.15 | Principe de chevauchement | 39 |
| Figure 2.16 | Diagramme éclaté du générateur de bruit pour la configuration 14 000 bascules | 41 |
| Figure 2.17 | Diagramme temporel du bloc générateur de bruit | 42 |
| Figure 2.18 | Diagramme éclaté du bloc générateur d'horloges en mode mission | 43 |
| Figure 2.19 | Diagramme éclaté du bloc debounce_reset | 44 |
| Figure 2.20 | Bloc compteur | 45 |
| Figure 2.21 | Bloc ILA | 46 |
| Figure 2.22 | Bloc VIO | 47 |
| Figure 2.23 | Circuit de mesure pour le mode test | 48 |
| Figure 2.24 | Chronogramme de fonctionnement du mode test | 49 |
| Figure 2.25 | Diagramme éclaté du premier bloc générateur de bruit | 50 |
| Figure 2.26 | Deuxième bloc générateur de bruit | 50 |
| Figure 2.27 | Diagramme éclaté du bloc générateur d'horloges en mode test | 51 |
| Figure 2.28 | Bloc de la machine à états finis | 52 |

| | | |
|------------|---|----|
| Figure 3.1 | Graphe AMN pour 200MHz en mode mission de la carte ZC702 pour un bloc de bruit contenant 14 000 bascules | 61 |
| Figure 3.2 | Graphe AMN pour 200MHz en mode mission de la carte ZEDBOARD pour un bloc de bruit contenant 14 000 bascules | 65 |
| Figure 3.3 | Graphe AMN pour 180MHz en mode mission des cartes ZC702 et ZEDBOARD | 67 |
| Figure 3.4 | Chronogramme de fonctionnement du mode test | 68 |
| Figure 3.5 | Forme d'onde captée par l'ILA du mode test pour la carte ZEDBOARD à 100 MHz | 70 |
| Figure 3.6 | Graphe AMN pour 200 MHz en mode test pour ZC702, correspondant au cas le plus représentatif | 73 |
| Figure 3.7 | Graphe AMN pour 140 MHz en mode test pour ZEDBOARD, correspondant au cas le plus représentatif | 75 |
| Figure 3.8 | Graphe AMN pour 200 MHz en mode test pour ZC702, en appliquant les cas de configuration les plus représentatifs de ZEDBOARD | 78 |
| Figure 3.9 | Graphe AMN pour 180 MHz en mode test pour ZEDBOARD, en appliquant les cas de configuration les plus représentative de ZC702 | 80 |

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

| | |
|-------|---|
| FPGA | Field Programmable Gate Array |
| LC | Launch On Capture |
| LS | Launch On Shift |
| OCAS | One Clock Alternated Shift |
| SBAST | Scan Based at-Speed Testing |
| PSN | Power Supply Noise |
| PDN | Power Delivery Network |
| BRAM | Block Random Access Memory |
| RAM | Random Access Memory |
| VIO | Virtual Input/Output |
| ILA | Integrated Logic Analyzer |
| XADC | Xilinx Analog-to-Digital Converter |
| SoC | System on Chip |
| QSPI | Quad Serial Peripheral Interface |
| JTAG | Joint Test Action Group |
| Pmod | Peripheral Module |
| USB | Universal Serial Bus |
| UART | Universal Asynchronous Receiver Transmitter |
| E/S | Entrée/Sortie |
| PL | Programmable Logic |
| LED | Light Emitting Diode |
| OTG | On-The-Go |
| SD | Secure Digital |
| GPIO | General-Purpose Input/Output |
| ADC | Analog-to-Digital Converter |

| | |
|----------|---------------------------------------|
| MSPS | Mega Samples Per Second |
| TDL | Tapped Delay Line |
| TDC | Time-to-Digital Converter |
| HDL | Hardware Description Language |
| PVT | Process, Voltage, Temperature |
| BUFGCTRL | Global Clock Buffer Control |
| BUFGMUX | Global Clock Buffer Multiplexer |
| BUFG | Global Clock Buffer |
| BUFGCE | Global Clock Buffer with Clock Enable |
| CE | Clock Enable |
| IOB | Input/Output Block |
| CMT | Clock Management Tile |
| CLB | Configurable Logic Block |
| PLL | Phase-Locked Loop |
| MMCM | Mixed-Mode Clock Manager |

LISTE DES SYMBOLES ET UNITÉS DE MESURE

| | |
|-----|-------------|
| MHz | Mégahertz |
| ns | Nanoseconde |
| ps | Picoseconde |

INTRODUCTION

Dans la conception des circuits intégrés, la consommation d'énergie constitue une préoccupation majeure, principalement en raison de la consommation dynamique induite par l'horloge. Le conditionnement de l'horloge (*Clock Gating*) est une technique largement adoptée dans les FPGA et ASIC pour atténuer cette consommation en désactivant l'horloge des blocs inactifs dans un circuit électronique. L'application de cette technique repose sur l'utilisation d'éléments de contrôle d'horloge spécifiques, notamment le BUFGCE, un composant clé de la série 7 des FPGA Xilinx (Xilinx, 2018). Cependant, l'activité de commutation contrôlée par le *Clock Gating* génère du bruit d'alimentation (*Power Supply Noise*, PSN), entraînant des fluctuations transitoires de tension dans le réseau de distribution d'alimentation (*Power Delivery Network*, PDN). Ces variations influencent directement les délais de propagation des signaux et peuvent compromettre le respect des contraintes de synchronisation dans un circuit et mener à des erreurs.

Il existe plusieurs tests de production développés afin de vérifier le comportement des puces électroniques, notamment au niveau de la synchronisation. L'un des tests auquel on s'intéresse dans ce projet est le test de panne de type délai, qui cible spécifiquement les erreurs de synchronisation.

D'autre part, il est essentiel de s'assurer que le comportement du circuit en mode test reflète fidèlement son fonctionnement en mode mission. Les tests sont donc réalisés afin de s'assurer que le circuit peut fonctionner à la fréquence désirée et d'identifier d'éventuels dysfonctionnements. Toutefois, le mode test peut lui-même induire des erreurs dans les résultats recueillis, remettant ainsi en question sa fiabilité pour évaluer le comportement réel du circuit. Plusieurs études suggèrent que le mode test pourrait ne pas être totalement représentatif du mode mission (Nadeau-Dostie, Takeshita & Cote, 2008). Des facteurs peuvent influencer les mesures de délai, notamment la gestion de l'alimentation électrique. Le *Clock Gating*, bien qu'efficace pour réduire

la consommation dynamique, peut introduire des variations de tension qui affectent directement les délais du circuit, ce qui a un impact direct sur la capacité d'un circuit à rouler à une fréquence donnée. Ces fluctuations de l'alimentation, souvent négligées, peuvent perturber ces délais en mode test et conduire à une mauvaise estimation des performances réelles en mode mission.

Le but de ce projet est d'étudier l'impact du *Clock Gating* sur les délais de propagation sur une large plage de fréquences (55 MHz à 200 MHz), sur deux modèles de cartes FPGA, à savoir la ZC702 et la ZEDBOARD. Un aspect clé de cette étude est d'évaluer la représentativité du mode test par rapport au mode mission en présence de *Clock Gating*, en mettant en évidence les différences de comportement des deux cartes face aux variations de l'impédance du réseau de distribution d'alimentation.

Parmi les contributions majeures de cette étude figure la conception d'une ligne de délai optimisée permettant une mesure précise des délais sur une large plage de fréquences, tout en gardant un routage fixe à chaque expérimentation. Le *Clock Gating* a également été analysé en mode test afin d'évaluer la représentativité du mode test par rapport au mode mission en termes de délai. Finalement, une comparaison entre les cartes FPGA ZC702 et ZEDBOARD a été menée afin d'analyser leur réponse aux variations transitoires de tension dans le réseau d'alimentation.

Le mémoire est constitué des trois chapitres.

Le **chapitre 1** présente les notions de base essentielles à la compréhension de ce mémoire et propose une revue de littérature comparant les travaux existants à cette étude.

Le **chapitre 2** présente l'architecture proposée pour les modes mission et test afin d'observer l'impact du *Clock Gating* sur le délai sur les deux modèles de cartes FPGA choisis.

Le **chapitre 3** présente les résultats et analyses des délais sur les deux cartes FPGA, ainsi qu'une étude de la représentativité du mode test par rapport au mode mission.

Une conclusion générale et recommandations sont présentées à la fin du mémoire.

CHAPITRE 1

NOTIONS DE BASE ET REVUE DE LITTÉRATURE

1.1 Introduction

Ce chapitre vise à couvrir les notions de base ainsi que l'état de l'art des travaux de recherche relatifs à notre sujet. Dans un premier temps, le circuit logique programmable FPGA et ses principales composantes sont introduits. Ensuite, les principes de la technique de conditionnement de l'horloge (*Clock Gating*) sont expliqués, suivis d'une description des circuits existants permettant la mesure des délais. Les concepts clés des différents types de tests des circuits intégrés sont définis. Enfin, la dernière section sera consacrée à une revue de littérature présentant une analyse comparative des travaux antérieurs, notamment sur la présence ou non du mode test, l'application du *Clock Gating*, les sources de bruit sur l'alimentation, les lignes de délai et les circuits de mesure.

1.2 Circuit logique programmable FPGA

Un circuit FPGA (*Field Programmable Gate Array*) est principalement constitué de cellules logiques CLB, de cellules d'entrée/sortie IOB et de réseaux d'interconnexions programmables pouvant être contrôlés afin de réaliser des fonctions logiques. Les ressources et leur disposition varient d'un type de circuit à logique programmable à un autre. Les circuits FPGA utilisés dans ce projet font partie de la famille Zynq 7000 de la compagnie AMD (autrefois Xilinx). L'architecture globale de cette famille inclut les éléments fondamentaux présentés dans les cinq sous-sections suivantes.

1.2.1 Bloc de logique configurable (CLB)

Chaque CLB (*Configurable Logic Block*) comprend deux tranches (*slices*) : soit deux SLICEL, soit un SLICEM (M = mémoire) et un SLICEL (L = logique). Les tranches sont principalement utilisées pour implémenter des fonctions logiques et arithmétiques. La tranche de type SLICEM

permet d'implémenter deux fonctionnalités supplémentaires : le stockage des données avec la mémoire RAM distribuée et le décalage des données à l'aide de registres de décalage de 32 bits. La figure 1.1 présente l'arrangement des tranches SLICEM (*Slice0*) et SLICEL (*Slice1*) dans un CLB.

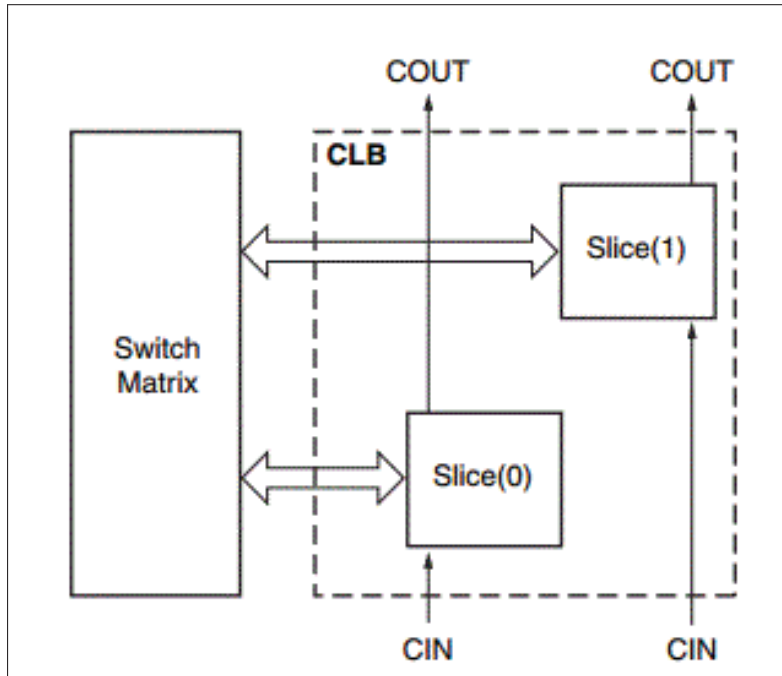


Figure 1.1 Arrangement des tranches SLICEM et SLICEL dans un CLB de Zynq 7000
Tirée de Xilinx (2016)

Chaque tranche contient quatre tables de conversion (LUT , *Look-Up Tables*), huit registres de 1 bit, des multiplexeurs, et des circuits logiques dédiés pour la propagation de la retenue arithmétique (*Carry*).

1.2.2 Bloc d'entrées/sorties (IOB)

Un IOB (*Input/Output Bank*) est un bloc d'entrées/sorties permettant de gérer le flux de données entre la logique interne du FPGA et les broches d'entrée/sortie externes. Les IOB sont connectés à des signaux d'alimentation indépendants et chaque broche d'entrées/sorties peut être configurée

pour fonctionner en mode unidirectionnel ou bidirectionnel. Plusieurs standards d'entrées/sorties sont disponibles.

1.2.3 Module de contrôle des horloges (CMT)

Le module de contrôle des horloges (CMT, *Clock Management Tiles*) est essentiel pour générer et gérer les signaux d'horloge dans un circuit FPGA. Chaque CMT comprend deux éléments : le *Mixed-Mode Clock Manager* (MMCM), qui assure la synthèse, la multiplication et la division des signaux d'horloge, permettant d'ajuster la fréquence d'entrée à celle requise pour les composants internes du circuit FPGA, et le *Phase-Locked Loop* (PLL), responsable de la synchronisation des horloges permettant de verrouiller l'horloge de sortie sur l'horloge de référence, garantissant la synchronisation des opérations internes du circuit FPGA avec les dispositifs externes, particulièrement utile dans les systèmes avec plusieurs domaines d'horloge. Le schéma bloc du CMT ainsi que les primitives PLL et MMCM sont présentées dans les figures 1.2 et 1.3 respectivement.

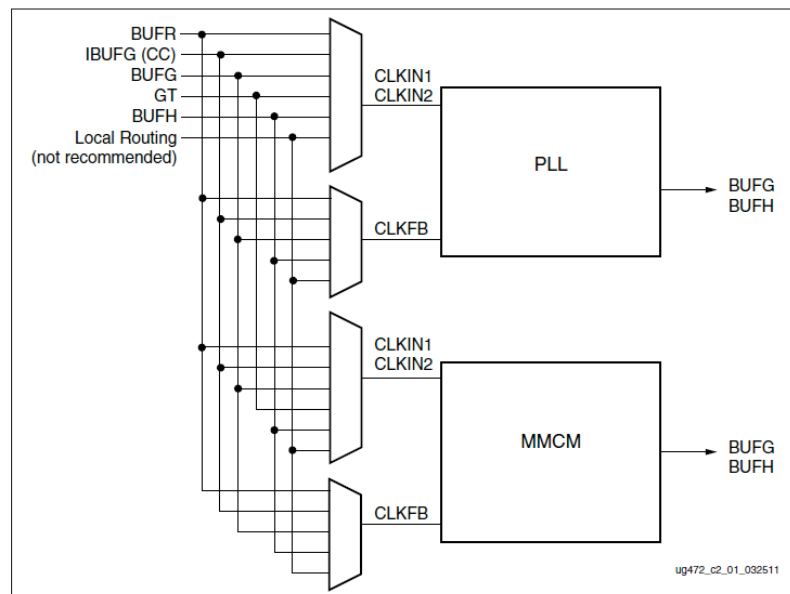


Figure 1.2 Schéma bloc du CMT de 7 series FPGA
Tirée de Xilinx (2018, p.66)

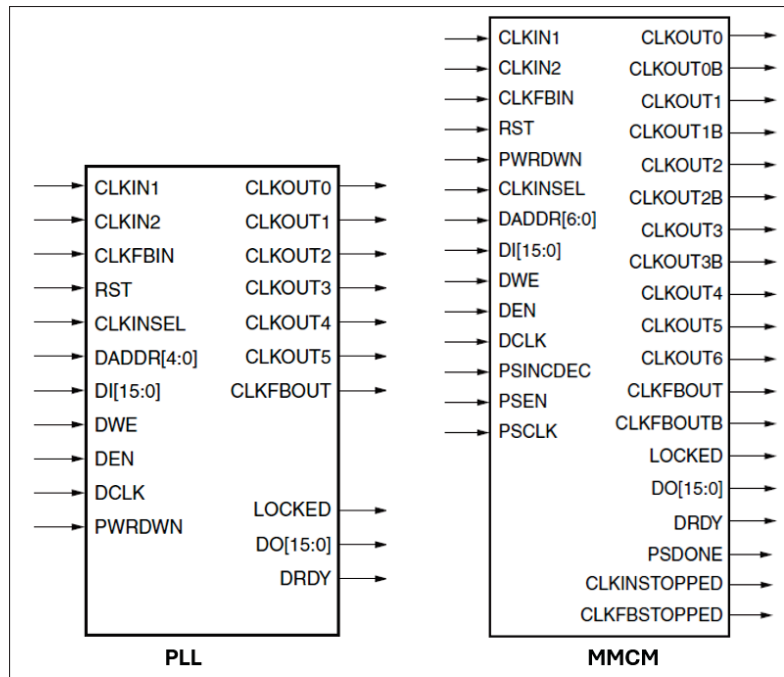


Figure 1.3 Les primitives PLL et MMCM
Tirée de Xilinx (2018, p.69-70)

1.2.4 Mémoire BRAM

Les block RAM (*Block Random Access Memory*, BRAM) sont des mémoires vives intégrées dans les FPGAs, utilisées pour le stockage temporaire de données. Elles disposent de capacités variables en fonction du modèle de FPGA. Comme le montre la figure 1.4, elles existent en différentes tailles, telles que 4, 8, 16 ou 32 kb (kilobits), et peuvent être configurées en termes de largeur et de profondeur en fonction des besoins de l'application. Plus de détails sur les types BRAM sont fournis dans le chapitre 2.

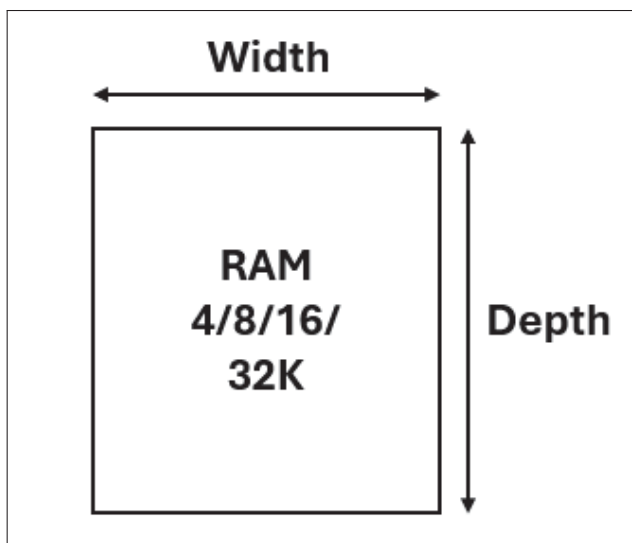


Figure 1.4 Bloc mémoire RAM
Tirée de Nandland

1.2.5 Les interconnexions programmables

Les interconnexions programmables forment un réseau de routage des signaux reliant les composants fonctionnels tels que les CLB, IOB, tranches DSP et blocs de mémoire RAM à travers des matrices de commutation. Ce réseau se déploie à la fois verticalement et horizontalement.

1.2.6 Distribution d'horloge

Le BUFGCTRL est la primitive à partir de laquelle sont générées toutes les autres primitives de amplificateurs de signaux (*buffers*). Dans notre conception, la première dérivée de cette primitive est le BUFG, qui est un amplificateur d'horloge global simple avec une entrée et une sortie. En reliant les broches inutilisées du BUFGCTRL à la tension d'alimentation (VDD) ou à la masse (GND), on peut former un BUFG. La Figure 1.5 illustre la relation entre BUFG et BUFGCTRL.

La primitive BUFCE est aussi dérivée du BUFGCTRL. Elle est utilisée dans notre conception pour émuler l'effet du *Clock Gating* qui permet de ne pas distribuer le signal d'horloge aux parties de design qui ne sont pas utilisées évitant ainsi une consommation d'énergie inutile. Comme illustré à la Figure 1.6, le BUFGCE possède trois broches : l'horloge d'entrée, l'horloge

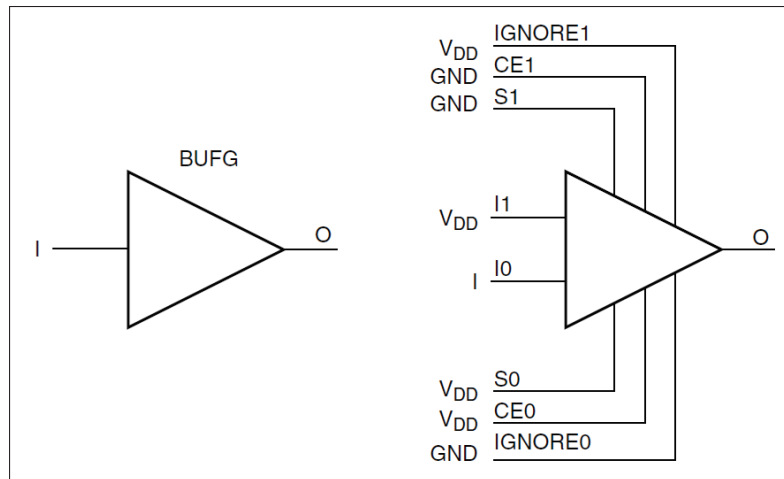


Figure 1.5 La relation entre la primitive
BUFGCTRL et BUFG
Tirée de Xilinx (2018, p.41)

de sortie, et l'activation de l'horloge (*Clock Enable*- CE). Lorsque CE est à zéro, la sortie du BUFGCE est également zéro, ce qui signifie que l'horloge est désactivée. Lorsque CE passe à un, l'horloge est activée. Nous utilisons deux BUFGCE pour contrôler un générateur de bruit dans la conception. En activant ou désactivant ces BUFGCE, nous pouvons générer du bruit uniquement lorsque nécessaire. Cela met en avant l'efficacité du BUFGCE dans la gestion de la consommation énergétique grâce à la fonctionnalité du *Clock Gating*.

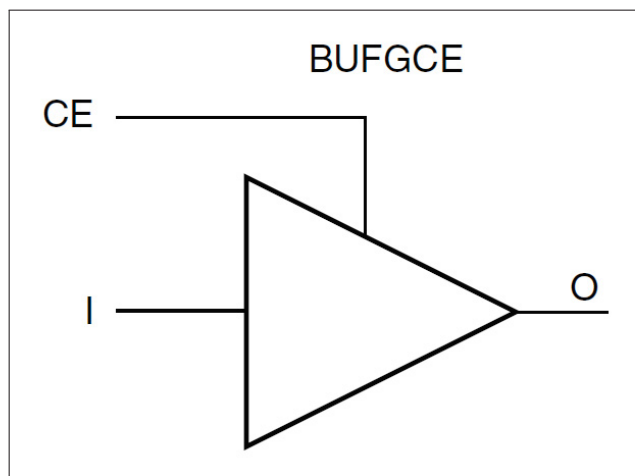


Figure 1.6 La primitive BUFGCE
Tirée de Xilinx (2018, p.42)

1.3 Clock Gating

Le *Clock Gating* est une technique de réduction de la consommation d'énergie dynamique dans les circuits FPGA et ASIC, qui consiste à désactiver les signaux d'horloge dans les parties inactives (Pedram & Rabaey, 2002). Le *Clock Gating* peut être utilisé globalement, à l'aide de primitives telle le BUFGCE (Oliver, Curto, Bouvier, Ramos & Boemo, 2012), ou encore localement sur les bascules, en tirant profit du contrôle local du signal d'horloge (*Clock Enable*, CE) (Xilinx, 2012).

Le *Clock Gating* présente également l'inconvénient de générer du bruit sur la tension VDD, ce qui peut perturber les autres parties actives du circuit et affecter les délais dans le circuit logique. L'objectif principal de ce mémoire est d'évaluer l'impact de cette technique sur les délais. Même si le montage expérimental utilisé permet l'application globale et locale du *Clock Gating*, les résultats antérieurs (Honarmand, 2021) ont confirmé que c'est l'application globale qui permet d'injecter le plus de bruit. C'est la raison pour laquelle les résultats présentés dans ce mémoire se concentre sur ce type d'application, en utilisant la primitive BUFGCE pour contrôler des générateur de bruit.

1.4 Circuit de mesure de délais

Il est important de choisir le circuit de mesure le plus adéquat pour notre cas d'étude. Pour commencer, il existe une variété de plateformes utilisant différentes techniques de mesure de délai, notamment les oscillateurs en anneau (Wong, Sedcole & Cheung, 2008), la mesure de délai par conversion temps-tension, et la mesure basée sur la largeur d'impulsion, utilisée par Honarmand (2021) et Thibeault & Larche (2012). La plateforme développée par Larche (2013) sert à mesurer le délai en état stable afin d'étudier l'impact des produits d'intermodulation causés par deux domaines d'horloge différents. Cette plateforme a été réutilisée par Honarmand (2021) pour mesurer la marge de délai, comme expliqué dans la section suivante. Dans leur étude, Gnad, Oboril, Kiammehr & Tahoori (2018) ont opté pour l'utilisation de convertisseurs temps-numérique (*Time-to-Digital Converter*, TDC) comme capteurs pour mesurer les variations

de délai causées par les fluctuations transitoires de tension dans les FPGAs, comme présenté à la figure 1.7. Le circuit de mesure de délai est constitué d'un réseau de distribution d'horloge connecté en parallèle à une ligne de délai basé sur des bascules et une chaîne de buffers utilisés comme éléments de délai. Dans les études de Gnad *et al.* (2018), les oscillateurs en anneau ont été employés pour caractériser les variations des processus, tension et température (PVT) dans un état stable, dont un taux d'échantillonnage de seulement 8 MHz a été atteint dans une technologie où le circuit fonctionne jusqu'à 600 MHz, ce qui rend les oscillateurs en anneau trop lents pour détecter les variations rapides. Par conséquent, les TDCs sont utilisés puisqu'ils permettent une mesure à plus haute résolution des événements temporels dans les FPGAs. Ils ont également été adaptés aux systèmes ASIC pour évaluer les délais liés aux variations PVT.

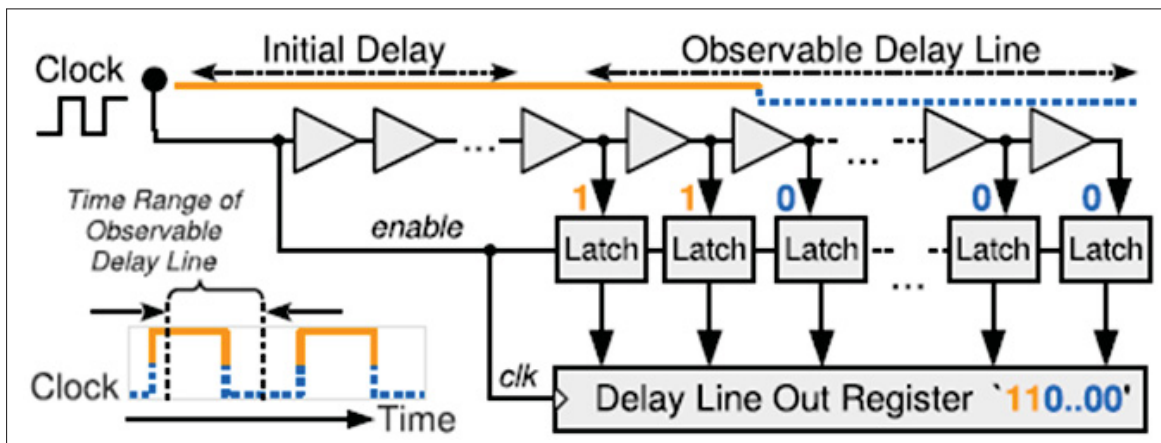


Figure 1.7 Principe de chaîne de délai basé sur TDC pour mesurer la propagation du signal d'horloge
Tirée de Gnad et al. (2018, p.3)

Le convertisseur TDC (Soni, Patel, Panda & Sarbadhikari, 2017) est parmi les méthodes les plus répandues pour la conception d'une ligne de délai. Ce circuit permet de convertir un intervalle de temps en une valeur numérique, facilitant ainsi la gestion des délais dans les FPGA. Également appelé *Tapped Delay Line* (TDL), le TDC est constitué d'éléments de délai, notamment des buffers (Avilala *et al.*, 2021). Les figures 1.8 et 1.9 illustrent le principe de fonctionnement ainsi que le diagramme temporel du TDL.

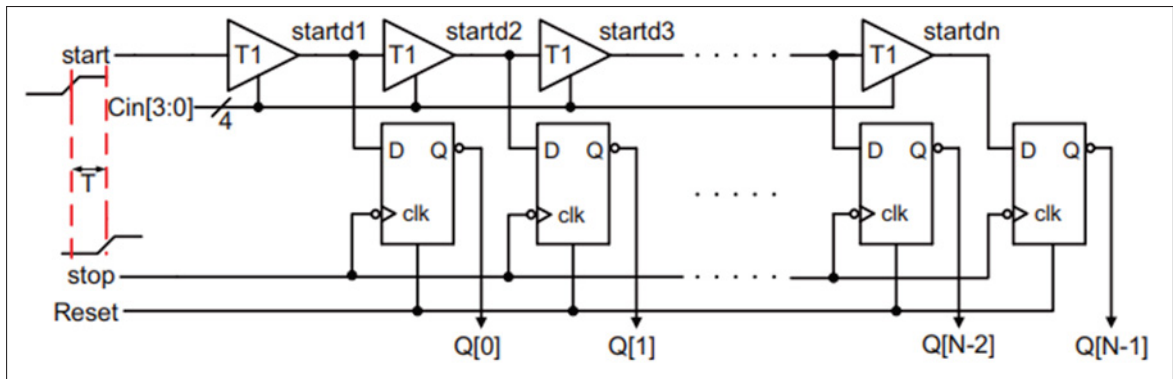


Figure 1.8 Ligne de délai TDL
Tirée de Avilala et al. (2021, p.2)

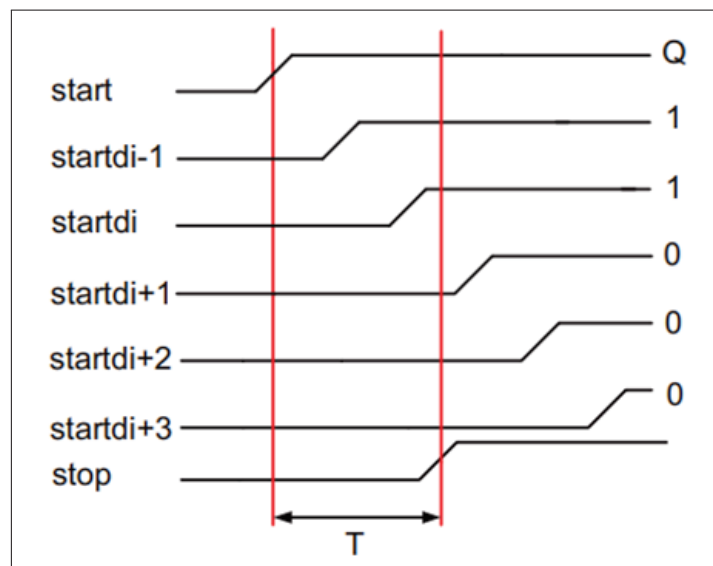


Figure 1.9 Diagramme temporel de la
ligne de délai TDL
Tirée de Avilala et al. (2021, p.2)

Le signal de départ (*Start*) est appliqué à l'entrée de la ligne de délai et se propage le long de celle-ci. La sortie de chaque étage sert d'entrée de données pour la bascule suivante. Le signal d'arrêt (*Stop*) est envoyé à l'entrée d'horloge des bascules. Lorsque le signal d'arrêt arrive, l'état actuel de la ligne de délai est capturé simultanément par toutes les bascules. Le signal d'entrée de la ligne de délai est échantillonné par les bascules. Comme illustré à la figure 1.9, la sortie de

chaque bascule indique '1' si le signal de départ atteint le front montant du signal d'arrêt, sinon elle indique '0'. Cependant, l'inconvénient de l'utilisation des buffers comme élément de délai réside dans la résolution relativement faible.

Dans ce contexte, les blocs Carry4 peuvent être implémentés comme éléments de délai dans un TDC. Chaque bloc Carry4 est constitué de 4 multiplexeurs MUXCY et 4 ports logiques XOR comme le montre la figure 1.10. Les principaux avantages de l'utilisation de ce bloc est la meilleure résolution (Zhang, Wang & Liu, 2020) dont il n'ajoute aucun délai supplémentaire sur le net.

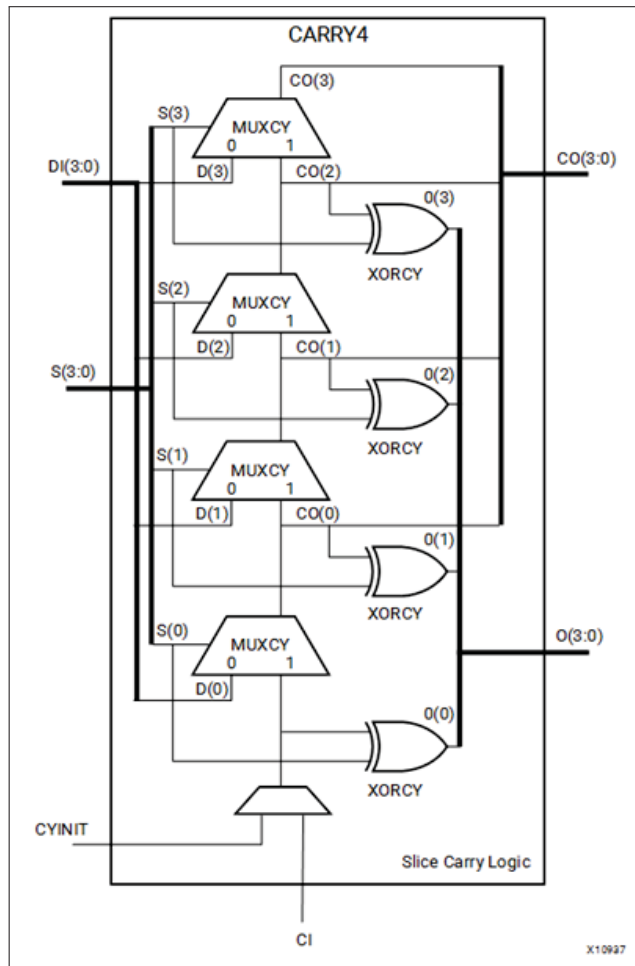


Figure 1.10 Architecture interne
d'un bloc de Carry4
Tirée de Xilinx (2024)

Dans notre étude, on s'intéresse à l'utilisation d'une plateforme intégrant un TDC basé sur des blocs Carry4, afin de mesurer l'impact du bruit sur les délais pendant les phases transitoires, soit en mode mission et en mode test. Comme décrit plus loin, l'objectif est d'améliorer la portion de la plateforme développée par Honarmand (2021) qui est basée sur un TDC.

1.5 Test des circuits intégrés

Cette section présente les concepts du test des circuits intégrés pertinents au projet. Les deux principaux types de test, fonctionnel et structurel, sont décrits dans les sous sections suivantes.

1.5.1 Test fonctionnel

Le premier type de tests, le test fonctionnel, sert à vérifier si la puce fonctionne correctement et si elle peut opérer à la fréquence nominale. Pour ce faire, des vecteurs de test (séquences de bits) sont affectés aux entrées de la puce, et les sorties sont comparées aux résultats attendus. Si les sorties ne correspondent pas aux valeurs prévues, la puce est déclarée défectueuse.

1.5.2 Test structurel

Le test structurel se concentre plutôt sur la vérification de la structure interne de la puce via l'application de modèles de pannes. La plupart des stratégies du test structurel se basent sur l'insertion de chaînes de balayage (*scan* registres) pour assurer la connexion de registres internes pendant le test. En effet, des broches d'entrée/sortie supplémentaires sont ajoutées à ces registres pour les accéder et les contrôler, ce qui facilite également la génération automatisée de vecteurs de test.

1.5.2.1 Modèles de pannes

Il existe trois principaux types de pannes utilisés par le test structurel : le collé-à, le court-circuit et le retard (Bushnell & Agrawal, 2000). Le collé-à (*stuck-at fault*) est un modèle de panne dans

lequel les nœuds reliant les portes logiques sont bloqués à une valeur logique constante, soit 0 (SA0) lié à la masse, soit 1 (SA1) lié à l'alimentation VDD.

La panne de court-circuit (*bridging fault*) est utilisée pour modéliser par exemple une connexion involontaire se formant entre deux fils transportant un signal. Ce type de panne est généralement modélisé par des opérations logiques ET ou OU sur les valeurs des fils court-circuités (Wang, Wu & Wen, 2006).

Les modèles de panne de retard (*delay fault*) décrivent les défauts ou les variations du procédé de fabrication qui affectent la synchronisation des données, lorsque celles-ci ne sont pas échantillonnées par l'horloge au moment approprié, perturbant ainsi le bon fonctionnement du circuit. En d'autres termes, ces erreurs sont causées par des retards dans la propagation des signaux. Les deux principaux modèles de pannes de retard sont : les pannes de type transition, affectant la rapidité des transitions de manière localisée au niveau des portes logiques (*transient delay fault model*), ainsi que les pannes de type retard de chemin (*path delay fault model*), qui représentent le retard accumulé le long d'un chemin de signal. La différence entre ces deux modèles de panne de retard apparaît lors de la génération des vecteurs de test. Étant donné sa nature, ce projet ne fait pas intervenir de génération de vecteurs. Cela étant dit, les variations de délais induits par le *Clock Gating* s'apparente davantage aux pannes de type retard de chemin.

1.5.2.2 Tests de retard

La détection d'une panne de type retard implique le lancement d'au moins une transition dans la logique sous test. Indépendamment du modèle de panne, les tests de retard (*delay tests*) peuvent être appliqués selon deux techniques principales : le lancement sur capture (*Launch on Capture*, LC) également appelé «*Broadside*» ou «*Double Capture*» (Savir & Patil, 1994), et le lancement sur décalage (*Launch on Shift*, LS), également appelé «*Skewed Load* » (Savir & Patil, 1993). La figure 1.11 décrit le chronogramme de fonctionnement des techniques LC et LS.

1.5.2.3 Launch On Shift

La technique LS implique que la transition est lancée par la dernière impulsion de décalage (*Shift*), suivie d'une capture rapide à vitesse élevée (i.e. la fréquence nominale de l'horloge) pour capturer la réponse du circuit. Cette technique implique le chargement d'un vecteur (*Shift in*), qui peut être effectué à une fréquence réduite, suivi du lancement (*Launch*) d'une transition et de la capture des données résultantes, qui doivent être effectués à fréquence nominale. Cette technique exige que le signal de validation du balayage (*Scan enable*, SEN), qui est activé pendant le mode de changement/lancement, soit désactivé rapidement avant la prochaine impulsion de l'horloge permettant la capture des données. Cette exigence complexifie la conception des circuits.

1.5.2.4 Launch On Capture

Le LC est la technique de test la plus utilisée dans les circuits intégrés de type ASIC. Elle consiste à charger le premier vecteur de n bits dans le circuit à l'aide de bascules de balayage à une vitesse lente (*Shift in*), en activant encore ici le signal SEN. Une fois le vecteur chargé, le signal SEN est désactivé, ensuite une impulsion d'horloge est appliquée pour créer la transition (*Launch*), suivie d'une deuxième impulsion pour capturer la réponse du circuit (*Capture*). Le Launch on Capture nécessite plus de vecteurs de test et possède une couverture de panne plus faible que le *Launch-on-Shift* (Park & McCluskey, 2008). Cependant, la synchronisation moins exigeante du signal SEN la rend plus conviviale.

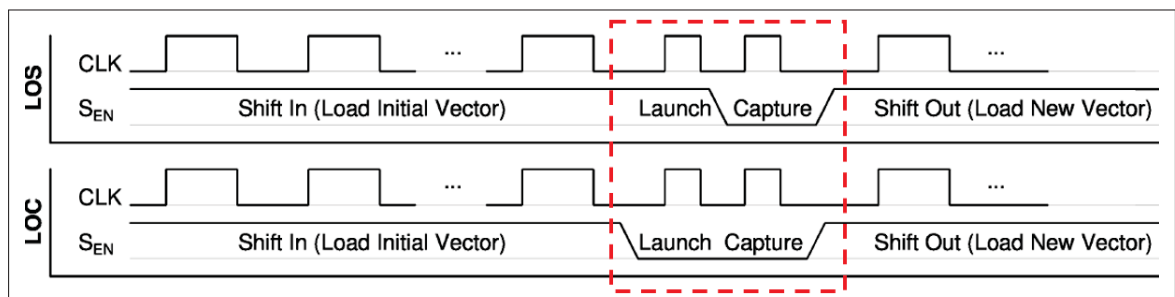


Figure 1.11 Chronogramme des techniques LS et LC
Tirée de Hasib et al. (2018, p.1)

Dans le cadre de ce projet, on s'intéresse particulièrement à la détection des pannes de type retard, utilisant la technique de Lancement sur capture.

1.6 Revue de littérature

Cette section présente les travaux les plus pertinents de la littérature portant sur l'effet du bruit induit par le *Clock Gating* sur les délais et sur la représentativité du mode test versus le mode fonctionnel. Ces travaux seront discutés sur la base des aspects suivants : la présence ou non du *Clock Gating*, les sources injectant du bruit sur l'alimentation, les fréquences utilisées, la présence ou non du mode test, la ligne de délai, et les circuits de mesure des délais induits. Dans ce contexte, le tableau 1.1 présente une comparaison des différentes contributions des travaux de recherche antérieurs avec cette étude.

Dans le contexte des sources de bruit sur l'alimentation, Thibeault & Larche (2012) proposent un bloc de bruit constituée de trois registres de décalage. Chaque registre contient 1200 bascules, avec une première bascule de type *Toggle*. Le bloc de bruit fonctionne avec différentes fréquences, ce qui favorise la création des produits d'intermodulation (PIM). Les PIM se produisent dans les systèmes non linéaires lorsque deux signaux de fréquences différentes interagissent, générant ainsi des fréquences supplémentaires indésirables (Thibeault & Gagnon, 2018). Par conséquent, des modifications au niveau du design du bloc ont été apportées. En fait, la structure initiale du générateur de bruit utilisé dans ce projet est celle de (Honarmand, 2021) qui consiste à utiliser une ligne de bascules de type *Toggle* comme utilisé dans (Gnad *et al.*, 2018) afin d'avoir un meilleur contrôle de l'activité de commutation. Dans le design proposé par Honarmand (2021), le bloc générateur de bruit est composé de deux portes ET, deux primitives BUFGCE, et deux blocs de bruit : *Noise_1* et *Noise_2*, comme illustré aux figures 1.12 et 1.13. Chaque bloc de bruit contient 5 lignes de 3000 bascules, soit un total de 15 000 bascules par bloc de bruit, ce qui représente 30 000 bascules dans l'ensemble du générateur de bruit. Le *clk_noise1* est le signal d'horloge des 15 000 bascules du bloc *Noise_1*, et *clk_noise2* est l'horloge du bloc *Noise_2*, réciproquement. Les signaux de contrôle d'horloge (CE) sont *Ce_1* pour *Noise_1* et *Ce_2* pour *Noise_2*.

Dans notre design, en mode mission, trois différentes tailles de bloc de bruit ont été déployés pour observer l'impact du variation de nombre des bascules sur les délais et pour mieux comprendre l'effet d'activité de commutation, En fait, on a utilisé un total de 35 000 bascules dans un générateur de bruit, dont chacun des deux blocs de bruit est constitué de 10 lignes de 3500 bascules ce qui présente l'utilisation de 35% d'un total de 106 400 bascules disponibles dans l'FPGA (Xilinx, 2023). Ensuite, on a utilisé un total de 28 000 bascules dans un générateur de bruit, dont chacun des deux blocs de bruit est constitué de 4 lignes de 3500 bascules, ce qui présente l'utilisation de 28% du total des bascules disponibles et finalement on a utilisé 14 000 bascules dont chacun des deux blocs de bruit est constitué de 2 lignes de 3500 bascules ce qui présente l'utilisation de 14% du total des bascules disponibles.

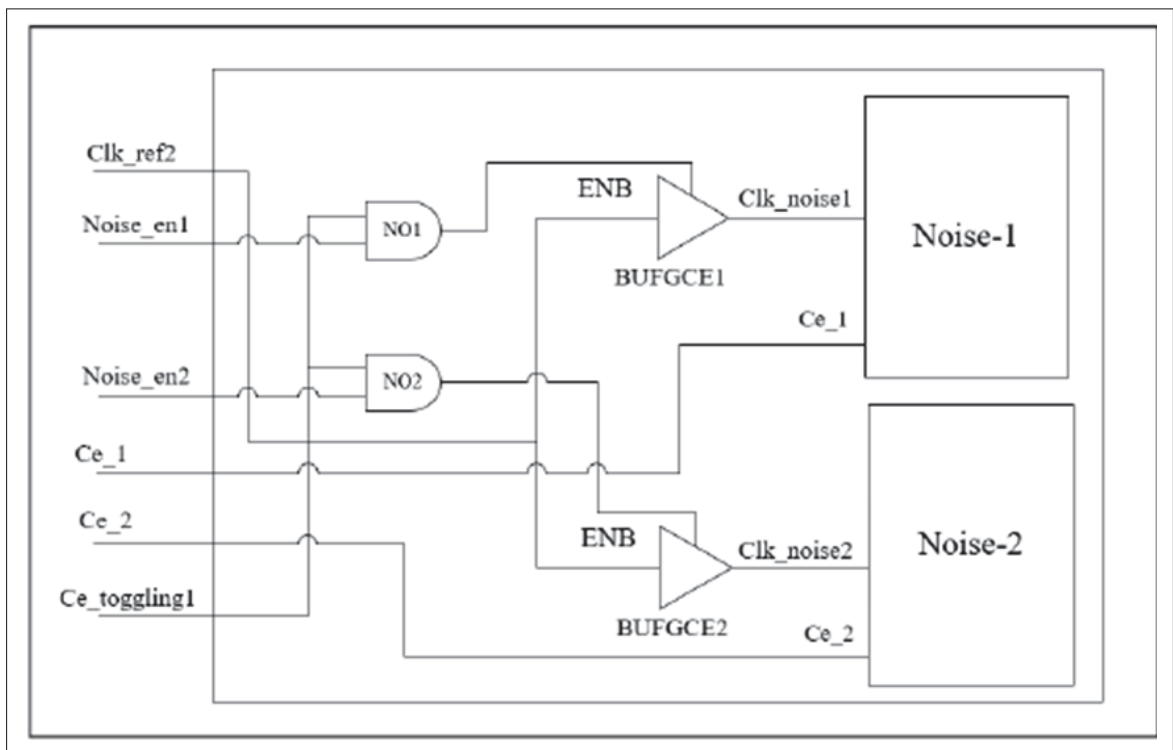


Figure 1.12 Bloc de générateur de bruit
Tirée de Honarmand (2021, p.43)

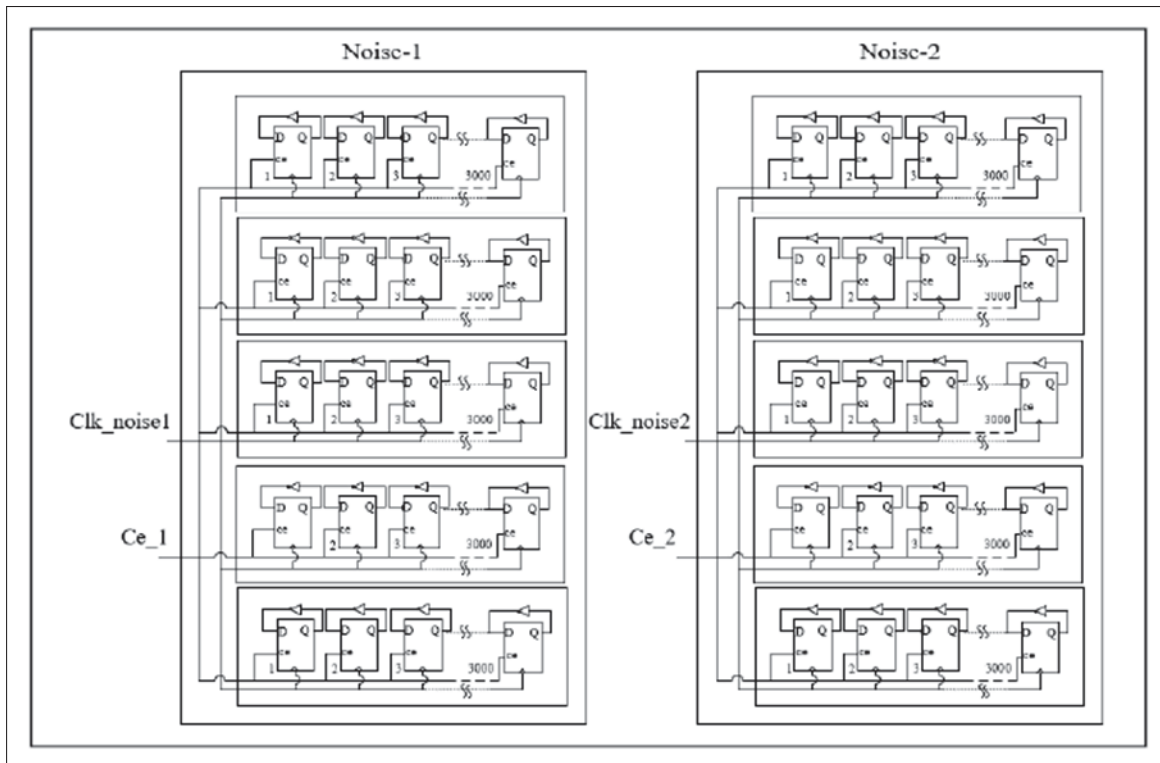


Figure 1.13 Blocs de bruit Noise_1 et Noise_1
Tirée de Honarmand (2021, p.44)

Dans le design proposé par (Honarmand, 2021), deux différents types de lignes de délai ont été implémenté : l'une basée sur des buffers comme éléments de délai, et l'autre est basée sur des blocs Carry4. Comme illustré aux figures 1.14 et 1.15, chaque ligne de délai est constituée de deux parties : une partie fixe, d'où le nombre d'éléments de délai est prédéfini, et une partie programmable, d'où le nombre des éléments de délai peut être ajusté par l'utilisateur à travers le signal de sélection de 6 bits via l'interface VIO. Cette conception favorise la flexibilité en fonction des contraintes de la fréquence d'horloge, telles que $Delay\ Line\ i < T_{clk_ref}$. En effet, la ligne de délai basée sur les blocs Carry4 fournit un signal de sortie Q_Carry4 de 48 bits, offrant une meilleure précision de mesure. De son côté, la ligne de délai basée sur des buffers génère quatre sorties principales : un signal q de 8 bits avec une granularité plus grossière (faible précision), un signal d'impulsion de 1 bit $Delay_margin_pulse$ mesurant la marge de délai, soit le temps entre l'arrivée de la transition montante et le prochain front montant de l'horloge par rapport au point $b4$ de la chaîne de délai, un signal d'impulsion de

1 bit *Start_b4_pulse* mesurant le délai entre le point de départ (*start*) et le point b4, et un signal d'impulsion de 1 bit *Delay_line_pulse* mesurant le délai entre le départ et le point b8. Les sorties *Q_Carry4*[47:0] et *q*[7:0] sont toutes deux encodées en codage thermométrique, tandis que la mesure des autres sorties est basée sur la largeur d'impulsion comme utilisé par Larche (2013).

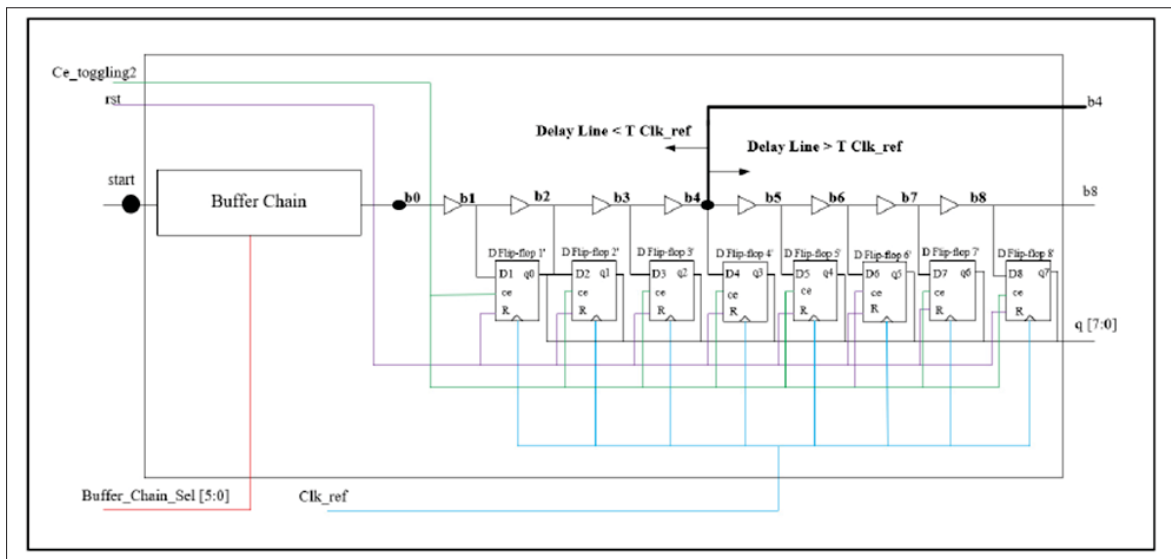


Figure 1.14 Ligne de délai basé sur des buffers
Tirée de Honarmand (2021, p38)

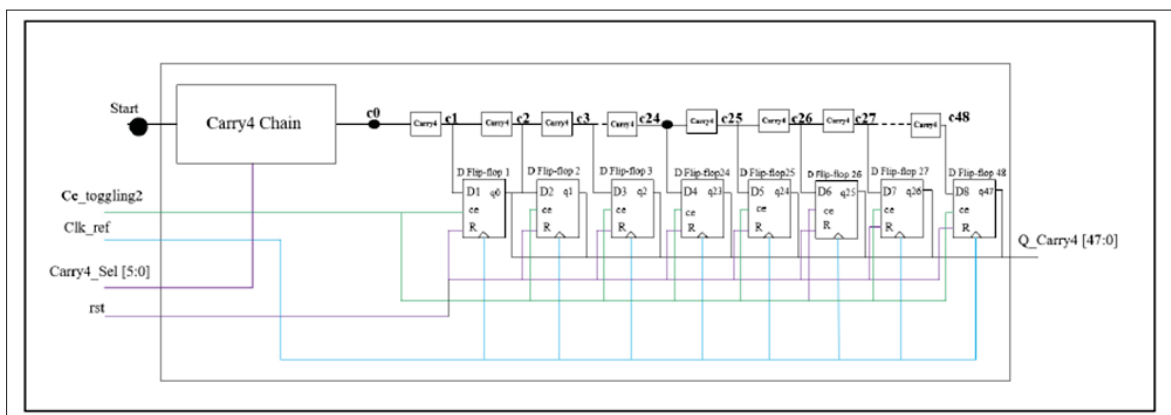


Figure 1.15 Ligne de délai basé sur des Carry4
Tirée de Honarmand (2021, p.35)

Cependant, le design de Honarmand (2021) présente une limitation dans la mesure des délais à des basses fréquences, la fréquence minimale atteinte étant 120 MHz. Un autre inconvénient à prendre en considération est que l'utilisation des deux lignes de délai consomme davantage d'espace dans la mémoire BRAM, ce qui peut introduire des délais supplémentaires. Cette surcharge des ressources pourrait ainsi affecter les performances globales du FPGA. Par conséquent, le projet présenté dans ce document propose une nouvelle conception de ligne de délai optimisée, capable de fonctionner à des fréquences aussi basses que 55 MHz, tout en minimisant l'utilisation de la BRAM. Les détails de cette conception sont décrits dans le chapitre 2.

Dans leurs expériences, Gnad *et al.* (2018) ont utilisé des capteurs calibrés intégrés dans une puce pour mesurer les variations de délai causées par les chutes de tension transitoires. Ils ont également évalué les changements spatiaux et temporels dans une marge de temporisation en fonction des caractéristiques des charges de travail. Pour analyser l'impact des différentes charges d'activité de commutation sur les chutes de tension transitoires, les bascules fonctionnent à une fréquence fixe de 100 MHz pendant les périodes actives tandis que pendant les périodes inactives, le *Clock Gating* est utilisé pour désactiver les bascules. Cette technique a été déployée pour générer une large marge de charges de travail synthétiques (*synthetic workload*). Les résultats ont montré que l'utilisation du *Clock Gating* entraînait des chutes de tension transitoires plus importantes et par conséquent des délais plus significatifs en particulier lorsque l'activité de commutation est élevée en raison des cycles courts.

Tableau 1.1 Comparaison des différentes études sur le délai induit par le bruit sur l'alimentation

| | Larche 2014 | Gnad 2018 | Honarmand 2021 | Notre étude |
|--|---|--|---|---|
| Type de ligne de délai | Ligne de délai fixe | Ligne de délai fixe | Deux différentes lignes de délai ajustables | Ligne de délai programmable |
| Modes étudiés | Mode test et mission | Mode mission | Mode mission | Mode test et mission |
| Nombre de modèles FPGA | 2 | 2 | 1 | 2 |
| Domaines d'horloge | 3 | 1 | 1 | 1 |
| Fréquences de mesures | Une large gamme de fréquences, incluant les plus basses | 3 fréquences | 5 fréquences | Une large gamme de fréquences, incluant les plus basses |
| Structure de ligne de délai | Ligne à délai synchronisée (composée d'une porte logique ET) | Capteurs basés sur ligne de délai de type TDL de TDC basé sur Carry4 | Ligne de délai de type TDL de TDC basé sur Carry4 et Buffers | Ligne de délai de type TDL de TDC basé sur Carry4 |
| Méthode de contrôle de commutation des bascules /Clock Gating | Contrôle direct des 3 registres à décalage, chacun contenant 1200 bascules, par le signal de control d'horloge (res_CE_i) | Contrôle direct du signal d'activité (CE) des bascules via VIO | 2 primitives BUFGCE contrôlant des bascules via VIO | 2 primitives BUFGCE contrôlant des bascules via VIO |
| Type de test | SBAST : Scan based at-speed test | - | - | At-speed test |
| Test de représentativité | Oui | - | - | Oui |
| Méthode de test | LC et LS | - | - | LC |
| Méthodes de mesure | Mesure de largeur d'impulsion | Encodeur thermométrique | Mesure de largeur d'impulsion et utilisation de l'encodeur thermométrique | Encodeur thermométrique |
| Impact du bruit d'alimentation sur les délai en phase transitoires | Oui | Oui mais néglige le début des phases transitoires | Oui | Oui |

1.7 Conclusion

Dans ce chapitre, nous avons exposé les notions de base nécessaires à la compréhension du projet. Par la suite, une revue des recherches précédentes a été réalisée pour identifier les besoins spécifiques à ce projet. Selon Gnad *et al.* (2018), la méthode la plus efficace pour mesurer le délai repose sur l'utilisation du convertisseur TDC. Cela nous a conduit à adapter la ligne de

délai des Carry4 de Honarmand (2021), basée sur la technologie TDC, tout en optimisant sa structure pour permettre une mesure des délais sur une plage de fréquences plus flexible incluant les basses fréquences (jusqu'à 55 MHz) et en minimisant l'utilisation de la mémoire BRAM. Le bloc de bruit utilisé par Larche (2013) pour étudier l'impact des produits d'intermodulation a été conçu avec l'introduction de trois domaines d'horloge distincts, ce qui n'est pas approprié pour notre cas d'étude. Ainsi, nous avons réutilisé le bloc de bruit de Honarmand (2021) en y apportant les modifications nécessaires. Étant donné que le travail de Honarmand (2021) ne couvre pas les mesures de délais en mode test, une des contributions majeures de notre projet est l'application du mode test, où la technique de test des retards de transition, *Launch on Capture*, a été mise en œuvre afin d'analyser la représentativité du mode test par rapport au mode mission à la présence du *Clock Gating*, ainsi que de comparer le comportement des deux cartes ZC702 et ZEDBOARD en termes de variation de l'impédance du réseau de distribution de l'alimentation. Pour ce faire, deux modes ont été émulés : le mode fonctionnel et le mode test. Le chapitre suivant sera dédié à l'exploration des méthodologies utilisées pour ce projet.

CHAPITRE 2

CONCEPTION ET MÉTHODOLOGIE

2.1 Introduction

Un des objectifs principaux de cette recherche est d'analyser l'impact du bruit de la tension d'alimentation sur les délais dans les modes test et mission. Une architecture a été développée pour chaque mode pour les cartes FPGA ZC702 et ZEDBOARD, intégrant différentes configurations de blocs générateurs de bruit pour simuler diverses charges de travail. Pour chacune des deux architectures, on utilise la même structure de ligne de délai qui permet d'exploiter une large gamme de fréquences, dont la fréquence minimale atteinte est de 55 MHz et allant jusqu'à 200 MHz, tout en maintenant le routage inchangé. Les mesures de délai ont été réalisées au cours de deux phases transitoires, dans des conditions avec et sans bruit, et dans les modes retardé et synchronisé. Les résultats, générés sous forme de fichiers CSV, ont été traités et analysés pour évaluer le comportement des deux cartes en termes de délai et de réseau de distribution d'alimentation, ainsi que pour étudier la représentativité du mode test par rapport au mode mission. Ce chapitre détaille les caractéristiques des plaquettes de développement FPGA utilisées, les architectures proposées, ainsi que la gestion de la mémoire BRAM.

2.2 Environnement de développement

Le logiciel de développement utilisé est *Vivado Design Suite*, version 2022.2. Il permet principalement la conception, en langage de description matérielle (HDL), de circuits logiques pour les FPGA. Il offre également des fonctionnalités avancées pour le développement de systèmes sur puce (SoC). Pour notre étude, nous avons opté pour la version gratuite de cet outil, accessible sur le site de Xilinx. Pour établir la connexion entre la carte FPGA et l'ordinateur, nous utilisons un câble USB de type A vers micro B. Cette connexion permet le transfert des données capturées par l'analyseur logique intégré (ILA) de Vivado vers l'ordinateur via l'interface JTAG.

2.3 Plaquettes de développement

Dans le cadre de ce projet, deux cartes de développement de type FPGA, la ZC702 et la ZEDBOARD, ont été déployées afin d'analyser et de comparer leur comportement en terme de variations d'impédance du réseau d'alimentation, de délais et la représentativité du mode mission par rapport au mode test.

2.3.1 Carte ZC702

La carte **ZC702 evaluation board** de Xilinx est une plateforme de développement FPGA, présentée à la figure 2.1.

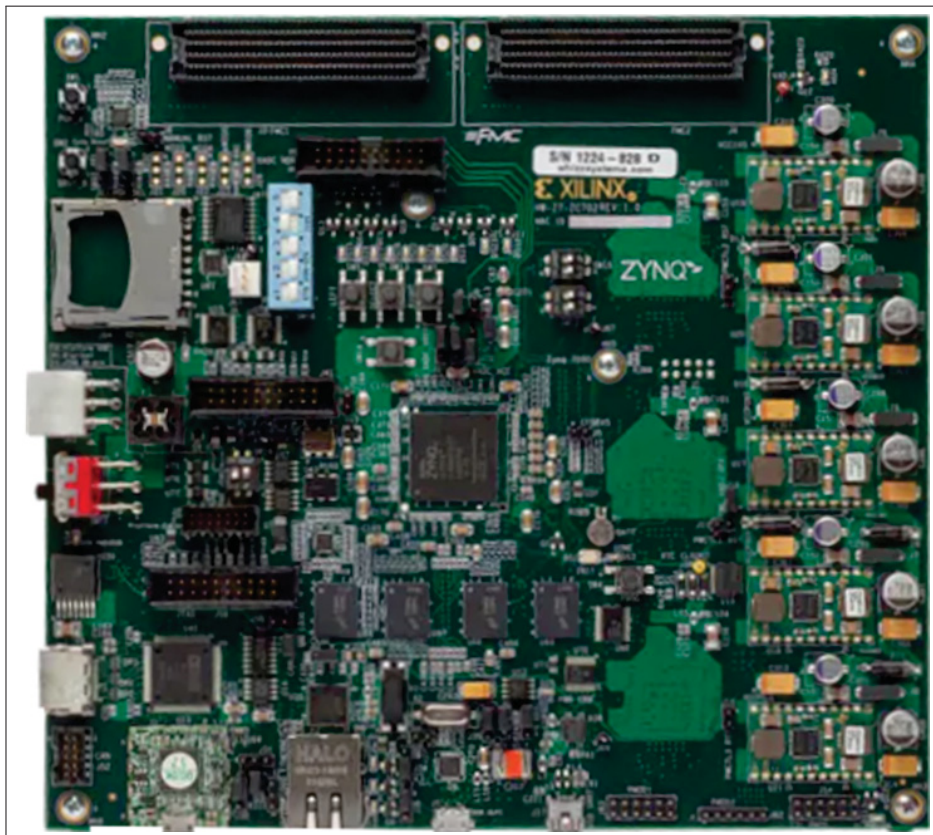


Figure 2.1 Allure physique de ZC702
Tirée de Xilinx (2019, p.12)

Les caractéristiques de cette carte sont présentées au tableau 2.1.

Tableau 2.1 Caractéristiques de la carte ZC702

| | Caractéristiques |
|-------------------------------------|---|
| Composant principal | Xilinx Zynq XC7Z020-1CLG484C SoC Inclut un système PS et une logique PL en 28 nm |
| Mémoire | 1 Go DDR3 (4x 256 Mb x 8) 128 Mb flash Quad SPI |
| Interfaces | USB JTAG via module Digilent Programmation USB-JTAG (SMT1) Ethernet 10/100/1G USB OTG 2.0 Carte SD |
| Commandes et E/S utilisateur | 2 boutons poussoirs utilisateur (PL) 8 LEDs utilisateur (PL) Connecteurs GPIO Pmod double et simple rangées |
| Oscillateurs embarqués | LVDS fixe 200 MHz 100 MHz (PL) |
| Logique programmable (PL) | 53 200 LUT 85 120 cellules logiques 106 400 bascules 140 blocs RAM 200 blocs d'entrée/sortie (IOB) 192 buffers différentiels 32 contrôleurs globaux d'horloge (BUFGCTRL) 4 générateurs d'horloge |
| Convertisseur XADC | Double ADC 12 bits, 1 MSPS |
| Alimentation | Interrupteur marche/arrêt Alimentation universelle 12V Surveillance via PMBus |

Le diagramme bloc de la carte ZC702 est présenté à la figure 2.2.

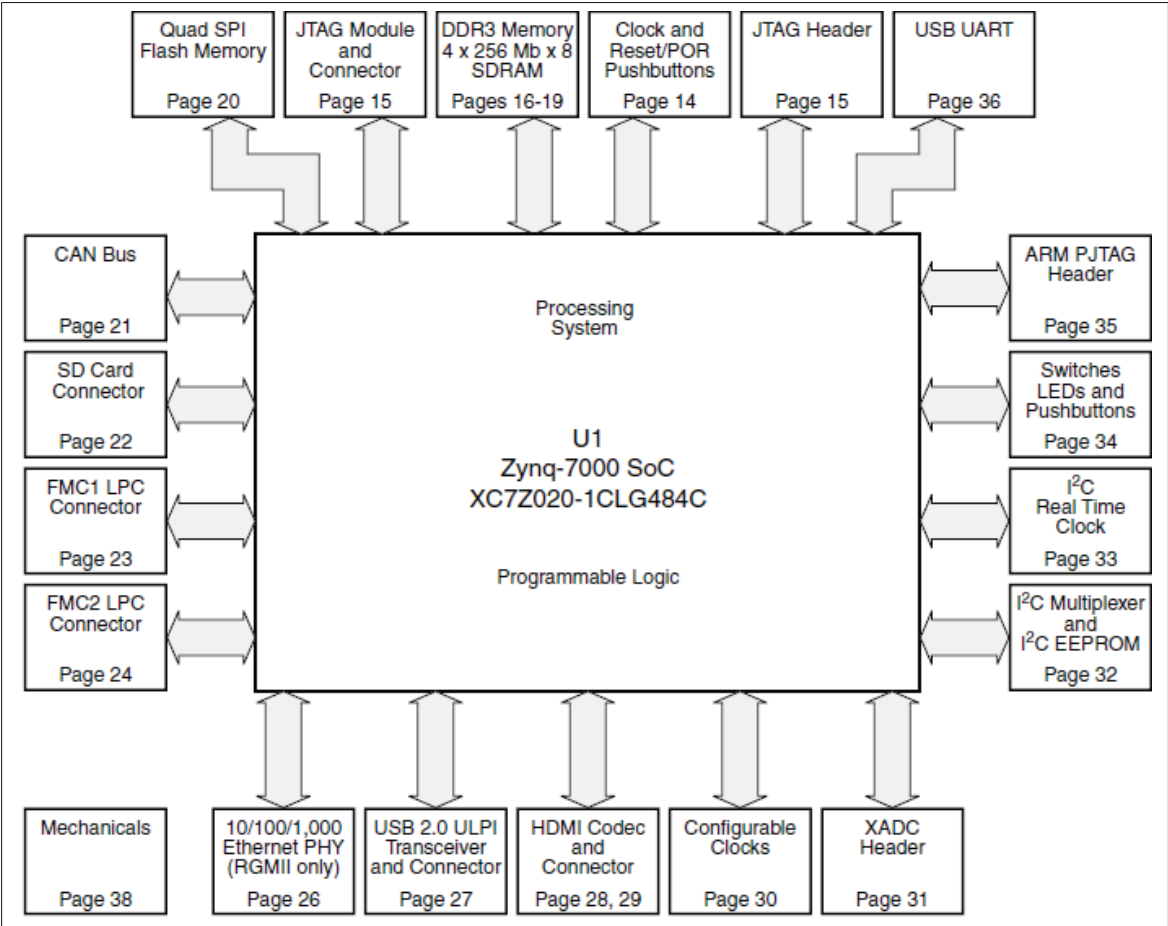


Figure 2.2 Diagramme bloc de la carte ZC702
Tirée de Xilinx, (2019, p.10)

2.3.2 Carte ZEDBOARD

La ZEDBOARD, illustré à la figure 2.3, est également basée sur la famille Zynq-7000 SoC, du modèle XC7Z020-CLG484-1. Ses caractéristiques sont présentées au tableau 2.2.

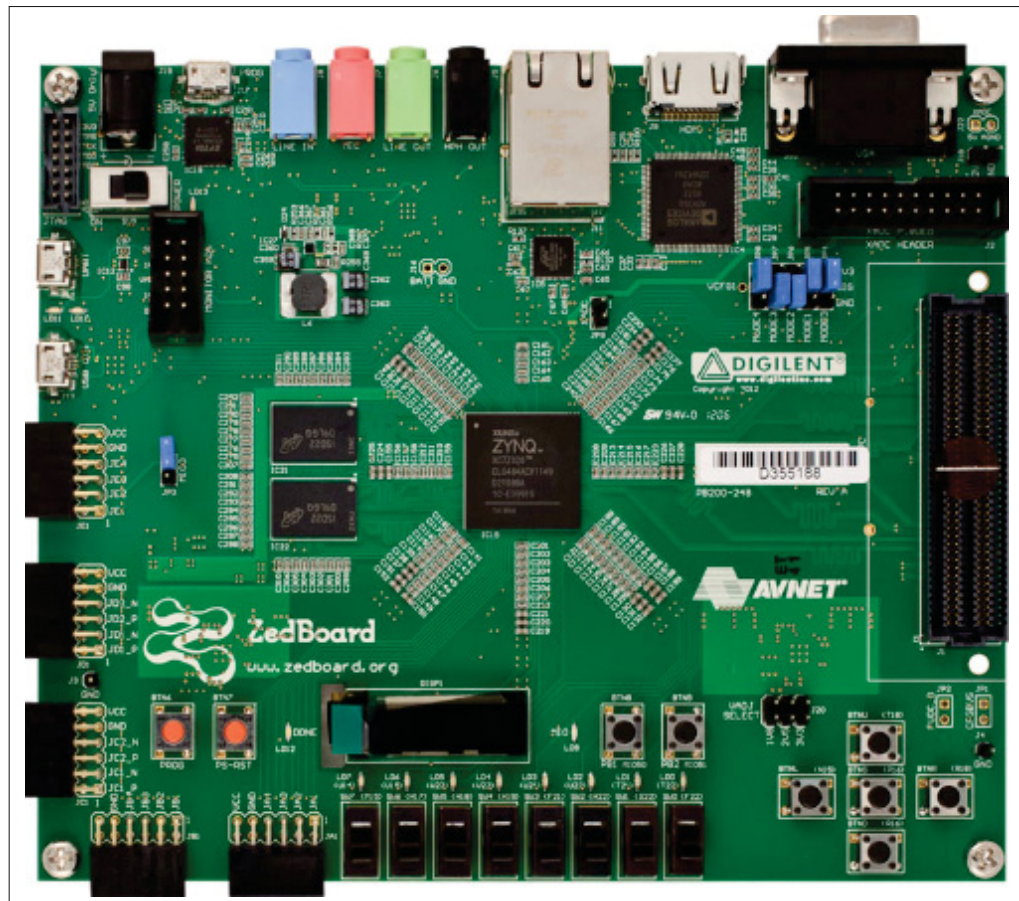


Figure 2.3 Allure physique de ZEDBOARD
Tirée de Digilent (2014, p.35)

Tableau 2.2 Caractéristiques principales de la carte ZEDBOARD

| | Caractéristiques |
|-------------------------------------|---|
| Composant principal | Xilinx® XC7Z020-1CLG484C Zynq-7000 AP SoC Configuration principale : QSPI Flash Options de configuration auxiliaire : JTAG en cascade, Carte SD |
| Mémoire | 512 Mo DDR3 (128M x 32) 256 Mb de mémoire flash QSPI |
| Interfaces | Programmation USB-JTAG via un circuit SMT1 : - Accès au JTAG de la logique programmable (PL) - Broches JTAG PS connectées via Pmod Ethernet 10/100/1G USB OTG 2.0 Carte SD Pont USB 2.0 FS USB-UART 5 connecteurs Pmod™ (1 PS, 4 PL) 1 connecteur LPC FMC 1 connecteur AMS |
| Commandes et E/S utilisateur | 2 boutons de réinitialisation (1 PS, 1 PL) 7 boutons poussoirs utilisateur (2 PS, 5 PL) 8 interrupteurs dip/coulissants (PL) 9 LEDs utilisateur (1 PS, 8 PL) LED DONE (PL) |
| Oscillateurs embarqués | 100 MHz (PL) 33,333 MHz (PS) |
| Affichage/Audio | Sortie HDMI VGA (Couleur 12 bits) Écran OLED 128x32 Entrée/sortie audio : ligne d'entrée, ligne de sortie, casque, microphone |
| Alimentation | Interrupteur marche/arrêt Régulateur AC/DC de 12V à 5A Surveillance via PMBus |

Le diagramme bloc de cette carte est présenté à la figure 2.4.

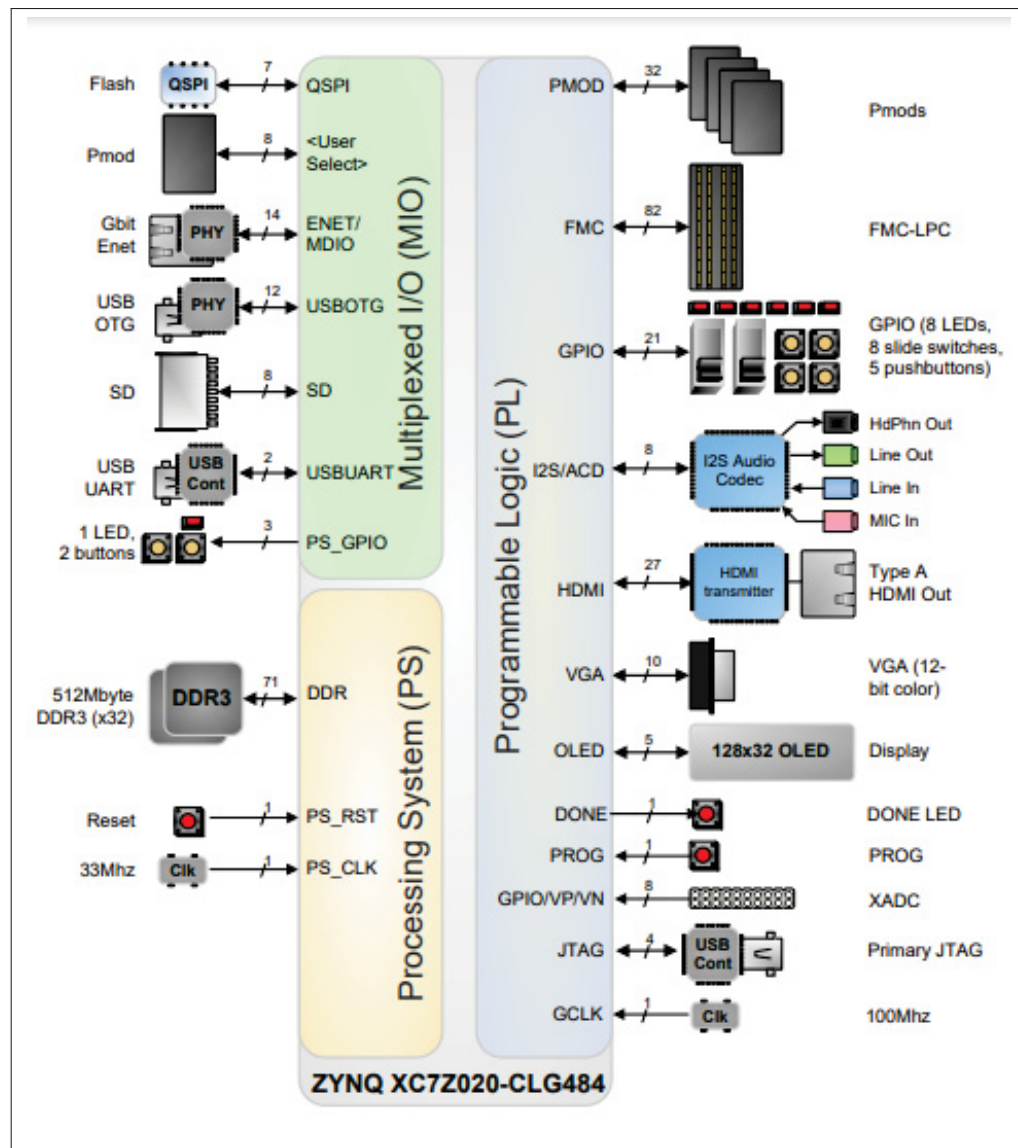


Figure 2.4 Diagramme bloc de la carte ZEDBOARD
Tirée de Digilent (2014, p.3)

Bien que les cartes ZC702 et ZEDBOARD utilisent toutes deux le même FPGA, le XC7Z020-1CLG484C(ES), elles présentent plusieurs différences dans leurs caractéristiques techniques. De plus, une distinction existe dans la conception du circuit de mesure, notamment dans la gestion et l'implémentation de la fréquence d'horloge d'entrée.

La carte ZC702 dispose de trois sources d'horloge possibles, parmi lesquelles un oscillateur LVDS fixe à 200 MHz (Xilinx, 2019) est utilisé comme entrée différentielle d'horloge principale pour notre design : *clk_in_n* et *clk_in_p*, comme le montre la figure 2.5, ce qui est un choix idéal pour les applications critiques nécessitant des performances élevées.

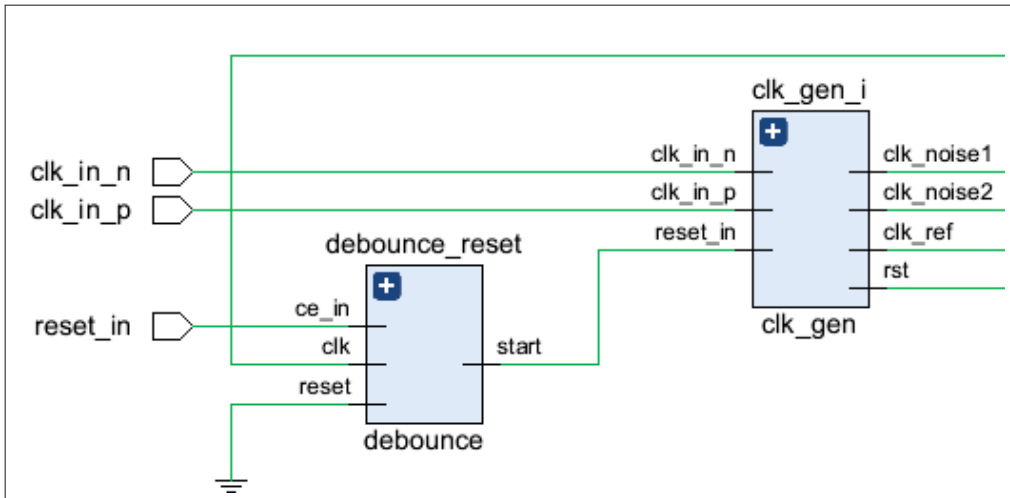


Figure 2.5 L'horloge d'entrée dans le design du circuit de mesure pour la carte ZC702

En revanche, la carte ZEDBOARD est équipée de deux sources d'horloge, parmi lesquelles on utilise l'horloge d'entrée principale *clk_in*, fonctionnant à une fréquence de 100 MHz (Avnet, 2014), comme illustré à la figure 2.6.

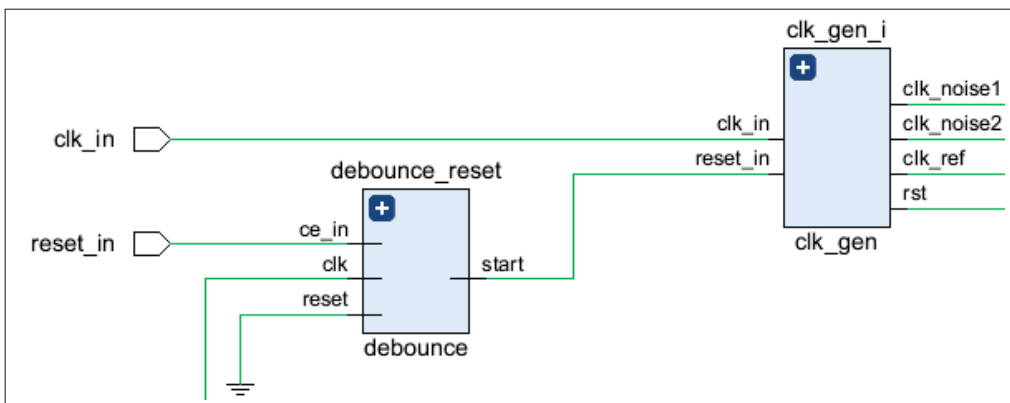


Figure 2.6 L'horloge d'entrée dans le design du circuit de mesure pour la carte ZEDBOARD

2.4 Circuit de mesure

Le diagramme bloc de haut niveau du circuit de mesure, présenté à la figure 2.7, comprend quatre entrées et une sortie. Les entrées incluent *clk_in_n* et *clk_in_p*, utilisées comme deux entrées différentielles pour l'horloge système de fréquence 200 MHz, servant d'horloge d'entrée dans le design pour la carte ZC702, et une seule entrée d'horloge principale *clk_in* de fréquence 100 MHz pour le cas de la carte ZEDBOARD. Les signaux d'entrées *ce* et *reset_in* sont deux boutons-poussoirs utilisateur présents sur la carte. La sortie principale est le signal de mesure *q_carry4[47:0]*, visualisé dans l'ILA. Les signaux affichés sur l'ILA peuvent ensuite être exportés en fichier CSV pour un traitement et une analyse ultérieure. Selon le mode mission ou test, des modifications ont été apportées au design initial (Honarmand, 2021).

2.4.1 Mode mission

Dans le mode mission, le circuit de mesure de délai, présenté à la figure 2.7, est constitué de 9 modules, dont 3 blocs sont de type noyau IP.

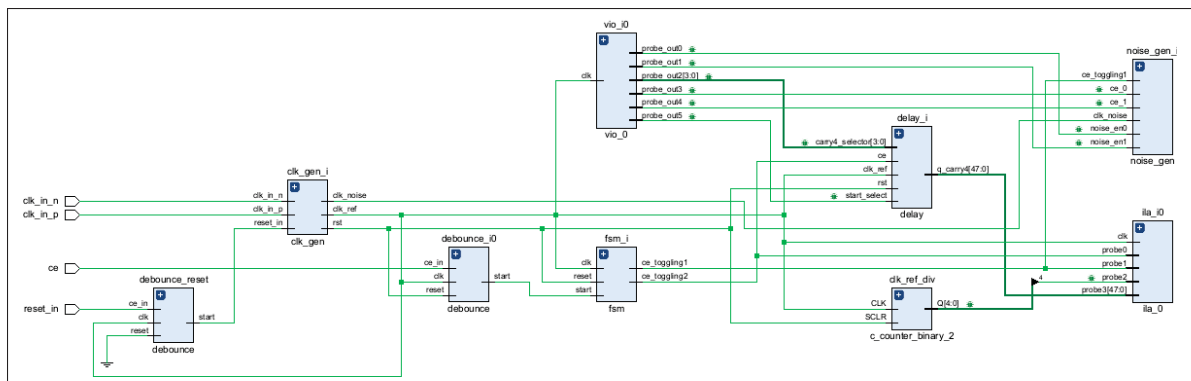


Figure 2.7 Circuit de mesure pour le mode mission pour la carte ZC702

2.4.1.1 Bloc de machine à états finis FSM

Ce bloc, comme le montre la figure 2.8, intègre une machine à états finis qui génère deux signaux, *ce_toggling1* et *ce_toggling2*. Ce module est composé de 32 cellules, comprenant des multiplexeurs 2 :1, des registres synchrones de 10 bits, un additionneur, un comparateur, 2

mémoires de type ROM. Le signal *ce_toggling1* est utilisé par le bloc générateur de bruit pour contrôler le moment et la durée de l'injection de bruit. Le signal *ce_toggling2* est exploité par le bloc de délai afin de gérer le moment et la durée des prises de mesures.

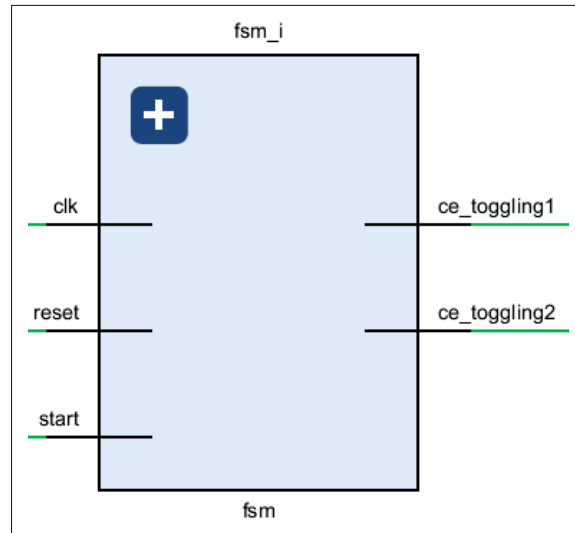


Figure 2.8 Bloc FSM en mode mission

Le principe de fonctionnement de ce bloc, illustré par le diagramme temporel 2.9, repose sur l'utilisation d'un compteur de 9 bits.

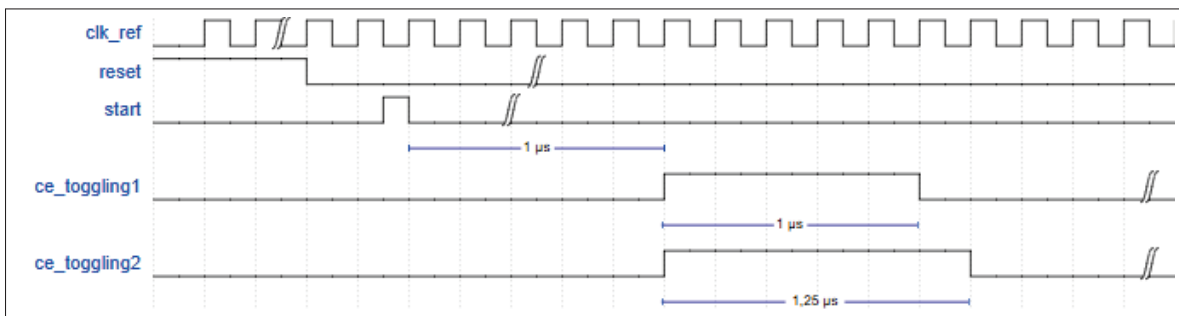


Figure 2.9 Diagramme temporel du bloc FSM en mode mission

Au moment de la réinitialisation, les signaux *ce_toggling1*, *ce_toggling2* et *start* sont désactivés. Une fois l'impulsion de *start* est effectué, le compteur commence à compter pendant 1 microseconde à partir du prochain front montant de *clk_ref*. Une fois ce délai achevé, *ce_toggling1* s'active pendant 1 microseconde, et *ce_toggling2* s'active pendant

1,25 microseconde. En effet, le début de la première phase transitoire se situe au moment de l'activation de *ce_toggling1*, tandis que la deuxième phase transitoire commence lors de sa désactivation. La durée de la mesure du délai se termine au moment de la désactivation du signal *ce_toggling2*.

2.4.1.2 Bloc de délai

Le diagramme du bloc de délai, présenté à la figure 2.10, se compose principalement d'une ligne de délai basée sur des blocs Carry4, de deux bascules de type D, d'un multiplexeur 2 :1 et d'une porte NON. Ce module dispose de 5 entrées : le signal d'horloge *clk_ref*, *ce*, *rst*, *carry4_selector* [3:0] et *start_select*, ainsi qu'une sortie *q_carry4* [47:0] utilisant l'encodage thermométrique.

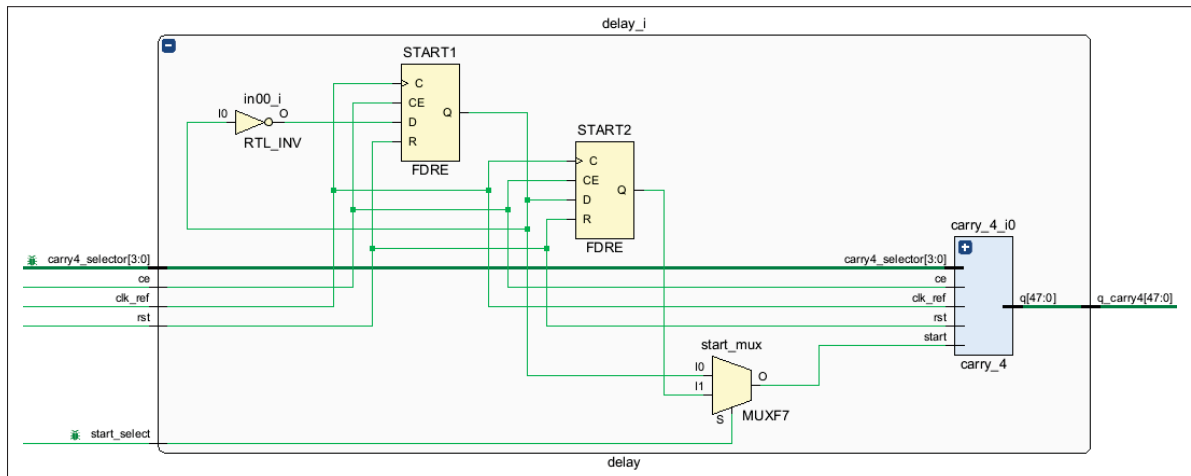


Figure 2.10 Diagramme éclaté du bloc de délai

Il existe deux modes d'échantillonnage : le mode retardé et le mode synchrone. En mode retardé, la transition est lancée une période d'horloge *clk_ref* plus tard par la seconde bascule D (*START2*). En mode synchrone, elle est directement lancée par la première bascule D (*START1*) avant d'entrer dans la ligne de délai. Le choix du mode s'effectue à l'aide d'un multiplexeur 2 :1, contrôlé par le signal de sélection *start_select*. Lorsque *start_select* = 0, le mode synchrone est activé, tandis que *start_select* = 1 sélectionne le mode retardé. Ce choix est contrôlable par l'utilisateur via le VIO.

Comme indiqué dans le chapitre 1, le design de Honarmand (2021) ne permet pas de mesurer les délais à de basses fréquences, la fréquence minimale étant de 120 MHz. Des modifications ont été apportées aux lignes de délai pour permettre des mesures jusqu'à 60 MHz. Toutefois, il est à noter qu'une mesure a pu être effectuée à une fréquence de 55 MHz sur la carte ZC702, en mode mission, pour un bloc générateur de bruit contenant 35 000 bascules. Pour cela, il est nécessaire de déterminer le nombre de blocs Carry4 requis dans la ligne de délai, ce qui est calculé par l'équation suivante :

$$\text{Nombre de blocs Carry4} = \frac{T}{\text{Délai par bloc Carry4}} + 15 \quad (2.1)$$

Le délai mesuré d'un bloc Carry4 dans des conditions favorables et sans bruit est de 55 ps (Honarmand, 2021). Pour une fréquence de 60 MHz, la période est de 16,67 ns. Ainsi, le nombre total de blocs Carry4 dans une ligne de délai est de 318 blocs. Les 15 blocs supplémentaires sont ajoutés pour garantir une fenêtre de sélection optimale des chaînes de Carry4, suivant un principe de chevauchement détaillé ci dessous.

La ligne de délai est composée de 318 blocs logiques Carry4 connectés en série pour former une chaîne principale, comme illustré à la figure 2.11. Cette chaîne est initiée par un premier Carry4, dont le signal de démarrage *Start* est connecté à son entrée CYINIT. L'entrée CI de ce premier bloc, ainsi que celles des 317 autres blocs Carry4, sont connectées ensemble, et leurs sorties CO sont également reliées ensemble. Si l'on souhaite visualiser toutes les 318 bits d'une sortie *q_carry4* à travers l'ILA, une capacité significative de BRAM serait nécessaire, ce qui pourrait ralentir la génération des fichiers résultats, diminuer les performances de l'FPGA et entraîner des complications dans le traitement des fichiers. Pour éviter ces limitations, un principe de chevauchement, expliqué plus bas à la figure 2.15, a été appliqué de façon que les 318 sorties soient branchées à un registre afin de créer des sous-chaînes de 48 blocs Carry4 qui peuvent être sélectionnées, assurant ainsi un nombre constant de 48 bits à la sortie. En effet, la sortie des 318 blocs Carry4 est enregistrée dans un registre FDRE, comme le montrent les figures 2.11 et 2.12, chaque sous-chaîne de 48 blocs Carry4 est ensuite connectée à une entrée de 48 bits

du multiplexeur 16 :1. En d'autres termes, à chaque fréquence, l'utilisateur peut sélectionner jusqu'à 16 sous-chaînes. La sortie du multiplexeur est donc un signal de 48 bits, correspondant à la sortie du bloc de délai q_carry4 [47:0] que l'on souhaite visualiser avec l'ILA.

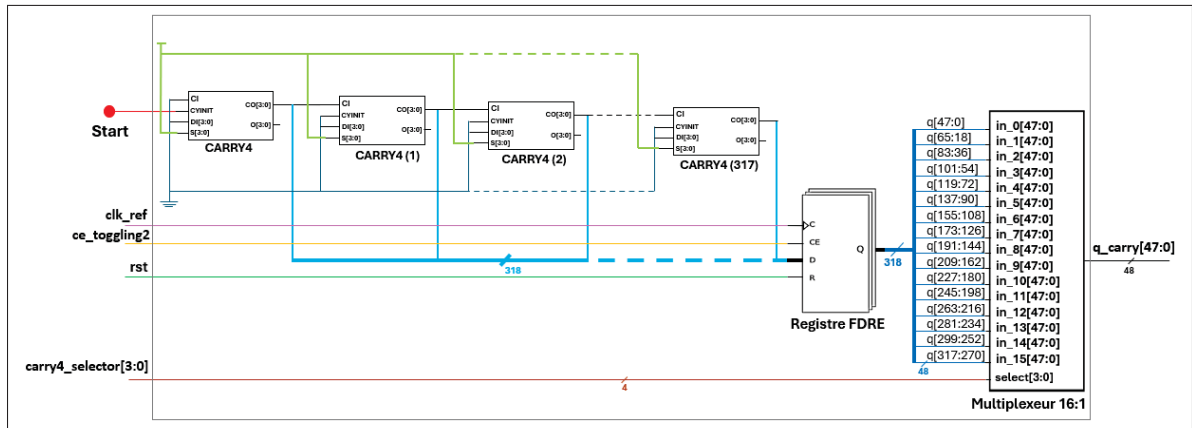


Figure 2.11 Bloc de la ligne de délai

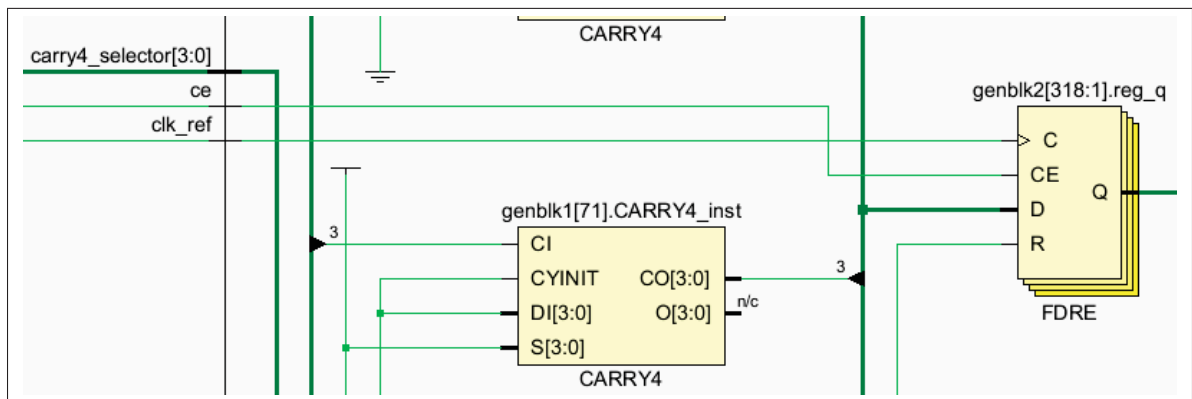


Figure 2.12 Registre dans le bloc de la ligne de délai

Le signal de sélection $carry4_selector$ [3:0] du multiplexeur 16 :1, présenté à la figure 2.13, est contrôlé par l'utilisateur via le VIO pour choisir le numéro de la sous-chaîne. Le nombre optimal des sous chaînes de Carry4 à choisir pour chaque fréquence est précisé dans le chapitre 3.

Le registre capture les données à chaque front montant de signal d'horloge clk_ref , donc le choix de numéro de la chaîne Carry4 affecte l'état de l'encodeur thermométrique. Le numéro de

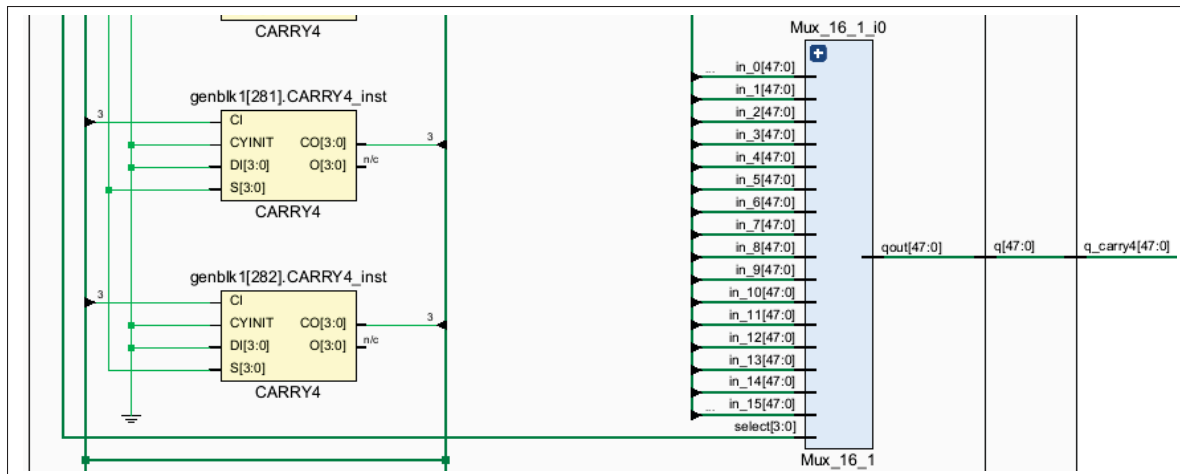


Figure 2.13 Multiplexeur 16 :1 dans la ligne de délai

la sous chaîne Carry4 est ajustée pour la capture des données de q_carry4 [47:0], de manière à ce que le front montant de clk_ref se trouve au milieu des 48 blocs Carry4, comme illustré à la figure 2.14. Avec l'activation du signal *Start*, les 24 premiers blocs de Carry4 passent à 1 et les 24 restants restent à 0.

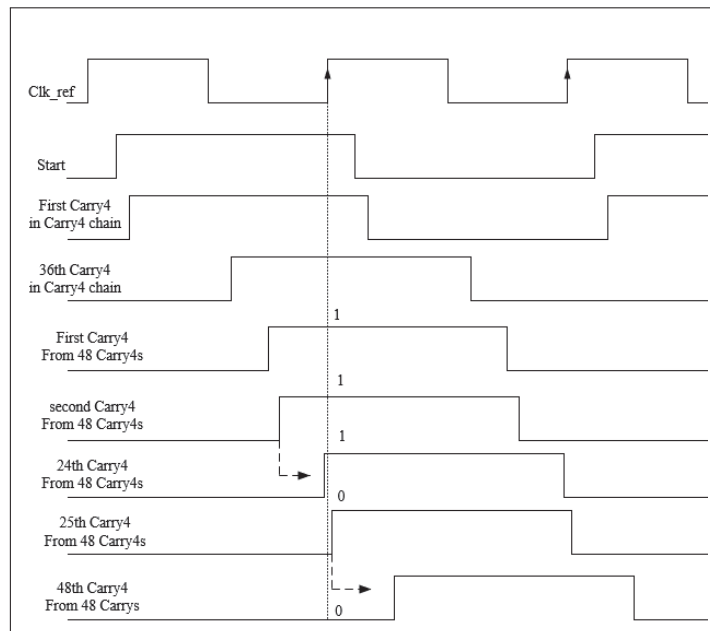


Figure 2.14 Diagramme temporel d'une sous chaîne de Carry4 de la ligne de délai
Tirée de Honarmand (2021, p.37)

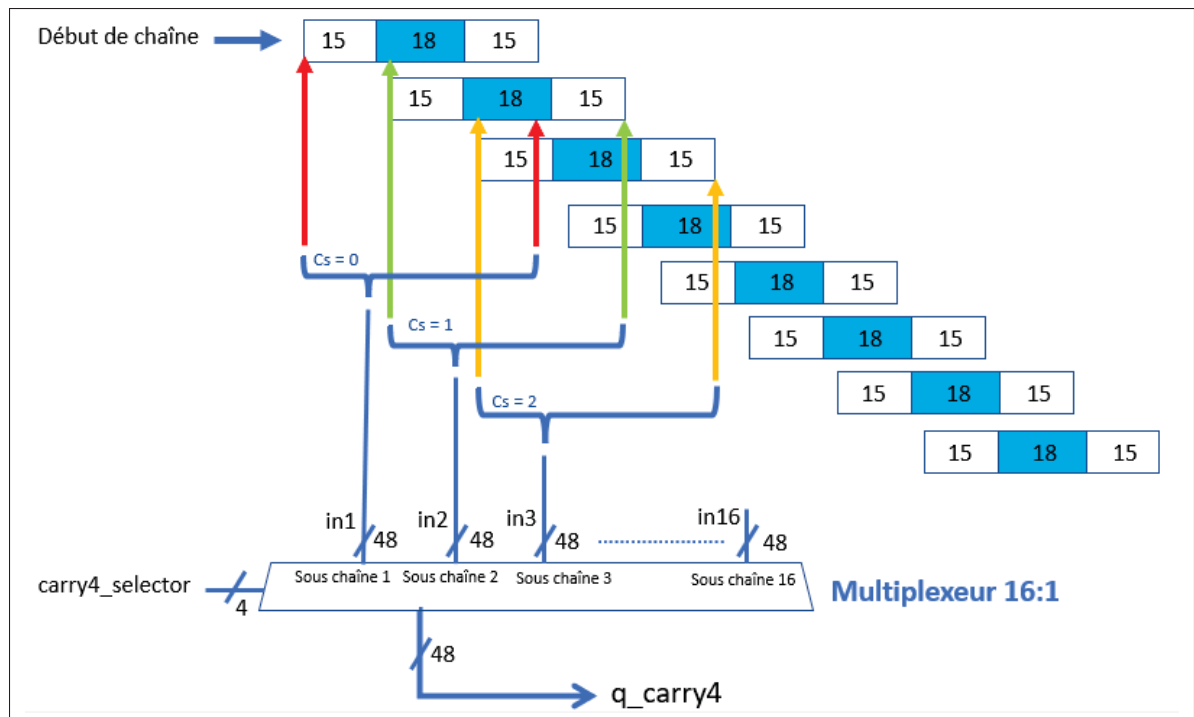


Figure 2.15 Principe de chevauchement

En appliquant le principe de chevauchement (Thibeault & Dabbebi, 2025), comme illustré à la figure 2.15, la sélection se concentre sur la partie la plus probable pour une meilleure capture des données, à savoir les 18 bits situés au milieu de la sous-chaîne de 48 blocs Carry4. Une approche en cascade est utilisée pour sélectionner de nouvelles sous-chaînes, où chaque sous-chaîne chevauche partiellement la précédente. Cette méthode garantit une meilleure couverture et précision tout en maintenant un nombre constant de 48 bits à la sortie.

La position du pointeur du dernier bloc de Carry4 de la sous chaîne sélectionnée est déterminé comme suit :

$$NBCn = 15 + 18n + 15 \quad (2.2)$$

Avec,

n : le numéro de la sous-chaîne sélectionnée.

$NBCn$: le numéro du dernier bloc de Carry4 dans une sous chaîne n sélectionnée.

Par exemple, si l'on sélectionne la deuxième sous-chaîne, son dernier bloc Carry4 est le 66ième.

En appliquant le principe de chevauchement, l'intervalle de sélection pour chaque sous-chaîne est défini à l'aide de la formule suivante :

$$in_n = q[NBCn - 1 : NBCn - 48] \quad (2.3)$$

Par exemple, pour la sous-chaîne 3, la troisième entrée du multiplexeur 16 :1 correspond à $in_3 = q[83 : 36]$.

2.4.1.3 Bloc générateur de bruit

Le module générateur de bruit dispose de six entrées : le signal d'horloge de bruit `clk_noise`, `ce_toggling1`, `ce_0`, `ce_1`, `noise_en0` et `noise_en1`. Ce module, illustré à la figure 2.16, se compose principalement de deux primitives `BUFGCE`, utilisées pour émuler l'effet du *Clock Gating* sur les modules adjacents, comme décrit dans le premier chapitre. Il inclut également deux ports `AND`, ainsi que de blocs de bruit intégrant des bascules de type D comme éléments de bruit, comme présenté à la figure 2.16. Le nombre de blocs de bruit dépend de la configuration choisie.

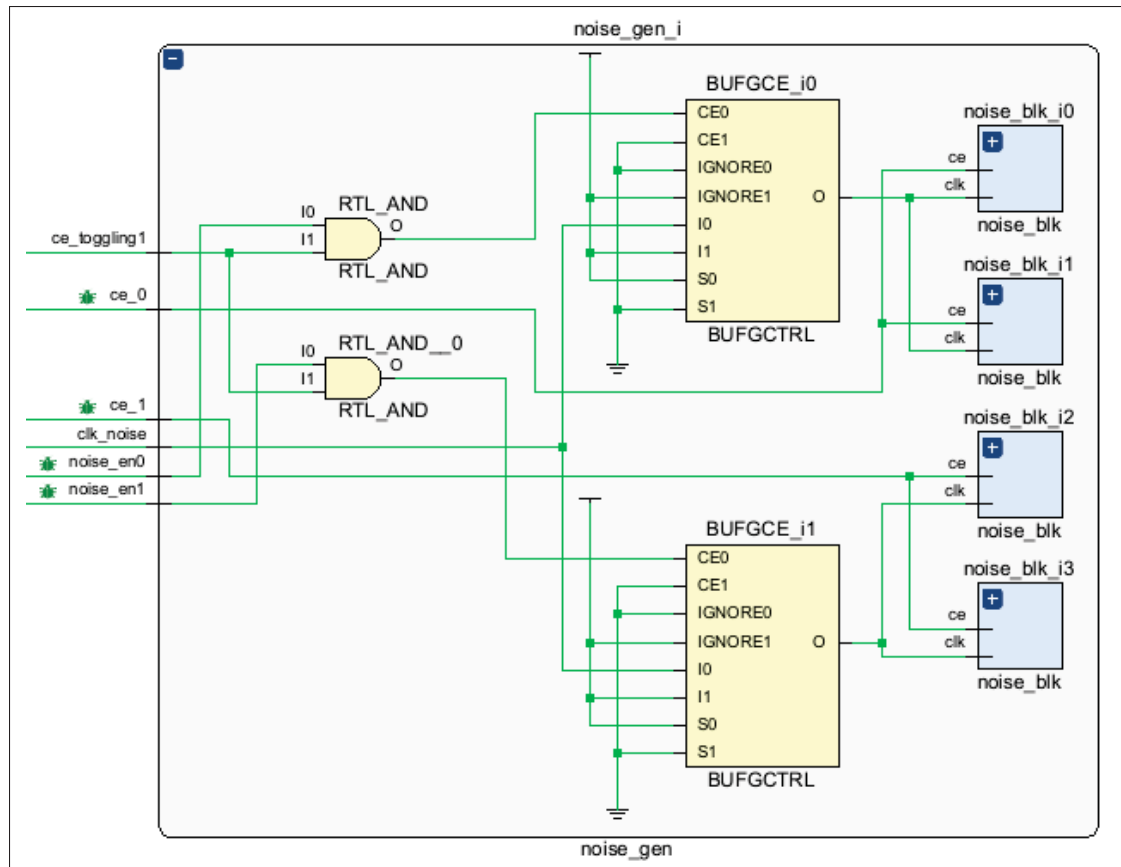


Figure 2.16 Diagramme éclaté du générateur de bruit pour la configuration 14 000 bascules

Trois configurations du générateur de bruit ont été déployées afin d'étudier l'impact du bruit de tension d'alimentation sur les délais. Ces configurations varient en fonction du nombre total de bascules. Par exemple, une configuration de 35 000 bascules est constituée de 10 blocs de bruit, chacun composé de 3 500 bascules. De même, une configuration de 28 000 bascules correspond à 8 blocs de bruit, tandis qu'une configuration de 14 000 bascules comprend 4 blocs de 3 500 bascules.

Dans un générateur de bruit contenant 14 000 bascules, chaque BUFGCE contrôle deux blocs de bruit, soit un total de 7 000 bascules. L'activation et la désactivation des BUFGCE sont contrôlées par deux signaux : le signal *ce_logging1*, généré par l'FSM, et le signal *noise_en0*, manipulé

par l'utilisateur via le VIO pour contrôler le premier BUFGCE, ou le signal *noise_en1*, utilisé pour le deuxième BUFGCE.

Une deuxième approche pour contrôler les bascules consiste à utiliser leurs entrées en agissant directement via le VIO sur les signaux *ce0* et *ce1*.

La figure 2.17 décrit le diagramme de fonctionnement temporel du générateur de bruit. Depuis la transition du signal *start*, issu de la machine à états finis, 1 μ s s'écoule, puis le signal de contrôle d'injection de bruit *ce_toggling1* s'active pour une durée de 1 μ s afin de garantir l'état de stabilité atteint à la fin de la phase 1.

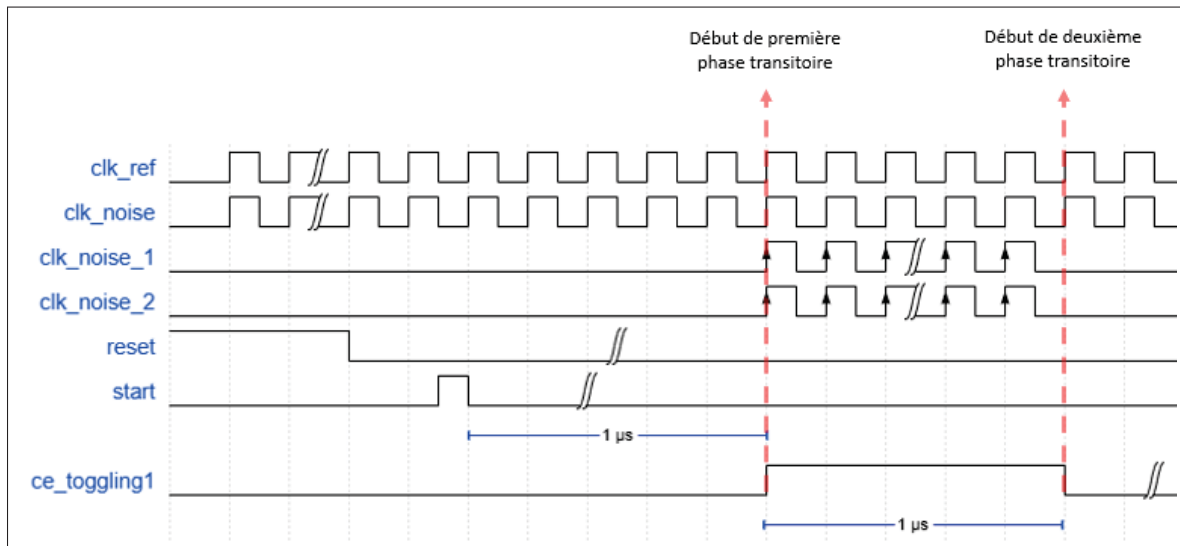


Figure 2.17 Diagramme temporel du bloc générateur de bruit

2.4.1.4 Bloc générateur d'horloges

La figure 2.18 illustre le diagramme du bloc générateur d'horloge. Pour la carte ZC702, l'horloge système est une entrée différentielle de 200 MHz, comme expliqué dans la section précédente. Une autre entrée utilisée pour ce bloc est *reset_in*, provenant du bloc *debounce_reset*, qui permet de générer un signal de réinitialisation sans rebond après chaque prise de mesure de délai lors de l'appui sur le bouton de *reset_in*. Les sorties générées sont *clk_ref*, qui est l'horloge de référence du design, et *clk_noise* utilisée comme l'entrée d'horloge pour le bloc de bruit.

Comme mentionné précédemment, cette horloge est une copie de *clk_ref*. Le bloc utilise deux inverseurs, deux IBUFDS, deux ports XOR à deux entrées, ainsi que deux MMCM : un pour le sous-bloc *clk_gen_noise1* et un pour le sous-bloc *clk_gen_ref*. La sortie *clk_noise* provient du premier MMCM, tandis que *clk_ref* provient du second MMCM. Les deux MMCM partagent la même entrée d'horloge *clk_in1*, qui est fournie par un IBUFDS avec deux entrées différentielles, *clk_in_n* et *clk_in_p* de fréquence 200 MHz.

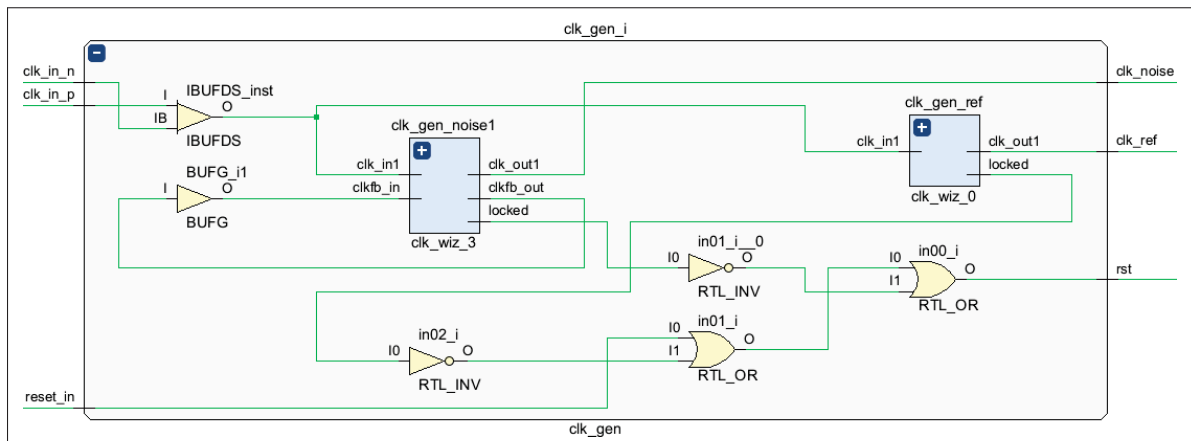


Figure 2.18 Diagramme éclaté du bloc générateur d'horloges en mode mission

2.4.1.5 Bloc debounce reset

Ce composant est nécessaire pour résoudre les problèmes liés à l'utilisation d'un bouton poussoir comme entrée de réinitialisation. Par exemple, la réinitialisation manuelle via le bouton-poussoir utilisateur *sw7*, effectuée après chaque test, peut provoquer des rebonds électriques dans le signal, ce qui risque de perturber le fonctionnement du système. Ce bloc fournit un signal de réinitialisation stable, avec un minimum de rebonds. Ce signal correspond à la sortie *start* utilisée comme entrée pour *reset_in* du bloc générateur d'horloges. En effet, ce bloc dispose de 2 entrées : le signal *ce_in*, provenant du bouton poussoir de l'entrée principale du circuit de mesure *reset_in*, ainsi qu'un signal d'horloge *clk*. Ce module est composé de deux bascules de type D et d'une porte logique ET à deux entrées, comme le montre la figure 2.19.

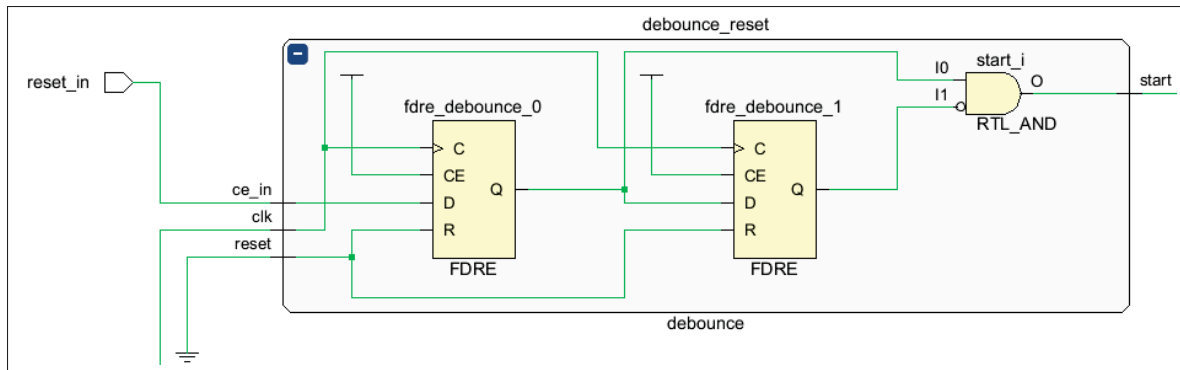


Figure 2.19 Diagramme éclaté du bloc `debounce_reset`

2.4.1.6 Bloc `debounce`

Ce bloc permet également d'éviter les effets indésirables liés à l'utilisation du bouton-poussoir utilisateur `sw5` sur la carte, correspondant à l'entrée `CE`. Il adopte la même structure que le bloc `debounce_reset`, à la différence que l'entrée `reset` utilisée provient du bloc générateur d'horloge. Le signal généré à la sortie `start` est utilisé comme entrée du bloc FSM.

2.4.1.7 Bloc `compteur`

Ce bloc est un cœur IP, permettant de générer un signal de synchronisation en divisant `Clk_ref` par 32. La sortie produite, `q_clk_ref[4:0]`, est utilisée par l'ILA pour vérifier que `Clk_ref` fonctionne à la bonne fréquence, étant donné que l'ILA ne permet pas de lire directement des fréquences élevées comme 200 MHz. Ce bloc, illustré à la figure 2.20, est constitué d'un compteur de 5 bits.

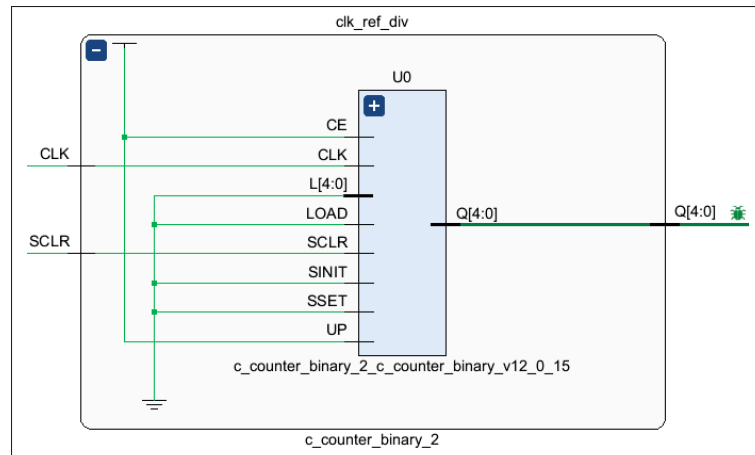


Figure 2.20 Bloc compteur

2.4.1.8 ILA (Integrated Logic Analyzer)

Ce bloc est un noyau IP permettant de surveiller et de visualiser les signaux internes d'un design dans une FPGA. Il est connecté à l'interface JTAG comme expliqué dans les sections précédentes. Dans notre cas d'étude, ce bloc, dont l'horloge principal `clk` est `clk_ref`, permet de visualiser quatre signaux : `ce_toggling1`, `ce_toggling2`, `q_carry[47:0]` et `q_clk_ref[4:0]`. Comme le montre la figure 2.21, la dernière sonde est de longueur 48 bits ce qui correspond au signal `q_carry[47:0]`, le reste des sondes sont de largeur 1 bits : `probe0` correspond au `ce_toggling2`, `probe1` correspond au `ce_toggling1` et `probe2` correspond au bit le plus significatif (MSB) de `q_clk_ref[4:0]`. Le tableau 2.3 présente la signification de chaque sonde.

Tableau 2.3 Signaux du bloc ILA

| Sonde | Signal |
|---------------|----------------|
| probe0 | ce_toggling2 |
| probe1 | ce_toggling1 |
| probe2 | q_clk_ref |
| probe3[47 :0] | q_carry[47 :0] |

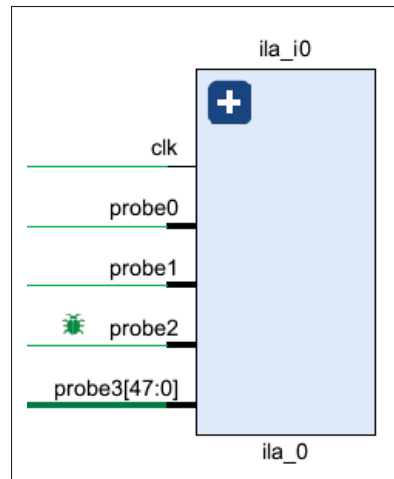


Figure 2.21 Bloc ILA

2.4.1.9 VIO (Virtual Input/Output)

Ce bloc est un noyau IP de Xilinx qui permet de contrôler les signaux internes du FPGA. Il offre la possibilité de sélectionner jusqu'à 256 sondes d'entrée et de sortie, chacune pouvant atteindre une largeur maximale de 256 bits (Xilinx, 2018). Le module utilise des registres d'entrée et de sortie, ainsi que des connexions à l'interface JTAG. En mode mission, ce bloc contrôle la gestion de l'activation et de la désactivation du bruit à l'aide des signaux de contrôle utilisateur *noise_en0*, *noise_en1*, *ce_1* et *ce_0*, provenant du bloc générateur de bruit. Il permet également de choisir entre les modes synchrone et retardé à l'aide du signal *start_select*, une des entrées du bloc de délai, et de sélectionner le numéro des sous-chaînes de la ligne de délai avec le signal *carry4_selector[3:0]*. Ce dernier signal, la troisième sortie du VIO, comme illustré à la figure 2.22, correspond à la sonde *probe_out2[3:0]*. Il est le seul signal de 4 bits, tandis que les autres sondes sont attribuées aux signaux de contrôle à 1 bit mentionnés précédemment. Le tableau 2.4 présente la signification des sondes du VIO.

Tableau 2.4 Signaux de contrôle utilisateur du bloc VIO

| Sonde | Signal |
|------------------|-----------------------|
| probe_out0 | noise_en0 |
| probe_out1 | noise_en1 |
| probe_out2[3 :0] | carry4_selector[3 :0] |
| probe_out3 | ce_0 |
| probe_out4 | ce_1 |
| probe_out5 | start_select |

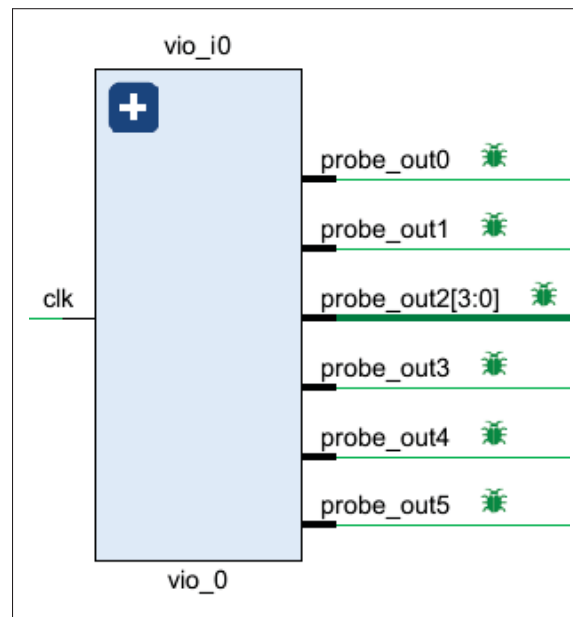


Figure 2.22 Bloc VIO

2.4.2 Mode test

Pour le mode test, des modifications ont été apportées au design original (Honarmand, 2021), notamment au niveau du bloc FSM, ainsi qu'avec l'ajout d'un deuxième bloc de bruit. La structure globale du design est illustrée à la figure 2.23.

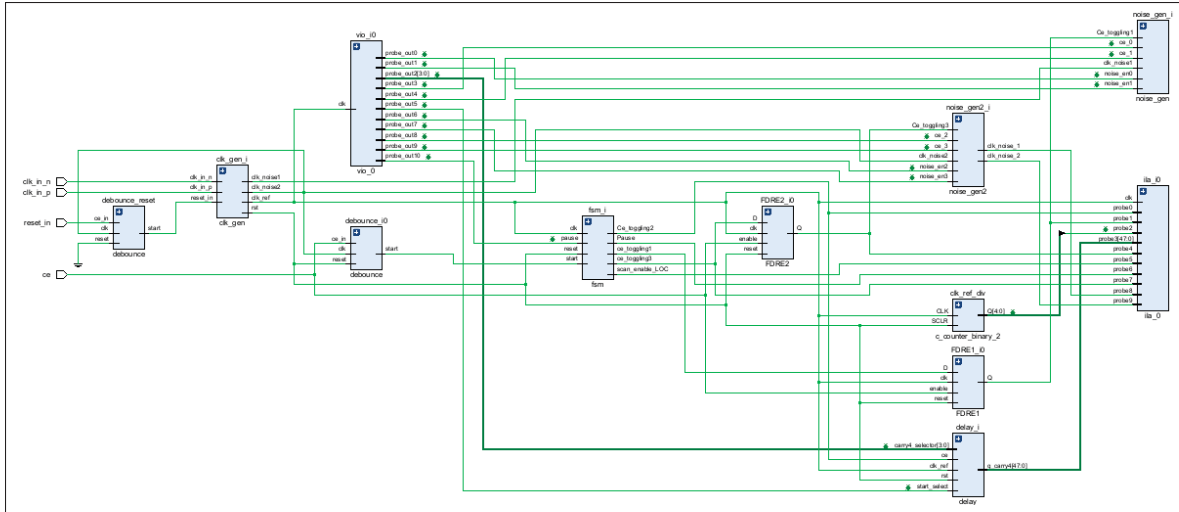


Figure 2.23 Circuit de mesure pour le mode test

2.4.2.1 Blocs générateurs de bruit

En mode test, notre étude se concentre sur le test des délais. Pour cela, divers rapports d'activité de commutation des bascules ont été déployés afin d'évaluer l'impact des différentes charges de travail sur les délais pour chacune des deux cartes : ZC702 et ZEDBOARD. Comme défini dans le chapitre 3, le ratio $R_{H/L}$ correspond au rapport entre une haute activité de commutation et une basse activité de commutation des bascules.

Ainsi, deux blocs de bruit sont nécessaires pour ce mode. Les configurations spécifiques pour chaque ratio $R_{H/L}$ sont les suivantes :

- Pour un ratio $R_{H/L} = 1 : 1$, le premier bloc de bruit contient 28 000 bascules, et le second bloc contient également 28 000 bascules.
- Pour un ratio $R_{H/L} = 4 : 1$, le premier bloc de bruit contient 56 000 bascules, tandis que le second bloc en contient 14 000 bascules.

Le bruit peut être activé durant les deux phases transitoires : la première phase de charge (*LOAD*) et la deuxième phase de test (*TEST*). L'activation et la désactivation du bruit sont contrôlées par l'intermédiaire des signaux de contrôle utilisateur de VIO : *noise_en0*, *noise_en1*, *ce_0* et

ce_1 pour le premier bloc de bruit, ainsi que *noise_en2*, *noise_en3*, *ce_2* et *ce_3* pour le deuxième bloc de bruit. Le chronogramme fonctionnel du mode test est présenté à la figure 2.24, et des détails supplémentaires sont fournis au chapitre 3.

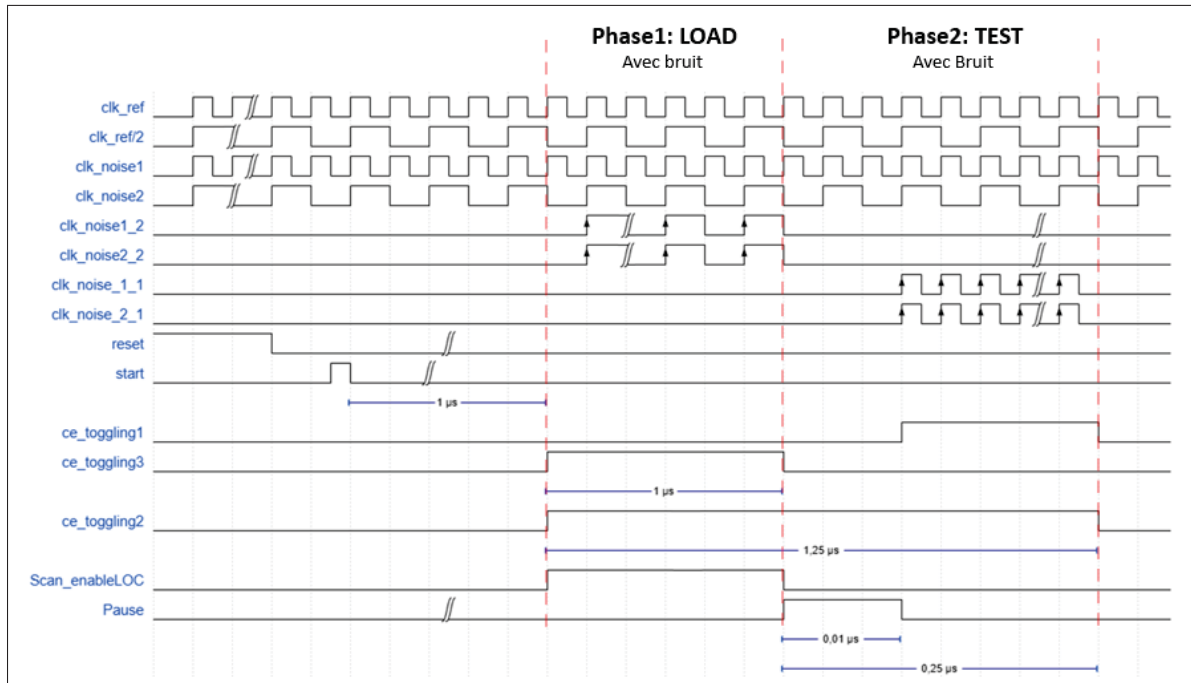


Figure 2.24 Chronogramme de fonctionnement du mode test

Comme mentionné dans la section précédente, le premier bloc générateur de bruit, correspondant à une basse activité de commutation des bascules lors de la deuxième phase *TEST*. Ce module, comme le montre la figure 2.25, dispose de six entrées : le signal d'horloge de bruit *clk_noise1*, *ce_toggling1*, *ce_0*, *ce_1*, *noise_en0* et *noise_en1*. Pour un ratio $R_{H/L} = 4 : 1$, ce module contient 4 blocs de bruit, chacun composé de 3500 bascules, soit un total de 14 000 bascules. Chaque paire de blocs est reliée à une primitive BUFGCE, définie au chapitre 1.

Le deuxième bloc générateur de bruit, correspondant à une haute activité de commutation lors de la première phase *LOAD*. Ce module, comme illustré à la figure 2.26, dispose de six entrées : le signal d'horloge de bruit *clk_noise2*, *ce_toggling3*, *ce_2*, *ce_3*, *noise_en2* et *noise_en3*. Pour ce même ratio, ce module contient 16 blocs de bruit, soit un total de 56 000 bascules. Chaque ensemble de 8 blocs est relié à une primitive BUFGCE.

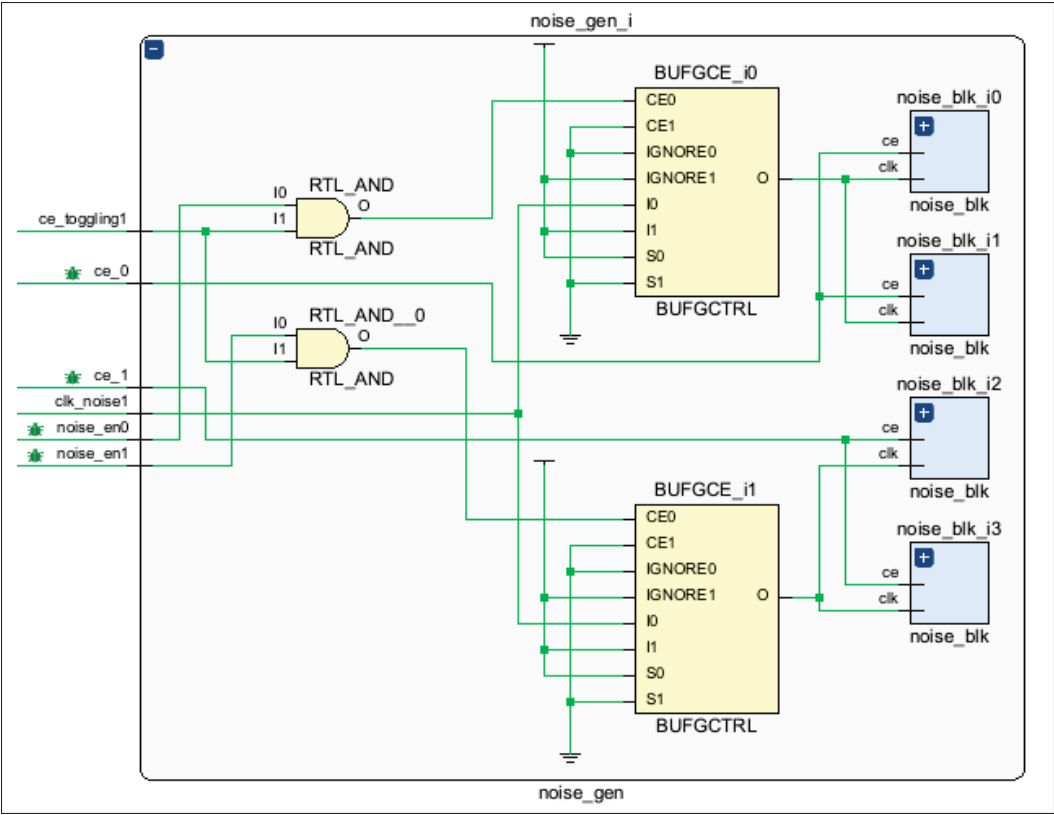


Figure 2.25 Diagramme éclaté du premier bloc générateur de bruit

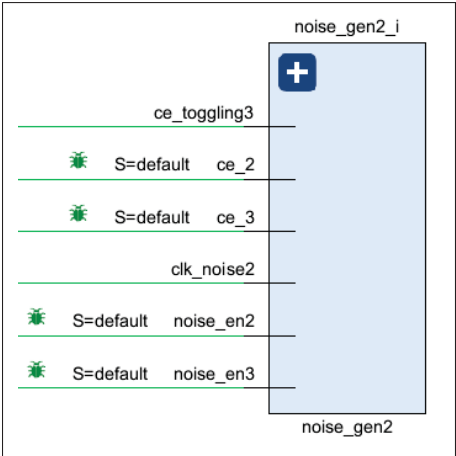


Figure 2.26 Deuxième bloc générateur de bruit

2.4.2.2 Bloc générateur d'horloges

Certaines modifications ont été apportées à la configuration des horloges générées par ce bloc. En effet, l'utilisation d'un deuxième bloc de bruit nécessite une horloge appropriée, appelée *clk_noise2*, comme le montre la figure 2.27. Pour le mode test, les mesures de délai s'effectuent durant deux phases transitoires. Dans les conditions de bruit total (*full noise*), le bruit est injecté durant les deux phases, tandis que dans les conditions sans bruit (*no noise*), aucun bruit n'est injecté. En effet, la première phase transitoire correspond à la phase de charge, caractérisée par une haute activité de commutation des bascules du deuxième bloc générateur de bruit, opérant à l'horloge *clk_noise2*, qui est à la moitié de la fréquence de *clk_ref*. La deuxième phase correspond à la phase de test, marquée par une basse activité de commutation des bascules du premier bloc générateur de bruit, opérant à l'horloge nominale *clk_noise1*, qui est égale à *clk_ref*.

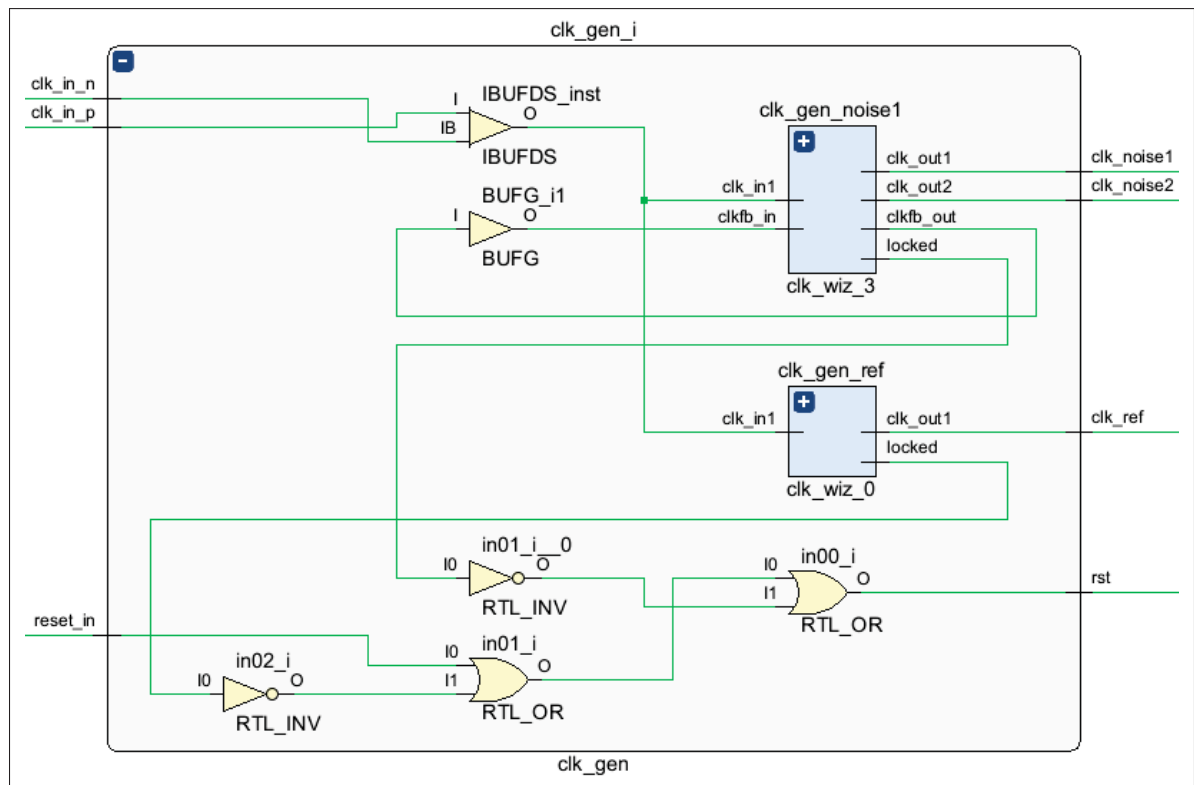


Figure 2.27 Diagramme éclaté du bloc générateur d'horloges en mode test

2.4.2.3 Bloc de machine à états finis FSM

L'ajout du deuxième générateur de bruit dans ce design nécessite un deuxième paramètre de contrôle provenant du FSM, qui est le signal *ce_toggling3*. Ce signal a le même type de fonctionnalité que *ce_toggling1*, mais il sert à contrôler le moment et la durée d'injection de bruit du deuxième générateur de bruit. Un nouveau paramètre programmable a été introduit dans le design du mode test : la Pause, afin d'analyser l'effet du décalage des transitions de LC lors de la phase *TEST*. Plus de détails sont fournis au chapitre 3.

Le bloc FSM, illustré à la figure 2.28, se compose de 77 cellules, comprenant des multiplexeurs 2 :1, des registres synchrones de 10 bits, un additionneur, un comparateur, 2 mémoires de type ROM (lecture seule). L'horloge *clk* utilisée dans ce module est égale à l'horloge *clk_ref*.

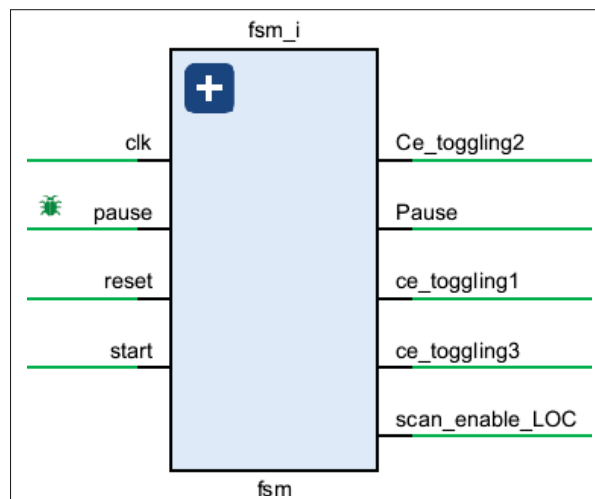


Figure 2.28 Bloc de la machine à états finis

2.5 Gestion de mémoire BRAM

La Block RAM (BRAM) est une mémoire vive intégrée dans les FPGAs, utilisée pour stocker des données de grande taille. Il existe différentes tailles de bloc notamment 4 Kb, 8 Kb, 16 Kb, 18 Kb et 36 Kb. Les principaux types de BRAM sont :

Port simple (*Single-Port*) : Permet soit une lecture, soit une écriture, en fonction de l'état du signal d'écriture (*Write Enable*).

Double port (*Dual-Port*) : Autorise des opérations simultanées de lecture et d'écriture sur deux ports distincts, synchronisées au même front d'horloge, avec l'écriture effectuée à des adresses différentes.

FIFO (*First-In-First-Out*) : Implémente une gestion de file de données basée sur le principe "Le premier élément entré est le premier à sortir". Le fonctionnement dépend de l'état des drapeaux : aucune écriture n'est possible lorsque le drapeau Full est activé, et aucune lecture n'est permise lorsque le drapeau *Empty* est activé.

Les 48 blocs de Carry4 sélectionnés, sont enregistrés dans un registre de sortie q_carry4 de 48 bits que l'on souhaite visualiser sur l'ILA. Les données visualisées sur l'ILA utilise une certaine capacité de BRAM. Dans notre cas d'étude, en mode mission, les entrées et sorties de l'ILA sont les signaux q_carry4 , $ce_toggling1$, $ce_toggling2$, q_clk_ref , et le signal d'horloge clk . Cela correspond à 3 signaux de 1 bit et 1 signal de 48 bits, ce qui donne un total de 51 bits, avec une profondeur des données échantillonnées de 1024.

Pour stocker ces 51 bits, on a :

$$\frac{51}{36} = 1.42 \text{ blocs de RAM nécessaires.} \quad (2.4)$$

Cela nécessite uniquement l'utilisation de :

- 1 BRAM de 36 kB configuré en mode FIFO (FIF036E1).
- 1 BRAM de 18 kB configuré en RAM simple (RAMB18E1).

2.6 Conclusion

Ce chapitre englobe les éléments essentiels à la compréhension du design proposé pour ce projet de recherche. Une architecture a été adaptée à partir d'un design existant, pour chaque

des modes mission et test et adaptée aux caractéristiques de chaque carte de développement FPGA utilisée. Dans ce contexte, les différents modules du circuit de mesure ont été détaillés pour chaque mode. Pour évaluer l'impact du bruit d'alimentation sur les délais, l'émulation de l'effet du *Clock Gating* a été réalisée à l'aide de la primitive BUFGCE, qui contrôle l'activité de commutation *ON/OFF* des bascules dans un bloc générateur de bruit, permettant ainsi la génération de bruit sur l'alimentation. Différentes configurations des générateurs de bruit ont également été appliquées selon les modes, notamment l'implémentation de différents ratios de commutation de bascules pour le mode test (par exemple, les ratios $R_{\frac{H}{L}} = 1 : 1$, $R_{\frac{H}{L}} = 2 : 1$ et $R_{\frac{H}{L}} = 4 : 1$), ainsi que l'implémentation de différents nombres de bascules dans le mode mission afin d'étudier leur impact sur les délais.

L'optimisation de la structure de ligne de délai, permettant des mesures de délai sur une gamme de fréquences allant de 55 MHz à 200 MHz, a constitué un point clé de la conception, ce qui a permis une meilleure exploitation des ressources BRAM, réduisant ainsi l'utilisation à une seule BRAM de 36 Kb et à un FIFO BRAM de 18 Kb. Cela a été réalisé par l'application de la méthode de chevauchement, permettant de sélectionner, pour chaque fréquence, une chaîne de 48 blocs Carry4 dans la ligne de délai.

CHAPITRE 3

RÉSULTATS ET ANALYSE

3.1 Introduction

L'objectif principal de ce mémoire est d'étudier la représentativité du mode test par rapport au mode mission, en présence de conditionnement d'horloge, sur deux cartes distinctes, la ZC702 et la ZEDBOARD. Dans ce cadre, en adaptant l'architecture présentée au chapitre 2, le délai est mesuré sur une plus large plage de fréquences, y compris les plus basses, et le comportement du délai est évalué tout en analysant l'impact des différentes configurations de bloc de bruit sur différents ratios d'activité de commutation. Les étapes de l'étude sont détaillées dans les sections suivantes : la collecte et le traitement des données, les résultats des mesures de délai pour la ZC702 et la ZEDBOARD en modes mission et test, et l'étude de représentativité et analyses comparatives de la performance des cartes en termes de délai transitoire.

3.2 Collection et traitement des données

La collecte des données de la ligne de délai des blocs Carry4 se fait selon un processus structuré, impliquant deux modes d'échantillonnage : le mode synchrone (st0) où une transition montante est lancée simultanément à l'activation de la source de bruit et le mode retardé (st1) où une transition montante est lancée une période d'horloge plus tard. Lors des tests, chaque collecte des échantillons est répétée vingt fois automatiquement avec un script python.

Afin de normaliser les résultats de mesure, ce qui permet d'atténuer l'impact du bruit non corrélé, les ensembles d'échantillons des deux modes sont fusionnés suivant un processus détaillé. Pour ce faire, on utilise 4 valeurs de référence, également appelées offsets, correspondant à l'état stable dans des conditions sans bruit. Ces valeurs sont calculées à partir des valeurs des 8 derniers échantillons, dont 4 pairs et 4 impairs, juste avant le début de la deuxième phase transitoire pour les modes synchrone et retardé. Les mesures obtenues, *Nb_zero*, durant les deux phases transitoires, lorsque le bruit est activé, correspondent au nombre d'étages de la ligne à délai où

la transition lancée n'a pas eu le temps de se rendre avant le prochain front montant de l'horloge. Les offsets correspondants sont ensuite soustraits des mesures obtenues pour les échantillons pairs et impairs respectivement, des deux modes. Un fichier de fusion est généré, comprenant les valeurs moyennées des deux modes **AMN** (*Average Mean*). Le processus est implémenté dans un script Python et décrit par les équations suivantes.

Les offsets sont calculés comme la moyenne des valeurs dans l'intervalle]lim1, lim2[.

$$\text{lim1} = \text{lim2} - 9 \quad (3.1)$$

Pour le mode retardé st1

$$\text{lim2} = \text{Échantillon de début de la deuxième phase}$$

Pour le mode synchrone st0

$$\text{lim2} = \text{Échantillon de début de la deuxième phase} + 1$$

Finalement, on obtient les quatre offsets suivants :

$$\text{offset_0_s_p} = \frac{\sum_{i=2k-1} \text{valeurs des échantillons pairs}(i), \text{st0}}{4} \quad (3.2)$$

$$\text{offset_0_s_i} = \frac{\sum_{i=2k} \text{valeurs des échantillons impairs}(i), \text{st0}}{4} \quad (3.3)$$

$$\text{offset_1_s_p} = \frac{\sum_{i=2k-1} \text{valeurs des échantillons pairs}(i), \text{st1}}{4} \quad (3.4)$$

$$\text{offset_1_s_i} = \frac{\sum_{i=2k} \text{valeurs des échantillons impairs}(i), \text{st1}}{4} \quad (3.5)$$

Avec,

i est le numéro de ligne, $i \in]\text{lim1}, \text{lim2}[$

Notons que le numéro de la première ligne du fichier *st0* est impair et correspond à un échantillon pair, tandis que dans le fichier *st1*, la première ligne est impaire et correspond à un échantillon impair.

Si la ligne i de l'échantillon $\text{Nb_zero_1}(i)$ dans le fichier *fullnoise st1* est paire, alors la valeur normalisée pour la ligne i , $\text{Valeur1}(i)$, est égale à

$$\text{Valeur1}(i) = \text{Nb_zero_1}(i) - \text{offset_1_s_p} \quad (3.6)$$

Notons que le premier échantillon (514) n'existe pas dans les fichiers *st1*, donc il n'y a pas de fusion en tant que tel : la valeur obtenue du mode synchrone sera utilisée directement.

Si la ligne i de l'échantillon $\text{Nb_zero_1}(i)$ dans le fichier *fullnoise st1* est impaire, alors la valeur normalisée pour la ligne i , $\text{Valeur1}(i)$, est égale à

$$\text{Valeur1}(i) = \text{Nb_zero_1}(i) - \text{offset_1_s_i} \quad (3.7)$$

Si la ligne i de l'échantillon $\text{Nb_zero_0}(i)$ dans le fichier *fullnoise st0* est paire, alors la valeur normalisée pour la ligne i , $\text{Valeur0}(i)$, est égale à

$$\text{Valeur0}(i) = \text{Nb_zero_0}(i) - \text{offset_0_s_p} \quad (3.8)$$

Si la ligne i de l'échantillon $Nb_zero_0(i)$ dans le fichier *fullnoise st0* est impaire, alors la valeur normalisée pour la ligne i , $Valeur0(i)$, est égale à

$$Valeur0(i) = Nb_zero_0(i) - offset_0_s_i \quad (3.9)$$

Fusion des deux cycles

La valeur moyenne des deux cycles pour la ligne i , $AMN(i)$, est calculée comme suit pour $i > 514$:

$$AMN(i) = \frac{Valeur0(i) + Valeur1(i)}{2} \quad (3.10)$$

Lorsque $i = 514$, $AMN(i) = Valeur0(i)$.

3.3 Mode mission

Des modifications ont été apportées à la conception, comme décrit dans le chapitre 2, afin d'assurer le bon fonctionnement du système sur une plus large plage de fréquences, permettant notamment des valeurs plus basses. Les valeurs qui seront utilisées sont : 55 MHz, 60 MHz, 80 MHz, 100 MHz, 120 MHz, 140 MHz, 160 MHz, 180 MHz et 200 MHz. Étant donné que le temps de mesure est fixé à 1,25 microseconde et que le temps d'activation du bruit est de 1 microseconde, il est essentiel de déterminer le nombre total d'échantillons, l'emplacement des phases 1 et 2, ainsi que la valeur optimale des éléments de retard pour chaque fréquence.

3.3.1 Nombre d'échantillons et début de la deuxième phase à chaque fréquence

Le nombre total d'échantillons ainsi que le début de la deuxième phase à chaque fréquence varient en fonction de la période de *clk_ref*. Ces éléments sont présentés dans le tableau 3.1.

Tableau 3.1 Nombre d'échantillons et début de la deuxième phase à chaque fréquence

| Fréquence <i>clk_ref</i> (MHz) | Période <i>clk_ref</i> (ns) | Échantillon de début 2ième phase | Nombre total d'échantillons |
|---|--|---|--|
| 55 | 18.18 | 55 | 66 |
| 60 | 16.67 | 60 | 72 |
| 80 | 12.5 | 80 | 97 |
| 100 | 10 | 100 | 122 |
| 120 | 8.33 | 120 | 147 |
| 140 | 7.14 | 140 | 172 |
| 160 | 6.25 | 161 | 197 |
| 180 | 5.56 | 181 | 222 |
| 200 | 5 | 201 | 247 |

3.3.2 Carte ZC702

Des tests de délais ont été effectués sur la carte ZC702 en adaptant trois différentes configurations de bascules dans le bloc de bruit : 14 000 , 28 000 et 35 000 bascules, afin d'évaluer l'impact du nombre de bascules sur les délais.

3.3.2.1 Nombre d'éléments de retard de chaque fréquence

Dans le design, le signal de sélection *carry4_selector* du multiplexeur permet de choisir une chaîne spécifique de Carry4 dans la ligne de délai. Le *carry4_selector* est un vecteur de 4

bits, permettant ainsi 16 sélections possibles des différentes chaînes constituées de 48 blocs de Carry4 chacune.

Le nombre de blocs Carry4 représente le nombre d'éléments de retard traversés par le signal d'horloge à partir de l'activation du signal *start* jusqu'à la chaîne sélectionnée. Il est important de souligner qu'un principe de chevauchement est appliqué afin d'assurer une fenêtre de sélection optimale des chaînes de Carry4. Ce principe est décrit en détail dans le chapitre 2.

Le tableau 3.2 présente les meilleures valeurs du signal de sélection *carry4_selector* pour chaque fréquence lorsque le bloc de bruit contient 35 000 bascules, ainsi que le nombre de blocs Carry4 correspondant.

Tableau 3.2 Le numéro optimal et le nombre correspondant de chaînes de Carry4 à choisir pour chaque fréquence pour ZC702 pour un bloc de bruit contenant 35 000 bascules

| Fréquence (MHz) | carry4_selector | Numéro de la chaîne de Carry4 | Nombre de Carry4 |
|-----------------|------------------------|-------------------------------|------------------|
| 60 | 8 | 9 | 192 |
| 80 | 7 | 8 | 174 |
| 100 | 5 | 6 | 138 |
| 120 | 4 | 5 | 120 |
| 140 | 3 | 4 | 102 |
| 160 | 2 | 3 | 84 |
| 180 | 2 | 3 | 84 |
| 200 | 1 | 2 | 66 |

Il est important de noter que la valeur de **carry4_selector** varie en fonction de la fréquence, de la configuration du bloc de bruit, du délai d'un bloc de Carry4 (qui peut être de 55 ps ou 114 ps dans des conditions défavorables) et du type de carte utilisé. En effet, pour une fréquence de 120 MHz, la meilleure valeur de **carry4_selector** est **2** lorsque le bloc de bruit contient **14 000 bascules** sur ce type de carte.

3.3.2.2 Résultats de mesure en mode mission

En mode mission, trois configurations différentes des blocs de bruit ont été appliquées, contenant respectivement 35000, 28000 et 14000 bascules. Un premier exemple de résultat apparaît à la figure 3.1. Ce premier résultat a été obtenu à la fréquence 200 MHz pour un bloc de bruit contenant 14 000 bascules.

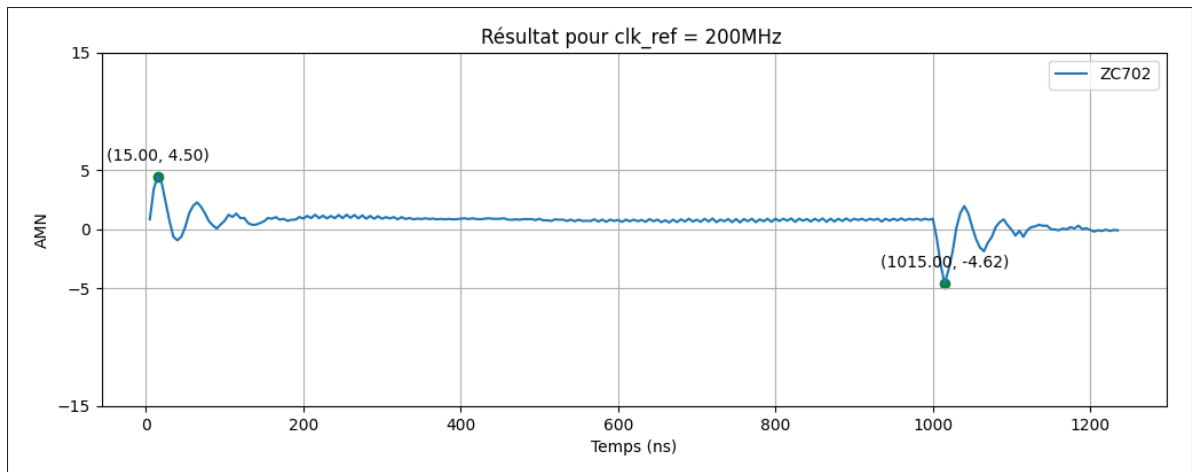


Figure 3.1 Graphe AMN pour 200MHz en mode mission de la carte ZC702 pour un bloc de bruit contenant 14 000 bascules

Lors de l'activation de bruit, au début de la première phase, un pic de délai est observé au 3^{ème} échantillon (15 ns). La valeur de ce pic est de 4.5, ce qui signifie que la transition a parcouru en moyenne 4.5 blocs carry4 de moins que celle lancée sans bruit. Par la suite, on constate l'apparition de fluctuations de taille moyenne qui s'atténuent avant l'échantillon numéro 40 (200 ns). À partir de ce moment, les fluctuations deviennent minimales. Juste avant l'échantillon 200 (1000 ns), l'état stable est atteint avant le début de la deuxième phase. À ce stade, un creux minimal d'une valeur de -4.62 apparaît au niveau de l'échantillon 203 (1015 ns), dû à l'arrêt de l'injection de bruit, suivi de l'apparition des fluctuations de tailles moyennes, se réduisant avant l'échantillon 240 (1200 ns), qui correspond également au 40^e échantillon de la deuxième phase. Et à partir de ce moment, la valeur du délai se stabilise à zéro. Les tableaux 3.3, 3.4 et 3.5 présentent respectivement les résultats en mode mission pour différentes fréquences et pour

les trois configurations des blocs de bruit, contenant respectivement 35 000, 28 000 et 14 000 bascules.

Tableau 3.3 Résultats en mode mission pour blocs de bruit contenant 35 000 bascules ; les pics et creux sont exprimés en nombre de blocs carry4

| Fréquence (MHz) | Pic maximum | Échantillon du pic maximum | Creux minimum | Échantillon du creux minimum |
|-----------------|-------------|----------------------------|---------------|------------------------------|
| 55 | 5.59 | 3 | -3.21 | 55 |
| 60 | 5.77 | 3 | -8.00 | 60 |
| 80 | 12.64 | 1 | -1.46 | 81 |
| 100 | 12.75 | 1 | -9.21 | 101 |
| 120 | 13.08 | 2 | -9.22 | 122 |
| 140 | 13.36 | 2 | -9.09 | 142 |
| 160 | 13.18 | 2 | -8.97 | 162 |
| 180 | 10.92 | 3 | -9.68 | 183 |
| 200 | 12.23 | 3 | -9.59 | 203 |

Tableau 3.4 Résultats en mode mission pour blocs de bruit contenant 28 000 bascules ; les pics et creux sont exprimés en nombre de blocs carry4

| Fréquence (MHz) | Pic maximum | Échantillon du pic maximum | Creux minimum | Échantillon du creux minimum |
|-----------------|-------------|----------------------------|---------------|------------------------------|
| 80 | 8.77 | 1 | -1.46 | 81 |
| 100 | 11.91 | 1 | -8.00 | 101 |
| 120 | 7.93 | 3 | -7.96 | 122 |
| 140 | 8.35 | 2 | -7.59 | 142 |
| 160 | 11.45 | 2 | -8.20 | 162 |
| 180 | 8.51 | 3 | -7.58 | 183 |
| 200 | 8.38 | 3 | -8.26 | 203 |

Tableau 3.5 Résultats en mode mission pour blocs de bruit contenant 14 000 bascules ; les pics et creux sont exprimés en nombre de blocs carry4

| Fréquence (MHz) | Pic maximum | Échantillon du pic maximum | Creux minimum | Échantillon du creux minimum |
|-----------------|-------------|----------------------------|---------------|------------------------------|
| 80 | 3.81 | 1 | -1.49 | 81 |
| 100 | 5.67 | 1 | -4.08 | 101 |
| 120 | 6.39 | 2 | -4.13 | 122 |
| 140 | 5.19 | 2 | -4.46 | 142 |
| 160 | 5.56 | 2 | -4.04 | 162 |
| 180 | 6.52 | 3 | -3.81 | 183 |
| 200 | 4.50 | 3 | -4.62 | 203 |

Les résultats révèlent que, comme anticipé, plus le nombre de bascules dans les blocs de bruit est élevé, plus le délai est important. En effet, les pires cas de délai se présentent dans les configurations suivantes :

- Bloc de bruit contenant **35 000 bascules** : Fréquence 140 MHz présente un pic de délai de valeur 13.36 blocs Carry4 au niveau de l'échantillon 2.
- Bloc de bruit contenant **28 000 bascules** : Fréquence 100 MHz présente un pic de délai de valeur 11.91 blocs Carry4 au niveau de l'échantillon 1.
- Bloc de bruit contenant **14 000 bascules** : Fréquence 180 MHz présente un pic de délai de valeur 6.52 blocs Carry4 au niveau de l'échantillon 3.

3.3.3 Carte ZEDBOARD

Des tests de délais ont été effectués sur une deuxième carte ZEDBOARD avec le bloc de bruit configuré à 14 000 bascules, afin de pouvoir comparer les résultats des deux cartes. Seule la

configuration à 14000 bascules est utilisée car c'est elle qui a été choisie plus tard pour établir la représentativité du mode test versus le mode mission.

3.3.3.1 Nombre d'éléments de retard de chaque fréquence

Le tableau 3.6 présente le meilleur numéro de la chaîne et le nombre de blocs Carry4 dans le mode mission pour la carte ZEDBOARD, lorsque le bloc de bruit est configuré pour 14 000 bascules.

Tableau 3.6 Numéro de la chaîne et nombre de blocs Carry4 à choisir pour chaque fréquence pour la carte ZEDBOARD avec un bloc de bruit contenant 14 000

| Fréquence (MHz) | carry4_selector | Numéro de la chaîne de Carry4 | Nombre de blocs Carry4 |
|-----------------|-----------------|-------------------------------|------------------------|
| 80 | - | - | - |
| 100 | 7 | 8 | 174 |
| 120 | 5 | 6 | 138 |
| 140 | 4 | 5 | 120 |
| 160 | 3 | 4 | 102 |
| 180 | 2 | 3 | 84 |
| 200 | 2 | 3 | 84 |

3.3.3.2 Résultats de mesure en mode mission

Tel que mentionnée, en mode mission, pour la carte ZEDBOARD, une seule configuration de bloc de bruit a été appliquée, utilisant 14 000 bascules. Le tableau 3.7 présente les résultats en mode mission pour différentes fréquences.

Tableau 3.7 Résultats en mode mission pour bloc de bruit contenant 14 000 bascules pour la carte ZEDBOARD ; les pics et creux sont exprimés en nombre de blocs carry4

| Fréquence (MHz) | Pic maximum | Échantillon du pic maximum | Creux minimum | Échantillon du creux minimum |
|-----------------|-------------|----------------------------|---------------|------------------------------|
| 80 | - | - | - | - |
| 100 | 5.00 | 2 | -3.00 | 102 |
| 120 | 5.32 | 2 | -2.66 | 121 |
| 140 | 4.83 | 3 | -4.01 | 142 |
| 160 | 4.86 | 3 | -3.56 | 162 |
| 180 | 4.78 | 2 | -2.85 | 182 |
| 200 | 5.25 | 3 | -3.30 | 204 |

Les résultats pour la fréquence 120 MHz présentent le pire cas de délai dont le pic est de valeur 5.32 blocs Carry4 au niveau du deuxième échantillon suivie des résultats de la fréquence 200 MHz qui présente un pic de délai à une valeur 5.25 blocs Carry4 au niveau du troisième échantillon, comme illustré à la figure 3.2.

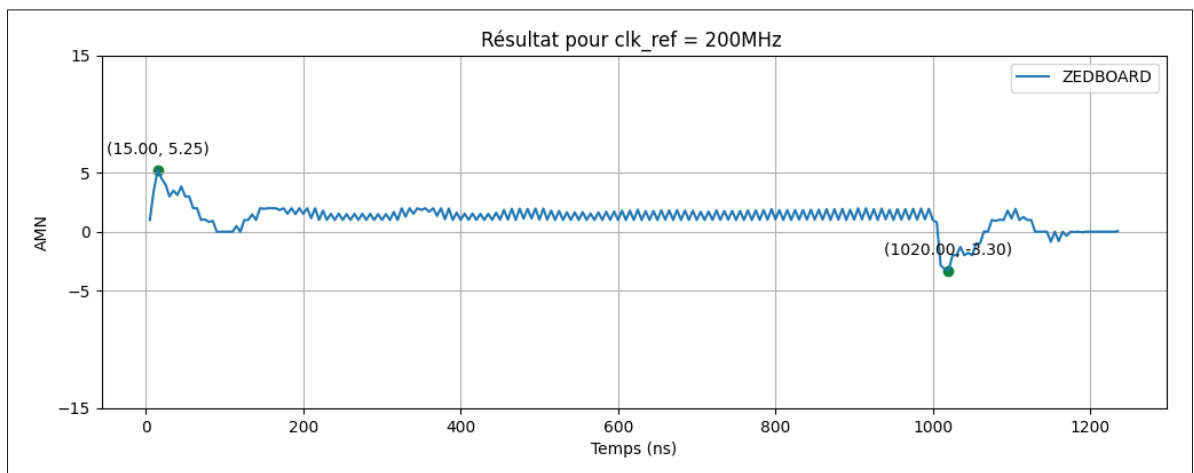


Figure 3.2 Graphe AMN pour 200MHz en mode mission de la carte ZEDBOARD pour un bloc de bruit contenant 14 000 bascules

La forme globale du graphe AMN pour la carte ZEDBOARD en mode mission est assez similaire à celle de la carte ZC702, à la différence de l'échantillon où se produit le creux minimal. En fait, le pic de délai est observé au 3^{ième} échantillon (15 ns) lors de l'activation de bruit au début de la première phase. Par la suite, on trouve l'apparition de fluctuations de taille moyenne qui s'atténuent avant l'échantillon numéro 40 (200 ns) et à partir de ce moment, les fluctuations deviennent minimales. Juste avant l'échantillon 200 (1000 ns), l'état stable est atteint avant le début de la deuxième phase. À ce stade, un creux minimal apparaît au niveau de l'échantillon 204 (1020 ns), dû à l'arrêt de l'injection de bruit, suivie de l'apparition des fluctuations de taille moyenne, se réduisant avant l'échantillon 240 (1200 ns), qui correspond également au 40^e échantillon de la deuxième phase. Et à partir de ce moment, la valeur du délai se stabilise à zéro.

3.3.4 Analyse comparative des deux cartes

Les résultats obtenus pour les deux cartes ont été comparés en configurant le bloc de bruit de chaque carte à 14 000 bascules, permettant une meilleure base de comparaison. Le graphique 3.3 illustre cette analyse comparative des résultats normalisés AMN en mode mission à 180 MHz pour les cartes ZC702 et ZEDBOARD .

Pour la carte ZC702, le graphe présente le cas d'une latence de réponse élevée et un amortissement relativement faible face à la chute de tension transitoire, dû à l'activité de commutation ON/OFF. Cela se traduit par des pics de délai plus prononcés. Le système est faiblement amorti.

La carte ZEDBOARD donne une réponse plus rapide aux chutes de tension transitoires, indiquant un amortissement élevé (R élevé) et des délais moins marqués. Le système se stabilise rapidement. Cette carte se caractérise par une meilleure régulation de la tension.

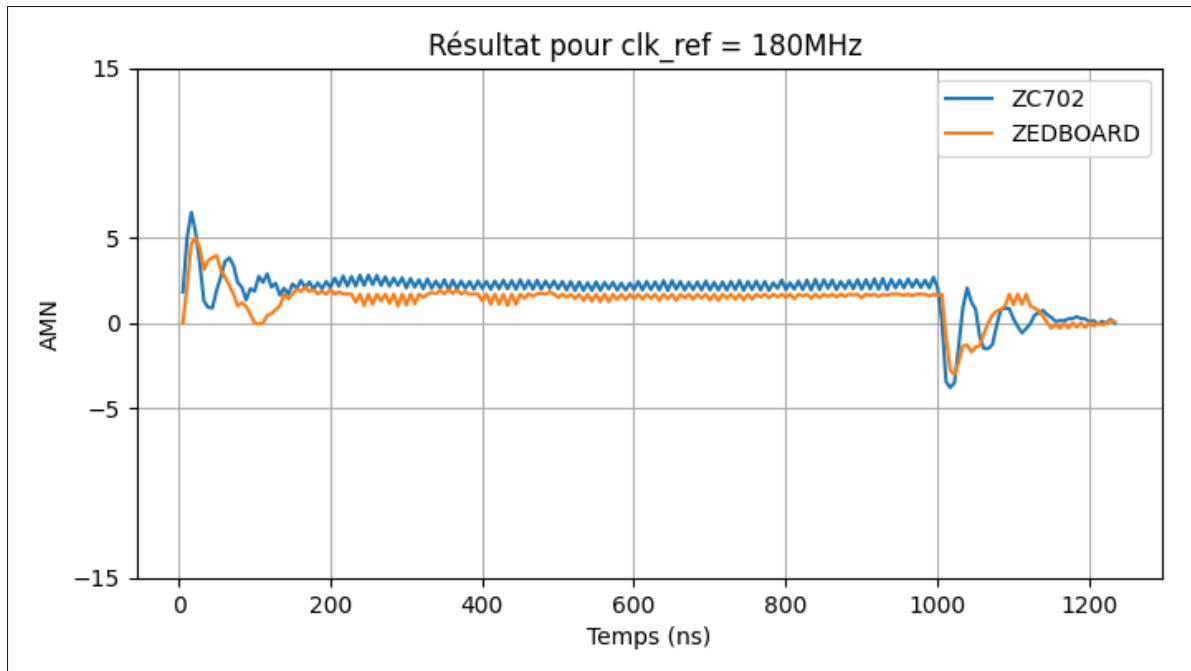


Figure 3.3 Graphe AMN pour 180MHz en mode mission des cartes ZC702 et ZEDBOARD

3.4 Mode test

En mode test, notre étude se concentre sur le test de retard. Dans ce cadre, des rapports d'activité de commutation des bascules ont été testés, définis comme le rapport de haute activité de commutation sur basse activité de commutation des bascules RH/L , commençant par un ratio de 1 : 1 puis 4 : 1. En effet, pour $RH/L = 1 : 1$, le premier bloc de bruit contient 28 000 bascules, le deuxième bloc en contient également 28 000 bascules. Pour $RH/L = 4 : 1$, le premier bloc de bruit contient 56 000 bascules, tandis que le deuxième bloc en contient 14 000 bascules. Il est important de souligner qu'en mode test, il n'est pas possible d'utiliser 35 000 bascules pour chacune des deux configurations de ratio des blocs de bruit, car le nombre de bascules disponibles dans le FPGA est insuffisant. Comme mentionné au chapitre 1, un total de 106 400 bascules est disponible pour chacune des deux cartes. En d'autres termes, si l'on veut appliquer le ratio 1/4, il faudrait utiliser 140 000 bascules pour le premier bloc générateur de bruit et 35 000 bascules pour le deuxième bloc générateur de bruit, ce qui n'est pas réalisable.

La configuration de RH/L prend en compte la proportion de la puissance dynamique du réseau de distribution d'horloge, qui représente environ 30 à 50 % de la puissance dynamique globale d'une puce (S *et al.*, 2008), ainsi que le rapport d'activité de commutation en mode test par rapport au mode fonctionnel, qui est typiquement 3 à 4 fois supérieur à celui du mode fonctionnel (Arabi, Saleh & Meng, 2007).

Les chronogrammes du mode test, illustré à la figure 3.4, présentent l'activation du bruit durant les deux phases transitoires, nécessitant ainsi l'implémentation de deux blocs de bruit dans le design. En effet, un premier bloc de bruit est activé pendant la première phase sur une fréquence d'horloge lente $f/2$ dite $clk_ref/2$, qui présente la moitié de clk_ref , utilisant ainsi l'horloge de bruit $clk_noise2 = clk_ref/2$, puis se désactive au moment où le deuxième bloc de bruit s'active, au début de la deuxième phase, sur la fréquence d'horloge nominale f du clk_ref , utilisant l'horloge de bruit $clk_noise1 = clk_ref$.

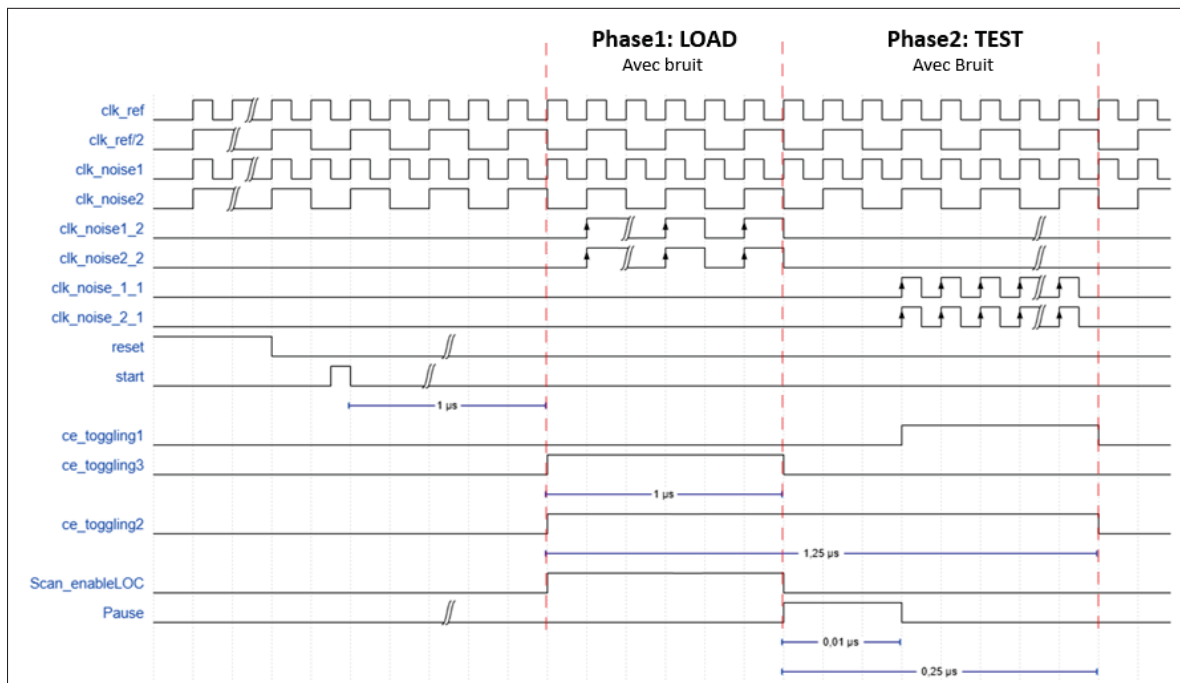


Figure 3.4 Chronogramme de fonctionnement du mode test

La première phase, dite phase de chargement (*LOAD*), correspond à haute activité de commutation des bascules du premier bloc de bruit (H), tandis que la deuxième phase, appelée phase de test,

correspond à basse activité de commutation des bascules du premier bloc de bruit (L) tels que mentionné par Thibeault & Gagnon (2018).

Lorsque le signal *FSM_Start* est activé, le compteur 9 bits de la FSM commence à compter à partir du prochain front d'horloge pour une durée de 1 μ s. Lorsque ce délai d'une microseconde est atteint, les signaux *Ce_toggling3* et *Ce_toggling2*, comme définis au chapitre 2, s'activent : *Ce_toggling3* reste actif pendant 1 μ s, tandis que *Ce_toggling2* demeure actif pendant 2,25 μ s.

L'activation du signal d'injection de bruit *Ce_toggling3* entraîne l'activation de l'horloge du premier bloc de bruit *clk_noise2* dont la fréquence est égale à *clk_ref*/2 pendant la première phase transitoire. L'activation du signal d'injection de bruit *Ce_toggling1* entraîne l'activation de l'horloge du deuxième bloc de bruit *clk_noise1* égale à *clk_ref* pendant la deuxième phase transitoire.

Un nouveau paramètre a été introduit : la pause, qui est positionnée juste avant le début de la deuxième phase. Cette pause a été ajoutée pour permettre l'analyse de l'effet de décalage de ces transitions du LC. La pause est programmable et peut varier de 0 à 50 périodes. Cependant, la durée maximale de cette pause dépend de la fréquence de l'horloge de la phase 2, la *clk_ref*. En effet, la durée de la pause est définis par l'équation (3.13) :

$$\text{Durée maximale (en périodes)} = \frac{\text{Durée de la phase 2}}{T} \quad (3.11)$$

$$\text{Durée maximale de la pause (en périodes)} = \text{Durée maximale} - 2 \quad (3.12)$$

$$\text{Durée de la pause (en ns)} = N \times T \quad (3.13)$$

Avec $N \in [0, \text{Durée maximale de la pause}]$

Par exemple, étant donné que la période de la fréquence 200 MHz est de 5 ns, la durée de la deuxième phase est 250 ns, d'où 250 ns divisé par 5 ns, ce qui équivaut à 50 périodes T et si l'on consacre 2 transitions, une pour le lancement et une pour la capture, la durée maximale de la pause est $50 - 2 \text{ transitions} = 48 \text{ périodes T}$. Ainsi, si l'on souhaite définir une durée de pause de 2 fois T, cela donnerait $2 * 5 \text{ ns}$, soit une pause de 10 ns.

La figure 3.5 présente la forme d'onde captée par l'ILA lors du test sur la carte ZEDBOARD, opérant, en mode test, à une fréquence nominale *clk_ref* de 100 MHz pour la phase 2 et 50 MHz pour la phase 1. La configuration de pause est définie à 1 T, l'injection de bruit pour la phase 2, marquée par le signal *Ce_toggling1*, est activée pendant 2 T, impliquant ainsi la durée du LC (une transition de lancement et une transition de capture).

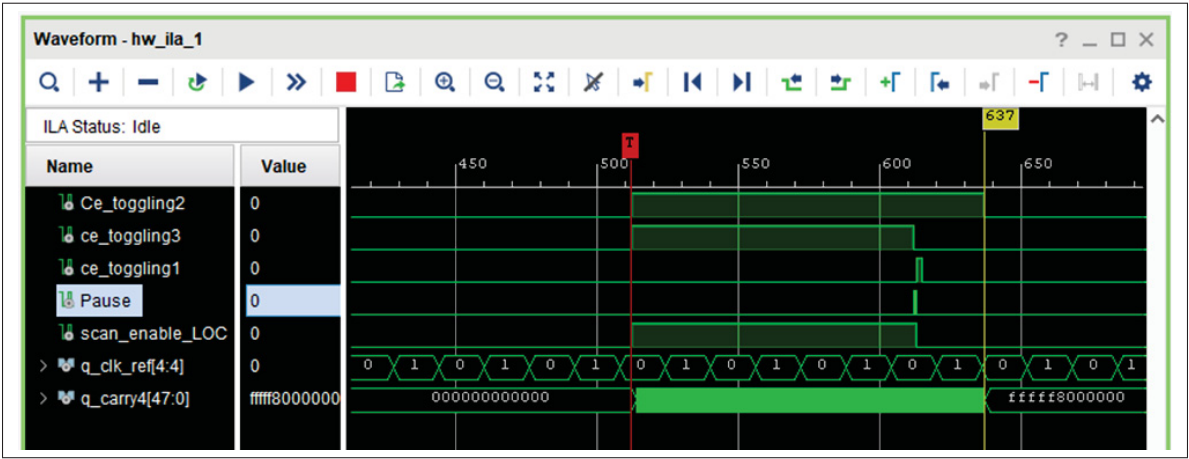


Figure 3.5 Forme d'onde captée par l'ILA du mode test pour la carte ZEDBOARD à 100 MHz

Dans le mode test, le bruit est injecté durant les deux phases comme indiquée précédemment, nécessitant l'utilisation de deux blocs de bruit distincts. Notre étude se concentre sur l'application d'un ratio RH/L de 4 :1, défini par l'utilisation de 56 000 bascules pour le premier bloc de bruit, représentant une haute activité de commutation des bascules (H) durant la phase 1 (*LOAD*). En revanche, le deuxième bloc de bruit utilise 14 000 bascules, ce qui correspond à une basse

activité de commutation (L) durant la phase 2 (*TEST*). Les résultats de mesure pour les ratios 1 :1 et 2 :1 sur la carte ZC702 sont présentés dans l'ANNEXE I.

Dans le mode test, différentes configurations de pause et des transitions de lancement et de capture ont été appliquées pour évaluer la représentativité du mode test par rapport au mode mission. Le même numéro de la chaîne des blocs Carry4 sélectionné avec *carry4_selector* lors des tests en mode mission, est également employé dans le mode test. Les résultats sont présentés dans les sous-sections suivantes.

3.4.1 Résultats et étude de représentativité sur la Carte ZC702

L'étude de la représentativité du mode test par rapport au mode mission sur la carte ZC702 prend en compte deux points essentiels :

- Les résultats de mesure en mode test sont obtenus en appliquant systématiquement le ratio de 4 :1 définis par l'utilisation de 56 000 bascules dans le premier bloc de bruit et 14 000 bascules dans le deuxième bloc.
- Les résultats de mesure en mode mission sont générés en configurant le bloc de bruit avec 14 000 bascules.

Cette étude vise à comparer le pic de la deuxième phase du mode test avec le pic de la première phase du mode mission opérant au même fréquence *clk_ref*, afin d'évaluer la représentativité. Pour ce faire, plusieurs mesures ont été prises en tenant compte de différents cas de configuration de pause et de LC, suivant un algorithme de recherche de meilleure pic de la deuxième phase comme décrit dans l'ANNEXE II.

Le tableau 3.8 décrit la représentativité du mode test par rapport au mode mission pour différentes configurations de Pause et LC, en identifiant les résultats de mesure pour lesquels le mode test est le plus représentatif du mode mission pour la carte ZC702. Ainsi, la représentativité (%) est définie par la relation suivante :

$$\text{Représentativité (\%)} = \frac{\text{Valeur effective de pic en deuxième phase en mode test}}{\text{Valeur de pic en première phase en mode mission}} \times 100 \quad (3.14)$$

Tableau 3.8 Résultats de mesure et représentativité du mode test par rapport au mode mission pour la carte ZC702 ; la valeur des pics est exprimée en nombre de blocs carry4

| ZC702 | Mode Mission | Mode Test | | | | |
|-----------------|--------------|---------------|----|------------------|-----------------|----------------------|
| Fréquence (MHz) | Pic Phase 1 | Configuration | | Pic Phase 2 | | Représentativité (%) |
| | | Pause | LC | Valeur effective | Valeur déphasée | |
| 200 | 4,5 | 4T | 3T | 6,35 | – | 141 |
| | | 5T | 2T | 6,05 | – | 134 |
| | | 2T | 6T | 4,5 | 5,49 | 100 |
| 180 | 6,52 | 4T | 3T | 5,54 | – | 85 |
| | | 5T | 2T | 4,79 | – | 73 |
| 160 | 5,56 | 3T | 3T | 6,72 | – | 121 |
| | | 4T | 3T | 5,78 | – | 104 |
| | | 4T | 2T | 5,11 | 5,7 | 92 |
| 140 | 5,19 | 2T | 3T | 5,19 | – | 100 |
| | | 3T | 2T | 5,22 | – | 101 |
| 120 | 6,39 | 1T | 3T | 7,74 | – | 121 |
| | | 2T | 2T | 6,53 | – | 102 |
| | | 2T | 3T | 5,25 | 6,3 | 82 |
| 100 | 5,67 | 0T | 4T | 7,59 | – | 134 |
| | | 1T | 2T | 5,52 | 6,95 | 97 |
| 80 | 3,81 | 1T | 2T | 5,29 | – | 139 |
| | | 0T | 3T | 4,94 | – | 130 |
| | | 0T | 4T | 2,25 | 4,05 | 60 |

La valeur déphasée correspond au pic de délai, c'est-à-dire à la valeur maximale de délai atteinte durant la deuxième phase transitoire. La valeur effective représente celle apparaissant lors de la capture. Le numéro de cet échantillon de la deuxième phase transitoire, est défini selon l'équation suivante :

$$\text{Numéro d'échantillon de la valeur effective} = \text{Durée de pause} + \text{Durée de LC} \quad (3.15)$$

Pour l'étude de la représentativité, on considère la valeur effective, afin de la comparer avec le pic de délai obtenu durant la première phase du mode mission.

On note que les cellules en vert clair représentent les cas de configuration (Pause et LC) offrant la meilleure représentativité pour chaque fréquence. On observe qu'aux fréquences de 140 MHz et 200 MHz, une représentativité de 100 % est atteinte. Pour la fréquence de 200 MHz, avec une configuration de pause de 2T et un LC de 6T. La figure 3.6 présente le graphe AMN pour cette configuration.

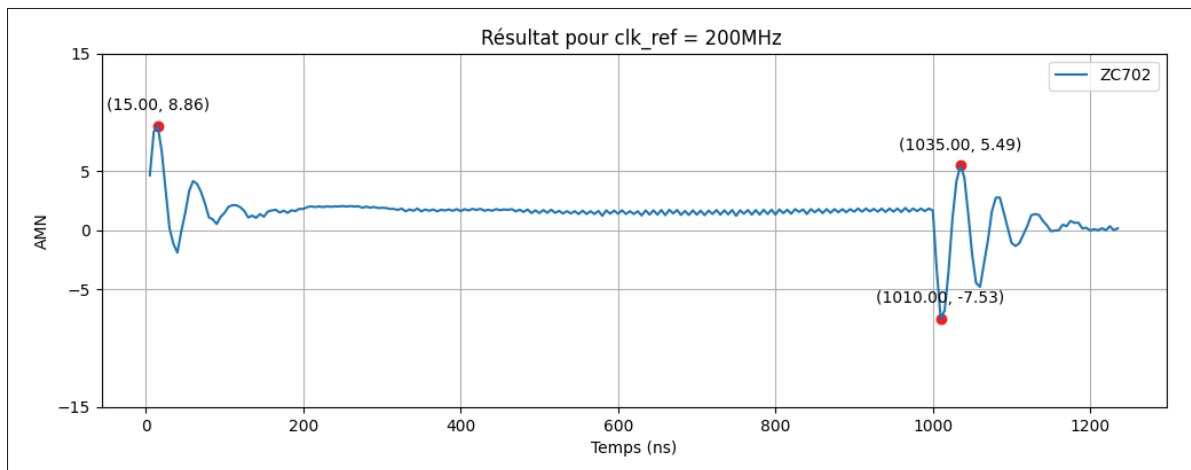


Figure 3.6 Graphe AMN pour 200 MHz en mode test pour ZC702, correspondant au cas le plus représentatif

Le choix de la configuration des durées des transitions de LC dépend des préférences et besoins spécifiques du client. En effet, plus la durée des transitions de lancement et de capture est longue, plus la génération des vecteurs de test devient complexe, ce qui peut potentiellement réduire la couverture des pannes (Park & McCluskey, 2008). Cependant, dans notre étude et pour certains cas de configuration où les transitions de LC sont de durée supérieure à 2T, une meilleure représentativité a été observée.

Le tableau 3.9 présente les résultats du mode test, ainsi que la représentativité pour les cas de configuration où la durée de LC est fixé à 2T.

Tableau 3.9 Résultats de mesure et représentativité du mode test par rapport au mode mission pour la carte ZC702 pour LC à 2T ; la valeur des pics est exprimée en nombre de blocs carry4

| ZC702 | Mode Mission | Mode Test | | | | |
|-------|--------------|---------------|----|------------------|-----------------|----------------------|
| | | Configuration | | Pic Phase 2 | | Représentativité (%) |
| | | Pause | LC | Valeur effective | Valeur déphasée | |
| 200 | 4,5 | 5T | 2T | 6,05 | – | 134 |
| 180 | 6,52 | 5T | 2T | 4,79 | – | 73 |
| 160 | 5,56 | 4T | 2T | 5,11 | 5,7 | 92 |
| 140 | 5,19 | 3T | 2T | 5,22 | – | 101 |
| 120 | 6,39 | 2T | 2T | 6,53 | – | 102 |
| 100 | 5,67 | 1T | 2T | 5,518 | 6,95 | 97 |
| 80 | 3,81 | 1T | 2T | 5,29 | – | 139 |

Les cellules en vert clair indiquent les cas où la configuration LC = 2T offre la meilleure représentativité et constitue ainsi la meilleure option, applicable uniquement aux fréquences de 120 MHz et 100 MHz pour cette carte. Dans les autres cas, une meilleure combinaison LC permettrait d'obtenir des résultats plus représentatifs. Par exemple, comme mentionné dans le tableau 3.8, pour la fréquence de 140 MHz, la configuration LC = 3T offre une représentativité de 100 %.

3.4.2 Résultats et étude de représentativité sur la carte ZEDBOARD

Le tableau 3.10 présente la représentativité du mode test par rapport au mode mission pour différentes configurations de pause et LC, en identifiant les résultats de mesure pour lesquels le mode test est le plus représentatif du mode mission pour la carte ZEDBOARD.

Tableau 3.10 Résultats de mesure et représentativité du mode test par rapport au mode mission pour la carte ZEDBOARD ; la valeur des pics est exprimée en nombre de blocs carry4

| ZEDBOARD | Mode Mission | Mode Test | | | | |
|-----------------|--------------|---------------|----|------------------|-----------------|----------------------|
| Fréquence (MHz) | Pic Phase 1 | Configuration | | Pic Phase 2 | | Représentativité (%) |
| | | Pause | LC | Valeur effective | Valeur déphasée | |
| 200 | 5,25 | 16T | 3T | 4,12 | – | 78 |
| | | 19T | 2T | 3,91 | – | 74 |
| 180 | 5 | 16T | 2T | 5,73 | – | 115 |
| | | 17T | 2T | 4,25 | 5,55 | 85 |
| 160 | 4,86 | 14T | 2T | 3,95 | – | 81 |
| | | 14T | 3T | 3,568 | 4,37 | 73 |
| 140 | 4,83 | 12T | 2T | 4,48 | 4,61 | 93 |
| 120 | 5,32 | 9T | 2T | 3,2 | – | 60 |
| 100 | 4,53 | 8T | 2T | 3,93 | 4,25 | 87 |

On note que, pour ce type de carte et en mode test, la fréquence de 80 MHz n'est pas exploitable, car elle donne des valeurs de délai erronées ou inanalysables. On rappelle que les cellules en vert clair représentent les cas offrant la meilleure représentativité. On observe qu'à une fréquence de 140 MHz, une représentativité de 93 % est atteinte pour une configuration avec une pause de 12T et LC = 2T. La figure 3.7 présente le graphe AMN correspondant à cette configuration.

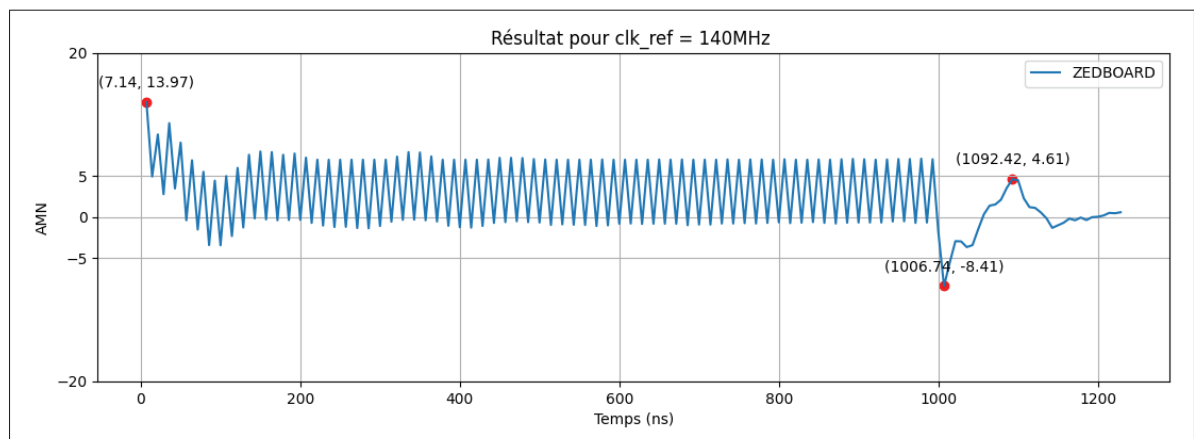


Figure 3.7 Graphe AMN pour 140 MHz en mode test pour ZEDBOARD, correspondant au cas le plus représentatif

Le tableau 3.11 présente les résultats du mode test, ainsi que la représentativité pour les cas de configuration où la durée de LC est égale à 2T.

Tableau 3.11 Résultats de mesure et représentativité du mode test par rapport au mode mission pour la carte ZEDBOARD pour LC à 2T ; la valeur des pics est exprimée en nombre de blocs carry4

| ZEDBOARD | Mode Mission | Mode Test | | | | |
|----------|--------------|---------------|----|------------------|-----------------|----------------------|
| | | Configuration | | Pic Phase 2 | | Représentativité (%) |
| | | Pause | LC | Valeur effective | Valeur déphasée | |
| 200 | 5,25 | 19T | 2T | 3,91 | – | 74 |
| 180 | 5 | 16T | 2T | 5,73 | – | 115 |
| 160 | 4,86 | 14T | 2T | 3,95 | – | 81 |
| 140 | 4,83 | 12T | 2T | 4,48 | 4,61 | 93 |
| 120 | 5,32 | 9T | 2T | 3,2 | – | 60 |
| 100 | 4,53 | 8T | 2T | 3,93 | 4,25 | 87 |

Comme mentionné précédemment, les cellules en vert clair indiquent les cas où la configuration LC = 2T offre la meilleure représentativité. Pour ce type de carte, les résultats de toutes les fréquences, à l'exception de 200 MHz, sont les plus représentatifs.

3.4.3 Analyses comparatives des deux cartes

Afin de comparer les performances des deux cartes et de voir l'impact de l'application d'une configuration de test non optimale (i.e. la configuration d'une carte sur l'autre), le comportement du délai transitoire en mode test est analysé. Pour ce faire, les configurations les plus représentatives de chaque carte sont appliquées sur l'autre. Un tableau est présenté, dans lequel les significations des colonnes sont indiquées comme suit :

Différence : Écart de délai entre le mode test et le mode mission. Cette différence correspond au nombre d'étages (i.e. blocs carry4) de différence, déterminée par la formule suivante :

$$\text{Nombre d'étages} = \text{Valeur effective} - \text{Valeur pic en mode mission} \quad (3.16)$$

Le délai mesuré d'un bloc Carry4 sans bruit, (Honarmand, 2021) est égale à 55ps, tandis que, le délai maximal d'un bloc Carry4 dans des conditions défavorables (pire température ,pire puce, pire tension de la carte, selon l'outil d'analyse statique) correspond à 114ps.

Délai total pour 55 ps : Délai correspondant au nombre d'étages de différence entre les modes test et mission, en supposant un délai de 55 ps pour un bloc Carry4. Ce délai se calcule comme suit :

$$\text{Délai total pour 55ps} = \text{Différence} \times 55\text{ps} \quad (3.17)$$

Délai total pour 114 ps : Délai correspondant au nombre d'étages de différence entre les modes test et mission, en supposant un délai maximal de 114 ps pour un bloc Carry4. Ce délai se calcule comme suit :

$$\text{Délai total pour 114ps} = \text{Différence} \times 114\text{ps} \quad (3.18)$$

Rapport (%) : Rapport de différence de pire délai total correspond à la formule suivante :

$$\text{Rapport}(\%) = \left(\frac{\text{Délai total pour 114ps}}{\text{Période (en ps)}} \right) \times 100 \quad (3.19)$$

Le tableau 3.12 présente les résultats des mesures de la carte ZC702 et le rapport de différence du pire délai obtenu en appliquant le cas de configuration le plus représentatif de la carte ZEDBOARD.

À titre d'exemple, à **180 MHz**, on observe qu'en mode mission, le signal se propage en moyenne 5.7 étages de plus qu'en mode test. Ces 5.7 étages représentent un délai de 314 ps, en supposant un délai de 55 ps par bloc Carry4. Cela signifie que le mode test présente un délai inférieur de

Tableau 3.12 Résultats en mode test pour ZC702 en appliquant les cas de configuration les plus représentatifs de ZEDBOARD ; la valeur des pics et de la différence est exprimée en nombre de blocs carry4

| ZC702 | Mode Test | | | | Mode Mission | Différence | Délai total pour 55ps (ps) | Délai total pour 114ps (ps) | Rapport (%) |
|-----------------|---------------|----|------------------|-----------------|--------------|------------|----------------------------|-----------------------------|-------------|
| Fréquence (MHz) | Configuration | | Pic Phase 2 | | Pic Phase 1 | | | | |
| | Pause | LC | Valeur effective | Valeur déphasée | | | | | |
| 200 | 16T | 3T | 5,1 | 5,3 | 4,5 | 0,6 | 33 | 68 | 1 |
| 180 | 16T | 2T | 0,8 | 4,1 | 6,5 | -5,7 | -314 | -650 | -12 |
| 160 | 14T | 2T | 1,2 | 4,4 | 5,6 | -4,4 | -242 | -502 | -8 |
| 140 | 12T | 2T | 4,2 | 4,6 | 5,2 | -1 | -55 | -114 | -2 |
| 120 | 9T | 2T | 3,6 | 4,4 | 6,4 | -2,8 | -154 | -319 | -4 |
| 100 | 8T | 2T | 1,1 | 4,7 | 5,7 | -4,6 | -253 | -524 | -5 |

314 ps par rapport au mode mission. Si le délai d’un bloc Carry4 est de 114 ps, les 5.7 étages équivalent à un délai total de 650 ps, soit 12 % de la période. La valeur négative indique que le mode test sous-stimule la ligne à délai, la faisant paraître plus rapide qu’elle l’est en réalité en mode fonctionnel, ce qui peut mener à des faux positifs (i.e des puces défectueuses qui sont étiquetées comme bonnes).

Pour la fréquence **200 MHz**, le mode test présente un délai supérieur de 33 ps par rapport au mode mission, ce qui peut être négligeable en comparaison avec le délai par bloc de Carry4, qui est de 55 ps ou 114 ps dans des conditions défavorables. Le graphe AMN est présenté à la figure 3.8.

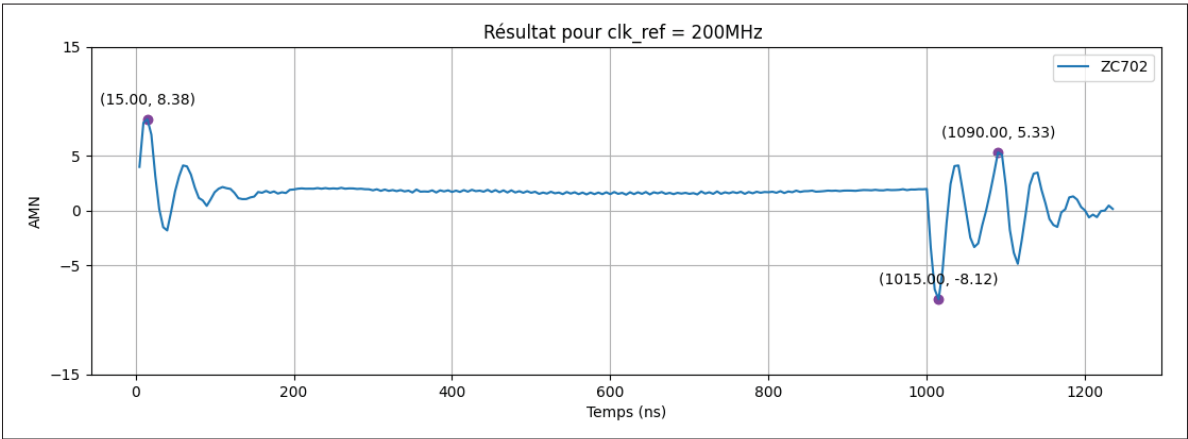


Figure 3.8 Graphe AMN pour 200 MHz en mode test pour ZC702, en appliquant les cas de configuration les plus représentatifs de ZEDBOARD

Le tableau 3.13 présente les résultats des mesures de la carte ZEDBOARD et le rapport de différence du pire délai obtenu en appliquant le cas de configuration le plus représentatif de la carte ZC702.

Tableau 3.13 Résultats en mode test pour ZEDBOARD en appliquant les cas de configuration les plus représentatifs de ZC702 ; la valeur des pics est exprimée en nombre de blocs carry4

| ZEDBOARD | Mode Test | | | | Mode Mission | Différence | Délai total pour 55ps (ps) | Délai total pour 114ps (ps) | Rapport (%) |
|-----------------|---------------|----|------------------|-----------------|--------------|------------|----------------------------|-----------------------------|-------------|
| Fréquence (MHz) | Configuration | | Pic Phase 2 | | Pic Phase 1 | | | | |
| | Pause | LC | Valeur effective | Valeur déphasée | | | | | |
| 200 | 2T | 6T | -0.5 | 2,0 | 5,3 | -5,8 | -319 | -661 | -13,2 |
| 180 | 4T | 3T | -3,1 | 3,4 | 5,0 | -8,1 | -446 | -923 | -16,6 |
| 160 | 4T | 3T | -2,0 | 2,9 | 4,9 | -6,9 | -380 | -787 | -12,6 |
| 140 | 2T | 3T | -2,1 | 2,9 | 4,8 | -6,9 | -380 | -787 | -11,0 |
| 120 | 2T | 2T | -2,4 | 3,1 | 5,3 | -7,7 | -424 | -878 | -10,5 |
| 100 | 1T | 2T | -1,9 | 3,2 | 4,53 | -6,4 | -352 | -730 | -7,3 |

On remarque, qu'à **200 MHz**, en mode mission, le signal se propage environ 6 étages de plus qu'en mode test. Cela signifie que ces 6 étages correspondent à un délai de 319 ps, si un bloc Carry4 a un délai de 55 ps. En mode test, nous avons 319 ps de délai en moins par rapport au mode mission. Si un bloc Carry4 a un délai de 114 ps, les 6 étages correspondent à un délai de 661 ps. Cette différence représente 13,2% de la période.

À **180 MHz**, en mode mission, le signal se propage environ 8 étages de plus qu'en mode test, correspondant à un délai de 446 ps si un bloc Carry4 a un délai de 55 ps, et à un délai de 923 ps si un bloc Carry4 a un délai de 114 ps. Le graphe AMN est présenté à la figure 3.9.

Dans ce contexte, bien que la majorité des résultats des deux cartes présentent une sous-estimation des délais en mode test par rapport au mode mission, la ZEDBOARD démontre des différences de délai plus significatives. Un exemple particulièrement marquant est le rapport de différence de délai par rapport à la période pour la fréquence de 180 MHz, où la ZEDBOARD obtient un rapport de -16,6%. Pour la ZC702, la différence de délai la plus notable se situe également à la fréquence de 180 MHz, mais avec un rapport de -12 %.

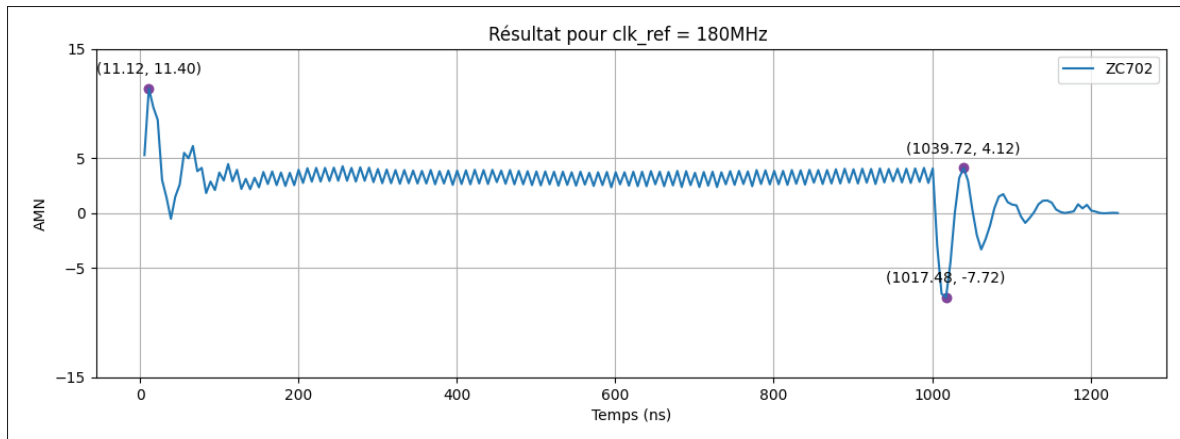


Figure 3.9 Graphé AMN pour 180 MHz en mode test pour ZEDBOARD, en appliquant les cas de configuration les plus représentative de ZC702

3.5 Conclusion

Les résultats des analyses montrent que les cartes ZC702 et ZEDBOARD présentent des comportements distincts en termes de délai transitoire dans les modes mission et test. En mode mission, pour une configuration de bloc de bruit à 14 000 bascules, la carte ZC702 affiche une latence de réponse élevée face aux chutes de tension transitoires et un faible amortissement, ce qui entraîne des pics de délai plus marqués. À l'inverse, la carte ZEDBOARD démontre une meilleure capacité de régulation de la tension, avec une réponse rapide et un amortissement élevé, se traduisant par des délais moins importants. En mode test, les résultats de mesure de délai pour la carte ZEDBOARD révèle une meilleure représentativité du mode test par rapport au mode mission, permettant une configuration plus économique des paramètres, $LC = 2T$, pour toutes les fréquences à l'exception de 200 MHz. L'analyse des configurations les plus représentatives de chaque carte, appliquées l'une à l'autre, montre que le mode test sous-estime les délais pour les deux cartes. Cependant, la carte ZEDBOARD présente un rapport de différence de pire délai plus élevé par rapport à la carte ZC702. L'écart le plus significatif est observé à la fréquence de 180 MHz, où la ZEDBOARD présente un rapport de -16,6%, tandis que la ZC702 présente un rapport de -12 %.

CONCLUSION ET RECOMMANDATIONS

Le point de départ de ce projet de maîtrise a été d'identifier les aspects non étudiés à travers une revue de littérature relative à la méthode de réduction de la consommation de puissance dynamique, *Clock Gating*. Jusqu'à présent, la plupart des recherches se sont concentrées sur l'impact de l'activité de commutation des transistors sur les délais de propagation du signal d'horloge dans les circuits électroniques. Toutefois, à notre connaissance, aucune étude n'a évalué explicitement la représentativité du mode test par rapport au mode mission en présence de l'effet du *Clock Gating* dans un système à un seul domaine d'horloge explorant une large gamme de fréquence. C'est dans ce cadre que s'inscrit notre objectif de recherche.

Parmi les contributions majeures de cette étude figure la conception d'une ligne de délai optimisée, permettant la mesure des délais sur une large plage de fréquences, de 55 MHz à 200 MHz, tout en optimisant l'utilisation des ressources mémoire BRAM et en maintenant un routage fixe à chaque expérimentation. Le mode test a été intégré en utilisant la technique de Lancement et Capture, afin de mesurer l'impact du *Clock Gating* et d'évaluer la représentativité du mode test par rapport au mode mission en termes de délai. Une analyse comparative a également été réalisée entre les cartes FPGA ZC702 et ZEDBOARD, afin d'examiner leur comportement respectif face aux variations transitoires de tension dans le réseau de distribution de l'alimentation. En complément, plusieurs paramètres de contrôle utilisateur ont été introduits dans le VIO, ainsi que l'automatisation de la génération de multiples fichiers de résultats, facilitant ainsi l'analyse et le traitement des données.

La réalisation de cette étude a été confrontée à quelques défis révélés. Nous avons réussi à adapter le circuit existant aux nouvelles contraintes de conception pour permettre des mesures de délai sur une large plage de fréquences, y compris les plus basses, tout en maintenant le routage inchangé après chaque prise de mesure. Un autre défi révélé est l'identification du ratio de l'activité de commutation des bascules dans les blocs générateurs de bruit en mode test, qui a

été ajustée afin de s'adapter aux caractéristiques des ressources disponibles sur chaque carte. Nous avons également développé un algorithme de recherche permettant de trouver la meilleure combinaison des paramètres de Pause et LC, afin d'identifier le pic de délai optimal lors de la deuxième phase du mode test, comme décrit dans l'ANNEXE II.

Les expérimentations en mode mission ont confirmé l'apparition de deux phases transitoires : la première débute à l'injection du bruit, tandis que la deuxième commence à l'arrêt du bruit. Cependant, en mode test, le délai est injecté durant les deux phases transitoires. On observe toujours un pic de délai au début de la phase transitoire lorsqu'on injecte le bruit et un creux de délai lorsque l'on arrête. La chute de tension initiale est expliquée par l'augmentation soudaine de l'activité des bascules lorsqu'on injecte le bruit, ce qui est une conséquence liée à la réponse du réseau de distribution d'alimentation. On a pu confirmer qu'il existe une relation de proportion directe entre le nombre de bascules intégrées dans le bloc de bruit et la valeur du délai mesuré. Les résultats expérimentaux mettent en évidence des différences entre les cartes FPGA ZC702 et ZEDBOARD en termes de comportement transitoire des délais dans les modes mission et test. En mode mission, la ZC702 présente des délais plus importants que la ZEDBOARD, ce qui suggère une sensibilité accrue aux fluctuations transitoires de tension induites par le conditionnement de l'horloge et les impulsions de test. En mode test, la ZEDBOARD offre une meilleure représentativité du mode mission lorsque l'on lance une transition *Launch* et une transition *Capture*, en d'autres termes, LC est de durée deux fois la période d'horloge ($LC = 2T$). En revanche, la ZC702 affiche majoritairement une meilleure représentativité lorsque $LC > 2T$. Le ratio $RH/L = 4 : 1$ présente la meilleure représentativité comparée au ratio $RH/L = 2 : 1$, dont les résultats sont décrits dans l'ANNEXE I. Cependant, pour les deux types de cartes FPGA, les résultats montrent que le mode test sous-estime systématiquement les délais.

Il est recommandé d'étudier explicitement la représentativité du mode test par rapport au mode mission en termes de délai sur une large gamme de fréquences, en appliquant différentes

techniques de test en présence du *Clock Gating*. L'objectif sera alors d'imiter au mieux le signal d'horloge du mode mission afin de reproduire des conditions de distribution d'alimentation similaires en mode test, ce qui permet de protéger le circuit contre l'effet des variations d'impédance. Parmi les techniques de test, on peut citer la nouvelle approche de test de balayage à vitesse nominale (SBAST, *Scan Based at-Speed Testing*), notamment la méthode *One Clock Alternated Shift* (OCAS) proposée par Louati (2017). Une recommandation complémentaire serait d'évaluer cette représentativité sur une variété de modèles de FPGA.

ANNEXE I

RÉSULTATS DE MESURE POUR LES RATIOS 1 :1 ET 2 :1 SUR LA CARTE ZC702

1. Résultats de mesure pour ratio 1 :1

Tableau-A I-1 Résultats de mesure lorsque le mode test est configuré avec un ratio 1 :1 sur la carte ZC702 ; la valeur des pics est exprimée en nombre de blocs carry4

| ZC702 | Mode Mission | Mode Test | | | |
|-----------------|--------------|---------------|----|------------------|-----------------|
| Fréquence (MHz) | Pic Phase 1 | Configuration | | Pic Phase 2 | |
| | | Pause | LC | Valeur effective | Valeur déphasée |
| 200 | 8,38 | 0T | 2T | 0,27 | 2,27 |
| | | 2T | 2T | -2,02 | 2,31 |
| 180 | 8,51 | 0T | 2T | -1,31 | 2,41 |
| | | 2T | 2T | 2,28 | 2,41 |
| 160 | 11,45 | 0T | 2T | -1,77 | 2,5 |
| | | 2T | 2T | 2,97 | – |
| 140 | 8,36 | 0T | 2T | 0,48 | 2,25 |
| | | 2T | 2T | 0,49 | 2,02 |
| 120 | 7,93 | 0T | 2T | -0,64 | 2,12 |
| | | 2T | 2T | 2,51 | 2,54 |
| 100 | 11,91 | 0T | 2T | -1,29 | 3,36 |
| | | 2T | 2T | 4,9 | – |

On rappelle qu'en mode test, les résultats ont été obtenus avec deux blocs générateurs de bruit, chacun contenant 28 000 bascules, tandis qu'en mode mission, un seul bloc de 28 000 bascules est utilisé. On observe que, pour une configuration avec une durée de pause de 2T et LC 2T, le mode test n'est pas représentative du mode mission.

2. Résultats de mesure pour ratio 2 :1

Tableau-A I-2 Résultats de mesure lorsque le mode test est configuré avec un ratio 2 :1 sur la carte ZC702; la valeur des pics est exprimée en nombre de blocs carry4

| ZC702 | Mode Mission | Mode Test | | | | Représentativité (%) — |
|-----------------|--------------|---------------|----|------------------|-----------------|---------------------------|
| Fréquence (MHz) | Pic Phase 1 | Configuration | | Pic Phase 2 | | |
| | | Pause | LC | Valeur effective | Valeur déphasée | |
| 200 | 8,38 | 2T | 5T | 5,06 | — | 74 |
| | | 2T | 6T | 3,89 | 4,9 | |
| | | 4T | 3T | 6,18 | — | |
| | | 4T | 4T | 5,17 | 5,98 | |
| | | 6T | 2T | 3,89 | 5,24 | |
| 180 | 8,51 | 0T | 2T | -1,41 | 2 | 75 |
| | | 0T | 9T | 2,62 | 3,4 | |
| | | 1T | 8T | 0,69 | 4,09 | |
| | | 2T | 4T | 0,54 | 5,9 | |
| | | 2T | 5T | 4,94 | — | |
| | | 2T | 7T | -1,38 | 5,71 | |
| | | 3T | 4T | 5,64 | — | |
| | | 4T | 3T | 6,41 | — | |
| 160 | 11,45 | 5T | 2T | 5,7 | — | 55 |
| | | 0T | 2T | -5,44 | 2,51 | |
| | | 2T | 4T | 5,31 | 5,78 | |
| | | 2T | 3T | 5,39 | — | |
| | | 3T | 2T | 5,02 | 6,03 | |
| | | 3T | 3T | 6,25 | — | |
| | | 4T | 2T | 5,3 | — | |
| | | 5T | 2T | 3,76 | 4,33 | |
| 120 | 7,93 | 6T | 2T | 2,63 | 3,29 | 81 |
| | | 0T | 2T | 3,95 | 1,65 | |
| | | 0T | 4T | 4,13 | — | |
| | | 1T | 3T | 6,43 | — | |
| 100 | 11,91 | 2T | 2T | 5,43 | — | 78 |
| | | 0T | 3T | 3,45 | — | |
| | | 0T | 4T | 2,94 | 4,13 | |
| | | 1T | 3T | 9,29 | — | |

Les résultats de mesures ont été obtenus en appliquant l'algorithme de recherche meilleure pic de la deuxième phase détaillé à l'ANNEXE II.

On note que les cellules en vert clair représentent les configurations où la durée de LC = 3T offre la meilleure représentativité du mode test par rapport au mode mission pour toutes les

fréquences explorées. On observe que le cas le plus représentatif est celui à la fréquence de 120 MHz, avec une pause de 1T et une LC de 3T, atteignant une représentativité de 81%.

ANNEXE II

ALGORITHME DE RECHERCHE DE MEILLEURE PIC DE LA DEUXIÈME PHASE

1. Description du principe de l'algorithme

Pour tout i :

Mesures à pause = iT et $LC = E_PIC_P(i - 1)T - i$

capture du pic à $E_PIC_P(i - 1)T$

Si le pic de la phase n'apparaît pas au même échantillon, modifier LC pour capturer à l'échantillon du nouveau pic et reprendre. Notons ce pic $E_PIC_P(i)T$ (qu'il ait changé ou non).

Condition d'arrêt

Continuer jusqu'à ce que la pause iT soit telle que :

$$i > \max(E_PIC_P(j)T) - 2, \quad j = 0 \text{ à } i.$$

2. Application de l'algorithme pour ratio 2 :1 sur la carte ZC702

Exemple de mesures pour la fréquence 200 MHz

Étape 1

$$\text{Mesures à pause} = 0T, \quad LC = 2T$$

Indice de l'échantillon du pic lorsque la pause = $0T$:

$$E_PIC_P0T = 8\text{ième échantillon}$$

La position du pic de la phase 2 est à 1040 échantillons_{ns}. En divisant par la période T , on obtient :

$$\frac{1040}{T} = 208 \text{ échantillons}$$

Ce qui correspond au 8ième échantillon de la deuxième phase.

Étape 2

$$\text{Mesures à pause} = 2T, \quad LC = E_PIC_P0T - 2 = 6T$$

$$E_PIC_P2T = 1035 \text{ échantillons_ns} = 7\text{ième échantillon}$$

Étape 3

$$\text{Mesures à pause} = 3T, \quad LC = E_PIC_P2T - 3 = 4T$$

$$E_PIC_P3T = 1035 \text{ échantillons_ns} = 7\text{ième échantillon}$$

Étape 4

$$\text{Mesures à pause} = 4T, \quad LC = E_PIC_P3T - 4 = 3T$$

$$E_PIC_P4T = 1035 \text{ échantillons_ns} = 7\text{ième échantillon}$$

Étape 5

$$\text{Mesures à pause} = 5T, \quad LC = E_PIC_P4T - 5 = 2T$$

$$E_PIC_P5T = 1037 \text{ échantillons_ns} = 7\text{ième échantillon}$$

La valeur du pic la plus représentative est obtenue à l'étape 4, avec une configuration de Pause = 4T et LC = 3T.

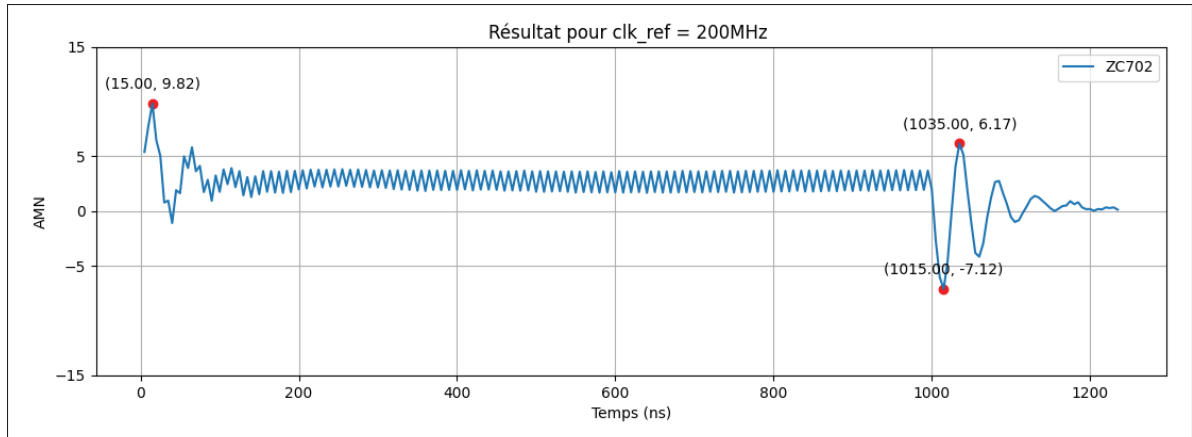


Figure-A II-1 Graphe AMN pour 200 MHz en mode test pour ZC702 ratio 2 :1, correspondant au cas le plus représentatif

3. Application de l'algorithme pour ratio 4 :1 sur la carte ZC702

Mesures pour la fréquence 200 MHz

Étape 1

Mesures à pause = $0T$, $LC = 2T$

Indice de l'échantillon du pic lorsque la pause = $0T$:

$$E_PIC_P0T = 8\text{ième échantillon}$$

Étape 2

Mesures à pause = $2T$, $LC = E_PIC_P0T - 2 = 6T$

$$E_PIC_P2T = 1035 \text{ échantillons_ns} = 7\text{ième échantillon}$$

Étape 3

Mesures à pause = $2T$, $LC = E_PIC_P2TLC6T - 2 = 5T$

$$E_PIC_P2TLC5T = 1035 \text{ échantillons_ns} = 7\text{ième échantillon}$$

Étape 4

Mesures à pause = $3T$, $LC = E_PIC_P2TLC5T - 3 = 4T$

$E_PIC_P3T = 1035$ échantillons_{ns} = 7ième échantillon

Étape 5

Mesures à pause = $4T$, $LC = E_PIC_P3T - 4 = 3T$

$E_PIC_P4T = 1035$ échantillons_{ns} = 7ième échantillon

Étape 6

Mesures à pause = $5T$, $LC = E_PIC_P4T - 5 = 2T$

$E_PIC_P5T = 1037$ échantillons_{ns} = 7ième échantillon

La valeur du pic la plus représentative est obtenue à l'étape 4, avec une configuration de Pause = $2T$ et $LC = 6T$. La représentation graphique est présentée au chapitre 3, à la figure 3.6.

Mesures pour la fréquence 180 MHz**Étape 1**

Mesures à pause = $0T$, $LC = 2T$

$E_PIC_P0T = 8$ ème échantillon

Étape 1-2

Mesures à pause = $0T$, $LC = 8T$

$E_PIC_P0TLC8T = 1045.28$ échantillons_{ns} = 8ième échantillon

Étape 2

Mesures à pause = $1T$, $LC = 7T$

$$E_PIC_P1TLC7T = 1034.16 \text{ échantillons_ns} = 6\text{ième échantillon}$$

Étape 3

$$\text{Mesures à pause} = 2T, \quad LC = 6T$$

$$E_PIC_P2TLC6T = 1039.72 \text{ échantillons_ns} = 7\text{ième échantillon}$$

Étape 3-1

$$\text{Mesures à pause} = 2T, \quad LC = 5T$$

$$E_PIC_P2TLC5T = 1034.16 \text{ échantillons_ns} = 6\text{ième échantillon}$$

Étape 3-2

$$\text{Mesures à pause} = 2T, \quad LC = 4T$$

$$E_PIC_P2TLC4T = 1039.72 \text{ échantillons_ns} = 7\text{ième échantillon}$$

Étape 4

$$\text{Mesures à pause} = 3T, \quad LC = 4T$$

$$E_PIC_P3TLC4T = 1034.16 \text{ échantillons_ns} = 6\text{ième échantillon}$$

Étape 5

$$\text{Mesures à pause} = 3T, \quad LC = 3T$$

$$E_PIC_P3TLC3T = 1039.72 \text{ échantillons_ns} = 7\text{ème échantillon}$$

Étape 6

$$\text{Mesures à pause} = 4T, \quad LC = 3T$$

$$E_PIC_P4TLC3T = 1039.72 \text{ échantillons_ns} = 7\text{ième échantillon}$$

Étape 7

Mesures à pause = $5T$, $LC = 2T$

$E_PIC_P5TLC2T = 1039.72$ échantillons_ns = 7ième échantillon

La valeur du pic la plus représentative est obtenue à l'étape 6, avec une configuration de Pause = $4T$ et $LC = 3T$. La représentation graphique est présenté à la figure-A II-1.

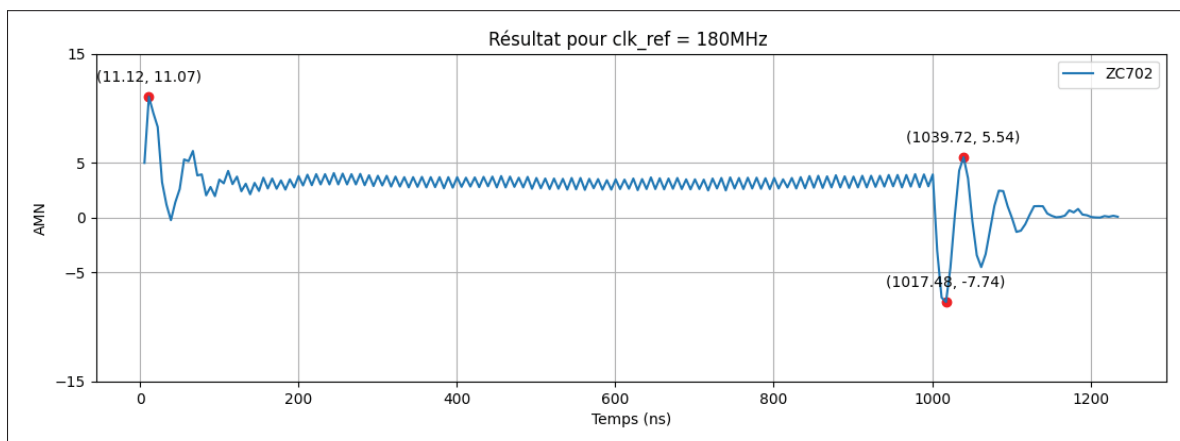


Figure-A II-2 Graphe AMN pour 180 MHz en mode test pour ZC702, correspondant au cas le plus représentatif

Mesures pour la fréquence 160 MHz

Étape 1

Mesures à pause = $0T$, $LC = 2T$

$E_PIC_P0T = 6$ ième échantillon

Étape 2

Mesures à pause = $2T$, $LC = 4T$

$E_PIC_P2T = 1037.50$ échantillons_ns = 6ième échantillon

Étape 3

Mesures à pause = $3T$, $LC = 3T$

$E_{PIC_P3T} = 1037.5$ échantillons_{ns} = 6ième échantillon

Étape 4

Mesures à pause = $4T$, $LC = 2T$

$E_{PIC_P4T} = 1043.75$ échantillons_{ns} = 7ième échantillon

Étape 5

Mesures à pause = $4T$, $LC = 3T$

$E_{PIC_P4TLC3T} = 1043.75$ échantillons_{ns} = 7ième échantillon

Étape 6

Mesures à pause = $5T$, $LC = 2T$

$E_{PIC_P5TLC2T} = 1037.50$ échantillons_{ns} = 6ième échantillon

La valeur du pic la plus représentative est obtenue à l'étape 5, avec une configuration de Pause = $4T$ et $LC = 3T$. La représentation graphique est présenté à la figure-A II-2.

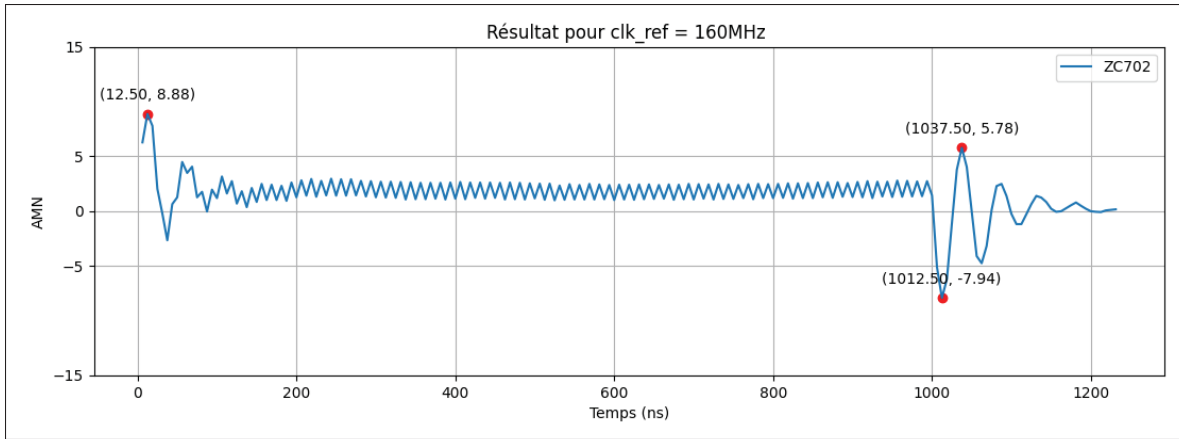


Figure-A II-3 Graphe AMN pour 160 MHz en mode test pour ZC702, correspondant au cas le plus représentatif

Mesures pour la fréquence 140 MHz

Étape 1

Mesures à pause = $0T$, $LC = 2T$

E_PIC_P0T = 6ème échantillon

Étape 2

Mesures à pause = $2T$, $LC = 4T$

$E_PIC_P2TLC4T$ = 1035.30 échantillons_ns = 5ième échantillon

Étape 3

Mesures à pause = $2T$, $LC = 3T$

E_PIC_P2T = 1035.30 échantillons_ns = 5ième échantillon

Étape 4

Mesures à pause = $3T$, $LC = 2T$

E_PIC_P3T = 1035.30 échantillons_ns = 5ième échantillon

La valeur du pic la plus représentative est obtenue à l'étape 3, avec une configuration de Pause = $2T$ et $LC = 3T$. La représentation graphique est présentée à la figure-A II-3.

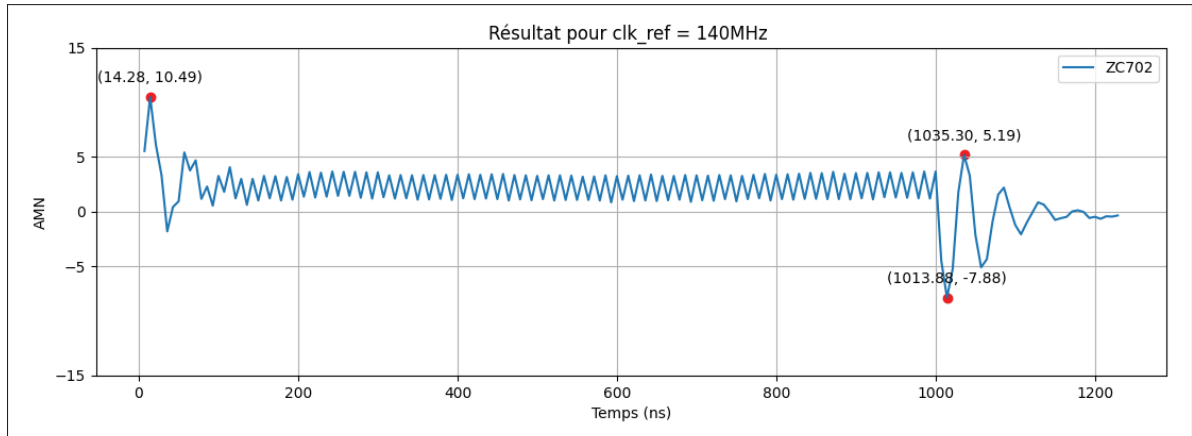


Figure-A II-4 Graphe AMN pour 140 MHz en mode test pour ZC702, correspondant au cas le plus représentatif

Mesures pour la fréquence 120 MHz

Étape 1

Mesures à pause = $0T$, $LC = 2T$

Indice de l'échantillon du pic lorsque la pause est de $0T$: $E_PIC_P0T = 5$ ième échantillon

Étape 2

Mesures à pause = $2T$, $LC = 3T$

$E_PIC_P2TLC3T = 1032.92$ échantillons_ns = 4ième échantillon

Étape 3

Mesures à pause = $2T$, $LC = 2T$

$E_PIC_P2TLC2T = 1032.92$ échantillons_ns = 4ième échantillon

La valeur du pic la plus représentative est obtenue à l'étape 3, avec une configuration de Pause = $2T$ et $LC = 2T$. La représentation graphique est présentée à la figure-A II-4.

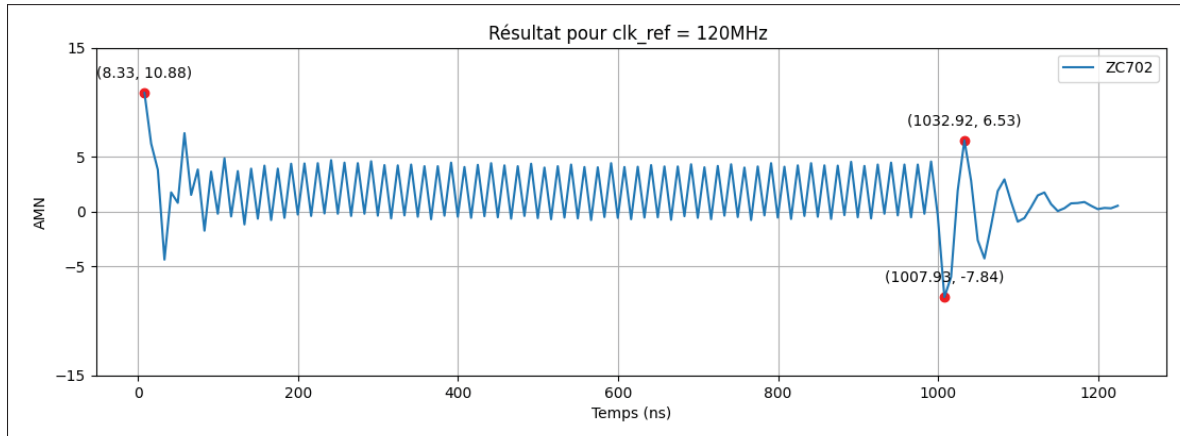


Figure-A II-5 Graphe AMN pour 120 MHz en mode test pour ZC702, correspondant au cas le plus représentatif

Mesures pour la fréquence 100 MHz

Étape 1

Mesures à pause = $0T$, $LC = 2T$

$E_PIC_P0T = 4^{\text{ème}}$ échantillon

Étape 2

Mesures à pause = $0T$, $LC = 4T$

$E_PIC_P0TLC4T = 1040$ échantillons_{ns} = $4^{\text{ème}}$ échantillon

Étape 3

Mesures à pause = $1T$, $LC = 3T$

$E_PIC_P1TLC3T = 1040$ échantillons_{ns} = $4^{\text{ème}}$ échantillon

Étape 4

Mesures à pause = $2T$, $LC = 2T$

$$E_PIC_P2TLC2T = 1030 \text{ échantillons_ns} = 3^{\text{ième}} \text{ échantillon}$$

La valeur du pic la plus représentative est obtenue avec une configuration de Pause = $1T$ et $LC = 2T$. Ceci ne s'applique pas à cet algorithme.

Mesures pour la fréquence 80 MHz**Étape 1**

Mesures à pause = $0T$, $LC = 2T$

$$E_PIC_P0T = 3^{\text{ème}} \text{ échantillon}$$

Étape 2

Mesures à pause = $0T$, $LC = 3T$

$$E_PIC_P0TLC4T = 1037.5 \text{ échantillons_ns} = 3^{\text{ième}} \text{ échantillon}$$

Étape 3

Mesures à pause = $1T$, $LC = 2T$

$$E_PIC_P1TLC3T = 1037.5 \text{ échantillons_ns} = 3^{\text{ième}} \text{ échantillon}$$

La valeur du pic la plus représentative est obtenue à l'étape 2, avec une configuration de Pause = $0T$ et $LC = 3T$. La représentation graphique est présenté à la figure-A II-5.

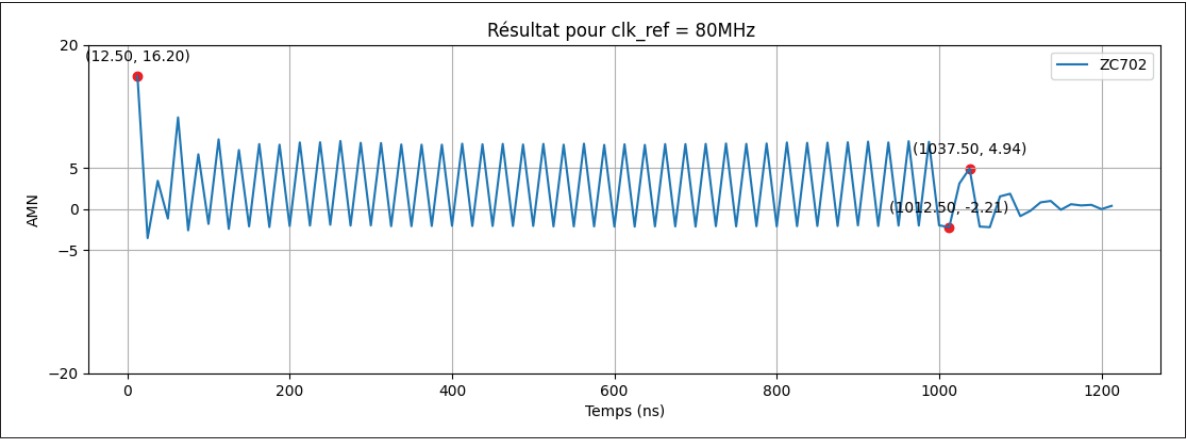


Figure-A II-6 Graphe AMN pour 80 MHz en mode test pour ZC702, correspondant au cas le plus représentatif

BIBLIOGRAPHIE

- Arabi, K., Saleh, R. & Meng, X. (2007). Power Supply Noise in SoCs : Metrics, Management, and Measurement. *IEEE Design Test of Computers*, 24(3), 236-244.
- Avilala, A., Reddy, S., Kamarajugadda, D. S., Sampath, S., Suresh, P. & Wang, C.-C. (2021). High Resolution Time-to-Digital Converter Design with Anti-PVT-Variation Mechanism. *2021 IEEE 4th International Conference on Electronics Technology (ICET)*, pp. 452-455.
- Avnet. (2014, January). ZedBoard Zynq™ Evaluation and Development Hardware User's Guide. Repéré à https://files.digilent.com/resources/programmable-logic/zedboard/ZedBoard_HW_UG_v2_.pdf.
- Bushnell, M. L. & Agrawal, V. D. (2000). *Essentials of Electronic Testing for Digital, Memory, and Mixed-Signal VLSI Circuits*. Boston, MA : Springer. Repéré à <https://link.springer.com/book/10.1007/b117406>.
- Gnad, D. R. E., Oboril, F., Kiamehr, S. & Tahoori, M. B. (2018). An Experimental Evaluation and Analysis of Transient Voltage Fluctuations in FPGAs. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 26(10), 1817-1830.
- Honarmand, J. (2021). *Analysis of clock gating impact on FPGA behavior*. (Mémoire de maîtrise, École de technologie supérieure, Montréal). Repéré à <https://espace.etsmtl.ca/id/eprint/2816/>.
- Larche, J. (2013). *Émulation et comparaison du mode test et du mode fonctionnel des circuits intégrés à horloges multiples*. (Mémoire de maîtrise, École de technologie supérieure, Montréal, Canada). Repéré à <https://espace.etsmtl.ca/id/eprint/1285/>.
- Louati, A. (2017). *Nouvelle technique de test de type délai plus robuste à la variation d'impédance du réseau de distribution d'alimentation*. (Mémoire de maîtrise, École de technologie supérieure, Montréal). Repéré à <https://espace.etsmtl.ca/id/eprint/1956/>.
- Nadeau-Dostie, B., Takeshita, K. & Cote, J.-F. (2008). Power-Aware At-Speed Scan Test Methodology for Circuits with Synchronous Clocks. *2008 IEEE International Test Conference*, pp. 1-10.
- Oliver, J. P., Curto, J., Bouvier, D., Ramos, M. & Boemo, E. (2012). Clock gating and clock enable for FPGA power reduction. *2012 VIII Southern Conference on Programmable Logic*, pp. 1-5.
- Park, I. & McCluskey, E. J. (2008). Launch-on-Shift-Capture Transition Tests. *2008 IEEE International Test Conference*, pp. 1-9.

- Pedram, M. & Rabaey, J. (Éds.). (2002). *Power Aware Design Methodologies*. Boston, MA : Kluwer Academic Publishers. Repéré à <https://link.springer.com/book/10.1007/978-1-4615-1607-2>.
- S, J., Rao, M., Srinivas, J., Vishwanath, P., H, U. & Rao, J. (2008). Clock gating for power optimization in ASIC design cycle theory practice. *Proceeding of the 13th international symposium on Low power electronics and design (ISLPED '08)*, pp. 307-308.
- Savir, J. & Patil, S. (1993). Scan-based transition test. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 12(8), 1232-1241.
- Savir, J. & Patil, S. (1994). Broad-side delay test. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 13(8), 1057-1064.
- Soni, Z., Patel, A., Panda, D. K. & Sarbadhikari, A. B. (2017). Comparative Study of Delay Line Based Time to Digital Converter using FPGA. *International Research Journal of Engineering and Technology (IRJET)*, 4(9), 1169–1175. Repéré à <https://www.irjet.net/archives/V4/i9/IRJET-V4I9208.pdf>.
- Thibeault, C. & Dabbebi, S. (2025). *Impact of Clock Gating on Delay Testing : Experimental Results*.
- Thibeault, C. & Gagnon, G. (2018). On the Analysis and the Mitigation of Power Supply Noise and Power Distribution Network Impedance Variation for Scan-Based Delay Testing Techniques. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 26(7), 1377-1390.
- Thibeault, C. & Larche, J. (2012, November). On the Impact of Multiple Clock Domains and Intermodulation Products on Test. *2nd IEEE Workshop on Defect and Adaptive Test Analysis (DATA)*.
- Wang, L.-T., Wu, C.-W. & Wen, X. (2006). *VLSI Test Principles and Architectures : Design for Testability*. San Francisco, CA, USA : Morgan Kaufmann. Repéré à <https://www.elsevier.com/books/vlsi-test-principles-and-architectures/wang/978-0-12-370597-6>.
- Wong, J. S. J., Sedcole, P. & Cheung, P. Y. K. (2008). A transition probability based delay measurement method for arbitrary circuits on FPGAs. *2008 International Conference on Field-Programmable Technology*, pp. 105-112.
- Xilinx. (2012, August). XAPP790 - Analysis of Power Savings using Intelligent Clock Gating. Repéré à <https://docs.amd.com/v/u/en-US/xapp790-7-series-clock-gating>.

- Xilinx. (2018, April). Virtual Input/Output v3.0 LogiCORE IP Product Guide. Repéré à <https://docs.amd.com/v/u/en-US/pg159-vio>.
- Xilinx. (2019, March). ZC702 Evaluation Board for the Zynq-7000 XC7Z020 SoC User Guide. Repéré à <https://docs.amd.com/v/u/en-US/ug850-zc702-eval-bd>.
- Xilinx. (2023, June). Zynq-7000 SoC Technical Reference Manual. Repéré à <https://docs.amd.com/r/en-US/ug585-zynq-7000-SoC-TRM/PL-Resources-by-Device-Type>.
- Zhang, M., Wang, H. & Liu, B. (2020). A High Precision TDC Design Based on FPGA+ARM. *Journal of Physics : Conference Series*, 1486, 072054. Repéré à <https://doi.org/10.1088/1742-6596/1486/7/072054>.