

Assemblage et interconnexion de composant électro-optique
au-dessus de 100 GHz

par

Étienne TERRIAULT

MÉMOIRE PRÉSENTÉ À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
COMME EXIGENCE PARTIELLE À L'OBTENTION DE LA MAÎTRISE
AVEC MÉMOIRE EN GÉNIE ÉLECTRIQUE

M. Sc. A.

MONTRÉAL, LE “10 JUIN 2025”

ÉCOLE DE TECHNOLOGIE SUPÉRIEURE
UNIVERSITÉ DU QUÉBEC



Étienne Therriault, 2025



Cette licence Creative Commons signifie qu'il est permis de diffuser, d'imprimer ou de sauvegarder sur un autre support une partie ou la totalité de cette oeuvre à condition de mentionner l'auteur, que ces utilisations soient faites à des fins non commerciales et que le contenu de l'oeuvre n'ait pas été modifié.

PRÉSENTATION DU JURY

CE MÉMOIRE A ÉTÉ ÉVALUÉ

PAR UN JURY COMPOSÉ DE:

M. Dominic Deslandes, directeur de mémoire
Département de génie électrique à l'École de technologie supérieure

M. Ricardo Izquierdo, président du jury
Département de génie électrique à l'École de technologie supérieure

M. Frédéric Nabki, membre du jury
Département de génie électrique à l'École de technologie supérieure

IL A FAIT L'OBJET D'UNE SOUTENANCE DEVANT JURY ET PUBLIC

LE "16 AVRIL 2025"

À L'ÉCOLE DE TECHNOLOGIE SUPÉRIEURE

REMERCIEMENTS

Avant toute chose, je tiens à dédier les premières lignes de ce mémoire aux remerciements de tout ceux et celles qui, de par leur aide académique ou morale, m'ont permis de réaliser et compléter ce long projet de recherche.

Merci à mon directeur de recherche à l'ETS, Dr. Dominic Deslandes, pour son accompagnement tout au long de mon cheminement. Dominic, de par sa passion et son savoir inestimable, a tout d'abord su me transmettre bien des connaissances, mais a aussi permis de transformer celles-ci en compétences. En somme, je tenais à te remercier pour les nombreuses discussions captivantes et tout le temps que tu m'as gracieusement offert.

Merci à mon directeur de recherche chez Ciena, Jean-Frédéric Gagné, sans qui ce projet n'aurait jamais existé. Premièrement, c'est Jean-Frédéric qui m'a donné la piqûre pour le domaine qui le passionne lors de mon premier stage chez Ciena en 2018, soit celui des radio fréquences. Ensuite, c'est aussi ce dernier qui a mis sur pied ce projet de recherche MITACS. Je tenais à te remercier pour ta confiance, tes précieux enseignements, ton temps et ton accompagnement du début à la fin de ce projet de recherche.

Merci à mes collègues de chez Ciena qui ont su me consacré de leur temps pour répondre à mes nombreuses questions et interrogations. Je tenais à remercier spécialement Gregory Brookes pour sa patience et son temps qui na jamais cessé de répondre à mes questions, et ce, même lorsque celle-ci était posé pour la enième fois.

Je tenais aussi à remercier aussi les membres du laboratoire LACIME de l'ETS pour leurs efforts soutenus dans la fabrication des pièces LTCC malgré les difficultés rencontrées.

Merci à ma conjointe, Alexandra Bédard, pour son support émotionnelle inestimable pendant ces 3 années. Sans toi, les embuches auraient eu raison de ma santé mentale et ce projet n'aurait pas été complété. Je pense que le plus difficile n'est pas de réaliser un projet de recherche mais bien de vivre avec quelqu'un qui en réalise un, surtout en temps de télétravail ! Ensuite, merci à ma mère, Andrée St-Laurent, mon père, André Therriault. Vos mots d'encouragements m'ont

grandement aidés. Finalement, merci à ma famille et à mes amis proches pour les bons moments partagés dans ces dernières années.

Assemblage et interconnexion de composant électro-optique au-dessus de 100 GHz

Étienne TERRIAULT

RÉSUMÉ

La demande croissante en termes de débits de données dans les liaisons haut débit modernes force les ingénieurs et physiciens œuvrant dans le domaine des communications à concevoir de nouveaux systèmes opérant dans les THz, et ce, avec de très large bande passante. Au cours des dernières décennies, les composants sur semiconducteurs ont atteint de nouveaux sommets en termes de fréquence limite d'opération en franchissant la barre des 100 GHz. De plus, les modulateurs optiques atteignent désormais des bandes passantes de modulation à grand signal supérieure à 100 GHz sur silicium hybride photonique. Toutefois, le principal défi auquel ces systèmes sont actuellement confrontés est le manque d'interconnexions large bande efficaces.

La technique d'encapsulation conventionnelle qu'est la liaison par fils n'est vraisemblablement plus la solution d'interfaçage approprié aux ondes millimétriques en raison d'un fort comportement inductif forçant une utilisation en bande étroite ou causant une dégradation des performances large bande. Heureusement, d'autres technologies, comme celle de la puce retournée, semblent très prometteuses. En effet, de nombreuses transitions par puces retournées large bande de DC jusqu'au-delà de 100 GHz ont été démontrées dans la littérature via l'utilisation de différentes techniques et technologies de billes. Le problème est que plusieurs d'entre elles ne sont pas rentables ou utilisent des processus vraiment complexes qui ne conviennent pas à la production de masse. Toutefois, il existe une technologie de bille qui est très accessible, a une excellente répétabilité, un faible coût et permet une grande densité de connection. Cette technologie de liaison est la bille d'or empilable et elle est peut-être réalisée très simplement à l'aide d'une machine de liaison par fils conventionnelle. L'un des avantages principaux de cette technique est le fait que les billes d'or peuvent être empilées afin de réduire le comportement capacitif de la transition Flip-Chip et faciliter l'obtention d'une plus grande bande passante avec moins de compensation ou simplement être utilisées comme une option flexible pour satisfaire les besoins de conception. Dans la littérature, de bonnes performances large bande ont été démontrées pour les billes d'or empilées dans les interconnexions puce à puce sur ligne simple au-delà de 100 GHz, mais les transitions puce à boîtier et celles sur lignes différentielles restent à démontrer.

Ce travail a pour but d'étudier la technologie de billes d'or empilées comme type d'interconnexions puce à boîtier pour des lignes coplanaires simples et différentielles du DC jusqu'à plus de 100GHz. Afin de respecter l'aspect contextualisation, les choix, des substrats du boîtier et de la puce sont le LTCC et le silicium respectivement. Des simulations ondes pleines 3D utilisant HFSS ont été effectués pour l'optimisation et la compensation de manière à trouver les meilleurs candidats. Ensuite, les assemblages expérimentaux de puces retournées ont été caractérisés du DC à 110 GHz à l'aide de sondes RF. Finalement, des règles de conception ont été extraites pour guider les futurs concepteurs souhaitant utiliser cette technologie.

Mots-clés: onde millimétrique, micro-onde, interconnexion, puce retournée, fils d'or, compensation, transition à large bande, encapsulation, circuit intégré, large bande, photonique, céramique, LTCC, silicium, guide d'ondes coplanaire, ligne différentielle, ligne simple, RF

MILLIMETER-WAVE COMPONENT PACKAGING AND INTERCONNECT USING STACKED GOLD STUD

Étienne THERRIAULT

ABSTRACT

The increasing demand for data rates in modern high-speed links calls for new updated systems operating in high millimetre-wave frequency with a very large bandwidth. Over the past few decades, semiconductor devices have attained new heights in terms of frequency limits by reaching THz frequencies. Furthermore, optical modulators are now achieving a beyond-100-GHz large-signal modulation bandwidth in hybrid silicon photonics. The main challenge that such systems are currently facing is the lack of efficient broadband interconnections.

Conventional packaging techniques like the wirebond exhibit poor performance at THz frequencies because of high inductive behaviour. However, flip-chip technology seems to be the most promising option for broadband THz interconnects. Numerous broadband Flip-Chip transitions from DC to beyond 100 GHz have been demonstrated in the literature using different techniques and bump technologies. The problem is that many are not cost-effective or use really complex processes that are not suitable for mass production. However, there is one interesting type of bonding technique that is highly accessible, has excellent repeatability, low cost and allows small pitches for high signal density. This technology is called the gold stud bumping and it is made using a wire bonder. One of the advantages of this technique is the fact that the gold stud can be stacked in order to reduce the capacitive behaviour of the Flip-Chip transition and makes it easier to achieve greater bandwidth with less compensation or simply be used as a flexible option to satisfy the needs of a designer. In the literature, good broadband performance has been demonstrated for stacked gold studs in single-ended chip-to-chip interconnections above 100 GHz but chip-to-package and differential transitions are yet to be demonstrated.

This work aims to study the use of stacked gold stud bump chip-to-package interconnects from DC to above 100 GHz for single ended and differential coplanar waveguide transitions. In order to respect the contextualization aspect, the choices of the package and chip substrates are chosen to be LTCC and silicon, respectively. Full-wave simulations using HFSS have been used for optimization and compensation in order to find candidates exhibiting good broadband performance. The experimental Flip-Chip assembly has been characterized from DC to 110 GHz using RF probes. Finally, design rules have been extracted to help guide future designers wishing to use this technology.

Keywords: millimeter-wave, microwave, interconnect, flip-chip, gold stud, compensation, wideband transition, packaging, integrated circuit, broadband, photonic, LTCC, silicon, coplanar waveguide, differential, single-ended

TABLE DES MATIÈRES

	Page
INTRODUCTION	1
CHAPITRE 1 REVUE DE LITTÉRATURE	5
1.1 Liaison par fil	6
1.1.1 Ruban	7
1.1.2 Compensation	8
1.1.3 MicroCoax	9
1.1.4 Conclusion liaison par fil	11
1.2 Puce retournée	11
1.2.1 Billes de soudures	13
1.2.2 Piliers de cuivre	15
1.2.3 Billes d'or	17
1.2.4 Alternative	19
1.2.5 Conclusion puce retournée	20
1.3 Conclusion de la Revue	22
CHAPITRE 2 DÉVELOPPEMENT DES STRUCTURES INDIVIDUELLES D'UNE INTERCONNEXION PUCE À SUBSTRAT	25
2.1 Choix des technologies	26
2.1.1 Substrat	26
2.1.2 Puce	28
2.2 Développements et analyses au niveau du substrat	31
2.2.1 Considérations et choix préliminaires	31
2.2.2 Mitigation des modes de substrat parasites	39
2.2.2.1 Mode des plaques parallèles (PPL)	41
2.2.2.2 Mode guide d'onde rectangulaire (TE10)	47
2.3 Développements et analyses au niveau des puces	49
2.3.1 Considérations et choix préliminaires	49
2.3.2 Effet de proximité	52
2.4 Présentations des Billes/Piliers	55
2.5 Performance des structures individuelles	57
CHAPITRE 3 DÉVELOPPEMENT DES TRANSITIONS PUCE À SUB- STRATS PAR PUCE RETOURNÉE	59
3.1 Modèles initiaux	60
3.1.1 Présentation	60
3.1.2 Caractéristiques et performances	61
3.2 Étude par variation	68
3.2.1 Variation des trous de liaison (via)	69
3.2.2 Patron de masse	72

3.2.3	Pastilles (Pads)	75
3.2.4	Performances en fonction des piliers	76
3.3	Compensation de l'impédance	77
3.3.1	Méthode(s) utilisée(s)	79
3.3.2	Modèles optimisés	81
CHAPITRE 4 VALIDATION EXPÉRIMENTALE		85
4.1	Structures de puces retournées sélectionnées	85
4.2	Équipements de mesure	86
4.3	Fabrication et caractérisation du substrat	88
4.3.1	Topologie	88
4.3.2	Structures de calibration	90
4.3.3	Première itération de fabrication	93
4.3.3.1	Inspection	94
4.3.3.2	Mesures des TRL	96
4.3.4	Deuxième itération de fabrication	99
4.3.4.1	Inspection	99
4.3.4.2	Mesures des TRL	100
4.4	Fabrication et caractérisation des puces	103
4.4.1	Fabrication No. 1	103
4.4.1.1	Inspection	104
4.4.2	Fabrication No. 2	107
4.4.2.1	Inspection	107
4.4.2.2	Mesures	107
4.5	Assemblage et caractérisation des puces retournées	114
4.5.0.1	Inspection	114
4.5.1	Mesures	115
4.5.1.1	Ligne simple	115
4.5.1.2	Ligne différentielle	117
4.5.2	Performances équivalentes sur gaufre de silicium haute résistivité (simulation)	118
4.6	Conclusion expérimental	123
CONCLUSION ET RECOMMANDATIONS		125
BIBLIOGRAPHIE		129

LISTE DES TABLEAUX

	Page	
Tableau 1.1	Tableau comparatif des technologies d’interconnexion	22
Tableau 2.1	Dimensions des modèles des lignes CPWG et ECCPWG du substrat	39
Tableau 2.2	Fréquence d’atteinte de 1% de perte en puissance sur 4.8 mm en fonction du diamètre et de la distance centre à centre des trous de liaison (via) sur les deux types de lignes du substrat	44
Tableau 2.3	Dimensions des modèles des lignes CPW et ECCPW des puces pour une propagation avec de l’air au-dessus	52
Tableau 2.4	Dimensions des largeurs de signal des lignes CPW et ECCPW des puces avec le substrat	57
Tableau 3.1	Dimensions principales des modèles initiaux de puce retournés	62
Tableau 3.2	Tableau comparatif du rétrécissement des dimensions	73
Tableau 3.3	Techniques de compensation utilisées dans les modèles adaptés présentés avec leurs dimensions	84
Tableau 4.1	Tableau d’identification des structures présentées dans la topologie de fabrication du substrat	89
Tableau 5.1	Tableau comparatif des technologies d’interconnexion	127

LISTE DES FIGURES

	Page
Figure 1.1 Exemple d'interconnexion par ruban (Shireen, Shi, Yao & Prather, 2011)	7
Figure 1.2 Exemple de compensation LC d'une liaison par fil (Valenta <i>et al.</i> , 2015)	9
Figure 1.3 Étapes de fabrication pour un MicroCoax (Cahill, Sanjuan & Levine, 2006)	10
Figure 1.4 Exemple de puce retournée avec billes de soudure DC-250 GHz de CPW vers guide d'onde à ruban (stripline) (Monayakul <i>et al.</i> , 2015)	15
Figure 1.5 Exemple de puce retournée avec pilier de cuivre (Farid, Ahmed, Simsek & Rodwell, 2021)	16
Figure 1.6 Exemple de puce retournée avec billes d'or (cylindrique) de DC à 170 GHz avec son modèle équivalent (Khan, Ulusoy, Schmid & Papapolymerou, 2014)	18
Figure 1.7 Exemple de billes d'or (sphérique) empilées (Testa, Morath, Goran, Carta & Ellinger, 2019)	19
Figure 1.8 Exemple de transition QUILT (Fay <i>et al.</i> , 2014)	20
Figure 1.9 Exemple de transition 3D par jet d'aérosol (Qayyum, Abt, Roch, Ulusoy & Papapolymerou, 2017)	20
Figure 2.1 Règle de conception du procédé LTCC au LACIME (voir Note)	27
Figure 2.2 Propriétés mécaniques et électromagnétiques des bandes A6M	28
Figure 2.3 Technologies SiGe BiCMOS offertes par STMicroelectronics (STMicroelectronics, 2023)	30
Figure 2.4 Ligne de champs électrique des modes pouvant propager à toute fréquence sur un CPWG	32
Figure 2.5 Ligne de champs électrique des modes pouvant propager à toute fréquence sur un ECCPWG	32
Figure 2.6 Ligne de champs électrique des modes pouvant propager à toute fréquence sur un CPWG avec trous de liaison (via)	34

Figure 2.7	Ligne de champs électrique des modes pouvant propager à toute fréquence sur un CPWG avec trous de liaison (via)	34
Figure 2.8	Schéma du mode guide d'onde rectangulaire dans une ligne coplanaire avec référence à la masse inférieure et clôture de trous de liaison (via)	36
Figure 2.9	Schéma d'empilement des couches du substrat	37
Figure 2.10	Schéma des modèles initiaux des lignes CPWG et ECCPWG vues de haut du substrat	38
Figure 2.11	Légende se rapportant aux annotations sur les graphiques des sections suivantes	41
Figure 2.12	Schéma des lignes annotées des valeurs nominales des variables utilisées pour l'étude des modes d'ordre supérieurs	41
Figure 2.13	Perte en puissance en simulation de la ligne simple du substrat en fonction de la distance centre à centre des trous de liaisons (via) avec $V2V_P = 400\mu\text{m}$	42
Figure 2.14	Perte en puissance en simulation de la paire différentielle du substrat en fonction de la distance centre à centre des trous de liaisons (via)	42
Figure 2.15	Perte en puissance en simulation de la ligne simple du substrat en fonction du diamètre des trous de liaisons (via)	43
Figure 2.16	Perte en puissance en simulation des lignes simple et différentielle du substrat lors d'une discontinuité au niveau de la clôture de trous de liaison	45
Figure 2.17	Comparaison des champs électriques dans le substrat pour la ligne simple et différentielle en fonction de la fréquence pour $V2V_p = 400 \mu\text{m}$ et $\text{Via_dia} = 125 \mu\text{m}$	46
Figure 2.18	Meilleur cas de largeur du guide d'onde dans le substrat pour la ligne simple (Gauche) et différentielle (Droite) selon les dimensions nominales minimums de la présente fabrication LTCC	47
Figure 2.19	Fréquence de coupure du mode TE10 dans le substrat en fonction des paramètres des clôtures de trous de liaison (via) simulé sur MATLAB	48
Figure 2.20	Mode pouvant propager à toute fréquence sur un CPW	49

Figure 2.21	Mode pouvant propager à toute fréquence sur un ECCPW	50
Figure 2.22	Schéma d'empilement des couches des puces	51
Figure 2.23	Schéma des modèles initiaux des lignes ECCPW et CPW vues de haut des puces	52
Figure 2.24	Schéma du modèle utiliser dans la simulation de l'effet de proximité	53
Figure 2.25	Simulation du décalage de l'impédance caractéristique et de la permittivité effective en fonction de la distance séparant le substrat de la puce	54
Figure 2.26	Photo d'un pilier d'or	55
Figure 2.27	Photo de différentes configurations de piliers empilés	56
Figure 2.28	Schéma des dimensions des piliers d'or	56
Figure 2.29	Performances individuelles des lignes du substrat	57
Figure 2.30	Performances individuelles des lignes des puces (Nomenclature : 1x = 1 cylindre, 2x = 2 cylindres, 3x = 3 cylindres)	58
Figure 3.1	Schéma du modèle initial de puce retournée avec ligne simple	60
Figure 3.2	Schéma du modèle initial de puce retournée avec paire différentielle	61
Figure 3.3	Schéma du modèle initial de la puce retournée vue de côté	61
Figure 3.4	Modèles de simulation des puces retournées initiaux pour la ligne simple (Gauche) et la paire différentielle (Droite)	63
Figure 3.5	Champs électriques du mode coplanaire de la ligne simple sur la puce pour les structures de puces retournées initiales à 80 GHz en fonction du nombre de piliers. A) 1 pilier , B) 2 piliers et C) 3 piliers	63
Figure 3.6	Champs électriques du mode impair de la ligne différentielle sur la puce pour les structures de puces retournées initiales à 80 GHz en fonction du nombre de piliers. A) 1 pilier , B) 2 piliers et C) 3 piliers	64
Figure 3.7	Simulation des pertes de retour et des pertes d'insertion des variantes initiales pour la ligne simple (Bleu) et différentielle (rouge)	65
Figure 3.8	TDRZ(S_{11}) des lignes simples et différentielles nominales en fonction de la hauteur des piliers	67

Figure 3.9	Schéma du circuit équivalent de la transition sur puce retournée initiale	68
Figure 3.10	Simulation de la variation de la distance centre à centre des trous de liaison (via) pour les structures de puces retournées [Modèle A]	70
Figure 3.11	Variation de la distance centre à centre des trous de liaison (V2V_p) ET de la distance entre l'extrémité des clôtures et l'extrémité du plan de masse (V2G_d) pour les structures de puces retournées [Modèle A]	71
Figure 3.12	Cas spéciaux ne respectant pas les règles de conceptions LTCC (Rétrécissement des dimensions) [Modèle A]	72
Figure 3.13	Effet du prolongement des plans de masse périphériques du substrat en dessous de la puce [Modèle A vs Modèle B]	73
Figure 3.14	Effet du prolongement des plans de masse périphériques sur la puce [Modèle B]	74
Figure 3.15	Effet du retrait de la longueur supplémentaire au niveau du silicium de la puce [Modèle B]	75
Figure 3.16	Effet de la taille des pastilles de réceptions au niveau du substrat [Modèle B]	76
Figure 3.17	Simulations des structures pour chacune des configurations de hauteur de pilier pour le Modèle B	77
Figure 3.18	Circuit équivalent d'une transition sur puce retournée incluant les structures de compensations conventionnelles de la capacitance	78
Figure 3.19	Schéma incluant les possibles configurations permettant de compenser l'aspect capacitatif excédentaire de la transition.	81
Figure 3.20	Comparaison des modèles adaptés avec le modèle initial à 1x pilier pour la ligne simple	82
Figure 3.21	Comparaison des modèles adaptés avec le modèle initial à 1x pilier pour la paire différentielle	83
Figure 3.22	Comparaison des modèles adaptés de la ligne simple avec ceux de la paire différentielle	83
Figure 4.1	Modèles de puces retournées choisis pour la validation expérimentale	85

Figure 4.2	Installation pour les mesures (Photo #1)	86
Figure 4.3	Installation pour les mesures (Photo #2)	87
Figure 4.4	Installation pour les mesures (Photo #3)	87
Figure 4.5	Schéma d'empilement des couches du substrat pour la fabrication	88
Figure 4.6	Modèle de configuration du substrat pour la fabrication	88
Figure 4.7	Topologie globale pour la fabrication du substrat (sans les trous de liaison)	89
Figure 4.8	Phase des trois longueurs de lignes proposées pour la calibration TRL par le calculateur de Microwave101	91
Figure 4.9	Schéma des standards de calibration pour le TRL à multiples lignes du substrat pour la ligne simple (gauche) et différentielle (droite)	92
Figure 4.10	Schéma du plan de référence sur substrat pour les unités de puces retournées (DUT) de la ligne simple et différentielle	93
Figure 4.11	Photo des quatre substrats LTCC de la première itération de fabrication	94
Figure 4.12	Photo du substrat -2% de la première itération de fabrication avec une fonction d'imitation de la technologie SEM sur microscope numérique KEYENCE	95
Figure 4.13	Mesures des standards TRL de la ligne différentielle du substrat -2% de la première itération de fabrication	96
Figure 4.14	Mesures des standards TRL corrigés différentiels du substrat -2% de la première itération de fabrication	96
Figure 4.15	Valeur de la permittivité relative effective pour la ligne différentielle du substrat extraite à partir du TRL de la première itération de fabrication (version -2%)	97
Figure 4.16	Mesures des standards TRL simples du substrat -2% de la première itération de fabrication	97
Figure 4.17	Photo du substrat -2% avec l'identification des standards TRL via un code de couleur en fonction des performances en mesure (rouge = médiocre, orange = mauvaise, vert = bonne)	98

Figure 4.18	Photo du substrat LTCC nominal de la deuxième itération de fabrication	100
Figure 4.19	Standards TRL corrigés de la fabrication 2 pour la ligne simple	101
Figure 4.20	Perte par mm de la ligne simple LTCC	101
Figure 4.21	Standards TRL corrigés de la fabrication 2 pour la ligne différentielle	102
Figure 4.22	Perte par mm de la ligne différentielle LTCC	102
Figure 4.23	Ajustement des pertes par mm du modèle de simulation à partir des mesures TRL de la ligne différentielle	103
Figure 4.24	Schéma d'empilement des couches des puces	104
Figure 4.25	Photo de la première itération de puces fabriquées encore sur la gaufre de silicium	105
Figure 4.26	Photo de la portion de gaufre avec billes d'or reçues de l'ETS	106
Figure 4.27	Exemple de puce reçue de l'ETS avec l'absence de billes sur les pastilles de signaux	106
Figure 4.28	Photo de certains échantillons de puces non installées provenant du 3IT (fabrication No. 2)	107
Figure 4.29	Photo des billes d'or sur les puces (fabrication No. 2)	107
Figure 4.30	Photo des lignes de test de 2 mm représentant les lignes de transmission des puces sur silicium	108
Figure 4.31	Mesures des lignes de test sur silicium (S11 S21)	108
Figure 4.32	Mesures des lignes de test sur silicium (S11 S21)	109
Figure 4.33	Mesures des lignes de test sur silicium (S11 S21)	109
Figure 4.34	(a) Schéma de la décomposition matricielle d'une mesure d'unité sous test. (b) Les fixtures A et B extraites par TRL (2x thru)	110
Figure 4.35	(a) Fixtures A et B de la calibration #1, (b) fixtures A et B de la calibration #2, (c, d) opération matricielle effectuée pour extraire la différence entre les deux calibrations	110
Figure 4.36	Delta des calibrations TRL (lignes simples)	111

Figure 4.37	Mesure de la ligne de test simple sur silicium corrigée et ajustée à la mesure	112
Figure 4.38	Mesure de la ligne de test différentielle sur silicium corrigé et comparé avec la simulation utilisant 6.9 S/m comme conductivité	113
Figure 4.39	Photo du substrat B1 avec les puces retournées installées	114
Figure 4.40	Pertes de transmission du modèle compensé #1 "T" (ligne simple 4 mm)	115
Figure 4.41	Pertes de réflexion du modèle compensé #1 "T" (ligne simple 4 mm)	115
Figure 4.42	Pertes de transmission du modèle non compensé "I" (ligne simple 2 mm)	116
Figure 4.43	Pertes de réflexion du modèle non compensé "I" (ligne simple 2 mm)	116
Figure 4.44	Pertes de transmission du modèle compensé #1 "B" (ligne différentielle 2 mm)	117
Figure 4.45	Pertes de réflexion du modèle compensé #1 "T" (ligne différentielle 2 mm)	117
Figure 4.46	Pertes de transmission du modèle compensé #2 "A" (ligne différentielle 2 mm)	118
Figure 4.47	Pertes de réflexion du modèle compensé #2 "A" (ligne différentielle 2 mm)	118
Figure 4.48	Simulation du modèle ajusté de la ligne simple avec silicium haute résistivité	119
Figure 4.49	Simulation du modèle ajusté de la ligne différentielle avec silicium haute résistivité	119
Figure 4.50	Modèles de simulation pour l'évaluation de la diaphonie	121
Figure 4.51	Simulation de la diaphonie des modèles ajustés des deux types de lignes avec silicium haute résistivité	121
Figure 4.52	Schéma de l'arrangement de la simulation pour l'évaluation de la diaphonie	122
Figure 4.53	Rapport signal sur bruit (RSB) simulé avec modèles ajustés pour la ligne simple et la ligne différentielle	123

LISTE DES ABRÉVIATIONS, SIGLES ET ACRONYMES

ADC	Convertisseur analogique à digitale
ASIC	Circuit intégré pour application spécifique
BCB	Benzocyclobutène
BGA	Matrice de billes
BOL	Lié sur plomb
BOP	Lié sur pastille
C2	Pilier en cuivre
C4	Bille de connexion de puce à effondrement contrôlé
CDM	Amplificateur modulateur cohérent
COAX	Coaxiale
CPW	Guide d'onde coplanaire
GCPW	Guide d'onde coplanaire avec référence à la masse inférieure
CTE	Coefficient d'expansion thermique
Cu-Pillar	Pilier en cuivre
DAC	Convertisseur digital à analogique
dB	Decibel
Dk	Permittivité relative
Df	Facteur de dissipation diélectrique
EOM	Modulateur électro-optique
ETS	École de Technologie Supérieure
eWLB	Matrice de billes intégrées sur gaufre
FC	Puce retournée
GND	Mise à la terre
HFSS	Logiciel de simulation électromagnétique haute fréquence
HTCC	Céramique cuite à haute température

IC	Circuit intégré
IEEE	Institut des ingénieurs électriciens et Électroniciens
LNA	Amplificateur faible bruit
LTCC	Céramique cuite à basse température
MB	Carte mère
MMIC	circuit intégré monolithique hyperfréquence
mmWave	Onde millimétrique
MS	Micro-Ruban
MZM	Modulateur Mach-Zehnder
PCB	Carte de circuit imprimé
PD	Photodiode
PIC	Circuit intégré photonique
PNA	Analyseur de réseau en fréquence
RF	Radio fréquence
RLC	Résistance/Inductance/Capacitance
Tand	Facteur de perte tangente diélectrique
TE	Transverse électrique
TM	Transverse magnétique
TEM	Transverse électromagnétique
VNA	Analyseur de réseau vectoriel

INTRODUCTION

Les interconnections de circuits intégrés au sein de module complet dans un boîtier représentent, dans le domaine de l'encapsulation électronique, un aspect fondamental permettant la conversion des fonctions individuelles en fonctionnalité système. Dans le monde des radiofréquences, cet élément clé représente un des bloquants majeurs pour plusieurs applications visant l'opération dans les ondes millimétriques et/ou avec de très larges bandes passantes.

Au cours des dernières décennies, les avancées en termes de technologies semi-conductrices et de photonique sur silicium ont permis d'atteindre de nouveaux sommets en termes de fréquences limites d'utilisation et de bande passante. En effet, plusieurs composants atteignent désormais des fréquences dépassant les 100 GHz, et ce, avec de très larges bandes passantes. À ce jour, le bloquant principal se trouve dans le raccordement de ces composants au sein de système complet. Que ce soient les connexions entre les circuits intégrés, avec le boîtier ou bien simplement l'interfaçage avec le monde extérieur, les solutions d'interconnexion large bande représentent l'aspect limitant majeur pour les prochaines générations de systèmes/produits pour les applications visant l'opération dans les THz avec large bande passante.

Encore aujourd'hui, la liaison par fil d'or est l'une des solutions d'interfaçage qui dominent le monde de l'encapsulation pour les interconnexions de premier niveau, soit d'une puce vers une autre puce ou d'une puce vers le substrat du boîtier. Toutefois, cette solution est de moins en moins d'actualité en raison de la dégradation de ses performances lorsque la fréquence d'utilisation dépasse les 50 GHz. En effet, pour dépasser cette limite, le caractère inductif de ces minces fils force l'utilisation de structures de compensations qui donne généralement lieu à des transitions de type passe-bande étroites. Évidemment, il est possible d'atteindre de plus haute fréquence en limitant la longueur des fils et avec des techniques de compensation large bande, mais ces solutions sont très souvent très sensibles aux variations, et donc, non appropriées à la production de masse.

Une solution intéressante qui gagne du terrain dans le domaine de l'encapsulation pour des applications hautes fréquences depuis plusieurs années est l'interconnexion par puce retournée. En effet, en raison de son rapport hauteur-largeur avantageux, la puce retournée n'est pas sujette aux mêmes limitations que la liaison par fils. De ce fait, cette technologie est un candidat très prometteur pour l'intégration de composants photoniques au sein de systèmes.

Afin de résumer le tout, la problématique, les objectifs et l'organisation de la thèse seront présentés ou reformulés de manière synthèse.

Problématique

Avec l'arrivée de nouveaux composants optiques possédant des bandes passantes de plus de 100 GHz, le défi principal se trouve dans le raccordement et l'encapsulation de tels composants au sein de modules complets. En effet, les interconnexions de premier niveau des puces vers le substrat principal représentent le bloquant majeur pour les applications visant l'opération dans les THz.

Objectifs

L'objectif principal de cette recherche est de trouver une solution d'interconnexion simple et efficace large bande jusqu'à plus de 100 GHz. Les critères sont une faible complexité, une grande flexibilité d'adaptation, une grande accessibilité, une possibilité de production de masse, un faible coût et des performances RF respectant des critères précis. De plus, puisque certains composants haute vitesse d'une chaîne de communication sont opérés différemment, il serait nécessaire que la solution d'interconnexions fonctionne autant pour une transition simple que pour une transition différentielle. Au niveau des pertes de transmission (IL), celles-ci doivent être minimisées au maximum. Ensuite, au niveau des pertes de retour, l'objectif minimal absolu est de -10 dB, mais l'idéal serait d'être plus petit que -15 dB sur toute la bande. Pour finir, cette transition doit fonctionner pour des interconnexions de type puce à substrat de premier niveau, soit d'une puce vers le substrat du boîtier.

Organisation de la thèse

Le **chapitre 1** couvre l'étude bibliographique effectuer pour ce projet de recherche. Cette section regroupe les avancées les plus récentes et prometteuses proposées dans la littérature en lien avec la problématique d'interconnexion large bande efficace jusqu'à des fréquences de plus de 100 GHz. Cette revue est divisée entre les principales catégories d'interconnexion, soit la liaison par fil (Wirebond), la puce retournée (Flip-Chip) et d'autres alternatives atypiques. Chacune des solutions présentées sera évaluée de manières critiques par rapport aux objectifs poursuivis.

Le **chapitre 2** couvre le développement individuel des éléments nécessaires à cette recherche, soit les puces, les substrats de réception et les billes/piliers d'or. Au niveau des deux structures à interconnecter, la conception des lignes de transmissions ainsi que les considérations/limitations en fonction de la fréquence maximale d'opération visée sont présentées. Au niveau des piliers, l'aspect empilable et son impact sur l'effet de proximité sont présentés. Ultimement, cette section couvre la portion dimensionnement des éléments individuels à l'aide d'études analytiques théoriques et de courtes simulations afin d'atteindre des fréquences de plus de 100 GHz.

Le **chapitre 3** représente la portion du document consacrée à la conception et l'étude complète d'une interconnexion par puce retournée de type puce à substrat large bande de DC à plus de 100 GHz sur pilier d'or avec hauteur flexible. Dans cette section, les modèles complets de puce retournée sont étudiés et optimisés selon plusieurs paramètres à l'aide de concepts théoriques et de simulations électromagnétiques 3D complètes. Finalement, les meilleurs candidats pour la validation expérimentale sont présentés.

Le **chapitre 4** couvre la portion expérimentale de ce projet de recherche. Les itérations de fabrications des puces et des substrats de réceptions sont présentées individuellement et leurs mesures sont comparées avec les simulations. L'aspect assemblage ainsi que les problèmes et

défis rencontrés lors de la fabrication sont aussi abordés. Les mesures de structures assemblées sont ensuite comparées avec les résultats de simulations attendues.

CHAPITRE 1

REVUE DE LITTÉRATURE

La croissance constante des demandes en termes de débits de données dans les liens de communications hautes vitesses modernes intensifie l'effort de recherche sur le développement de composants RF et électro-optiques opérant sur de très larges bandes passantes, et ce, jusqu'à dans les fréquences THz. Toutefois, un aspect essentiel concernant l'intégration de ces composants au sein de système complet est négligé. En effet, le bloquant majeur se trouve dans le manque de solution d'interconnexion large bande et avec de bonnes performances jusqu'à plus de 100 GHz. Cette problématique est directement observable dans les systèmes de communication haut débit moderne avec l'arrivée de modulateur optique atteignant des bandes passantes de plus 100 GHz sur silicium photonique hybride qui ne peuvent être raccordés simplement et efficacement avec les solutions d'interfaçage actuelles. Les objectifs poursuivis définissant une interconnexion simple et efficace large bande jusqu'à plus de 100 GHz sont une faible complexité, une grande flexibilité d'adaptation, une grande accessibilité, une possibilité de production de masse, un faible coût et des performances RF respectant des critères précis. De plus, puisque certains composants haute vitesse d'une chaîne de communication sont opérés différentiellement, il serait nécessaire que la solution d'interconnexions fonctionne autant pour une transition simple que pour une transition différentielle. Le critère au niveau des pertes de transmission est qu'elles soient minimisées au maximum. Ensuite, au niveau des pertes de retour, l'objectif minimal absolu est de -10 dB, mais l'idéal serait d'être plus petit que -15 dB sur toute la bande. Pour finir, cette transition doit fonctionner pour des interconnexions de type puce à substrat de premier niveau, soit d'une puce vers le substrat du boîtier. Dans la littérature, plusieurs recherches ont été effectuées sur diverses techniques d'interconnexion puce à substrat et puce à puce large bande jusqu'à plus de 100 GHz. Cependant, plusieurs solutions sont extrêmement complexes, non accessibles (artisanales) et/ou très coûteuses. L'objectif de cette présente revue est de cibler les études récentes les plus prometteuses en plus de définir des balises générales à respecter en vue d'obtenir de bonnes performances tout en respectant les objectifs mentionnés ci-haut. L'organisation du présent chapitre est définie de manière à

présenter individuellement les diverses catégories d'interconnexions générales, soit la liaison par fil (Wirebond), la puce retournée (Flip-Chip) et d'autres alternatives atypiques.

1.1 Liaison par fil

Encore aujourd'hui, la liaison par fil est de loin la technologie d'interconnexion la plus répandue, toute application RF confondues. Cette technologie d'interconnexions permet la propagation d'un signal DC ou d'ondes électromagnétiques en radiofréquence d'une entité à un autre en reliant des pastilles de contact via un mince filament conducteur. Ce type d'interconnexion est particulièrement utilisé comme interconnexion de premier niveau, soit pour des connexions puce à puce ou des connexions puce à substrat. La popularité de la liaison par fil est en raison des avantages que cette technologie offre :

- Rendement et fiabilité supérieurs
- Flexibilité : Peut s'adapter à la plupart des configurations spatiales
- Faible coût d'implémentation
- Alloue une grande densité de signaux
- Technologie accessible dans virtuellement toutes les usines de fabrications et d'assemblages
- Bonne performance RF large bande jusqu'à certaines fréquences

Malgré tous ces avantages, l'utilisation de fils à des fréquences dépassant les 100 GHz est extrêmement difficile en raison de leurs caractères inductifs. Concrètement, un fil circulaire à une inductance qui peut être approximée par l'équation suivante (Terman, 1943) (Gupta, Garg & Chadha, 1981) :

$$L_W = 2 \times 10^2 \ell (\ln (4\ell/d) - 1 + \mu_r E) \quad (1.1)$$

ℓ : Longueur du fil (m)

d : Diamètre du fil (m)

μ_r : Perméabilité relative du conducteur

E : Facteur d'ajustement de l'effet pelliculaire («skin-effect»)

L : Inductance du fil en nanohenrys (nH)

Évidemment, cette équation n'est valable que pour un fil circulaire droit isolé «flottant» dans l'air.

Lorsque cette équation est résolue et convertie en réactance inductive pour un fil d'or typique, il est possible de constater que la longueur du fil doit être extrêmement courte afin d'avoir une valeur de réactance à 100 GHz suffisamment petite pour permettre de bonne performance dans un système de 50Ω . Avec cette problématique en tête, la prochaine étape est de présenter les récentes solutions prometteuses proposées dans la littérature. Parmi celles-ci on retrouve l'utilisation de ruban, la compensation et l'utilisation d'une technologie nommée MicroCoax.

1.1.1 Ruban

Le fil en ruban est une solution très intéressante pour minimiser l'inductance en comparaison avec le fil circulaire (Gupta *et al.*, 1981) (Harman, 2010). Une étude présente l'utilisation de ruban comme interconnexion de DC à 100 GHz (Shireen *et al.*, 2011).

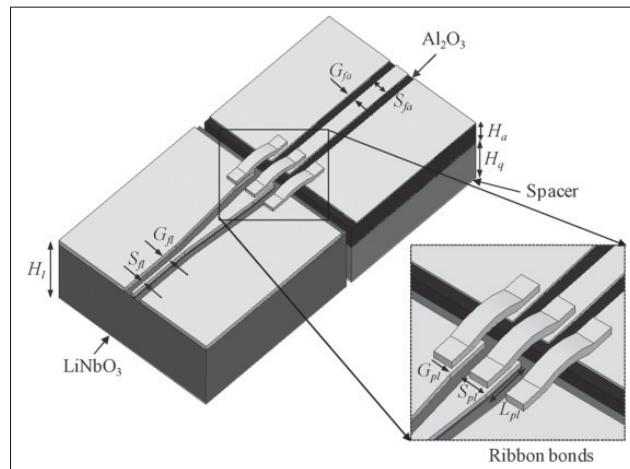


Figure 1.1 Exemple d'interconnexion par ruban (Shireen *et al.*, 2011)

La transition présentée est de type puce à substrat (CPW-CPW) et relie une puce en LiNbO₃ à une céramique Al₂O₃. Les pertes de retour sont meilleures que -10 dB et les pertes de transmissions à 100 GHz sont d'environ 2.5 dB. La longueur des rubans est de 180 μm. Incontestablement, une longueur de 180 μm est extrêmement courte comme distance et il est très complexe d'avoir une distance pastille à pastille aussi petite entre les 2 entités à interconnecter. De plus, -10 dB de S₁₁ à 100 GHz semblent être les meilleures performances obtenues puisqu'un seul échantillon est présenté, ce qui indique qu'avec des variations, les performances pourraient sans aucun doute être non suffisantes.

1.1.2 Compensation

Une autre solution est la compensation de l'inductance. Il existe plusieurs structures efficaces de compensation permettant d'optimiser une transition sur une certaine bande de fréquence. Le problème avec la compensation est que la majorité des techniques donne lieu à des transitions de type passe-bande étroit qui ne sont pas appropriées aux applications large bande. Une des techniques large bande pour la liaison par fil consiste en l'utilisation de plusieurs fils en parallèle de manière à diviser le courant entre eux et ainsi réduire l'inductance. Des chercheurs ont étudié cette technique pour des transitions puce à substrat sur une plage de DC jusqu'à 92 GHz (Jiang, Krozer, Bach, Mekonnen & Johansen, 2013) et 100 GHz (Wu, Yu, Li & Kuo, 2015). La meilleure transition est celle jusqu'à 92 GHz avec des pertes de retour maximal de -11.2 dB. Cependant, les pertes d'insertions sont de -3 dB à 92 GHz, ce qui est particulièrement élevé pour un seul interconnexion.

Une autre solution de compensation large bande est l'utilisation de réseaux LC. Des chercheurs ont réussi à atteindre des performances RF très impressionnantes avec des fils circulaires dans la bande DC-170 GHz (Valenta *et al.*, 2015). La transition présentée est de type puce à puce (CPW-CPW) et permet de relier deux puces de silicium BiCMOS 0.13 μm. Afin de mitiger l'effet de l'inductance à haute fréquence, une topologie de compensation C-L-C-L-C-L-C est utilisée avec des fils de 150 μm. Avec cette technique, les pertes de retours et les pertes d'insertions sont meilleures que -12 dB et 1 dB respectivement jusqu'à 140 GHz. De plus, ils ont démontré la

répétabilité avec plusieurs échantillons. Il semblerait que ce soit les meilleures performances d'interconnexions par fil «typique» large bande démontrées à ce jour. Cependant, la complexité du montage global est très élevée. En effet, la longueur du fil de $150 \mu\text{m}$ représente un grand défi sans mentionner la complexité de la topologie de compensation qui pourrait ne pas être aisée à adapter au besoin précis d'un autre type de transition avec des paramètres différents.

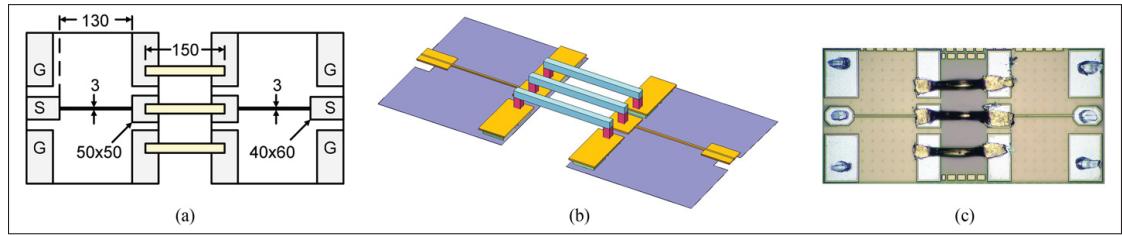


Figure 1.2 Exemple de compensation LC d'une liaison par fil (Valenta *et al.*, 2015)

Dans un autre ordre d'idée, l'utilisation de la compensation des fils de liaison pour des applications nécessitant des bandes étroites au-delà de 100 GHz a été démontrée pour des transitions simples et différentielles (Beer *et al.*, 2011) (Valenta *et al.*, 2015), (Simsek *et al.*, 2020). À l'évidence, des performances en bande étroite ne satisfont pas les critères de cette étude.

1.1.3 MicroCoax

Dans un autre ordre d'idée, une solution intéressante proposée il y a quelques années est celle de convertir le fil nu en câble coaxial.

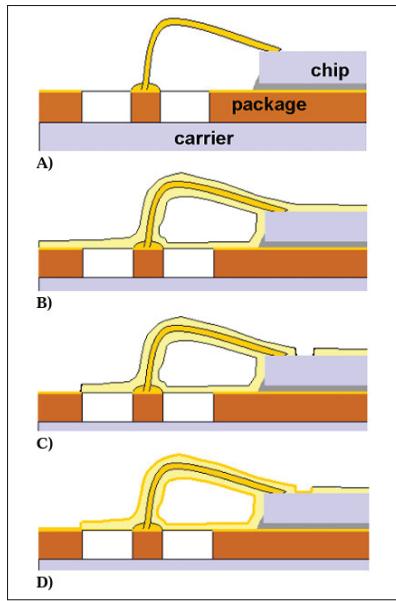


Figure 1.3 Étapes de fabrication pour un MicroCoax (Cahill *et al.*, 2006)

Le MicroCoax consiste en un fil recouvert d'un diélectrique et d'une couche de métal extérieur pour le plan de masse. Essentiellement, c'est un câble coaxial miniature. Avec cette technique il est possible de contrôler l'impédance de la transition de manière à atteindre des fréquences plus élevées sans nécessiter des fils extrêmement courts. De plus, le niveau de radiation est beaucoup plus faible, ce qui permet entre autres de réduire la distance minimale entre 2 transitions en raison de la faible diaphonie. La technologie du MicroCoax permettrait d'atteindre de très bonne performance RF de DC jusqu'à plus de 100 GHz (Devlin, 2014). Un microcoax de 2.2mm mesuré démontre des pertes d'insertions de moins de 0.7 dB jusqu'à 115 GHz. Les pertes de retour sont quant à elles meilleures que -20 dB sur la majorité de la bande avec une valeur maximale de -17 dB à 60 GHz. Malgré ses performances très impressionnantes, cette technologie n'est pas très accessible, puisque très peu d'endroits dans le monde sont en mesure de réaliser ce type d'interconnexions.

1.1.4 Conclusion liaison par fil

Pour conclure la revue sur la liaison par fil comme solution d’interconnexions large bande jusqu’à plus de 100 GHz, il semble qu’aucune des solutions proposées ne respecte les objectifs poursuivis pour plusieurs raisons. Les problèmes se situent autour de la complexité, les mauvaises performances large bande, ou du manque d’accessibilités des propositions présentées ci-haut. De plus, ces solutions risquent d’être très sensibles aux variations et ne pas être efficaces pour des productions de masse. Jusqu’à preuve du contraire, vu la date la plus récente de papier proposant une liaison par fil jusqu’à 100 GHz qui remonte en 2015, il est possible de conclure que ce sujet de recherche précis n’est plus d’actualité.

1.2 Puce retournée

La puce retournée (Flip-Chip), comme son nom l’indique, consiste en la connexion d’une puce retournée face vers le bas à un substrat ou une autre puce via des billes ou des structures cylindriques faites en matériaux conducteurs. C’est en 1961 que la compagnie IBM a inventé cette nouvelle technologie en raison du manque de technologie d’interconnexion existante permettant de satisfaire leurs besoins en termes de performances, de densité de signaux et de miniaturisation pour leurs systèmes informatiques hautes performances (Tong, Lai & Wong, 2013). Afin de réduire la lourdeur de cette section, voici plusieurs ouvrages de référence couvrant le portrait global de la technologie en présentant la vaste majorité des variantes existantes à ce jour (Heinrich, 2005) (Tong *et al.*, 2013) (Lau, 2017) (Heinrich *et al.*, 2021).

L’avantage de la puce retournée en comparaison avec la liaison par fil est que la transition se fait verticalement sur une très courte distance, et donc, l’inductance parasite qui dépend de la hauteur de la transition est beaucoup plus petit et ajustable en manipulant la taille des billes/cylindres. Il est cependant important de mentionner qu’une transition puce retournée a aussi une contribution capacitive importante qui se forme au niveau des pastilles. En fait, en opposition aux liaisons par fil, ce type d’interconnexion est, dans la quasi-totalité des cas, plus capacitif qu’inductif (Heinrich, 2005). De toute évidence, l’aspect capacitif doit être contrôlé minutieusement afin

d'avoir de bonne performance jusqu'à plus de 100 GHz. Plusieurs autres aspects importants à considérer sont présentés dans la littérature et résumés dans quelques papiers (Heinrich, 2005) (Heinrich *et al.*, 2021). Les points essentiels seront retranscrits dans le prochain paragraphe.

Tout d'abord, il existe un phénomène appelé l'effet de proximité qui peut se manifester sous la forme d'un changement dans l'environnement de propagation des lignes de transmission présentent à la surface d'une puce retournée en raison d'une trop grande proximité avec le substrat de réception. Ce changement dans l'environnement de propagation se traduit par une augmentation de la permittivité effective qui cause à la fois une modification de la longueur d'onde et de l'impédance caractéristique (Z_0) par rapport au cas nominal attendu. Conséquemment, l'un des effets néfastes résultants est une augmentation de la réflexion aux interfaces. Ensuite, dans le cas de puces avec circuit actif comme les amplificateurs, ce phénomène affecte le gain en plus de dégrader les performances à haute fréquence (Ito, Maruhashi, Kusamitsu, Morishita & Ohata, 1999). Évidemment, ce phénomène dépend de plusieurs facteurs, soit les dimensions de la ligne de transmission, les constantes diélectriques relatives des substrats/diélectriques ainsi que la distance entre les deux entités. Parmi les solutions à ce problème, la première est de ne pas retourner la puce en utilisant des cylindres conducteurs verticaux spéciaux traversant le diélectrique d'une puce sur semiconducteur (TSV ou hot-via). Une autre est de minimiser les dimensions des lignes de transmission qui sont présentes à la surface de la puce. Ensuite, il est aussi possible de prendre en compte l'effet de proximité lors de la conception des lignes de surfaces de la puce. Finalement, une autre solution intéressante est de choisir une technologie de bille/cylindre offrant une hauteur flexible de manière à choisir l'élévation nécessaire. L'avantage particulier de cette dernière solution est le fait qu'elle ne nécessite pas de contrôle des dimensions de la puce, et donc, qu'elle est réalisable même lorsque la puce n'est pas conçue à l'interne. Il est aussi important de préciser que la proximité peu aussi affecter les lignes de surface du substrat de réception lors de chevauchement avec le diélectrique, mais cet aspect est généralement moins problématique en raison des courtes distances sur lequel l'effet se produit. Dans un autre ordre d'idée, un autre aspect important est la compatibilité des coefficients d'expansion thermique (CTE) entre les différentes puces et le substrat. Si ces derniers ont des écarts significatifs de

CTE, la dilatation thermique des entités n'est pas cohérente et le risque de fracture du système via un stress mécanique devient important lors de variation en température. Afin de réduire ce risque, il est important de vérifier la cohérence de ces constantes et, au besoin, sélectionner un matériel de remplissage («Underfill») à insérer entre les entités. Pour terminer, un aspect important nécessitant une attention particulière dans des transitions à plus de 100 GHz est la discontinuité qui se forme dans l'environnement de propagation. Cette discontinuité peut mener, entre autres, à l'excitation de mode de radiation, à l'excitation de modes d'ordres supérieurs dans le diélectrique/substrat guidé ou radiatif, ou encore à de la réflexion, et donc, des ondes stationnaires. De ce fait, il est important de considérer tous ces aspects lors d'une conception, et ce, en fonction de la fréquence maximale visée.

Les sous-sections suivantes serviront à présenter les solutions large bande jusqu'à plus de 100 GHz proposés dans la littérature. L'objectif est de vérifier si une solution respectant les critères poursuivis a été publiée. Ces études seront présentées selon le type de bille/cylindre utilisé, soit les billes de soudures, les billes d'or («Gold stud»), les piliers de cuivre («Copper pillar») et d'autres alternatives artisanales («In house»). Naturellement, les techniques de compensation et les règles de conceptions seront extraites lorsque fournies. De plus, les modèles équivalents simples de puce retournée publiés dans la littérature seront aussi présentés.

1.2.1 Billes de soudures

Les billes de soudures se définissent par l'utilisation d'un alliage avec un point de fusion plus petit que 450 °C. Ce type de bille est principalement utilisé pour de l'encapsulation puce retournée de type boîtier matriciel à billes (Ball grid array), une méthode permettant une grande densité d'interconnexions via le dessous d'une puce ou d'un substrat de boîtier. Pendant plusieurs décennies, les billes de soudures qui dominaient le marché de la puce retournée étaient le type C4 avec un alliage en SnAg. À ce jour, d'autres types de billes sont utilisés comme les microbillles en AuSn permettant d'atteindre de plus petites dimensions et une variante appelée le pilier de cuivre qui sera abordé un peu plus loin dans le texte. Pour des puces, cette technologie est

souvent utilisée conjointement avec des couches de redistribution (RDL) ou des interposeurs afin de rediriger les connexions.

Une étude démontre l'utilisation de bille de soudure de DC jusqu'à 100 GHz (Bessemoulin *et al.*, 2022). Ces billes sont utilisées sous forme de boîtier à billes (BGA) pour connecter une puce GaAs encapsulée pour montage en surface (CMS/SMT) sur un PCB, soit une interconnexion du deuxième niveau boîtier à PCB. Le montage expérimental complet inclus des «hot-via», des visas traversant le GaAs permettant de garder la puce face vers le haut et éviter l'effet de proximité. Les mesures incluent 2 transitions consécutives. Les pertes d'insertions incluant les pertes de lignes sont de près de -2.5 dB à 100 GHz et les pertes de retour sont meilleures qu'environ -10 dB sur toute la bande. Malheureusement, très peu de détails sont fournis sur la transition boîtier à billes (BGA), l'alliage et les dimensions de la bille ne sont pas fournis. Il serait donc très difficile pour un concepteur de reproduire le modèle.

D'autre part, une équipe de chercheurs a présenté la meilleure transition puce retournée démontrée expérimentalement à ce jour avec de bonnes performances de DC à 500 GHz (Sinha *et al.*, 2017). L'interconnexion est de type puce à puce et permet de relier une puce en AlN à une puce en silicium. Les deux lignes de transmissions sont des guides d'ondes à ruban (stripline) fabriquées dans une couche intermédiaire de benzocyclobutene (BCB) présent sur le dessus des deux puces. La puce en AlN a quant à elle une fine couche de diamant supplémentaire pour la dissipation de chaleur des transistors. Les billes utilisées sont des microbilles en AuSn avec un diamètre de 10 μm et une hauteur de 2 μm . Une autre étude par les mêmes auteurs présente une transition très semblable de CPW vers guide d'onde à ruban jusqu'à 250 GHz (Monayakul *et al.*, 2015).

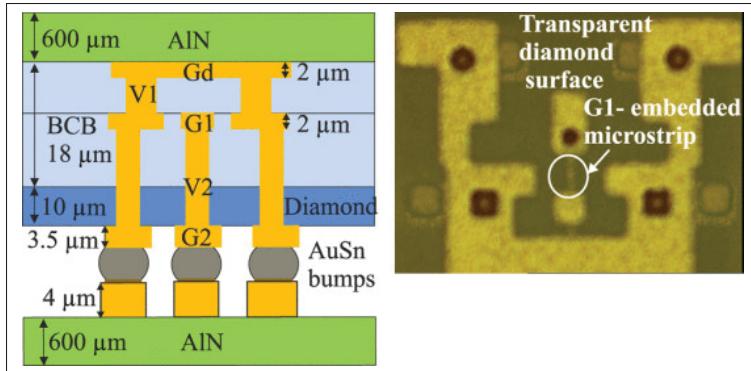


Figure 1.4 Exemple de puce retournée avec billes de soudure DC-250 GHz de CPW vers guide d'onde à ruban (stripline) (Monayakul *et al.*, 2015)

Dans les deux cas, les règles de conception à suivre fournies sont les mêmes, soit la minimisation de la taille des billes/piliers et la suppression des modes guide d'ondes dans les diélectriques via l'aminçissement de celui-ci et l'utilisation précise de trous de liaison (via). De plus, il est important d'effectuer des analyses avancées des mécanismes causant les effets parasites dans la structure, comme la génération de modes d'ordre supérieur et le décalage d'impédance («mismatch») afin d'être en mesure de développer des techniques pour leurs réductions.

En conclusion, pour les solutions avec billes de soudures jusqu'à 250 et 500 GHz, les problèmes se situent autour de la complexité et du haut coût de fabrication. De plus, pour les lignes de transmission guide d'onde à ruban (stripline), la caractérisation expérimentale avec des sondes n'est pas possible.

1.2.2 Piliers de cuivre

C'est en 2001 que IBM a lancé et breveté cette nouvelle technologie de transition (Bumps) puce retournée. Celle-ci consiste en un pilier de cuivre avec une bille de soudure déposé sur le dessus (Koh, Lin & Tai, 2011). L'avantage principal des piliers de cuivre provient de ses petites dimensions cylindriques qui allouent de très petites distances centres à centre (Pitch) entre les interconnexions tout en maintenant une hauteur suffisante. Cet aspect permet d'avoir une plus grande densité d'interconnexions en comparaison avec les traditionnelles billes de

soudure «C4» (Controlled collapse chip connection) en SnAg. À ce jour, le pilier de cuivre a majoritairement remplacé les billes de soudure C4 dans le marché de la puce retournée. Un article sur le site web de DUPONT présente l'évolution des billes C4 vers le pilier de cuivre (Wei, 2016). Il est cependant important de savoir qu'il existe plusieurs variations de cette technologie, tous un peu différentes les unes des autres. De ce fait, les procédés, les dimensions (hauteur, diamètre), la forme (carré, ovale, rond), le mur du pilier (conique ou droit), l'alliage de soudure et le ratio de hauteur du pilier sur l'épaisseur de la soudure offerte sont variables chez les différentes usines de fabrication proposant ce service (Hillman, 2015). En conséquence, les études effectuées et résultats obtenus sur un type de pilier de cuivre pourraient potentiellement ne pas être transposables à d'autres. Avec cela en tête, l'étape suivante est d'analyser la littérature.

Un papier démontre l'utilisation de pilier de cuivre en bande étroite à 135 GHz comme interconnexions puce à substrat pour une application d'antenne. Le substrat est en céramique LTCC (GL771 Kyocera) et la puce est en silicium. Cette dernière est fabriquée avec un procédé 22 nm FD-SOI CMOS. La transition est de type CPW (LTCC) vers Microruban (Puce) via des piliers de cuivre de $50 \mu\text{m}$ de diamètre avec une hauteur de $30 \mu\text{m}$. La perte de transmission dans la transition est de 0.9 dB et les pertes de retour de -12 dB à 135 GHz.

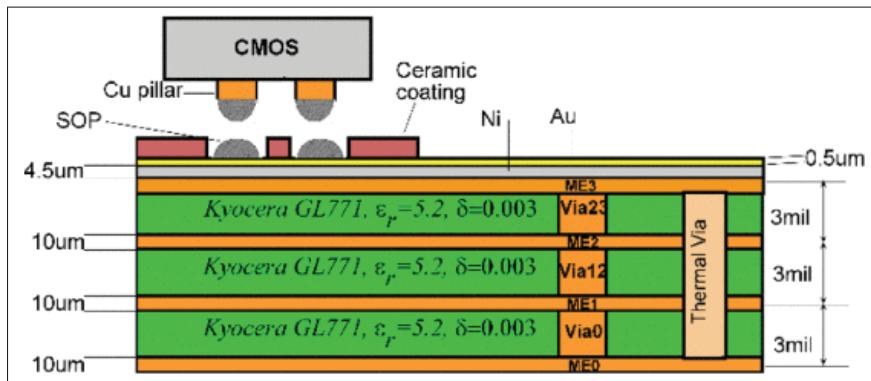


Figure 1.5 Exemple de puce retournée avec pilier de cuivre (Farid *et al.*, 2021)

Un autre papier, cette fois-ci de conférence, présente une utilisation de piliers de cuivre large bande de 60 à 175 GHz via des simulations dans une transition spéciale d'un interposeur

PolyStrata® recta-coax vers un MMIC avec des pertes de retour meilleur que -20 dB sur toute la bande (Smith, Rhyne & Hatfield, 2021).

Malheureusement, à ma connaissance, il n'y a aucune étude concrète expérimentale ciblant l'utilisation large bande des piliers de cuivre de DC jusqu'à plus de 100 GHz. Toutefois, ce type de transition semble très prometteuse et avec ses dimensions avantageuses, il semble que son utilisation pourrait être possible pour des transitions satisfaisant les objectifs poursuivis. Le réel problème se trouve au niveau de la difficulté de la recherche, vu le très grand nombre de variations existantes. Il serait nécessaire de tester beaucoup de variantes afin d'arriver à des conclusions.

1.2.3 Billes d'or

Les billes d'or sont une autre variante de transition puce retournée gagnant en popularité dans les dernières années. Ces billes sont produites via des instruments de liaison par fil conventionnels. Essentiellement, le procédé est celui de l'attachement par bille d'une liaison par fil classique par thermocompression et/ou ultrasons, mais avec le fil coupé directement à la base. Cette technique de liaison est très accessible, a une excellente répétabilité, un faible coût et permet une distance centre à centre suffisamment petite pour une densité d'interconnexions élevée. Un autre avantage de cette technique est le fait que les billes d'or peuvent être empilées afin d'atteindre de meilleurs ratios hauteur sur diamètre et ainsi mieux contrôler l'effet de proximité de la transition puce retournée. Cet aspect peut aussi simplement être utilisé comme une option flexible pour satisfaire les besoins d'un concepteur. Finalement, ces transitions peuvent être de forme sphérique ou cylindrique.

Un premier papier présente une transition substrat à substrat sur pilier d'or (cylindrique) de DC à 170 GHz (Khan *et al.*, 2014). Le substrat est en LCP (liquid crystal polymer) et la «puce» est elle aussi fabriqué sur un substrat LCP. La hauteur du pilier est de 50 μm et le diamètre de 40 μm . Une section haute inductance est utilisée sur la puce et sur le substrat afin de compenser l'aspect capacitif de la transition. Les pertes de retour sont meilleures que -10 dB sur toute la

bande et les pertes d'insertions à 122 et 165 GHz sont de 0.18 et 0.9 dB respectivement. Ces pertes d'insertions sont calculées en soustrayant les pertes de lignes de transmissions. Un modèle équivalent et des règles de conceptions pour les dimensions de la section de compensation sont aussi présentés.

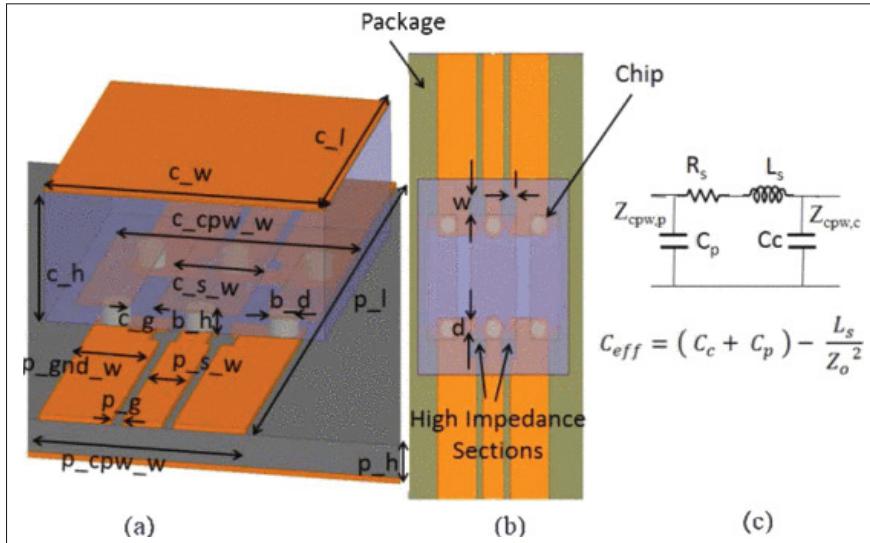


Figure 1.6 Exemple de puce retournée avec billes d'or (cylindrique) de DC à 170 GHz avec son modèle équivalent (Khan *et al.*, 2014)

Un autre papier plus récent présente une transition puce à puce avec comme interconnexion deux billes d'or (sphérique) empilées (Testa *et al.*, 2019). Les deux puces sont en silicium et fabriquées avec un procédé SiGe BiCMOS avec des lignes de transmissions de type CPW. Les billes empilées sont aplatis pour obtenir une forme cylindrique avec une hauteur résultante de 10 μm et un diamètre de 60 μm . Comme dans le papier précédent, une section haute inductance est utilisée sur les puces afin de compenser l'aspect capacitif de la transition. Les pertes de retour sont meilleures que -10 dB jusqu'à environ 125 GHz et les pertes d'insertions de l'interconnexion sont de -1 dB à 150 GHz dans des mesures expérimentales. Un modèle équivalent et certaines règles de conceptions pour les dimensions de la section de compensation sont aussi présentés.

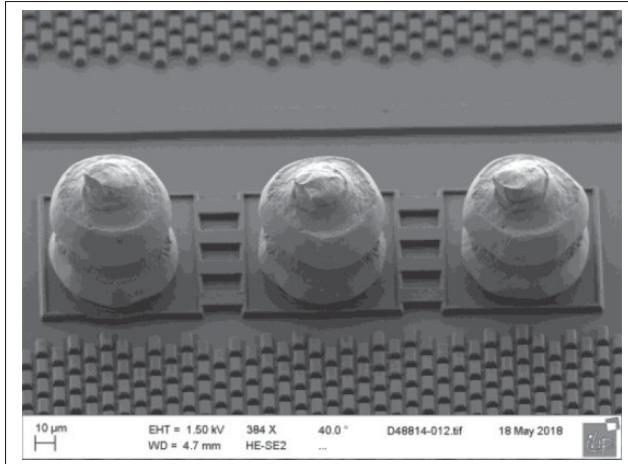


Figure 1.7 Exemple de billes d’or (sphérique) empilées (Testa *et al.*, 2019)

Finalement, un dernier papier très semblable à ce dernier est présenté pour une transition puce à puce jusqu’à 200 GHz avec des piliers d’or avec une hauteur de $4 \mu\text{m}$ et un diamètre de $30 \mu\text{m}$ (Rausch *et al.*, 2022).

Pour conclure, il semblerait que cette technologie soit en phase avec les objectifs poursuivis. De bonnes performances ont été atteintes de DC à plus de 100 GHz pour des transitions substrat-à-substrat en LCP et jusqu’à 200 GHz pour des transitions puce à puce. De plus, des règles de conceptions et des modèles équivalents sont présentés. Cependant, aucun papier n’étudie les performances de piliers d’or pour des transitions puce à substrat.

1.2.4 Alternative

Comme alternative aux puces retournées, en 2014, un nouveau type de transition a été mis sur pied et breveté sous le nom d’interconnexion puce à puce « quilt ». Cette innovation démontre une transition compacte en périphérie de la puce ultra large bande jusqu’à 200 GHz (Fay *et al.*, 2014). Les pertes d’insertions sont de moins de 1 dB à 110 GHz et moins de 2.25 dB à 220 GHz, alors que les pertes de retour sont meilleures que -10 dB jusqu’à 150 GHz dans des mesures expérimentales.

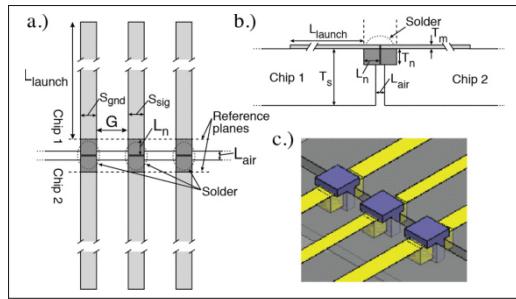


Figure 1.8 Exemple de transition QUILT (Fay *et al.*, 2014)

Ensuite, nous avons les interconnexions 3D utilisant l'impression par jet d'aérosol jusqu'à 110 GHz (Qayyum *et al.*, 2017). Les pertes d'insertions sont de 0.49 dB à 110 GHz et les pertes de retours sont meilleures que -10 dB sur toute la bande.

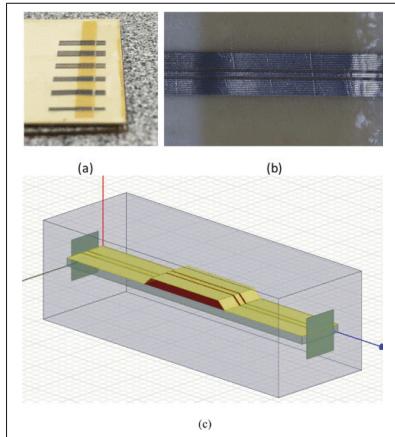


Figure 1.9 Exemple de transition 3D par jet d'aérosol (Qayyum *et al.*, 2017)

De toute évidence, ces technologies, bien que prometteuses, sont très peu accessibles.

1.2.5 Conclusion puce retournée

Pour conclure la revue sur la puce retournée comme solution d'interconnexions large bande jusqu'à plus de 100 GHz, il semble que quelques solutions proposées respectent plusieurs des objectifs poursuivis. Parmi ces solutions, les billes d'or et les piliers de cuivres sont ceux qui se

démarquent le plus au niveau de l'accessibilité, la faible complexité et le faible coût. Pour les solutions avec billes de soudures jusqu'à 250 et 500 GHz, les problèmes se situent autour de la complexité et du haut coût de fabrication ainsi que le fait que ce soit des transitions puce à puce. Un autre problème incluant toutes les solutions est que celles-ci ne sont jamais appliquées à des lignes de type différentielles. Qui plus est, la vaste majorité des solutions est pour des interconnexions puce à puce et non puce à substrat. Ultimement, la solution sur bille d'or empilé est celle qui semble la plus prometteuse pour la présente recherche vu l'aspect flexible de cette technologie.

1.3 Conclusion de la Revue

Tableau 1.1 Tableau comparatif des technologies d’interconnexion

Technologie	Fmax	IL	RL	Complexité	Coût	Remarques
Liaison par fil						
Ruban (Shireen <i>et al.</i> , 2011)	100 GHz	2.5 dB à 100 GHz	-10 dB à 100 GHz	Élevée	Modéré	Longueur du ruban
Comp. (fils) (Jiang <i>et al.</i> , 2013)	92 GHz	-3 dB à 92 GHz	-11.2 dB à 92 GHz	Modérée	Modéré	Pertes d’insertion
Comp. (LC) (Valenta <i>et al.</i> , 2015)	170 GHz	1 dB à 140 GHz	-12 dB à 140 GHz	Élevée	Élevé	Adaptation complexe
MicroCoax (Devlin, 2014)	115 GHz	0.7 dB à 115 GHz	-17 dB à 60 GHz	Faible	Très élevé	Accessibilité
Puce retournée						
Billes Soudure (BGA) (Bessemoulin <i>et al.</i> , 2022)	100 GHz	-2.5 dB à 100 GHz	-10 dB à 100 GHz	Faible	Modéré	Détails BGA manquants
Billes Soudure (AuSn) (Sinha <i>et al.</i> , 2017)	500 GHz	N/D	N/D	Élevée	Élevé	Transition puce à puce
Cuivre (Farid <i>et al.</i> , 2021)	135 GHz	0.9 dB à 135 GHz	-12 dB à 135 GHz	Faible	Modéré	Bande étroite
Cuivre (Smith <i>et al.</i> , 2021)	175 GHz	N/D	-20 dB à 175 GHz	Modérée	Modéré	Simulation seulement & Fmin = 60 GHz
Or (cyl.) (Khan <i>et al.</i> , 2014)	170 GHz	0.9 dB à 165 GHz	-10 dB à 170 GHz	Modérée	Modéré	Substrat-à-substrat (LCP)
Or (sph. emp.) (Testa <i>et al.</i> , 2019)	150 GHz	-1 dB à 150 GHz	-10 dB à 125 GHz	Modérée	Modéré	Puce-à-puce
Or (cyl.) (Rausch <i>et al.</i> , 2022)	200 GHz	N/D	N/D	Modérée	Modéré	Puce-à-puce
Autre						
QUILT (Fay <i>et al.</i> , 2014)	220 GHz	2.25 dB à 220 GHz	-10 dB à 150 GHz	Élevée	Élevé	Accessibilité
Imp. 3D (Qayyum <i>et al.</i> , 2017)	110 GHz	0.49 dB à 110 GHz	-10 dB à 110 GHz	Élevée	Élevé	Accessibilité

Légende

- N/D : Non disponible
- IL : Perte d'insertion
- RL : Perte de retour
- Fmax : Fréquence maximale
- Fmin : Fréquence minimale

En définitive, pour les raisons mentionnées dans les conclusions de la liaison par fil et de la puce retournée, le choix sur la technologie qui convient le plus à cette recherche est la solution par billes d'or empilées. Afin de poursuivre la recherche, il serait d'abord nécessaire de tester les solutions proposées pour une transition puce à substrat. Ensuite, il serait bénéfique d'analyser l'influence concrète de l'ajustement de la hauteur flexible de cette technologie. De plus, il serait important de valider les modèles équivalents existants et les mettre à jour au besoin. Un autre aspect important qui devrait être étudié est la transition différentielle et ses différences avec une transition simple. Ultimement, il serait nécessaire d'extraire des guides de conceptions à suivre afin d'atteindre de bonnes performances pour des lignes simples et couplées dans des transitions puce à substrat du DC jusqu'à plus de 110 GHz.

CHAPITRE 2

DÉVELOPPEMENT DES STRUCTURES INDIVIDUELLES D'UNE INTERCONNEXION PUCE À SUBSTRAT

Qui dit interconnexion, dit discontinuité. En effet, peu importe la technologie de raccordement utilisée, il est extrêmement improbable que l'environnement de propagation de l'onde soit continu d'un bout à l'autre de la transition. Au niveau de l'interconnexion par puce retournée typique, plusieurs environnements distincts s'enchaînent, soit les différentes lignes de transmission dans leur environnement nominales, les zones de chevauchement, les zones de réceptions (Pastilles de contacts) et la zone de propagation verticale sur les billes/cylindres. Ces discontinuités peuvent, entre autres, causer de la réflexion (possibilité d'onde stationnaire), l'excitation de mode de radiation en plus de l'excitation de modes d'ordres supérieurs guidés ou radiatifs. On dit qu'un mode d'ordre supérieur est « guidé » lorsque l'énergie du mode se propage dans la même direction que le mode fondamental d'intérêt, et qu'elle se diffuse hors de la structure en cas contraire. En ce qui concerne les modes guidés, même si l'énergie se propage dans la direction de propagation souhaitée, leurs couplages avec le mode fondamental sont grandement indésirables. Tout d'abord, comme pour les autres modes parasites, l'énergie qui se couple à ces modes provient du mode fondamental. Ensuite, ces modes ont généralement des vitesses de propagation différentes, ce qui cause un déphasage entre l'énergie se propageant sur ces derniers et celle du mode principal. Ultimement, le couplage de ces modes d'ordres supérieurs guidés cause, entre autres, des pertes au niveau du mode d'intérêt et de la distorsion de signal (Perte d'intégrité). Ce genre de problème n'est pas toujours facile à diagnostiquer lors de la prise de mesures, puisque l'énergie de ces modes arrive à bon port et que l'amplitude peut parfois sembler normale. Dans ces cas, il peut être utile de regarder pour la présence d'un élément réactif anormal au niveau de la phase et de l'abaque de Smith. Dans le cas de ceux radiatifs, l'énergie sort tout simplement du système et les pertes sont directement observables au niveau de l'amplitude lors de mesures, comme pour des pertes résistives. Qui plus est, les radiations peuvent affecter les performances des structures avoisinantes. Dans tous les cas, si ces modes ont des fréquences de coupure plus petites que la fréquence maximale d'opération visée et qu'ils sont excités, ceux-ci vont se coupler avec le mode d'intérêt fondamental et potentiellement

causer une dégradation des performances de la ligne. Cette problématique est l'un des aspects principales qui sont abordés dans cette partie du mémoire. Concrètement, ce chapitre couvre le développement des structures individuelles, soit le substrat et les puces sans l'interconnexion, et ce, avec une attention particulière à la suppression des modes d'ordres supérieurs jusqu'à plus de 100 GHz. Un autre aspect qui est abordé est l'influence de la hauteur des cylindres sur l'effet de proximité vue par les puces. De plus, deux types de lignes sont couverts, soit la ligne simple et la paire différentielle, ce qui ajoute une étude comparative supplémentaire pour chacun des aspects mentionnés ci-haut. Les analyses sont faites à l'aide de simulation 3D HFSS et, en ce qui a trait aux modes d'ordres supérieurs, les simulations sont comparées avec les règles proposées dans la littérature. Pour finir, la justification des choix de technologies de substrat et de diélectrique est présentée dans la toute première section. Il est important de noter que les valeurs nominales de dimensions et de variations orbitent autour des règles de conception expérimentale des technologies choisies. De cette manière, il est possible d'extraire les limites des procédés actuels et identifier les règles qui limitent l'atteinte de fréquences supérieures. L'objectif principal de cette section est d'expliquer les choix de conceptions derrière les modèles de substrats et de puces utilisés dans les modèles complets de puce retournée qui seront étudiés dans le prochain chapitre.

2.1 Choix des technologies

Cette section couvrira les choix de conception générale en termes de technologie de substrat/puce sélectionnée pour la présente recherche d'interconnexion puce à substrat. Les caractéristiques physiques ainsi que les règles de conceptions de ces technologies seront brièvement présentées.

2.1.1 Substrat

La technologie de substrat sélectionnée est le LTCC (Low Temperature Co-Fired Ceramic), un procédé permettant de fabriquer des circuits en céramique multicouches en utilisant des bandes souples sur lesquelles on peut appliquer des conducteurs, des diélectriques ou des pâtes résistives (ÉTS, 2023). Ce procédé a été sélectionné en raison de sa popularité dans le domaine

de l'encapsulation RF, ses bonnes performances jusqu'à 110 GHz et son faible coût. De plus, c'est une spécialité du laboratoire LACIME de l'École de technologie supérieure (ÉTS). Les règles de conceptions sont présentées dans la figure 2.1.

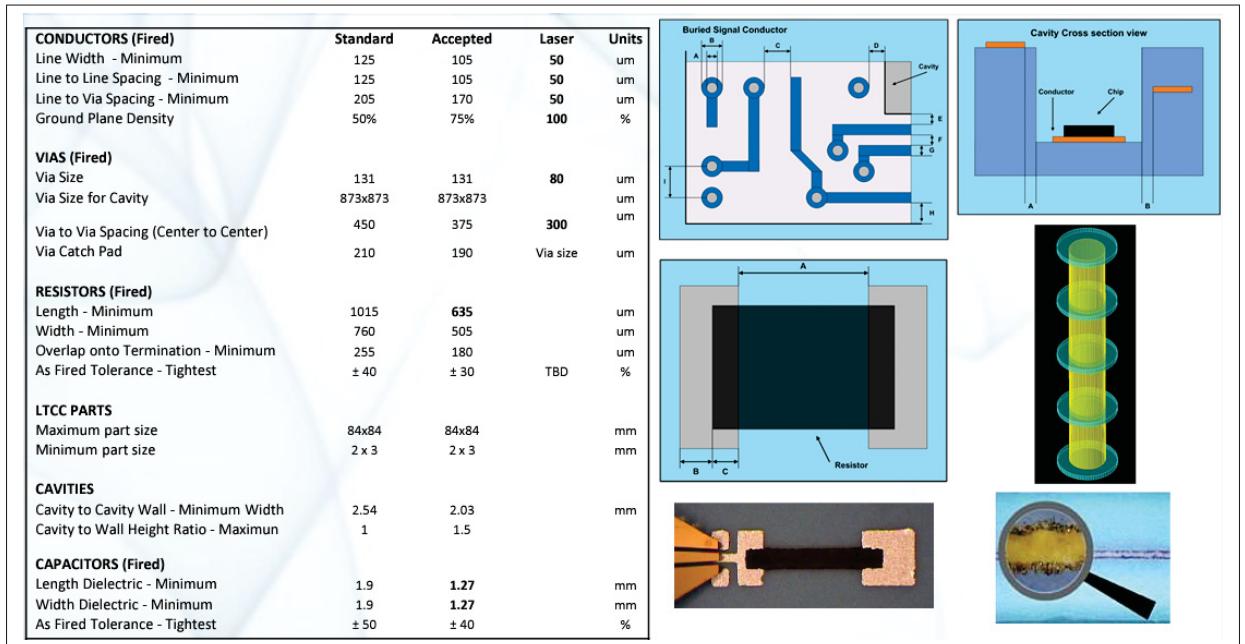


Figure 2.1 Règle de conception du procédé LTCC au LACIME (voir Note)

NOTE : Les règles de conception de conducteur dans la colonne «Laser» ne sont possibles que sur des distances de 200 μm et moins. Les valeurs minimales pour de plus longues distances sont de 100 μm . De plus, pour une grande densité de trous de liaison (via), l'espacement centre à centre minimal est de 400 μm et les diamètres de trous de liaison (via) de 131 μm (125 μm après cuisson).

Le type de bande souple (Green tape) sélectionné est le A6M de la compagnie FERRO puisqu'elles sont conçues pour des utilisations jusqu'à 110 GHz. Le métal utilisé est l'or.

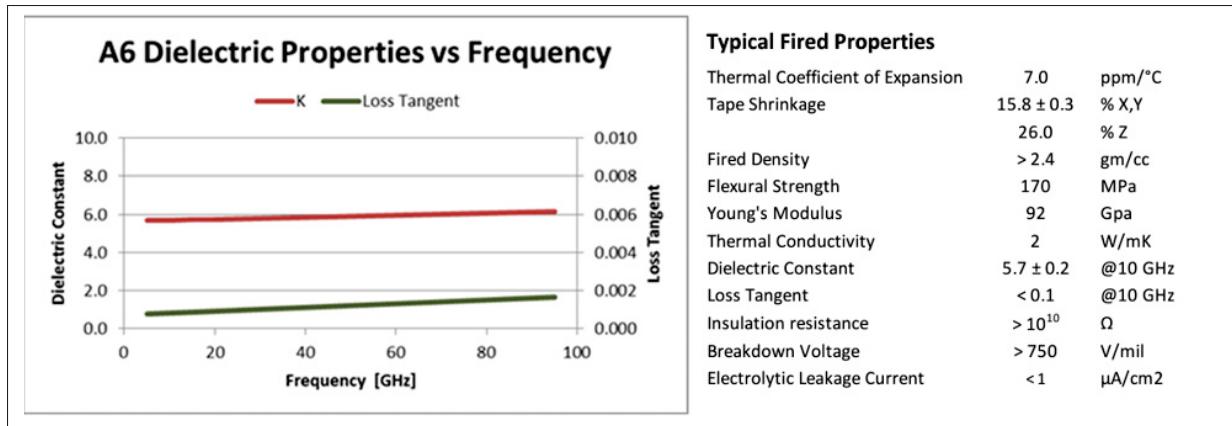


Figure 2.2 Propriétés mécaniques et électromagnétiques des bandes A6M

2.1.2 Puce

Afin de ne pas sélectionner une technologie de puce arbitrairement, il est important de couvrir l’aspect contextualisation. Dans les systèmes de communications haute vitesse modernes, les composants critiques nécessitant désormais des solutions d’interconnexion large bande à plus de 100 GHz sont, entre autres, les modulateurs optiques et les amplificateurs. De ce fait, une recherche a été effectuée sur ces composants afin d’extraire les technologies utilisées pour atteindre ces fréquences.

Modulateur optique

Le type de modulateur utilisé dans les systèmes de communication hautes vitesses moderne est le modulateur Mach-Zehnder. Ce composant électro-optique utilise la technologie d’interféromètre de Mach-Zehnder pour moduler la phase de la lumière via des signaux électriques dans les radiofréquences. Afin d’atteindre des fréquences d’opérations élevées de plus de 10 GHz sur du silicium, ceux-ci sont généralement conçus avec de fines couches de matériel possédant des coefficients électro-optiques élevés, comme le niobate de lithium (LiNbO₃). Dans la littérature, on retrouve des modulateurs avec plus de 100 GHz de bande passante dans une technologie hybride de **silicium photonique** avec fine couche de LiNbO₃ (Wang, Weigel, Zhao, Ruesing & Mookherjea, 2019)(Weigel *et al.*, 2018)(Valdez, Mere & Mookherjea, 2022) et

sur **InP** (Phosphure d'indium) (Meighan, Yao, Wale & Williams, 2020) (Meighan, Augustin, Wale & Williams, 2022).

Amplificateur RF

Les amplificateurs RF font partie de la catégorie des composants de puissance. Ces composants actifs sont conçus sur des plateformes de semiconducteur compatibles avec les procédés de fabrication de transistors. Il existe plusieurs types de technologies RF de semiconducteurs, certaines plus aptes pour des applications hautes puissances à basse fréquence, d'autres à des applications plus faibles puissances à haute fréquence et d'autres qui représentent des compromis entre ces deux aspects. Parmi les technologies hautes fréquences, on retrouve, entre autres, le GaN, le GaAs, InP et le SiGe. Des résumés complets avec comparaison des technologies sont présentés dans les ouvrages suivant (Rüddenklau *et al.*, 2018) (Bowick, 2008). Comme on peut voir à la figure 2.3, l'une des technologies qui se démarquent par sa fréquence maximale est le SiGe BiCMOS.

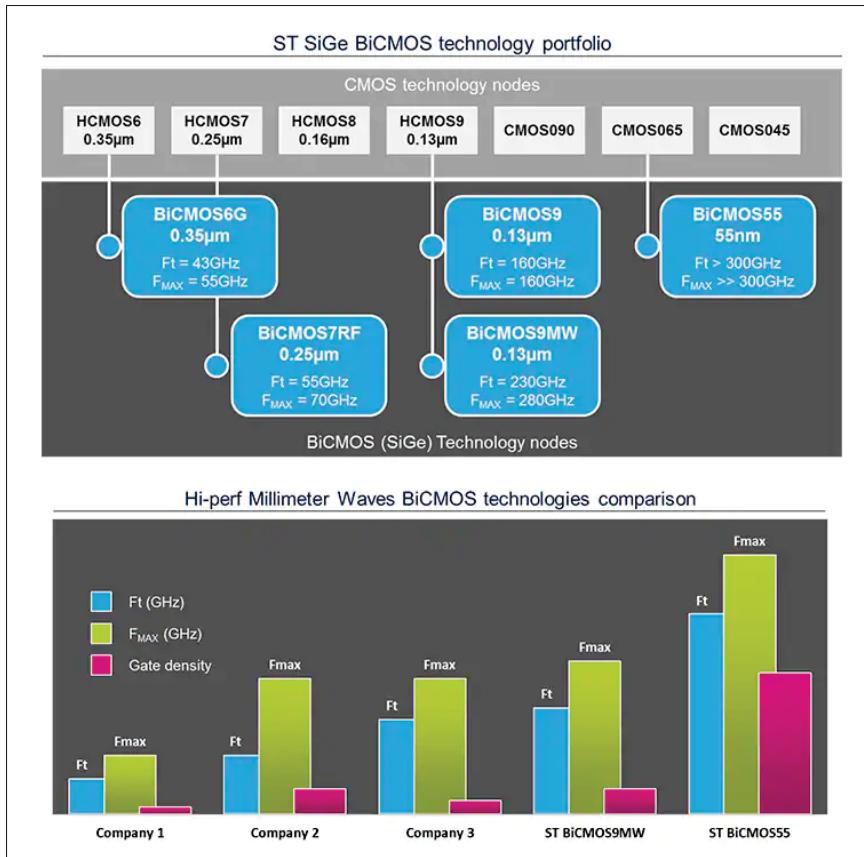


Figure 2.3 Technologies SiGe BiCMOS offertes par STMicroelectronics (STMicroelectronics, 2023)

Au niveau des amplificateurs large bande à plus de 100 GHz présentés dans la littérature, on en retrouve sur **SiGe BiCMOS** (Testa, Belfiore, Paulo, Carta & Ellinger, 2015), sur **SiGe HBT** et **InP DHBT** (Kobayashi & McCleary, 2020) et sur **SOI CMOS** (El-Aassar & Rebeiz, 2019).

En fonction de ce qui est présenté ci-haut, la technologie de semiconducteur choisi est le silicium. Les conducteurs sont quant à eux en aluminium.

2.2 Développements et analyses au niveau du substrat

2.2.1 Considérations et choix préliminaires

Au niveau du substrat de réception de la puce, la topologie de ligne choisie est la ligne coplanaire avec référence à la masse inférieure, soit le CPWG (Coplanar Waveguide With Ground) pour la ligne simple et la ligne paire de lignes coplanaires couplées avec référence à la masse inférieure, soit le ECCPWG (Edge Coupled Coplanar Waveguide With Ground) pour la paire différentielle. Les avantages conférés par cette référence à la masse supplémentaire sont, entre autres, un meilleur support mécanique au niveau du substrat, l'addition d'un dissipateur de chaleur (Simons, 2001) et l'augmentation de la densité de lignes de transmissions grâce à une meilleure isolation. Cependant, le revers de la médaille est que l'ajout de ce conducteur permet à un mode supplémentaire de propager à toute fréquence. En effet, le nombre de modes qui peut propager à toute fréquence sur une ligne de transmission est défini par l'équation 2.1.

$$N_{mode} = N_{conducteur} - 1 \quad (2.1)$$

Dans le cas d'une ligne CPWG, ces modes sont ceux représentés dans la figure 2.4 et pour une ligne ECCPWG à la figure 2.5.

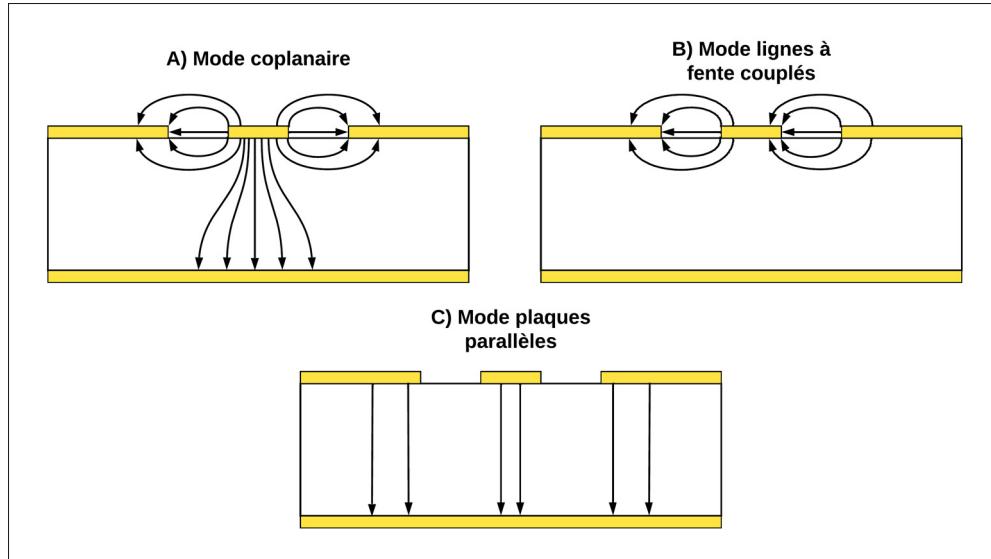


Figure 2.4 Ligne de champs électrique des modes pouvant propager à toute fréquence sur un CPWG

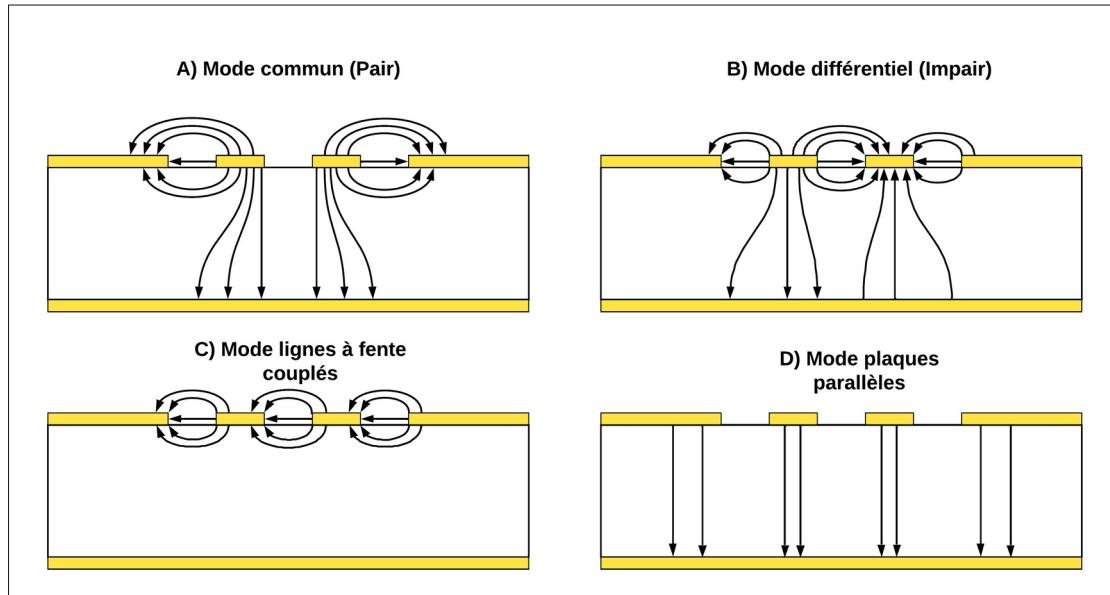


Figure 2.5 Ligne de champs électrique des modes pouvant propager à toute fréquence sur un ECCPWG

Le mode ajouté avec l'addition de la référence à la masse inférieure est le mode des plaques parallèles (Parallel-plate mode). Essentiellement, c'est un mode d'ordre supérieur qui propage

dans un guide d'onde constitué de deux plaques conductrices parallèles séparé par un matériau diélectrique. Contrairement au guide d'onde rectangulaire, celui-ci supporte comme mode d'ordre le plus bas une propagation de type TEM sans fréquence de coupure. Il est important de savoir que sur une ligne de transmission, idéalement, seuls le ou les modes utilisés devraient pouvoir propager sur toute la bande de fréquence d'opérations visée. Dans le cas échéant, seules les modes quasi-TEM coplanaires d'intérêts devraient avoir une constante de propagation non nulle à toute fréquence, soit le mode A de la **figure 2.4** pour la ligne simple et le mode B de la **figure 2.5** pour la paire différentielle. Dans le cas de la ligne différentielle, il n'est pas possible de couper la propagation du mode commun sans couper la propagation du mode différentiel. De ce fait, ces deux modes doivent coexister et, dans la majorité des cas, pour un substrat, le concepteur doit simplement s'assurer que la conversion du mode différentiel vers le mode commun est minimisée et respecte les spécifications visées. En général, les composants sensibles aux modes communs, comme certains amplificateurs qui pourraient potentiellement être interconnectés au substrat sont munis de structure de réjection du mode commun et/ou d'atténuation du bruit causé par ce dernier.

Ensuite, au niveau des modes d'ordres supérieurs, le problème tourne autour du fait que, même s'ils ne sont pas excités à la source, une simple discontinuité comme une imperfection de fabrication ou une interconnexion pourrait exciter ces derniers qui, n'ayant pas de fréquence de coupure, pourraient propager et dégrader les performances. De plus, certains modes de substrat, comme le mode de plaque parallèle risquent de radier et se coupler avec des structures adjacentes et causer des problèmes sur une plus grande échelle. Une solution permettant de contrôler la propagation de ces modes parasites est l'utilisation stratégique de clôtures de cylindres conducteurs (via) de manière à unifier les plans de masse. Une fois relié, le nombre de conducteurs devient égal à deux pour le CPWG et trois pour le ECCPWG. Ensuite, l'équation 2.1 indique que dans ce cas, le nombre de modes qui peut propager sans fréquence de coupure est de 1 pour le CPWG et de deux pour le ECCPWG. Ces modes fondamentaux pour les deux types de lignes sont illustrés aux figures 2.6 et 2.7. Dans le cas du ECCPWG, le mode d'intérêt est le mode différentiel (Impair) et l'objectif est d'avoir le moins de conversion vers le mode

commun possible («Pair»). L'analyse et optimisation de ce paramètre se fait normalement par simulation pleine onde 3D «Full-wave».

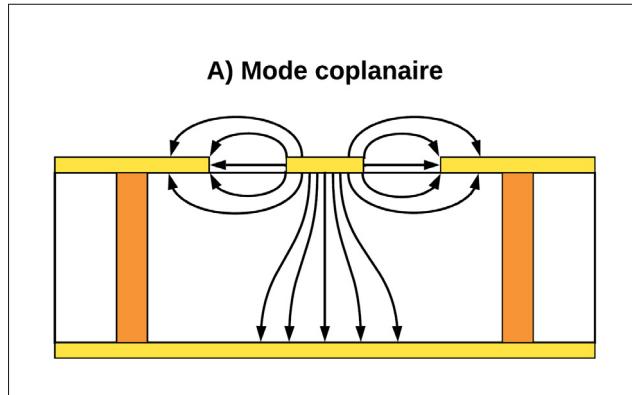


Figure 2.6 Ligne de champs électrique des modes pouvant propager à toute fréquence sur un CPWG avec trous de liaison (via)

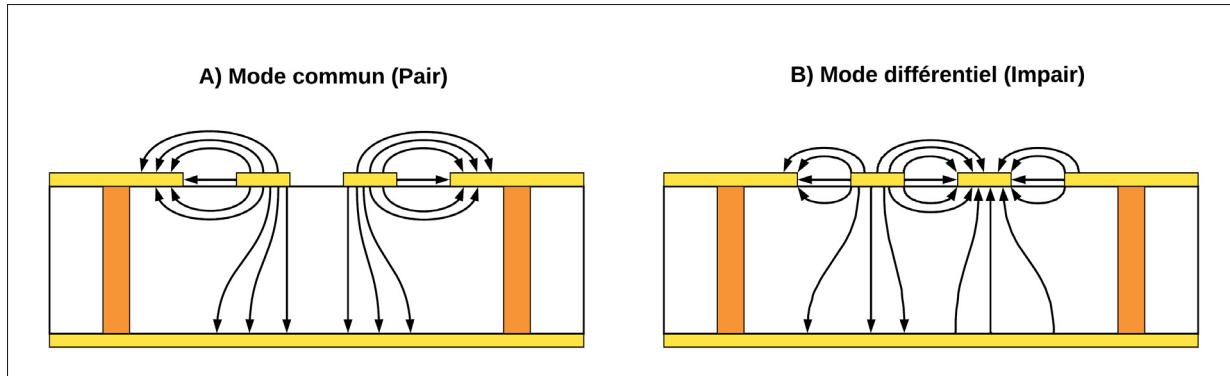


Figure 2.7 Ligne de champs électrique des modes pouvant propager à toute fréquence sur un CPWG avec trous de liaison (via)

Il est important de préciser que le mode des plaques parallèles, bien qu'ils ne propagent plus dès le DC, n'est pas inconditionnellement supprimé à toute fréquence par l'utilisation arbitraire de clôtures de trous de liaison (via). En effet, en raison de la nature périodique des trous de liaison (via), le mur électrique érigé au niveau des plans de masse périphériques ne peut pas être complètement hermétique. Conséquemment, à une certaine fréquence, la longueur d'onde dans le substrat devient suffisamment petite pour permettre la propagation de ce mode parasite au niveau

des ouvertures entre les piliers. Concrètement, à partir de cette fréquence de coupure, de l'énergie commence à être aspirée dans la zone opposée de la clôture dans un mode de propagation de plaque parallèle. Évidemment, ce phénomène devient de plus en plus important en fonction de la progression vers des fréquences plus élevées. Comme mentionné plus haut, l'excitation et la propagation de ce mode parasite sur la ligne de transmission causent la dégradation de ses performances de transmission à haute fréquence en plus de très probablement affecter les structures environnantes. Dans un montage idéal, la vue 2D présentée dans les figures 2.6 et 2.7 devraient être continu le long de la ligne de transmission sans irrégularité. Pour résumer, il est nécessaire de porter une attention particulière au positionnement, au diamètre et l'espacement des trous de liaison (via) servant à l'unification des plans de masse en périphéries du conducteur central, et ce, en fonctions de la fréquence maximale d'utilisation visée. Les règles pour les trous de liaison (via) sont fournies dans le papier suivant (Sain & Melde, 2016). Tout d'abord, les trous de liaison (via) doivent être le plus proche possible du conducteur central (Signal) pour, entre autres, éviter que les plans de masse de côté se comportent comme des antennes planaires (Patch) et résonnent en excitant des modes d'ordres supérieurs. De plus, la distance centre à centre des trous de liaison (via) doit, idéalement, être de moins que la longueur d'onde dans le substrat ($\lambda_g/4$) à la fréquence maximale d'opération visée. Ensuite, un large diamètre est généralement préférable pour une distance centre à centre fixe. Lorsque les règles de conceptions ne permettent pas une distance centre à centre plus petite que $\lambda_g/4$ à la fréquence visée, il est possible d'ajouter des clôtures de trous de liaison (via) supplémentaires. Cependant, si l'espacement est déjà plus petit que $\lambda_g/2$, l'ajout de clôture ne produit pas de gain de bande passante considérable. Dans le cas échéant, les règles de conceptions ne permettent pas d'atteindre plus de 75 GHz en respectant le $\lambda_g/4$ proposé. Cet aspect sera étudié en détail plus loin dans cette section.

Ensuite, un second mode d'ordre supérieur parasite impose des règles supplémentaires sur les dimensions. Ce mode est le TE10 dans le guide d'onde rectangulaire qui se forme au niveau du substrat dans la zone illustrée à figure suivante.

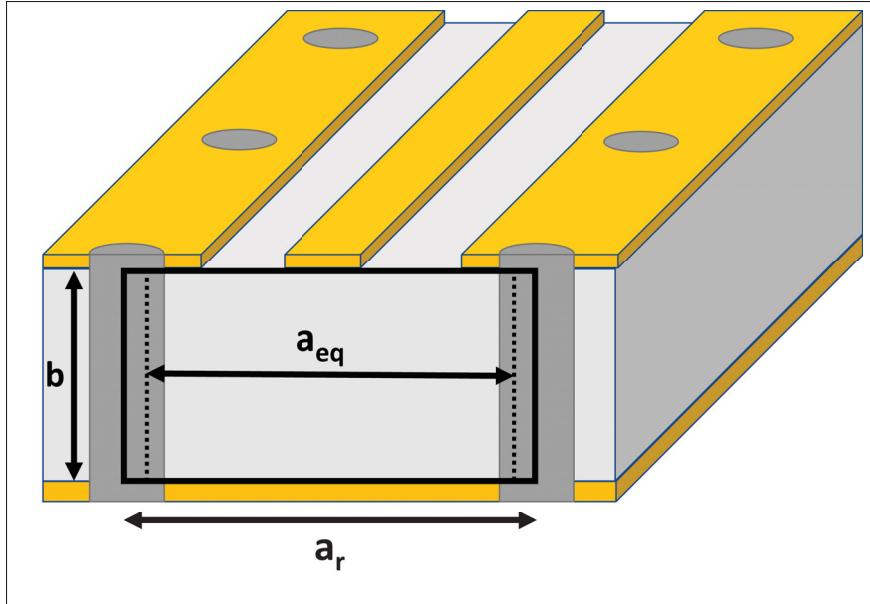


Figure 2.8 Schéma du mode guide d'onde rectangulaire dans une ligne coplanaire avec référence à la masse inférieure et clôture de trous de liaison (via)

La largeur « a_{eq} » équivalente du guide d'onde à utiliser dans le calcul de la fréquence de coupure du mode TE10 varie en fonction du diamètre et de l'espacement centre à centre des trous de liaison (via) (Deslandes & Wu, 2006). Dans le cas présent, cette largeur équivalente est plus petite ou égale à la largeur réelle (a_r).

$$a_{eq} \leq a_r \quad (2.2)$$

Une conclusion simplifiée serait que pour une ligne avec des trous de liaison (via) avec une période de $\lambda_g/4$, le pire cas pour la fréquence de coupure du mode TE10 dans le guide d'onde rectangulaire serait défini par la largeur réelle délimitée par le centre des trous de liaison (via) opposée correspondants. Incidemment, cette distance ne doit idéalement pas dépasser $\lambda_g/2$ à la fréquence d'opération visée.

Ensuite, comme mentionné précédemment, le substrat choisi est le ruban A6M de FERRO avec un procédé LTCC. L'épaisseur de la couche a été choisie en fonction de minimiser la

dispersion dans la ligne de transmission et favoriser l'atteinte de fréquence de plus de 100 GHz en minimisant les dimensions. Une ligne est dite dispersive lorsque le délai de groupe est fortement dépendant de la fréquence. Ce phénomène est présent sur les lignes de transmission utilisant une propagation de type quasi-TEM dans un milieu non homogène avec au minimum deux environnements diélectriques distincts, comme la ligne coplanaire. Des exemples de lignes dites non dispersives seraient le guide d'onde à ruban (stripline) et le câble coaxial. Pour des lignes dispersives, lorsqu'un signal large bande est transmis, les composants d'une certaine fréquence sont délayés par rapport à d'autres, ce qui cause de la distorsion de signal. Afin de minimiser la dispersion, l'épaisseur du substrat devrait être de moins de 10% de la longueur d'onde dans le médium (ϵ_r) à la fréquence d'opération maximale. La formule est la suivante (Kuang & Sturdivant, 2017) :

$$h_{sub} < \frac{c_0}{10f\sqrt{\epsilon_r}} \quad (2.3)$$

Dans le cas d'un substrat avec $\epsilon_r = 5.7$ à une fréquence de 110 GHz, l'épaisseur du substrat doit être de moins de 114 μm . L'épaisseur de couche choisie est de 125 μm avant cuisson qui rétrécit jusqu'à environ 90 μm après cuisson. Le schéma d'empilement des couches est présenté à la figure 2.9.

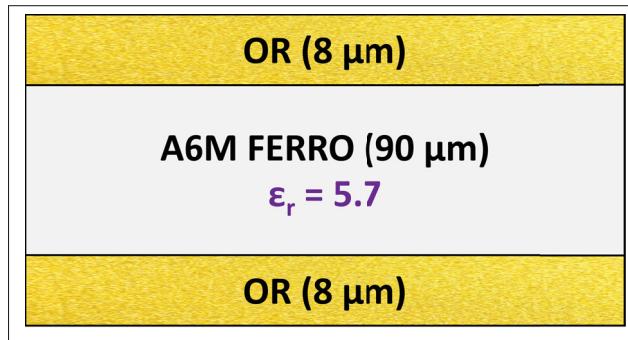


Figure 2.9 Schéma d'empilement des couches du substrat

À partir de ces informations, les dimensions initiales CPWG et ECCPWG ont été estimées à l'aide du logiciel ADS de Keysight afin d'obtenir une impédance caractéristique (Z_0) de 50Ω pour le mode coplanaire de la ligne simple et 100Ω pour le mode impair de la paire différentielle. Ensuite, les structures ont été très brièvement optimisées au niveau de l'impédance exclusivement sur HFSS pour obtenir les modèles suivants avec des dimensions les plus petites possibles en fonction des règles de fabrications de la technologie LTCC présentées plus haut.

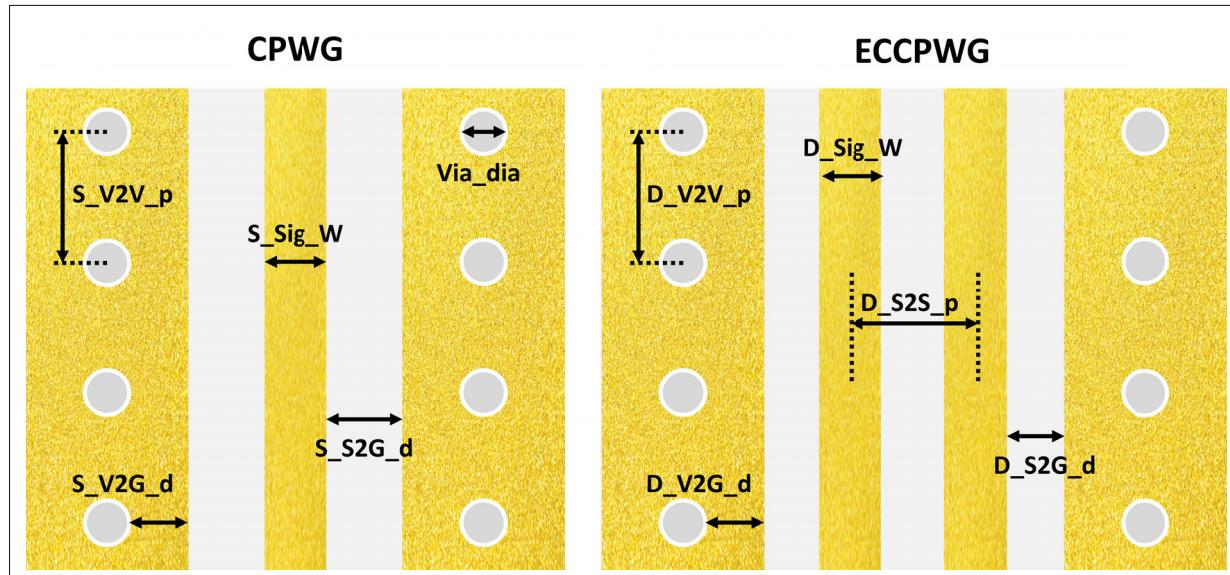


Figure 2.10 Schéma des modèles initiaux des lignes CPWG et ECCPWG vues de haut du substrat

Tableau 2.1 Dimensions des modèles des lignes CPWG et ECCPWG du substrat

Paramètre	Dimensions		Paramètre	Dimensions	
	Valeur (μm)	Règle min. (μm)		Valeur (μm)	Règle min. (μm)
D_V2V_p	400	400	S_V2V_p	400	400
D_V2G_d	75	75	S_V2G_d	75	75
D_Sig_W	102	100	S_Sig_W	111	100
D_S2S_p	250	NA	S_S2G_d	100	100
D_S2G_d	120	100	LTCC_via_dia	131	131

Évidemment, les analyses qui suivront étudieront des variations des dimensions plus petites que celles présentées ci-haut. Tout de même, ces valeurs serviront de point central.

2.2.2 Mitigation des modes de substrat parasites

Dans cette sous-section, une brève analyse par simulation des règles proposées dans la littérature concernant le contrôle de la fréquence de coupure des modes d'ordres supérieurs avec l'utilisation de clôture de trous de liaison (via) dans des guides d'onde coplanaires avec plan de masse inférieur est présentée. L'objectif est de vérifier la flexibilité de ces règles dans des situations où les règles de fabrication au niveau du substrat sont contraignantes pour une utilisation à plus de 100 GHz. Qui plus est, une étude comparative de cet aspect sera effectuée entre une ligne simple et une paire différentielle. Les données de simulations seront présentées sous un format de perte en puissance en fonction de la fréquence extraite à partir des paramètres S. L'équation utilisée est la suivante.

$$\text{Perte en puissance} = 1 - |S_{21}|^2 - |S_{11}|^2 \quad (2.4)$$

Cette équation permet d'éliminer la portion de perte de transmission provenant de la réflexion. De ce fait, les pertes en puissance incluent la contribution des constantes d'atténuations suivante :

$$\alpha = \alpha_C + \alpha_D + \alpha_G + \alpha_R + \alpha_H \quad (2.5)$$

α_C : Pertes associées à la conductivité du conducteur

α_D : Pertes associées à la tangente de l'angle de perte diélectrique

α_G : Pertes associées à la conductivité du diélectrique

α_R : Pertes associées à la radiation

α_H : Pertes associées aux modes d'ordres supérieurs

Afin d'isoler les phénomènes d'intérêts associés aux modes d'ordres supérieurs, les constantes d'atténuations suivantes sont forcés à zéro.

$$\alpha_C = \alpha_D = \alpha_G = 0 \quad (2.6)$$

En procédant ainsi, il devient très simple d'étudier graphiquement l'impact des dimensions d'une ligne de transmission incluant les clôtures de trous de liaison (via) sur la propagation des modes d'ordres supérieurs. Pour faciliter la compréhension des graphiques, les pertes en puissance linéaires sont présentées en pourcentage. Ensuite, les longueurs des lignes ont été choisies de manière à mettre en évidence les phénomènes observés. De ce fait, l'allure et le comportement des pertes de transmission en fonction de la fréquence sont les paramètres d'intérêts alors que l'amplitude précise présentée, dans le cas d'une structure continue et symétrique, est relative à la longueur.

Afin de simplifier la compréhension des graphiques, voici une légende explicative par rapport à la nomenclature des annotations en plus d'un schéma avec les valeurs nominales des paramètres étudiés (figure 2.11).

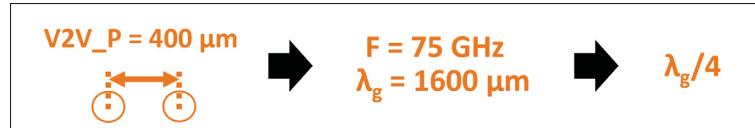


Figure 2.11 Légende se rapportant aux annotations sur les graphiques des sections suivantes

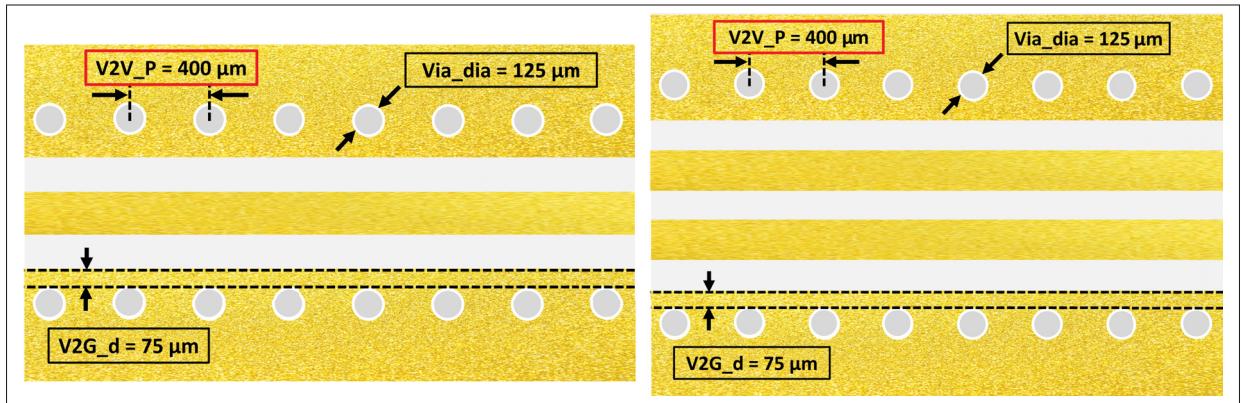


Figure 2.12 Schéma des lignes annotées des valeurs nominales des variables utilisées pour l'étude des modes d'ordre supérieurs

2.2.2.1 Mode des plaques parallèles (PPL)

Dans cette sous-section, la flexibilité de la règle du $\lambda_g/4$ pour l'espacement centre à centre des trous de liaison (via) sera étudiée. L'objectif est d'examiner la possibilité de repousser la fréquence de coupure du mode des plaques parallèles à plus de 100 GHz lorsque les règles de conceptions du substrat ne permettent pas de respecter la ligne directrice mentionnée ci-haut. Dans le cas présent, la distance entre les trous de liaison (via) de $400 \mu m$ permet d'atteindre une fréquence minimale de 75 GHz avant d'atteindre le $\lambda_g/4$. Les paramètres qui seront variés sont la distance centre à centre ($V2V_p$), la distance entre l'extrémité du plan de masse et l'extrémité d'un via ($V2G_d$) et le diamètre des trous de liaison (Via_dia). Les lignes sont d'une longueur fixe de 4.8 mm.

L'impact de la variation de la distance centre à centre sur les performances jusqu'à 200 GHz est présenté pour la ligne simple et différentielle aux figures 2.13 et 2.14.

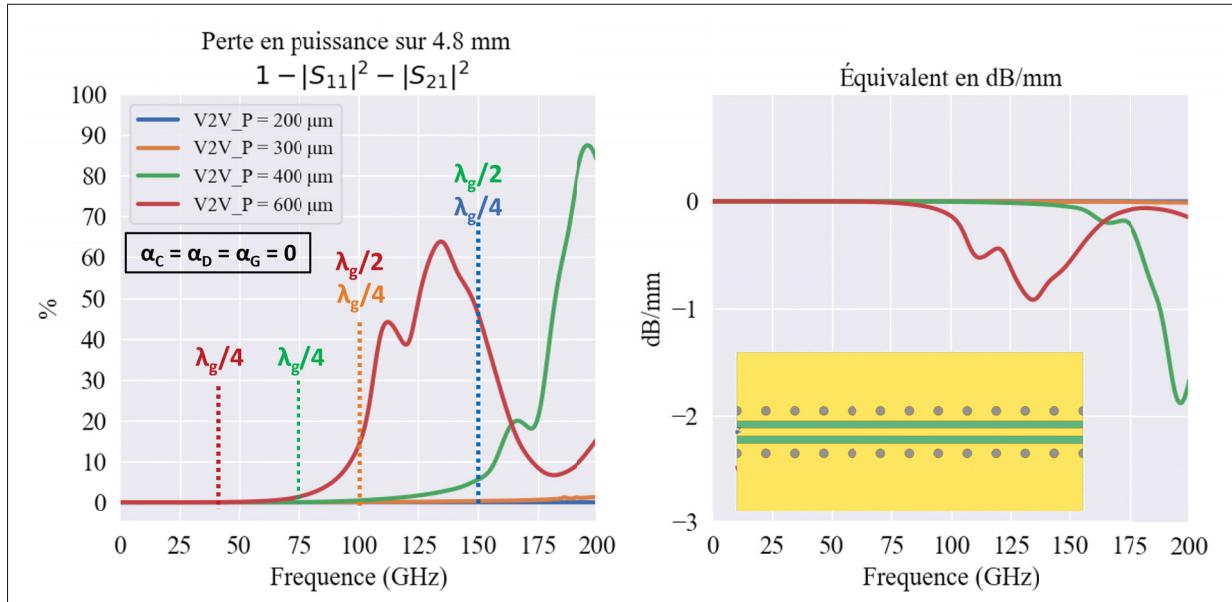


Figure 2.13 Perte en puissance en simulation de la ligne simple du substrat en fonction de la distance centre à centre des trous de liaisons (via) avec $V2V_P$ de $400\mu\text{m}$

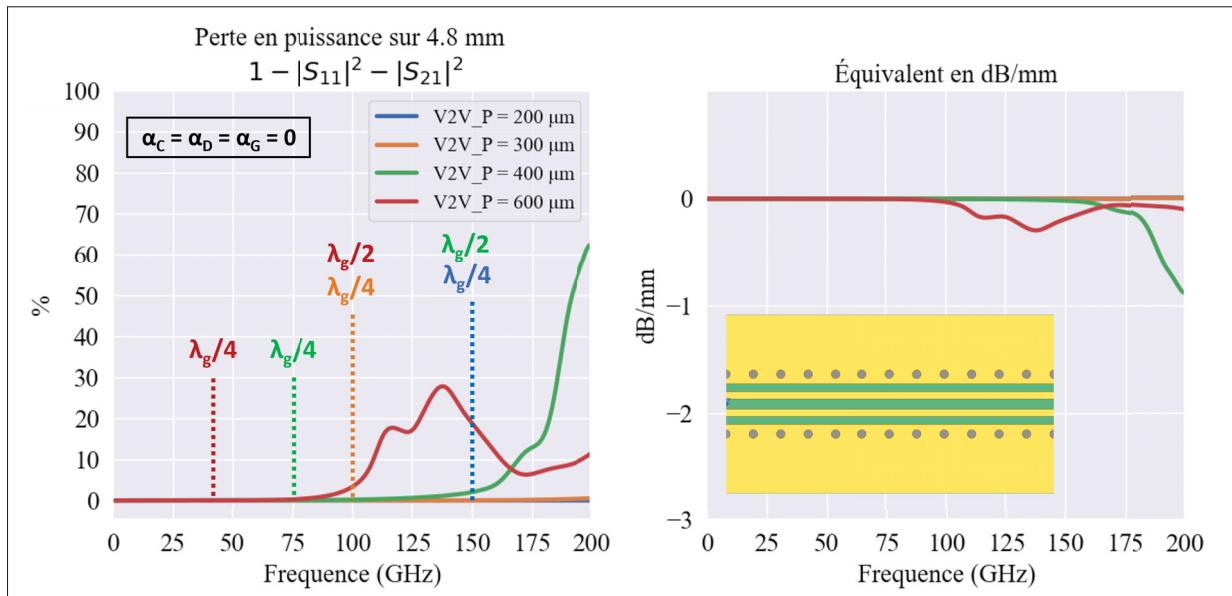


Figure 2.14 Perte en puissance en simulation de la paire différentielle du substrat en fonction de la distance centre à centre des trous de liaisons (via)

Comme attendu, plus la distance centre à centre (V2V_p) est grande, plus la fréquence de coupure du mode des plaques parallèles est basse. Toutefois, dans le cas d'un cylindre de diamètre de $125 \mu\text{m}$, la propagation de ce mode d'ordre supérieur est complètement bloquée par la structure lorsque la distance V2V_p dépasse $\lambda_g/4$. Des simulations avec la variation du diamètre (Via_dia) ont permis de déduire que ce dernier peut avoir une influence considérable sur la fréquence de coupure (voir figure 2.15).

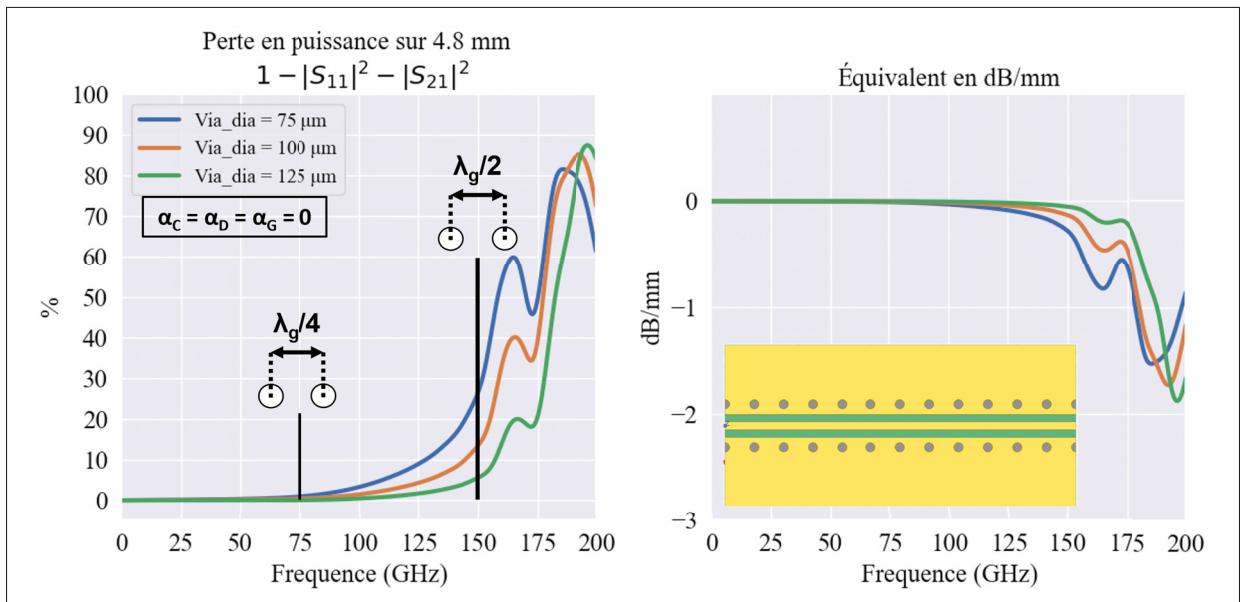


Figure 2.15 Perte en puissance en simulation de la ligne simple du substrat en fonction du diamètre des trous de liaisons (via)

Tableau 2.2 Fréquence d'atteinte de 1% de perte en puissance sur 4.8 mm en fonction du diamètre et de la distance centre à centre des trous de liaison (via) sur les deux types de lignes du substrat

	Simple			Différentielle		
	75 µm	100 µm	125 µm	75 µm	100 µm	125 µm
Via_dia V2V_p						
600 µm	55.5 GHz (0.27λ)	61.2 GHz (0.30λ)	71.8 GHz (0.35λ)	71 GHz (0.35λ)	80.8 GHz (0.40λ)	88.8 GHz (0.44λ)
400 µm	81 GHz (0.27λ)	92.5 GHz (0.30λ)	114.6 GHz (0.38λ)	104 GHz (0.35λ)	118.8 GHz (0.40λ)	135.2GHz (0.45λ)
300 µm	115.6 GHz (0.29λ)	139.7 GHz (0.35λ)	184.8 GHz (0.46λ)	157 GHz (0.38λ)	185.1 GHz (0.46λ)	>200 GHz
200 µm	>200 GHz	>200 GHz	>200 GHz	>200 GHz	>200 GHz	>200 GHz

Les résultats des simulations en fonction des variations du diamètre et de la distance centre à centre ont été analysés pour les deux types de lignes afin d'extraire la fréquence à laquelle les pertes en puissance associées à la propagation mode des plaques parallèles atteignent 1% (≈ -0.009 dB/mm). Évidemment, ce seuil est arbitrairement choisi dans le but d'étudier la relation entre les deux paramètres étudiés. En premier lieu, il est intéressant d'observer les différences entre la ligne simple et la ligne différentielle par rapport aux pertes. En effet, pour une même longueur, la ligne différentielle subit considérablement moins de perte sur toute la bande en plus d'avoir vraisemblablement une plus grande bande passante en ce qui concerne ce mode d'ordre supérieur. En deuxième lieu, il est clair qu'un diamètre de trous de liaison (via) grandissant permet d'atteindre des fréquences plus élevées lorsque les autres paramètres sont fixes. Ce phénomène semble être plus important en fonction du ratio de diamètre sur la distance centre à centre (Via_dia/V2V_p). Plus ce ratio est élevé, plus la règle de $\lambda_g/4$ devient flexible. Dans le cas des règles de conceptions du LTCC utilisées dans cette recherche, le minimum de 400 µm entre les cylindres pourraient permettre d'atteindre plus de 100 GHz pour un diamètre de 125 µm, ce qui représente un gain considérable par rapport au 75 GHz estimé par la règle. L'hypothèse la plus probable est que la largeur d'ouverture réelle équivalente vue par le système s'éloigne de la valeur centre à centre. Des simulations ont aussi été effectuées pour la distance entre les trous

de liaison (via) et l'extrémité du plan de masse pour conclure que cette variable a un impact négligeable jusqu'à ce qu'elle devienne tellement grande (environ $\lambda_g/4$) qu'elle permette une excitation d'antenne planaire. Dans tous les cas, il est idéal de garder cette distance le plus petite possible (Sain & Melde, 2016). Subséquemment, l'ajout de clôtures supplémentaires de trous de liaison (via) a été brièvement testé et le gain en bande passante est, comme mentionné dans le papier, négligeable lorsque la distance V2V_p est plus petite que $\lambda_g/2$ à la fréquence d'opération maximale. Une dernière constatation intéressante est présentée à la figure 2.16.

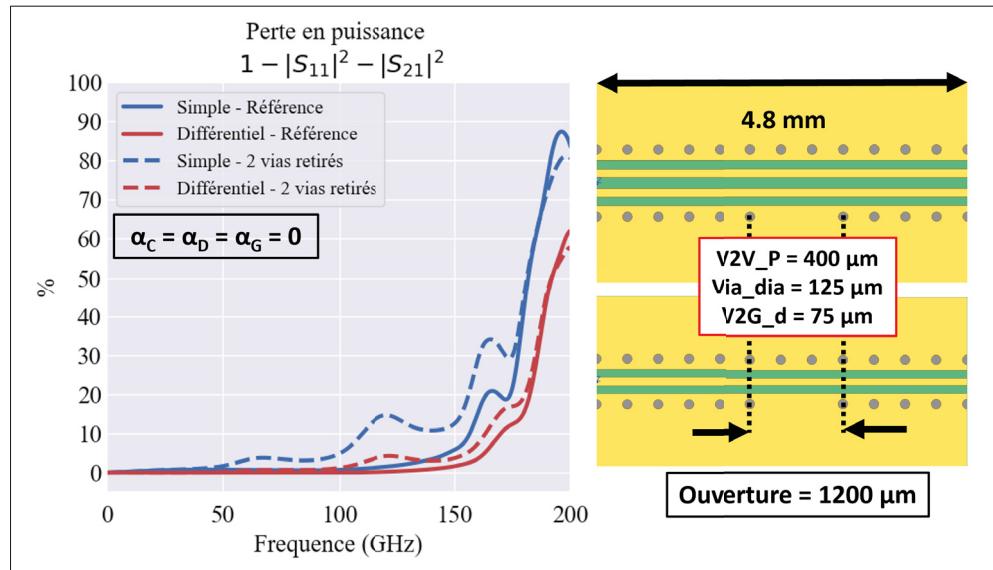


Figure 2.16 Perte en puissance en simulation des lignes simple et différentielle du substrat lors d'une discontinuité au niveau de la clôture de trous de liaison

Il semblerait que la ligne coplanaire différentielle ait une meilleure tolérance aux discontinuités présentes au niveau de son plan de masse. Ce phénomène provient très probablement du fait que le champ électrique interagit moins avec les plans de masse que pour une ligne coplanaire simple. De ce fait, une ligne différentielle avec un couplage plus fort entre ces deux conducteurs pourrait potentiellement avoir une meilleure «immunité» à ce genre de discontinuité. Pour terminer, la différence entre les deux structures est aussi illustrée au niveau du champ électrique à la figure 2.17. L'échelle est choisie de manière à visualiser environ 98% du champ électrique total.

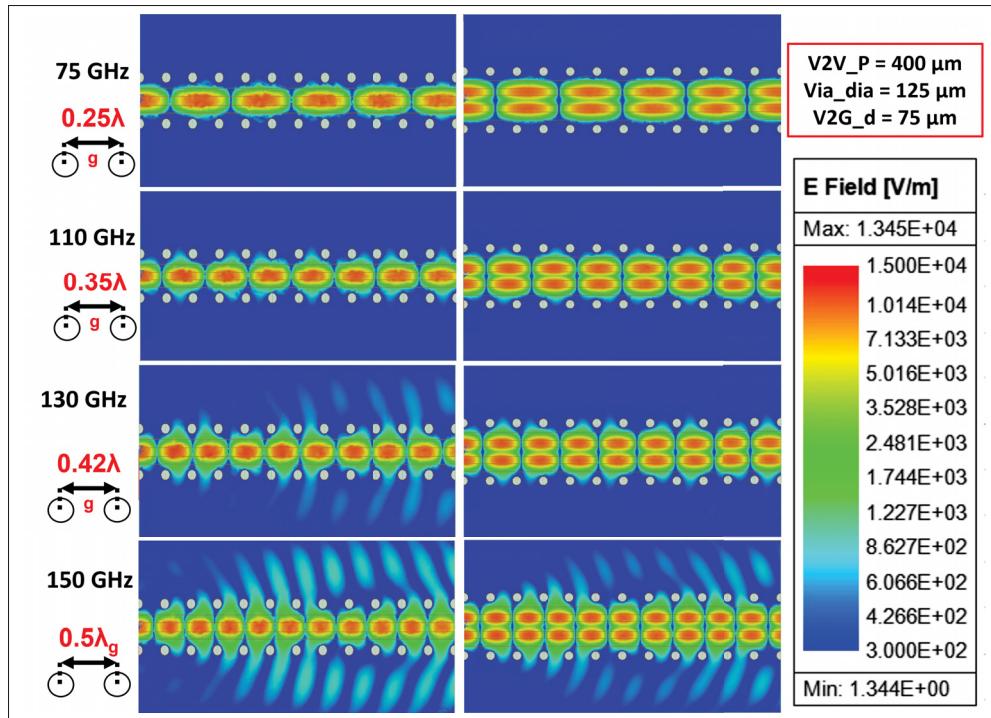


Figure 2.17 Comparaison des champs électriques dans le substrat pour la ligne simple et différentielle en fonction de la fréquence pour $V2V_p = 400 \mu m$ et $Via_dia = 125 \mu m$

Il est important de préciser que les fuites d'énergie par les ouvertures présentées dans les graphiques de cette sous-section sont causées par les discontinuités dans le mur électrique de trous de liaison (via) que rencontre l'onde de manière périodique et que ce phénomène se produit naturellement sans autre source d'excitation. Dans une structure plus complexe, il serait très probable que d'autres types de discontinuités ajoutent à cette excitation «de base» et changent l'allure des pertes en fonction de la fréquence. Autant que ces excitations se produisent à des fréquences suffisamment élevées pour que la fermeture des trous de liaison (via) soit suffisamment hermétique, le mode de plaque parallèle sera rapidement atténué et n'aura pas d'impact sur notre transmission. De ce fait, les résultats et conclusions présentées en termes de fréquence maximale restent applicables pour un montage plus complexe, comme la transition par puce retournée de cette recherche. En d'autres termes, la règle de $\lambda_g/4$ peut s'avérer flexible lorsque le rapport de diamètre sur distance centre à centre est suffisamment élevé. Malgré les

règles de conceptions restrictives du présent substrat LTCC, des fréquences de plus de 100 GHz peuvent être atteintes sans dégradation de la transmission par le mode de plaques parallèles.

2.2.2.2 Mode guide d'onde rectangulaire (TE10)

Le deuxième mode parasite à contrôler est le mode de propagation TE10 du guide d'onde rectangulaire illustré à la figure 2.8. Selon la sous-section 2.2.1, la fréquence de coupure la plus défavorable pour le mode TE10 est déterminée par la distance centrale entre les trous de liaison (via) opposés (a_r) lorsque la période des trous de liaison (via) est inférieure ou égale à $\lambda_g/4$ à la fréquence maximale d'exploitation(Deslandes & Wu, 2006). De ce fait, la largeur réelle (a_r) devrait idéalement être plus petite ou égale à $\lambda_g/2$ à cette fréquence.

$$a_r \leq \lambda_g/2 @ \text{Fréquence maximale} \quad (2.7)$$

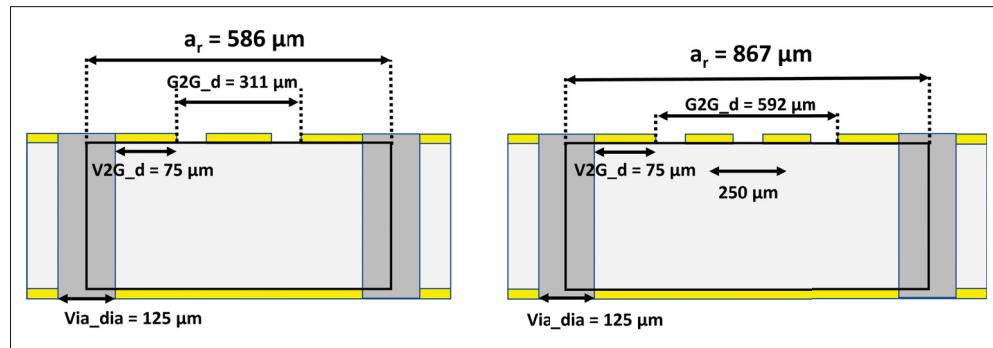


Figure 2.18 Meilleur cas de largeur du guide d'onde dans le substrat pour la ligne simple (Gauche) et différentielle (Droite) selon les dimensions nominales minimums de la présente fabrication LTCC

Au niveau des modèles nominaux représentant les meilleurs cas expérimentaux pour la fabrication LTCC choisie, un rappel des dimensions est illustré à la figure 2.18. Le constat est que, selon la théorie présentée plus haut, les pires cas de fréquence de coupure seraient d'environ 104 GHz pour la ligne simple 71 GHz pour la ligne différentielle. En outre, cela repose sur l'hypothèse que l'association du diamètre (125μm) et de la période des trous de liaison (via) (400μm)

permet de remplir les mêmes conditions que la règle du $\lambda_g/4$, comme cela a été établi dans la sous-section précédente. Il est cependant important de préciser que, même si une mode peut propager, celui-ci peut ne pas être excité sur la bande de fréquence d'utilisation. Afin de vérifier si ces fréquences de coupures sont précises pour le cas actuel, les équations présentées dans le papier (Deslandes & Wu, 2006) pour l'extraction de la largeur équivalente ont été simulées sur MATLAB à l'aide d'un code fourni par Dr Dominic Deslandes. Les fréquences de coupures en fonctions de certaines variations sont présentées à la figure 2.19.

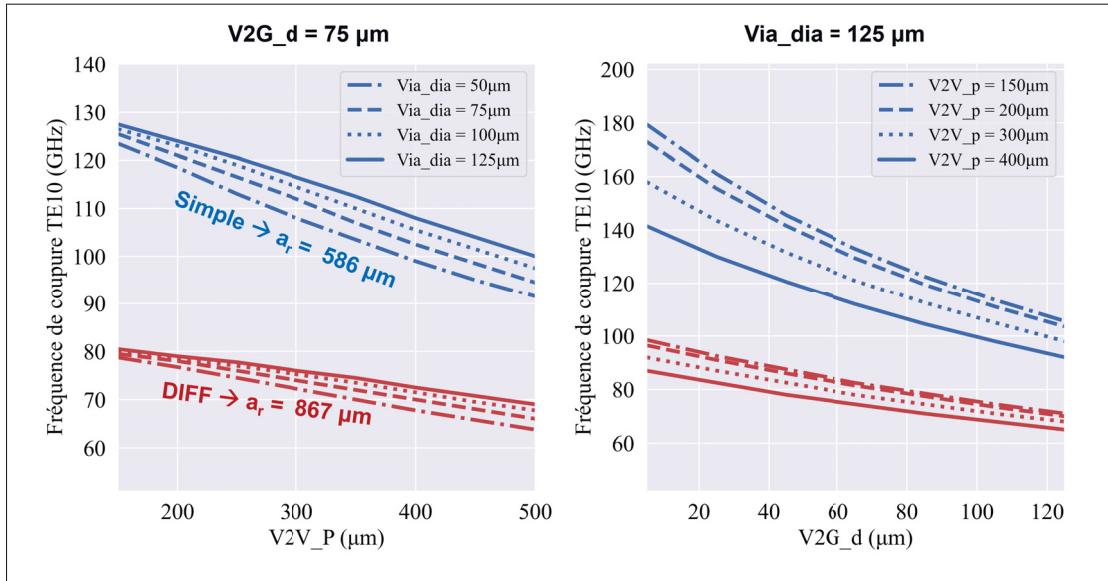


Figure 2.19 Fréquence de coupure du mode TE10 dans le substrat en fonction des paramètres des clôtures de trous de liaison (via) simulé sur MATLAB

La fréquence de coupure serait alors d'environ 108 GHz pour la ligne simple 73 GHz pour la ligne différentielle pour les meilleures spécifications atteignables, soit $V2V_P = 400 \mu\text{m}$, $V2G_d = 75 \mu\text{m}$ et $Via_dia = 125 \mu\text{m}$. En ce qui a trait à la caractérisation de ce mode particulier, il est préférable d'évaluer son excitation et ses impacts sur les performances dans le montage de puce retournée complète. De ce fait, une analyse supplémentaire sera présentée dans la section du montage global. La propagation du mode TE10 dans le substrat sera évaluée pour les dimensions de clôtures de trous de liaison (via) actuelle ainsi qu'en fonction de variations de la période ($V2V_p$) et de la distance entre l'extrémité des trous de liaison (via) et l'extrémité

du plan de masse (V2G_d). Il est crucial de souligner qu'une fois la fréquence de coupure atteinte, la constante de propagation du mode diminue considérablement, ne permettant que la transmission d'une quantité d'énergie limitée. Ensuite, lorsque la fréquence augmente, la constante de propagation augmente et le mode peut transporter plus d'énergie. De ce fait, lorsque la fréquence de coupure du mode parasite est connue avec précision, il est possible d'utiliser la structure à des fréquences légèrement plus élevées sans que le couplage avec ce mode soit significatif.

2.3 Développements et analyses au niveau des puces

2.3.1 Considérations et choix préliminaires

Au niveau des puces, la catégorie de ligne de transmission est la même que pour le substrat, soit le guide d'onde coplanaire (CPW). Les deux types étudiés sont le guide d'onde coplanaire (CPW) et le guide d'onde et la ligne paire de lignes coplanaires couplées (ECCPW). La différence avec les lignes du substrat est l'absence de plan de masse inférieur. Le nombre de modes pouvant propager à toutes les fréquences est donné par l'équation 2.1 et ces modes sont illustré pour le CPW et le ECCPW aux figures 2.20 et 2.21.

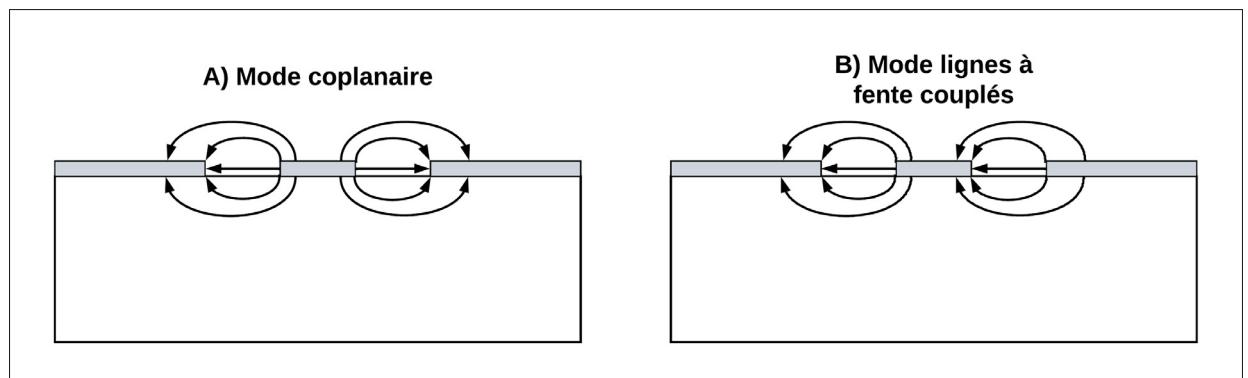


Figure 2.20 Mode pouvant propager à toute fréquence sur un CPW

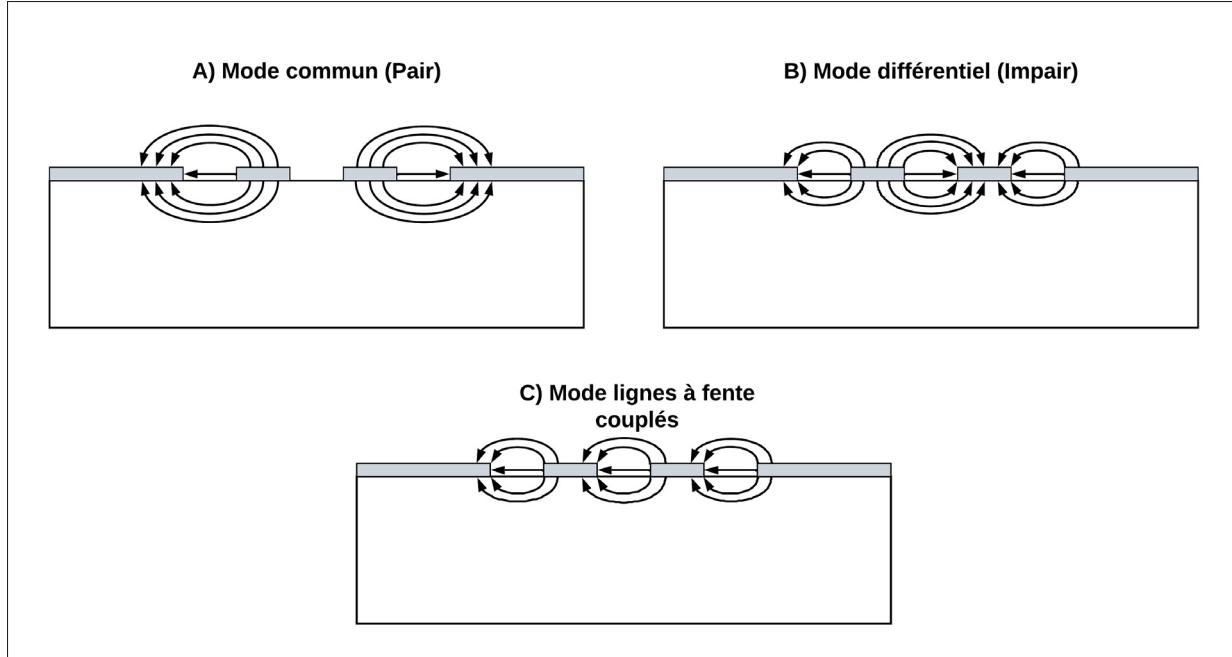


Figure 2.21 Mode pouvant propager à toute fréquence sur un ECCPW

Le mode de lignes à fentes est généralement contrôlé grâce à des passerelles conductrices permettant de relier les plans de masse. La période de ces passerelles doit être suffisamment courte pour atténuer ce dernier le plus près de sa source d'excitation possible. Cette passerelle passe généralement en dessous de la ligne dans un diélectrique ou dans l'air (air-bridge) sur des fils. Dans un montage de puce retournée classique (Flip-Chip), il est possible de relier ces plans de masse de plusieurs méthodes différentes. L'une d'elles est l'utilisation des billes/cylindres et du plan de masse de la structure de réception (Substrat) pour les unifier. De ce fait, seuls le mode coplanaire simple et les modes couplés coplanaire «Impair» et «Pair» peuvent propager sans fréquence de coupure pour le CPW et le ECCPW respectivement. Pour ce qui est de l'empilement des couches, celui-ci est illustré à la figure 2.22.

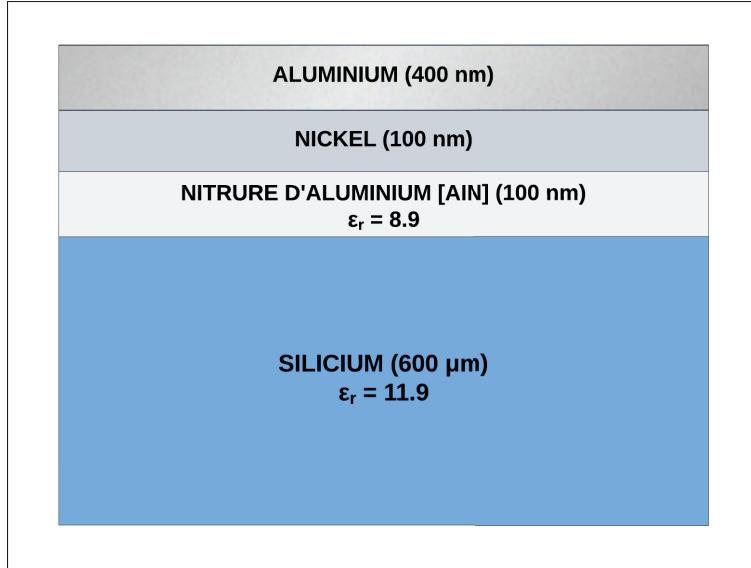


Figure 2.22 Schéma d'empilement des couches des puces

Puisque le silicium est un semiconducteur, une couche de nitrure d'aluminium (AIN) a été ajoutée pour agir comme isolant entre les conducteurs. Sans cette couche, en fonction de la conductivité de la gaufre de silicium, un court-circuit ou de grandes pertes ohmiques peuvent rendre les lignes de transmission inutilisables. Ensuite, la couche de chrome sert de couche adhésive entre le nitrure d'aluminium (AIN) et l'aluminium. À partir de ces informations, les dimensions initiales CPWG et ECCPWG ont été estimées à l'aide du logiciel ADS pour avoir une impédance caractéristique (Z_0) de 50Ω pour le mode de la ligne simple et 100Ω pour le mode «Impair» de la paire différentielle. Ensuite, la structure a été très brièvement optimisée sur HFSS avec de l'air au-dessus (et non le substrat) et les modèles résultants sont les suivants (voir figure 2.23 et tableau 2.3).

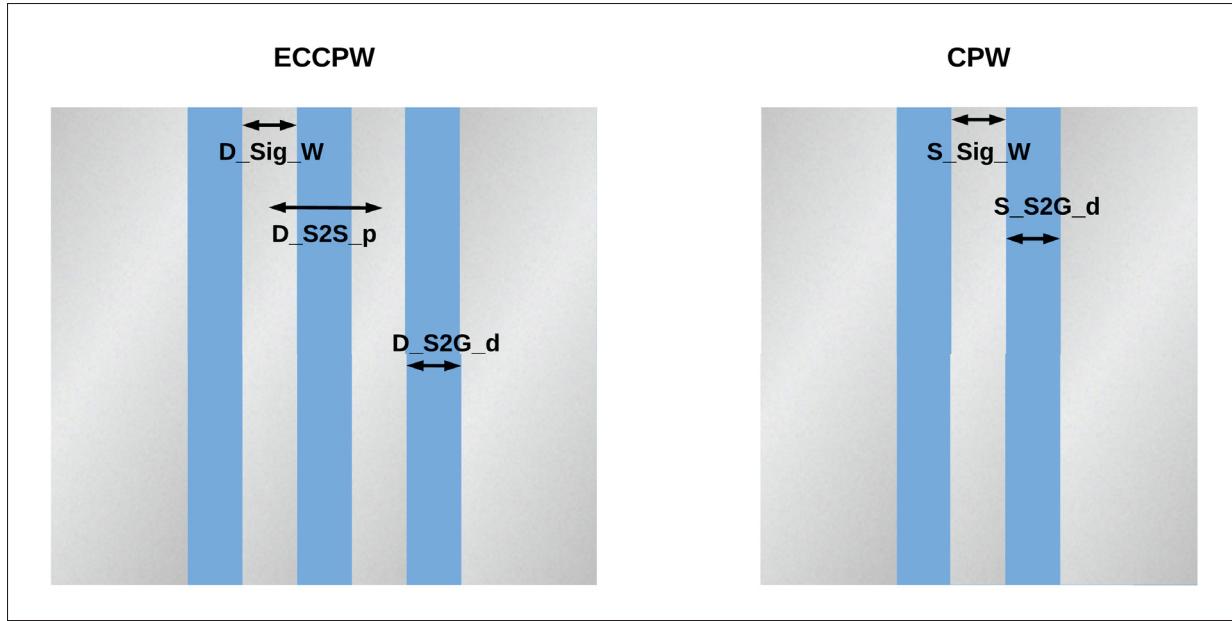


Figure 2.23 Schéma des modèles initiaux des lignes ECCPW et CPW vues de haut des puces

Tableau 2.3 Dimensions des modèles des lignes CPW et ECCPW des puces pour une propagation avec de l'air au-dessus

Paramètre	Dimensions (μm)	Paramètre	Dimensions (μm)
D_Sig_W	75	S_Sig_W	80
D_S2G_d	62	S_S2G_d	62
D_S2S_p	250		

2.3.2 Effet de proximité

Comme mentionné précédemment, dans des applications de puces retournées, l'effet de proximité est un phénomène qui se produit lorsque les caractéristiques des lignes de transmissions en surface de la puce sont affectées par la proximité du substrat. Cet effet peut causer une augmentation significative de la constante diélectrique effective, et donc, une modification de l'impédance des lignes par rapport au cas nominal attendu lorsque la puce a été conçue sans ou avec une

considération erronée de l'effet du substrat. Conséquemment, l'un des effets néfastes résultants est une augmentation de la réflexion aux interfaces en raison du décalage avec l'impédance caractéristique (Z_0) du système. De plus, pour des puces retournées avec des circuits actifs comme des amplificateurs, ce phénomène affecte le gain en plus de dégrader les performances à haute fréquence (Ito *et al.*, 1999). Bien que certaines références proposent des équations pour estimer cet effet en fonction de la géométrie jusqu'à environ 80 GHz (Nagy, Heide, Springer & Weigel, 2001), plusieurs hypothèses sont utilisées et il serait risqué de ne se fier qu'à ces estimations pour des applications à des fréquences de plus de 100 GHz. De ce fait, l'utilisation de simulateur 3D est le choix logique. Qui plus est, si les simulations sont effectuées stratégiquement, ces dernières ne nécessitent que très peu de ressources en termes de puissance de calcul et de temps de simulations. En ce qui concerne le projet actuel, l'effet de proximité a été étudié à l'aide du modèle de la figure 2.24 pour la ligne simple et différentielle avec les dimensions présentées dans le tableau 2.3 de la sous-section précédente.

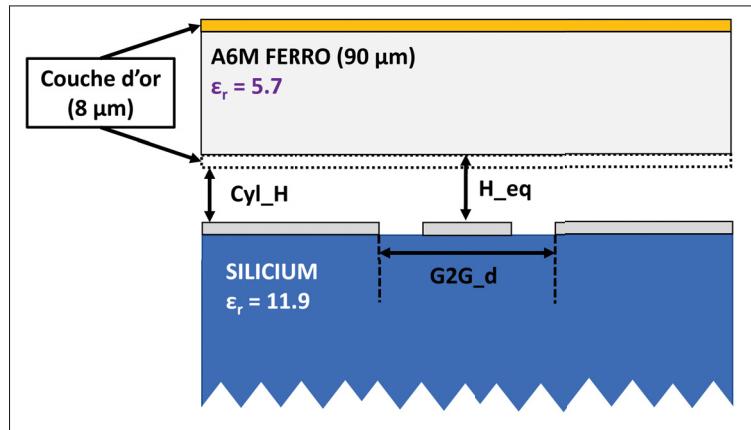


Figure 2.24 Schéma du modèle utiliser dans la simulation de l'effet de proximité

La variable Cyl_H représente la hauteur d'un cylindre/bille, la variable G2G_d représente la distance entre les plans de masse et la variable H_eq représente la hauteur équivalente totale des lignes de la puce jusqu'au substrat LTCC.

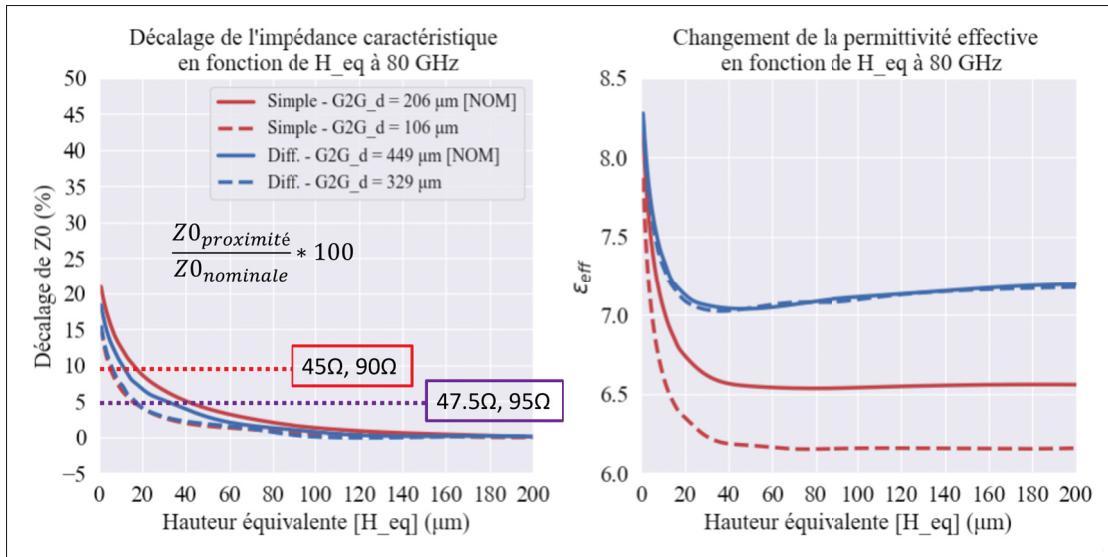


Figure 2.25 Simulation du décalage de l'impédance caractéristique et de la permittivité effective en fonction de la distance séparant le substrat de la puce

L'analyse graphique de l'effet de proximité en fonction de la hauteur est présentée à la figure 2.25. Des lignes de références en pointillés indiquent les valeurs équivalentes d'impédance Z0 en fonction du pourcentage de décalage pour une ligne nominale de 50 Ω dans le cas d'une ligne simple et de 100 Ω pour une paire différentielle. La conclusion est que, pour les lignes nominales, la hauteur équivalente (H_eq) minimale recommandée en fonction du décalage d'impédance est d'environ 20 μm. Des lignes avec des dimensions plus petites ont aussi été simulées (lignes par trait) et les résultats confirment qu'en réduisant les dimensions des lignes, la hauteur minimale que l'on peut atteindre diminue. Ces résultats peuvent s'expliquer par le fait que plus les dimensions des lignes sont petites, plus le champ est contenu dans un petit volume, et donc, moins la hauteur à laquelle le champ interagit est élevée. Il est important de souligner que la couche d'or du plan de masse inférieur du substrat a un impact significatif sur l'effet de proximité dans certaines situations. En effet, si ce dernier n'était pas présent dans la zone de la puce ou positionné sur une couche plus profonde du substrat, il serait possible d'avoir une hauteur minimale plus petite. Ultimement, peu importe la géométrie, l'important est de caractériser l'effet pour le prendre en compte dans la conception.

2.4 Présentations des Billes/Piliers

Les billes d'or utilisées dans cette recherche sont produites à l'aide d'un M17S, un nouveau produit pour la microsoudure de fil conçu par la société F&K DELVOTEC de type ultrasonique. Le procédé repose à la fois sur la température, le temps, la force et des ultrasons. Comme on peut observer à la figure 2.26, les billes produites sont de formes cylindriques (Pilier).

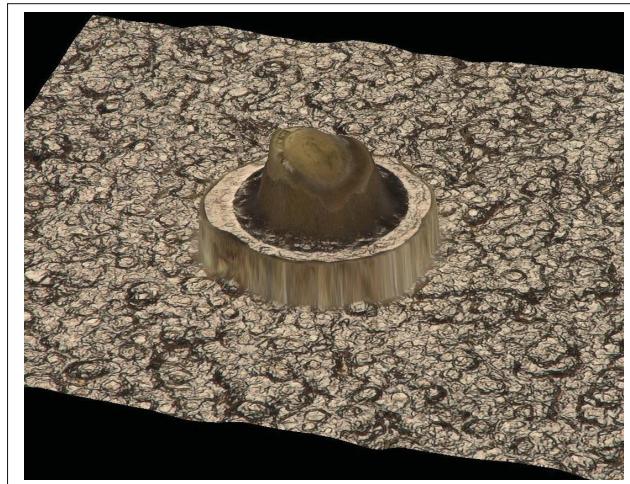


Figure 2.26 Photo d'un pilier d'or

Ensuite, l'appareil M17S peut aussi empiler avec une très grande précision et de manière répétable les structures (voir figure 2.27).

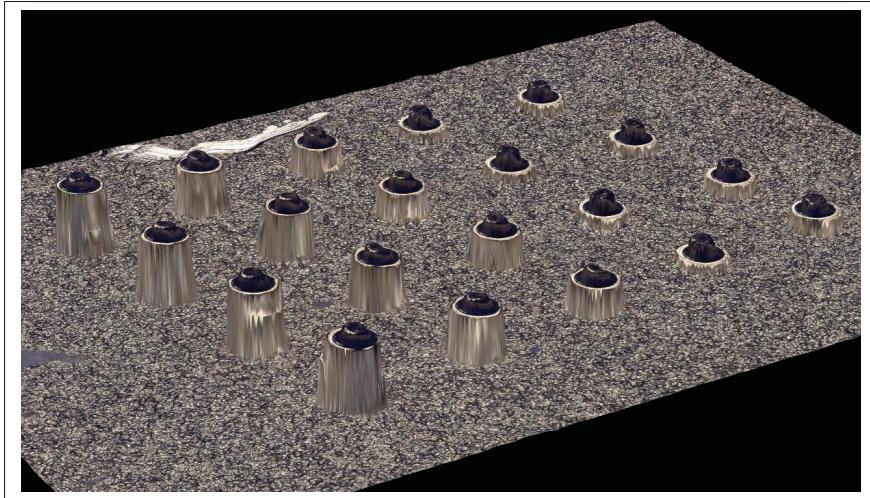


Figure 2.27 Photo de différentes configurations de piliers empilés

Niveau dimension, le diamètre est d'environ $65 \mu\text{m}$ et la hauteur est d'environ $15 \mu\text{m}$ pour un seul, $40 \mu\text{m}$ pour deux, $60 \mu\text{m}$ pour trois et $80 \mu\text{m}$ pour quatre (voir figure 2.28).

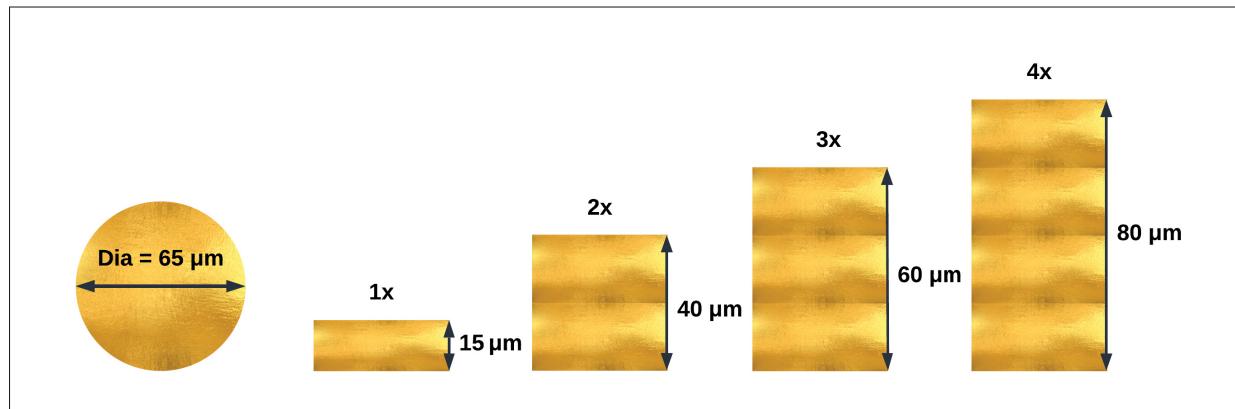


Figure 2.28 Schéma des dimensions des piliers d'or

En ce qui concerne la présente recherche, les différentes configurations au niveau des hauteurs de piliers étudiés sont : 1x ($15 \mu\text{m}$), 2x ($40 \mu\text{m}$) et 3x ($60 \mu\text{m}$).

2.5 Performance des structures individuelles

Pour conclure ce chapitre, les performances des structures individuelles de chacune des structures seront présentées. En ce qui concerne les puces, 3 hauteurs différentes de piliers sont étudiées, et donc, 3 modèles de puces ont été conçus par type de ligne (Simple, diff.) En fonction de l'ajustement de l'effet de proximité. Cette légère modification (voir tableau 2.4) permet de garder l'impédance des lignes à la valeur désirée (50Ω , 100Ω) pour les hauteurs suivantes : $15 \mu\text{m}$, $40 \mu\text{m}$ et $60 \mu\text{m}$.

Tableau 2.4 Dimensions des largeurs de signal des lignes CPW et ECCPW des puces avec le substrat

Nombre de pilier	Puce_D_Sig_W (μm)	Puce_S_Sig_W (μm)
1 ($h = 15 \mu\text{m}$)	70	70
2 ($h = 40 \mu\text{m}$)	75	75
3 ($h = 60 \mu\text{m}$)	75	75

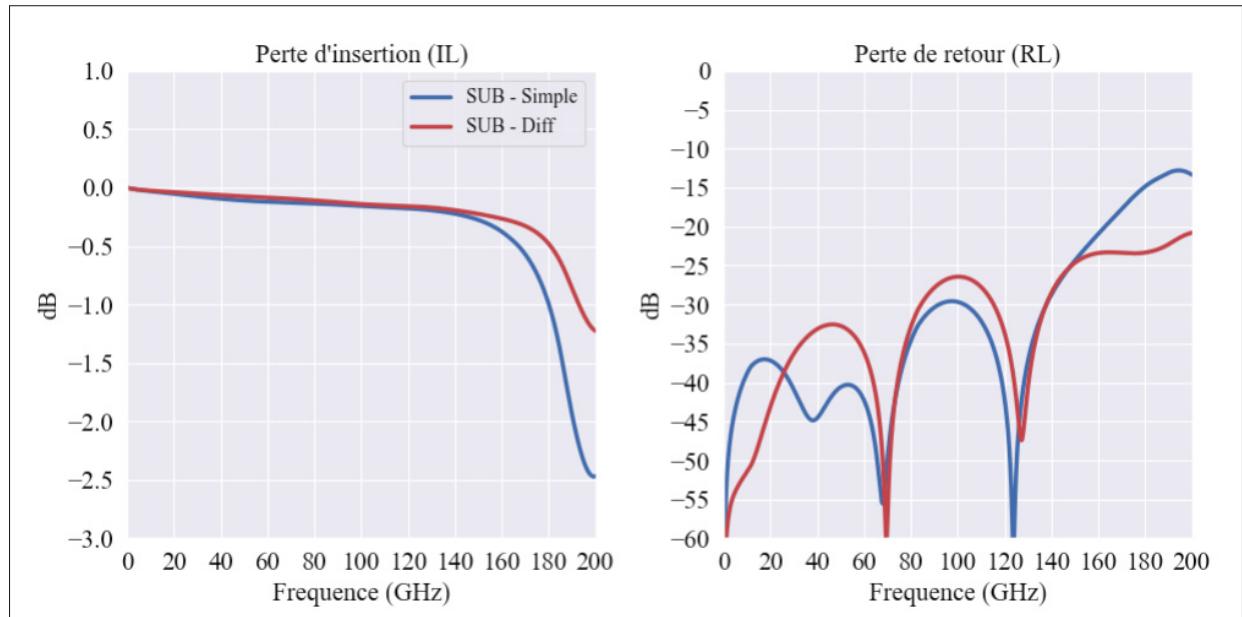


Figure 2.29 Performances individuelles des lignes du substrat

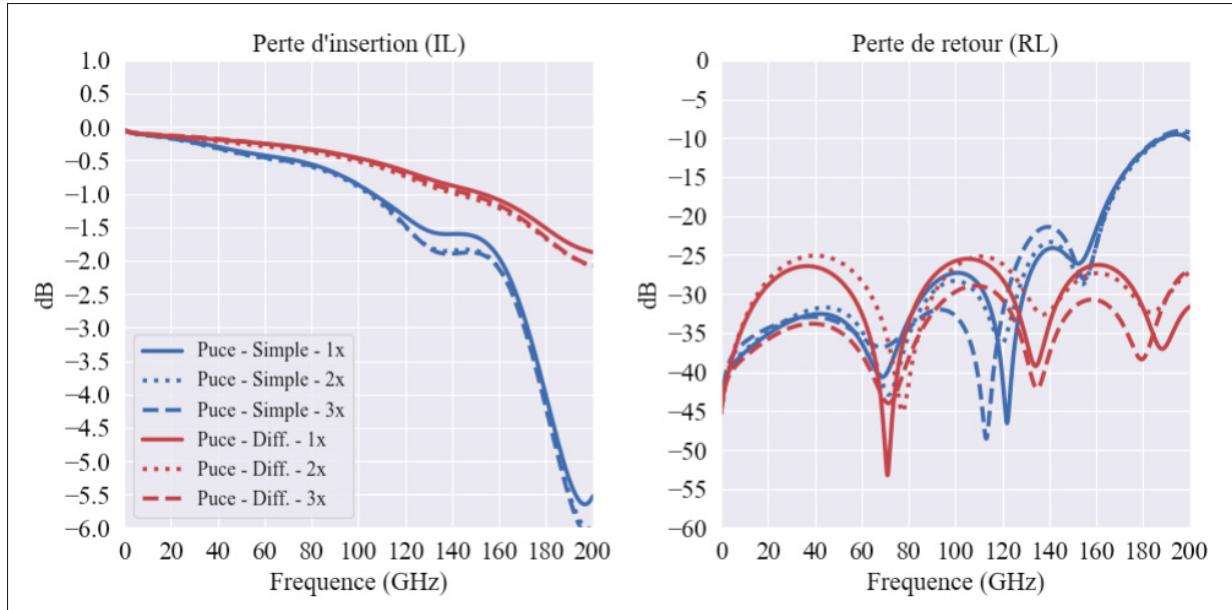


Figure 2.30 Performances individuelles des lignes des puces (Nomenclature : 1x = 1 cylindre, 2x = 2 cylindres, 3x = 3 cylindres)

Jusqu'à présent, les modèles individuels semblent satisfaire les conditions nécessaires afin d'étudier les transitions puce à substrat par puce retournée jusqu'à plus de 100 GHz. En effet, les lignes semblent efficaces jusqu'au moins 120 GHz lorsque simulées individuellement, et ce, tout en respectant les règles de conceptions contraignantes au niveau du LTCC (substrat). Évidemment, l'atténuation des modes d'ordre supérieur sera réévaluée dans les simulations des montages complets. De plus, lorsque nécessaire, des variations en dessous des règles de conceptions du LTCC seront évaluées. Il est important de préciser que la conversion de mode n'est pas présentée pour la ligne différentielle, puisque celui-ci est plus de petits que 40 dB sur toute la bande.

CHAPITRE 3

DÉVELOPPEMENT DES TRANSITIONS PUCE À SUBSTRATS PAR PUCE RETOURNÉE

Ce chapitre représente la portion du document consacrée à la conception et l'étude complète d'une interconnexion par puce retournée de type puce à substrat large bande de DC à plus de 100 GHz sur pilier d'or avec hauteur flexible. Dans un premier lieu, les modèles initiaux complets de puces retournées seront présentés. Les performances initiales seront ensuite étudiées de manière critique afin d'extraire les caractéristiques principales des transitions. Ensuite, plusieurs études par variation ont été effectuées et les données seront présentées afin d'extraire l'ordre de grandeur de l'impact de certains paramètres dimensionnels et de différentes géométries (patron de plan de masse) sur les performances de la transition. Parmi ces variations, certaines concernent l'aspect de l'atténuation des modes d'ordres supérieurs dans le substrat qui a été abordé précédemment, soit le mode des plaques parallèles et le mode guide d'onde rectangulaire TE10. Une réévaluation globale est proposée pour confirmer ou atténuer les suppositions formulées dans le chapitre précédent concernant la capacité à réduire l'effet des plaques parallèles dans le substrat jusqu'à une fréquence supérieure à 100 GHz en utilisant un diamètre élevé du trou de liaison (via). Cette méthode est applicable lorsque les contraintes de conception ne permettent pas de se conformer à la règle de la demi-longueur d'onde ($\lambda_g/4$) pour la période maximale visée. Au niveau de l'étude du mode rectangulaire TE10, les données présentées contiennent à la fois des variations de périodes de trous de liaison (via) et des variations en termes de largeur du guide d'onde formée par les clôtures périphériques pour évaluer son effet à plus de 100 GHz. Le premier objectif global poursuivi dans ce chapitre est l'extraction des paramètres clés importants au niveau des dimensions et de la géométrie permettant de maximiser les performances d'une interconnexion puce à substrat large bande jusque dans les térahertz. Ensuite, le second objectif serait de valider par simulation la possibilité d'utiliser les technologies sélectionnées (Substrat, Puce, Pilier) dans un montage de puce retournée jusqu'à plus de 100 GHz. Évidemment, la flexibilité offerte par la hauteur ajustable des piliers empilables sera étudiée et le tout sera comparé entre la ligne simple et la ligne différentielle.

En guise de conclusion, le but ultime de ce chapitre consiste à établir si l'idée de créer une connexion haute vitesse entre deux puces grâce à une technique de «flip-chip» abordable et utilisant une technologie de pile d'or superposable sur un support LTCC, tout en respectant des contraintes de conception strictes, est réalisable jusqu'aux fréquences térahertz.

3.1 Modèles initiaux

3.1.1 Présentation

Les modèles puce retournés pour les deux types de lignes étudiées sont essentiellement la combinaison des modèles du substrat et des puces développés dans le chapitre précédent avec quelques petites modifications et ajouts. Tout d'abord, les piliers d'or et leurs pastilles de réceptions (pads) sont ajoutés. Ensuite, comme présentées dans la sous-section 2.3.2, les dimensions des lignes sur la puce diffèrent très légèrement en fonction de l'effet de proximité, et donc, de la hauteur des piliers. Les modèles initiaux pour la ligne simple et différentielle sont illustrés dans les figures 3.1 et 3.2.

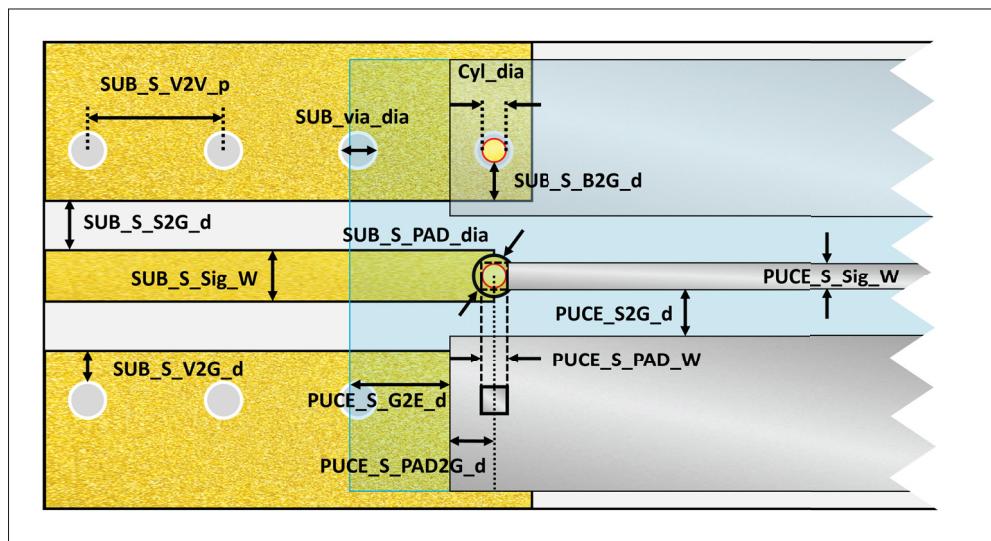


Figure 3.1 Schéma du modèle initial de puce retournée avec ligne simple

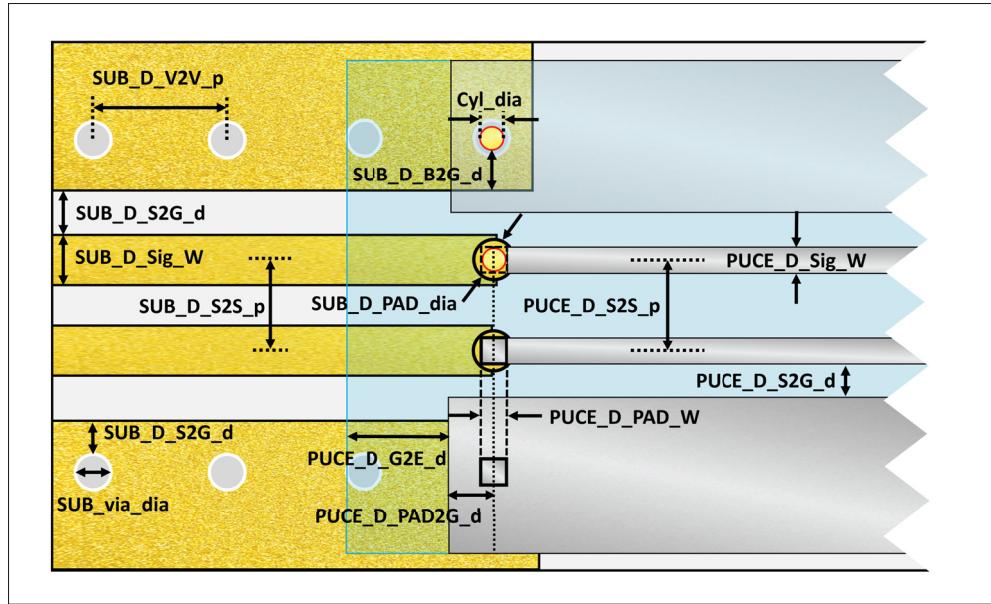


Figure 3.2 Schéma du modèle initial de puce retournée avec paire différentielle

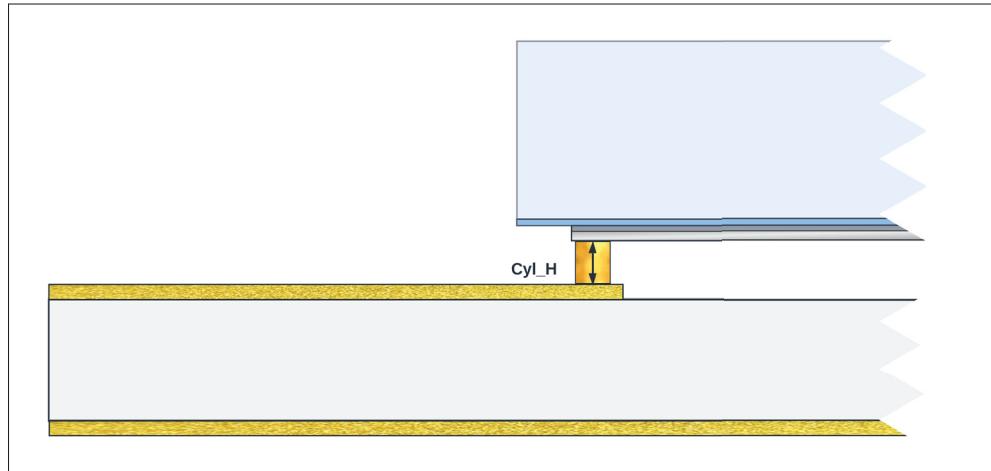


Figure 3.3 Schéma du modèle initial de la puce retournée vue de côté

3.1.2 Caractéristiques et performances

Dans cette sous-section, les résultats de simulations (HFSS) des modèles initiaux sont présentés et discutés. La longueur de la portion de ligne sur le substrat est de 1.2 mm (1200 μm) et celle sur la puce de 0.8 mm (800 μm). Les simulations ont majoritairement été effectuées avec le type

Tableau 3.1 Dimensions principales des modèles initiaux de puce retournés

Simple		Différentielle	
Paramètre	Dimensions (μm)	Paramètre	Dimensions (μm)
SUB_S_V2V_p	400	SUB_D_V2V_p	400
SUB_S_V2G_d	75	SUB_D_V2G_d	75
SUB_S_Sig_W	111	SUB_D_Sig_W	102
SUB_S_S2G_d	100	SUB_D_S2S_p	250
SUB_S_PAD_dia	85	SUB_D_S2G_d	120
PUCE_S_PAD_W	75	SUB_D_PAD_dia	75
PUCE_S_Sig_W	70 à 80	PUCE_D_PAD_W	70 à 80
PUCE_S_S2G_d	63	PUCE_D_Sig_W	62
PUCE_S_PAD2G_d	75	PUCE_D_S2G_d	250
PUCE_S_G2E_d	175	PUCE_D_S2S_p	250
		PUCE_D_PAD2G_d	175
		PUCE_D_G2E_d	120
SUB_via_dia	131		
Cyl_H		[15, 40, 60]	
Cyl_dia		65	

de solution «Modal» de HFSS, soit des simulations avec une source d'excitation à multiples modes via un guide d'onde rectangulaire. Encore une fois, le mode fondamental étudié pour la paire différentielle est le mode impair et la conversion de mode vers le mode commun (pair) ne sera présentée que si celle-ci dépasse la limite de -35 dB. Les modèles HFSS sont illustrés à la figure 3.4 et les champs électriques sur la puce en fonction de la hauteur des piliers équivalents pour chaque type de ligne est présentés aux figures 3.5 et 3.6.

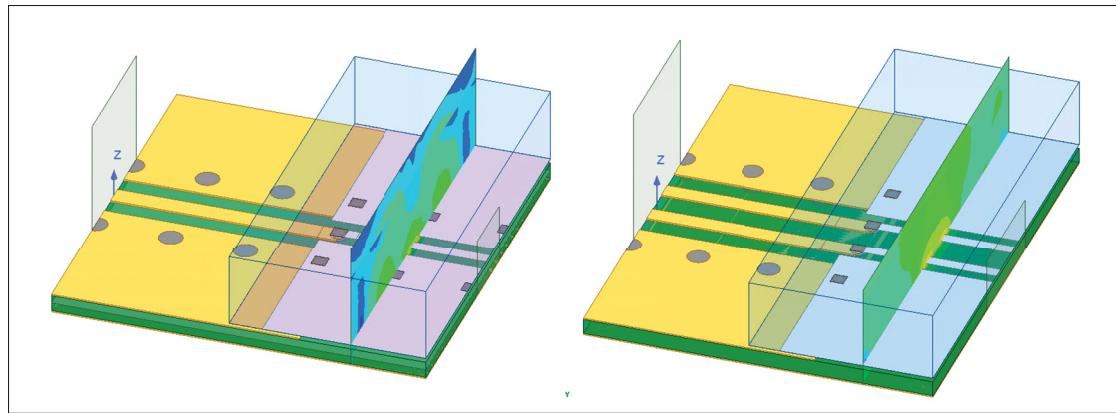


Figure 3.4 Modèles de simulation des puces retournées initiaux pour la ligne simple (Gauche) et la paire différentielle (Droite)

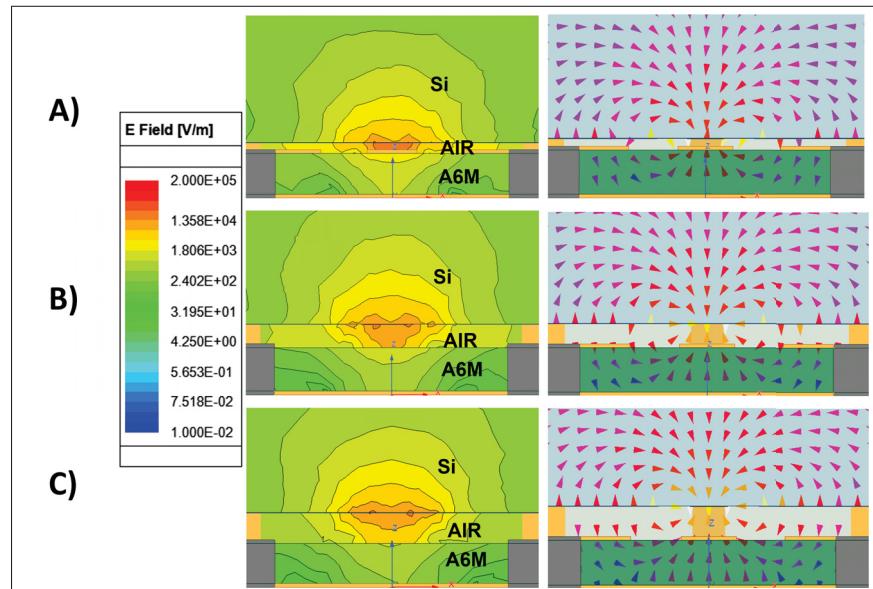


Figure 3.5 Champs électriques du mode coplanaire de la ligne simple sur la puce pour les structures de puces retournées initiales à 80 GHz en fonction du nombre de piliers. A) 1 pilier , B) 2 piliers et C) 3 piliers

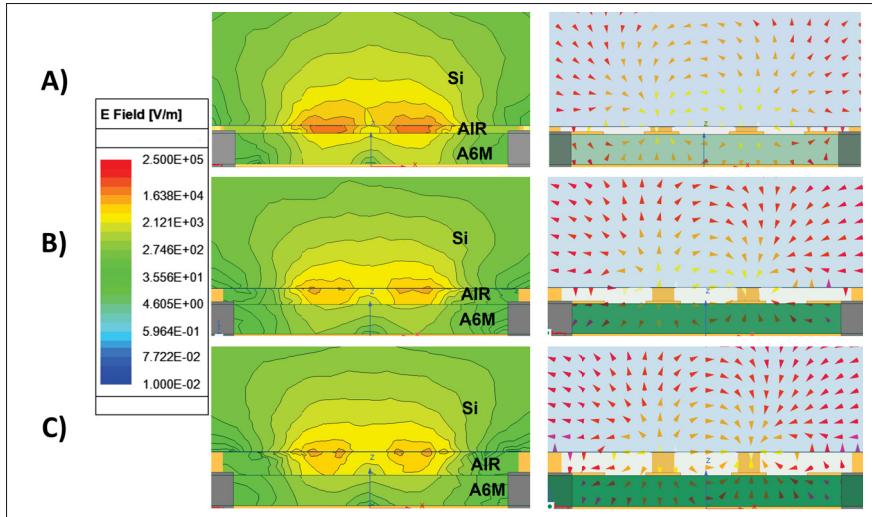


Figure 3.6 Champs électriques du mode impair de la ligne différentielle sur la puce pour les structures de puces retournées initiales à 80 GHz en fonction du nombre de piliers. A) 1 pilier , B) 2 piliers et C) 3 piliers

Au niveau des champs électriques, il est possible d'observer l'effet de proximité discuté précédemment (voir section 2.3.2). En effet, au niveau du tracé des champs sur les puces en fonctions des configurations de piliers choisis, la portion de ceux-ci qui se situent dans l'air augmente sans surprise avec la hauteur. Avec une hauteur suffisante, le champ sur les lignes à la surface de la puce retournée serait identique à celui d'une puce non retournée. Ultimement, même si l'environnement de propagation diffère, les performances en fréquence demeurent similaires (voir figure 3.7). Tout d'abord, pour les deux types de lignes, l'influence de la hauteur sur les pertes d'insertion (S_{21}) est négligeable jusqu'à environ 120 GHz, où les modèles de 2 et 3 piliers subissent une plus forte atténuation aux mêmes fréquences. Ensuite, encore pour les deux types de lignes, les pertes de retour (S_{11}) sont améliorées de quelques dB de DC jusqu'à plus de 120 GHz, ce qui indique une amélioration de l'adaptation d'impédance.

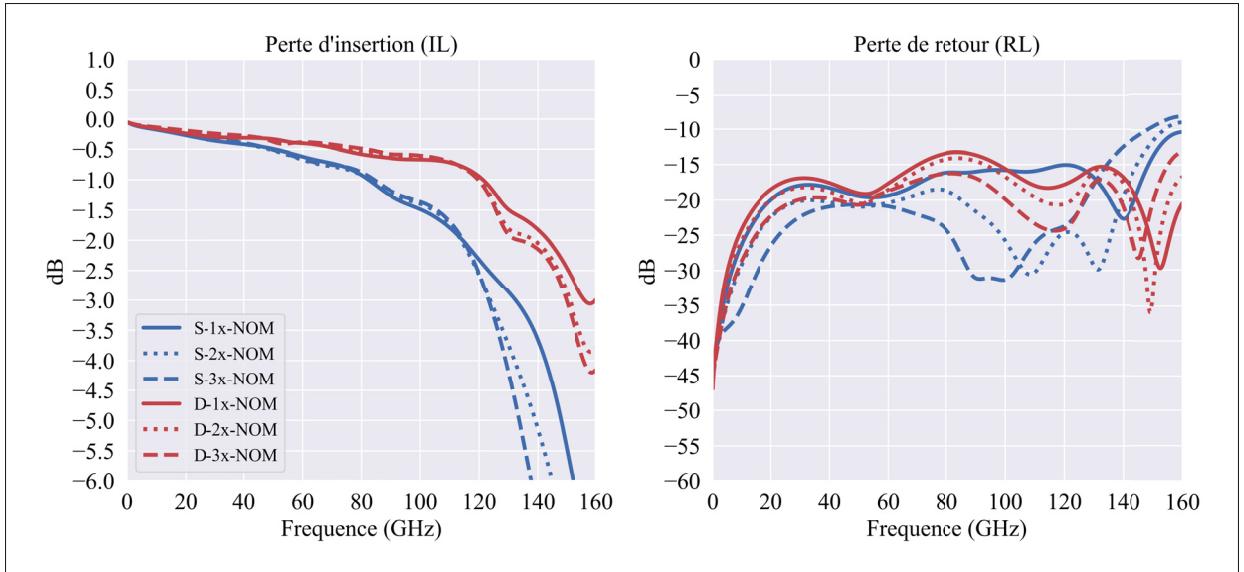


Figure 3.7 Simulation des pertes de retour et des pertes d'insertion des variantes initiales pour la ligne simple (Bleu) et différentielle (rouge)

L'hypothèse la plus probable est que l'augmentation de la hauteur cause une modification de l'impédance de la transition elle-même. En effet, comme indiqué dans la quasi-totalité des projets de puce retournés présentés dans la revue de littérature, ce type de transition a un caractère capacatif dominant. De ce fait, il est hautement probable que la hausse d'inductance et possiblement la baisse des capacitances des pastilles causées par l'augmentation de la hauteur totale des piliers produisent une compensation de l'impédance de la transition. Afin de valider cette hypothèse, la réflectométrie de domaine temporel en impédance (TDRZ) a été utilisée. Pour ce faire, les données de réflexion (S_{11}) de simulations ont tout d'abord été converties du domaine fréquentiel au domaine temporel à l'aide de la transformée de Fourier inverse rapide (IFFT). Ensuite, la relation entre le S_{11} et l'impédance a été utilisée pour obtenir la réponse de l'impédance en fonction du temps. Il est important de préciser que, lors de cette conversion, les caractéristiques du balayage en fréquence définissent les limites de la réponse temporelle résultante. En effet, la fréquence maximale et le pas en fréquences définissent les paramètres suivant :

1. Résolution temporelle (s)

$$\Delta t = 1/2F_{max} \quad (3.1)$$

2. Résolution spatiale (m/ Δ_t)

$$\Delta d = \frac{c_0 \Delta t}{\sqrt{\epsilon_r}} = v \Delta t \quad (3.2)$$

3. Temps maximal (s)

$$t_{max} = 1/2\Delta F \quad (3.3)$$

4. Distance maximale (m)

$$d_{max} = t_{max} v \quad (3.4)$$

* En raison d'un impact négligeable, le fenêtrage est omis dans les équations ci-haut.

Dans le cas présent, la fréquence maximale (F_{max}) en simulation est de 200 GHz, le pas en fréquence (Δt) est de 0.1 GHz et la permittivité effective (ϵ_{eff}) des lignes du substrat est d'environ 4 à 100 GHz. Les paramètres résultants sont les suivants :

$$\begin{aligned} \Delta t &= \frac{1}{2 * 200 \times 10^9 \text{ s}^{-1}} = 2.5 \text{ ps} \\ \Delta d &= (1.5 \times 10^8 \text{ m s}^{-1})(2.5 \times 10^{-12} \text{ s}) = 375 \mu\text{m}/\Delta t \\ t_{max} &= \frac{1}{2(0.1 \times 10^9 \text{ s}^{-1})} = 5000 \text{ ps} \\ d_{max} &= (5000 \text{ ps})(1.5 \times 10^8 \text{ m s}^{-1}) = 750 \text{ mm} \end{aligned}$$

Il est important de noter que les paramètres spatiaux extraits ne sont valables que pour une propagation continue sur une ligne de transmission ayant la permittivité effective (ϵ_{eff}) utilisée dans les calculs, soit seulement sur le substrat dans le cas actuel. Qui plus est, la longueur totale de la structure ne doit pas dépasser la distance maximale (d_{max}) afin de prévenir la répétition (repliement). Dans le cas de mesure de réflexion, cette longueur totale est la distance aller-retour de la ligne complète. Cette condition est amplement respectée avec la distance maximale de

750 mm. Ensuite, la résolution spatiale (Δ_d) représente la distance équivalente à la résolution temporelle (Δ_t), et non la résolution spatiale par seconde. De ce fait, les points temporels discrets réels représentent des pas de $375 \mu\text{m}$, et donc, l'incertitude au niveau de la distance d'une discontinuité dans une structure d'une longueur de l'ordre du millimètre n'est pas idéale. Afin de lisser la courbe résultante, un remplissage par zéros (zero-padding) a été effectué avant la transformée de Fourier inverse rapide (IFFT). Cette technique permet essentiellement d'ajouter des zéros aux hautes fréquences et ainsi d'obtenir une réponse temporelle interpolée avec une plus petite résolution artificielle sans ajouter d'information au signal fréquentiel. Les réponses temporales obtenues sont présentées à la figure 3.8.

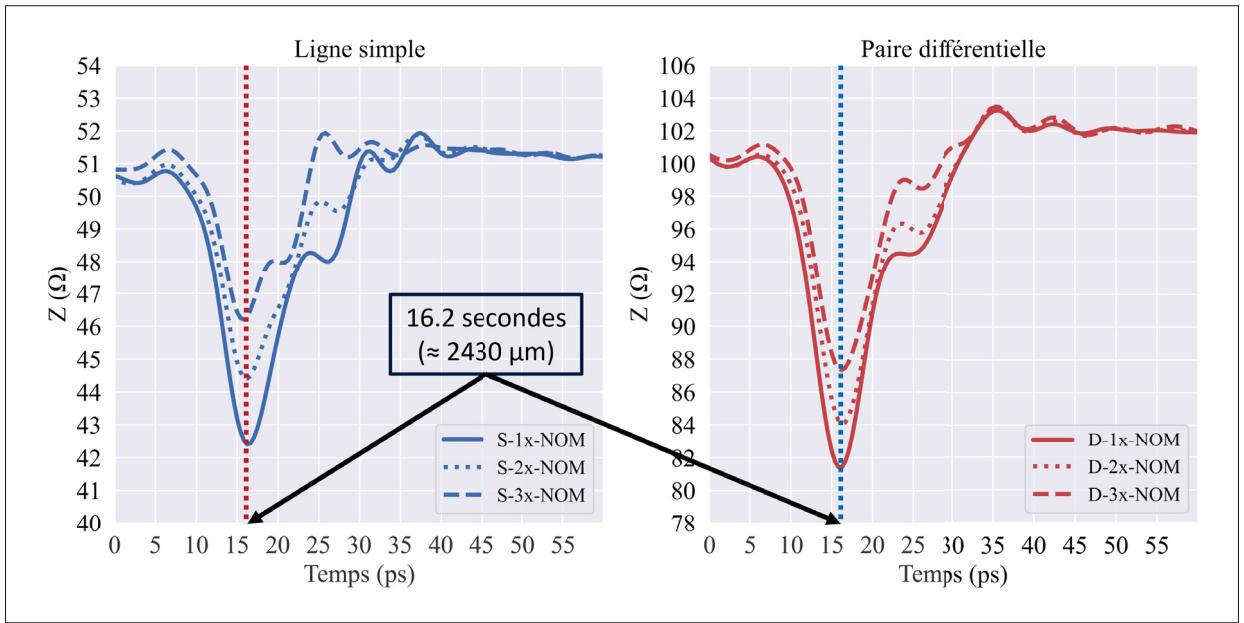


Figure 3.8 TDRZ(S_{11}) des lignes simples et différentielles nominales en fonction de la hauteur des piliers

En raison de la grande résolution spatiale ($375 \mu\text{m}$), il est probable que la profondeur des vallées et la hauteur des monts ne soient pas suffisamment accentuées. Néanmoins, l'allure de la réponse temporelle renferme beaucoup d'information quant à la position, le type et l'ordre de grandeur des discontinuités présentes sur la ligne. Pour les deux types de ligne, la discontinuité se situe à environ $2400 \mu\text{m}$ (16.2 ps) du port #1 (substrat), ce qui équivaut à la distance aller-retour

de la ligne du substrat de $1200 \mu\text{m}$. Cette information confirme que la discontinuité majeure sur la ligne est présente à l'interface de la puce et du substrat au niveau de la transition sur les piliers. Ensuite, comme l'impédance descend dans une vallée à la discontinuité, il est possible de confirmer que cette dernière est capacitive (voir équation 3.5).

$$Z_0 = \sqrt{\frac{L}{C}} \quad (3.5)$$

Finalement, cette discontinuité est améliorée par l'augmentation de la hauteur des piliers, ce qui valide l'hypothèse émise plus haut par rapport à la compensation. Cette amélioration est causée par une hausse de l'inductance (Pilier) et une baisse des capacitances grâce à la diminution de l'effet de proximité (Baisse de ϵ_{eff}). Le circuit équivalent est illustré à la figure 3.9. Les capacités C_{sub} et C_{ANpuce} sont celles des pastilles (pads) de réception des piliers sur le substrat et la puce, respectivement. La transition sur pilier est quant à elle constituée d'une résistance R_{pilier} et d'une inductance L_{pilier} . Au niveau des piliers, la résistance est négligeable et l'inductance augmente avec la hauteur totale.

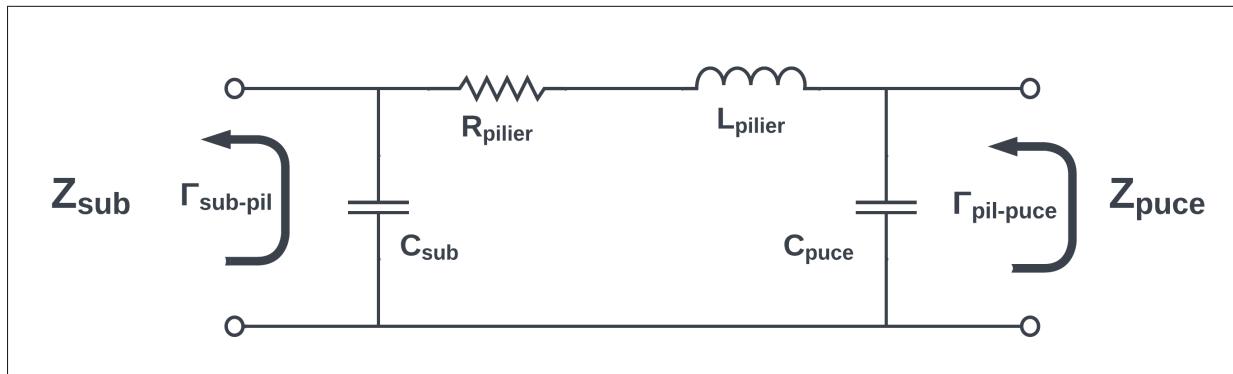


Figure 3.9 Schéma du circuit équivalent de la transition sur puce retournée initiale

3.2 Étude par variation

Dans cette section, plusieurs variations sont étudiées afin d'extraire leur effet sur les performances de la transition. Parmi celles-ci, il y a les variations au niveau des trous de liaison (via) afin

d'évaluer la propagation des modes d'ordres supérieurs dans le substrat. Ensuite, différents patrons de plan de masse au niveau de la puce et du substrat ainsi que l'impact de la taille des pastilles de réceptions (Pads) des piliers sont aussi étudiés. Encore une fois, cette étude est effectuée pour les deux types de lignes, soit celle simple et cette différentielle. En définitive, pour alléger les graphiques, la plupart des données présentées seront celles liées à la configuration 1, c'est-à-dire un pilier ($H = 15 \mu\text{m}$). Ce choix est justifié par le fait que, dans la plupart des configurations de piliers, les effets des variations suivent la même tendance, en plus d'être le pire scénario possible dans le montage actuel. Pour les autres, les différentes performances en fonction des piliers sont présentées. Dans cette section, bien que, au départ, les modèles considérés comme nominaux soient ceux présentés aux figures 3.1 et 3.2, ils peuvent être modifiés. En effet, lorsqu'une variation est réalisable et bénéfique, celle-ci peut être implémentée et le modèle résultant est considéré comme la nouvelle référence. Le **Modèle A** représente les structures initiales de départ.

3.2.1 Variation des trous de liaison (via)

L'étude des clôtures de trous de liaison (via) pour la structure de puce retournée complète est très semblable à celle présentée dans la section 2.2.2. Le premier objectif est de vérifier que la conclusion de la section 2.2.2.1 par rapport au mode des plaques parallèles et les spécifications des clôtures de trous de liaison (via) sont valides pour le montage complet. Essentiellement, le but est de confirmer que la période des trous de liaison (via) V2V_P de $400 \mu\text{m}$ avec un diamètre de $125 \mu\text{m}$ est suffisante pour assurer l'atténuation de ce mode jusqu'à plus de 100 GHz malgré le fait que cette distance centre à centre est d'environ $0.36\lambda_g$ à 110 GHz. Ensuite, le second objectif est de vérifier que le mode guide d'onde TE10 discuté à la section 2.2.2.2 ne cause pas de problème jusqu'à ces mêmes fréquences.

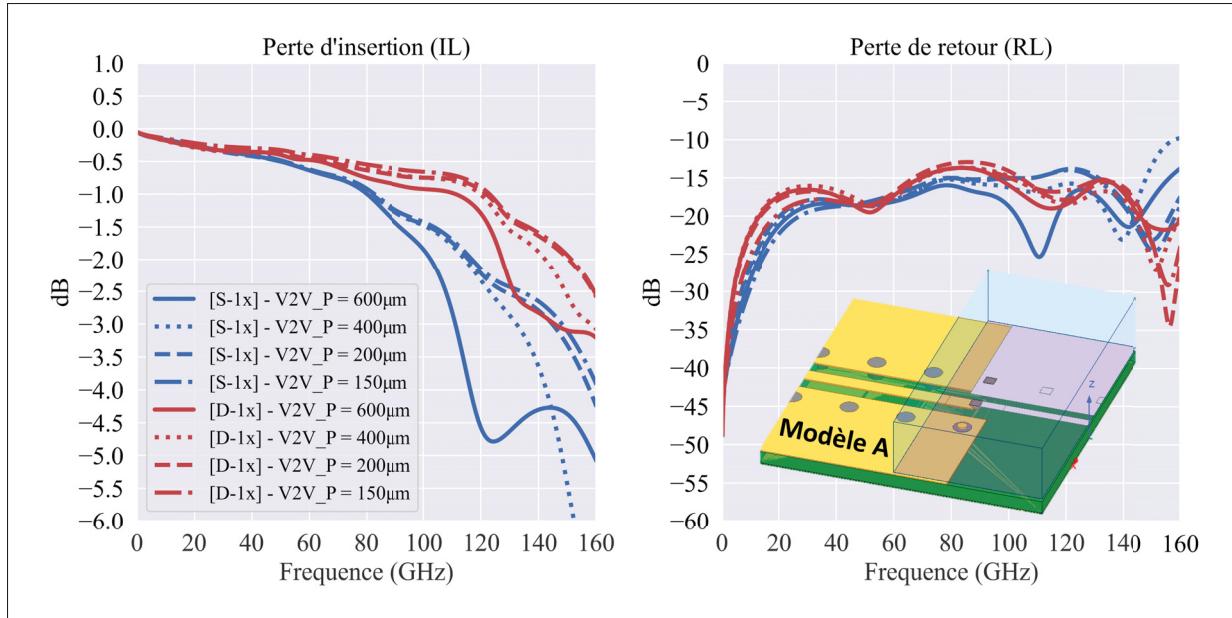


Figure 3.10 Simulation de la variation de la distance centre à centre des trous de liaison (via) pour les structures de puces retournées [Modèle A]

En ce qui concerne le mode des plaques parallèles dans le substrat et la distance centre à centre des trous de liaison (via), les données de simulations de la figure 3.10 indiquent que la période des trous de liaison (via) actuelle ($V2V_P$) de $400 \mu\text{m}$ exhibe les mêmes performances en transmission que pour une période de $150 \mu\text{m}$ jusqu'à 115 et 120 GHz pour la ligne simple et différentielle respectivement. Ces résultats confirment encore une fois que le mode de plaques parallèles devrait être complètement atténué jusqu'à au moins 110 GHz.

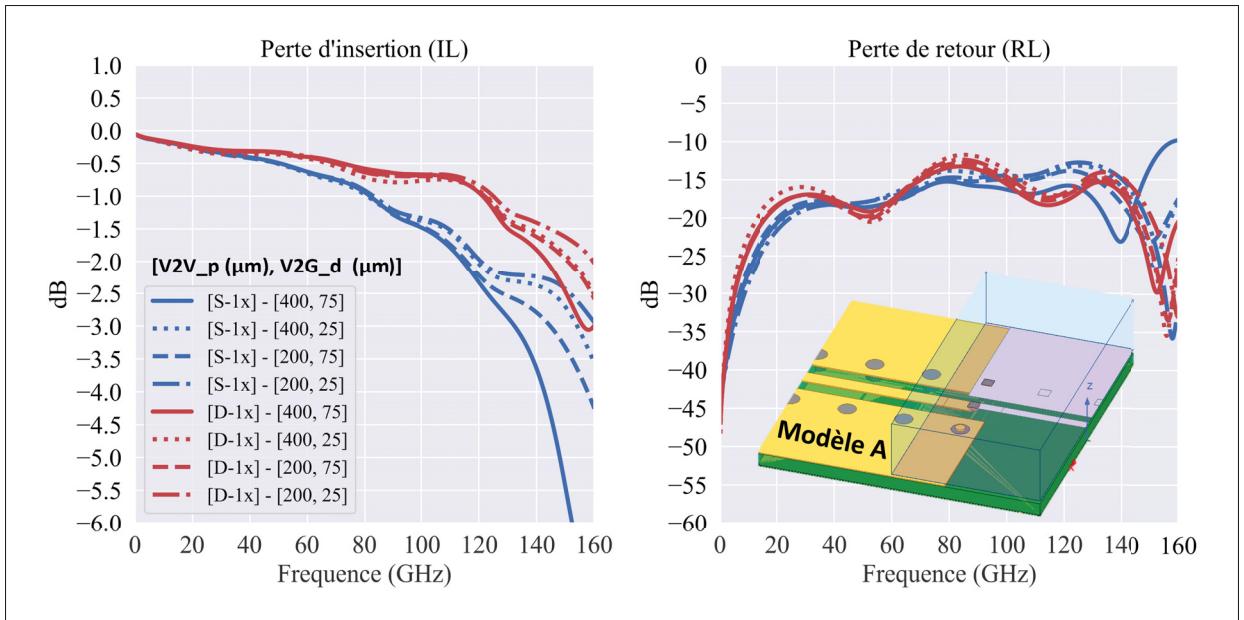


Figure 3.11 Variation de la distance centre à centre des trous de liaison (V2V_p) ET de la distance entre l'extrémité des clôtures et l'extrémité du plan de masse (V2G_d) pour les structures de puces retournées [Modèle A]

Ensuite, pour le mode guide d'onde rectangulaire TE10, celui-ci ne semble pas être excité et propager dans la structure jusqu'à au moins 110 GHz pour les deux types de lignes. Ce résultat n'est pas particulièrement surprenant pour la ligne simple qui a une fréquence de coupure pour ce mode à 108 GHz, mais il l'est plus pour ligne différentielle qui a une fréquence de coupure de 73 GHz. Évidemment, ceci peut être dû au fait que le modèle de simulation est idéal et que le mode n'est tout simplement pas excité dans ce cas précis.

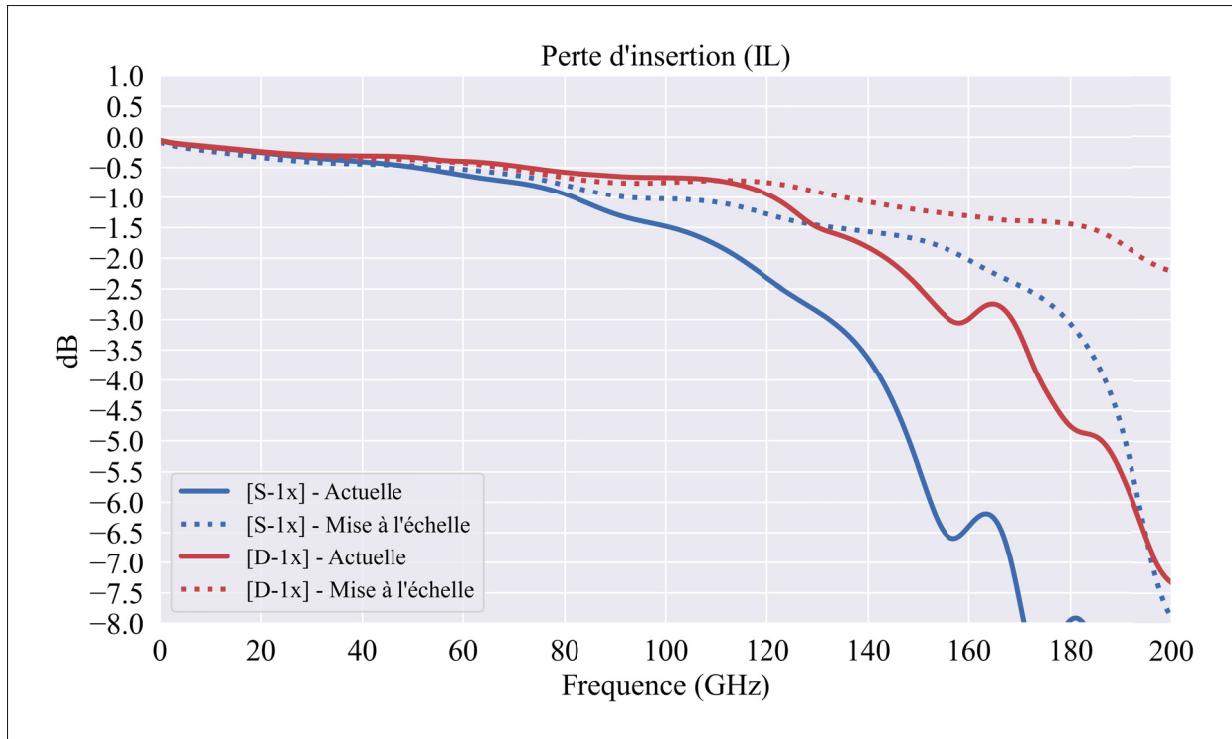


Figure 3.12 Cas spéciaux ne respectant pas les règles de conceptions LTCC
(Rétrécissement des dimensions) [Modèle A]

Finalement, une mise à l'échelle des deux structures, soit une diminution des dimensions globales des lignes de transmission de la puce et du substrat, permet de constater que ces dimensions, et les piliers, sont le limitant majeur dans le modèle actuel. Concrètement, la période des vias est de $200 \mu\text{m}$ et la distance entre les vias et le plan de masse de $50 \mu\text{m}$. Bien que ces dimensions ne soient pas réalisables au laboratoire LACIME pour le substrat LTCC, les valeurs utilisées ci-haut sont atteignables pour de grands fabricants comme Kyocera. Le comparatif des dimensions est montrée dans le tableau 3.2.

3.2.2 Patron de masse

Les variations des patrons de masse sont exactement ce que le nom indique, soit des variations des configurations et des connexions des plans de masse. Ces variations concernent autant les puces que les substrats.

Tableau 3.2 Tableau comparatif du rétrécissement des dimensions

Paramètre	Simple		Paramètre	Différentielle		
	Dimensions			Dimensions	Dimensions	
	Actuelles (\$\mu m)	Petites (\$\mu m)				
SUB_S_V2V_p	400	200	SUB_D_V2V_p	400	200	
SUB_S_V2G_d	75	50	SUB_D_V2G_d	75	50	
SUB_S_Sig_W	111	90	SUB_D_S_Sig_W	102	75	
SUB_S_S2G_d	100	50	SUB_D_S2G_d	120	70	
			SUB_D_S2S_p	250	150	
PUCE_S_Sig_W	75	46	PUCE_D_S_Sig_W	75	52	
PUCE_S_S2G_d	63	30	PUCE_D_S2G_d	62	30	
			PUCE_D_S2S_p	250	150	

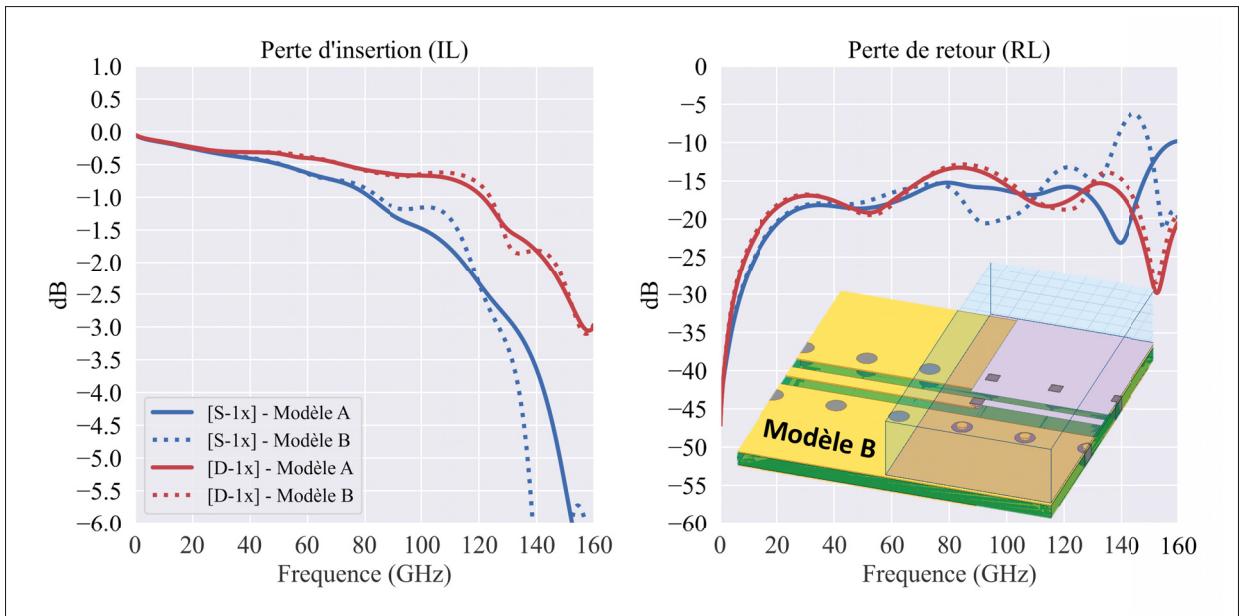


Figure 3.13 Effet du prolongement des plans de masse périphériques du substrat en dessous de la puce [Modèle A vs Modèle B]

Tout d'abord, le **modèle B** se différencie du **modèle A** avec une prolongation des plans de masses du substrat, des trous de liaison (via) supplémentaires et des piliers le long de la ligne de la puce. Les simulations sont présentées à la figure 3.13. L'ajout des piliers au long de la puce a pour objectif d'assurer une meilleure atténuation du mode de lignes à fentes en assurant une

unification des plans de masse de la puce périodique. L'impact de ces piliers supplémentaires a été testé individuellement et celui-ci n'est pas visible en simulation, mais ceux-ci peuvent potentiellement être bénéfiques dans un montage expérimental. Ensuite, les trous de liaison (via) supplémentaires sont entre autres ajoutés pour cette même raison en plus de remplir le rôle du contrôle du mode de plaque parallèle, qui pourrait aussi être problématique pour la propagation de l'onde sur la puce en raison de la proximité et du couplage avec le substrat. Au niveau du prolongement des plans de masse, une attention particulière a été portée au niveau de la propagation sur la puce afin de s'assurer que le mode de propagation ne se couple pas avec ces derniers. Pour ce faire, la densité de courant sur les plans de masse du substrat en dessous de la puce a été analysée pour confirmer que ceux-ci étaient négligeables. Dans le cas d'un grand couplage, un déphasage se produirait. Ultimement, ces ajouts ont des impacts positifs sur les performances de deux types de lignes. De ce fait, le modèle B devient le nouveau modèle principal.

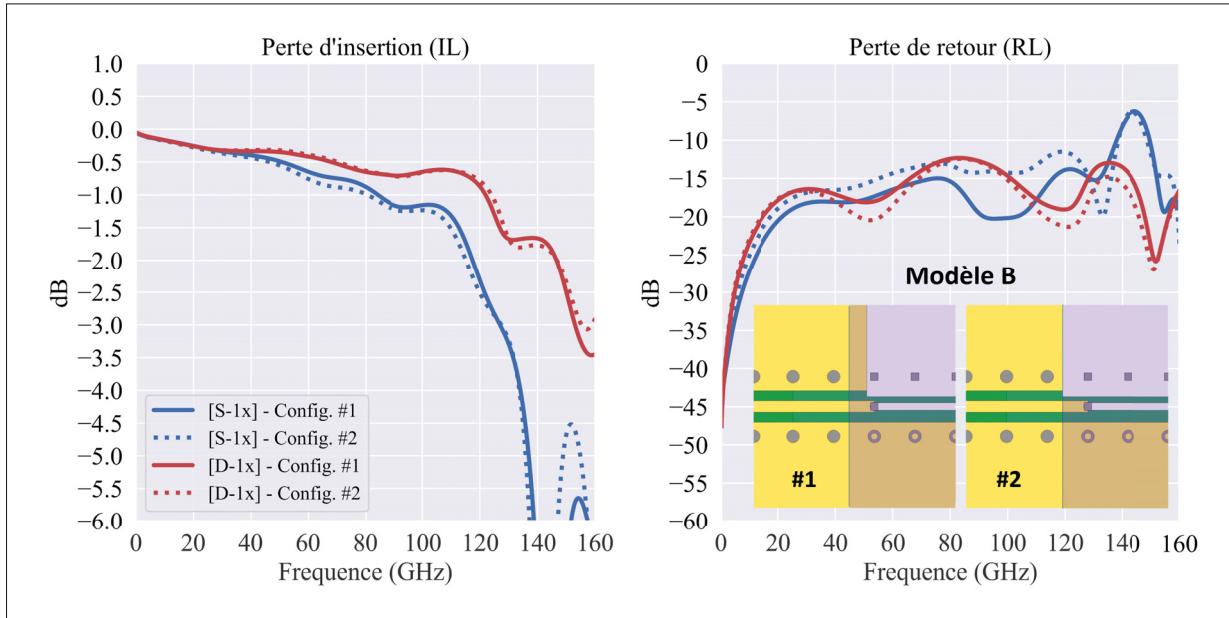


Figure 3.14 Effet du prolongement des plans de masse périphériques sur la puce [Modèle B]

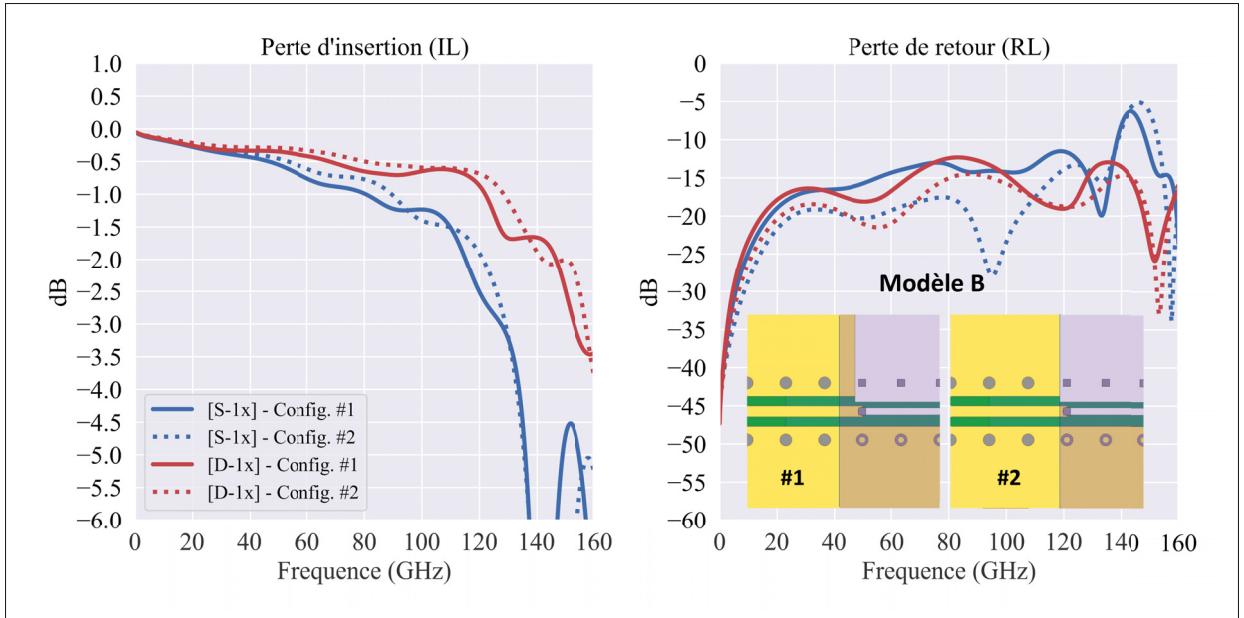


Figure 3.15 Effet du retrait de la longueur supplémentaire au niveau du silicium de la puce
[Modèle B]

Les figures 3.14 et 3.15 présentent graphiquement l'impact du prolongement des plans de masse périphériques sur la puce et l'effet du retrait de la longueur supplémentaire de silicium ajouté pour la tolérance de découpe. Sans surprise, avoir un minimum de chevauchement des deux entités permet d'obtenir de meilleure performance. Le gain de performance est très prononcé pour le retrait de la longueur supplémentaire de silicium, avec un gain de plusieurs dB au niveau de la réflexion.

3.2.3 Pastilles (Pads)

Les variations au niveau des dimensions des pastilles de réceptions des piliers sont présentées à la figure 3.16. Seules les simulations au niveau du substrat sont présentées puisque l'effet observé est le même, peu importe l'entité. La conclusion est que plus ces derniers ont des dimensions près du diamètre des piliers, meilleures sont les performances. Cet effet est plutôt subtil dans les simulations ci-dessus, puisque les diamètres sont relativement près de ceux des piliers ($Cyl_dia = 65 \mu\text{m}$).

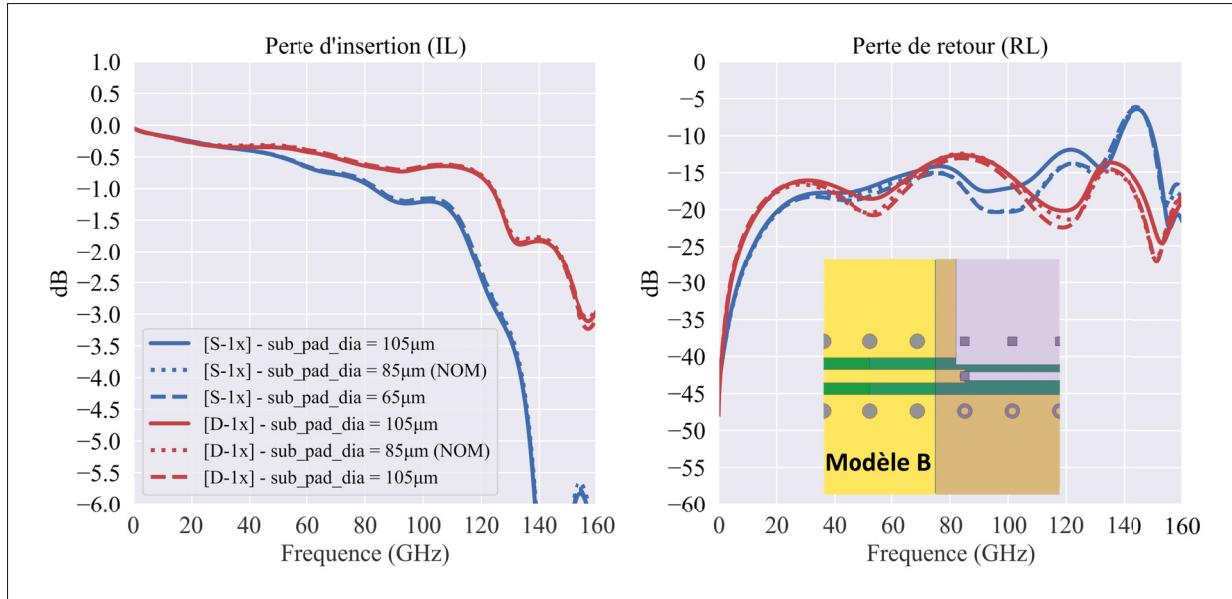


Figure 3.16 Effet de la taille des pastilles de réceptions au niveau du substrat [Modèle B]

3.2.4 Performances en fonction des piliers

Finalement, pour clore la section sur l'étude par variation générale, les performances en fonction du nombre de piliers pour le modèle B sont présentées pour la ligne simple et différentielle à la figure 3.17.

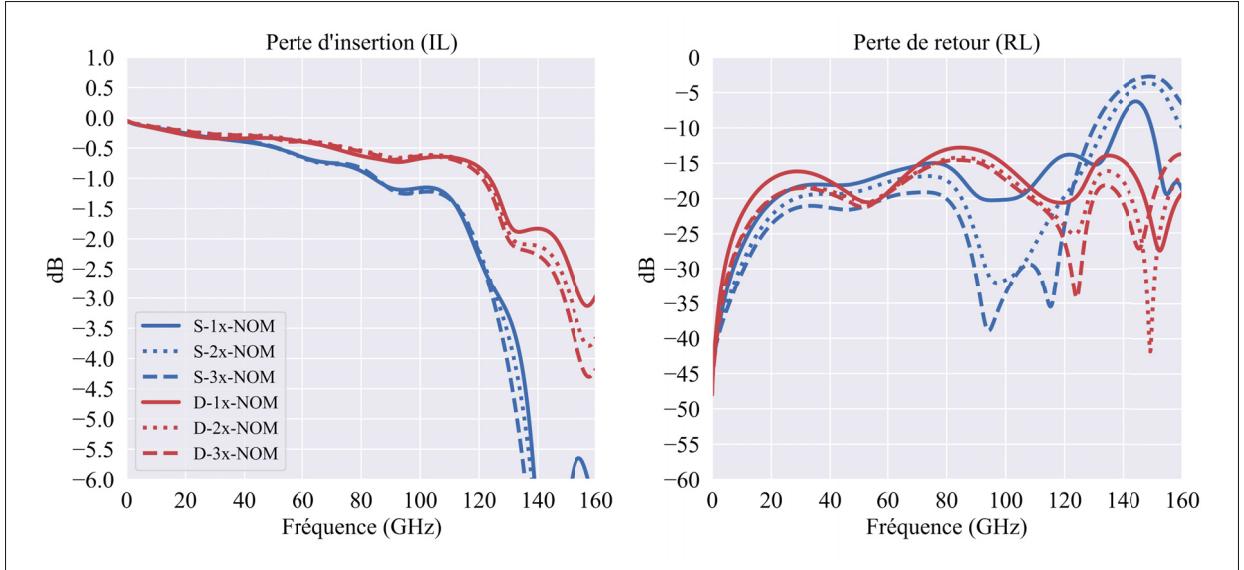


Figure 3.17 Simulations des structures pour chacune des configurations de hauteur de piliers pour le Modèle B

Il est possible de constater que les performances permettent déjà de satisfaire la majorité des critères visée, soit une largeur de bande de plus de 100 GHz et des pertes de retour meilleurs que -15 dB sur toute la bande.

3.3 Compensation de l'impédance

Lorsque tous les paramètres clés d'un montage de puce retournée ont été ajustés en fonction des règles de conception pour optimiser les performances sur la bande de fréquence utilisée et que les critères ne sont toujours pas satisfaits, le problème se situe généralement au niveau de l'impédance de la transition qui diverge par rapport à l'impédance caractéristique du système. Au risque de le répéter, dans la vaste majorité des cas, incluant le cas échéant, les éléments capacitifs parallèles au niveau des pastilles (C_{sub} et C_{puce}) excèdent ceux inductifs (L_{pilier}) et cause une discontinuité. Comme le mentionne (Wang & Wu, 2003), l'impédance effective de la transition peut être estimée par $Z_{trans} = \sqrt{L_{pilier}/(C_{sub} + C_{puce})}$. La résistance (R_{pilier}) et les conductances shunt (G_{sub} et G_{puce}) ne sont pas pris en compte en raison de leurs valeurs négligeables. Il est possible de constater que, dans une transition de puce retournée dominée par

la contribution capacitive, l'impédance de la transition est inférieure à l'impédance du système Z_0 . Conséquemment, plus la capacité est élevée, plus l'écart entre les impédances grandit et plus la réflexion devient problématique. Ensuite, pour ce qui est de l'élément réactif équivalent qui gouverne la transition, soit la capacité excédentaire effective, sa valeur peut être trouvée avec l'équation suivante 3.6 ((Wang & Wu, 2003)).

$$C_{eff} = (C_{sub} + C_{puce}) - \frac{L_{pilier}}{Z_0^2} \quad (3.6)$$

Dans un cas idéal, les éléments réactifs seraient bien appariés et la valeur excédentaire effective tendrait vers 0. En ce qui concerne les situations réelles où cette capacité n'est pas nulle, il existe heureusement des méthodes de compensation à large bande efficaces. Parmi celles-ci, les techniques couramment utilisées dans les transitions de puce retournée sont celles affichées à la figure 3.18.

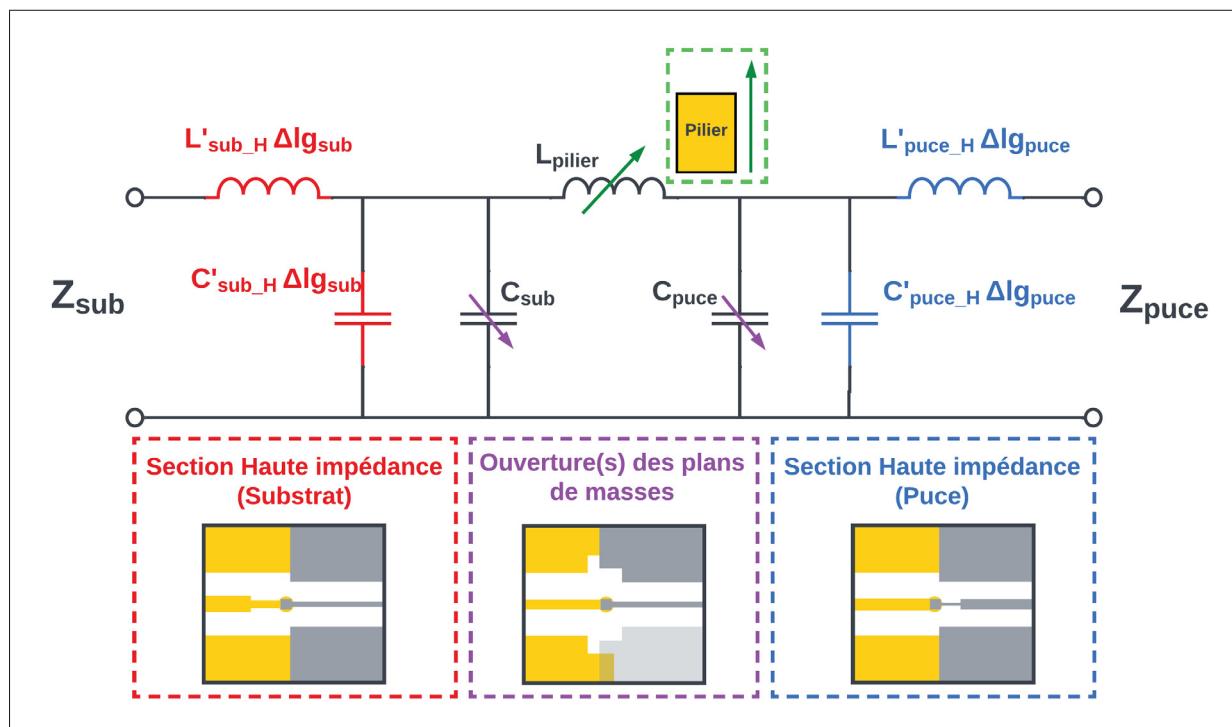


Figure 3.18 Circuit équivalent d'une transition sur puce retournée incluant les structures de compensations conventionnelles de la capacité

Évidemment, ces techniques peuvent être combinées ou utilisées seules. De plus, dans le cas d'une ligne coplanaire avec plan de référence inférieur, il serait aussi possible de faire une ouverture dans ce plan de passe supplémentaire vis-à-vis la transition. En ce qui concerne les sections hautes impédances (rouge et bleu), l'idée est de réduire la largeur du conducteur central sur une certaine distance avant la pastille afin de créer une section de ligne inductive. Les inductances L' et capacités C' sont les valeurs par unité de longueur et le paramètre Δ_{lg} est la longueur de la section. Ensuite, les autres techniques misent sur la modification des éléments réactifs déjà présents. Les ouvertures des plans de masses périphériques au niveau de la transition permettent de réduire les capacités formées aux pastilles et l'augmentation de la hauteur des piliers (vert) permet d'augmenter l'inductance. Au sujet de la mise en œuvre de ces méthodes, des équations et des recommandations se trouvent dans (Wang & Wu, 2003). Pour ce qui est des sections à haute impédance, l'équation suivante permet d'estimer la longueur de la section requise Δ_{lg} en fonction de la valeur de la capacité excédentaire C_{eff} et des caractéristiques de la section.

$$\Delta_{lg} = \left(\frac{\omega_{op}}{\beta_H} \right) \left(\frac{Z_H Z_0^2 C_{eff}}{Z_H^2 - Z_0^2} \right). \quad (3.7)$$

Ici, ω_{op} est la fréquence d'opération (Max), β_H est la constante de propagation, Z_H est l'impédance caractéristique de la section haute impédance et Z_0 est l'impédance caractéristique du système. De toute évidence, il est nécessaire d'extraire avec précisions les éléments réactifs LC de la transition avant de pouvoir utiliser cette technique d'adaptation locale. En ce qui concerne le projet actuel, la ou les méthodes utilisées seront présentées dans la prochaine section.

3.3.1 Méthode(s) utilisée(s)

Pour l'interconnexion puce à substrat du projet actuel, toutes les méthodes proposées dans la section précédente ont été testées afin d'obtenir la meilleure compensation possible. Au départ, l'équation 3.7 a été utilisée pour estimer la longueur de la section à haute impédance dans le substrat, mais les performances n'étaient que très légèrement améliorées. Des variations de

largeur et de longueur de la section ont ensuite été effectuées en simulation en vue d'optimiser la réflexion. Ultimement, les valeurs optimales trouvées étaient relativement éloignées des estimations de départ. Cet écart fut probablement causé par l'utilisation de mauvaises valeurs au niveau des capacités au niveau des pastilles et de l'inductance de la transition. Les éléments LC parasites ont été extraits à l'aide du logiciel d'extraction des éléments parasites 3D d'Ansys et il est probable que ces simulations n'aient pas bien été définies. Ultimement, l'équation d'estimation a tout de même été utilisée afin de définir un point de départ au niveau des simulations. De plus, une combinaison de zones hautes impédances sur le substrat et sur la puce a été utilisée. Les étapes suivies ont été les suivantes :

1. Conception des sections de lignes hautes impédances avec la même impédance sur le substrat et la puce
2. Estimation de la longueur de ces zones avec l'équation 3.7
3. Variation et optimisation de cette longueur et des largeurs de lignes de ces sections en simulation
4. Ajout d'ouvertures des plans de masse sur la puce et études variationnelles par simulations des dimensions de celles-ci afin de peaufiner l'adaptation d'impédance.

En raison des trous de liaison (via) et de l'importance de leur proximité avec la ligne, les ouvertures des plans de masse périphériques sur le substrat n'étaient pas envisageables sans compromettre le travail effectué au niveau de l'atténuation des modes d'ordres supérieurs. Le schéma incluant les possibles variations pour la ligne simple et la paire différentielle est présenté à la figure 3.19. Les modèles optimisés sont présentés à la section suivante.

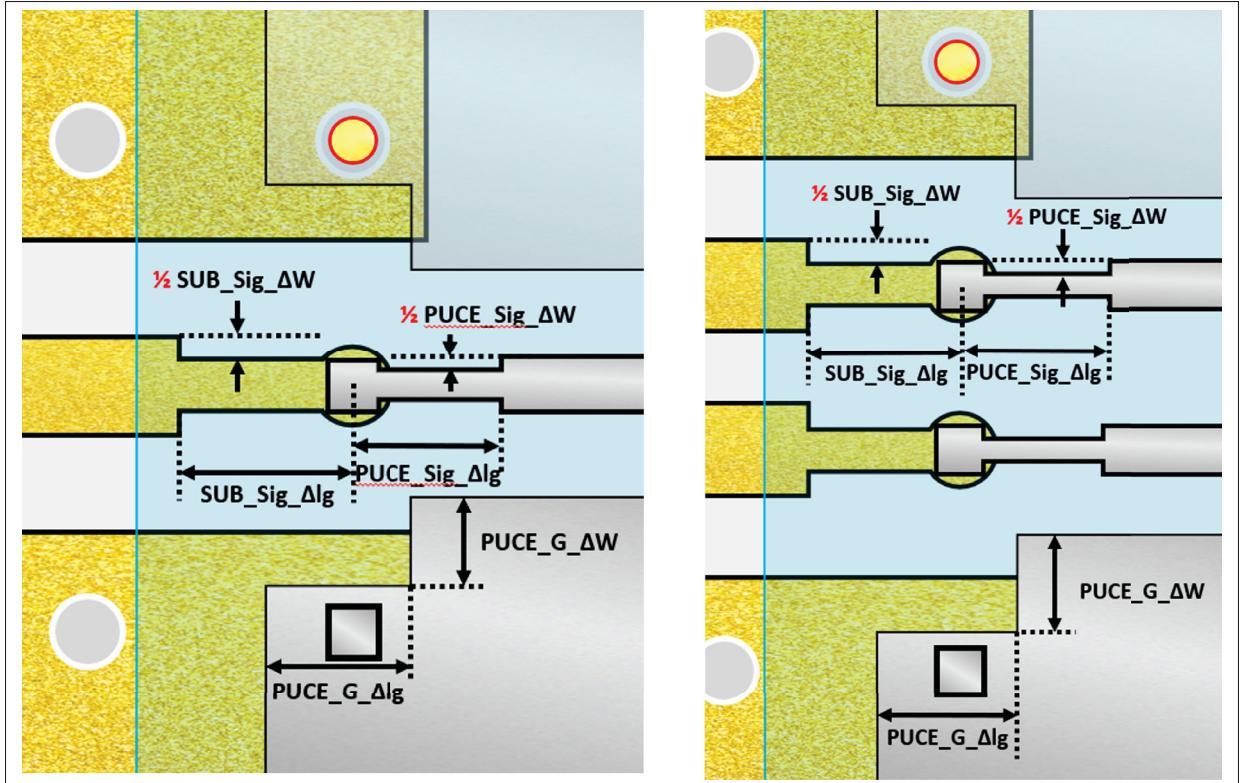


Figure 3.19 Schéma incluant les possibles configurations permettant de compenser l'aspect capacitif excédentaire de la transition.

3.3.2 Modèles optimisés

La méthodologie présentée à la section précédente a été utilisée pour obtenir les modèles optimaux de chacun des types de lignes pour les trois configurations d'empilement de piliers choisis. Les performances de ces modèles sont présentées dans les figures suivantes. Les modèles de ligne simple optimale sont tout d'abord présentés et comparés avec la ligne simple nominale à un pilier à la figure 3.20. Ensuite, la même chose est présentée pour la paire différentielle à la figure 3.21 et finalement, la comparaison entre les modèles optimisés des deux lignes est présentée à la figure 3.22. Les techniques de compensation et leurs dimensions sont présentées dans le tableau 3.3.

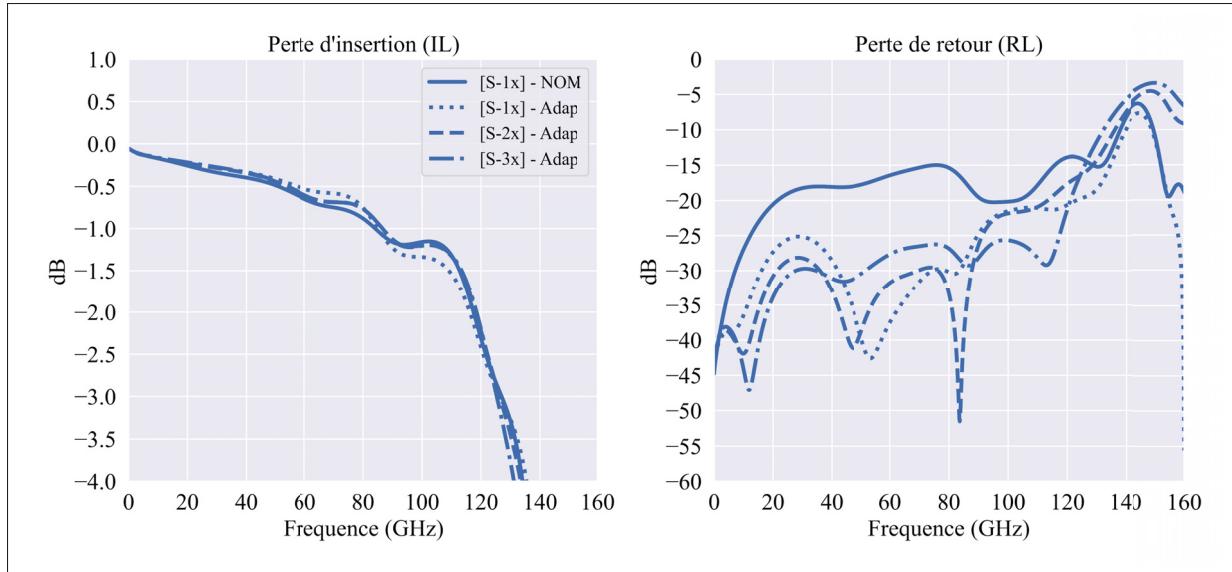


Figure 3.20 Comparaison des modèles adaptés avec le modèle initial à 1x pilier pour la ligne simple

Au niveau de la ligne simple, l'amélioration des performances avec la compensation est très impressionnante. Les meilleures performances en simulation sont celles avec une hauteur de pilier de 60 μm , soit 3 piliers empilés. Dans tous les cas, les performances pour chacune des configurations des piliers permettent de satisfaire les critères de performances visées.

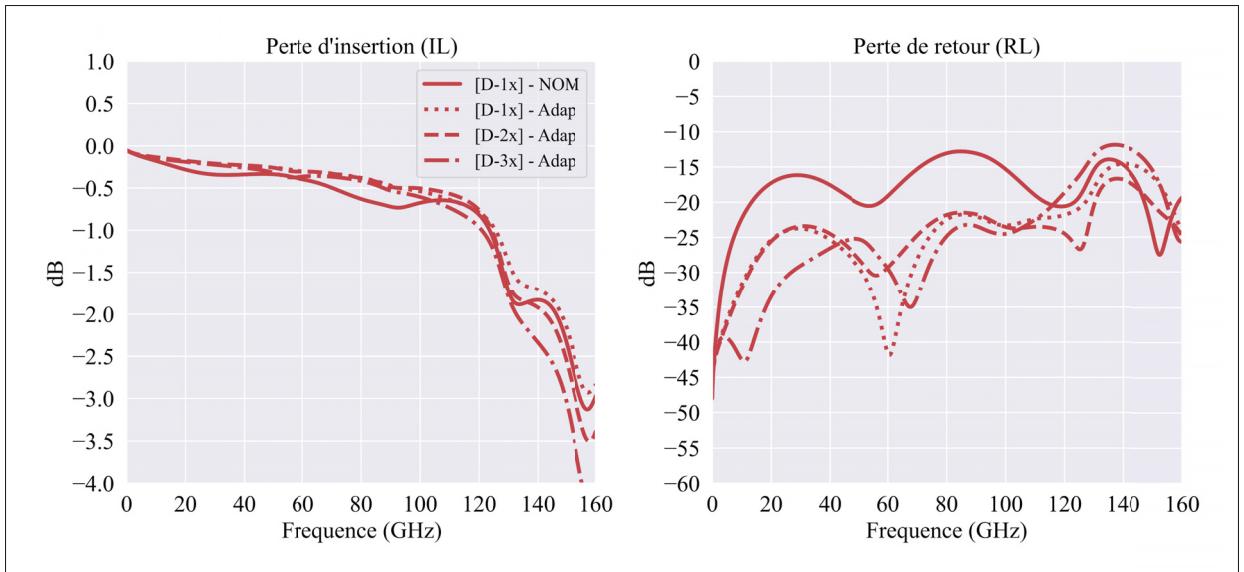


Figure 3.21 Comparaison des modèles adaptés avec le modèle initial à 1x pilier pour la paire différentielle

La conclusion au niveau de la paire différentielle est essentiellement la même que pour la ligne simple, soit que les performances atteintes sont amplement suffisantes, peu importe la hauteur des piliers.

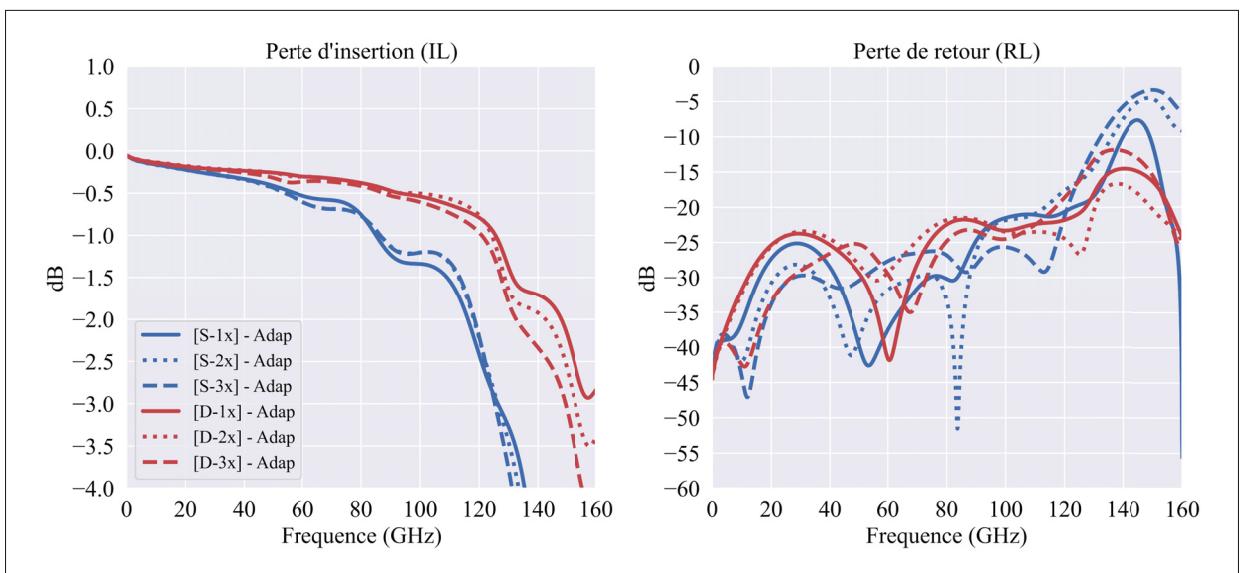


Figure 3.22 Comparaison des modèles adaptés de la ligne simple avec ceux de la paire différentielle

Tableau 3.3 Techniques de compensation utilisées dans les modèles adaptés présentés avec leurs dimensions

Type de ligne	Pilier(s)	Techniques de compensation		
		Substrat	Puce	
		Signal (Sig_W) [ΔW, Δg] (μm)	Signal (Sig_W) [ΔW, Δg] (μm)	Ouverture (PDM) [ΔW, Δg] (μm)
Simple	x1	111μm → 81μm [30, 200]	75μm → 62μm [10, 200]	[100, 130]
	x2	111μm → 81μm [30, 160]	75μm → 45μm [30, 160]	--
	x3	111μm → 91μm [20, 200]	75μm → 55μm [20, 200]	--
Diff.	x1	102μm → 62μm [40, 200]	75μm → 65μm [10, 200]	[100, 130]
	x2	102μm → 62μm [40, 140]	75μm → 55μm [20, 140]	--
	x3	102μm → 62μm [40, 200]	75μm → 45μm [30, 200]	[100, 130]

x1 : (H = 15μm), x2 : (H = 40μm), x3 : (H = 60μm)

PDM : Plan de masse

-- : Technique non utilisée

Les performances en termes de réflexion une fois optimisée sont très semblables entre la paire différentielle et la ligne simple. La différence majeure se trouve au niveau de la transmission où la paire différentielle est supérieure à la ligne simple malgré ses plus grandes dimensions et sa plus grande vulnérabilité au mode guide d'onde rectangulaire TE10. Si l'on compare les performances des structures compensées avec les performances des structures précompensation, la constatation est que l'augmentation de la hauteur des piliers peut permettre d'atteindre de bonnes performances sans compensation, mais que la compensation peut tout de même permettre l'atteinte de très bonne performance pour de moins hauts piliers.

CHAPITRE 4

VALIDATION EXPÉRIMENTALE

Ce chapitre présente la validation expérimentale de la solution d’interconnexion puce à substrat développée pour des applications dépassant les 100 GHz. Il détaille les configurations sélectionnées pour les puces retournées, les étapes de fabrication du substrat et des puces, ainsi que les résultats des mesures et leur concordance avec les simulations.

4.1 Structures de puces retournées sélectionnées

La configuration retenue pour les puces retournées consiste en un empilement de **deux billes d’or** ($2x, H = 40 \mu\text{m}$), et ce, autant pour les lignes simples que différentielles. Ce choix, favorisant la fiabilité et la répétabilité, est motivé par le risque de décollement des pastilles observé lors de tests préliminaires avec des empilements plus importants sur des couches de métal minces (500 nm). Il est important de préciser que sur des surfaces idéales, jusqu’à 5 piliers ont pu être empilés, et ce, de manière extrêmement répétable.

La figure 4.1 présente les modèles de puces retournées retenus, incluant les dimensions des sections de compensation.

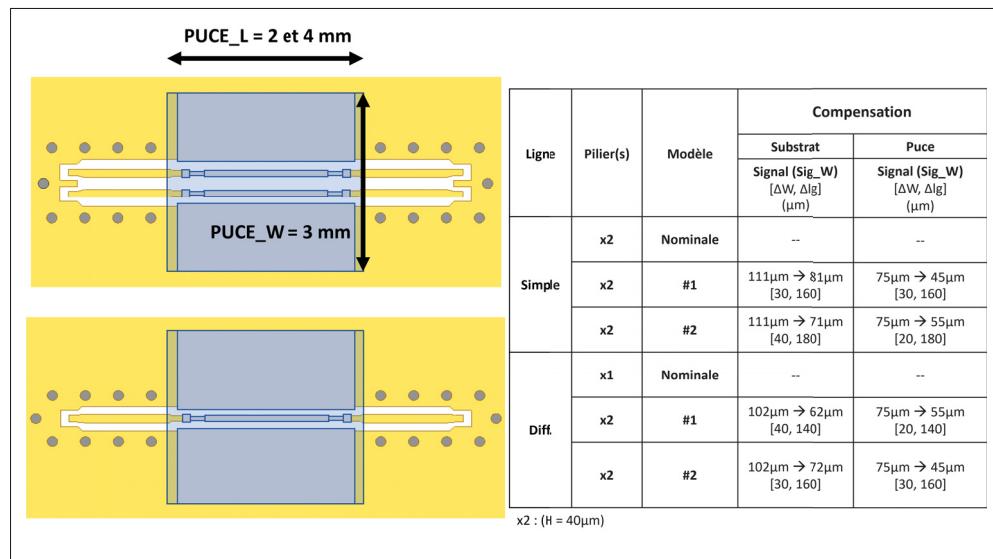


Figure 4.1 Modèles de puces retournées choisis pour la validation expérimentale

4.2 Équipements de mesure

Le dispositif de caractérisation sous pointe sera brièvement présenté dans cette section. Un analyseur de réseau vectoriel (VNA) Keysight N5290A (PNA) doté d'une extension de fréquence jusqu'à 110 GHz a été employé pour réaliser les mesures. La connexion entre les têtes millimétriques et les sondes GGB (1mm) a été assurée par des câbles d'une longueur de 14 cm (1mm). Les sondes utilisées ont un écartement de 150 m (SG et SS). La topologie est GSGSG pour la sonde différentielle et GSG pour celle simple. La procédure de calibration sous pointe a été effectuée selon la méthode SOLT (Short-Open-Load-Thru). Le substrat de calibration utilisé ainsi que les équipements mentionnés sont illustrés dans les figures suivantes.



Figure 4.2 Installation pour les mesures (Photo #1)

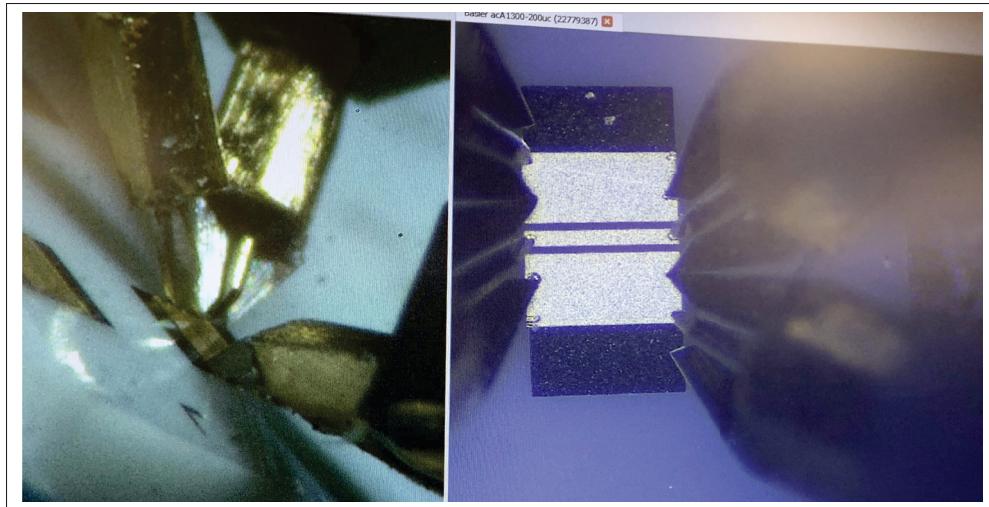


Figure 4.3 Installation pour les mesures (Photo #2)

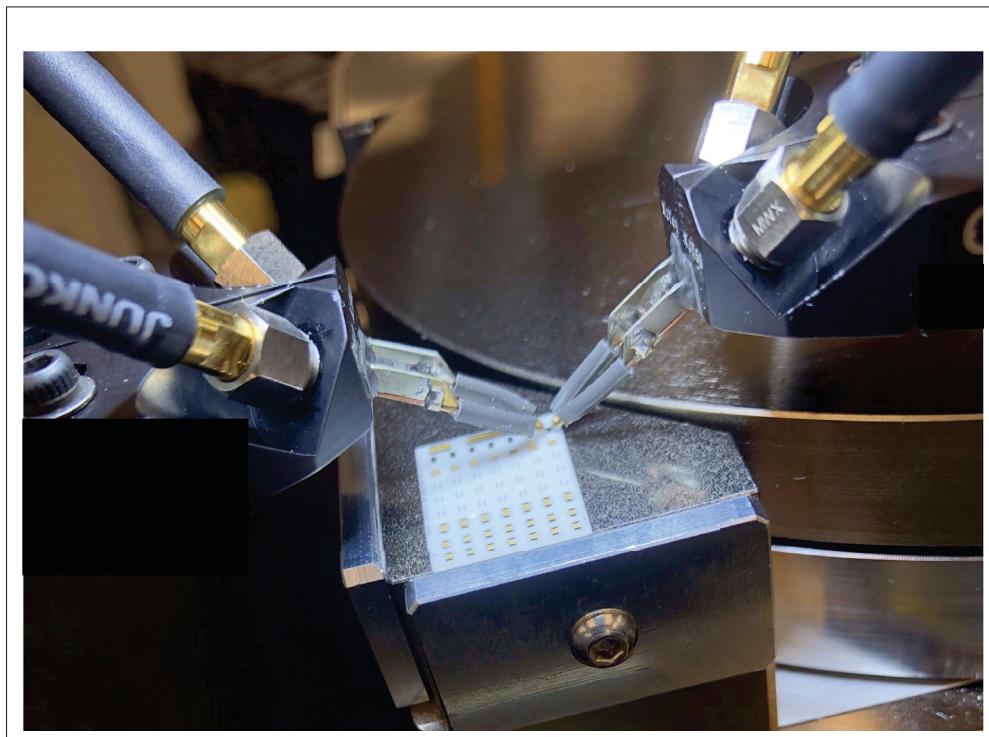


Figure 4.4 Installation pour les mesures (Photo #3)

4.3 Fabrication et caractérisation du substrat

4.3.1 Topologie

Le substrat, réalisé en technologie LTCC (Low Temperature Co-fired Ceramic), a nécessité l'ajout de trois couches supplémentaires au schéma d'empilement initial (voir figure 4.5) afin de garantir un support mécanique adéquat.

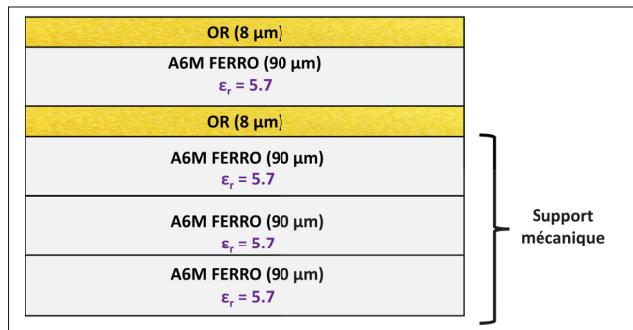


Figure 4.5 Schéma d'empilement des couches du substrat pour la fabrication

À partir d'une bande LTCC flexible de 120x120 mm, nous avons produit quatre cartes de dimension 20x40 mm (voir la figure 4.6).

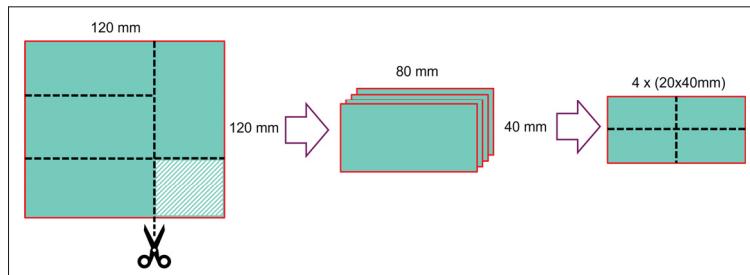


Figure 4.6 Modèle de configuration du substrat pour la fabrication

La topologie du substrat, incluant les structures sélectionnées pour l'étude expérimentale, est illustrée à la figure 4.7, tandis que le tableau 4.1 fournit l'identification de chaque structure.

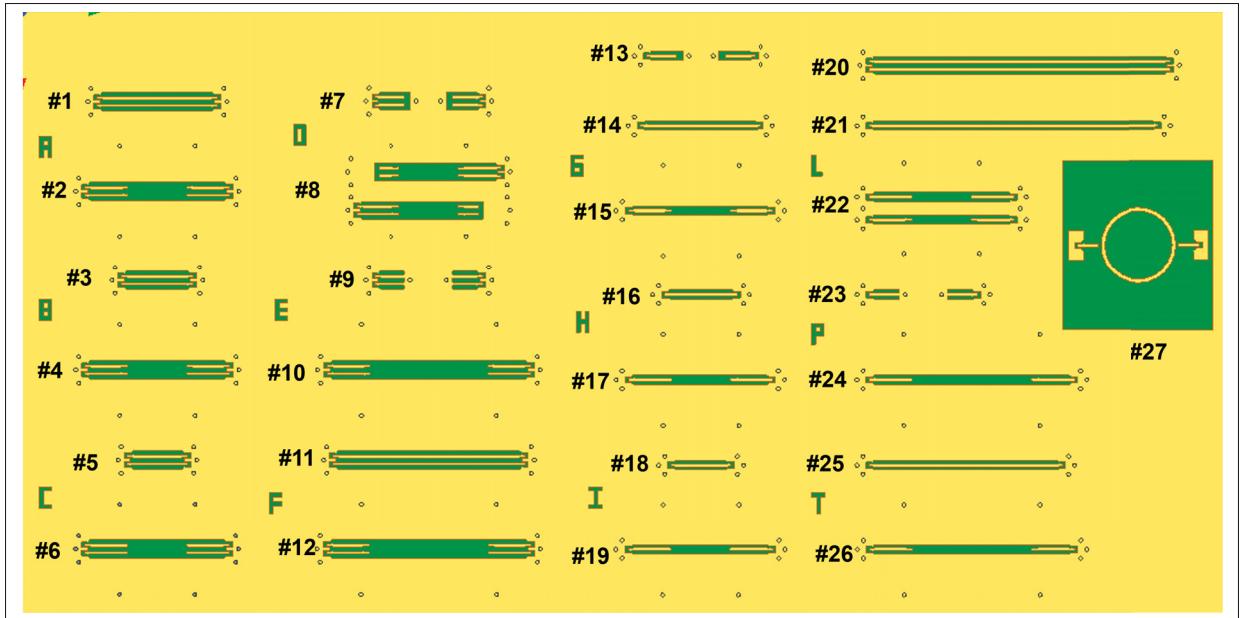


Figure 4.7 Topologie globale pour la fabrication du substrat (sans les trous de liaison)

Tableau 4.1 Tableau d'identification des structures présentées dans la topologie de fabrication du substrat

#1	[D-TRL] Ligne #2	#7	[D-TRL] Ouvert	#13	[S-TRL] Ouvert	#20	[D-TRL] Ligne #4
#2-A	[D-PR] Modèle #2 (2mm)	#8-D	[D-PR] Diaphonie (#1)	#14	[S-TRL] Ligne #2	#21	[S-TRL] Ligne #4
#3	[D-TRL] Ligne #1	#9	[D-TRL] Court-circuit	#15-G	[S-PR] Modèle #2 (2mm)	#22-L	[S-PR] Diaphonie (#1)
#4-B	[D-PR] Modèle #1 (2mm)	#10-E	[D-PR] Modèle #2 (4mm)	#16	[S-TRL] Ligne #1	#23	[S-TRL] Court-circuit
#5	[D-TRL] Ligne #0 (ref)	#11	[D-TRL] Ligne #3	#17-H	[S-PR] Modèle #1 (2mm)	#24-P	[S-PR] Modèle #2 (4mm)
#6-C	[D-PR] Nominale (2mm)	#12-F	[D-PR] Modèle #1 (4mm)	#18	[S-TRL] Ligne #0 (ref)	#25	[S-TRL] Ligne #3
D → Diff. S → Simple		PR → Puce retournée TRL → Calibration		#19-I	[S-PR] Nominale (2mm)	#26-T	[S-PR] Modèle #1 (4mm)
*#27 → Résonateur en anneau ($f_0 = 10$ GHz)							

En résumé, chaque structure est présente en deux versions, simple et différentielle. Les groupes de structures incluent :

- Structures de calibration TRL multilignes
- Modèle nominal de puce retournée pour 2 billes empilées avec une longueur de ligne sur puce de 2 mm
- Deux modèles de puces retournées compensées pour 2 billes empilées avec des longueurs de ligne sur puce de 2 et 4 mm (Modèle #1 et Modèle #2)
- Une structure de mesure de la diaphonie de 2 mm (Modèle #1)

4.3.2 Structures de calibration

La méthode de calibration 2/4 ports retenus est le TRL multilignes (Thru-Reflect-Line). Les standards nécessaires consistent en une ligne de référence (THRU) de longueur choisie, une structure de réflexion (circuit ouvert ou court-circuit) et plusieurs lignes de longueurs variables, déterminées en fonction de la bande de fréquence à couvrir.

La ligne de référence (THRU) établit le plan de référence de la mesure du dispositif sous test (DUT). Plus précisément, la longueur de ce standard détermine la position de référence pour les pertes d'insertions et la phase. Le standard de réflexion permet de quantifier le coefficient de réflexion à la référence. Enfin, les lignes permettent de définir l'impédance de référence pour la mesure. Ces dernières fournissent des informations précises lorsque la phase se situe entre 20 et 160 degrés, ce qui correspond à un ratio de bande passante de 1 :8. Concrètement, une ligne avec une phase de 160 degrés à 110 GHz pourrait couvrir jusqu'à environ 13.75 GHz (20 degrés), deux lignes jusqu'à 1.72 GHz et ainsi de suite. L'utilisation de plusieurs lignes permet donc de couvrir une bande de fréquence plus large. De plus, la redondance de ces lignes permet de mieux corriger les erreurs aléatoires.

En réalité, le rôle principal de ces standards est d'extraire les termes d'erreurs nécessaires à l'algorithme de correction du TRL. Lorsque le TRL est correctement conçu, cette boîte d'erreur contient toutes les informations nécessaires pour calibrer avec précision la mesure du DUT au plan de référence choisi.

Concernant la conception du TRL du substrat LTCC, la longueur de référence (THRU) est de 1600 μm , soit 800 μm de chaque côté du DUT. Le nombre de lignes choisi est de **trois** afin de couvrir de 2 à 110 GHz. Les longueurs de ces lignes ont été calculées à l'aide du calculateur Excel de Microwave101, tel qu'illustré à la figure 4.8.

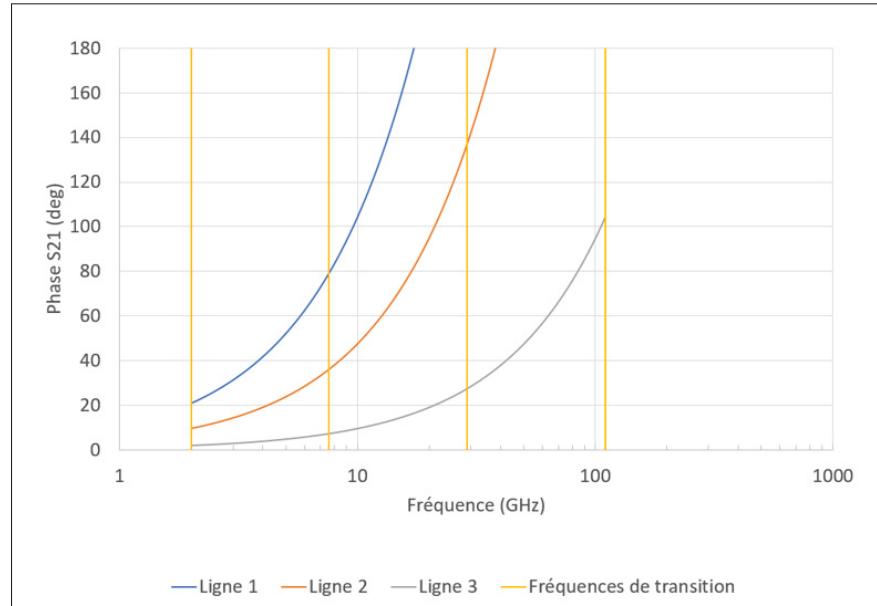


Figure 4.8 Phase des trois longueurs de lignes proposées pour la calibration TRL par le calculateur de Microwave101

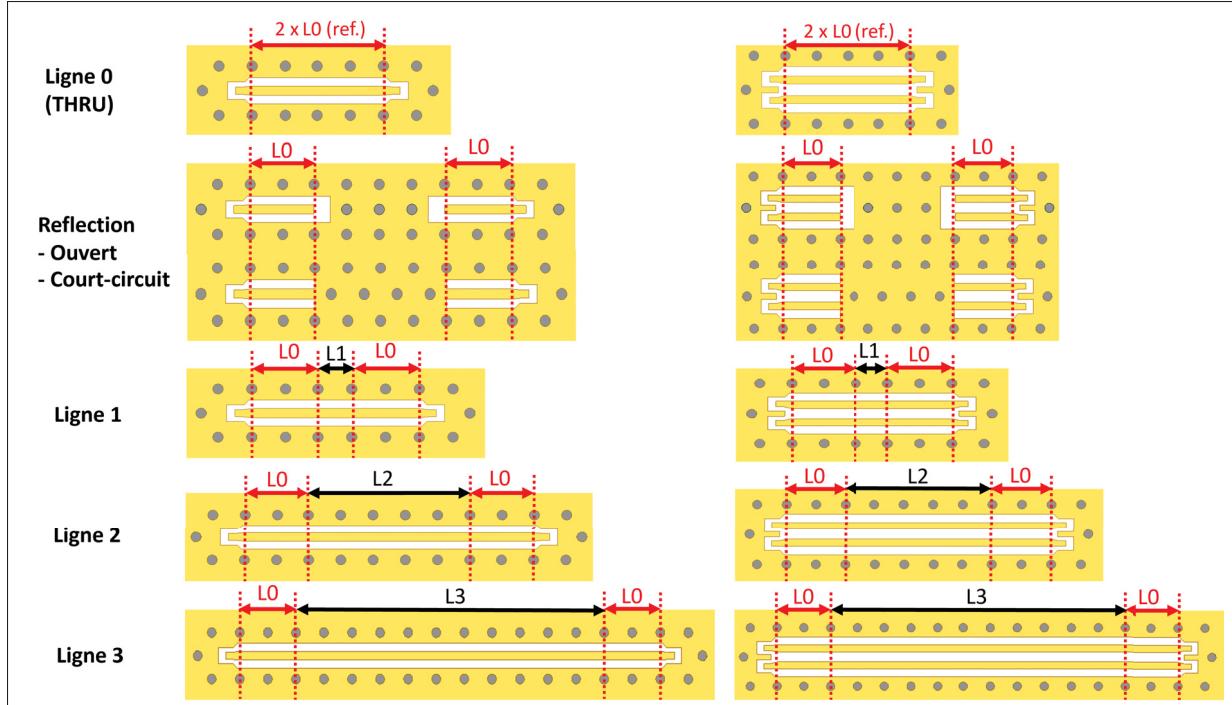


Figure 4.9 Schéma des standards de calibration pour le TRL à multiples lignes du substrat pour la ligne simple (gauche) et différentielle (droite)

Les longueurs des lignes indiquées n'incluent pas la longueur de la zone de lancement des sondes. De plus, les longueurs sont identiques pour la ligne simple et la paire différentielle. La longueur de la ligne de référence ($2 \times L_0$) est de $1600 \mu\text{m}$. La longueur de la **ligne 1 (L1)** est de $400 \mu\text{m}$ ($+ 2 \times L_0$), celle de la **ligne 2 (L2)** est de $2000 \mu\text{m}$ ($+ 2 \times L_0$) et celle de la **ligne 3 (L3)** est de $4400 \mu\text{m}$ ($+ 2 \times L_0$). Une ligne supplémentaire (L4) de $8000 \mu\text{m}$ a été ajouté au cas où la calibration ne serait pas suffisamment précise aux basses fréquences.

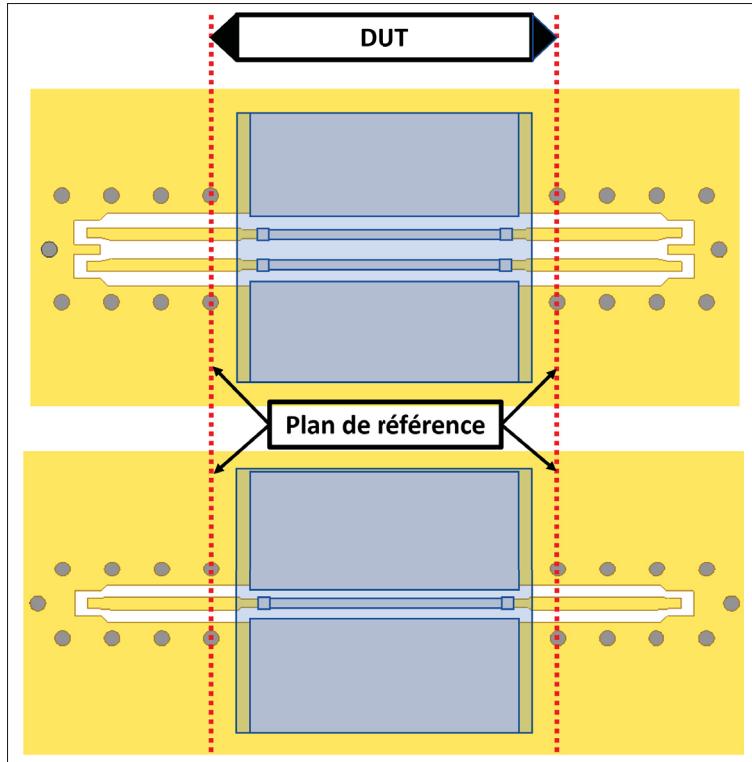


Figure 4.10 Schéma du plan de référence sur substrat pour les unités de puces retournées (DUT) de la ligne simple et différentielle

L'algorithme de calibration pouvant être appliqué en post-traitement après les mesures, il est possible d'utiliser des fonctions de programmation pour déplacer virtuellement le plan de référence de la mesure. Si le plan de référence est déplacé dans les mesures présentées dans les sections suivantes, la position de ce dernier sera clairement indiquée.

4.3.3 Première itération de fabrication

Lors de la fabrication LTCC, une étape de cuisson à haute température est nécessaire pour transformer les bandes initialement souples en céramiques rigides possédant les propriétés électriques et mécaniques souhaitées. Durant cette étape, un phénomène de rétrécissement est susceptible de se produire, modifiant ainsi les dimensions et les positions des structures sur la carte. Ce phénomène est causé par le coefficient de dilatation thermique plus faible des bandes souples par rapport à celui des conducteurs. Toutefois, malgré cette tendance au rétrécissement,

l'utilisation de trous de liaison (via) et la géométrie des structures peuvent parfois engendrer un élargissement de certaines dimensions. Pour le procédé LTCC du laboratoire LACIME, la variation des dimensions se situe généralement autour de $\pm 2\%$. Pour cette première itération de fabrication, deux des quatre cartes ont été modifiées pour avoir des dimensions de + et - 2%. Les deux autres ont été conservées aux dimensions nominales. Les cartes fabriquées sont illustrées à la figure 4.11.

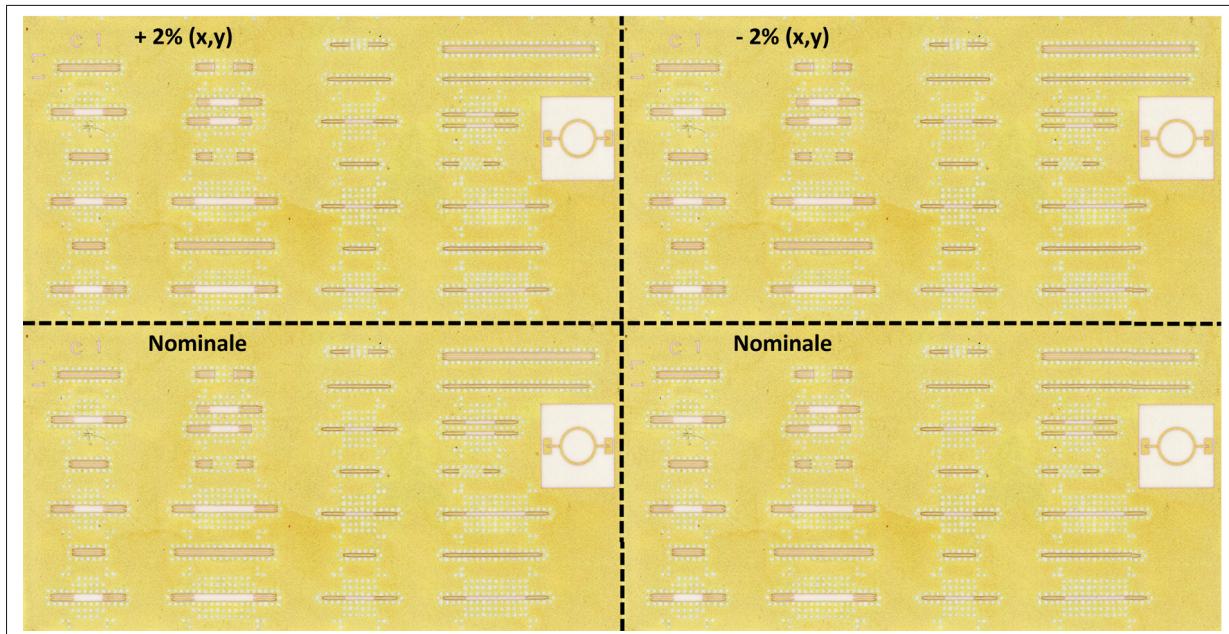


Figure 4.11 Photo des quatre substrats LTCC de la première itération de fabrication

4.3.3.1 Inspection

L'inspection visuelle de chaque carte a révélé de multiples imperfections au niveau de la métallisation. La couche de métal à la surface est gonflée, présentant des bosses visibles à l'œil nu. Curieusement, les lignes simples semblent plus sujettes à ces imperfections. Ce phénomène s'est produit sur toutes les cartes.



Figure 4.12 Photo du substrat -2% de la première itération de fabrication avec une fonction d’imitation de la technologie SEM sur microscope numérique KEYENCE

Bien que la cause exacte de ces imperfections soit inconnue, il est suspecté que des substances organiques présentes au niveau des trous de liaison (via) lors de la cuisson en soient responsables. Une attention particulière sera donc portée aux étapes de nettoyage lors d'une prochaine itération.

La suite de l'inspection a consisté à mesurer les dimensions des structures sur chaque variante de carte à l'aide du microscope numérique (KEYENCE) afin de déterminer le rétrécissement. Sans présenter toutes les données ici, la conclusion est que le rétrécissement est négligeable dans le cas présent et que les cartes nominales présentent les dimensions les plus proches du modèle initial.

4.3.3.2 Mesures des TRL

Malgré le fait que les structures affectées soient probablement non fonctionnelles, les mesures TRL ont été effectuées. Une calibration SOLT jusqu'au point de contact des sondes a été réalisée avant la prise de mesure. Les standards différentiels mesurés sont présentés avant calibration à la figure 4.13 et après calibration à la figure 4.14. La permittivité relative extraite, comparée à celle obtenue au niveau du port sur HFSS, est illustrée dans le graphique de la figure 4.15. Enfin, les standards simples mesurés sont présentés avant calibration à la figure 4.16.

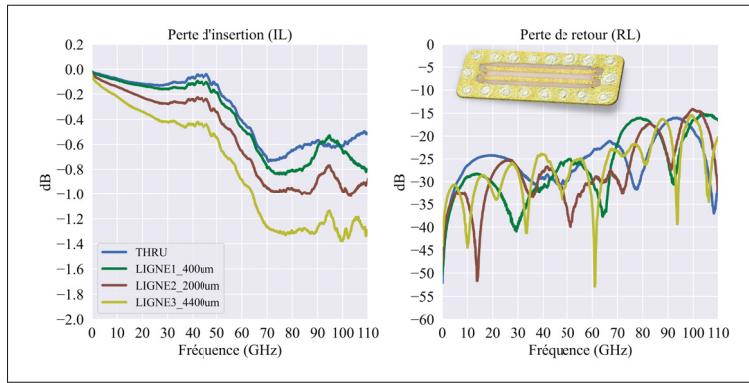


Figure 4.13 Mesures des standards TRL de la ligne différentielle du substrat -2% de la première itération de fabrication

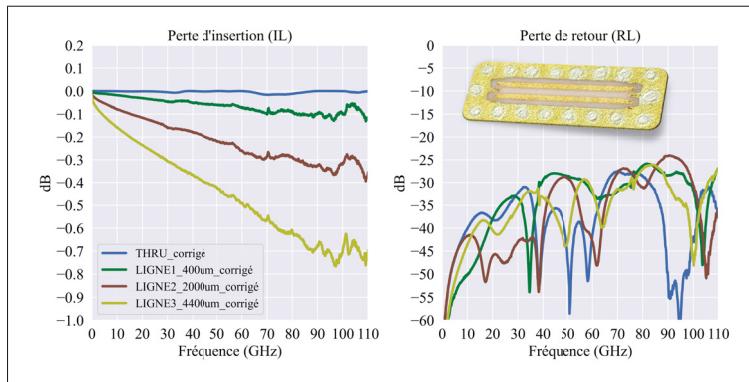


Figure 4.14 Mesures des standards TRL corrigés différentiels du substrat -2% de la première itération de fabrication

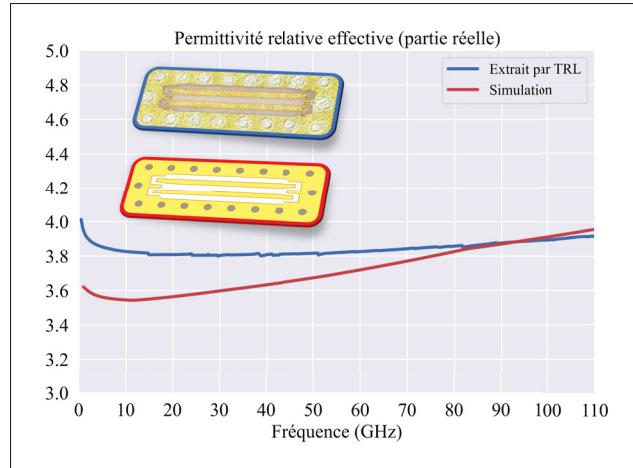


Figure 4.15 Valeur de la permittivité relative effective pour la ligne différentielle du substrat extraite à partir du TRL de la première itération de fabrication (version -2%)

Les mesures TRL différentielles correspondent aux attentes. La permittivité relative effective extraite est suffisamment proche de celle obtenue sur HFSS pour confirmer la fiabilité des modèles de simulation.

En ce qui concerne le TRL de la ligne simple, les mesures des standards indiquent la présence de résonances majeures. L'hypothèse sur la cause sera discutée plus bas.

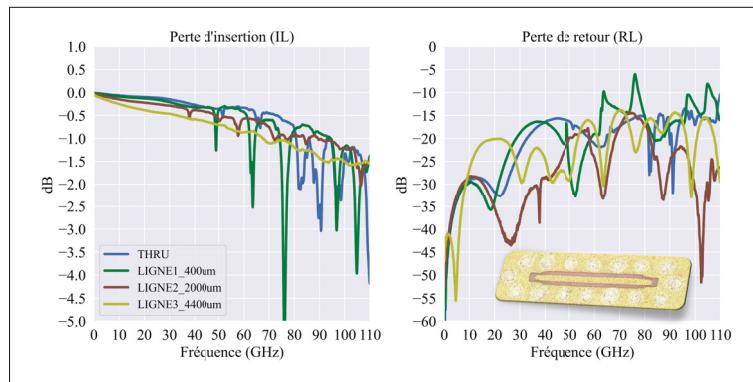


Figure 4.16 Mesures des standards TRL simples du substrat -2% de la première itération de fabrication

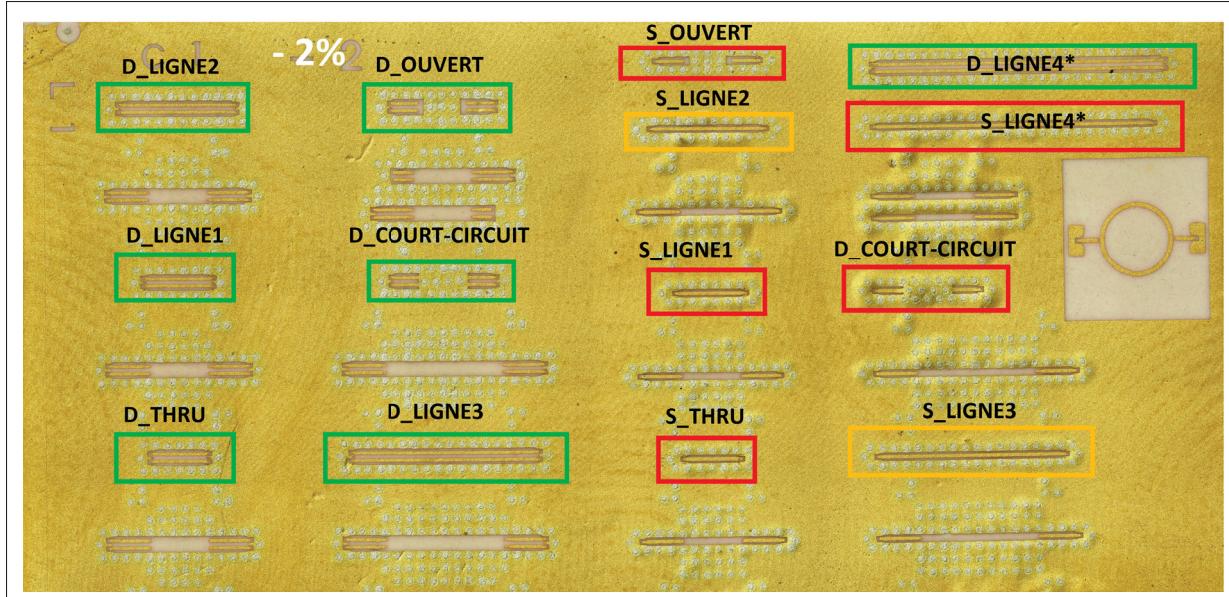


Figure 4.17 Photo du substrat -2% avec l'identification des standards TRL via un code de couleur en fonction des performances en mesure (rouge = médiocre, orange = mauvaise, vert = bonne)

Sans surprise, il existe une corrélation entre la présence de bosses dans la métallisation de surface des structures et la dégradation des performances. Les lignes simples étant plus touchées par la présence de bosses, la plupart d'entre elles sont inutilisables.

L'analyse des mesures des standards TRL simples de la figure 4.16 suggère que le phénomène à l'origine des bosses a entraîné une déconnexion des trous de liaison (via) présents en périphérie des lignes. Cette hypothèse semble logique, car le rôle de ces trous de liaison est de contrôler la propagation du mode des plaques parallèles dans le substrat en reliant périodiquement les plans de masse supérieurs au plan de masse inférieur. Comme indiqué dans les chapitres précédents, la distance centre à centre des trous de liaison est cruciale, car elle est choisie en fonction de la fréquence d'utilisation maximale visée. Concrètement, la taille des ouvertures est choisie de manière à être suffisamment étroite pour assurer une atténuation complète du mode des plaques parallèles sur la bande de fréquence d'opérations. Si des trous de liaison sont ouverts et que d'autres discontinuités sont présentes sur la ligne (bosses), il est très probable que le mode des plaques parallèles soit excité et se propage hors de la structure, provoquant des pertes par

rayonnement. De plus, des modes de rayonnement pourraient aussi être excités, entraînant des pertes supplémentaires. La réflexion a été analysée et n'est pas à l'origine des pics de pertes de transmissions. L'explication fournie ici semble donc justifier la dégradation des performances.

Une autre observation intéressante est que même les lignes simples sans bosses visibles présentaient des performances mauvaises ou médiocres. Il est donc possible que des lignes différentielles aient aussi été affectées par un mauvais contact des trous de liaison. Comme cela a été expliqué au chapitre 3, les lignes différentielles pourraient présenter une meilleure immunité face aux discontinuités qui affectent les plans de masse périphériques des guides d'ondes coplanaires, grâce au couplage entre les conducteurs centraux. Il ne s'agit là que d'une hypothèse qui nécessiterait une étude approfondie. Enfin, il est important de mentionner qu'une ligne simple en apparence parfaite a été testée sur la carte +2% et que les performances étaient conformes aux attentes. Par conséquent, les dimensions ne sont pas remises en question pour la prochaine itération.

4.3.4 Deuxième itération de fabrication

Pour la deuxième itération de fabrication de la carte LTCC, une attention particulière a été portée aux étapes de nettoyage lors du remplissage des trous de liaison (via). L'objectif était de réduire, voire d'éliminer, la présence de matière organique dans le substrat, suspectée de produire des gaz lors de la cuisson et donc d'être responsable des bosses dans la couche de métal à la surface. De plus, la variante nominale a été choisie, car le rétrécissement était négligeable.

4.3.4.1 Inspection

La figure 4.18 montre que la deuxième itération de fabrication LTCC ne présente aucune bosse. L'hypothèse émise précédemment est donc validée : un nettoyage plus approfondi a permis de résoudre le problème.

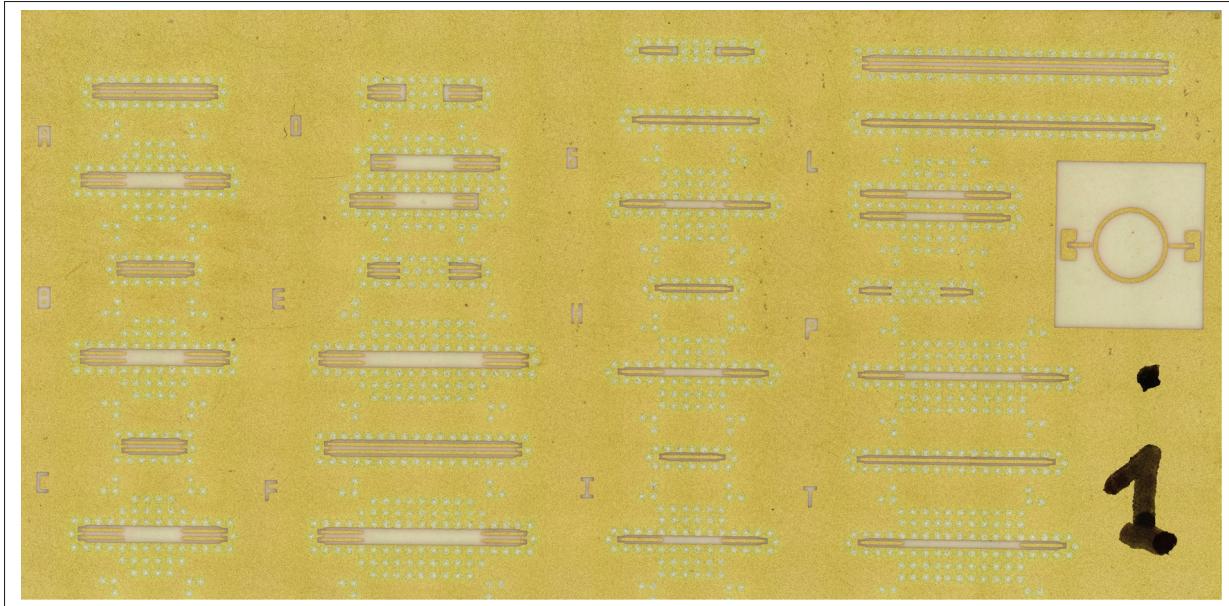


Figure 4.18 Photo du substrat LTCC nominal de la deuxième itération de fabrication

4.3.4.2 Mesures des TRL

Pour cette deuxième itération de fabrication du substrat LTCC, les mesures sont conformes aux attentes. Les graphiques ci-dessous présentent les mesures des standards après correction TRL (autocorrection). Les graphiques des pertes par millimètre pour les deux types de lignes sont aussi présentés.

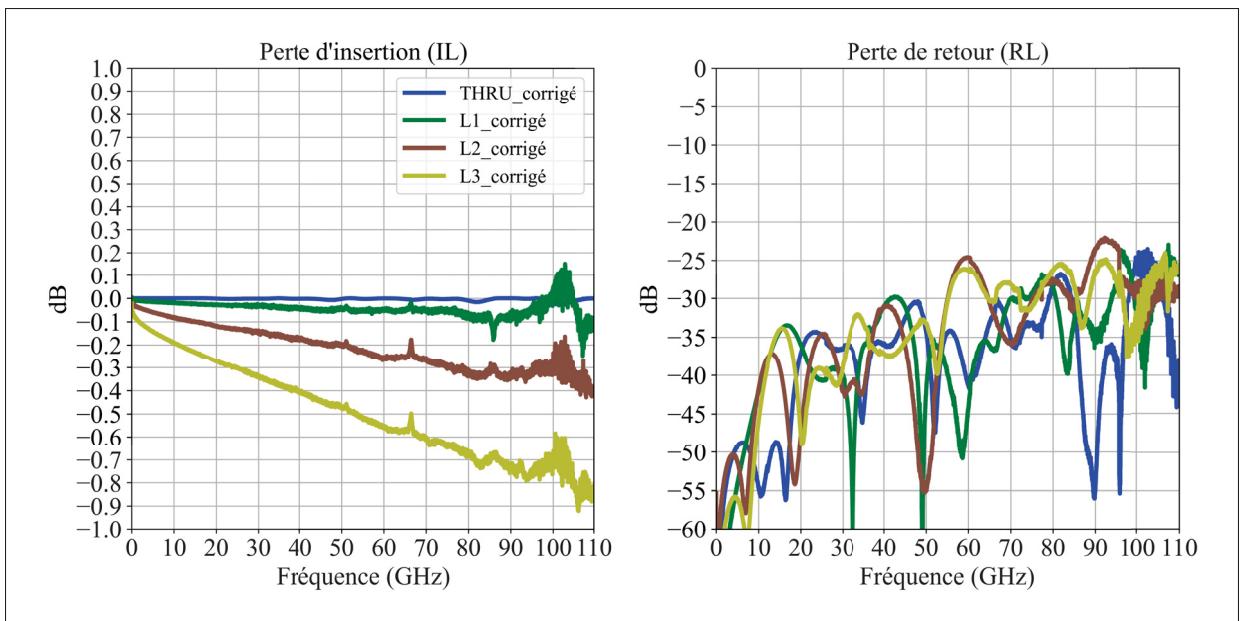


Figure 4.19 Standards TRL corrigés de la fabrication 2 pour la ligne simple

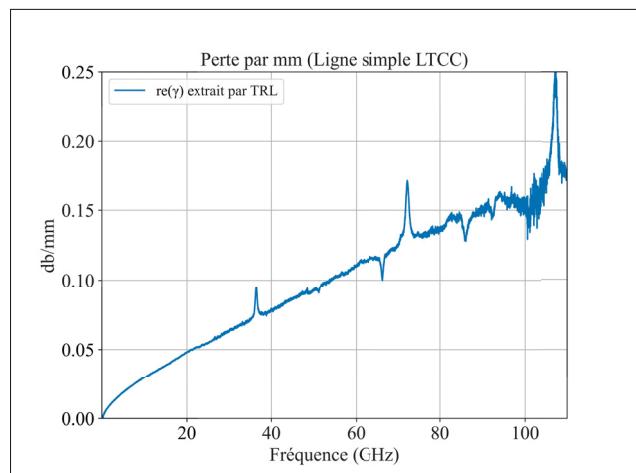


Figure 4.20 Perte par mm de la ligne simple LTCC

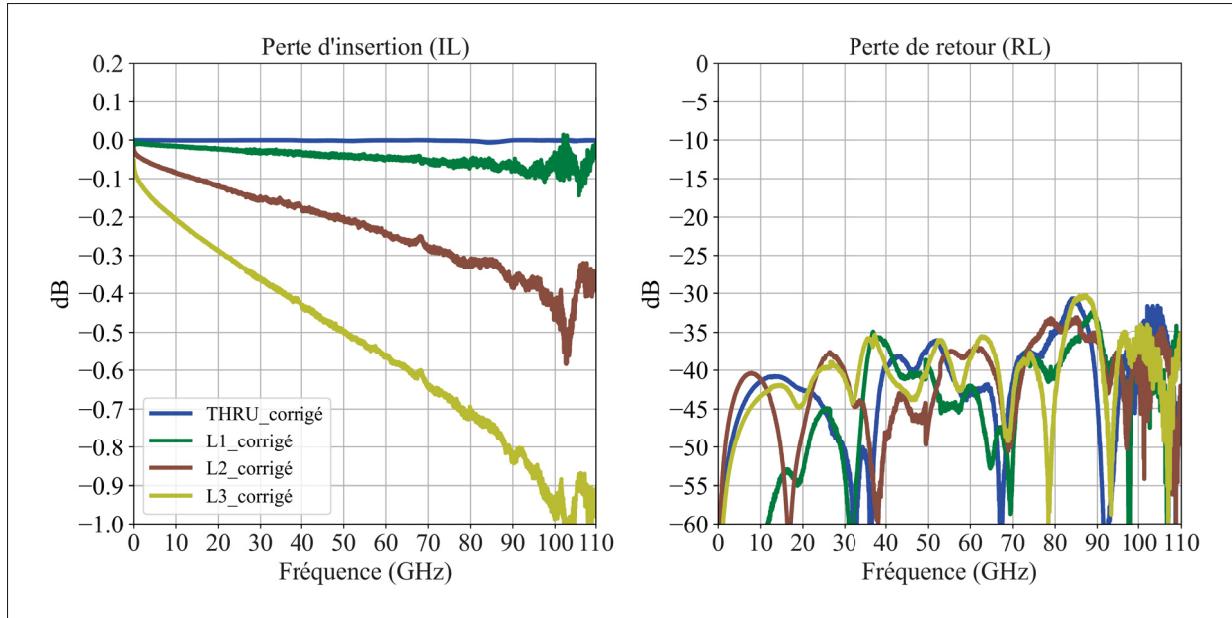


Figure 4.21 Standards TRL corrigés de la fabrication 2 pour la ligne différentielle

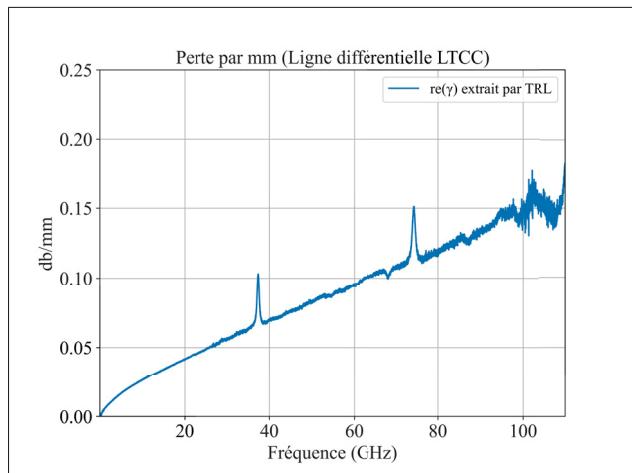


Figure 4.22 Perte par mm de la ligne différentielle LTCC

À partir des pertes par unité de longueur extraites des TRL, un facteur de rugosité a été ajouté au modèle de simulation afin d'ajuster les pertes de ce dernier pour le substrat LTCC. Le modèle de Huray a été utilisé avec un rayon de 0.3 mm et un ratio de 1.2.

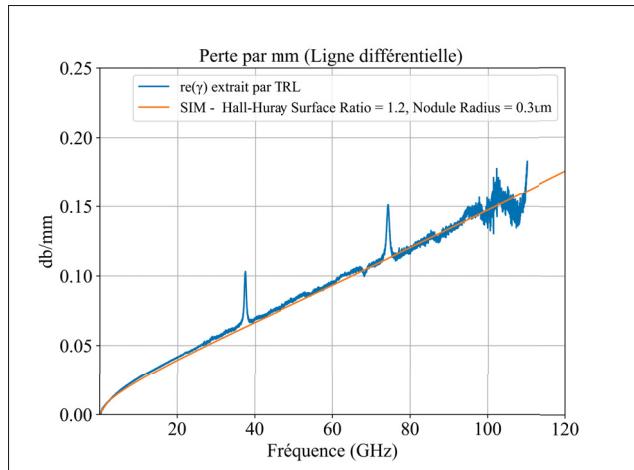


Figure 4.23 Ajustement des pertes par mm du modèle de simulation à partir des mesures TRL de la ligne différentielle

Cette valeur sera utilisée dans les modèles de puces retournées lors de la comparaison avec les mesures.

4.4 Fabrication et caractérisation des puces

Cette section porte sur la partie expérimentale concernant uniquement les puces. Le schéma d’empilement des couches est d’abord rappelé, suivi de la présentation de des 2 itérations de fabrication, de leurs inspections et de quelques mesures.

4.4.1 Fabrication No. 1

Les puces ont été imprimées sur une gaufre de silicium de 3 pouces avec une épaisseur de $600\ \mu\text{m}$. Contrairement au procédé LTCC, la technique de photolithographie utilisée pour l'impression des structures sur silicium est extrêmement précise, rendant les variations dimensionnelles négligeables. Le schéma d’empilement est identique à celui présenté dans les sections précédentes (voir figure 4.24). Le silicium étant un semi-conducteur, une couche de nitrate d’aluminium (AlN) a été ajoutée comme isolant entre les conducteurs et le silicium. Sans cette couche, en fonction de la conductivité de la gaufre de silicium, un court-circuit ou d’importantes pertes

ohmiques pourraient rendre les lignes de transmission inutilisables. La couche de chrome sert de couche d'adhésion entre le nitre d'aluminium (AlN) et l'aluminium.

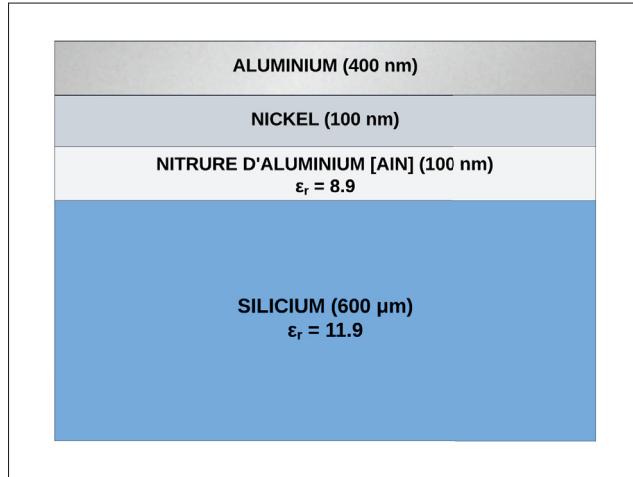


Figure 4.24 Schéma d'empilement des couches des puces

4.4.1.1 Inspection

Avant de détailler l'inspection, il est important de préciser que chaque modèle de puce a été fabriqué en quatre exemplaires. La figure 4.25 montre que la majorité des puces ont bien imprimé. Environ 90% des puces sont visuellement utilisables. Les 10% restants présentent des défauts de métallisation, soit parce que la gaufre n'est pas restée suffisamment longtemps dans le solvant pour décoller la résine, soit à cause de décollements du métal à des endroits devant être métallisés.

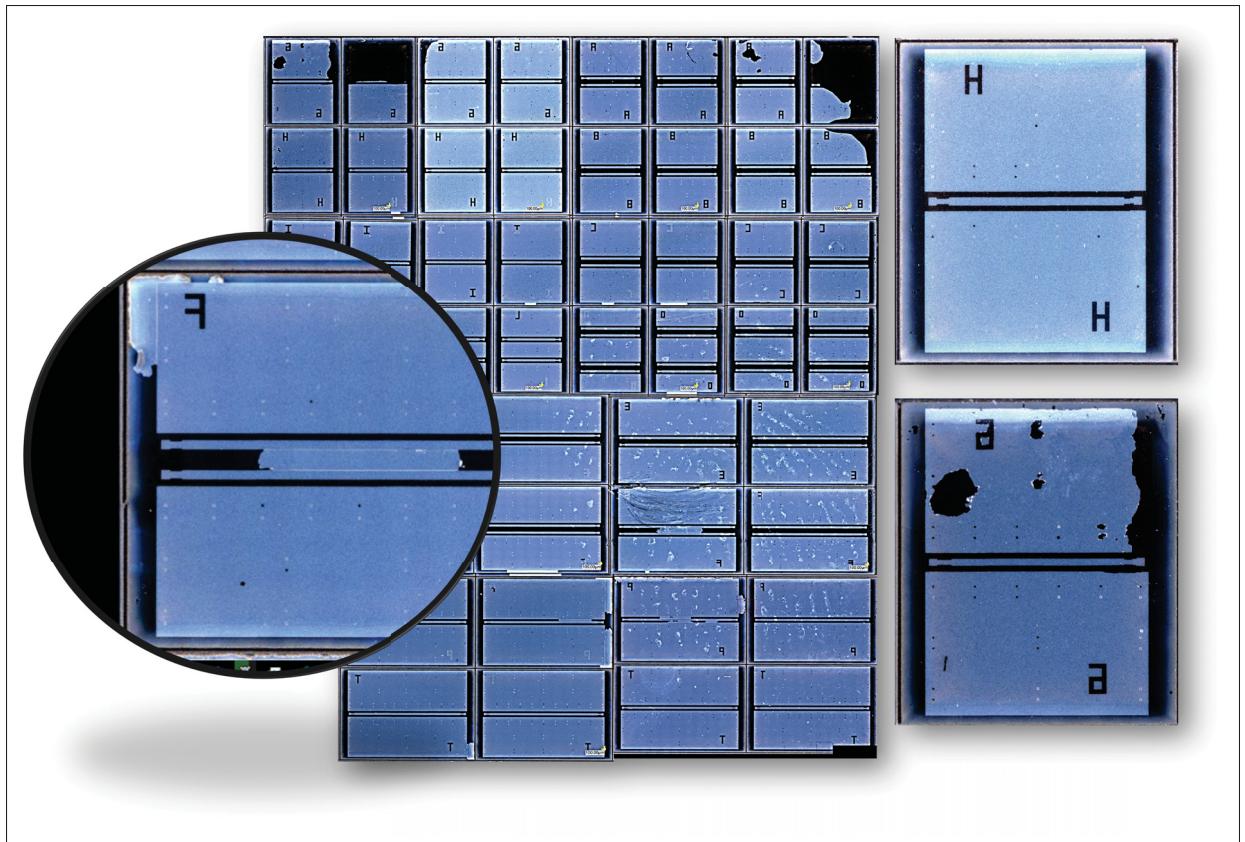


Figure 4.25 Photo de la première itération de puces fabriquées encore sur la gaufre de silicium

Concernant la pose des billes d'or, le responsable à l'ETS a rencontré des difficultés lors du décollement de la portion de gaufre de silicium du ruban adhésif double face utilisé pour fixer le silicium sur la zone de travail de la machine de dépôse des billes. En raison de la forte adhérence du ruban, la gaufre s'est brisée à plusieurs endroits lors du retrait. Bien que plusieurs puces aient pu être récupérées, de nouvelles photos plus précises ont révélé l'absence des billes sur les pastilles de signal des puces. Bien que les raisons de cette omission restent floues, une discussion avec le responsable a indiqué qu'il était impossible de retourner sur l'appareil pour ajouter les billes manquantes, la taille de l'échantillon étant jugée trop petite suite à la fracture.



Figure 4.26 Photo de la portion de gaufre avec billes d'or reçues de l'ETS

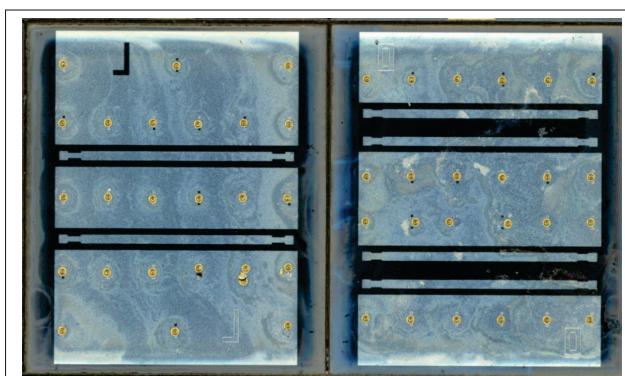


Figure 4.27 Exemple de puce reçue de l'ETS avec l'absence de billes sur les pastilles de signaux

Malgré la fin imminente de la maîtrise, la décision a été prise de recommencer la fabrication et la pose des billes des puces, cette fois-ci au laboratoire du 3IT à Sherbrooke.

4.4.2 Fabrication No. 2

4.4.2.1 Inspection

Dès réception des échantillons du 3IT, la présence des billes sur les pastilles de signal a été vérifiée. Heureusement, toutes les billes étaient présentes et les autres aspects étaient conformes aux attentes. Les dimensions et les métallisations étaient eux aussi cohérentes avec la conception.

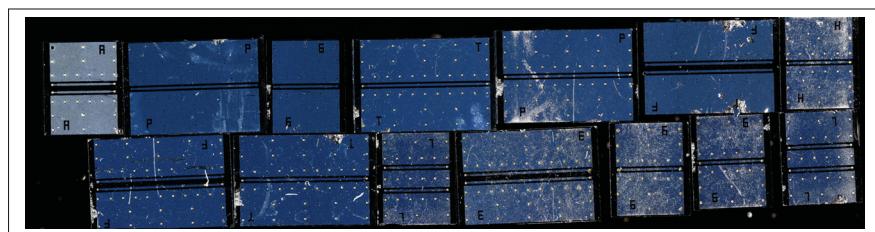


Figure 4.28 Photo de certains échantillons de puces non installées provenant du 3IT (fabrication No. 2)

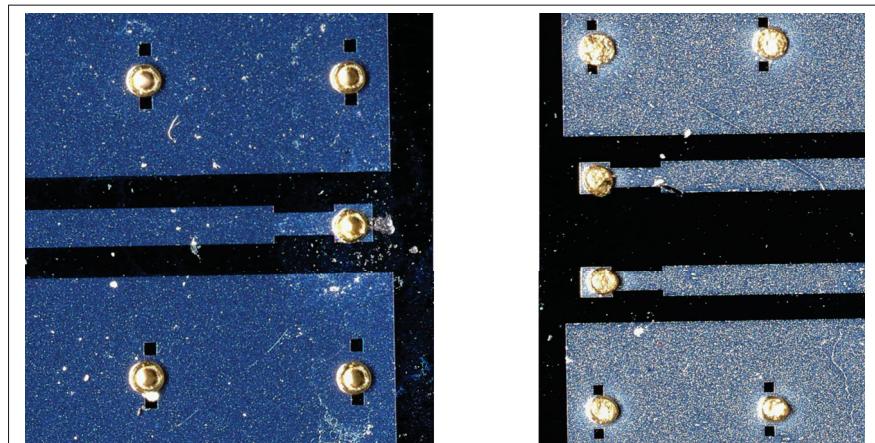


Figure 4.29 Photo des billes d'or sur les puces (fabrication No. 2)

4.4.2.2 Mesures

Du côté silicium, des lignes de test de même longueur que le modèle "petit" des puces (2 mm) ont été fabriquées. Les pertes d'insertion et de retour sont présentées à la figure 4.31.

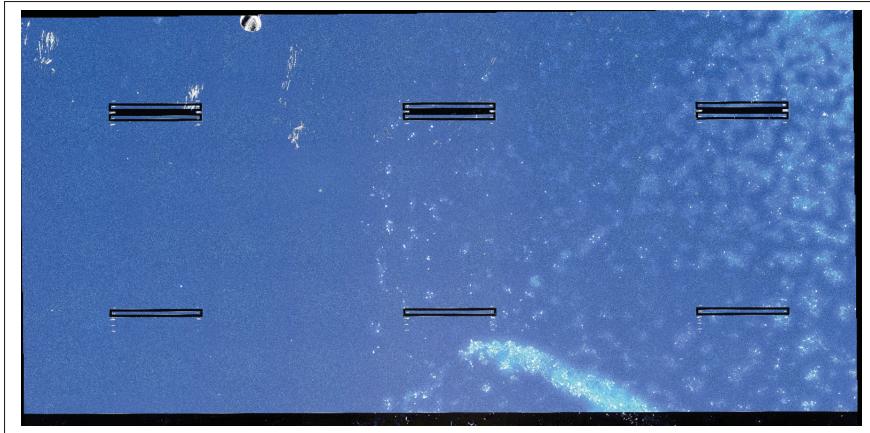


Figure 4.30 Photo des lignes de test de 2 mm représentant les lignes de transmission des puces sur silicium

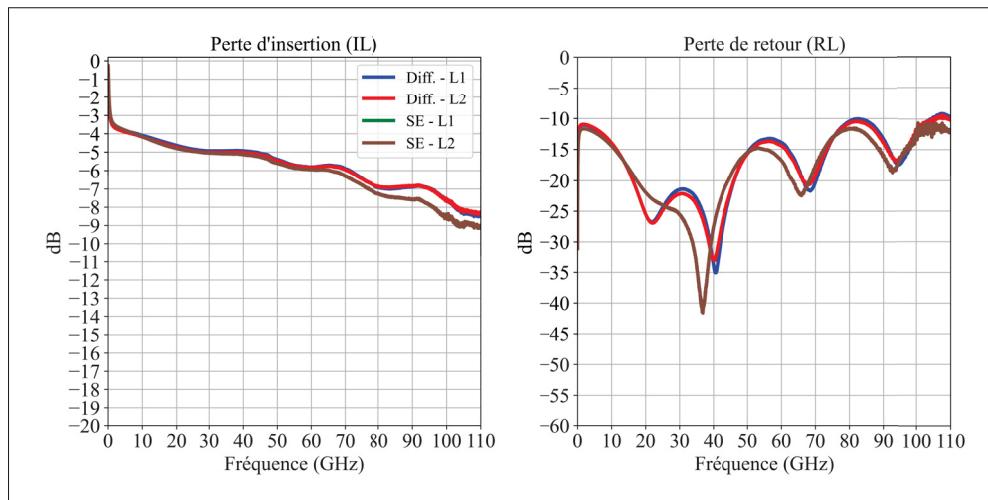


Figure 4.31 Mesures des lignes de test sur silicium (S11 S21)

L'analyse de ces résultats suggère que la gaufre de silicium utilisée ne respecte pas les spécifications, à savoir une très faible conductivité ($\geq 1500 \text{ Ohm.cm} \rightarrow \leq 0.66667 \text{ S/m}$). Pour confirmer cette hypothèse et extraire la conductivité du silicium utilisé, des simulations HFSS ont été effectuées. La figure 4.32 présente les résultats de simulation lors de la variation de la conductivité du silicium pour le modèle de ligne simple (figure 4.33). Les courbes représentent

des conductivités comprises entre 5 et 8 Siemens/m. Bien que l'ajustement ne soit pas parfait, il est clair que la conductivité est loin d'être inférieure à 0.66667 S/m.

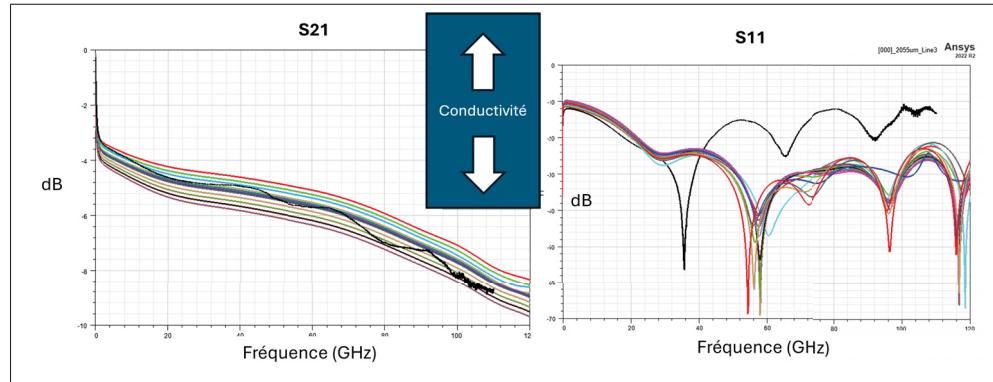


Figure 4.32 Mesures des lignes de test sur silicium (S11 S21)

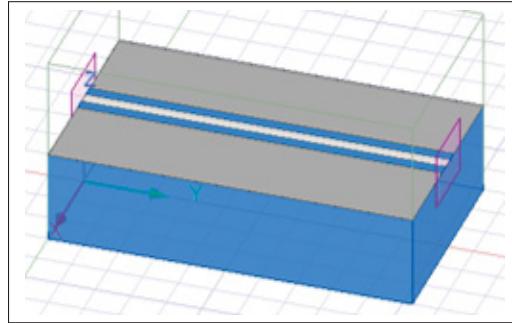


Figure 4.33 Mesures des lignes de test sur silicium (S11 S21)

Afin d'améliorer l'ajustement entre les simulations et les mesures, la calibration sous pointe a été étudiée. Afin de simplifier la compréhension, il est intéressant de présenter l'ordre chronologique des mesures et des calibrations effectuées.

1. Mercredi 21 août (avant midi) : Calibration sous pointe (calibrée jusqu'au bout de la sonde)
2. Mercredi 21 août (après midi) : Mesures des structures sur le premier substrat LTCC (B1) avec puces retournées installées (incluant TRL)
3. Vendredi 30 août : Réception d'un deuxième substrat (B4) mesuré le jour même (incluant TRL). Une deuxième mesure des structures TRL du substrat B1 a aussi été effectuée.

4. Lundi 2 septembre : Réception des lignes de test sur silicium mesurées le jour même (mesures présentées ci-dessus).

Les lignes de test sur silicium, ne nécessitant pas de zone de transition progressive pour le contact des probes, ne sont pas accompagnées de leur propre calibration TRL. En fait, la calibration sous pointe devrait généralement suffire. Cependant, dans ce cas précis, l'hypothèse est que l'état des sondes a été significativement modifié entre la calibration sous pointe et la mesure des lignes de test sur silicium. Les résidus de colle ont rendu le sondage difficile et ont probablement altéré les sondes. Pour valider cette hypothèse, une différence vectorielle a été calculée entre les calibrations TRL du 21 et du 30 août effectuées sur les mêmes structures (substrat B1).

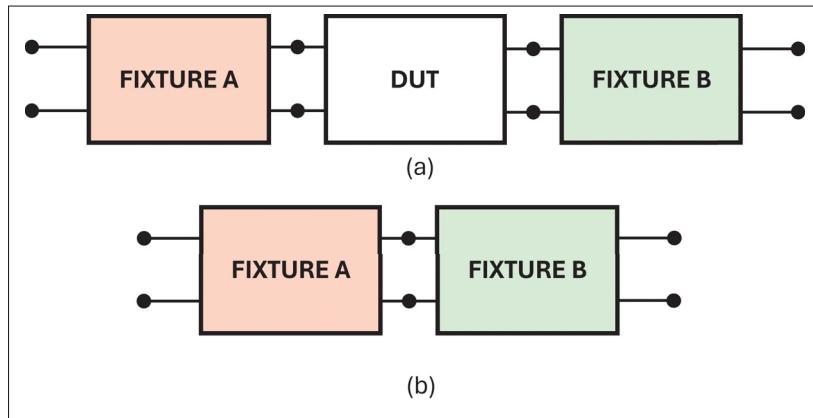


Figure 4.34 (a) Schéma de la décomposition matricielle d'une mesure d'unité sous test.
 (b) Les fixtures A et B extraites par TRL (2x thru)

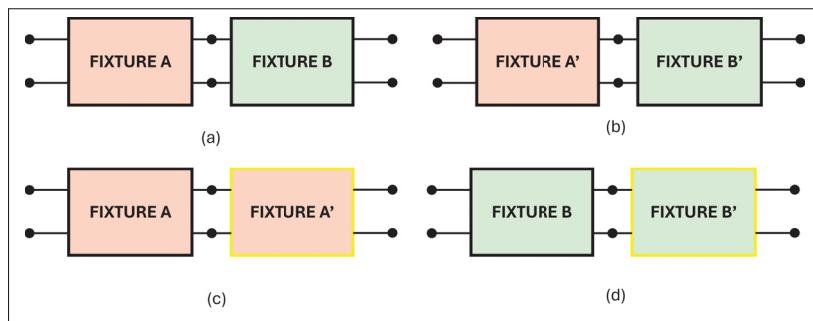


Figure 4.35 (a) Fixtures A et B de la calibration #1, (b) fixtures A et B de la calibration #2, (c, d) opération matricielle effectuée pour extraire la différence entre les deux calibrations

$$\Delta A = A' * * A^{-1}$$

$$\Delta B = B' * * B^{-1}$$

Ici, l'opérateur "<<" représente la cascade de fichier de paramètre S.

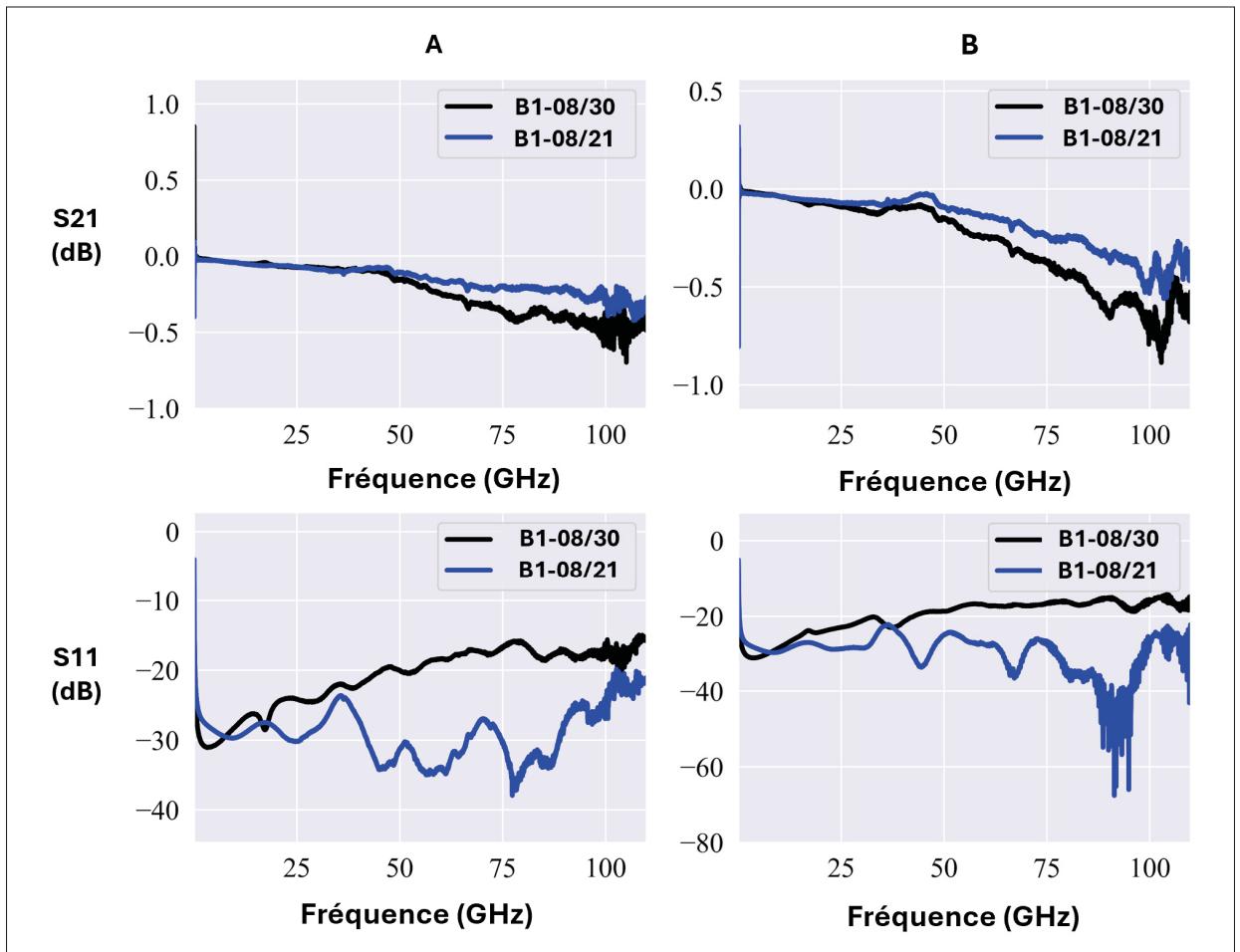


Figure 4.36 Delta des calibrations TRL (lignes simples)

La figure 4.36 montre clairement que l'état de la sonde a changé entre le 21 et le 30 août. La différence entre les deux calibrations a été extraite à l'aide des équations ci-dessus, puis appliquée à la mesure. Cette dernière a été comparée à la simulation des variations de la conductivité du silicium, et l'ajustement obtenu est présenté à la figure 4.37.

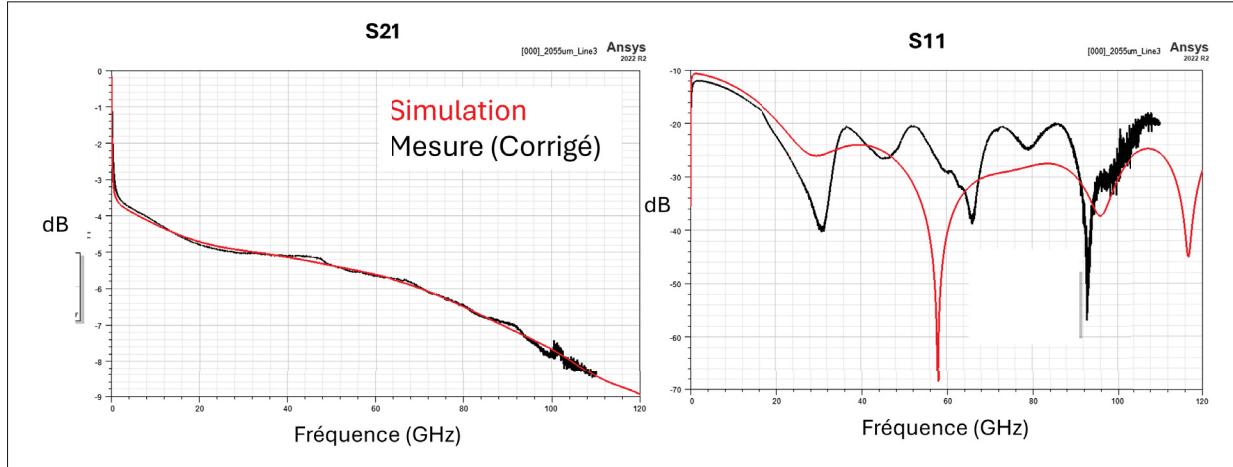


Figure 4.37 Mesure de la ligne de test simple sur silicium corrigée et ajustée à la mesure

La valeur de conductivité ajustée est d'environ 6.9 S/m, soit environ 14.5 Ohm.cm. La cohérence entre les pertes d'insertions et de retour renforce la confiance par rapport à cette extraction. Afin de confirmer cette valeur, elle a été utilisée dans le modèle différentiel et comparée à la mesure du modèle corrigé (figure 4.38).

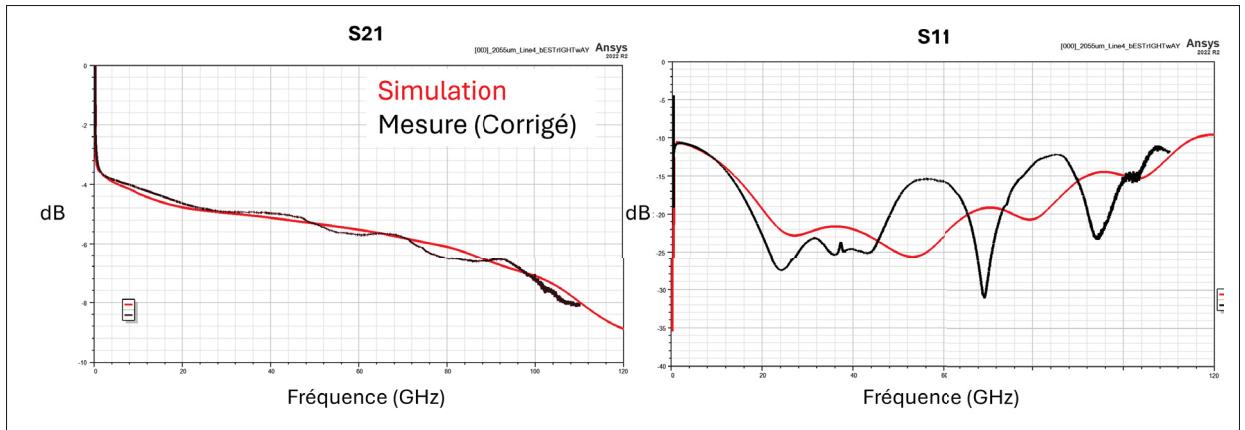


Figure 4.38 Mesure de la ligne de test différentielle sur silicium corrigé et comparé avec la simulation utilisant 6.9 S/m comme conductivité

Comme pour la ligne simple, la ligne différentielle est bien ajustée à la mesure corrigée avec une conductivité de 6.9 S/m. Cette valeur sera donc utilisée pour évaluer la corrélation entre les mesures et les simulations des puces retournées.

4.5 Assemblage et caractérisation des puces retournées

4.5.0.1 Inspection

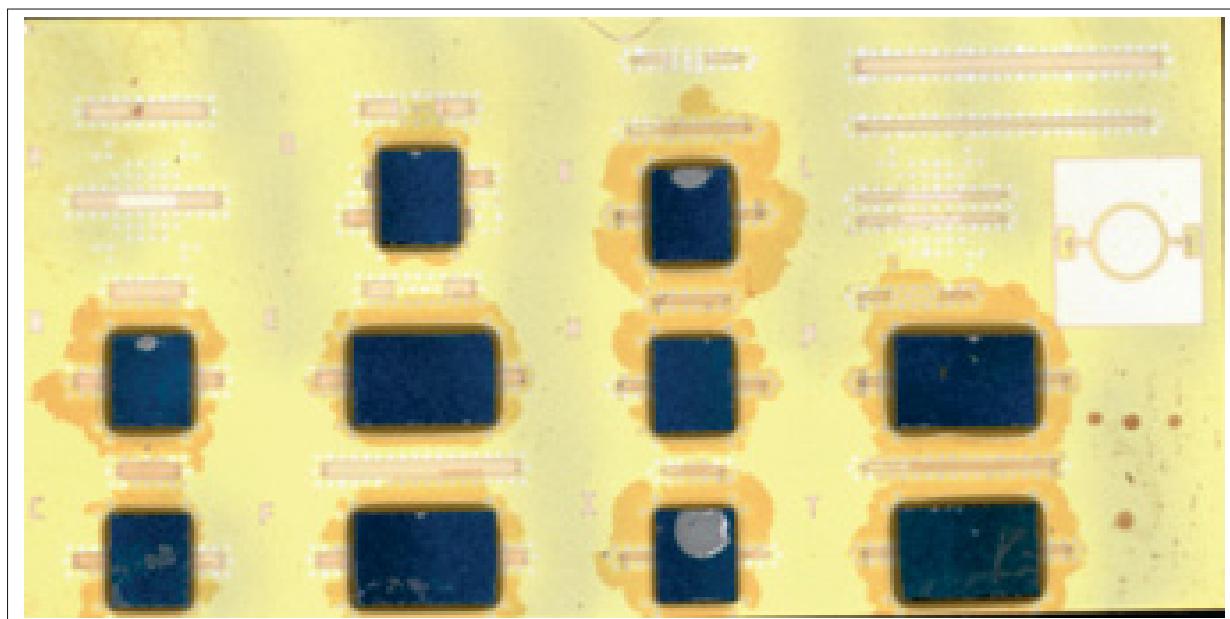


Figure 4.39 Photo du substrat B1 avec les puces retournées installées

La colle de maintien s'est considérablement répandue autour des puces. L'utilisation d'éthanol, de méthanol ou d'acétone n'a pas permis de retirer cette colle complètement polymérisée. De ce fait, la mesure de certaines puces s'est avérée significativement plus difficile, voire même impossible. La mesure de chaque structure sans excès de colle sur chacune des trois cartes assemblées a été effectuée. Pour certains assemblages avec débordement de colle, le contact des sondes a été tenté, ce qui pourrait expliquer l'altération progressive des sondes illustrée à la figure 4.36. La configuration au niveau des billes est de 2x pour une hauteur totale d'environ 35-40um.

4.5.1 Mesures

Comme mentionné plus haut, une partie des assemblages n'ont pas pu être mesurés en raison de l'étalement de la colle qui empêchait le sondage. En ce qui concerne les autres, la majorité ne présentait qu'un seul bon contact (un seul côté). La longueur des puces et la distance entre les pastilles de contact ayant été validées au préalable, il est possible que la procédure utilisée ne soit pas optimale ou que l'incertitude sur l'alignement soit trop importante. Néanmoins, un certain nombre de puces ont pu être mesurées et comparées aux simulations corrigées.

4.5.1.1 Ligne simple

Se référer au tableau 4.1 pour l'identification des structures.

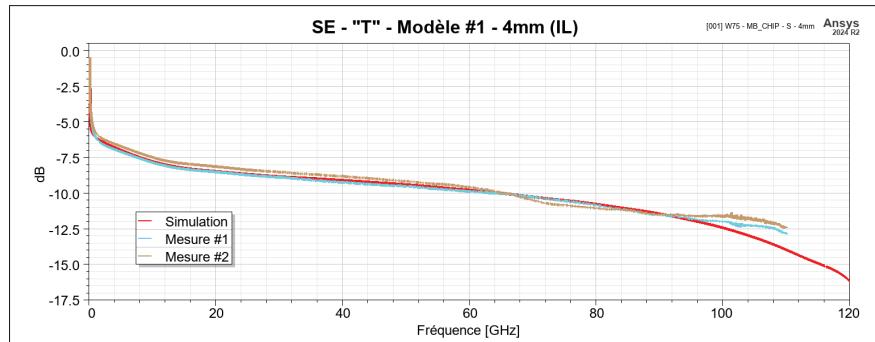


Figure 4.40 Pertes de transmission du modèle compensé #1 "T" (ligne simple 4 mm)

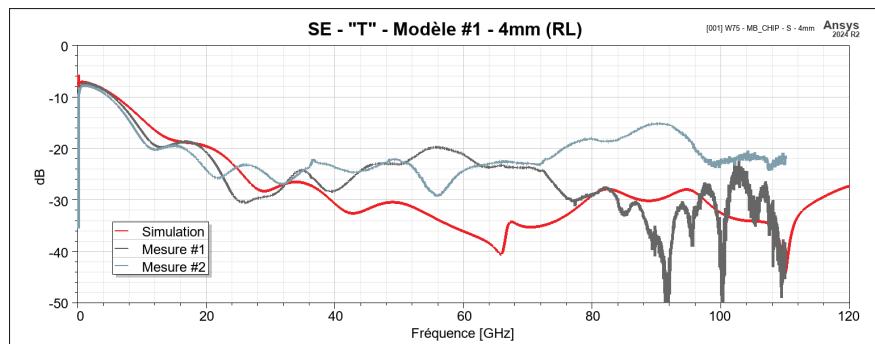


Figure 4.41 Pertes de réflexion du modèle compensé #1 "T" (ligne simple 4 mm)

Ces deux mesures confirment une nouvelle fois que le modèle de simulation corrigé est bien ajusté à la réalité. Bien que les pertes de retour de la simulation ne semblent pas être parfaitement alignées avec les mesures, il est important de souligner qu'une différence de 10 dB entre -30 dB (0,001 /

Le modèle "I", une ligne simple nominale de 2 mm sans compensation, a aussi été mesuré avec succès.

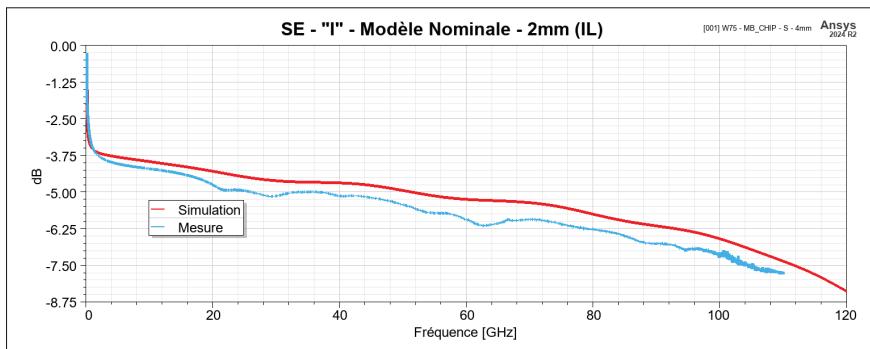


Figure 4.42 Pertes de transmission du modèle non compensé "I" (ligne simple 2 mm)

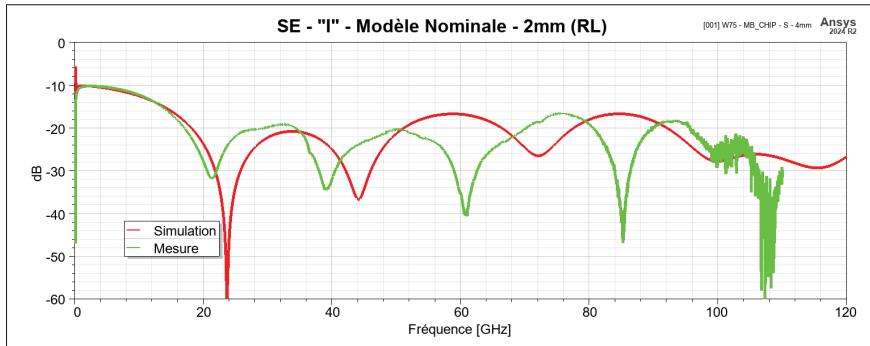


Figure 4.43 Pertes de réflexion du modèle non compensé "I" (ligne simple 2 mm)

Cette mesure concorde également avec la simulation.

4.5.1.2 Ligne différentielle

En ce qui concerne la configuration différentielle, seules deux puces assemblées ont pu être mesurées. La première étant l'assemblage "B" avec le modèle de compensation #1.

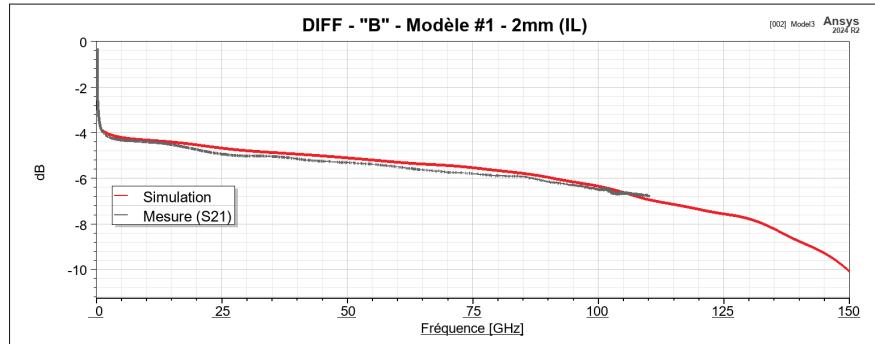


Figure 4.44 Pertes de transmission du modèle compensé #1 "B" (ligne différentielle 2 mm)

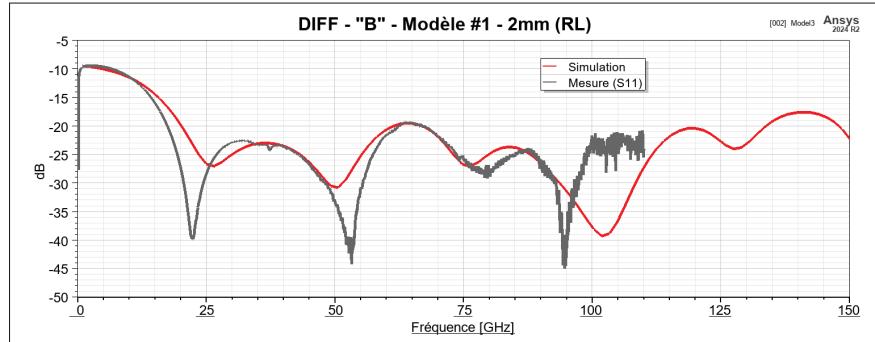


Figure 4.45 Pertes de réflexion du modèle compensé #1 "T" (ligne différentielle 2 mm)

Comme pour la ligne simple, le modèle de simulation corrigé est en accord avec les mesures. Les pertes de réflexion présentent également un bon ajustement. La similarité des longueurs électriques confirme une fois de plus la précision des valeurs de constante diélectrique utilisées dans les modèles.

La deuxième puce différentielle fonctionnelle était l'assemblage "A", soit le modèle de compensation #2 d'une longueur de 2mm. La présence de colle a rendu cette mesure plus complexe et

potentiellement moins précise en raison d'une possible déformation des sondes lors de la mise en contact.

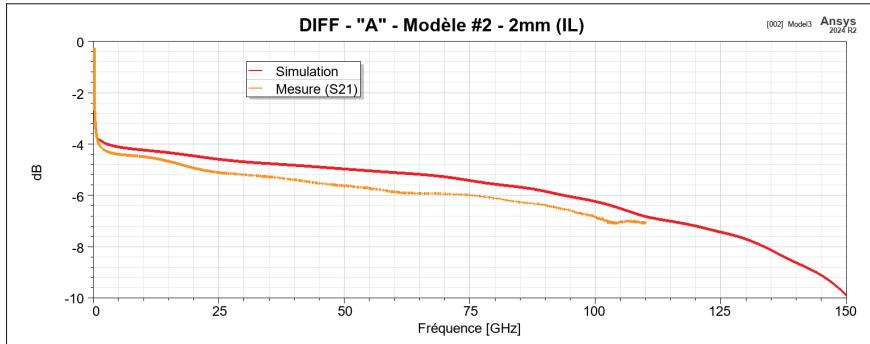


Figure 4.46 Pertes de transmission du modèle compensé #2 "A" (ligne différentielle 2 mm)

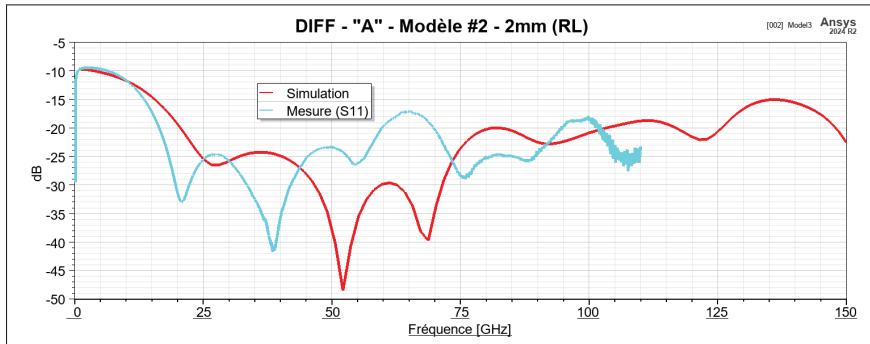


Figure 4.47 Pertes de réflexion du modèle compensé #2 "A" (ligne différentielle 2 mm)

Ces résultats confirment une nouvelle fois la corrélation entre les mesures et les simulations.

4.5.2 Performances équivalentes sur gaufre de silicium haute résistivité (simulation)

À partir des modèles de simulation validés, il est aisément d'obtenir les performances d'une seule transition avec un silicium respectant la contrainte de résistivité de $\geq 150 \text{ Ohm.cm}$ ($\leq 0.66667 \text{ S/m}$).

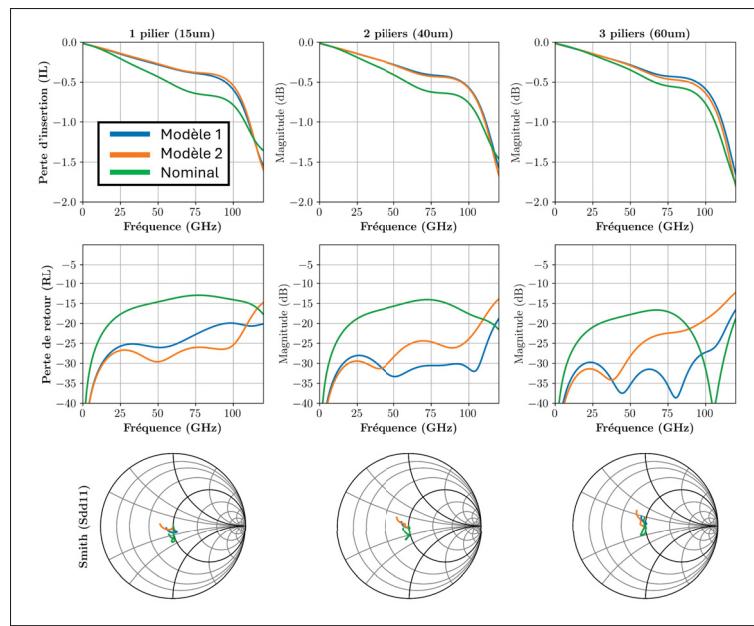


Figure 4.48 Simulation du modèle ajusté de la ligne simple avec silicium haute résistivité

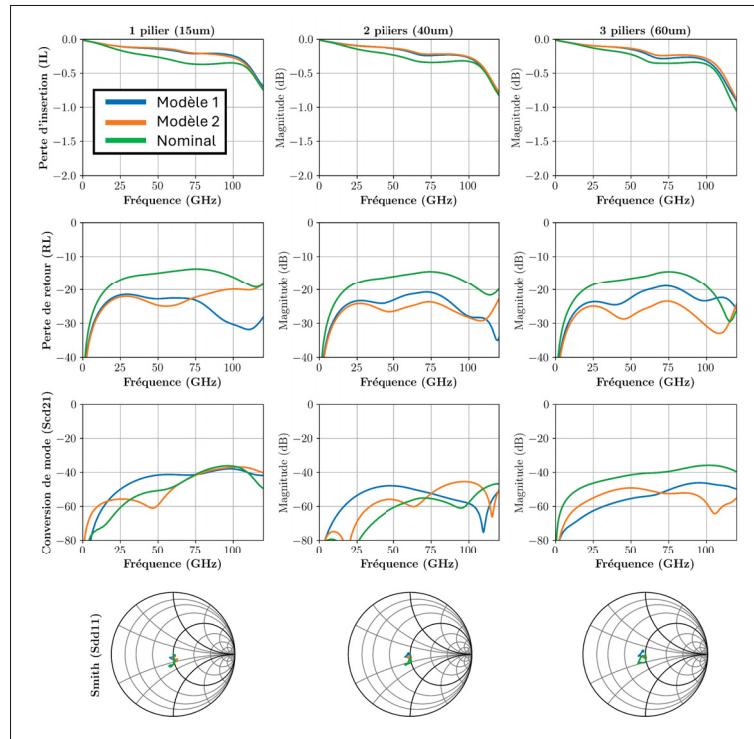


Figure 4.49 Simulation du modèle ajusté de la ligne différentielle avec silicium haute résistivité

Il est important de noter que la compensation est optimisée pour une transition à 2 billes empilées ($40 \mu\text{m}$). Par conséquent, les simulations à 3 billes ($60 \mu\text{m}$) avec compensation pourraient présenter des performances inférieures aux deux autres configurations.

En observant les résultats de simulations équivalentes des figures 4.48 et 4.49, il apparaît clair que la transition différentielle offre des performances globales supérieures, avec des pertes de transmission d'environ -0.25 dB contre -0.53 dB pour la ligne simple à 100 GHz . De plus, pour les deux types de lignes, le modèle "nominal" (sans compensation) devient plus performant lorsque la distance entre le substrat et la puce augmente, comme prévu. En effet, comme mentionné dans le chapitre précédent, l'augmentation de la hauteur du pilier à diamètre constant implique une augmentation de son inductance, ce qui diminue la capacité effective de la transition. Il est aussi possible d'observer que la dégradation abrupte de la transmission n'est pas visible dans le graphique des pertes de retour, ce qui indique que de l'énergie sort du système. Comme étudié par simulation dans le chapitre précédent, la fréquence de coupure de la transition est belle et bien causée par l'excitation de modes d'ordres supérieurs dans le LTCC. Étrangement, bien que la configuration différentielle permet la propagation de ceux-ci à une fréquence plus basse que celle simple, il semble que la topologie couplée permet l'atteinte d'une fréquence maximale supérieure. Ce résultat vient confirmer la possibilité que la topologie différentielle ait une sorte d'immunité face à l'excitation de ces derniers en raison de son couplage.

La prochaine et dernière caractéristique évaluée est la diaphonie. Les modèles de simulations sont présentés à la figure 4.50). Ce sont des modèles avec 4 canaux distancés par une largeur de plan de masse de $281 \mu\text{m}$, soit la distance minimale pour insérer une clôture de via entre ceux-ci.

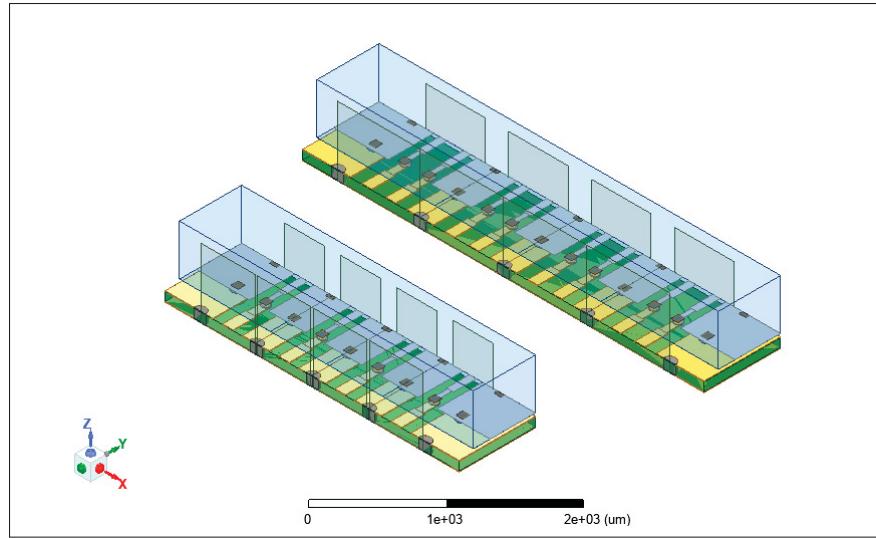


Figure 4.50 Modèles de simulation pour l'évaluation de la diaphonie

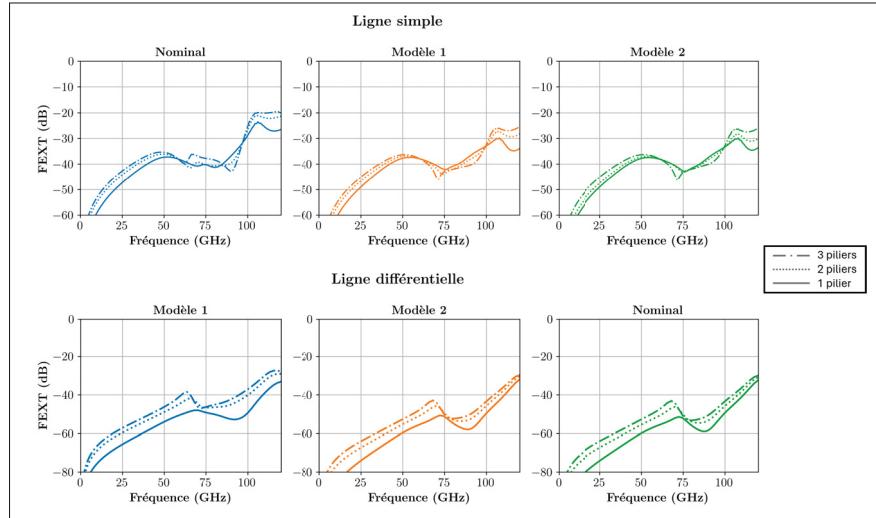


Figure 4.51 Simulation de la diaphonie des modèles ajustés des deux types de lignes avec silicium haute résistivité

Bien que la structure dédiée à l'évaluation de la diaphonie ne soit pas fonctionnelle sur les trois substrats assemblés, des simulations avec les modèles ajustés ont été réalisées (voir figure 4.48).

Les résultats de diaphonie distante (FEXT) sont présentés à la figure 4.51). La diaphonie distante (FEXT) fournit des informations utiles, mais l'analyse du rapport signal sur bruit (RSB) s'avère

plus pertinente pour évaluer l'impact global de la diaphonie sur les performances d'une transition, puisqu'elle prend en compte l'ensemble des signaux interférents. La formule générale pour l'évaluation du RSB est exprimée avec l'entrée du signal sur le port **n**, en provenance du port **m** et avec les agresseurs provenant des ports **k** { $k \neq m$ } :

$$RSB_{0 \rightarrow x,n} = 20 \log_{10} \left(\frac{\int_0^x |S_{n,m}| df}{\sum_k \int_0^x |S_{n,k}| df} \right) \quad (4.1)$$

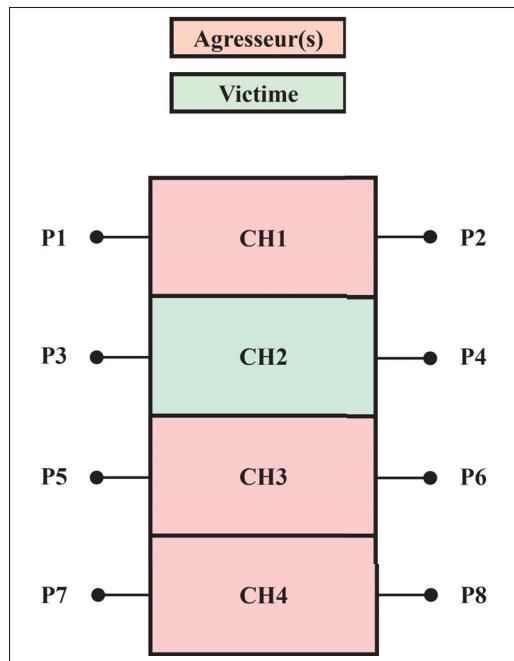


Figure 4.52 Schéma de l'arrangement de la simulation pour l'évaluation de la diaphonie

Le pire cas est évalué ici, avec trois agresseurs (CH1, CH3, CH4) sur la victime (CH2).

$$RSB_{0 \rightarrow x,n} = 20 \log_{10} \left(\frac{\int_0^x |S_{43}| df}{\int_0^x (|S_{41}| + |S_{45}| + |S_{47}|) df} \right) \quad (4.2)$$

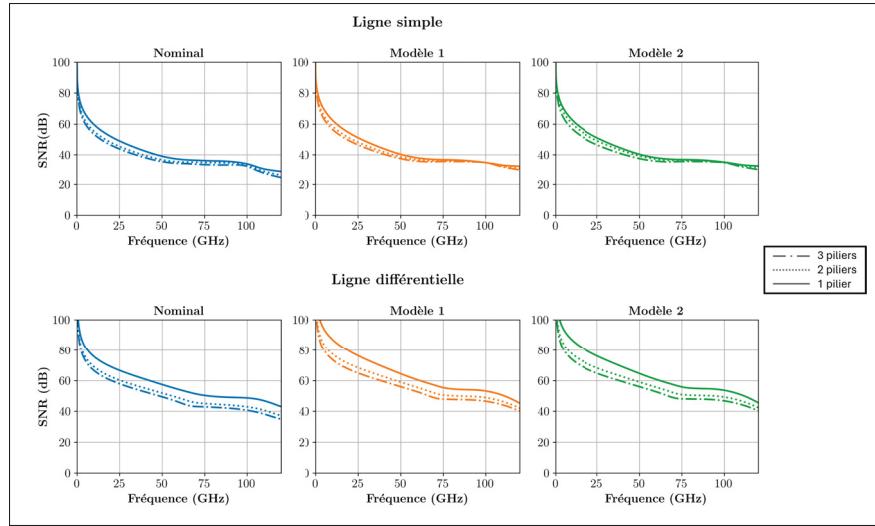


Figure 4.53 Rapport signal sur bruit (RSB) simulé avec modèles ajustés pour la ligne simple et la ligne différentielle

Il est possible d'observer que, pour la topologie simple, le RSB n'est que très peu affecté par la compensation et/ou le nombre de billes empilées. Bien que le rapport signal sur bruit (RSB) de la topologie simple présente une plus grande stabilité, la topologie différentielle offre un RSB globalement supérieur, démontrant une meilleure immunité à la diaphonie. De plus, une augmentation du RSB est observée avec l'augmentation de la hauteur, notamment pour la ligne différentielle. Il est également intéressant de noter que la compensation semble avoir un impact positif sur la diaphonie, contribuant à une meilleure isolation des signaux.

4.6 Conclusion expérimental

Ce chapitre a présenté la validation expérimentale de la solution d'interconnexion puce à substrat proposée pour des applications au-delà de 100 GHz. Malgré des défis rencontrés lors des étapes de fabrication, notamment la présence d'imperfections dans la première itération du substrat LTCC et l'utilisation d'une gaufre de silicium ne respectant pas les spécifications de conductivité, des résultats concluants ont été obtenus.

L'analyse des mesures, combinée à un ajustement rigoureux des modèles de simulation, a permis de confirmer la validité de l'approche d'empilement de billes et de compensations proposées. En effet, les résultats démontrent une excellente concordance entre les simulations et les mesures pour les lignes simples et différentielles, validant ainsi la précision des modèles et l'efficacité de la compensation.

Bien que la structure dédiée à la mesure de la diaphonie n'ait pu être testée expérimentalement, les simulations utilisant les modèles ajustés suggèrent une meilleure immunité à la diaphonie pour la configuration différentielle. De plus, la compensation semble jouer un rôle positif en améliorant l'isolation des signaux et en augmentant le rapport signale sur bruit.

Ensuite, il a été découvert que la configuration différentielle surpassait la ligne simple en ce qui a trait aux pertes d'insertion et au rapport signal/bruit. Finalement, l'augmentation de la hauteur des piliers, et donc de l'inductance de la transition, s'est avérée bénéfique pour les deux configurations, permettant d'atteindre des performances optimales à plus haute fréquence.

CONCLUSION ET RECOMMANDATIONS

Ce projet de maîtrise a permis de confirmer avec succès le potentiel de la technologie des billes/piliers d'or pour des applications de pointe impliquant des puces retournées. L'objectif principal était d'évaluer la capacité de cette technique, utilisant une technologie simple et accessible, à transmettre efficacement des signaux large bande dépassant les 110 GHz.

Les résultats obtenus parlent d'eux-mêmes. En effet, d'excellente performance RF a été atteinte, avec des pertes de transmission extrêmement faibles et une excellente isolation des signaux. Plus précisément, les pertes de transmission sont inférieures à 0.3 dB, tandis que les pertes de retour se maintiennent en dessous de -20 dB, et ce, sur une plage de fréquences allant du DC à plus de 100 GHz. Ces résultats, obtenus avec une configuration de ligne différentielle, démontrent l'efficacité de l'approche pour des applications exigeantes en termes de bande passante et de qualité de signal. Ensuite, bien que moins performante, la configuration avec ligne simple a elle aussi été un succès avec des pertes de transmission inférieures à 0.5 dB jusqu'à 100 GHz. Il est important de préciser que le facteur limitant pour les deux configurations est le dimensionnement des lignes de transmission au niveau du substrat. En effet, les règles de conceptions ne permettent pas de pousser la fréquence de coupure des modes d'ordre supérieurs (TE10, plaques parallèles) en dehors de la bande visée. De ce fait, avec de meilleures règles de conceptions, il serait sans aucun doute possible de dépasser les 150 GHz.

L'un des aspects les plus prometteurs de cette méthode réside dans sa simplicité de mise en œuvre et son potentiel d'industrialisation. En effet, l'utilisation d'appareils de liaison par fils d'or, une pièce d'équipement largement répandu dans l'industrie électronique, rend la production de masse tout à fait envisageable. Ensuite, l'étude a démontré la flexibilité offerte par la technique d'empilement des billes d'or, donnant aux concepteurs RF une option d'ajustement supplémentaire permettant l'optimisation des caractéristiques de la transition (inductance) en fonction des besoins spécifiques de l'application en termes de fréquence d'utilisation.

Bien que le processus d'empilement des billes nécessite une expertise technique pour garantir la fiabilité et la répétabilité des résultats, les avantages potentiels en termes de performance et de production de masse en font une solution très attractive pour l'industrie.

Ensuite, l'étude met en lumière une observation intrigante concernant les lignes différentielles. Il semblerait que celles-ci présentent une plus grande tolérance aux limitations dimensionnelles généralement imposées par la nécessité d'empêcher la propagation des modes d'ordre supérieurs. Cet aspect bénéfique mérite d'être étudié plus en profondeur.

Tableau 5.1 Tableau comparatif des technologies d'interconnexion

Technologie	Fmax	IL	RL	Complexité	Coût	Remarques
Liaison par fil						
Ruban (Shireen <i>et al.</i> , 2011)	100 GHz	2.5 dB à 100 GHz	-10 dB à 100 GHz	Élevée	Modéré	Longueur du ruban
Comp. (fils) (Jiang <i>et al.</i> , 2013)	92 GHz	3 dB à 92 GHz	-11.2 dB à 92 GHz	Modérée	Modéré	Pertes d'insertion
Comp. (LC) (Valenta <i>et al.</i> , 2015)	170 GHz	1 dB à 140 GHz	-12 dB à 140 GHz	Élevée	Élevé	Adaptation complexe
MicroCoax (Devlin, 2014)	115 GHz	0.7 dB à 115 GHz	-17 dB à 60 GHz	Faible	Très élevé	Accessibilité
Puce retournée						
Billes Soudure (BGA) (Bessemoulin <i>et al.</i> , 2022)	100 GHz	2.5 dB à 100 GHz	-10 dB à 100 GHz	Faible	Modéré	Détails BGA manquants
Billes Soudure (AuSn) (Sinha <i>et al.</i> , 2017)	500 GHz	N/D	N/D	Élevée	Élevé	Transition puce-à-puce
Cuivre (Farid <i>et al.</i> , 2021)	135 GHz	0.9 dB à 135 GHz	-12 dB à 135 GHz	Faible	Modéré	Bande étroite
Cuivre (Smith <i>et al.</i> , 2021)	175 GHz	N/D	-20 dB à 175 GHz	Modérée	Modéré	Simulation seulement & Fmin = 60 GHz
Or (cyl.) (Khan <i>et al.</i> , 2014)	170 GHz	0.9 dB à 165 GHz	-10 dB à 170 GHz	Modérée	Modéré	Substrat-à-substrat (LCP)
Or (sph. emp.) (Testa <i>et al.</i> , 2019)	150 GHz	1 dB à 150 GHz	-10 dB à 125 GHz	Modérée	Modéré	Puce-à-puce
Or (cyl.) (Rausch <i>et al.</i> , 2022)	200 GHz	N/D	N/D	Modérée	Modéré	Puce-à-puce
Autre						
QUILT (Fay <i>et al.</i> , 2014)	220 GHz	2.25 dB à 220 GHz	-10 dB à 150 GHz	Élevée	Élevé	Accessibilité
Imp. 3D (Qayyum <i>et al.</i> , 2017)	110 GHz	0.49 dB à 110 GHz	-10 dB à 110 GHz	Élevée	Élevé	Accessibilité
Ce travail						
Billes d'or empilées (ce travail)	+100 GHz	0.26 dB à 100 GHz	-20 dB à +110 GHz	Faible	Faible	Puce-à-substrat & Config. Simple ou Différentielle

Légende

- N/D : Non disponible
- IL : Perte d'insertion
- RL : Perte de retour
- Fmax : Fréquence maximale
- Fmin : Fréquence minimale

Enfin, le tableau comparatif des technologies d'interconnexion démontre la supériorité de l'approche utilisant les billes d'or empilées. Cette solution se distingue par un rapport performance/complexité/coût optimal dans l'état de l'art actuel. Avec des pertes d'insertion de seulement 0.26 dB à 100 GHz et des pertes de retour inférieures à -20 dB jusqu'à 110 GHz, cette technologie surpassé, entre autre, les interconnexions à base de billes de soudure conventionnelles (2.5 dB de pertes à 100 GHz) et les solutions à base de piliers de cuivre (0.9 dB). Cette contribution représente une avancée significative, offrant une solution accessible combinant performances supérieures, simplicité de fabrication et excellent potentiel d'industrialisation.

BIBLIOGRAPHIE

- Beer, S., Ripka, B., Diebold, S., Gulan, H., Rusch, C., Pahl, P. & Zwick, T. (2011). Design and measurement of matched wire bond and flip chip interconnects for D-band system-in-package applications. *2011 IEEE MTT-S International Microwave Symposium*, pp. 1–4. doi : 10.1109/MWSYM.2011.5972851.
- Bessemoulin, A., Maréchal, L., Stieglauer, H., Poilvert, P., Auxemery, P. & Viaud, J. (2022). Demonstration of reproducible Millimeter-wave SMT Chip Scale Package using Hot-via MMICs and Plastic BGA Encapsulation. *2021 51st European Microwave Conference (EuMC)*, pp. 6–9. doi : 10.23919/EuMC50147.2022.9784210.
- Bowick, C. (2008). *RF Circuit Design*. Elsevier/Newnes.
- Cahill, S. S., Sanjuan, E. A. & Levine, L. (2006). Development of 100+ GHz high-frequency MicroCoax wire bonds. *Proc. of the Int. Symp. On Microelect*, pp. 668.
- Deslandes, D. & Wu, K. (2006). Accurate modeling, wave mechanisms, and design considerations of a substrate integrated waveguide. *IEEE Transactions on Microwave Theory and Techniques*, 54(6), 2516–2526. doi : 10.1109/TMTT.2006.875807. Conference Name : IEEE Transactions on Microwave Theory and Techniques.
- Devlin, L. (2014). The future of mm-wave packaging. *Microw. J*, 57(2), 24–39.
- El-Aassar, O. & Rebeiz, G. M. (2019). A DC-to-108-GHz CMOS SOI Distributed Power Amplifier and Modulator Driver Leveraging Multi-Drive Complementary Stacked Cells. *IEEE Journal of Solid-State Circuits*, 54(12), 3437–3451. doi : 10.1109/JSSC.2019.2941013. Conference Name : IEEE Journal of Solid-State Circuits.
- Farid, A. A., Ahmed, A. S. H., Simsek, A. & Rodwell, M. J. W. (2021). A Packaged 135GHz 22nm FD-SOI Transmitter on an LTCC Carrier. *2021 IEEE MTT-S International Microwave Symposium (IMS)*, pp. 713–716. doi : 10.1109/IMS19712.2021.9575026.
- Fay, P., Kopp, D., Lu, T., Neal, D., Bernstein, G. H. & Kulick, J. M. (2014). Ultrawide Bandwidth Chip-to-Chip Interconnects for III-V MMICs. *IEEE Microwave and Wireless Components Letters*, 24(1), 29–31. doi : 10.1109/LMWC.2013.2288181. Conference Name : IEEE Microwave and Wireless Components Letters.
- Gupta, K., Garg, R. & Chadha, R. (1981). *Computer-aided Design of Microwave Circuits*. Artech. Repéré à <https://books.google.ca/books?id=23NGAAAAYAAJ>.
- Harman, G. (2010). *Wire Bonding in Microelectronics*. McGraw-Hill Education. Repéré à <https://www.accessengineeringlibrary.com/content/book/9780071476232>.

- Heinrich, W. (2005). The flip-chip approach for millimeter wave packaging. *IEEE Microwave Magazine*, 6(3), 36–45. doi : 10.1109/MMW.2005.1511912. Conference Name : IEEE Microwave Magazine.
- Heinrich, W., Hossain, M., Sinha, S., Schmückle, F.-J., Doerner, R., Krozer, V. & Weimann, N. (2021). Connecting Chips With More Than 100 GHz Bandwidth. *IEEE Journal of Microwaves*, 1(1), 364–373. doi : 10.1109/JMW.2020.3032879. Conference Name : IEEE Journal of Microwaves.
- Hillman, C. (2015). THE BENEFITS AND RISKS OF COPPER PILLAR BUMPED FLIP CHIPS. Repéré le 2023-01-12 à <https://www.ansys.com/resource-center/white-paper/ansys-dfr-benefits-risks-copper-pillar-bumped-flip-chip>.
- Ito, M., Maruhashi, K., Kusamitsu, H., Morishita, Y. & Ohata, K. (1999). Millimeter-wave flip-chip MMIC structure with high performance and high reliability interconnects. *IEICE transactions on electronics*, 82(11), 2038–2043. Publisher : The Institute of Electronics, Information and Communication Engineers.
- Jiang, C., Krozer, V., Bach, H.-G., Mekonnen, G. G. & Johansen, T. K. (2013). Broadband Packaging of Photodetectors for 100 Gb/s Ethernet Applications. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 3(3), 422–429. doi : 10.1109/TCPMT.2012.2236149. Conference Name : IEEE Transactions on Components, Packaging and Manufacturing Technology.
- Khan, W. T., Ulusoy, A. , Schmid, R. L. & Papapolymerou, J. (2014). Characterization of a low-loss and wide-band (DC to 170 GHz) flip-chip interconnect on an organic substrate. *2014 IEEE MTT-S International Microwave Symposium (IMS2014)*, pp. 1–4. doi : 10.1109/MWSYM.2014.6848343.
- Kobayashi, K. W. & McCleary, Y. Z. (2020). Baseband to 140-GHz SiGe HBT and 100-GHz InP DHBT Broadband Triple-Stacked Distributed Amplifiers With Active Bias Terminations. *IEEE Journal of Solid-State Circuits*, 55(9), 2336–2344. doi : 10.1109/JSSC.2020.2988420. Conference Name : IEEE Journal of Solid-State Circuits.
- Koh, W., Lin, B. & Tai, J. (2011). Copper pillar bump technology progress overview. *2011 12th International Conference on Electronic Packaging Technology and High Density Packaging*, pp. 1–5. doi : 10.1109/ICEPT.2011.6067027.
- Kuang, K. & Sturdvant, R. (Éds.). (2017). *RF and Microwave Microelectronics Packaging II*. Cham : Springer International Publishing. doi : 10.1007/978-3-319-51697-4.

- Lau, J. H. (2017). Status and Outlooks of Flip Chip Technology. *IPC EXPO Proceedings, February 2017*, 1–20.
- Meighan, A., Yao, Y., Wale, M. J. & Williams, K. (2020). Design of 100 GHz-class Mach-Zehnder modulators in a generic indium phosphide platform. *2020 IEEE Photonics Conference (IPC)*, pp. 1–2. doi : 10.1109/IPC47351.2020.9252410.
- Meighan, A., Augustin, L., Wale, M. J. & Williams, K. A. (2022). High-Density 100 GHz-Class Mach-Zehnder Modulators integrated in a InP Generic Foundry Platform. *2022 Conference on Lasers and Electro-Optics (CLEO)*, pp. 1–3.
- Monayakul, S., Sinha, S., Wang, C.-T., Weimann, N., Schmückle, F. J., Hrobak, M., Krozer, V., John, W., Weixelbaum, L., Wolter, P., Krüger, O. & Heinrich, W. (2015). Flip-Chip Interconnects for 250 GHz Modules. *IEEE Microwave and Wireless Components Letters*, 25(6), 358–360. doi : 10.1109/LMWC.2015.2424294. Conference Name : IEEE Microwave and Wireless Components Letters.
- Nagy, O., Heide, P., Springer, A. & Weigel, R. (2001). An Investigation of the Proximity Effect of Millimeter-Wave MMICs in Flip-Chip Configuration. *2001 31st European Microwave Conference*, pp. 1–4. doi : 10.1109/EUMA.2001.339156.
- Qayyum, J. A., Abt, M., Roch, A., Ulusoy, A. C. & Papapolymerou, J. (2017). Ultra wideband 3D interconnects using aerosol jet printing up to 110 GHz. *2017 12th European Microwave Integrated Circuits Conference (EuMIC)*, pp. 372–375. doi : 10.23919/EuMIC.2017.8230736.
- Rausch, M., Flisgen, T., Stölmacker, C., Stranz, A., Thies, A., Doerner, R., Yacoub, H. & Heinrich, W. (2022). Technology for the Heterointegration of InP DHBT Chiplets on a SiGe BiCMOS Chip for mm-wave MMICs. *2022 52nd European Microwave Conference (EuMC)*, pp. 28–31. doi : 10.23919/EuMC54642.2022.9924451.
- Rüddenklau, U., Geen, M., Pallotta, A., Barrett, M., Wambacq, P. & Sellars, M. (2018). mmWave semiconductor industry technologies : status and evolution. *ETSI white paper*, 15.
- Sain, A. & Melde, K. L. (2016). Impact of Ground via Placement in Grounded Coplanar Waveguide Interconnects. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 6(1), 136–144. doi : 10.1109/TCMT.2015.2507121. Conference Name : IEEE Transactions on Components, Packaging and Manufacturing Technology.
- Shireen, R., Shi, S., Yao, P. & Prather, D. W. (2011). Multi-Chip Module Packaging For W-Band LiNbO₃ Modulator. *IEEE Microwave and Wireless Components Letters*, 21(3), 145–147. doi : 10.1109/LMWC.2010.2103375. Conference Name : IEEE Microwave and Wireless Components Letters.

- Simons, R. N. (2001). Coplanar Waveguide Circuits, Components, and Systems. (Wiley Series in Microwave and Optical Engineering). doi : 10.1002/0471224758.
- Simsek, A., Kim, S.-K., Abdelghany, M., Ahmed, A. S. H., Farid, A. A., Madhow, U. & Rodwell, M. J. W. (2020). A 146.7 GHz Transceiver with 5 GBaud Data Transmission using a Low-Cost Series-Fed Patch Antenna Array through Wirebonding Integration. *2020 IEEE Radio and Wireless Symposium (RWS)*, pp. 68–71. doi : 10.1109/RWS45077.2020.9049978.
- Sinha, S., Doerner, R., Schmückle, F.-J., Monayakul, S., Hrobak, M., Weimann, N. G., Krozer, V. & Heinrich, W. (2017). Flip-Chip Approach for 500 GHz Broadband Interconnects. *IEEE Transactions on Microwave Theory and Techniques*, 65(4), 1215–1225. doi : 10.1109/TMTT.2016.2638429. Conference Name : IEEE Transactions on Microwave Theory and Techniques.
- Smith, T., Rhyne, B. & Hatfield, C. (2021). Ultra wide-band, low Loss RF substrate with high-density DC routing supporting 5G/6G flip-chip RFICs. *54th International Symposium on Microelectronics*, 2021, 000201–000206.
- STMicroelectronics. (2023). BiCMOS - STMicroelectronics. Repéré le 2023-01-16 à https://www.st.com/content/st_com/en/about/innovation---technology/BiCMOS.html.
- Terman, F. (1943). *Radio Engineer's Handbook*. McGraw-Hill Book Company, Incorporated. Repéré à <https://books.google.ca/books?id=QwCrAAAAIAAJ>.
- Testa, P. V., Belfiore, G., Paulo, R., Carta, C. & Ellinger, F. (2015). 170 GHz SiGe-BiCMOS Loss-Compensated Distributed Amplifier. *IEEE Journal of Solid-State Circuits*, 50(10), 2228–2238. doi : 10.1109/JSSC.2015.2444878. Conference Name : IEEE Journal of Solid-State Circuits.
- Testa, P. V., Morath, H., Goran, P., Carta, C. & Ellinger, F. (2019). A Cost-Effective Flip-Chip Interconnection for Applications from DC until 200 GHz. *2019 IEEE Asia-Pacific Conference on Applied Electromagnetics (APACE)*, pp. 1–6. doi : 10.1109/APACE47377.2019.9021003.
- Tong, H.-M., Lai, Y.-S. & Wong, C. (Éds.). (2013). *Advanced Flip Chip Packaging*. Boston, MA : Springer US. doi : 10.1007/978-1-4419-5768-9.
- Valdez, F., Mere, V. & Mookherjea, S. [Number : arXiv :2211.13348 arXiv :2211.13348 [physics]]. (2022). 100 GHz Bandwidth, 1 Volt Near-infrared Electro-optic Mach-Zehnder Modulator. arXiv. Repéré le 2023-01-16 à <http://arxiv.org/abs/2211.13348>.

- Valenta, V., Spreng, T., Yuan, S., Winkler, W., Ziegler, V., Dancila, D., Rydberg, A. & Schumacher, H. (2015). Design and experimental evaluation of compensated bondwire interconnects above 100 GHz. *International Journal of Microwave and Wireless Technologies*, 7(3-4), 261–270. doi : 10.1017/S1759078715000070. Publisher : Cambridge University Press.
- Wang, C.-L. & Wu, R.-B. (2003). Modeling and design for electrical performance of wideband flip-chip transition. *IEEE Transactions on Advanced Packaging*, 26(4), 385–391. doi : 10.1109/TADVP.2003.821086. Conference Name : IEEE Transactions on Advanced Packaging.
- Wang, X., Weigel, P. O., Zhao, J., Ruesing, M. & Mookherjea, S. (2019). Achieving beyond-100-GHz large-signal modulation bandwidth in hybrid silicon photonics Mach Zehnder modulators using thin film lithium niobate. *APL Photonics*, 4(9), 096101. doi : 10.1063/1.5115243. Publisher : American Institute of Physics.
- Wei, L. (2016). Copper pillar electroplating tutorial. Repéré le 2023-01-13 à <https://www.dupont.com/electronic-materials/blogs/knowledge/copper-pillar-electroplating-tutorial.html>.
- Weigel, P. O., Zhao, J., Fang, K., Al-Rubaye, H., Trotter, D., Hood, D., Mudrick, J., Dallo, C., Pomerene, A. T., Starbuck, A. L., DeRose, C. T., Lentine, A. L., Rebeiz, G. & Mookherjea, S. (2018). Bonded thin film lithium niobate modulator on a silicon photonics platform exceeding 100 GHz 3-dB electrical modulation bandwidth. *Optics Express*, 26(18), 23728–23739. doi : 10.1364/OE.26.023728. Publisher : Optica Publishing Group.
- Wu, W.-M., Yu, M.-C., Li, C.-H. & Kuo, C.-N. (2015). A low-cost DC-to-92 GHz broadband three-path bondwire interconnect. *2015 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT)*, pp. 34–36. doi : 10.1109/RFIT.2015.7377878.
- ÉTS, (2023). LTCC@ÉTS. Repéré le 2023-01-15 à <https://www.etsmtl.ca/unites-de-recherche/lbbox/accueil>.

